

135
2er.



UNIVERSIDAD NACIONAL
AUTONOMA DE MEXICO
FACULTAD DE INGENIERIA

DISEÑO E IMPLEMENTACION DE UNA
TARJETA DE ADQUISICION DE DATOS
ACELEROMETRICOS

T E S I S
Que para obtener el titulo de
INGENIERO MECANICO ELECTRICISTA
p r e s e n t a
HECTOR / PACHECO HERNANDEZ



Director de Tesis: Ing. Alejandro Jiménez Hernández

México, D. F.

1997

TESIS CON
FALLA DE ORIGEN



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

DEDICADO A:

**MIS PADRE, POR LA PACIENCIA Y TOLERANCIA QUE ME
BRINDARON.**

**MIS GRANDES AMIGAS: GEORGINA, QUETZALLI, ERICKA,
CARMEN, VERO SAN, JANET ARACELI, PATRICIA,
LUCIRALIA, GUADALUPE, MELISSA, VERÓNICA, ALMA,
NORMA.**

**KARINA Y CLAUDIA POR LA AMISTAD QUE ME
BRINDARON.**

MI ETERNA DIANA, POR UNA AMISTAD SIN LÍMITES.

AGRADECIMIENTOS PARA

EL CENTRO DE INSTRUMENTACIÓN Y REGISTRO SÍSMICO, POR EL APOYO PARA LA REALIZACIÓN DE ESTE TRABAJO, Y AL PERSONAL QUE AQUÍ LABORA POR COMPARTIR SU EXPERIENCIA Y CONOCIMIENTOS.

A TODOS EN LA COORDINACIÓN DE DISEÑO Y DESARROLLO, POR SU INVALUABLE AYUDA.

TODAS LAS PERSONAS QUE ME ALENTARON A SEGUIR ESTUDIANDO INGENIERIA

A TODOS LOS MAESTROS QUE ME AYUDARON EN MIS ESTUDIOS

AL INGENIERO JOSE LUIS TRIGOS, POR ENSEÑARME EL CAMINO DE LA INVESTIGACIÓN SÍSMICA.

AL INGENIERO ALEJANDRO JIMÉNEZ, POR SU GRAN PACIENCIA Y SU APOYO EN LA ELABORACIÓN DE ESTE TRABAJO.

INDICE TEMÁTICO**I.- INTRODUCCIÓN****II.- ESPECIFICACIONES DEL SISTEMA**

- II.1 - Análisis de requerimientos
- II.2 - Señales de entrada
- II.3 - Señales de salida
- II.4 - Procesamiento

III.- DISEÑO DE LA ARQUITECTURA

- III.1 - Diagrama de bloques de la arquitectura
- III.2 - Arquitectura del sistema
- III.3 - Funciones de control
- III.4 - Compatibilidad

IV.- IMPLEMENTACIÓN DEL SISTEMA

- IV.1 - Conversión A/D
- IV.2 - Almacenamiento de datos
- IV.3 - Memoria RAM
- IV.4 - Comunicación paralela
- IV.5 - Comunicación serie
- IV.6 - Indicadores externos
- IV.7 - Disparos de activación
- IV.8 - Disparo de salida
- IV.9 - Tiempo externo
- IV.10 - Reloj de tiempo real
- IV.11 - Procesamiento y control
- IV.12 - Alimentación del sistema
- IV.13 - Mapa de memoria
- IV.14 - Conectores

V.- PROGRAMACIÓN DEL SISTEMA

- V.1 - Algoritmo de funcionamiento general
- V.2 - Algoritmo de grabación
- V.3 - Algoritmo de comunicación
- V.4 - Algoritmo de reporte de la estación
- V.5 - Algoritmo de diagnóstico

VI.- PRUEBAS DE FUNCIONAMIENTO

- VI.1 - Diseño de las pruebas de funcionamiento
- VI.2 - Revisión de los circuitos impresos
- VI.3 - Pruebas a los dispositivos electrónicos
- VI.4 - Revisión de los niveles de voltaje

- VI.5.- Pruebas de funcionamiento
- VI.6.- Pruebas de comunicación
- VI.7.- Prueba de la conversión A/D
- VI.8.- Prueba de los dispositivos de almacenamiento
- VI.9.- Prueba del reloj de tiempo real
- VI.10.- Pruebas de disparo y grabación
- VI.11.- Funcionamiento en campo
- VI.12.- Inmunidad a ruido eléctrico
- VI.13.- Pruebas de temperatura
- VI.14.- Variaciones de voltaje

VII.- ANÁLISIS COSTO - BENEFICIO

- VII.1.- Costos del sistema
- VII.2.- Comparación con equipos comerciales

VIII.- RESULTADOS Y CONCLUSIONES

- VIII.1.- Resultados de operaciones
- VIII.2.- Comparaciones técnicas con equipos comerciales
- VIII.3.- Conclusiones

IX.- BIBLIOGRAFÍA

APÉNDICE A: LISTADOS DE PROGRAMAS

Listado del programa de operación

APÉNDICE B: DIAGRAMAS ELÉCTRICOS

Diagramas digitales
Diagramas analógicos

APÉNDICE C: COMPONENTES ELÉCTRICOS

Componentes digitales
Componentes Analógicos
Componentes Pasivos
Circuito Impreso

APÉNDICE D: EL MICROCONTROLADOR 80C552

APÉNDICE E: ADQUISICIÓN DIGITAL DE DATOS

APÉNDICE F: REGISTROS ACELEROMÉTRICOS

APÉNDICE G: TARJETAS RAD-851 INSTALADAS EN CAMPO

I.- INTRODUCCIÓN.

A partir de los sismos que sacudieron la Ciudad de México en 1985, se intensificó la instrumentación del Valle de México para estudiar el comportamiento del subsuelo durante la ocurrencia de eventos sísmicos, los cuales generalmente se originan en el litoral del Pacífico, especialmente frente a las costas de Michoacán, Oaxaca y Guerrero; siendo en este último estado donde se generan los movimientos sísmicos mas peligrosos para la Ciudad de México.

Para realizar este estudio, se instaló en el Valle de México una red de "Acelerómetros", para registrar todos los movimientos sísmicos que se presentan, y conocer las zonas mas vulnerables a estos movimientos en la Ciudad de México. Actualmente esta red de monitores acelerométricos esta bajo el cuidado del Centro de Instrumentación y Registro Sísmico A.C. (CIRES A.C.), quien se encarga de recuperar la información obtenida por los acelerómetros; de su mantenimiento y reparación.

La mayor parte de estos instrumentos de medición son fabricados por una compañía extranjera, "Terra Technology Inc.", y actualmente los equipos tienen una antigüedad de aproximadamente diez años. Debido al tiempo de operación, los equipos han comenzado a presentar una serie de inconveniencias para el CIRES, por lo que este trabajo tiene como objetivo principal la actualización de estos equipos acelerométricos de acuerdo a las necesidades del Centro.

Los equipos acelerométricos actuales utilizan como dispositivo de almacenamiento cintas magnéticas (cassettes), los cuales son vendidos por "Terra technology". Este tipo de almacenamiento presenta inconvenientes que provocan perdida de datos y en casos extremos la perdida total de la información que se ha obtenido en semanas e incluso meses. Por otra parte, la tarjeta principal (mother board), durante su funcionamiento en campo presenta los siguientes inconvenientes:

- Son muy sensibles a descargas electrostáticas
- Los controles de configuración son mecánicos y están expuestos al desgaste por uso.
- Las refacciones son costosas y difíciles de adquirir debido a que son de importación.
- Las memoria son muy delicadas y solamente se consiguen adquiriéndolas directamente a la fábrica; las cuales ya están grabadas con el programa de operación.
- Algunos parámetros importantes como el tiempo de grabación del pre-evento y post-evento no pueden ser modificados, a excepción de que se compren memorias modificadas del programa de operación al fabricante.

- Al no poderse modificar el programa de operación se limita el uso del acelerómetro a las especificaciones del fabricante y no se le pueden agregar funciones que se necesitan en el CIRES.

En lo que se refiere al mantenimiento de los equipos acelerométricos; este se realiza mediante visitas periódicas a cada estación instalada en el Valle de México, considerando que una visita a cada equipo requiere del movimiento de un vehículo y una persona como mínimo; solo se le puede dar mantenimiento a un máximo de cinco estaciones diarias, si estas se encuentran relativamente cerca unas de otras. En el caso de que ocurra un movimiento sísmico se requiere la información acelerométrica del mayor número posible de estaciones, esto implica un mayor número de personas y vehículos para recorrer todas las estaciones instaladas lo que consume una gran cantidad de tiempo y recursos, teniendo como consecuencias: un gran costo económico y una gran pérdida de tiempo para la elaboración de informes técnicos acerca del movimiento sísmico que haya ocurrido.

Por otra parte el mantenimiento correctivo tiene que ser realizado por personal altamente capacitado y familiarizado en los equipos porque no existe un manual de mantenimiento ni de corrección de fallas, lo que hace que el tiempo de reparación de un equipo completo sea de varios días durante los cuales se debe de sustituir mediante equipos de reserva si se cuenta con ellos ó en caso contrario la estación queda fuera de servicio durante el tiempo que tarde en solucionarse el problema. Si se trata de un mantenimiento mayor, como puede ser el daño de una memoria de programación, el tiempo que el equipo queda fuera de servicio aumenta notablemente hasta que se consigue el componente en la compañía. Estos componentes solo pueden ser adquiridos en los Estados Unidos".

Las problemáticas mencionadas anteriormente fueron la principal razón que condujeron a la realización de un sistema acelerométrico nacional que cumpliera todos los requerimientos que se tienen en el CIRES, generando tecnología en lo referente a la adquisición de datos acelerométricos y en la detección de movimientos sísmicos; dando especial énfasis en la calidad y confiabilidad del sistema para hacerlo competitivo en costo/desempeño frente a otros sistemas de adquisición de datos acelerométricos.

El objetivo de este trabajo es diseñar, implementar y probar una tarjeta de adquisición de datos acelerométricos con el propósito de actualizar los sistemas de registro sísmico que operan actualmente en el CIRES. Para tal efecto este trabajo de tesis se divide de la siguiente forma:

CAPITULO I: Se hace una breve descripción de los objetivos a conseguir con la realización de este trabajo de tesis.

CAPITULO II: En este capítulo se analizan los requerimientos con los que debe de contar el sistema, tanto en las señales de entrada como en las señales de salida y el tipo de procesamiento a efectuar sobre la información obtenida.

CAPITULO III: Dentro de este capítulo se realiza el diseño de la arquitectura de la tarjeta de adquisición de datos.

CAPITULO IV: Una vez realizado el diseño de la arquitectura se procederá a la implementación electrónica de la tarjeta de adquisición de datos, justificando el uso de cada componente.

CAPITULO V: Terminada la implementación del sistema se desarrollará el programa de control de la tarjeta presentando los algoritmos de control de cada función y procedimiento.

CAPITULO VI: Terminados el armado y programación de la tarjeta, esta deberá pasar una serie de pruebas que validen su adecuado funcionamiento en diferentes ambientes.

CAPITULO VII: Se presentará un análisis del costo del sistema comparado con otros sistemas comerciales verificando el beneficio que se obtuvo en el desarrollo de este trabajo.

CAPITULO VIII: Se analizarán los resultados obtenidos con este trabajo comparándolo con sistemas comerciales de adquisición de datos acelerométricos, mencionando los resultados y conclusiones que se obtuvieron con el desarrollo de este trabajo.

CAPITULO IX: Se mencionará la bibliografía utilizada como referencia en la elaboración de este trabajo.

II.- ESPECIFICACIONES DEL SISTEMA

Todos los sistemas de adquisición de datos tienen una estructura básica a partir de la cual se especializan dependiendo del tipo de señal a digitalizar y el tipo de procesamiento que se le aplique a la información obtenida; esta configuración básica es representada mediante la figura siguiente:

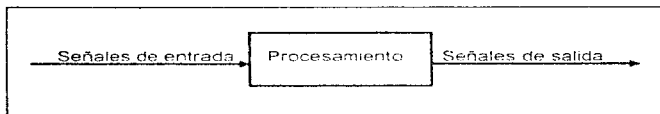


Figura 1. Nos muestra en forma sencilla la manera en que se realiza la digitalización de una señal física, primero la señal física es leída por el sistema de adquisición de datos, se procesa y se entrega en la forma deseada para su análisis.

Al diseñar el sistema de adquisición de datos se debe de partir de unas bases mínimas en la forma en que se adquieren las señales analógicas, el tipo de procesamiento que se aplica y la manera en que el sistema entrega los datos para su análisis.

II.1.- ANÁLISIS DE REQUERIMIENTOS

La serie de requerimientos técnicos que garantizan que el sistema desarrollado cumplirá las necesidades para las que es creado, se presentan y se explican a continuación.

- El primero y más importante de los requerimientos que se deben de satisfacer, es que el equipo desarrollado sea compatible con los actuales sistemas de adquisición de datos acelerométricos de la compañía "Terra Technology", en su modelo "DCA-333", debido a que el sistema a desarrollar en este trabajo está diseñado para modernizar la red acelerométrica con que cuenta el CIRES; y dicha red está basada en un 90% en acelerómetros "DCA-333".
- Las señales de entrada y salida del sistema a desarrollar deben ser compatibles con los equipos "Terra Technology" para poder conectar sin problema equipos diseñados por el CIRES y equipos "DCA-333"; en los casos que así se necesite.
- Se deberá utilizar tecnología en componentes electrónicos que no sea muy sensible a descargas electrostáticas, actualmente los equipos "DCA-333" son extremadamente sensibles a este tipo de descargas lo que les ocasiona un gran cantidad de fallas.

- El sistema deberá funcionar sin problemas en un amplio rango de temperaturas; este requisito es de gran importancia para un país como México en donde se presentan temperaturas extremas entre el día y la noche; los dispositivos a utilizar deberán de funcionar sin problemas en un rango de temperaturas de -5° a 80° grados centígrados.
- El equipo debe ser inmune a ruidos eléctricos ambientales para poder ser instalado en una gran variedad de entornos sin que esto afecte la calidad de las lecturas.
- La resolución de las lecturas que se obtenga debe ser al menos igual a la entregada por los equipos "DCA-333".
- La capacidad en tiempo de grabación del sistema desarrollado debe ser mayor a la de los equipos "DCA-333" que actualmente cuentan con un tiempo de grabación de aproximadamente 900 segundos (15 minutos), para así poder disminuir las visitas de mantenimiento.
- El dispositivo de almacenamiento de información debe ser más confiable y fácil de manejar que el actual equipo de grabación en cinta magnética para evitar en lo posible fallas y pérdidas de información.
- Se debe de evitar las partes móviles con la finalidad de alargar la vida útil de la tarjeta.
- El consumo de energía deberá ser como máximo igual al consumo actual de los equipos acelerométricos "DCA-333", para aumentar el margen de seguridad que ofrecen las baterías de respaldo instaladas en campo, además el equipo deberá ser diseñado para poder trabajar con celdas solares, lo que permitirá instalar equipos acelerométricos en lugares en donde la energía eléctrica no es confiable o no existe.
- Los parámetros de funcionamiento del sistema deberán ser modificados por medio de una computadora portátil; se elige este tipo de computadora debido a que son las más adecuadas para trabajar en campo. La configuración del sistema se basará en un programa de computación desarrollado por el CIREs, lo que permitirá que el sistema se adapte a las necesidades propias del centro y al mismo tiempo se pueda hacer la incorporación de algoritmos de disparo más exactos. El hecho de que el programa de operación haya sido desarrollado por el centro permite que este se mejore y actualice, de acuerdo a las necesidades que se presenten a futuro.
- La información que ha sido almacenada debe conservarse por un lapso de tiempo adecuado en caso de ausencia del suministro de energía para que no se pierdan los datos acelerométricos que se obtuvieron durante un movimiento sísmico en el caso de un colapso de la estructura en donde está instalado el sistema. De esta manera se puede contar con información valiosa de la falla de la estructura sirviendo el sistema como una "caja negra".
- Los parámetros con los que ha sido configurado el sistema no deberán ser modificados por falta de energía eléctrica o por la condición de "RESET" de la tarjeta. En caso de falla eléctrica el sistema no pierde su configuración y al momento en que se normalice el suministro de energía eléctrica el sistema debe funcionar como ha sido programado sin necesidad de una visita técnica.

inmediata. A diferencia de esto los equipos "DCA-333" pierden toda configuración al fallar el suministro de energía.

- La tarjeta de adquisición de datos deberá detectar diversas fallas que pongan en peligro la integridad de la información almacenada, además de indicar posibles errores en la instalación del equipo mediante indicadores de campo. El realizar un autodiagnóstico es una gran ventaja en el momento de dar mantenimiento al sistema ya que se localiza el problema con más facilidad y el tiempo de mantenimiento correctivo disminuye. La localización de errores de instalación nos garantizan que el equipo quedó correctamente instalado y listo para grabar información, a diferencia de esto, los equipos "DCA-333", no realizan ningún tipo de rutina de diagnóstico dentro de sus tarjetas.
- El dispositivo de almacenamiento deberá poder ser cambiado sin afectar la configuración del sistema. Esta opción nos permite recuperar la información almacenada sin que exista peligro de perder la información y configuración del sistema, sin tener que llevar una computadora portátil.
- La información almacenada podrá ser recuperada en campo mediante una computadora portátil; esta opción estará disponible por si no se cuenta con dispositivos de almacenamiento de reserva; al recuperar la información en campo esta será guardada dentro de un archivo de datos para su posterior análisis y procesamiento, mientras que el dispositivo de almacenamiento quedará listo para volver a grabar información sin necesidad de borrarlo con dispositivos externos ni de realizar algún tipo de formato.
- Se deberá de contar con un reloj de tiempo real que nos indique la hora y fecha (GMT) de ocurrencia del evento sísmico.
- La tarjeta de adquisición de datos deberá interpretar en forma correcta el código de tiempo "Omega". Para un mejor análisis del movimiento sísmico registrado.
- Para tener la seguridad de que el sistema está funcionando en forma correcta en campo, se deberá de contar con un medio de comunicación vía "módem"; se elegirá un sistema de comunicación "RS232".
- La comunicación vía "módem" deberá de tener las mismas opciones que la comunicación realizada en campo por medio de la computadora portátil para evitar las visitas de mantenimiento. Con lo anterior se reduce notablemente los gastos por visitas técnicas y se agiliza la recuperación de datos acelerométricos al poder interrogar a los sistemas instalados en campo desde una estación central.
- Los equipos instalados en campo que cuenten con módem podrán ser programados para que se reporten a una hora y fecha especificada; con la finalidad de monitorear su funcionamiento y la precisión de su reloj de tiempo real.
- Si el sistema detecta una falla tendrá la opción de indicarla al momento de su reporte a la hora y fecha que se le programe.
- La tarjeta deberá de contar con protecciones para descargas eléctricas en la alimentación de energía así como protección en sus entradas y salidas digitales.

- El sistema deberá ser diseñado para una alimentación de +12 V. Este es el valor comúnmente usado en baterías recargables y es además el voltaje nominal de la mayoría de las celdas solares.
- El valor del umbral de disparo en la detección de movimientos sísmicos deberá de ser de la escala completa para configurar el sistema en diversos ambientes en donde pueden existir vibraciones mecánicas que dispararían el sistema con bastante frecuencia y se registrarían movimientos que no son ocasionados por movimientos sísmicos.
- El circuito impreso que se va a utilizar debe ser compatible con la disposición de los tornillos de la tarjeta principal del acelerómetro "DCA-333" con el fin de que la nueva tarjeta de adquisición de datos pueda ser instalada en el mismo gabinete sin tener que hacer modificaciones adicionales.
- Los bornes de conexión de disparos y el de alimentación deben de tener el mismo tamaño que los usados en la tarjeta "DCA-333", para evitar que se tenga que hacer unos nuevos conectores; facilitando con esto la sustitución directa de las tarjetas en el lugar donde están instalados los equipos.

Se han mencionado los requerimientos que se piden en el diseño de esta tarjeta de adquisición de datos acelerométrico, cada uno de estos requisitos será cumplido y en su caso se señalarán los opciones adicionales que tenga el sistema.

II.2.- SEÑALES DE ENTRADA

Una vez establecidos los requerimientos para el diseño de este sistema de adquisición de datos acelerométricos, se explicarán las señales de entrada necesarias, mencionando sus características y la función que desempeñan. Se considerarán señales de entrada las que suministran la energía eléctrica para el funcionamiento de todo el sistema. En el esquema se observan las señales de entrada con las que va a contar el sistema.

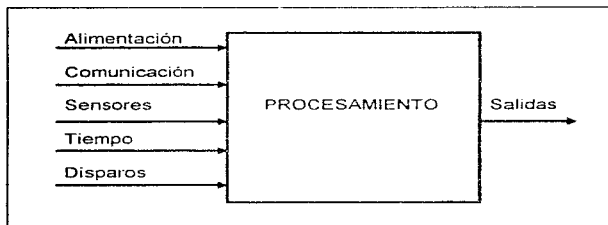


Figura 2. Diagrama de bloques de las señales de entrada que se van a manejar dentro del sistema.

Existen diversas señales de entrada al sistema de las cuales algunas son señales analógicas y otras son señales digitales. Cada señal es manejada de forma diferente para tener una correcta interpretación de la misma; a continuación se explicará en detalle la función de cada entrada describiendo la manera como son detectadas y la forma en que serán atendidas por el microcontrolador.

Alimentación: El sistema requiere de una alimentación de corriente directa y un voltaje nominal de funcionamiento de +12 Volts; voltaje que es proporcionado por una batería recargable de al menos 7 Ah. El tamaño y capacidad de almacenamiento de la batería está en relación directa con el tiempo de respaldo que se quiera tener para un buen funcionamiento del equipo antes de que se presente una falla en el suministro de energía. La alimentación del equipo puede ser proporcionada directamente por un cargador de baterías conectado a la línea de 127 V C.A.

Otra alternativa es la de utilizar una celda solar para recargar la batería de respaldo durante el día y dejar que la batería alimente el sistema durante la noche; esta es la opción mas viable en el caso de que el equipo sea instalado en campo. En este caso se necesita de la utilización de un regulador para la celda solar; esta forma de alimentación de la tarjeta le confiere una gran autonomía en sitios lejanos al centro de operaciones garantizando un suministro constante de energía eléctrica.

Comunicación: Una parte estratégica de un sistema de adquisición de datos es la comunicación, la cual se realiza mediante una computadora portátil, para lo cual se implementará una comunicación tipo paralela teniendo además la posibilidad de tener comunicación vía módem para acceso remoto mediante comunicación serial.

- Comunicación paralela: Está enfocado a la utilización de una computadora portátil, que son las utilizadas en visitas de mantenimiento y revisión de muchos otros equipos. La conexión se hace mediante un cable paralelo de entrada hembra y salida macho en donde se utiliza un canal de datos de ocho bits con cuatro líneas de protocolo y la señal de referencia del equipo. Todos los parámetros de operación del sistema pueden ser cambiados por medio de la computadora.

- Comunicación serie: Está orientada a la comunicación remota, por medio de un módem; se utiliza el protocolo de comunicación "RS-232", el cual es un estándar en la gran mayoría de los aparatos de comunicación digital. Al igual que la comunicación paralela la comunicación serie podrá configurar todos los parámetros de operación con lo que se ahorra tiempo al no tener que ir al lugar en donde se encuentre instalado el sistema de adquisición de datos acelerométricos.

También se puede comunicar con cualquier computadora personal por medio de su puerto serie, lo que hace más compatible el equipo ya que se elimina la necesidad de adquirir una computadora portátil.

Disparos de activación: La posibilidad de que un equipo de instrumentación sea capaz de reconocer disparos de activación externos crea la opción de que se pueda utilizar una configuración "maestro-esclavo", con lo que se obtiene una mejor selección de los datos a grabar. En este sistema de adquisición de datos acelerométricos se cuenta con dos entradas para disparos externos los cuales activan el sistema en forma diferente.

- Disparo externo de otro equipo: Este disparo se activa por medio de un flanco de subida; lo que garantiza la activación del equipo sea por medio de una señal digital que cambie de bajo a alto o por un tren de pulsos; las dos condiciones anteriores son las formas de disparo mas comúnmente usadas en equipos de instrumentación lo que hace a este equipo compatible con los disparos generados

por los equipos "DCA-333", con lo que se cumple una condición de compatibilidad para la sustitución de estos equipos. Es importante mencionar que solo son permisibles señales digitales, esto es, una señal que se encuentre en un rango de voltaje de cero a cinco Volts, si la señal sobrepasa estos valores hacia arriba o hacia abajo la señal puede ser interpretada erróneamente y se causaría daño a la tarjeta.

- Disparo por SAS: Este tipo de disparo fue implementando específicamente bajo los requerimientos del Centro de Instrumentación y Registro Sísmico en cuanto al tiempo de grabación que se tiene en respuesta a este disparo y en el hecho de que no se guarda información de el tiempo de pre-evento debido a que se considera que el disparo se produce con bastante anticipación al momento en que se produce el movimiento sísmico en el lugar donde se encuentra instalado el equipo. En lo referente a la señal de activación de este disparo es mediante un flanco de subida; lo que también lo hace compatible con los equipos "DCA-333". La activación de este disparo es por medio de una señal digital que cambie de cero a cinco Volts o por un tren de pulsos entre estos valores de voltaje.

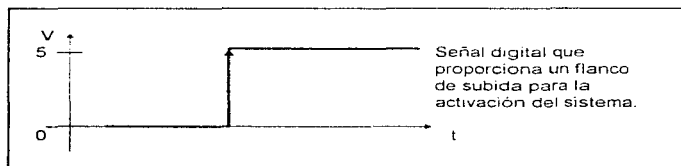


Figura 3. Gráfica de disparo por flanco de subida.

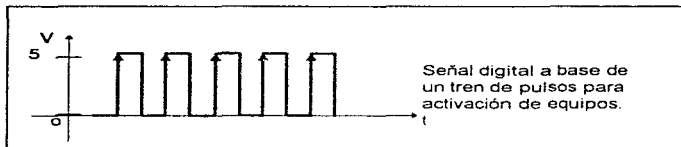


Figura 4. Gráfica de disparo por medio de un tren de pulsos.

Sensores: Las señales acelerométricas son generadas por tres servo-sensores acelerométricos y son proporcionadas en forma analógica por lo que es necesario que pasen por un convertidor analógico/digital. Estas señales están en un rango de voltaje de uno a seis Volts, teniendo como referencia de cero virtual un voltaje de 3.5 Volts; lo que hace necesario el restarle un offset a las señales de los sensores para poder utilizar la escala completa del convertidor analógico/digital. De lo anterior se deduce que se tendrá un cero virtual en el convertidor A/D, cuando se tenga un voltaje de entrada de 2.5 Volts.

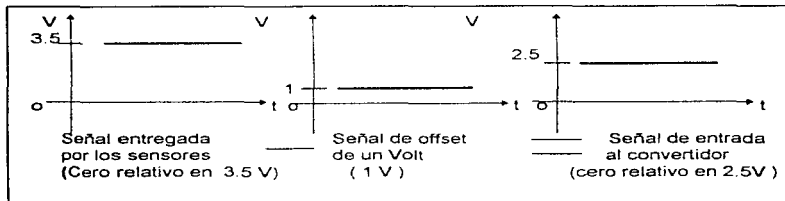


Figura 5. Se ejemplifican las señales entregadas por los sensores triaxiales (tres canales) y la forma en que les es restada una señal de offset de un Volt para poder utilizar la escala completa del convertidor analógico/digital. La gráfica es idéntica para los tres canales analógicos.

Tiempo: La referencia de tiempo deberá ser una señal de tipo digital, localizada en un rango de voltaje entre cero y cinco Volts, puede ser adaptada a señales estándares de tiempo como son las señales "Omega", la llegada de este tipo de señal genera una marca en la información acelerométrica para tener un mejor análisis del acelerograma.

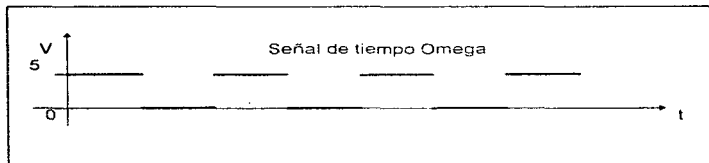


Figura 6. La gráfica nos muestra la señal de tiempo "omega".

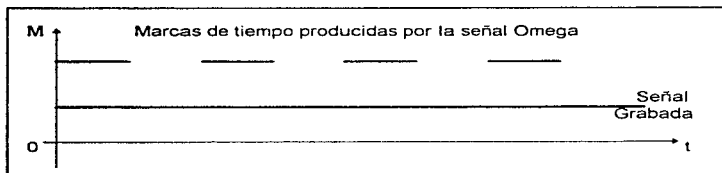


Figura 7. La gráfica nos muestra las marcas que se generan con la señal de tiempo "omega".

La figura anterior nos muestra las marcas de tiempo que se generan con la señal "Omega", lo que nos da una mejor referencia de tiempo para el análisis de los acelerogramas.

II.3.- SEÑALES DE SALIDA

Para un sistema de adquisición de datos es de vital importancia la entrega de la información obtenida durante su funcionamiento, para lo que son necesarias señales de salida que nos proporcionen información acerca del funcionamiento del sistema en todo momento, además de entregarnos en forma sencilla todos los datos almacenados en su sistema de almacenamiento.

El sistema de adquisición de datos deberá tener la opción de funcionar como "maestro" de otros equipos de instrumentación. El siguiente diagrama de bloques nos proporciona todas las salidas que tendrá este sistema de adquisición de datos; todas ellas serán justificadas y explicadas detenidamente.

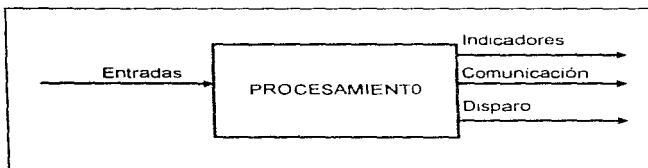


Figura 8. Señales de salida de la tarjeta

Indicadores externos: Los indicadores externos del sistema tienen como función la de mostrar el estado de operación de la tarjeta de adquisición de datos y constan de cinco diodos emisores de luz (leds).

Uno de ellos, un led de color rojo tiene como única función la de indicar el estado del fusible de protección y permanecerá apagado durante todo el tiempo de operación del sistema encendiéndose únicamente en el caso de que el fusible se encuentre en mal estado (fundido); indicando así una falla del sistema y facilitando el mantenimiento del mismo.

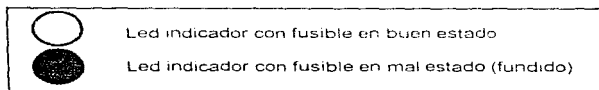


Figura 9. Indicador de estado del fusible; fusible en buen estado led apagado, fusible en mal estado led encendido.

Los cuatro leds indicadores restantes son manejados por la unidad de procesamiento y nos indican a cada instante el estado de operación del sistema; los leds están dispuestos de la siguiente manera dentro de la tarjeta.

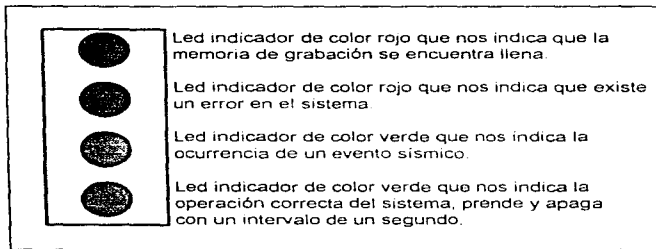


Figura 10. Descripción de los leds indicadores del sistema.

La operación de los indicadores depende del programa de operación del sistema por lo que son modificados en cualquier momento y son utilizados para monitorear el funcionamiento del sistema.

II.4.- PROCESAMIENTO

El sistema de adquisición de datos tiene como función principal almacenar información de movimientos sísmicos. Para este fin cada señal de entrada de los sensores es digitalizada mediante el convertidor analógico/digital y la señal en forma digital es comprimida para hacer un mejor uso de la memoria de almacenamiento.

Una vez que la información se encuentra en el formato deseado es grabada en la memoria de pre-evento para posteriormente ser guardada en el dispositivo de almacenamiento en el caso de que se presente un movimiento sísmico. Los archivos almacenados en memoria son entregados en forma secuencial a la computadora.

III.- DISEÑO DE LA ARQUITECTURA.

El planteamiento de esta arquitectura tiene la finalidad de cumplir todas las necesidades que se tienen en el Centro de Instrumentación y Registro Sísmico, en lo referente a la modernización de sus equipos de registro de movimientos sísmicos, por lo que cada parte de este sistema fue diseñado tomando en cuenta especialmente la compatibilidad con los equipos existentes.

III.1.- Diagrama de bloques de la arquitectura

En la figura siguiente se observa el diagrama de bloques del sistema de adquisición de datos, en donde podemos observar las líneas de datos que requiere cada módulo.

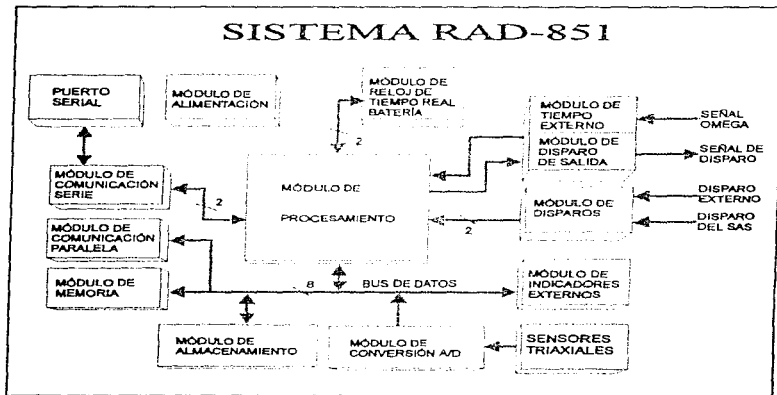


Figura 11. Diagrama de bloques de la tarjeta.

- **Módulo de Conversión A/D:** El modulo de conversión acondiciona y digitaliza las señales que entregan los sensores, a la tarjeta de adquisición de datos.

El acoplamiento se realiza mediante circuitos seguidores de voltaje para aislar una tarjeta de otra, minimizando el riesgo de falla en alguna de las dos tarjetas que afecte a la tarjeta restante. Las señales a la salida de los circuitos seguidores son conectadas a un switch Analógico, el cual funciona a modo de un multiplexor, que se encarga de elegir la señal del canal que se necesite. Este dispositivo maneja cuatro señales analógicas que son:

- Canal Vertical
- Canal Este/Oeste
- Canal Norte/Sur
- Voltaje de batería de alimentación

Las tres primeras señales provienen de la tarjeta sensora y son las señales de los tres ejes geográficos, cada canal es independiente de los otros dos, por lo que se podría tener una tarjeta sensora con uno, dos ó tres sensores acelerométricos. La cuarta señal proviene de la tarjeta digital y se utiliza para supervisar el voltaje de la batería y así tener una historia de la misma para reemplazarla en el momento que se crea pertinente, antes de una falla total.

Una vez que la señal sale del switch Analógico llega a un circuito restador, en donde se resta un Volt a todas las señales. Las señales que se obtienen de la tarjeta de sensores tienen un valor 3.5 Volts como cero relativo; lo que causa que las señales queden fuera del rango de conversión y se observe una saturación en movimientos sísmicos de gran magnitud. Al restarle un Volt a las señales se tiene una señal que tiene su cero relativo en 2.5 Volts, con lo que se cubre todo el rango de voltaje del convertidor. Después la señal entra al dispositivo de conversión en donde se digitaliza.

La figura nos muestra todo el procedimiento que se utiliza en el proceso de la conversión Analógica Digital.

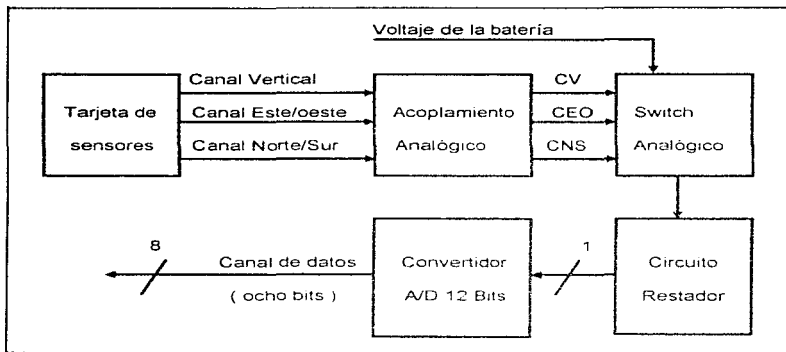


Figura 12. Esquema de funcionamiento del módulo de conversión Analógica-Digital. Este módulo es de solo lectura.

- **Módulo de almacenamiento:** El dispositivo de almacenamiento de este sistema, es una memoria de estado sólido de gran capacidad; lo que nos permitirá tiempo de grabación grandes usando tres canales acelerométricos; con esto se cubre en forma satisfactoria la necesidad de tener mas tiempo de grabación que los sistemas actuales. Físicamente la memoria debe reemplazarse con facilidad.

La lectura de la información grabada se realiza desde una computadora portátil conectada al puerto paralelo o por el puerto serie de la tarjeta. La memoria debe ser reemplazada sin perder la configuración del sistema mediante un procedimiento simple que consista en mover un sencillo interruptor, esperar un momento hasta que el sistema nos indique que la información ha sido respaldada; insertar la nueva tarjeta y regresar el interruptor a su posición original.

Este procedimiento nos facilita las visitas al equipo para recuperar la información almacenada, no se necesita llevar una computadora hasta el sitio de la instalación del equipo, se requiere únicamente otra tarjeta de memoria. Al cambiar la tarjeta, el sistema la debe de reconocer de inmediato, grabarle el número de identificación y ubicación del sistema sin intervención del operador.

- **Módulo de Memoria:** Consta de una memoria tipo RAM de 32 kilobytes de capacidad, en la cual son grabadas las muestras de las señales acelerométricas que ya han sido previamente digitalizadas por el convertidor analógico-digital.

El dispositivo es direccionado y habilitado por el microcontrolador y su función principal es guardar las muestras acelerométricas del tiempo de pre-evento que se haya definido en los parámetros del sistema; toda la información obtenida es primeramente almacenada en este dispositivo y posteriormente grabada en la tarjeta de almacenamiento en el caso de un movimiento sísmico. La segunda función de esta memoria es la de guardar la configuración del sistema cuando se realiza el procedimiento de cambio del dispositivo de almacenamiento (Tarjeta de memoria); se respaldan los parámetros generales y de operación contenidos en la tarjeta de memoria que va a ser retirada. La memoria de pre-evento debe estar ubicada en la parte baja de la memoria del sistema y tener al menos una longitud de 32 kilobytes con atributos de lectura/escritura.

- **Módulo de Comunicación Paralela:** Una manera de enviar datos entre la tarjeta de adquisición de datos y la computadora, es utilizando comunicación de tipo paralelo, que se realiza mediante un conector tipo DB25. Esta forma de comunicación está diseñada para conectarse con una computadora portátil, mediante un puerto paralelo bidireccional, ofrece una alta velocidad en la transmisión de datos por lo que el tiempo de mantenimiento y recuperación de registros acelerométricos se reduce a unos minutos. Para una óptima comunicación se recomienda que el cable de conexión utilizado sea un cable blindado de no mas de dos metros de longitud para evitar errores en la comunicación y recuperación de datos. En la siguiente figura se ejemplifica el procedimiento de conexión entre la computadora portátil y la tarjeta de adquisición de datos.

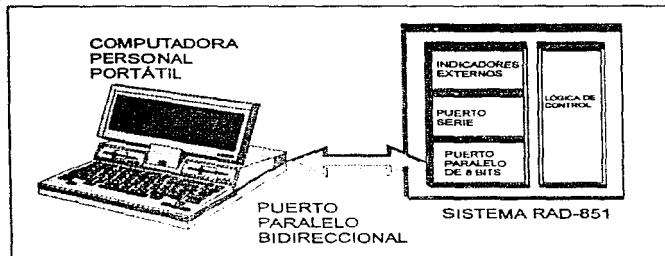


Figura 13. Conexión del sistema de adquisición de datos y una computadora portátil mediante un puerto paralelo bidireccional

El puerto paralelo se ubica en memoria RAM, y cuenta con atributos de lectura/escritura.

- **Módulo de Comunicación Serie:** Otra manera de lograr una comunicación entre la tarjeta de adquisición de datos y una computadora es mediante el puerto serie; en este caso se puede conectar a cualquier tipo de computadora sin que necesariamente se trate de una computadora portátil.

La comunicación serie está estandarizada al formato "RS232". Una ventaja de este formato es la compatibilidad con transmisores módem y "Radio-Módem", por lo que el sistema de adquisición de datos puede conectarse a uno de estos transmisores y ser interrogado en forma remota al sitio en donde se instaló el sistema. La figura siguiente nos muestra la forma de conexión entre el sistema de adquisición de datos y una computadora por medio del puerto serie

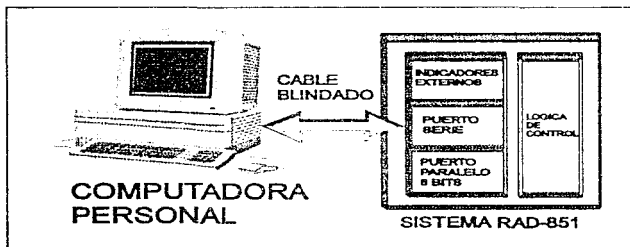


Figura 14. Conexión del sistema de adquisición de datos acelerométricos y una computadora personal por medio del puerto serie con formato "RS232".

La figura siguiente nos muestra la comunicación entre el sistema de adquisición de datos y una computadora remota por medio de dispositivos "Módem" y teléfonos celulares en la transmisión y recepción.

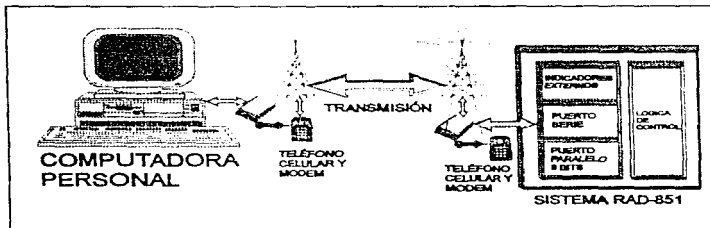


Figura 15. Enlace remoto via módem.

- **Módulo de Indicadores Externos:** Para el monitoreo del sistema se cuenta con cuatro leds que nos indican en todo momento el estado de operación de la tarjeta.

Recordando el esquema mostrado en el capítulo anterior, la disposición de estos indicadores es la siguiente.

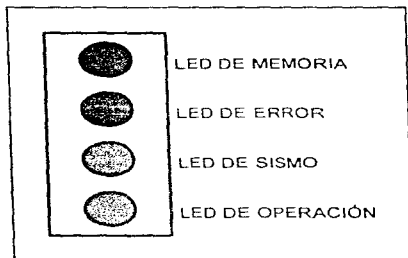


Figura 16. Leds indicadores del sistema.

Los leds "operación" y "sismo", son de color verde mientras que los restantes son de color rojo. Mediante estos cuatro indicadores se ha establecido un código con los errores más frecuentes que se presentan en la operación de la tarjeta.

En la tabla siguiente se describen estos errores y se muestra cual es la condición que presenta cada led de acuerdo al error encontrado por la rutina de diagnóstico.

CONDICIÓN O ERROR	OPE	SIS	ERR	MEM
Sistema apagado	○	○	○	○
Memoria llena	○	○	○	●
Error en memoria	○	○	●	○
Memoria protegida	○	○	●	●
Sismo activo	○	●	○	○
-----	○	○	○	○
-----	○	○	○	○
Operación	●	○	○	○
-----	○	○	○	○
Error de batería SRAM	●	○	●	○
Error batería principal	●	●	●	○
Comunicación	●	●	○	○
-----	○	○	○	○
Calibración	●	●	●	○
Sistema en BOOT	●	●	●	●

Tabla 1. Errores comunes y condición de los indicadores.

● = Led encendido

○ = Led apagado

El módulo de indicadores está ubicado en la memoria del sistema y tiene atributos de solo escritura. Se debe contar con un "jumper" para habilitar o deshabilitar los leds indicadores en caso de que así se necesite.

- **Módulo de Activación de entrada** : El sistema puede ser activado para grabar información mediante el disparo de otros equipos (puede trabajar como un dispositivo esclavo). Están implementadas dos entradas de activación o disparo, a cada uno de ellas el sistema responde de forma diferente en cuanto a la grabación de datos.

- **Activación por otro equipo**. Esta forma de activar el sistema fue diseñada para que el dispositivo maestro sea otro equipo acelerométrico, al momento de recibir la señal de disparo el equipo responde iniciando la grabación de datos de pre-evento por el tiempo fijado en la configuración, el equipo continuará grabando mientras se sobrepase el umbral de disparo programado o la señal de disparo del dispositivo maestro sea alta y/o presente un tren de pulsos, a una frecuencia

máxima de 10 kiloHertz. Una vez que el umbral ya no se rebase ni la señal de disparo este activa se graba por el tiempo de post-evento fijado y termina la rutina de grabación.

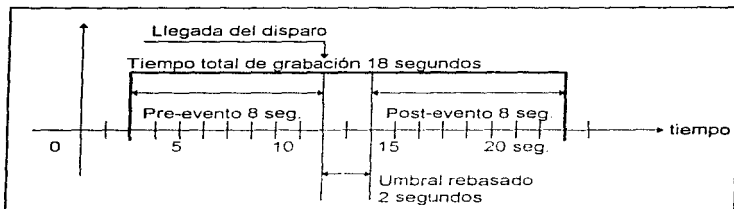


Figura 17. Gráfica de respuesta al disparo de cualquier equipo y tiempo de grabación del sistema.

La gráfica anterior ejemplifica la respuesta que tiene el sistema cuando es disparado por un dispositivo maestro; la gráfica es esquemática y no tiene escala alguna.

Para la elaboración del esquema anterior se consideró que el tiempo de pre-evento y el tiempo de post-evento eran de ocho segundos a una frecuencia de muestreo de 100 muestras por segundo. La grabación efectuada entre los segundos diez y doce se realizaría si en ese momento las señales de los sensores hubiesen rebasado el 80 % del umbral de disparo programado; en caso contrario estos datos quedarían dentro del tiempo de post-evento y el registro tendría una duración de solo 16 segundos.

- Activación por el Sistema de Alerta Sísmica (SAS): Esta forma de disparo fue propuesta para cumplir requerimientos del CIRES; este disparo activa al sistema como un dispositivo esclavo y la diferencia existente entre este disparo y el anterior es la manera en que es atendido.

Para este caso se considera que se cuenta con 50 segundos antes de que se presenten las ondas sísmicas (en el caso de que los equipos estén instalados en el Valle de México). Al recibir la señal de activación el equipo comienza a grabar información actual; no guarda información de pre-evento debido a que se considera que las ondas sísmicas tardarán algunos segundos en llegar.

El tiempo mínimo de grabación es de un minuto y treinta segundos mas el tiempo de post-evento fijado (mínimo de ocho segundos en el caso de una frecuencia de muestreo de 100 muestras por segundo). Posteriormente se compara el umbral de disparo para saber si este es rebasado, si ese es el caso, el sistema continuará grabando hasta que las muestras obtenidas no rebasen el 80 por ciento del umbral fijado. En caso contrario si al terminar de grabar un minuto y treinta segundos y el 80 % del umbral de disparo ya no es rebasado solo se grabará información por el tiempo de post-evento fijado. Esta forma de activar el sistema, también puede ser habilitada por cualquier equipo "DCA-333".

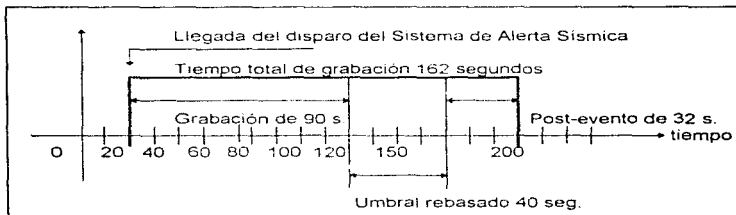


Figura 18. Gráfica de respuesta al disparo del Sistema de Alerta Sísmica (SAS) y tiempo de grabación del sistema.

La gráfica anterior nos muestra la respuesta que tiene el sistema cuando es disparado por el Sistema de Alerta Sísmica (SAS), la cual actúa como dispositivo maestro para la grabación de eventos sísmicos, la gráfica es esquemática y no tiene escala alguna.

Se puede observar claramente que no se graba la información almacenada en la memoria de pre-evento y se graban en forma automática 90 segundos de información, al término de los cuales se revisa si el 80 % del umbral de disparo programado está siendo rebasado; si es así se continua grabando información en la memoria de almacenamiento. Una vez que el sistema detecta que el 80 % del umbral ya no se rebasa se comienza a guardar información por el tiempo de post-evento anteriormente programado. Para este ejemplo se consideró un tiempo de grabación de post-evento programado de 32 segundos, a una frecuencia de muestreo de 100 muestras por segundo.

- **Módulo de disparo de salida:** Se debe tener una salida para activar otros equipos de medición al momento en que se detecta que las señales de los sensores rebasan el umbral establecido. La salida tiene un voltaje de cero Volts si no es rebasado el umbral de disparo y sube a cinco Volts en el momento en que se rebasa manteniendo un señal cuadrada, durante todo el tiempo que se rebase el umbral de disparo.

El rango de voltaje se eligió así (de cero a cinco Volts), para cumplir con la compatibilidad de los equipos "DCA-333", se proporciona una corriente de salida máxima de 40 miliamperes.

- **Módulo de tiempo externo:** Para sincronizar el sistema con referencias de tiempo externo se deberá tener una entrada con estándar "TTL", que puede recibir señales de sincronización del tipo "omega" con lo que la información grabada dispone de una señal de referencia para un mejor análisis del acelerograma.

- **Módulo de reloj de tiempo real:** Para determinar la ocurrencia de un evento sísmico con precisión se cuenta con un reloj de tiempo real que nos indica fecha y hora de detección del movimiento e interpretación como sismo. El reloj de tiempo real debe contar con respaldo de energía para evitar la pérdida de hora y fecha en caso de que falle el suministro eléctrico a la tarjeta.

- **Módulo de procesamiento:** Para controlar todo el sistema se tiene un microcontrolador que realiza todas las funciones de control que se requieren para un adecuado funcionamiento de la tarjeta de adquisición de datos. Esta parte del sistema interpreta la información obtenida de los sensores acelerométricos para determinar la ocurrencia de un evento sísmico y comenzar a grabar la información

- **Módulo de alimentación:** Proporciona los niveles de voltaje adecuados para el funcionamiento de todo el sistema; se cuenta con varios voltaje dentro de la tarjeta siendo estos:

- +12 V.
- + 8 V.
- + 5 V. (Digitales)
- + 5 V. (Analógicos)
- - 8 V.

Esta es la parte de la tarjeta que contiene protecciones contra voltajes transitorios, protección contra cortos eléctricos, además de una protección para evitar una conexión incorrecta.

III.2.- Arquitectura del Sistema

Para hacer un aprovechamiento óptimo de los recursos de microcontrolador los dispositivos de entrada, salida y entrada/salida; han sido asignados a una localidad de memoria. Por lo anterior el canal de comunicaciones del sistema es el canal de datos del microcontrolador; se ejemplifica en el esquema siguiente.

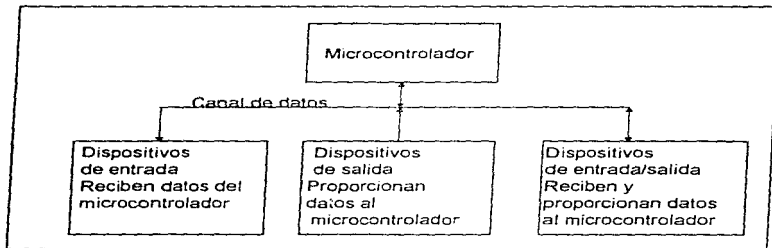


Figura 19. Canal de comunicaciones del sistema

Toda la información que se maneja en forma digital es proporcionada y recibida por el microcontrolador, por lo que todo dato dentro del sistema puede ser modificado y procesado digitalmente.

III.3.- Funciones de control

El control del sistema se realiza mediante programación, lo que facilita la implementación de una gran cantidad de funciones. Las funciones principales que deberá ejecutar el sistema son las siguientes:

- **Detección y registro de movimientos sísmicos:** El sistema debe comparar las lecturas obtenidas de los sensores con los umbrales de disparo programados para tomar la decisión de registrar un evento sísmico en la memoria.
- **Comunicación de la tarjeta:** Para poder programar el sistema y recuperar la información acelerométrica almacenada en la memoria.
- **Reporte del sistema:** Para verificar el funcionamiento del sistema desde una estación central al lugar donde haya sido instalado el equipo.
- **Diagnóstico de la tarjeta:** Realiza una rutina de autodiagnóstico que verifica el correcto funcionamiento del sistema, en caso de encontrarse una falla se genera un reporte.

La prioridad de las funciones se basa en la importancia que se les asignó quedando de la siguiente manera:

Prioridad	Función
0	Detección y registro de eventos sísmicos.
1	Comunicación con una computadora.
2	Reporte de la estación.
3	Diagnóstico de la tarjeta

Tabla 2. Prioridades del sistema

III.4.- Compatibilidad

Una característica importante de este sistema es que debe ser compatible con los equipos "DCA-333" y con las computadoras mas comúnmente usadas.

- **Compatibilidad con equipos "DCA-333":** El sistema está diseñado para adaptarse mecánicamente al chasis utilizado por estos equipos; por lo que para reemplazar una tarjeta por otra, basta con conectar las terminales indicadas y fijar la tarjeta nueva mediante tornillos en los lugares dispuestos para ello. En lo referente a electrónica; los sensores son conectados en forma directa a la tarjeta del sistema sin necesidad de cambiar el tipo de conector lo que simplifica toda la operación.
- **Compatibilidad con computadoras:** Para poder manejar el sistema se necesita solamente una computadora portátil con puerto paralelo bidireccional "DB25"; mediante el cual se realizan todas las operaciones. El puerto está protegido mediante buffers que separan las señales provenientes de la computadora y el canal de datos de la tarjeta; también se puede realizar la comunicación mediante el puerto serial mediante un estándar "RS232".

IV.- IMPLEMENTACIÓN DEL SISTEMA

El desarrollo del sistema de adquisición de datos se realizará dentro del presente capítulo considerando los requerimientos técnicos descritos anteriormente y aplicándolos al diseño propuesto.

IV.1.- Conversión A/D

Para realizar la digitalización de las señales entregadas por los sensores acelerométricos, se cuenta con una etapa de conversión analógica/digital que está constituida por un Switch Analógico, el cual selecciona la señal que será digitalizada por el convertidor A/D. En esta tarjeta se tienen cuatro canales analógicos: eje Vertical; eje Norte/Sur, eje Este/Oeste y el voltaje de batería.

El Switch analógico es habilitado mediante un decodificador por lo que su funcionamiento se asemeja al de un multiplexor analógico, se utilizará el dispositivo "DGA4011", la razón de su uso es que presenta una baja resistencia de salida lo que evita que la señal analógica sufra atenuación y deformación, además de que cada canal se habilita en forma independiente.

Para digitalizar las señales se utiliza un convertidor A/D de doce bits de resolución con el nombre comercial de "MAX191"; este dispositivo realiza la digitalización de señales mediante el algoritmo de aproximaciones sucesivas, su rango de operación es de cero a cinco Volts, y tiene un error de +/- 1 cuenta. El control de funcionamiento depende exclusivamente del microcontrolador lo que hace que su operación sea mas rápida. Una de las principales razones para utilizar este convertidor A/D, es su bajo error de offset, que es de una cuenta y su salida paralela, que puede ser conectada en forma directa a un buffer y al canal de datos del sistema.

IV.2.- Almacenamiento de datos

El dispositivo de almacenamiento es una memoria SRAM tipo "tarjeta de crédito", con formato PCMCIA. La elección de este tipo de memoria está basada en los siguientes puntos:

- El dispositivo es de tamaño reducido (Largo: 8.6 cm; Ancho: 5.4 cm; alto: .35 cm), lo que facilita su transportación
- La batería de respaldo interna nos garantiza que la información no se pierde por un lapso mínimo de tres años
- Las conexiones están protegidas del contacto accidental evitando daños a la memoria por descargas estáticas.
- Son fáciles de reemplazar en campo
- Tienen capacidades de almacenamiento de 512 Kb, hasta 4 MB.

- Se consiguen en el mercado con facilidad.
- Tienen una duración de 10,000 inserciones a la base.
- Poseen cuatro salidas de diagnóstico; dos nos indican el estado de la batería de respaldo y las restantes se utilizan para garantizar que la memoria está correctamente colocada en la base.
- No requieren mantenimiento.
- Se pueden grabar las veces que sea necesario.
- Tiene un mecanismo de protección contra escritura.
- El dispositivo tiene protección física que evita que sea conectado en forma incorrecta en la base.
- Funciona con un voltaje de +5 Volts.
- Su tiempo de acceso es de 150 ns.

El dispositivo está conectada en forma directa al canal de datos del sistema, compartiendo además el canal de direcciones del microcontrolador, el cual se encarga de habilitarla y deshabilitarla en forma directa, se tiene la posibilidad de conectar al sistema una tarjeta de 4 Megabytes como máximo. El microprocesador solo puede direccionar un máximo de 64 kilobytes en forma directa, por lo que para poder acceder toda la capacidad de la memoria es necesario dividirla en varias páginas de capacidad de 64 Kb, por lo que para el caso de una memoria de 1 Mb se tendrán 16 páginas. La paginación de memoria se realiza mediante un dispositivo externo que se encarga de manejar las direcciones altas de la memoria de almacenamiento; para esto se utiliza un latch, que se conecta en forma directa al canal de datos del sistema y es manejado mediante lógica de control, para ejemplificar esto se mostrará en forma esquemática la forma de paginar un megabyte de datos.

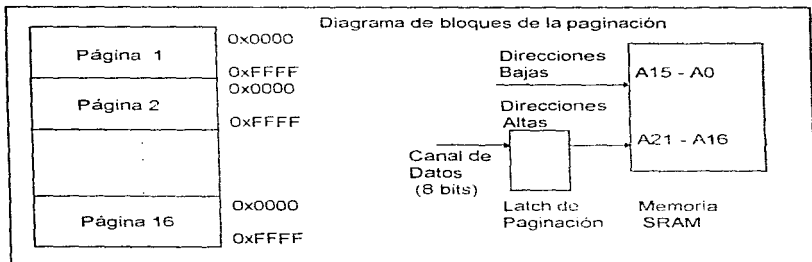


Figura 20. Paginación de un Megabyte de memoria.

Adicionalmente se cuenta con un monitoreo de la memoria de almacenamiento, en donde se verifica que este correctamente colocada, que no este protegida contra escritura y que su batería de respaldo se encuentre en buen estado de operación; estas funciones son realizadas mediante un Buffer conectado al canal de datos del sistema y controlado mediante lógica. La verificación del estado de la memoria se realiza mediante el programa de autodiagnóstico del microcontrolador con un intervalo de un segundo; si se detecta cualquier tipo de falla considerada se desplegará mensaje de error en los indicadores externos.

IV.3.- Memoria RAM

La memoria de pre-evento del sistema tiene una capacidad de 32 kilobytes, se encuentra en la parte baja de la memoria del sistema y es direccionada en forma directa por el microcontrolador y la línea de control de la memoria de almacenamiento, en consecuencia no se pueden habilitar al mismo tiempo la memoria de pre-evento y la memoria de almacenamiento de eventos sísmicos. El tiempo de pre-evento que se puede tener en el sistema va a depender de la frecuencia de muestreo que se seleccione y la cantidad de memoria asignada. La tabla siguiente nos muestra los diferentes tiempo de pre-evento para cada velocidad de muestreo.

Frecuencia de Muestreo	Capacidad de memoria seleccionada en Kb							
	4	8	12	16	20	24	28	32
25 m/s	32	64	96	128	160	192	224	256
50 m/s	16	32	48	64	80	96	112	128
100 m/s	8	16	24	32	40	48	56	64
200 m/s	4	8	12	16	20	24	28	32

Tabla 3. Tiempo de pre-evento del sistema en segundos

Se observa de la tabla anterior que se tiene un tiempo máximo de pre-evento de 256 segundos a una frecuencia de muestreo de 25 muestras por segundo y el tiempo mínimo de pre-evento es de 4 segundos, a una frecuencia de muestreo de 200 muestras por segundo.

IV.4.- Comunicación paralela

Para realizar la comunicación de la tarjeta y la computadora por medio del puerto paralelo son necesarios un dispositivo de entrada y otro de salida de datos; el circuito de entrada a la tarjeta consta de un "Buffer" de ocho líneas y control de salida tres estados; para el dispositivo de salida de la tarjeta se utiliza un "latch", de ocho líneas y control de carga del circuito; ambos dispositivos están conectados en forma directa al canal de datos del sistema y son controlados mediante lógica; se cuenta con cuatro líneas de protocolo para una correcta sincronización en el momento de la comunicación, y tres líneas de referencia (cero volts).

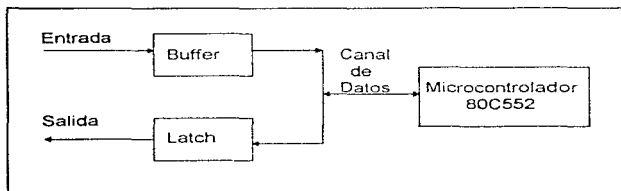


Figura 21. La comunicación paralela utiliza un Buffer para la entrada de datos y un Latch para entregar los datos a la computadora

IV.5.- Comunicación serie

Otra manera de comunicar la tarjeta con la computadora es por medio del puerto serie con estándar "RS232".

La comunicación serie está implementada mediante un dispositivo electrónico "MAX232", que transforma las señales digitales en señales con formato "RS232", la elección de este circuito está basado en su bajo costo, la confiabilidad que ha demostrado en usos anteriores y en que cuenta con protecciones contra descargas estáticas.

Está conectado en forma directa al microcontrolador y a un conector serie DB9, se utilizan capacitores como dispositivos auxiliares para lograr los voltajes de transmisión serie (+/-12V); las opciones de cambio de parámetros de operación que ofrece el programa de la computadora que se utilizan en la comunicación paralela son también accesibles por medio de la comunicación serie.

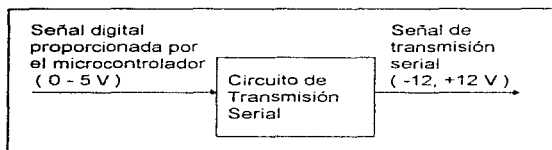


Figura 22. Diagrama de bloques de la comunicación serial.

Si al puerto de comunicación serial se le coloca un módem y un sistema de transmisión, se logrará hacer un enlace remoto con una estación central.

IV.6.- Indicadores externos

El despliegue de la tarjeta se basa en cuatro leds que nos indican el estado presente de operación del sistema; son controlados mediante un Latch, conectado directamente al canal de datos del sistema y el encendido y/o apagado de cada led va a depender del programa de operación del microprocesador y a la rutina de autodiagnostico. Al detectarse una falla se indica mediante los leds, si la falla es en sistemas vitales, se llega a interrumpir el funcionamiento de todo el equipo.

Los indicadores externos cuentan con un "jumper" que los habilita o deshabilita con el fin de reducir el consumo de energía, se recomienda que estén siempre habilitados para una mejor apreciación del funcionamiento de la tarjeta.

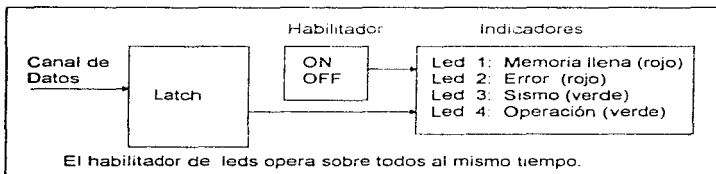


Figura 23. Operación de los indicadores

IV.7.- Disparos de activación

Las señales de activación del sistema, disparo de otro equipo y disparo por "SAS; cuentan con protección contra sobrevoltajes y voltajes transitorios compuesta por un arreglo de diodos y un filtro pasa-bajas con la finalidad de evitar daño en los circuitos digitales. Como protección adicional las señales de entrada no están conectadas directamente al microcontrolador como se observa en el siguiente diagrama:

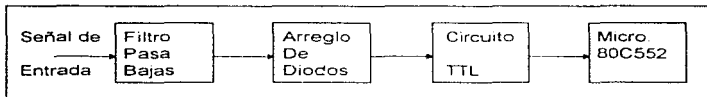


Figura 24. Protección de una señal de entrada

IV.8.- Disparo de salida

El disparo que genera el equipo está en el rango de cero Volts a cinco Volts, está formado por un tren de pulsos que tiene una frecuencia de 25 Hz, 50 Hz, 100 Hz, 200 Hz; dependiendo de la frecuencia de muestreo utilizada. La señal de disparo solo será generada por dos condiciones:

- Las señales de los sensores acelerométricos rebasan los umbrales establecidos y cumplen la condición de disparo (si el autodisparo está habilitado).
- Se recibió un disparo de otro equipo o la señal generada por el "SAS (si la opción está habilitada).

En cualquier otra condición no se genera señal de disparo hacia otros equipos. De la misma manera que las señales de activación, la señal de disparo tiene una serie de protecciones que garantizan que puede ser conectada a cualquier otro equipo, se cuenta con una corriente máxima de 40 miliamperes, proporcionada por un transistor. El esquema de protección del disparo de salida se presenta a continuación.



Figura 25. Protección de la señal de salida

IV.9.- Tiempo externo

La señal de tiempo externo está diseñada para aceptar la señal de tiempo "omega" o cualquier otra referencia de tiempo que proporcione una salida digital. Esta señal ocasiona que se ponga una marca en la muestra obtenida para que al momento de graficarse se presente en pantalla la gráfica con su referencia de tiempo. La protección de esta entrada al sistema es idéntica a la que presentan los disparos de activación.

IV.10.- Reloj de tiempo real

Se tiene integrado un reloj de tiempo real utilizado para saber la fecha y hora de ocurrencia de un evento sísmico. La comunicación con la unidad de procesamiento es mediante comunicación serial con protocolo I²C, con la finalidad de no utilizar el puerto serial asíncrono que estará dedicado a otras funciones; la conservación de información de este dispositivo es de vital importancia para el sistema por lo que cuenta con respaldo de energía, mediante una batería de litio de +3V, está conectada al dispositivo mediante diodos para evitar fugas de corriente y la batería solo alimentará al circuito del reloj en caso de que falte completamente el suministro de corriente eléctrica. Al restablecer la energía la batería no es recargada por lo que es conveniente revisarla después de que el sistema haya estado sin suministro eléctrico un largo periodo de tiempo. La batería debe ser colocada en su lugar (en el porta-batería) en el momento en que la tarjeta sea instalada. El reloj deberá ser programado a la fecha y hora GMT actual, mediante el programa de operación de la computadora, si esto no se hiciera, al momento de inicializar el sistema el reloj será programado con una hora y fecha inicial que es: fecha: 01/01/1996; hora 00:00:00, a partir de los cuales comenzará a medir el tiempo y se podrían tener confusiones si se llegaran a registrar eventos con fechas erróneas.

La segunda función del reloj es la de generar una interrupción al microcontrolador para generar una señal de reporte de la estación si se tiene habilitada esta opción mediante el programa de operación de la computadora.

El reloj de tiempo real utilizado es el circuito "PCF8583", de "Phillips", las razones para su utilización, se listan a continuación.

- Opera con niveles bajos de voltaje (3 Volts), por lo que puede operar con una batería de litio.
- Es programable mediante comunicación serial de tipo I²C
- Cuenta con 256 localidades de memoria RAM
- Es ajustable mediante un varcap (capacitor variable)
- Funciona en un amplio rango de temperaturas

El esquema nos muestra la forma de comunicación entre el reloj de tiempo real y el microcontrolador.

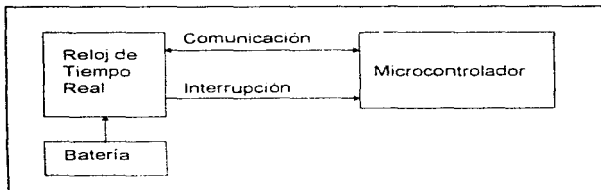


Figura 26. La comunicación entre el microcontrolador y el reloj de tiempo real es de modo bidireccional, mientras que la interrupción tiene un sentido que va del reloj de tiempo real al microcontrolador.

IV.11.- Procesamiento y control

Está basado en el microcontrolador 80C552; la elección de este dispositivo está en base de las siguientes características:

- Es un microcontrolador de la familia Intel, lo que facilita su programación.
- Se cuenta con compilador de lenguaje "C" a lenguaje ensamblador.
- Funciona con un cristal de 16 Mhz a 24 Mhz. Su velocidad lo hace ideal para las señales que se van a manejar.
- Su funcionamiento está plenamente probado.
- Hay herramientas para su utilización como son emuladores y simuladores.
- Tiene una capacidad de direccionamiento de 64 Kb, de datos y/o instrucciones en modo extendido.
- Hay facilidad de encontrarlo en el mercado nacional.
- Existe una gran infraestructura para su utilización, lo que ahorra tiempo de pruebas.
- Funciona en un amplio rango de temperaturas.
- Es un dispositivo económico.

El microcontrolador está configurado en modo de memoria extendida (la memoria del programa se encuentra en un dispositivo externo); con lo que puede acceder en forma directa 64 kilobytes de información o de programa; con un canal de datos de ocho bits multiplexado con las direcciones menos significativas, lo que hace necesario la utilización de un "latch", como se observa en el esquema:

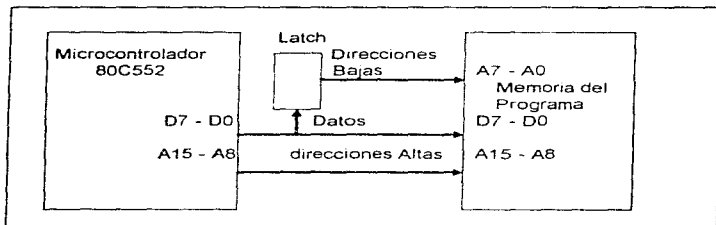


Figura 27. Microcontrolador en modo extendido.

La configuración de memoria extendida requiere la utilización de ocho líneas adicionales dedicadas al direccionamiento del programa. Para optimizar el funcionamiento de la tarjeta de adquisición de datos se hace necesaria la utilización de lógica de control, lo que libera gran cantidad de líneas de salida del microcontrolador que pueden ser utilizadas en otras funciones. La utilización de componentes pasivos en el control del sistema evita pérdidas de tiempo de procesador al hacer en forma automática al acceso y/o carga de información de los dispositivos conectados al canal de datos, en esta tarjeta los dispositivos pasivos de control son compuertas lógicas NAND y NOR; se utilizaron este tipo de circuitos debido a que son los más comunes en el mercado.

Además de ser utilizados en el control del sistema se utilizan como circuitos de protección al separar las entradas de señales externas: (tiempo, disparo externo y disparo del SAS); de las entradas al microcontrolador; otros componentes de control utilizados son dos decodificadores de dos líneas por cuatro salidas, uno de ellos selecciona la salida que será activada en el Switch analógico; y el decodificador restante controla la habilitación y deshabilitación de los diversos dispositivos de la tarjeta incluyendo los de comunicación paralela.

Las partes del sistema que son manejados de esta manera son los siguientes:

- Indicadores externos (escritura)
- Paginación de la memoria de almacenamiento (escritura)
- Comunicación paralela (lectura y escritura)
- Datos del convertidor A/D (lectura)
- Estado de la memoria de almacenamiento (lectura)
- Acceso a la memoria "RAM" de pre-evento (habilitación)

IV.12.- Alimentación del sistema

La energía eléctrica necesaria para el funcionamiento del sistema es proporcionada por una batería de doce Volts, que a su vez es conectada a un cargador de baterías o una celda solar; la alimentación se conecta a los bornes correspondientes en la tarjeta. Para el funcionamiento de todos los dispositivos es necesario tener diferentes valores de voltaje dentro de la tarjeta.

- + 12 Volts: Son obtenidos directamente de la batería de alimentación y se utilizan como fuente para obtener los voltajes restantes, así como para la alimentación de los sensores.
- +8 Volts: Se obtiene por medio de un regulador variable a partir del voltaje de alimentación, se le utiliza en la polarización de componentes analógicos como son los amplificadores operacionales y el switch analógico.
- + 5 Volts digitales: Es el voltaje que se emplea en todos los componentes digitales de la tarjeta, se proporciona mediante un regulador de voltaje de cinco Volts a un Ampere de corriente.
- + 5 Volts analógicos: Los cinco Volts analógicos se utilizan exclusivamente en el convertidor analógico/digital.
- - 8 Volts analógicos: Para obtener este voltaje es necesario el uso de un dispositivo inversor de voltaje, que es alimentado por los + 5 Volts analógicos y proporciona un voltaje negativo, se utiliza en la polarización de los amplificadores operacionales y del switch analógico.

Se cuenta con un monitor de voltaje ajustado para detectar caídas del voltaje nominal de alimentación (doce Volts), con el fin de interrumpir el funcionamiento de toda la tarjeta mientras no se restablezca el voltaje de operación para evitar errores en la detección de movimientos acelerométricos.

IV.13.- Mapa de memoria

Para poder realizar un mejor diseño en cuanto a administración de recursos y facilidad de acceso a la información, es necesario contar con un mapa de memoria que nos de una idea exacta de donde está ubicada la información que se necesita, en especial en este caso en el cual todos los dispositivos de comunicación; digitalización e indicación, están ubicados en una localidad de memoria. En el esquema que se mostrará a continuación se da la ubicación dentro del mapa de memoria de todos los dispositivos utilizados.

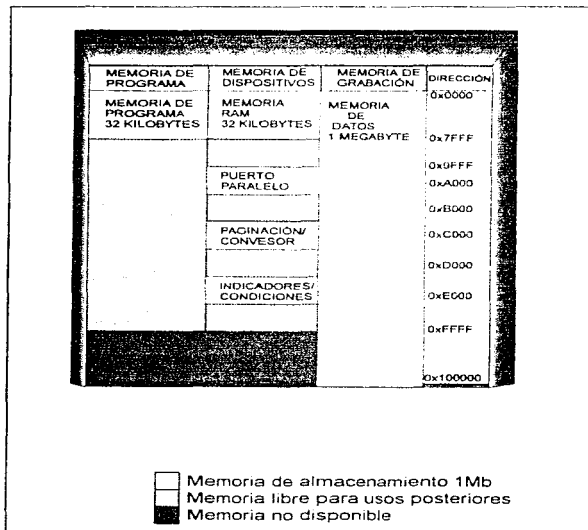


Figura 28. Mapa de memoria de la tarjeta RAD-851

IV.14.- Conectores

La tarjeta para ser compatible con los actuales sistemas acelerométricos de adquisición de datos, tiene el mismo tipo de conectores que son:

- Conector tipo "Culca" de ocho bornes atornillables: utilizado para conectar la alimentación de energía del sistema, los disparos de activación externos, la referencia de tiempo externa y el disparo de salida que el equipo genera.
- Conector "Header" de catorce pines vertical: Mediante este conector se enlazan la tarjeta de adquisición de datos y la tarjeta sensora, tiene protección para evitar errores en la conexión de las tarjetas.

Los dos conectores anteriores son compatibles con los sistemas acelerométricos actuales y los conectores siguientes fueron adicionados al sistema para un mejor desempeño y facilidad de comunicación:

- Conector DB25: Utilizado en la comunicación paralela entre el sistema de adquisición de datos y la computadora portátil.
- Conector DB9: Se utiliza en la comunicación serial del sistema.
- Conector AMP3: Este conector se utiliza para sincronizar el reloj de tiempo real del sistema con un "GPS".
- Conector AMP10: Se utiliza para adicionarle a la tarjeta un oscilador de precisión.

V.- PROGRAMACIÓN DEL SISTEMA

Para desarrollar el programa de operación del sistema se utilizará Lenguaje "C"; que posteriormente será compilado para obtener el código ejecutable en hexadecimal que es grabado directamente en la memoria de programa.

V.1.- Algoritmo de funcionamiento general

Para explicar el programa de operación de este sistema se recurrirá al siguiente diagrama en donde se observarán las principales funciones que se realizan.

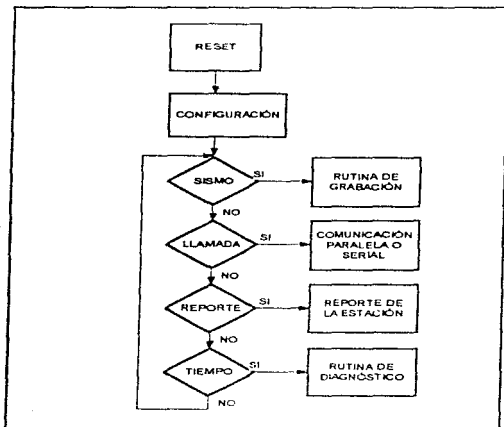


Figura 29. Diagrama de funcionamiento general

Se observa que después de la condición de reset se realiza la rutina de configuración; en la cual son inicializados todos los parámetros y variables utilizadas por el sistema; así mismo se verifica que la memoria de almacenamiento este presente y en condiciones de funcionamiento óptimo, si el dispositivo presenta alguna falla como las siguientes: batería de respaldo baja, protección de escritura, memoria colocada incorrectamente o sistema carente de memoria; el programa se interrumpe indicando el error correspondiente hasta el momento en que es corregida la falla.

Si es la primera vez que se enciende el equipo y la memoria de almacenamiento no tiene ninguna configuración, el sistema ejecutará una rutina de tipo BOOT, en la cual se inicializarán todos los parámetros del sistema a unos valores pre-establecidos en memoria ROM, lo que permitirá que el equipo esté en condiciones de operar y recibir una nueva configuración.

Si no se detectó falla, el sistema procederá a realizar un calculo del valor de offset de cada canal por tres segundos, durante los cuales estarán encendidos los leds "operación, sismo, error", y comenzará a operar en forma normal (el led de operación prendiendo y apagando con un intervalo de un segundo). La operación normal del sistema consiste en un ciclo infinito dentro del cual se interroga por cualquiera de las cuatro banderas principales con la siguiente prioridad:

- Grabación de eventos sísmicos
- Comunicación (serial o paralela)
- Reporte de la estación (si está habilitada la opción)
- Diagnóstico de la tarjeta y cambio de condición del led "operación"

V.2.- Algoritmo de grabación

La principal función de la tarjeta es la captura de movimientos sísmicos, por lo tanto es la rutina de mas alta prioridad. Para poder realizar la subrutina se tiene que preguntar por el estado de una bandera que tendrá un valor lógico de "1", si se cumple cualquiera de las siguientes condiciones.

- Se recibió un disparo externo y está habilitada la opción
- Se recibió un disparo del "SAS" y está habilitada esta opción
- Se rebasó el umbral de disparo y la opción de autodisparo está habilitada

Para cada condición anterior el sistema comenzará a guardar la información acelerométrica que proporcionan los sensores en la memoria de almacenamiento. Al momento de que se detecta cualquiera de las condiciones anteriores el sistema asume una condición de ocurrencia de un evento sísmico respondiendo de la siguiente manera:

Primero se graban las condiciones presentes que tiene el sistema al momento de tomar la condición de evento sísmico activo; se guarda dentro de la memoria un bloque de 128 bytes de información, que sirve como encabezado y contiene la información siguiente:

- Nombre del sistema
- Ubicación del sistema
- Numero de serie
- Clave nacional de la tarjeta
- Clave del "CIRES" de la tarjeta
- Número de evento del que se trata
- Forma en que activo el sistema: disparo externo, disparo del "SAS", o disparo automático.
- Parámetros generales del sistema
- Parámetros de operación del sistema
- Fecha y hora de ocurrencia del evento

Una vez que se guardó la identificación, se presentan dos opciones:

- Sistema disparado por el "SAS". Se considera que el disparo proviene de un lugar alejado al sitio de instalación del equipo y por tal razón las ondas sísmicas tardarán algunos segundos en llegar al equipo registrador, por lo que no es necesaria la grabación de datos contenida en el pre-evento que es ignorado y el equipo comienza a registrar información actual
- Sistema disparado por el disparo de otro equipo o autodisparo: En esta modalidad el sistema responderá como un dispositivo esclavo; grabando información mientras se cumpla cualquiera de las siguientes condiciones o ambas:
 - El umbral del equipo está siendo rebasado
 - El disparo está activo (uno lógico); o manteniendo un tren de pulsos

En este caso el sistema guarda primeramente la identificación para después comenzar a guardar información por el tiempo de pre-evento definido al momento de configurar el sistema; es importante hacer notar que durante el tiempo que tarda el sistema en almacenar toda esta información, no se pierde ninguna muestra.

Cuando el umbral ya no está siendo rebasado se comienza a guardar información por el tiempo de post-evento deseado; el cual comenzará a contar a partir del último bloque de datos de 128 bytes que no tenga muestras que rebasen el umbral de disparo. Si dentro de la grabación del post-evento alguna muestra rebasa dicho umbral, el contador del tiempo se inicializará.

Finalmente una vez que se terminó de grabar el post-evento, se guarda un bloque de final de evento el cual se utiliza para separar un registro de otro.

Durante todo el tiempo que se está dentro de la rutina de grabación se encenderá el indicador de sismo activo (led verde), y no se responderá a ninguna petición de comunicación serial o paralela. Si en este periodo se cumple el tiempo de reporte de la estación, este será aplazado hasta que el sistema termine de grabar el movimiento sísmico; al término del cual, se habilitarán las interrupciones de comunicación. El siguiente diagrama nos muestra la rutina de grabación de eventos sísmicos.

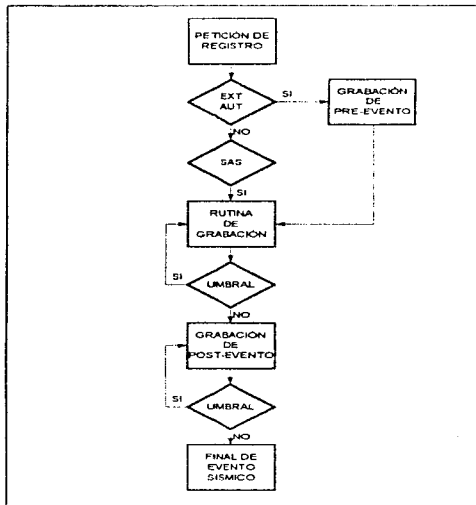


Figura 30. Rutina de grabación.

V.3.- Algoritmo de comunicación

La comunicación tiene la segunda prioridad en el funcionamiento del sistema; y dentro de las dos opciones, la comunicación paralela es de mas alta prioridad respecto a la serie.

La rutina de comunicación abarca una gran cantidad de procedimientos que debe realizar el sistema para las funciones de configuración, programación del reloj de tiempo real, cambio de parámetros de operación y manejo de los dispositivos de memoria; así como verificar el funcionamiento de estos.

Para iniciar la comunicación serial o paralela debe de presentarse una interrupción en el funcionamiento del microcontrolador; por el puerto serie ó por una línea de protocolo en el caso de comunicación paralela. Al recibirse la llamada por alguno de estos dos medios se realiza una rutina para autenticificar la petición de comunicación; esta subrutina es parecida en ambos casos; si la llamada es confirmada se realiza la comunicación, en caso contrario el sistema continua su operación normal como se observa en la figura 30.

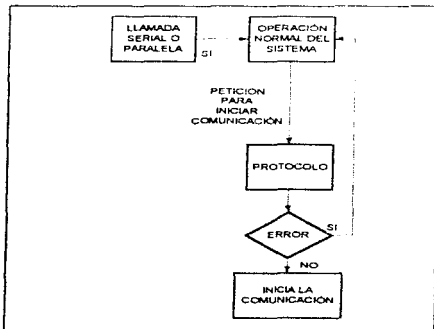


Figura 31. Algoritmo de verificación de llamada.

Confirmada la comunicación se proporcionan a la computadora, todos los parámetros de operación; la identificación; fecha; hora; ubicación; estado actual del sistema y número de eventos sísmicos contenidos en la memoria. Toda la información anterior es recibida e interpretada por el programa de operación de la computadora y desplegada en pantalla.

El siguiente diagrama nos muestra las funciones principales que se realizan en la comunicación de la tarjeta con la computadora.

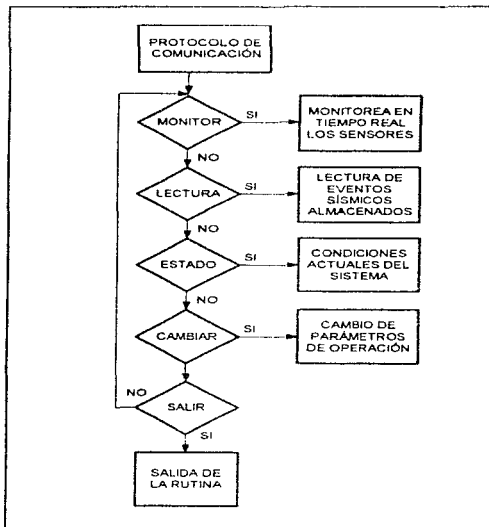


Figura 32. Funciones de la rutina de comunicación.

- **Monitoreo del sistema en tiempo real:** Dentro de este procedimiento el sistema tiene la capacidad de visualizar los tres canales acelerométricos en tiempo real mostrando al mismo tiempo todos los parámetros referentes a cada canal como son:

- Escala de magnitud del eje vertical
- Escala de tiempo del eje horizontal
- Offset de cada canal
- Señal de tiempo externo (si está disponible)
- Valores máximos y mínimos de cada canal
- Si uno ó mas canales están deshabilitados

Las escala tanto vertical como horizontal pueden ser modificadas desde un mínimo de +/- 2 cuentas hasta la escala completa del sistema +/- 2048 cuentas.

- **Lectura de eventos sísmicos contenidos en memoria:** Dentro de esta rutina es donde se recuperan los eventos sísmicos contenidos en la memoria de almacenamiento, en el caso de que exista algún evento registrado; al momento de recuperar la información se indica lo siguiente:

- Tipo de disparo: por el "SAS", por otro equipo o por autodisparo
- Nombre del sistema
- Ubicación del equipo
- Fecha y hora del evento
- Duración del evento
- Nombre del archivo
- Número de archivo
- Forma en que se activó el equipo

Cada evento almacenado en la memoria genera un archivo propio con el siguiente formato:

XSSSSNN.***

donde:

- X Caracter inicial de todo archivo de este sistema
- SSSSS Número de serie del equipo
- NN Número de evento del día (máximo 256 eventos por día)
- *** Día natural en que se registró el evento (1-365 o 1-366)

Un ejemplo de esto es el siguiente: "X0000107.001; este archivo nos indica que es el séptimo evento que se registró el primer día del año en curso por el equipo con número de serie "00001".

El siguiente diagrama corresponde a la opción de lectura de eventos sísmicos del sistema.

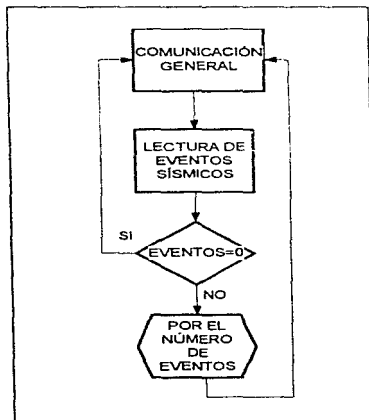


Figura 33. Rutina para la lectura de eventos sísmicos.

- Diagnóstico del estado de la tarjeta: Para conocer las condiciones con las que está operando la tarjeta se cuenta con esta opción dentro de la rutina de comunicación; al momento de entrar a este menú se despliega en pantalla toda la configuración con la que está operando el sistema, se presentan así mismo las siguientes opciones:

Memoria del sistema, dentro de este menú se realizan los manejos de memoria con los que cuenta la tarjeta:

- Verificar memoria de almacenamiento: Este procedimiento nos permite probar el buen funcionamiento de la memoria de datos, debido a que la tarjeta realiza una escritura sobre toda la capacidad de memoria disponible, al término de la cual se enciende el indicador de memoria llena; posteriormente se hace una lectura de nuevo sobre toda la capacidad de memoria y se verifica mediante una rutina de comparación para saber si lo leído corresponde a lo que se escribió con anterioridad, al término de la lectura se apaga el indicador de memoria llena y se muestra en pantalla el resultado de la verificación: "OK", si la verificación se realizó con éxito; "FALLA", se detectó algún error en el proceso de escritura/lectura.
- Leer memoria de datos: Esta opción nos permite leer en forma aleatoria la memoria de datos mediante direccionamiento absoluto, esto es, se debe especificar la localidad de memoria que se desea (desde la localidad 0 hasta la localidad 1048576, en el caso de una memoria de un megabyte), y la cantidad de bytes que se desean leer.
- Verificar memoria de pre-evento: Similar a la verificación que se realiza con la memoria de almacenamiento, se cuenta con un procedimiento para probar el buen funcionamiento de este dispositivo; se realiza una escritura al final de la cual se enciende el indicador de memoria llena, posteriormente se realiza la lectura de los datos grabados; si no se detectan errores se indica "OK", en caso contrario se indica "FALLA". El led que indica memoria llena se apaga al terminar la rutina.
- Leer memoria de pre-evento: Al contrario de la lectura que se hace de la memoria de almacenamiento, en esta rutina la lectura se realiza sobre toda la capacidad de memoria declarada: 4kb, 8kb, 12kB, 16kb, 20kB, 24kB, 28kB, 32 Kb; y es de forma secuencial. Se despliega en pantalla el valor en cuentas de cada canal acelerométrico, su valor hexadecimal y decimal, si se rebasa el umbral en cada bloque de 128 bytes y la marca de la señal de tiempo externos (si está disponible).

En lo referente al reloj del sistema la opción que se tiene es la de inicializarlo con que se programará con la siguiente fecha y hora:

- Fecha : 01-01-95
- Hora : 00.00.00

Si se muestra cualquier otra hora y fecha a la descrita anteriormente es posible que se encuentra dañado el dispositivo del reloj de tiempo real.

- Configuración del sistema: Dentro de esta opción se configuran y cambian todos los parámetros de operación de la tarjeta, está dividido en cuatro partes principales como se observa en el siguiente diagrama:

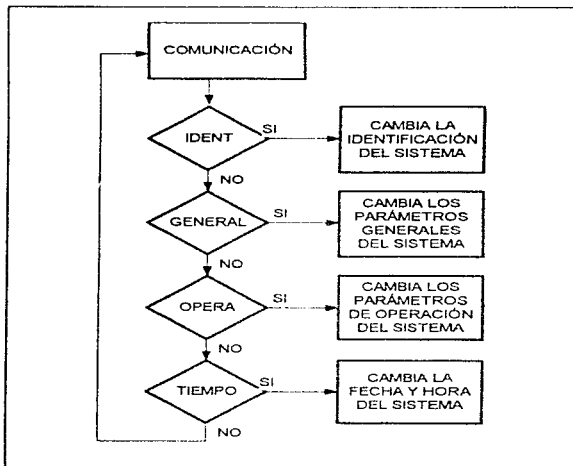


Figura 34. Rutina de configuración.

Cada rutina cambia la configuración de una parte específica del sistema, lo que nos permite modificar solo los parámetros de funcionamiento que se deseen sin alterar los restantes, con lo que se facilita el manejo del software por parte del usuario. Se describirá cada menú de configuración y se explicará el cambio que produce dentro del sistema, así como las ventajas que esto representa.

- Cambio de identificación: Dentro de esta opción se tiene la posibilidad de modificar todos los parámetros referentes a la identificación de la tarjeta:

- Número de serie: Consta de una palabra de 16 bits, por lo que este número puede estar en el rango de 0 - 65535, puede ser modificado por programa, adicionalmente se tiene un número de serie grabado en memoria ROM, que será puesto siempre que el sistema sea inicializado mediante un BOOT
- Nombre del sistema: De inicio la tarjeta tendrá grabado el siguiente nombre "RAD-851 CIRES/FJBS", pero puede ser modificado con un nuevo nombre que no exceda los 26 caracteres alfanuméricos.
- Clave nacional de la tarjeta: Consta de cuatro caracteres alfanuméricos que pueden ser usados para control de inventario de las memorias y de las tarjetas.
- Clave CIRES de la tarjeta: Se utiliza para control interno del "CIRES", está formado por cuatro caracteres alfanuméricos.
- Ubicación de la tarjeta: Esta variable contiene la ubicación de donde se encuentra instalado el equipo, acepta un máximo de 26 caracteres alfanuméricos.

- Cambio de parámetros generales: Dentro de esta opción se realizan los cambios referentes al funcionamiento general del sistema como son:

- Disparo externo: Habilita el disparo proveniente de un equipo externo; las condiciones son: "ON", disparo habilitado; "OFF", disparo deshabilitado.
- Disparo del "SAS": Habilita o deshabilita el disparo proveniente de un receptor del Sistema de Alerta Sísmica; "ON", habilitado; "OFF" deshabilitado.
- Autodisparo: Esta opción nos permite habilitar el disparo automático del equipo, el cual se realiza cuando las señales provenientes de los sensores sobrepasan al umbral establecido anteriormente, se tienen varias opciones para disparar el equipo, las cuales nos permiten tomar varios criterios de activación de grabación de datos acelerométricos:

OFF: El autodisparo del equipo está deshabilitado

PROM: Para activar al equipo se realiza el promedio de los canales activos, se activa el equipo si las muestras acelerométricas rebasan el valor promedio calculado.

AND: Se realiza la función lógica "AND" entre los canales activos del sistema, lo que significa que todos los canales deben de rebasar su umbral respectivo para activar el equipo.

OR: La función lógica que se realiza en esta opción es una "OR", lo que implica que cualquier canal que rebase su umbral establecido activará el sistema.

- **Tiempo externo:** Habilita la referencia externa de tiempo, para marcar las muestra acelerométricas de acuerdo a esta referencia.
 - **Reporte diario:** Habilita la opción que tiene el sistema para generar un reporte vía puerto serie a una hora específica, o en el caso de que se presente un evento o una falla interna. Se debe tener un transmisor módem conectado a dicho puerto.
 - **Hora de reporte:** Se programa la hora y minuto en que se desea que el equipo se reporte.
 - **Tiempo de pre-evento:** Se define el tiempo que se desea tener como historia al momento de que el sistema detecte un evento sísmico, se cuenta con un tiempo mínimo de 8 segundos, y un máximo de 64 segundos; incrementados en intervalos de ocho segundos en el caso de una frecuencia de muestreo de 100 muestras por segundo.
 - **Tiempo de post-evento:** Es el tiempo que se desea que el sistema continúe grabando después de que no se detecta sobrepasso del 80 % del umbral programado en cualquiera de los canales.
 - **Capacidad de memoria:** Define la capacidad que tiene la memoria de almacenamiento con un mínimo de 524 kilobytes, hasta un máximo de cuatro megabytes, incrementados de la siguiente forma: 524 Kb, 1048 Kb, 2096 Kb; 4198 Kb;
- **Cambio de parámetros de operación:** Los parámetros de operación del sistema son los referentes a los canales acelerométricos, umbrales de disparo y rango de sensores; todos son programables, como se indica a continuación:
- **Frecuencia de muestreo:** Se elige la velocidad de muestreo de los sensores; se tienen las siguientes opciones:
 - 25 muestras por segundo
 - 50 muestras por segundo
 - 100 muestras por segundo
 - 200 muestras por segundo

- **Rango dinámico de los sensores:** Se refiere al rango que manejan los sensores acelerométricos:
 - 250 gals (un cuarto de "g")
 - 500 gals (media "g")
 - 1000 gals (una "g")
 - 2000 gals (dos "g's")
 - **Habilitación del canal vertical:** Habilita o deshabilita el canal vertical, "ON", canal habilitado; "OFF", canal deshabilitado.
 - **Habilitación del canal Norte/Sur:** Habilita o deshabilita el canal Norte/Sur "ON", canal habilitado, "OFF", canal deshabilitado.
 - **Habilitación del canal Este/Oeste:** Habilita o deshabilita el canal Este/Oeste, "ON", canal habilitado; "OFF", canal deshabilitado.
 - **Umbral de disparo del canal vertical:** En esta opción se selecciona el umbral de disparo del canal vertical, en un 99% de la escala completa, si el canal está deshabilitado, no será tomado en cuenta para activar el autodisparo del sistema. No se acepta umbral cero.
 - **Umbral de disparo del canal Norte/Sur:** En esta opción se selecciona el umbral de disparo del canal Norte/Sur, en un 99% de la escala completa, si el canal está deshabilitado, no será tomado en cuenta para activar el autodisparo del sistema. No se acepta umbral cero.
 - **Umbral de disparo del canal Este/Oeste:** En esta opción se selecciona el umbral de disparo del canal Este/Oeste, en un 99% de la escala completa, si el canal está deshabilitado, no será tomado en cuenta para activar el autodisparo del sistema. No se acepta umbral cero.
- **Cambio de fecha y hora:** Permite modificar la hora y fecha contenidas en el reloj de tiempo real del sistema:
- **Fecha del sistema:** Cambia solamente la fecha del reloj de tiempo real en el siguiente formato: DÍA / MES / AÑO. Del año se proporcionan solamente los dos últimos valores, ejemplo: 01/01/96; primero de enero de 1996, el tiempo máximo que se permite entre visitas para no perder la configuración del reloj debido a los años bisiestos es de cuatro años; si en ese periodo no se realiza ninguna visita al equipo se perderá la fecha.

Hora del sistema: Modifica la hora, minuto y segundo del reloj de tiempo real mediante el siguiente formato: HORA : MINUTO : SEGUNDO ; ejemplo: 14:35.56; la hora se programa en tiempo GMT, y el programa calculará en forma automática la hora local.

V.4.- Algoritmo de reporte de estación

La estación genera un reporte via puerto serial, si se tiene la opción habilitada. El mensaje del equipo está constituido por los siguientes datos:

- Identificación del sistema
- Parámetros generales
- Parámetros de operación
- Error

Los primeros tres bloques de identificación son los mencionados anteriormente y el mensaje de error será el indicado por la rutina de diagnóstico como se ejemplifica en el diagrama siguiente:

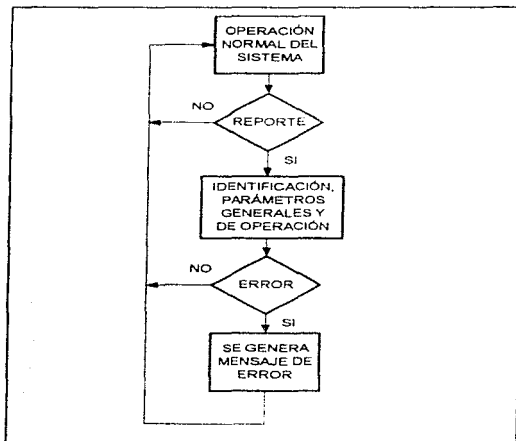


Figura 35. Algoritmo del reporte de la estación.

V.5.- Algoritmo de diagnóstico

Para evitar las fallas en el sistema, se monitorea el funcionamiento de las partes vitales del equipo mediante software y hardware; está enfocado principalmente al voltaje de alimentación de la tarjeta y a la memoria de almacenamiento; el diagnóstico se realiza cada segundo si el equipo está funcionando normalmente; por lo que la rutina no se realiza cuando se está grabando un evento sísmico o se está comunicando con la computadora (vía serial o puerto paralelo).

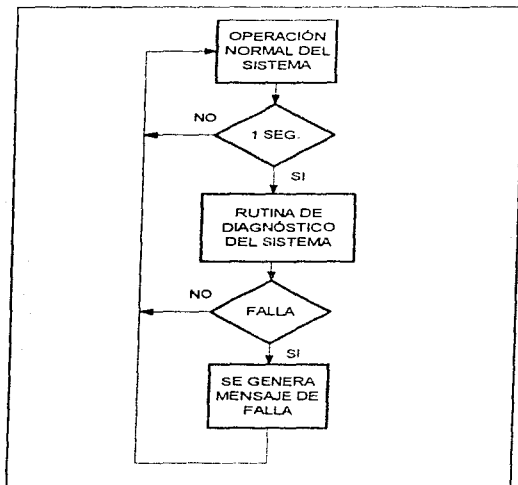


Figura 36. Rutina de diagnóstico del sistema.

El sistema realiza una verificación del estado de la memoria de almacenamiento cada segundo que consiste en revisar que se encuentre bien colocada, sin protección de escritura y con batería de respaldo en buenas condiciones; de las anteriores, las dos primeras provocan una interrupción en la operación de la tarjeta debido a que son considerados errores fatales para la operación del sistema. Al detectarse alguna de las tres fallas anteriores son mostradas al operador mediante los leds indicadores para una rápida corrección.

La tarjeta dispone de un monitor de batería el cual manda una interrupción en la operación del sistema cuando se detecta una caída del voltaje de alimentación por debajo de los 11.6 Volts. De la misma manera, mediante la rutina de diagnóstico se monitorea el voltaje de la batería y si este sobrepasa a los 14.5 Volts el sistema deja de operar.

Esta condición se mantiene hasta que se re-establece el voltaje nominal de operación, la razón de detener completamente el funcionamiento de la tarjeta es debido a que fuera de la ventana de voltaje comprendida entre (11.5 - 15 Volts); la operación de los sensores acelerométricos no es del todo satisfactoria y se podrían generar grabaciones que no corresponden a movimientos sísmicos.

VI.- PRUEBAS DE FUNCIONAMIENTO

Las pruebas de funcionamiento tienen como objetivo verificar que todas las partes de la tarjeta funcionen en forma correcta.

VI.1.- Diseño de las pruebas de funcionamiento

Los puntos principales que se deben de cubrir para que la tarjeta funcione correctamente son los siguientes:

- Los circuitos impresos deben ser revisados para descubrir cortos eléctricos dentro de la tarjeta
- Comprobar que los principales dispositivos que serán usados en el armado de la tarjeta se encuentren en buen estado, con la finalidad de evitar fallas de alguna de las tarjetas una vez que sean ensambladas.
- Una vez que la tarjeta se recibe ya ensamblada, se deben verificar los voltajes para comprobar que los reguladores se encuentren en buen estado.
- La tarjeta completamente ensamblada debe de funcionar de manera normal, (led de operación prendiendo y apagando con un intervalo de un segundo), y programar los parámetros generales y de operación iniciales mediante la rutina de BOOT, con esto se comprueba que el control del sistema funciona sin problemas.
- Revisar que la tarjeta y la computadora se comuniquen en forma correcta, comprobar que los parámetros generales y de operación sean configurados sin problemas; con lo anterior se revisa que la comunicación sea bidireccional y se realice en forma correcta.
- El convertidor A/D debe funcionar sin problemas, para observar el funcionamiento de esta parte, se utiliza el monitoreo en tiempo real de la tarjeta mediante la computadora.
- Revisar que los dispositivos de almacenamiento se encuentren en buen estado.
- Programar el reloj de tiempo real y verificar su funcionamiento.
- Comprobar que el equipo responde a los disparos externos y realiza la grabación de información acelerométrica; al mismo tiempo observar que la salida de disparo, generado dentro de la tarjeta, presente un tren de pulsos, para verificar el funcionamiento de las señales de entrada y de salida de la tarjeta
- Se debe probar que el funcionamiento de la tarjeta sea inmune al ruido eléctrico ambiental, mediante la grabación de eventos de prueba
- El funcionamiento de la tarjeta no debe presentar alteraciones como consecuencia de los cambios de temperatura, dentro del rango industrial.
- Se debe probar el funcionamiento del equipo a diferentes valores de voltaje de polarización, para revisar el funcionamiento del monitor de batería. Analizando al mismo tiempo el comportamiento que presentan los sensores ante este tipo de cambios en el voltaje de alimentación

VI.2.- Revisión de los circuitos impresos

Al recibir los circuitos impresos de las tarjetas, es necesario revisar que no tengan pistas que estén en corto, principalmente las de alimentación del sistema. Se listan a continuación los puntos en donde se deben realizar las pruebas de continuidad dentro de la tarjeta, el circuito impreso estará en buen estado si entre las pistas siguientes no existe continuidad:

- Tierra Digital (GNDD). No debe existir continuidad con las siguientes pistas:
 - +12 V; localizados en el borne correspondiente de la tarjeta
 - +5 V; digitales, se encuentran en la punta de prueba correspondiente dentro de la tarjeta.
 - +5V; analógicos, se mide en el pin 24 de U16
 - +8 V; localizado en el pin 5 de U20
 - 8 V; se encuentran en el pin 5 de U22.
- Tierra Analógica (GNDA). No debe existir continuidad con las siguientes pistas:
 - +12 V; localizados en el borne correspondiente de la tarjeta.
 - +5 V; digitales, se encuentran en la punta de prueba correspondiente dentro de la tarjeta.
 - +5V; analógicos, se mide en el pin 24 de U16.
 - +8 V; localizado en el pin 5 de U20.
 - 8 V; se encuentran en el pin 5 de U22.
- +12 V; localizados en el borne correspondiente de la tarjeta.
 - +5 V; digitales, se encuentran en la punta de prueba correspondiente dentro de la tarjeta.
 - +5V; analógicos, se mide en el pin 24 de U16.
 - +8 V; localizado en el pin 5 de U20.
 - 8 V; se encuentran en el pin 5 de U22.
- +5 V; digitales, se encuentran en la punta de prueba correspondiente dentro de la tarjeta.
 - +5V; analógicos, se mide en el pin 24 de U16.
 - +8 V; localizado en el pin 5 de U20.
 - 8 V; se encuentran en el pin 5 de U22.
- +5 V; analógicos, se mide en el pin 24 de U16.
 - +8 V; localizado en el pin 5 de U20.
 - 8 V; se encuentran en el pin 5 de U22.
- +8 V; localizado en el pin 5 de U20.
 - 8 V; se encuentran en el pin 5 de U22.

Se revisa que no exista continuidad entre la tierra digital (GNDD), y la tierra analógica (GNDA), estas revisiones debe hacerse antes de comenzar a ensamblar las tarjetas.

VI.3.- Pruebas a los dispositivos electrónicos

La primera serie de pruebas está orientada a la detección de componentes defectuosos antes de su instalación en la tarjeta. Es evidente que no se pueden someter a prueba todos los componentes, por lo que solamente serán revisados los dispositivos mas vulnerables a presentar fallas:

- **Microcontrolador:** La forma de verificar el buen funcionamiento de estos dispositivos consiste en ponerlos a trabajar bajo un programa de prueba que se encarga de activar y desactivar cada salida. Mediante leds se observa el funcionamiento de cada pin del componente.
- **Reguladores de voltaje.** La tarjeta cuenta con tres reguladores distintos, pero la manera de realizar la prueba es la misma; se coloca el dispositivo a probar en un circuito idéntico al contenido en la tarjeta y se mide su voltaje de salida, si está dentro del rango de funcionamiento ($\pm 5\%$ de su voltaje nominal de salida), será instalado en alguna tarjeta, en caso contrario se desechará.
- **Inversor de voltaje.** El circuito inversor será polarizado con un voltaje de +8 Volts y se verificará que el voltaje negativo que proporcione sea menor a -7.5 Volts. El resultado anterior nos garantizará el buen funcionamiento de este dispositivo.

VI.4.- Revisión de los niveles de voltaje

Al recibir las tarjetas ensambladas, se les coloca únicamente el inversor de voltaje (LM7660), designado con el nombre de U22, los dispositivos restantes no son colocados como precaución por si existiera un regulador de voltaje dañado. Cumpliendo lo anterior, se polariza la tarjeta y se miden los voltajes en los siguientes puntos:

- +12 V; localizados en el borne correspondiente de la tarjeta
- +5 V; digitales, se encuentran en la punta de prueba dentro de la tarjeta.
- +5 V; analógicos, se mide en el pin 24 de U16.
- +8 V; localizado en el pin 5 de U20.
- -8 V; se encuentran en el pin 5 de U22.

Las lecturas que se obtengan en estos puntos de medición no deben de exceder del 5 % del voltaje indicado, a excepción de la lectura del voltaje de la batería (+12 Volts), el cual va a depender del nivel de carga de la misma, se recomienda que este voltaje se encuentre en el siguiente rango; nivel máximo 14.5 Volts, nivel mínimo 12.5 Volts. En ningún caso se recomienda instalar el equipo con una batería que presente un voltaje inferior a +12 Volts, la batería instalada debe ser de al menos 24 Ah, recordando que mientras mayor sea la carga de la batería, mas tiempo de respaldo tendrá el equipo.

VI.5.- Prueba de funcionamiento

Revisados los voltajes de funcionamiento de la tarjeta y comprobando que son los correctos, se instalan los dispositivos faltantes, para lo cual la tarjeta debe de estar apagada mediante el switch SW3, en la posición de OFF, está localizado en la parte superior de la tarjeta.

El switch SW2, nos sirve para remplazar la memoria de almacenamiento sin perder datos, para el funcionamiento inicial del sistema este debe de estar señalando el letrero de OK, como se indica en las figuras siguientes:

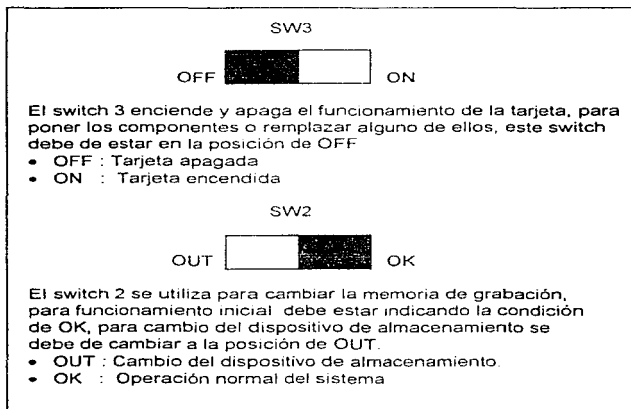


Figura 37. Estado de los switches para inicio de operación

Con la tarjeta apagada, colocar los siguientes dispositivos en el lugar correspondiente, teniendo cuidado de no tener carga estática que podría dañar los componentes:

- La memoria de almacenamiento (U3).
- La memoria RAM de pre-evento (U8).
- El convertidor Analógico - Digital (U16).
- El switch analógico (U15).
- Los amplificadores operacionales (U23, U24).
- El microcontrolador (U1).
- El reloj de tiempo real (U18).
- El transmisor serial (U6).
- La memoria de programación (U7), la cual debe ser previamente grabada con el programa de operación.
- Se debe revisar que los "jumpers" de configuración (J1, J2, J3); estén colocados como lo indica la figura siguiente:

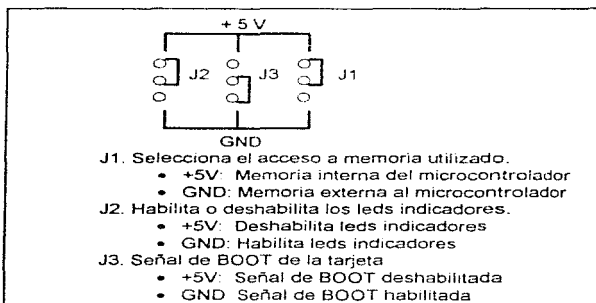


Figura 38. Condición de operación de los Jumpers.

Instalados los dispositivos anteriores en forma correcta, se enciende la tarjeta moviendo el switch 3 a la posición de ON.

Encendida la tarjeta, el sistema iniciará grabando los parámetros iniciales a la memoria de almacenamiento mediante la rutina de BOOT, esto se observará mediante los leds indicadores, los cuales estarán prendidos; hecho lo anterior el sistema realizará un cálculo de offset de los canales acelerométricos durante tres segundos, terminados los cuales el sistema estará en operación normal; con el led de operación prendiendo y apagando a un intervalo de un segundo.

La descripción anterior se observa gráficamente en la figura siguiente, donde se menciona la operación realizada y la condición que presentan los leds indicadores.

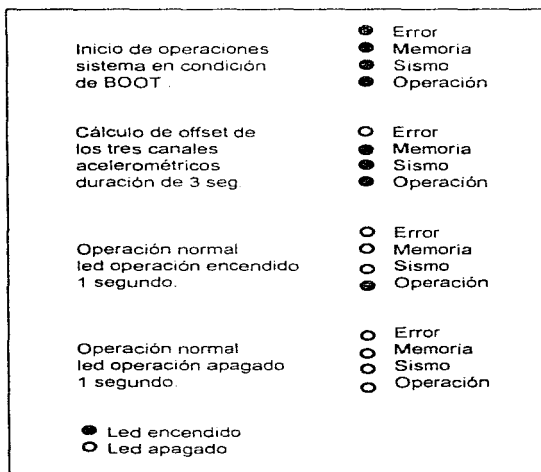


Figura 39. Estado de los indicadores al inicio de la operación del sistema, primeros cinco segundos.

Realizado el procedimiento anterior, la tarjeta está en condiciones de realizar la comunicación con la computadora, así como la verificación de los dispositivos restantes. Si se detecta alguna condición diferente a la descrita anteriormente, es posible que la tarjeta tenga alguna falla en el control del canal de datos del sistema.

VI.6.- Pruebas de comunicación

Las rutinas de comunicación serán revisadas una vez que el equipo está totalmente ensamblado y esté operando en forma normal (led de operación prendiendo y apagando con un intervalo de un segundo). La comunicación serial y paralela funcionan en forma idéntica, por lo que solo se describirá un procedimiento:

- Se conecta la tarjeta a la computadora (por el conector DB25, si es comunicación paralela, o bien mediante el conector DB9 si se trata de comunicación serial); y se revisa que la tarjeta este operando en forma normal (el led de operación prende y apaga con intervalo de un segundo).
- Mediante el programa de operación de la computadora iniciar la comunicación del sistema; si se detecta un error revisar la conexión e intentar de nuevo aplicándole una condición de RESET a la tarjeta y esperando que la tarjeta opere en forma normal.
- Una vez logrado el enlace de la tarjeta y la computadora programar los parámetros generales y de operación del sistema; además de programar el reloj de tiempo real y revisar que se programen con los datos deseados en la pantalla de la computadora.
- Transferir los parámetros deseados a la tarjeta, si esto se logra con éxito las rutinas de comunicación y el hardware correspondiente se encuentran en buen estado de funcionamiento.
- En el caso del reloj de tiempo real, debe programar la fecha solicitada, si después de esto no se logra poner el reloj a la fecha y hora GMT, reemplazar el dispositivo con uno nuevo y repetir la programación de la fecha y hora de la tarjeta.

El procedimiento anterior se debe realizar una vez que la tarjeta se enciende por vez primera, para probar el funcionamiento de todo el software de comunicación, se recomienda que se realice por las dos vías de comunicación, paralela y serial.

VI.7.- Prueba de la conversión A/D

El funcionamiento del convertidor A/D, es revisado mediante la comunicación que se establece con la computadora dentro de la rutina de monitoreo en tiempo real, para lo cual el procedimiento es el siguiente:

- Iniciar la comunicación entre la tarjeta y la computadora
- Elegir la opción de monitoreo de la estación, en la cual se observarán en tiempo real las señales procedentes de los sensores acelerométricos.
- Verificar el funcionamiento de los sensores mediante pequeños movimientos de los mismos y observar su comportamiento en pantalla
- Corregir el valor de offset de los canales mediante la tecla "F7", la cual centrará la señal acelerométrica lo mas cercano posible a cero.
- Si alguno de los canales muestra una línea recta en el origen, revisar si el canal está habilitado.

El ruido eléctrico de la tarjeta fue estimado de la siguiente manera:

- Se desconectaron los sensores acelerométricos y en su lugar se conectó una señal de DC, proveniente de una batería de litio nueva de 3 Volts (CR2032).
- Se observó en la pantalla la señal generada en los tres canales disponibles.
- Se determinó un ruido máximo de ± 1 cuenta, el cual está dentro del rango esperado debido a que el convertidor presenta un error de ese valor.
- Se realizó una grabación del ruido eléctrico cuya gráfica se presenta en el apéndice "F".

VI.8.- Prueba de los dispositivos de almacenamiento

La memoria RAM; y la memoria de almacenamiento (SRAM, formato PCMCIA, tipo tarjeta de crédito); tiene sus propias rutinas de prueba, la cual es idéntica en ambos casos por lo que solo se explicará el procedimiento general

- Establecida la comunicación de la computadora y la tarjeta; se elige la opción de diagnóstico.
- Para verificar el funcionamiento de la memoria "RAM", se elige la opción correspondiente.
- La tarjeta realizará una escritura en toda la memoria declarada, al termino de lo cual encenderá el indicador de memoria llena
- Se avisa a la computadora que se realizó en forma satisfactoria la escritura en el dispositivo.
- Se procede a leer los datos sobre toda la memoria declarada y se comparan con la escritura realizada anteriormente
- Al terminar la lectura, se apaga el led que indica memoria llena.

- Se reporta a la computadora el resultado de la lectura del dispositivo; si no existe error, se marca en la pantalla un OK, en caso contrario se despliega un error de FALLA.
- No es necesario borrar la memoria al terminar las pruebas.

VI.9.- Prueba del reloj de tiempo real

La forma de probar el dispositivo consiste en programarlo y verificar que su funcionamiento sea el correcto.

Mediante el programa de la computadora existe la opción de diagnóstico. Dentro de esta se inicializa el reloj, con lo que se le programará la fecha y hora siguientes:

- Fecha: 01-01-96
- Hora: 00:00:00

A partir de las cuales comenzara a funcionar el reloj; si se programa otra hora o fecha, es posible que exista daño en el dispositivo.

VI.10.- Pruebas de disparo y grabación

Los dos tipos de disparos, disparo por SAS y disparo externo, son activados por medio de interruptores y se revisa que la tarjeta responda a ellos de la siguiente manera:

- Se enciende el led que indica ocurrencia de un sismo.
- Se revisa que el tiempo de grabación corresponda al tiempo programado; en el caso de disparo de "SAS"; el tiempo de grabación mínimo es de 120 segundos; en el caso de un disparo externo, el tiempo de grabación mínimo es de 16 segundos, a una velocidad de muestreo de 100 muestras por segundo.
- La señal de disparo de salida que genera la tarjeta debe presentar un tren de pulsos.
- Posteriormente mediante la computadora se leen las grabaciones obtenidas.
- Se grafican los archivos y se analizan los resultados.

VI.11.- Funcionamiento en campo

Una vez verificado el correcto funcionamiento de la tarjeta completa, se somete a pruebas de campo para revisar el funcionamiento en condiciones reales.

- La tarjeta es puesta en operación por un periodo de una semana en forma ininterrumpida, sin sensores acelerométricos.
- Se hace variar el voltaje de alimentación en el rango de +11 Volts a +16 Volts, para verificar el funcionamiento del monitor de voltaje instalado y de las rutinas que operan en ambos casos (si el voltaje de alimentación es menor a 11.5 Volts, o mayor de 14 Volts, la tarjeta deja de operar hasta que se restablece el valor normal de alimentación; de +12 Volts a +14 Volts)
- Revisados los dos puntos anteriores la tarjeta es conectada a una tarjeta de sensores triaxiales de $\pm 1/2 "g"$ y se monitorea su funcionamiento.

VI.12.- Inmunidad a ruido eléctrico

Para probar la inmunidad de la tarjeta al ruido eléctrico, el equipo fue instalado en ambientes de gran ruido ambiental, observándose lecturas que contienen un ruido de ± 1 cuenta. La forma de hacer las pruebas es la siguiente:

- Se instala la tarjeta sin sensores acelerométricos, en un medio de gran ruido eléctrico ambiental, (junto a transformadores por ejemplo).
- Se le conecta a la tarjeta una fuente de voltaje de corriente directa, mediante una batería de litio nueva de +3 Volts (CR2032)
- Mediante un switch, se activa el equipo por medio del disparo externo y se realiza la grabación de un evento de prueba.
- Se recupera la grabación realizada y se analiza
- El evento registrado muestra un ruido de ± 1 cuenta, lo que nos indica que la tarjeta es inmune a ruido eléctrico ambiental (la gráfica se observa en el apéndice F).

Para proteger la tarjeta del ruido eléctrico, el chasis es aterrizado a la referencia del sistema mediante capacitores, simulando de esta manera una "jaula de Faraday"; por lo que no debe ser conectado a tierra física debido a que esto podría causar una tierra flotante que dañaría la tarjeta.

VI.13.- Pruebas de temperatura

El equipo está diseñado para operar en un amplio rango de temperaturas (-15° a 85° centígrados), con la intención de cubrir las necesidades en todo el territorio nacional, por lo que se sometió la tarjeta, a una prueba de funcionamiento en condiciones extremas de temperatura:

Temperaturas elevadas: Para realizar esta prueba, el equipo se sometió a una temperatura de 90° centígrados por un periodo de 24 horas, dando los siguientes resultados:

- La tarjeta funcionó sin problemas durante todo el tiempo de la prueba.
- Los sensores sufrieron una variación moderada en el valor del offset.
- Los dispositivos de memoria no presentaron fallas.
- El reloj de tiempo real no presentó fallas

Temperaturas bajas. La tarjeta fue sometida a una temperatura de -13° centígrados por un periodo de 24 horas en un ambiente sin condensación, presentándose los siguientes resultados:

- La tarjeta funcionó sin problemas durante todo el tiempo de la prueba.
- Los sensores presentaron una variación moderada en el valor del offset, este cambio aumentó conforme la temperatura descendía
- La memoria de pre-evento no presentó fallas.
- La memoria de almacenamiento no funciona en forma satisfactoria por debajo de los -5° centígrados. (el rango de operación de la memoria utilizada era de 0° a 70° centígrados).
- EL reloj de tiempo real no presentó fallas

VI.14.- Variaciones de voltaje

El sistema es alimentado por una batería recargable de +12 Volts, como voltaje nominal, la cual proporciona la energía para el funcionamiento de la tarjeta digital y de los sensores acelerométricos. Para probar el funcionamiento de la tarjeta para diferentes valores de voltaje se utilizó una fuente de poder variable de 0 a 24 Volts, obteniéndose los siguientes resultados:

- A partir de un voltaje de cero Volts, hasta 5.6 Volts, el sistema presenta una condición indeterminada de funcionamiento
- La parte digital del sistema comienza su funcionamiento a partir de un voltaje de entrada a la tarjeta de 5.7 Volts.
- El funcionamiento de los sensores acelerométricos es inestable para valores de voltaje inferiores a 11.5 Volts, razón por la cual el monitor de batería del sistema está calculado para que opere cuando se detecta un voltaje de entrada de 11.6 Volts como mínimo.
- Si se tiene un voltaje de entrada de 12 a 14.5 Volts, el funcionamiento del equipo es el óptimo.
- Para voltajes de entrada superiores a 14.8 Volts, los sensores acelerométricos presentan un cambio considerable en el valor de offset de las señales, esta modificación del offset no es estable, por lo que se podría activar el equipo al presentarse esta falla y llenar la memoria de almacenamiento con información no deseada, para evitar esto el sistema deja de muestrear los canales acelerométricos hasta que la batería regrese a un nivel de voltaje adecuado.

VII.- ANÁLISIS COSTO - BENEFICIO

Un desarrollo tecnológico debe justificarse mediante un buen desempeño a un precio razonable, por esta razón se presentarán los costos de las tarjetas "RAD-851", comparándolos con los precios de tarjetas similares disponibles en México.

VII.1.- Costo del sistema

La adquisición del material para las tarjetas es presentado por la siguiente cotización, en la cual se presentan los costos reales de los componentes con un paridad de 7.50 pesos por dólar.

COTIZACIÓN PARA EQUIPOS RAD-851						
CANTIDAD		50	EQUIPOS		COSTO US DLLS	
CANT.	CANT TOTA L	COMPONENTE	DESCRIPCIÓN	UNIT.	X EQP	TOTAL
1	50	S80C552-4A68	MICROCONTROLADOR	18 29	18 29	914 50
1	50	MAX191BCNG	CONVERSION A/D	22 46	22 46	1,123 00
1	50	DG411DJ	SWITCH ANALOGICO	4 26	4 26	213 00
1	50	LWB101/SD40	1MB SRAM PCMCIA	170 00	170 00	8,500 00
1	50	NM27C256-120	EPROM 32kb 120ns	3 13	3 13	156 50
1	50	MAX232CPE	TR/RCV RS-232	3 22	3 22	161 00
1	50	MAX8211CPA-2	MONITOR DE BATERIA	11 25	11 25	562 50
1	50	82256LP-10	SRAM@32kb 85ns	7 96	7 96	398 00
1	50	PCF8583P	RELOJ CALENDARIO	6 58	6 58	329 00
2	100	LM124J	AMP OPERACIONAL	3 14	6 28	314 00
1	50	LM2931A-5	REG-5V@100mA	0 96	0 96	48 00
1	50	LM2931CT	REG-VAR@1A	2 06	2 06	103 00
1	50	LM2940-5	REG-5V@1A	1 93	1 93	96 50
1	50	ICL7660SCPA	INVERSOR DE VOLTAJE	2 90	2 90	145 00
2	100	CD74HCT00E	SERIE SOIC NAND	0 41	0 62	41 00
2	100	CD74HCT02E	SERIE SOIC NOR	0 40	0 60	40 00
1	50	CD74HCT139E	SERIE SOIC Dec.	0 93	0 93	46 50
4	200	CD74HCT373E	SERIE SOIC Latch	1 04	4 16	208 00
3	150	CD73HCT541E	SERIE SOIC Buffer	1 27	3 81	190 50
2	100	110-99-308-41	BASE 8 PINES MLP	0 32	0 64	32 00
2	100	110-99-314-41	BASE 14 PINES MLP	0 56	1 12	56 00
2	100	110-99-316-41	BASE 16 PINES MLP	0 83	1 66	83 00
1	50	110-99-324-41	BASE 24 PINES	1 18	1 18	59 00
2	100	110-99-628-41	BASE 28 PINES	1 11	2 22	111 00
1	50	BASE 68PPLCC	BASE PARA INTEGRADO	2 42	2 42	120 93
1	50	IC1G-68PD-1 27	PORTAMEMORIA	18 33	18 33	916 55
11	550	1N4001	DIODO RECTIFICADOR	0 03	0 31	15 40
1	50	SCR102CT	DIODO GERMANIO	0 74	0 74	37 00
1	50	BC547C	TRANSISTOR NPN	0 08	0 08	4 00
1	50	CY32 76	CRISTAL 32 768kHz	1 14	1 14	57 00

CAPITULO VII

1	50	CTX077	CRISTAL 16 0000 MHz	1 76	1 76	88 00
7	350	ECE-A1HKK010	CAP ELECTR. 1uF/50V	0 23	1 61	80 50
3	150	ECE-A1CKK100	CAP ELECTR. 10uF/ 16V	0 30	0 90	45 00
1	50	ECE-A1CKK470	CAP ELECTR. 47uF/16V	0 61	0 61	30 50
7	350	ECE-A1CKK101	CAP ELECTR. 100uF/16V	0 50	3 50	175 00
2	100	27pF/100V 5%	CAPACITOR CERAMICO	0 03	0 05	2 67
1	50	120pF/100V 5%	CAPACITOR CERAMICO	0 07	0 07	3 73
1	50	0.01uF/50V 5%	CAPACITOR POLIESTER	0 04	0 04	1 93
64	3200	0.1uF/50V 5%	CAPACITOR POLIESTER	0 20	12 80	640 00
1	50	GKG30011	5-25pF VARCAP	1 73	1 73	86 50
18	900	10K 1% 1/4W	RESISTENCIA	0 05	0 96	48 00
1	50	11 5K 1% 1/4W	RESISTENCIA	0 05	0 05	2 53
1	50	15K 1% 1/4W	RESISTENCIA	0 05	0 05	2 53
1	50	29 4K 1% 1/4W	RESISTENCIA	0 05	0 05	2 53
1	50	100K 1% 1/4W	RESISTENCIA	0 05	0 05	2 53
1	50	107K 1% 1/4W	RESISTENCIA	0 05	0 05	2 53
1	50	165K 1% 1/4W	RESISTENCIA	0 05	0 05	2 53
2	100	10K 2% 1/4W	ARREGLO RESISTENCIA	0 01	0 01	0 64
4	200	10 5% 1/4W	RESISTENCIA	0 01	0 03	1 28
11	550	100 5% 1/4W	RESISTENCIA	0 01	0 06	3 23
5	250	680 5% 1/4W	RESISTENCIA	0 01	0 05	2 67
1	50	8 2K 5% 1/4W	RESISTENCIA	0 01	0 01	0 53
6	300	10K 5% 1/4W	RESISTENCIA	0 00	0 02	1 03
1	50	100K 5% 1/4W	RESISTENCIA	0 01	0 01	0 53
1	50	270K 5% 1/4W	RESISTENCIA	0 01	0 01	0 53
1	50	3 3M 5% 1/4W	RESISTENCIA	0 01	0 01	0 53
2	100	10uH	10uH CHOKE	2 00	4 00	200 00
1	50	ERZ-V07D180	VARISTOR 18 V	0 40	0 40	20 00
3	150	LED	ROJO 3mm DIFUSO	0 08	0 24	12 20
2	100	LED	VERDE 3mm DIFUSO	0 09	0 17	8 53
1	50	CD2032	BATERIA LITIO 3V	1 59	1 59	79 50
1	50	609-1427	CONNECT. HEADER 14T	3 34	3 34	167 00
1	50	DB25-M	DB25 Macho Angulo Recto	0 79	0 79	39 73
1	50	DB9P318	DB9 Macho Angulo Recto	0 72	0 72	36 00
1	50	PUSHBOTTON	MICRO SWITCH	0 21	0 21	10 53
2	100	SWM137	SWITCH RATON 2P2T	1 78	3 56	178 00
1	50	0.5A@250VE	FUSIBLE EUROPEO	0 13	0 13	6 47
4	200	JUMPER	3 POSICIONES DORADO	0 03	0 14	6 93
2	100	NC6-P107-04	KULKA SERIE NC6 4CON	2 51	5 01	250 67
1	50	106K	PORTABATERIA CR2032	1 11	1 11	55 50
2	100	PORTA-FUS	GRAPAS PARA EL FUSIBLE	0 10	0 20	10 00
1	50	IMPRESO	CIRCUITO IMPRESO	46 67	46 67	2 333 33
1	50	ENSAMBLE	MANO DE OBRA	16 00	16 00	800 00
223	11150		TOTAL US DLLS	410 46	20 524 24	
	Dólar	7.50	TOTAL PÉSOS	3 078 64	153 931 77	
	Americano		15% IVA	461 80	23 089 76	
			TOTAL	3 540 43	177 021 53	

La cotización anterior nos presenta los costos de cada componente de la tarjeta por unidad y el total de cada componente por las cincuenta tarjetas que se van a producir, nos indica el número de dispositivos por tarjeta.

El armado de las tarjetas fue realizado por medio de una empresa dedicada al ensamble de tarjetas electrónicas, los costos de este servicio se encuentran incluidos en la misma cotización, así mismo se presenta el costo por unidad del circuito impreso necesario

II.2.- Comparación con equipos comerciales

El sistema será comparado con los dos principales distribuidores de equipo sísmico en México: "Terra Technology Inc." y "Kinemetrics" en el costo de tarjetas con características similares tomando en cuenta que los precios están expresados en dólares americanos.

COSTO DÓLARES	RAD-851	SSA-210 Kinemetrics	TERRA T.
Por unidad	410.48	2500*	1250

Tabla 4. Comparación de costos de la tarjeta "RAD-851" y las tarjetas de "Terra technology" y "Kinemetrics".

Los precios presentados de las tarjetas son los que se ofrecen en los mercados de Estados Unidos, por lo que este aumenta si consideramos los costos de transportación y los impuestos de importación.

*La tarjeta de Kinemetrics incluye tres sensores piezoresistivos

VIII.- RESULTADOS Y CONCLUSIONES

Los resultados obtenidos en la realización de este trabajo, el diseño e implementación de un sistema de adquisición de datos acelerométricos, se describen a continuación.

Diseño:

- Dentro de esta parte del trabajo, se realizó el diseño de una arquitectura para un sistema de adquisición de datos que sustituyera con éxito las tarjetas madre (mother board), de los equipos "DCA -333"
- La nueva tarjeta cumple con las características de economía y funcionalidad que se requerían en el CIRES
- El diseño de la tarjeta aportó experiencia para desarrollar otros equipos de adquisición de datos
- Se logró la capacitación del personal en el diseño de circuitos digitales, así como en la programación de microcontroladores

Implementación:

- Las tarjetas desarrolladas fueron ensambladas en forma externa al CIRES; lo que aportó experiencia en lo referente a procedimientos de ensambles electrónicos.
- Las pruebas a las que se sometió la tarjeta establecieron una serie de métodos y procedimientos a seguir para realizar pruebas de funcionamiento en tarjetas electrónicas.
- Se capacitó personal en detección de fallas en tarjetas y en la reparación y mantenimiento de las mismas.

En lo referente a los requerimientos a satisfacer por esta tarjeta, se mencionan los siguientes puntos:

- La tarjeta es completamente compatible con los equipos "DCA-333"; lo que garantiza la utilización de los sensores acelerométricos, el gabinete y la fuente de alimentación del sistema; así como la infraestructura desarrollada en las instalaciones de campo.
- Las señales de entrada y salida trabajan con niveles "TTL", lo que nos proporciona compatibilidad con los equipos acelerométricos instalados actualmente en el Valle de México.
- Los componentes utilizados en el ensamblado de las tarjetas "RAD-851"; son de tecnología nueva que los hace muy resistentes a descargas electrostáticas, además de ser de bajo consumo de energía.
- Los dispositivos de la tarjeta manejan en promedio un rango de operación de -5° centígrados a un máximo de 80° centígrados, lo que cubre los diversos climas de la República Mexicana y mas concretamente del Valle de México.

- El ruido eléctrico en la tarjeta es de ± 1 cuenta, lo que demuestra la gran inmunidad al ruido de la tarjeta (las pruebas de ruido eléctrico, se realizaron con el gabinete aterrizado a la referencia del equipo).
- El sistema tiene doce bits de resolución, lo que proporciona un rango de ± 2047 cuentas.
- El tiempo de grabación de la tarjeta es de 34 minutos (a una frecuencia de muestreo de 100 muestra por segundo y una memoria de almacenamiento de un megabyte); lo que supera al doble el tiempo de grabación de un equipo "DCA-333".
- La memoria de almacenamiento es de estado sólido, que facilita su manejo y transportación y por ser tener una batería de respaldo, la información no sufre daño por falta de energía en un lapso de tiempo máximo de dos años.
- La tarjeta solo cuenta con dos interruptores, lo que minimiza las partes móviles que podrían sufrir deterioros con el uso.
- Como los dispositivos utilizados en la tarjeta son de bajo consumo, el equipo puede funcionar sin problemas con celdas solares.
- Todos los parámetros del sistema son modificados mediante un programa de computadora, esto le da una gran versatilidad a la tarjeta, facilitando su uso y aumentando la capacidad de adaptación del equipo a ambientes donde existen grandes vibraciones, los umbrales de disparo de cada canal cubren la escala completa (no se acepta umbral cero).
- Los parámetros de operación del sistema son guardados en la memoria de almacenamiento, por lo que no se pierde la configuración de la tarjeta, en el caso de falla en el suministro de energía eléctrica.
- La tarjeta cuenta con una rutina de autodiagnóstico, la cual revisa los principales puntos de falla del sistema y los notifica mediante los leds indicadores, lo que reduce el tiempo de mantenimiento.
- La memoria de almacenamiento de datos puede ser sustituida de la tarjeta sin que se pierdan los datos o la configuración del sistema, mediante un sencillo procedimiento.
- Los datos contenidos en la memoria de datos pueden ser recuperados mediante una computadora, por medio de una comunicación paralela bidireccional o por comunicación serial.
- El reloj de tiempo real de la tarjeta no pierde su configuración por falta de energía en la tarjeta, cuenta con una batería de respaldo no recargable.
- La comunicación serial soporta un enlace remoto por medio de un módem, se tiene la opción de que la estación se reporte a una hora del día para monitorear su funcionamiento.
- Los conectores son completamente compatibles con los usados actualmente, lo que no hace necesario el reemplazo de los mismos.

VIII.1.- Resultado de operaciones

Los resultados de la operación de las tarjetas instaladas en campo han sido los esperados, mostrando un mejor desempeño en cuanto a programación de parámetros que los equipos "DCA-333", destacando los puntos siguientes:

- Las tarjetas fueron instaladas sin problema en los gabinetes de los equipos "DCA-333", son completamente compatibles en lo referente a la disposición de los tornillos, el aterrizaje del chasis con la señal de referencia de la tarjeta (0 Volts), se realiza por medio de los mismos tornillos, lo que evita la utilización de un conector adicional
- La operación de los equipos instalados en campo es satisfactoria, no se reportaron fallas causadas por descargas estáticas
- No se han reportado fallas graves en el funcionamiento de las tarjetas "RAD-851".
- Se han reducido las operaciones de mantenimiento a los equipo
- La recuperación de eventos sísmicos almacenados en memoria es mas eficiente
- Las funciones de autodisparo(PROMEDIO,AND,OR); han permitido la adaptación de las tarjetas en ambientes de gran ruido acelerométrico ambiental.
- Se logrará un ahorro a futuro gracias a la utilización de una memoria que puede ser borrada y grabada una gran cantidad de veces, evitando con esto la compra de cintas magnéticas que solamente podían ser utilizadas una sola vez sin riesgos de perder información.
- La actualización del sistema de adquisición de datos, permitirá el aprovechamiento de los sensores acelerométricos disponibles.
- La compatibilidad de las tarjetas con los gabinetes permite el aprovechamiento de la obra civil instalada en las estaciones de campo (casetas, bases de concreto, estaciones de pozo, etc).
- Los equipos interpretaron sin problemas las referencias de tiempo con código "omega" que están instaladas en las estaciones de campo
- El uso de una computadora portátil para el manejo de las tarjetas evita el uso de un lector adicional.
- El formato de los archivos generados permite una fácil identificación del equipo que los generó y del día en que se registraron

VIII.2.- Comparaciones técnicas con equipos comerciales

La comparación de la tarjeta "RAD-851", será contra tarjetas similares de las marcas "Terra technology Inc." y "Kinemetrics".

	Terra DCA-333	Kinemetrics SSA-2	RAD - 851
Frecuencia de muestreo (muestras/s)	100	200	25,50,100,200 Programable
Número de canales	3	3	1,2,3 Programable
Sensibilidad (Volts)	± 2.5	± 2.5	± 2.5
Resolución Bits	12	12	12
Ruido	$\pm 1\text{lsb}$	$\pm 1\text{lsb}$	$\pm 1\text{lsb}$
Tiempo de pre-evento (segundos)	3	0 - 15 Programable	4 - 64 (a 100 sps) Programable
Tiempo de post-evento (segundos)	10	10,15,30,60,90 Programable	4 - 128 (a 100 sps) Programable
Umbral de Disparo	0.1-100% Programable	0.1-10% Programable	0.1-100% Programable
Medio de Almacenamiento	Cinta Magnética	256Kb RAM CMOS	1Mb tarjeta de memoria
Tiempo de Grabación con tres canales	Aprox 18 minutos (100 SPS)	10 minutos (200 sps)	34 minutos (100 sps)
Recuperación de datos	Lector SR-102	IBM-PC compatible	Computadora Portátil

Tabla 5 Características principales de las tarjetas

La tabla anterior nos muestra claramente las ventajas de la nueva tarjeta (RAD-851), sobre los actuales sistemas acelerométricos (DCA-333); teniendo un desempeño semejante a las tarjetas SSA-2 de "Kinematics", (Modelo disponible en el mercado a partir del año de 1995),

VIII.3.- Conclusiones

De acuerdo a lo expresado anteriormente, se llegó a las siguientes conclusiones en el desarrollo del presente trabajo:

- Todos los requerimientos técnicos solicitados a la tarjeta fueron cubiertos satisfactoriamente.
- La red acelerométrica del Valle de México que está a cargo del CIRES fue modernizada.
- Los equipos desarrollados funcionan en forma satisfactoria y cumplen las expectativas para las cuales fueron diseñados.
- Se logró un ahorro económico al desarrollar la tarjeta, en lugar de haberla adquirido en el extranjero.
- El CIRES desarrolló tecnología en lo referente a adquisición de datos acelerométricos.
- El mantenimiento de las tarjetas RAD-851 es mas sencillo y rápido que el proporcionado a los equipos DCA-333.

IX- BIBLIOGRAFÍA

- **TERRA TECHNOLOGY** SEISMIC SYSTEM TRAINING AIDS
DOC. 95-300178, REV. A. WASHINGTON USA
1982.
- **TERRA TECHNOLOGY** DCA - 333, DIGITAL CASSETTE
ACCELEROGRAPH
DOC. 95-320148 REV. E. WASHINGTON USA
1982.
- **CIRES A.C.** SISTEMA DE ALERTA SÍSMICA PARA LA
CIUDAD DE MÉXICO. DISEÑO Y
ESPECIFICACIONES
INFORME SAS - DF - 1
MÉXICO D.F. MAYO 1990
- **OSCAR RUBÉN CONTRERAS GONZÁLEZ**
APROVECHAMIENTO DE LAS MICRO-
COMPUTADORAS TIPO PC EN ANÁLISIS
ACELEROMÉTRICO
MÉXICO D.F. MAYO 1988.
- **LARRY HIPÓLITO ESCOBAR SALGUERO**
RANULFO RODRIGUEZ SOBREYRA
DISEÑO DE UNA ARQUITECTURA DE
PROCESAMIENTO DIGITAL DE IMÁGENES*
MÉXICO D.F. 1992
- **PHILIPS SEMICONDUCTORS**
I²C PERIPHERALS FOR
MICROCONTROLLERS
JANUARY 1992 PAG. 275 - 293
- **PHILIPS SEMICONDUCTORS**
APPLICATION NOTES AND DEVELOPMENT
TOOLS FOR 80C51 MICROCONTROLLERS
MARCH 1995
- **PHILIPS SEMICONDUCTORS**
80C51 - BASED 8 - BIT MICROCONTROLLERS
DATA HANDBOOK IC20
MARCH 1995

- MAXIM

1994 EVALUATION KIT DATA BOOK
SUNNYVALE CA. 1994 PAG. 4-265, 4-291

- HERBERT SCHILDT

C: THE COMPLETE REFERENCE
OSBORNE MCGRAW-HILL
BERKELEY CALIFORNIA 1987

APÉNDICE A: LISTADOS DE PROGRAMAS

El programa de operación del microcontrolador es desarrollado en lenguaje "C", la elección para programar en este lenguaje se hizo debido a que se cuenta con un compilador de "C" a lenguaje ensamblador de la compañía "Franklin software".

LISTADO DEL PROGRAMA DE OPERACIÓN

El programa de operación de la tarjeta RAD-851 se presenta a continuación, indicando la línea de cada instrucción y el nivel de anidamiento asignado.

```

#include "RAD.H"
main()
/* PROGRAMA PRINCIPAL */
{
  CONFIGO;
  do
  {
    WATCHDOG0;
    if((SAS|DISI|EVE)&&(IMLL))
      REGIS TRAO;
    #IFTOUMCDO
      COMUNICAO;
    #IFREP
      REPORTE0;
    #IFGUL
      QUITARO;
    #IFUE
      BATERIA0;
    #IF(SEGUNDO>=SEG)
    {
      SEGUNDO = 0;
      TOGGLE(OPERA);
      DIAGNOS0;
    }
    #IF(CONMUE=MAXMUE)
    {
      for(CICLO=0;CICLO<CANALES;CICLO++)
      {
        IESTAD OFF[CICLO] = (uint8)SUMAS[CICLO]*CONMUE;
        IESTAD OFF[CICLO] = IESTAD OFF[CICLO]-ORIGEN;
        SUMAS[CICLO] = 0x000;
      }
      CONMUE = 0x000;
    }
  }while(SIEMPRE);
}
/*-----*/
/* Rutina de AUTO DIAGNOSTICO */
void DIAGNOS(void)
{
  IESTAD BATERI = CON(6);
  IESTAD BATERI +=+ 0x05;
  IESTAD BATERI |= CON(7);
  VAREXT0;
  #IF(VAR&0x03)=0x03/*Verifica el voltaje de la IC-CARD*/
  ACTIVA(MEMOR);
  #IF(VAR&0x0C)/*Verifica que este colocada la IC-CARD*/
  {
    TRD = 0;
    ACTIVA(ERROR)/*Si no esta colocada enciende ERROR*/
    while(VAR&0x0C)
    {
      VAREXT0;
      WATCHDOG0;
    }
    PONPAG(0x00);
    EIC = 0;
    AUXINT = XWORD(INDAT-2);
    #AUXINT(SERIE);
    {
      WATCHDOG0;
      for(APUAUX=0;APUAUX<=INDAT_APUAUX++)
      {
        XBYTE[APUAUX] = FINBLO;
        XIDENT SERIAL = SERIE /*Numero del sistema = 0001*/
        XWORD(INDAT-2) = SERIE;
        for(CICLO=0;CICLO<=26;CICLO++)
        {
          XIDENT NOMBRE[CICLO] = NOMBRE[CICLO]/*NOMBRE
          del sistema*/
          XIDENT UBICACION[CICLO] =
          UBICACION[CICLO]/*UBICACION del sistema*/
        }
      }
      WATCHDOG0;
      for(CICLO=0;CICLO<=5;CICLO++)
      {
        XIDENT CLAVE[CICLO] = CLAVE[CICLO]/*Clave NACIONAL
        del sistema*/
        XIDENT CLAVE[CICLO] = CLAVE[CICLO]/*Clave CIRS del
        sistema*/
      }
    }
  }
}

```

```

}
WATCHDOG0;
RAMIC0;
BORRAR0;
}
EIC = 1;
TRD = 1;
CAL0;
}
#IF(VAR&0x10)/*Verifica proteccion contra escritura*/
APAGAR(OPERA);
ACTIVA(MEMOR(ERROR))/*Si esta protegida enciende MEMOR
ERROR*/
while(VAR&0x10)
{
  WATCHDOG0;
  VAREXT0;
}
APAGAR(MEMOR(ERROR))/*Si esta protegida enciende
MEMOR ERROR*/
}
#IF((VAR&0x80)/*Si se cumple la peticion del BOOT*/)
{
  WATCHDOG0;
  BOOT0/*Carga el BOOT a la memoria IC-CARD*/
  WATCHDOG0;
  CAL0;
  WATCHDOG0;
}
}
/*-----*/
/* INTERRUPCION DEL RELOJ DE TIEMPO REAL */
void INTREL(void) Interrupt 5 using 2
{
  TMRIR = 0;
  ECT2 = 0;
  TEMPO = 0x70;
  while(--TEMPO);
  REP = 1;
  ECT2 = 1;
}
/*-----*/
/* REPORTE DEL RELOJ DE TIEMPO REAL */
void REPORTE(void)
{
  INSG0;
  PROGAL0;
  REP = 0;
}
/*-----*/
/* Rutina PARA RETIRAR TARJETA */
void INTICC(void) Interrupt 6 using 2
{
  ECTD = 0;
  /*Verifica si fue ruido */
  #IF(TAR)
  {
    TEMPO = 0x80;
    while(--TEMPO);
    PCON |= 0x10;
    T3 = WGIN1;
  }
  #IF(TAR)
  {
    ECTD = 1;
    return;
  }
}
/* NO FUE RUIDO */
TMRIR = 0;
EX0 = 0/*Deshabilita la interrupcion por SAS */
EX1 = 0/*Deshabilita la interrupcion paralela */
ECT3 = 0/*Deshabilita la interrupcion del monitor*/
EGD = 0/*Deshabilita la interrupcion Serie */
GUI = 1/*Habilita bandera de peticion */
}

```



```

}
SEGUNDO = 0x00;
BYTES = 0x00;
MEMRAM = 0x00;
MUJE = 0;
EX1 = 1/"Habilita la interrupcion paralela"/
ES0 = 1/"Habilita la interrupcion serie"/
ECT0 = 1/"Habilita la interrupcion de tarjeta"/
ECT2 = 1/"Habilita la interrupcion del CT2 REINT"/
ECT3 = 1/"Habilita la interrupcion del MODEM"/
EIC = 1;
KCC = 1;
TLO = TIMELO;
THO = TIMEHO;
TRO = 1;
CALO:
}
}
*****
/RUTINA PARA ENVIAR DATOS
POR EL PUERTO SERIE/
void ENVIAS(ubyte DATO)
{
  SBUF = DATO;
  RI = 0;
  while(!TI);
  TI = 0;
}
}
*****
/Rutina para enviar LEER
por el puerto serie/
static void LEER(void)
{
  static ubyte SER=0;
  while(!SER)
  #if(RI)
  {
    if( RI = 0;
    return(SBUF);
  }
  #return(ERR);
}
}
*****
/RUTINA DE CONFIGURACION
DEL SISTEMA/
void CONFIG(void)
{
  APAGAR(MEMOR|ERROR|SISMO|OPERA);
  PTO = 1/"Timer cero con prioridad alta"/
  ET0 = 1/"Habilita la interrupcion por el TIMER 0"/
  IT0 = 1/"Interrupcion externa "0" por nivel"/
  IT1 = 1/"Interrupcion externa "1" por nivel"/
  PAR = 1/"Desahabilita salida del puerto paralelo"/
  EX1 = 1/"Habilita interrupcion externa PTO PAREL"/
  BTE = 0/"Bandera para indicar autodISPARO"/
  ECT1 = 0/"Desahabilita interrupcion CT1 TROGENIN2"/
  ECT2 = 0/"Desahabilita interrupcion CT2 REINT"/
  ECT3 = 0/"Desahabilita interrupcion CT3 MONITOR"/
  ADO = 0/"Desactiva el convertidor"/
  QUIT = 1;
  REP = 0;
  TMCR = 0;
  TMCO = 0x01/"Temporizador en modo 0 16 bits"/
  SCON = 0x50/"Puerto serie modo 2.9 bits UART REN = 0"/
  PCON = 0x00/"Velocidad de transmision 500 KHz"/
  CTCON = 0xAAA/"Interrupciones CT1,CT2,CT3 por flanco"/
  DISPARO = 0x01;
  PONPAG(0x00)/"Direcciona la primera pagina"/
  // INICIA LA OPERACION DEL WATCHDOG, Y CONDICIONES
  INICIALES/
  WATCHDOG();/"Recarga valor del WATCHDOG"/
  APAGAR(WATCH)/"Habilita el WATCHDOG=0"/
  ACTIVA(SELECT|ACKS|SIPARAL)/"Desahabilita
  SELECT STROBE y PUL PARALEL"/
  // PRUEBA COLOCACION DE LA IC-CARD Y QUE NO ESTE
  PROTEGIDA/
  VAREXT();
  while(VAR&0x00)/"Verifica que este colocada la IC-CARD"/

```

```

{
  ACTIVA(ERROR)/"Si no esta colocada enciende ERROR"/
  VAREXT();
}
while(VAR&0x10)/"Verifica proteccion contra escritura"/
{
  ACTIVA(MEMOR|ERROR)/"Si esta protegida enciende MEMOR
  ERROR"/
  VAREXT();
}
if(!VAR&0x80)/"Si existe peticion de BOOT"/
{
  TEMPO = 0x00;
  while(!TEMPO)/"Retardo para verificar que no fue ruido"/
  WATCHDOG();/"Recarga valor del WATCHDOG"/
  VAREXT()/"Verifica la peticion del BOOT"/
  #if(VAR&0x80)/"Si se cumple la peticion del BOOT"/
  BOOT()/"Carga el BOOT a la memoria IC-CARD"/
}
WATCHDOG();/"Recarga valor del WATCHDOG"/
PONPAG(0x00);
EIC = 0;
KCC = 0;
/"Verifica existencia de datos en memoria"/
while(ESTAD BLANCO=0x13)
{
  WATCHDOG();
  BOOT();
  #PARGE = XPARGE;
  #PAROF = XPAROF;
  #ESTAD = #KESTAD;
  #ESTAD RESETS +"/"Incrementa numero de resets"/
  #EIC = 1;
  #KCC = 1;
  #PARGE EDOA#DEXT;
  #ECT1 = 1;
  #else
  #ECT1 = 0;
  #PARGE EDO#HDSAS;
  #EO = 1;
  #else
  #EO = 0;
  #TRO = 1/"Arranca TIMER 0"/
  while(!TAR)
  {
    WATCHDOG();
    #SEGUNDO=SEG;
    #TOGGLE(MEMOR|ERROR|SISMO|OPERA);
  }
  #CALO;
  #SEGUNDO = 0x00;
  #BYTES = 0x00;
  #MEMRAM = 0x00;
  #ECT0 = 1/"Habilita interrupcion CT0 TARJETA"/
  #ECT2 = 1/"Habilita interrupcion CT2 REINT"/
  #ECT3 = 1/"Habilita interrupcion CT3 MONITOR"/
}
}
*****
/RUTINA DE INTERRUPCION DEL
TIMER 0 PARA TIEMPO DE MUESTREO/
void INTTOS(void) interrupt 1 using 1
{
  TLO = TIMELO/"Byte bajo del contador"/
  THO = TIMEHO/"Byte alto del contador"/
  SEGUNDO = 1/"Incrementa la cuenta de 1 segundo"/
  #COMARJE +"/"PARGE EDO#HDSAS"/
  #ITEM;
  #BTE = 1;
  #else
  #BTE = 0;
  #EIF = 1;
  #ADO = 1;
  #ICEO;
}
#CH2 = 0;
#CH1 = 1;

```

```

ESTAB1 = 0x0F;
while(-ESTAB);
HBE = 0;
HAD = 0;
RD1 = 0;
while(RDY);
CON[5] = XBYTE[0xC000];
RD1 = 1;
HAD = 1;
HBE = 1;
CON[4] = XBYTE[0xC001];
HAD = 0;
RD1 = 0;
CON[4] = XBYTE[0xC000];
RD1 = 1;
HAD = 1;
HBE = 1;
}
else
{
CON[4] = 0x0800;
CON[5] = 0x0000;
}
#(CH5)
{
CH2 = 1;
CH1 = 0;
ESTAB1 = 0x0F;
while(-ESTAB);
HBE = 0;
HAD = 0;
RD1 = 0;
while(RDY);
CON[3] = XBYTE[0xC000];
RD1 = 1;
HAD = 1;
HBE = 1;
CON[2] = XBYTE[0xC001];
HAD = 0;
RD1 = 0;
CON[2] = XBYTE[0xC000];
RD1 = 1;
HAD = 1;
HBE = 1;
}
else
{
CON[2] = 0x0800;
CON[3] = 0x0000;
}
#(CVE)
{
CH2 = 1;
CH1 = 1;
ESTAB1 = 0x0F;
while(-ESTAB);
HBE = 0;
HAD = 0;
RD1 = 0;
while(RDY);
CON[1] = XBYTE[0xC000];
RD1 = 1;
HAD = 1;
HBE = 1;
CON[0] = XBYTE[0xC001];
HAD = 0;
RD1 = 0;
CON[0] = XBYTE[0xC000];
RD1 = 1;
HAD = 1;
HBE = 1;
}
else
{
CON[0] = 0x0800;
CON[1] = 0x0000;
}
CH2 = 0
CH1 = 0.

```

```

ESTAB = 0x0F;
while(-ESTAB);
HBE = 0;
HAD = 0;
RD1 = 0;
while(RDY);
CON[7] = XBYTE[0xC000];
RD1 = 1;
HAD = 1;
HBE = 1;
CON[6] = XBYTE[0xC001];
HAD = 0;
RD1 = 0;
CON[6] = XBYTE[0xC000];
RD1 = 1;
HAD = 1;
HBE = 1;
AD0 = 0;
#(TAB)
{
CON[6] += 4;
ESTAB = CON[1];
CON[1] = CON[4];
CON[1] += 4;
CON[1] = CON[2];
CON[2] = ESTAB;
CON[4] = CON[5];
#(BYTES)
BLO = 0;
BYTES = 0x02;
UMBER = 0x00;
UMBNOR = 0x00;
UMBEST = 0x00;
#(SIS)
{
EIC = 1;
CONDAT = XBYTE[MEMRAM];
EIC = 0;
XBYTE[ESTAD MEMSIS++] = CONDAT;
CONDAT = XBYTE[MEMRAM+1];
EIC = 0;
XBYTE[ESTAD MEMSIS++] = CONDAT;
EIC = 1;
XBYTE[MEMRAM+1] = INILO;
APUCON = MEMRAM;
XBYTE[MEMRAM+1] = 0x01;
}
#(SIS)
#(CVE)
#(LECTU[0]:(ORIGEN+UMBRA[0]))
{
UMBER--;
UCV = 1;
}
else
#(LECTU[0]:(ORIGEN+UMBRA[0]))
{
UMBER--;
UCV = 1;
}
#(CNS)
#(LECTU[1]:(ORIGEN+UMBRA[1]))
{
UMBNOR--;
UCN = 1;
}
else
#(LECTU[1]:(ORIGEN+UMBRA[1]))
{
UMBNOR--;
UCN = 1;
}
#(CEO)
#(LECTU[2]:(ORIGEN+UMBRA[2]))

```



```

XBYTE(ESTAD MEMSIS++) = EVENTO.
XBYTE(ESTAD MEMSIS++) = ESTAD NUMERO.
XBYTE(ESTAD MEMSIS++) = DISPARO.
XBYTE(ESTAD MEMSIS++) = DxD1.
AUXB = 0x05.
WATCHDOG0.
APDAT = (ubyte %) & XIDENT.
for(CICLO=0,CICLO=sizeof(XIDENT),CICLO++)
{
  PONPAG(0x00).
  EIC = 0.
  ICC = 0.
  DATO = "APDAT++".
  PONPAG(ESTAD PAGSIS).
  EIC = 0.
  XBYTE(ESTAD MEMSIS++) = DATO.
  AUXB++.
}
EIC = 0.
ICC = 0.
APDAT = (ubyte %) & IPARGE.
for(CICLO=0,CICLO=sizeof(IPARGE),CICLO++)
{
  XBYTE(ESTAD MEMSIS++) = "APDAT++".
  AUXB++.
}
APDAT = (ubyte %) & IPAROP.
for(CICLO=0,CICLO=sizeof(IPAROP),CICLO++)
{
  XBYTE(ESTAD MEMSIS++) = "APDAT++".
  AUXB++.
}
APDAT = (ubyte %) & FEHOR.
for(CICLO=0,CICLO=sizeof(FEHOR),CICLO++)
{
  XBYTE(ESTAD MEMSIS++) = "APDAT++".
  AUXB++.
}
do
{
  EIC = 0.
  XBYTE(ESTAD MEMSIS++) = FINBLQ.
  jumie++ - AUXB(=INBLQ).
  #(ESTAD MEMSIS)
  CAMPAG0.
  while(BLQ)
  WATCHDOG0.
  SIS = 1.
  #(SAS)
  {
    AUXB = 0x00.
    while(BLQ)
    {
      PCON |= 0x10.
      T3 = WGINT.
    }
    do
    {
      CICLO = 0x00.
      do
      {
        while(MUE)
        {
          PCON |= 0x10.
          T3 = WGINT.
        }
        MUE = 0.
        while(CICLO++<25).
        #(EVE)[DIS][SAS)
        {
          AUXB = 0x0000.
          EVE = 0.
          DIS = 0.
          SAS = 0.
        }
        while(AUXB++<(NB15*240))[(BLQ)].
        AUXB = 0x00.
        while(BLQ)
      }
    }
  }
}

```

```

PCON |= 0x10.
T3 = WGINT.
}
do
{
  CICLO = 0x00.
  do
  {
    while(MUE)
    {
      PCON |= 0x10.
      T3 = WGINT.
    }
    MUE = 0.
    while(CICLO++<25).
    #(EVE)[DIS][SAS)
    {
      AUXB = 0x0000.
      EVE = 0.
      DIS = 0.
      SAS = 0.
    }
    while(AUXB++<(NB15*240))[(BLQ)].
  }
  else
  {
    /* BLOQUES DE PREVENTO */
    AUXB = 0x00.
    while(BLQ)
    {
      PCON |= 0x10.
      T3 = WGINT.
    }
    do
    {
      CICLO = 0x00.
      do
      {
        while(MUE)
        {
          PCON |= 0x10.
          T3 = WGINT.
        }
        MUE = 0.
        while(CICLO++<25).
        while(AUXB++<PREE)[(BLQ)].
        do
        {
          CICLO = 0x00.
          do
          {
            while(MUE)
            {
              PCON |= 0x10.
              T3 = WGINT.
            }
            MUE = 0.
            while(CICLO++<25).
            #(EVE)[DIS][SAS)
            {
              AUXB = 0x0000.
              EVE = 0.
              DIS = 0.
              SAS = 0.
            }
          }
          while(AUXB++<POST)[(BLQ)].
        }
        /* GUARDA BLOQUE DE FIN DE EVENTO */
        SIS = 0.
        #(ESTAD MEMSIS)
        CAMPAG0.
        EIC = 0.
        ICC = 0.
        XBYTE(ESTAD MEMSIS++) = INBLQ.
        XBYTE(ESTAD MEMSIS++) = EVENTO.
        XBYTE(ESTAD MEMSIS++) = INBLQ.
        WATCHDOG0.
        for(CICLO=0,CICLO=LNBLQ,CICLO++)
        XBYTE(ESTAD MEMSIS++) = FINBLQ.
        EIC = 1.
      }
    }
  }
}

```

```

ICC      = 1;
}
WATCHDOG0;
(RML)
CALC00;
ECT1    = 0;
!(PARGE EDO&HDSAS)
EXO    1;
else
EXO    = 0;
!(PARGE EDO&HDEXT)
ECT1    = 1;
else
ECT1    = 0;
!(PARGE EDO&HDSAS)
EXO    1;
else
EXO    = 0;
EVE    = 0;
DIS    = 0;
SAS    = 0;
OUT
DISPARO = 1;
for(CICLO=0,CICLO<CANALES_CICLO++)
SUMA(CICLO) = 000;
CONMUE  = 0x00;
EX1    = 1;
ES0    = 1;
ECT0    = 1;
! ECT2 = 1;
ECT3    = 1;
APAGAR(SISMO);
}
/*RUTINA DE ENCENDIDO DE LEDS
DE CONDICIONES DEL SISTEMA*/
void ACTIVA(ubyte CO)
{
EIC      = 1;
U11     |= CO;
XBYTE[0xE000] = U11;
}
/*RUTINA DE APAGADO DE LEDS
DE CONDICIONES DEL SISTEMA*/
void APAGAR(ubyte CO)
{
EIC      = 1;
U11     &= ~CO;
XBYTE[0xE000] = U11;
}
/*RUTINA PARA CAMBIAR EL
ESTADO DE UN LED DE CONDICION*/
void TOGGLE(ubyte CO)
{
EIC      = 1;
U11     ^= CO;
XBYTE[0xE000] = U11;
}
/*RUTINA PARA CAMBIAR LA
PAGINA DE LA IC-CARD*/
void PONPAG(ubyte PAG)
{
EIC      = 1;
XBYTE[0xC000] = PAG;
}
/*RUTINA DE RECARGA
DEL WATCHDOG*/
void WATCHDOG(void)
{
PCON |= 0xFF
T3 = WGINT
}
/*RUTINA DE LECTURA DE
VARIABLES EXTERNAS*/

```

```

void VAREXT(void)
{
EIC      = 1;
VAR = XBYTE[0xE000];
}
/*RUTINA PARA VERIFICAR
LA RAM DE PREVENTO */
void PRURAM(void)
{
EIC      = 1;
TR0 = 0;
GFO = 0;
DATO = 0x72;
for(AUXINT=0,AUXINT<0x8000,AUXINT++)
XBYTE[AUXINT] = DATO--;
ACTIVA(MEMOR);
!(MOD)
ENVIASD(ACK);
else
ENVIALPT(ACK);
DATO = 0x72;
for(AUXINT=0,AUXINT<0x8000,AUXINT++)
!(XBYTE[AUXINT]==DATO++)
GFO = 1;
!(GFO)
!(MOD)
ENVIASD(NAK);
else
ENVIALPT(NAK);
else
!(MOD)
ENVIASD(ACK);
else
ENVIALPT(ACK);
BORRAR();
TLO = TIMELO;
TH0 = TIMEHO;
TRO = 1;
}
/*RUTINA PARA VERIFICAR
LA MEMORIA IC-CARD*/
void PRUICC(void)
{
TR0 = 0;
/*DATOS DE LA IC-CARD A RAM*/
PONPAG(0x00);
EIC      = 0;
XPARGE = IPARGE;
XPAROP = IPAROP;
XESTAD = IESTAD;
for(AUXINT=0,AUXINT<INIDAT,AUXINT++)
/*LEE DATO DE IC-CARD*/
EIC      = 0;
DATO = XBYTE[AUXINT];
/*ESCRIBE DATO A RAM*/
EIC      = 1;
XBYTE[AUXINT] = DATO;
}
DATO = 0x38;
for(PAGINI=0x00,PAGINI<=IPARGE MAX,PAGINI++)
{
PONPAG(PAGINI);
EIC      = 0;
for(AUXINT=0,AUXINT<0xFF,AUXINT++)
XBYTE[AUXINT] = DATO--;
XBYTE[0xFF] = DATO--;
}
ACTIVA(MEMOR);
!(MOD)
ENVIASD(ACK);
else
ENVIALPT(ACK);
DATO = 0x38;
GFO = 0;
!(GFO)
!(MOD)
}

```

```

ENVIAS0(NAJO);
else
ENVALPT(NAJO);
else
#(MOD)
ENVIAS0(ACK);
else
ENVALPT(ACK);
/*DATOS DE LA RAM A LA IC-CARD*/
POMPAG(0x00);
#(AUXINT=0;AUXINT=INIDAT;AUXINT++)
{
/*LEE DATO DE RAM*/
EIC = 1;
DATO = XBYTE[AUXINT];
/*DESCRIBE DATO A IC-CARD*/
EIC = 0;
XBYTE[AUXINT] = DATO;
}
EIC = 0;
#(PARGE = XPARGE;
#(PAROP = XPAROP;
IESTAD = XESTAD;
EIC = 1;
BORRAR0;
TLG = TIMELO;
THD = TIMEHO;
TRD = 1; 0;
);
/*******/
/*RUTINA PARA CALCULAR
PARAMETROS DE OPERACION*/
void PARAMETRO(void)
{
/*CONFIGURA RELOJ DE
PRECISION O TIMERY
#(PARGE.EOD0&0x40)
{
PRE = 1;
TMOD = 0x09;
}
else
{
PRE = 0;
TMOD = 0x01;
}
}
#(((PAROP.PARA0x03)==0)
{
#(PRE)
{
TIMELO = 0x27;
TIMEHO = 0xFD;
}
}
else
{
TIMELO = 0x0A;
TIMEHO = 0x2F;
}
NB15 = 1;
SEG = 25;
MAXMUE = 3000;
}
else
#(((PAROP.PARA0x03)==1)
{
#(PRE)
{
TIMELO = 0x7F;
TIMEHO = 0xFE;
}
}
else
{
TIMELO = 0x05;
TIMEHO = 0x97;
}
NB15 = 2;
SEG = 50;
MAXMUE = 6000;
}

```

```

else
#(((PAROP.PARA0x03)==2)
{
#(PRE)
{
TIMELO = 0x3F;
TIMEHO = 0xFF;
}
}
else
{
TIMELO = 0xEA;
TIMEHO = 0xCB;
}
NB15 = 4;
SEG = 100;
MAXMUE = 12000;
}
else
#(((PAROP.PARA0x03)==3)
{
#(PRE)
{
TIMELO = 0x0F;
TIMEHO = 0xFF;
}
}
else
{
TIMELO = 0xF4;
TIMEHO = 0xES;
}
NB15 = 8;
SEG = 200;
MAXMUE = 24000;
}
#(((PAROP.LUMB[CICLO]
#(PAROP.LUMB[CICLO] = 0x000A;
LUMBRA[CICLO] = #(PAROP.LUMB[CICLO];
LUMSIG[CICLO] = #((LUMBRA[CICLO]*0y0)/100);
#(LUMSIG[CICLO]
LUMSIG[CICLO] = #((LUMBRA[CICLO];
}
NUMCAN = 0x05;
#(PAROP.CAN&0x04)
{
CVE = 1;
NUMCAN++;
}
else
{
CVE = 0;
#(PAROP.CAN&0x08)
{
CNS = 1;
NUMCAN++;
}
}
else
{
CNS = 0;
#(PAROP.CAN&0x10)
{
CEO = 1;
NUMCAN++;
}
}
else
{
CEO = 0;
CNS = 0;
#(PAROP.CAN&0x20)
{
CEO = 0;
NUMCAN++;
}
}
else
{
CEO = 0;
CNS = 0;
#(PAROP.CAN&0x40)
{
CEO = 0;
NUMCAN++;
}
}
else
{
CEO = 0;
CNS = 0;
#(PAROP.CAN&0x80)
{
CEO = 0;
NUMCAN++;
}
}
else
{
CEO = 0;
CNS = 0;
#(PAROP.CAN&0x00)
{
PRO = 0;
AND = 0;
ORH = 0;
}
}
else
#(((PARGE.EOD&0x30)==0x10)
{

```


APENDICE A

```

.....
/RUTINA PARA BORRAR LA IC-CARD/
void BORRAR(void)
{
  BYTES = 0x00;
  MEMRAM = 0x00;
  COMUJE = 0x00;
  ESTAD_PAGSIS = 0x00;
  ESTAD_MEMSIS = INICIA;
  ESTAD_NUMERO = 0x00;
  MLL = 0;
  APAGAR(MEMOR);
}

/RUTINA PARA CAMBIAR PAGINA
Y VERIFICAR MEMORIA LLENA/
void CAMPAQ(void)
{
  if(ESTAD_PAGSIS==IPARGE MAX)
  {
    PONPAG(IPARGE MAX);
    ESTAD_MEMSIS = 0xFFFF;
    ESC = 0;
    ICC = 0;
    for(CICLO=0x00;CICLO<10x100;CICLO++)
    XBYTE(ESTAD_MEMSIS-1) = FINBLQ;
    XBYTE(ESTAD_MEMSIS-1) = INIBLQ;
    XBYTE(ESTAD_MEMSIS-1) = EVENTO;
    XBYTE(ESTAD_MEMSIS-1) = INIBLQ;
    ACTIVA(MEMOR);
    ESTAD_MEMSIS = INICIA;
    ESTAD_PAGSIS = 0x00;
    PONPAG(ESTAD_PAGSIS);
    MLL = 1;
    ACTIVA(MEMOR);
  }
  else
    PONPAG(ESTAD_PAGSIS);
}

/RUTINA PARA TRANSMITIR BIT DE INICIO/
void TXSTARTBIT(void)
{
  SDA = 1;
  SCL = 1;
  RETARDOS0;
  SDA = 0;
  RETARDO40;
}

/RUTINA PARA TRANSMITIR BIT DE ALTO/
void TXSTOPBIT(void)
{
  SCL = 1;
  RETARDO40;
  SDA = 1;
  RETARDO40;
}

/RUTINA DE RETARDO DE 5 MUSEGUNDOS/
void RETARDOS(void)
{
  VAR = 0x05;
  while(--VAR);
}

/RUTINA DE RETARDO DE 4 MUSEGUNDOS/
void RETARDO4(void)
{
  VAR = 0x04;
  while(--VAR);
}

/RUTINA PARA LEER UN BYTE DE
UN DISPOSITIVO I2C/
void GETDATA(void)
{
  DATO = 0x00;
  SCL = 0
}

```

```

I(GPO)
SDA = 1;
else
SDA = 0;

RETARDO40;
GPO = 0;
}

/RUTINA PARA TRANSMITIR UN
BYTE A UN DISPOSITIVO I2C/
void SENDATA(void)
{
  SCL = 0;
  RETARDO40;
  I(SDA)
  GP1 = 0;
  else
  I(BUS;
  GP1 = 1;
}

/RUTINA PARA ESCRIBIR DISPOSITIVO I2C/
void ESCRIB(void)
{
  SLAVE &= 0xFF;
  DATO = SLAVE;
  TEMPO = 0x00;
  do
  {
    TXSTARTBIT();
    SENDATA();
  }while(GP1&&~TEMPO);
  I(GP1)
  {
    BUF[0] = 0;
    return;
  }
  DATO = SUBADR;
  SENDATA();
  TEMPO = 0x00;
}

/RUTINA PARA LEER DISPOSITIVO I2C/
void LEEI2C(void)
{
  SLAVE &= 0xFF;
  TEMPO = 0x00;
  do
  {
    TXSTARTBIT();
    DATO = SLAVE;
    SENDATA();
  }while(GP1&&~TEMPO);
  I(GP1)
  {
    BUF[0] = 0;
    return;
  }
  TXSTARTBIT();
  SENDATA();
  TEMPO = 0x00;
  while((TEMPO-1)!=DATASBYTE)
  {
    GETDATA();
    BUF(TEMPO-1) = DATO;
  }
  GPO = 1;
  GETDATA();
  BUF(TEMPO) = DATO;
  TXSTOPBIT();
}

/RUTINA PARA INICIALIZAR EL RELOJ
DE TIEMPO REAL/
void INIRTC(void)
{
}

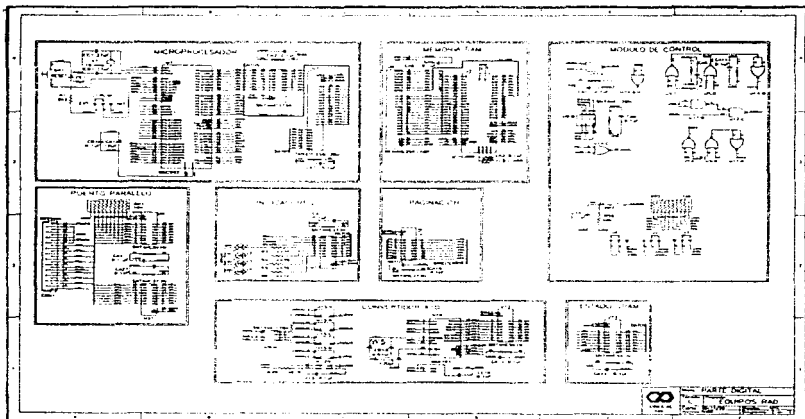
```


APÉNDICE B: DIAGRAMAS ELÉCTRICOS

Los diagramas eléctricos de la tarjeta RAD-851, se muestran a continuación, se presentan en dos partes, diagramas digitales y analógicos.

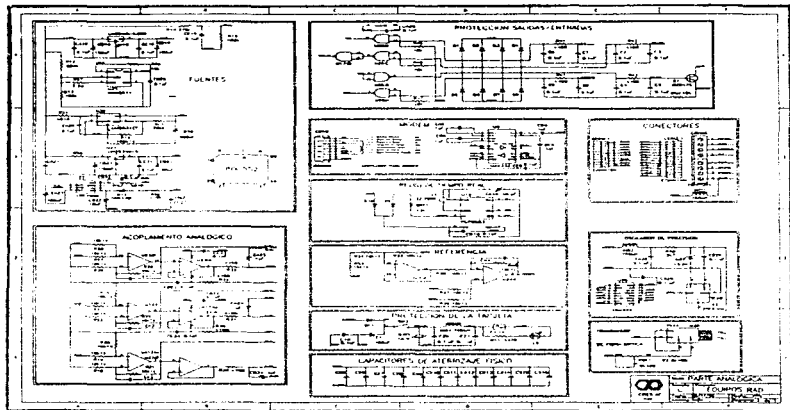
DIAGRAMAS DIGITALES

La parte digital la integran todos los componentes digitales, incluidos el convertidor A/D y el Switch analógico.



DIAGRAMAS ANALÓGICOS

Estos diagramas corresponden a la parte de alimentación del sistema y al acondicionamiento de la señal.



APÉNDICE C: COMPONENTES ELÉCTRICOS

Los dispositivos utilizados en la implementación de la tarjeta son divididos en componentes digitales, analógicos y elementos pasivos; se presentan al final de este apéndice las hojas de especificaciones de los componentes digitales y analógicos.

COMPONENTES DIGITALES

Los elementos digitales utilizados en la elaboración de la tarjeta, se consideran aquellas que funcionan con un voltaje de +5V, y sus salidas y entradas operan con el voltaje mencionado anteriormente; estos dispositivos son:

- **Buffers:** El dispositivo utilizado es: **74HCT541**
- **Convertidor A/D:** El convertidor Analógico Digital es: **MAX191BCG**
- **Compuertas lógicas:** Las compuertas lógicas utilizadas son: **74HCT00, 74HCT02**
- **Latches:** El dispositivo utilizado es: **74HCT373**
- **Memoria EPROM:** La memoria del programa es **NM27C256 120**
- **Memoria RAM:** La memoria RAM utilizada es: **MS62256L**
- **Memoria SRAM:** La memoria SRAM es: **EPSON IC-CARD 1MB, PCMCIA**
- **Monitor de Batería:** El monitor de batería es: **MAX8211**
- **Reloj de tiempo real:** El reloj de tiempo real utilizado es: **PCF8583**
- **Transmisor serie:** Dispositivo: **MAX232**

COMPONENTES ANALÓGICOS

Como componentes analógicos se entiende a todos los dispositivos que operan con un voltaje diferente a los cinco volts, o aquellos cuyas salidas y entradas tengan un voltaje continuo; como en los siguientes dispositivos:

- **Amplificadores operacionales:** Los dispositivos utilizados son: **LM124J**
- **Inversor de voltaje:** El circuito inversor de voltaje es: **LM7660**
- **Reguladores de voltaje:** Los reguladores son: +5V : **LM2940C-5** ; Variable **LM2931CT**
- **Switch analógico:** El switch analógico es: **DGA411DJ**
- **Transistor:** El transistor es: **BC547C**

Los hojas de especificaciones de cada componente, se presentarán al final de este apéndice para mayor referencia de los dispositivos.

COMPONENTES PASIVOS

Los componentes que no realizan ninguna función específica (como comparaciones, inversión de voltaje, multiplicación, suma, resta de voltaje, etc.); sobre las señales eléctricas, son considerados componentes pasivos y son:

- **Batería:** La batería utilizada es de 12 Volts a 24 Ah
- **Capacitores:** Se utilizaron capacitores en miniatura
- **Cristales osciladores:** Los cristales son de 16 Mhz y de 32 kHz
- **Diodos:** Se utilizaron diodos **1N4001(Si)** y **SR102 (Ge)**
- **Fusible:** El fusible es de tipo europeo de 250 V a 0.5 A
- **Inductores:** Los parámetros de inductores son: $10\mu\text{H} 0.1\Omega Q=4.4$
- **Jumper:** Son de tres posiciones, dos tiros
- **Kulkas:** Conectores de 4 posiciones terminación NC6
- **Leds:** Diodos emisores de luz de 3mm color verde y rojo
- **Resistencias:** Disipación de potencia de 1/4 de Watt.

CIRCUITO IMPRESO

El circuito impreso se diseñó para adaptarse a los gabinetes instalados en las estaciones de campo, los cuales son del modelo "DCA-333", por lo que la disposición de los tornillos no es simétrica, los bornes de conexión se instalaron en la parte superior para respetar los conectores instalados, a continuación se presenta una explicación de la función y ubicación de cada conector.

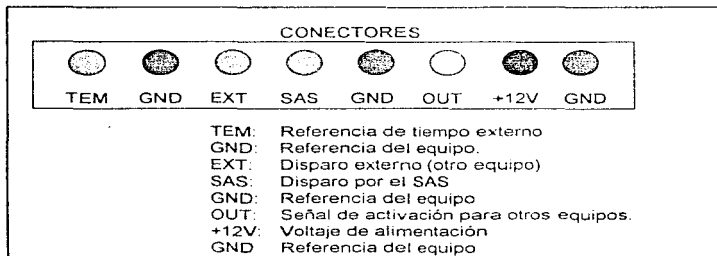


Tabla 6. Esquema de los bornes de conexión.

La tabla siguiente nos muestra los componentes utilizados y su designación dentro de la tarjeta.

La tabla siguiente nos muestra la designación de cada componente utilizado en la implementación de las tarjetas RAD-851, se describe su nombre de referencia, tipo de componente y el valor de cada uno de ellos

REF.	DESCRIPCIÓN DEL COMPONENTE	VALOR
BAT	PORTABATERÍA DE LITIO	CR2032
C1	MINICAPACITOR ELECTROLITICO	100µF@16V
C2	CAPACITOR MONOLITICO	0 1µF@50V
C3	CAPACITOR MONOLITICO	0 1µF@50V
C4	CAPACITOR MONOLITICO	0 1µF@50V
C5	CAPACITOR MONOLITICO	0 1µF@50V
C6	CAPACITOR MONOLITICO	0 1µF@50V
C7	CAPACITOR MONOLITICO	0 1µF@50V
C8	CAPACITOR MONOLITICO	0 1µF@50V
C9	CAPACITOR MONOLITICO	0 1µF@50V
C10	CAPACITOR MONOLITICO	0 1µF@50V
C14	CAPACITOR MONOLITICO	0 1µF@50V
C20	CAPACITOR MONOLITICO	0 1µF@50V
C21	CAPACITOR MONOLITICO	0 1µF@50V
CA1	MINICAPACITOR ELECTROLITICO	10 µF@16V
CA2	CAPACITOR MONOLITICO	0 1µF@50V
CA3	CAPACITOR MONOLITICO	0 1µF@50V
CA4	CAPACITOR MONOLITICO	0 1µF@50V
CA5	CAPACITOR MONOLITICO	0 1µF@50V
CA8	MINICAPACITOR ELECTROLITICO	1µF@50V
CA7	CAPACITOR MONOLITICO	0 1µF@50V
CA8	CAPACITOR MONOLITICO	0 1µF@50V
CA9	CAPACITOR MONOLITICO	0 1µF@50V
CA10	CAPACITOR MONOLITICO	0 1µF@50V
CA11	CAPACITOR MONOLITICO	0 1µF@50V
CA12	CAPACITOR MONOLITICO	0 1µF@50V
CA13	CAPACITOR MONOLITICO	0 1µF@50V
CA14	CAPACITOR MONOLITICO	0 1µF@50V
CA15	CAPACITOR MONOLITICO	0 1µF@50V
CA18	CAPACITOR POLIESTER	0 01µF@100V
CA17	CAPACITOR MONOLITICO	0 1µF@50V
CA18	CAPACITOR VARIABLE	10 pF@25V
CA19	CAPACITOR MONOLITICO	0 1µF@50V
CA20	CAPACITOR MONOLITICO	0 1µF@50V
CA21	CAPACITOR MONOLITICO	0 1µF@50V
CA22	MINICAPACITOR ELECTROLITICO	100 µF@16V
CA25	CAPACITOR MONOLITICO	0 1µF@50V
CA26	CAPACITOR MONOLITICO	0 1µF@50V
CA27	CAPACITOR MONOLITICO	0 1µF@50V
CB1	CAPACITOR MONOLITICO	0 1µF@50V
CB6	MINICAPACITOR ELECTROLITICO	1µF@50V
CB18	MINICAPACITOR ELECTROLITICO	47µF@16V
CB19	CAPACITOR MONOLITICO	0 1µF@50V
CB19	MINICAPACITOR ELECTROLITICO	100µF@15V
CB20	MINICAPACITOR ELECTROLITICO	100µF@16V
CB21	MINICAPACITOR ELECTROLITICO	150µF@16V

APENDICE C

CB22	MINICAPACITOR ELECTROLITICO	10 µF@16V
CB23	CAPACITOR MONOLITICO	0 1µF@50V
CC1	CAPACITOR CERAMICO	27pF@100V
CC6	MINICAPACITOR ELECTROLITICO	1µF@50V
CC16	CAPACITOR CERAMICO	120 pF@100V
CC19	CAPACITOR MONOLITICO	0 1µF@50V
CC21	CAPACITOR MONOLITICO	0 1µF@50V
CC22	MINICAPACITOR ELECTROLITICO	10 µF@16V
CC23	CAPACITOR MONOLITICO	0 1µF@50V
CC24	CAPACITOR MONOLITICO	0 1µF@50V
CD1	CAPACITOR CERAMICO	27 pF@100V
CD6	MINICAPACITOR ELECTROLITICO	1µF@50V
LD19	MINICAPACITOR ELECTROLITICO	100µF@15V
CD21	MINICAPACITOR ELECTROLITICO	100µF@16V
CD22	CAPACITOR MONOLITICO	0 1µF@50V
CD24	CAPACITOR MONOLITICO	0 1µF@50V
CE1	MINICAPACITOR ELECTROLITICO	10 µF@16V
CE6	CAPACITOR MONOLITICO	0 1µF@50V
CE16	CAPACITOR MONOLITICO	0 1µF@50V
CE19	CAPACITOR MONOLITICO	0 1µF@50V
CX5	CAPACITOR MONOLITICO	0 1µF@50V
CX6	CAPACITOR MONOLITICO	0 1µF@50V
CX7	CAPACITOR MONOLITICO	0 1µF@50V
CX8	CAPACITOR MONOLITICO	0 1µF@50V
CX9	CAPACITOR MONOLITICO	0 1µF@50V
CX10	CAPACITOR MONOLITICO	0 1µF@50V
CX11	CAPACITOR MONOLITICO	0 1µF@50V
CX12	CAPACITOR MONOLITICO	0 1µF@50V
CX13	CAPACITOR MONOLITICO	0 1µF@50V
CX14	CAPACITOR MONOLITICO	0 1µF@50V
CX15	CAPACITOR MONOLITICO	0 1µF@50V
CX16	CAPACITOR MONOLITICO	0 1µF@50V
CON1	CONECTOR DB25 RIGHT ANGLE	MACHO
CON2	CONECTOR DB9 RIGHT ANGLE	MACHO
CON3	HEADER 14 PINES VERTICAL	MACHO
CON4	KULCA DE 4 CONECTORES	4 BORNES
CON5	KULCA DE 4 CONECTORES	4 BORNES
CON6	CONECTOR VERTICAL 10 PINES	HEMBRA
D1	DIODO DE 1A@250V	1N4001
D2	DIODO DE 1A@250V	1N4001
D3	DIODO DE 1A@250V	1N4001
D4	DIODO DE 1A@250V	1N4001
D5	DIODO DE 1A@250V	1N4001
D6	DIODO DE 1A@250V	1N4001
D7	DIODO DE 1A@250V	1N4001
D8	DIODO DE 1A@250V	1N4001
D9	DIODO DE GERMANIO	SR102
D10	DIODO DE GERMANIO	SR102
D11	DIODO DE GERMANIO	SR102
D20	DIODO DE GERMANIO	SR102
F1	DOS PORTAFUSIBLES DE GRAPA	EUROPEO
IND1	INDUCTOR CON NUCLEO MAGNE	100 µH
IND2	INDUCTOR CON NUCLEO MAGNE	100 µH
J1	JUMPER TRES PINES CONECTOR	3 PINES

APENDICE C

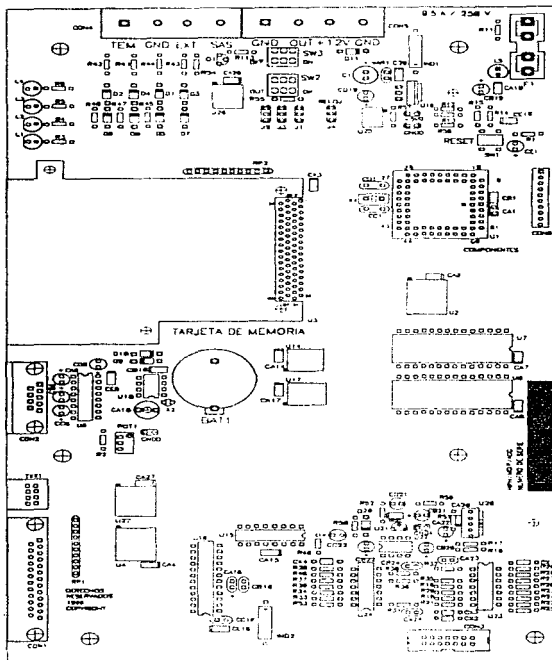
J2	JUMPER TRES PINES CONECTOR	3 PINES
J3	JUMPER TRES PINES CONECTOR	3 PINES
J4	JUMPER TRES PINES LINEAL	3 PINES
L1	LED VERDE DIFUSO	3mm VERDE
L2	LED VERDE DIFUSO	3mm VERDE
L3	LED ROJO DIFUSO	3mm ROJO
L4	LED ROJO DIFUSO	3mm ROJO
L5	LED ROJO DIFUSO	3mm ROJO
Q1	TRANSISTOR	BC547C
R1	RESISTENCIA DE CARBON	8k2(5%)(1/4W)
R2	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R3	RESISTENCIA DE CARBON	0k80(5%)(1/4W)
R4	RESISTENCIA DE CARBON	0k80(5%)(1/4W)
R5	RESISTENCIA DE CARBON	0k68(5%)(1/4W)
R6	RESISTENCIA DE CARBON	0k50(5%)(1/4W)
R11	RESISTENCIA DE CARBON	0k80(5%)(1/4W)
R12	RESISTENCIA DE PRECISION	107k(1%)(1/4W)
R13	RESISTENCIA DE PRECISION	115k(1%)(1/4W)
R14	RESISTENCIA DE PRECISION	270k(1%)(1/4W)
R15	RESISTENCIA DE PRECISION	20k(1%)(1/4W)
R16	RESISTENCIA DE PRECISION	165k(1%)(1/4W)
R17	RESISTENCIA DE PRECISION	29k4(1%)(1/4W)
R18	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R19	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R20	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R21	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R22	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R23	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R24	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R25	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R26	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R27	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R28	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R29	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R30	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R31	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R32	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R33	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R34	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R35	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R36	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R37	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R38	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R39	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R40	RESISTENCIA DE PRECISION	10k(1%)(1/4W)
R41	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R42	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R43	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R44	RESISTENCIA DE CARBON	0k100(5%)(1/4W)
R45	RESISTENCIA DE CARBON	10k(2%)(1/4W)
R46	RESISTENCIA DE CARBON	10k(2%)(1/4W)
R47	RESISTENCIA DE CARBON	10k(2%)(1/4W)
R48	RESISTENCIA DE CARBON	0k010(2%)(1/4W)
R50	RESISTENCIA DE CARBON	0k010(2%)(1/4W)
R51	RESISTENCIA DE CARBON	0k010(2%)(1/4W)

R52	RESISTENCIA DE CARBON	0k010(2%)(1/4W)
R53	RESISTENCIA DE PRECISION	15k(1%)(1/4W)
R54	RESISTENCIA DE CARBON	10k(2%)(1/4W)
R55	RESISTENCIA DE CARBON	10k(2%)(1/4W)
R56	RESISTENCIA DE CARBON	10k(2%)(1/4W)
R57	RESISTENCIA DE CARBON	10k(2%)(1/4W)
R58	RESISTENCIA DE CARBON	3k0(5%)(1/4W)
RP2	RESIP 10 PINES	10k(2%)(1/4W)
RP1	RESIP 10 PINES	10k(2%)(1/4W)
SW1	MICRO PUSHBOTTON	MICRO
SW2	MINI-SWITCH COLA DE RATON	2POLOS-2TIROS
SW3	MINI-SWITCH COLA DE RATON	2POLOS-2TIROS
U1	BASE DE 68 PINES CUADRADA	80C552
U2	DISPOSITIVO DE SUPERFICIE	SN74HCT373N
U3	PORTA MEMORIA TIPO PCMCIA	IC-CARD
U4	DISPOSITIVO DE SUPERFICIE	SN74HCT541N
U6	DISPOSITIVO DE SUPERFICIE	SN74HCT024
U7	BASE DE 28 PINES ANCHA	MAX 232
U8	BASE DE 28 PINES ANCHA	27C256
U9	DISPOSITIVO DE SUPERFICIE	6027C256
U10	DISPOSITIVO DE SUPERFICIE	SN74HCT139N
U11	DISPOSITIVO DE SUPERFICIE	SN74HCT373N
U12	DISPOSITIVO DE SUPERFICIE	SN74HCT373N
U13	DISPOSITIVO DE SUPERFICIE	SN74HCT541N
U14	DISPOSITIVO DE SUPERFICIE	SN74HCT541N
U15	BASE DE 16 PINES	SN74HCT02N
U16	BASE DE 24 PINES ANGOSTA	HL-201
U17	DISPOSITIVO DE SUPERFICIE	MAX191
U18	BASE DE 8 PINES	SN74HCT00N
U19	REGULADOR DE VOLTAJE DE 5V	PCF8587
U20	REGULADOR DE VOLTAJE VAR	LM2405-5 ST
U21	REGULADOR DE VOLTAJE DE 5V	LM2931C
U22	BASE DE 8 PINES	LM2931A-5
U23	BASE DE 14 PINES	LM7660
U24	BASE DE 14 PINES	LM124AJ
U25	DISPOSITIVO DE SUPERFICIE	LM124AJ
U26	DISPOSITIVO DE SUPERFICIE	MAX8211
U27	DISPOSITIVO DE SUPERFICIE	SN74HCT00N
VAR1	VARIADOR DE 18V	SN74HCT373N
X1	CRISTAL OSCILADOR	18 V
X2	CRISTAL OSCILADOR	16 MHz
		32 768 kHz

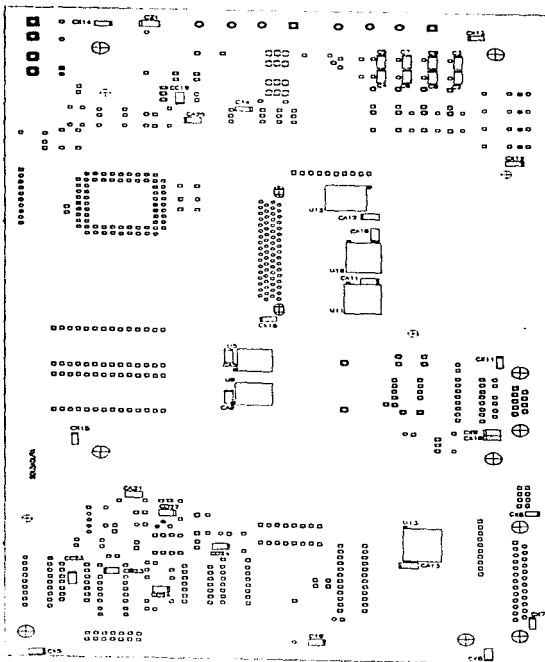
Tabla 7. Lista de componentes de la tarjeta RAD-851

El circuito impreso de las tarjetas es el siguiente, (reducción al 70%):

CARA SUPERIOR DE COMPONENTES



CARA INFERIOR DE COMPONENTES



SNS4ACT640, SNS4ACT641
 SN74ACT640, SN74ACT641
 OCTAL BUFFERS AND LINE DRIVERS WITH 3 STATE OUTPUTS

2009, MARCH 1984 - REVISED JUNE 1985

• Inputs are TTL Voltage Compatible

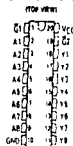
• High-Current 3-State Outputs Interface Directly with System Bus or Can Drive Up to 16 LS-TTL Loads

• Case Flow Pinout (All Inputs on Opposite Side from Outputs)

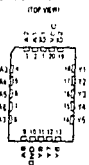
• Package Options Include Plastic 16-Pin D Outline Packages, Ceramic Chip Carriers, and Standard Plastic and Ceramic 300-mil DIPs

• Dependable Texas Instruments Quality and Reliability

SNS4ACT640, SNS4ACT641 16-PIN DIP
 SN74ACT640, SN74ACT641 DIP OR N PACKAGE



SNS4ACT640, SNS4ACT641 16-PIN PLDIP



Description

These octal buffers and line drivers are designed to have the performance of the popular SNS4ACT1240-SN74ACT1240 series and at the same time, offer a pinout with inputs and outputs on opposite sides of the package. This arrangement greatly enhances printed-circuit-board layout.

The three-state output gate in a 2-input NAND is either \bar{Q} or \bar{Q} at high, at all output states in the high-impedance state.

The NCT540 provides inverted data and the NCT541 provides true data at the outputs.

The SNS4ACT640 and SNS4ACT641 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN74ACT640 and SN74ACT641 are characterized for operation from -40°C to 85°C .

NCT540

FUNCTION TABLE

INPUTS		OUTPUT	
A	B	Y	Z
L	L	L	H
L	H	L	H
H	L	L	Z
H	H	L	Z

Z = High Impedance

NCT541

FUNCTION TABLE

INPUTS		OUTPUT	
A	B	Y	Z
L	L	H	H
L	H	H	H
H	L	H	Z
H	H	H	Z

Z = High Impedance

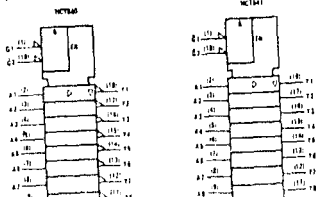
© 1985 TEXAS INSTRUMENTS CORPORATION
 ALL RIGHTS RESERVED. THIS DOCUMENT IS UNCLASSIFIED AND IS IN THE PUBLIC DOMAIN. TEXAS INSTRUMENTS CORPORATION IS NOT RESPONSIBLE FOR ANY REPRODUCTION OR TRANSMISSION OF THIS DOCUMENT IN ANY FORM OR BY ANY MEANS, ELECTRONIC OR MECHANICAL, INCLUDING PHOTOCOPYING, RECORDING, OR BY ANY INFORMATION STORAGE AND RETRIEVAL SYSTEM.

TEXAS
 INSTRUMENTS

Copyright © 1985, Texas Instruments Incorporated

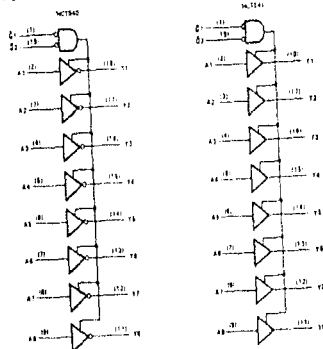
DS8ACT540, DS8ACT541, SN7ACT540, SN7ACT541
 OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

Logic symbols



Logic symbols are in accordance with ANSI Std. Y318 and IEC Std. 613-2

Logic diagrams (positive logic)



DS8ACT540, DS8ACT541
 SN7ACT540, SN7ACT541
 OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

absolute maximum ratings over operating free air temperature range¹

Supply voltage, V_{CC}	-0.5 V to 7 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$)	± 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	± 33 mA
Continuous current through V_{CC} or GND pins	± 33 mA
Lead temperature 1.6 mm (1118 mil) from case for 50 x 74 or J package	300°C
Lead temperature 1.6 mm (1118 mil) from case for 10 x 10 or J package	300°C
Storage temperature range	-65°C to 150°C

Stresses beyond those listed under absolute maximum ratings may cause permanent damage to the device. These stresses are functional operation of the device in that no actual damage to the device will occur if the recommended operating conditions² are not exceeded. Excessive moisture may contribute to parameter drifts and may affect device reliability.

recommended operating conditions

PARAMETER	DS8ACT540	DS8ACT541		UNIT				
		MIN	TYP		MAX	MIN	TYP	MAX
V_{CC} Supply voltage	0	0	5.5	0	5.5	0	5.5	V
V_I High-level input voltage	V_{CC}	4.5	5.0	5.5	4.5	5.0	5.5	V
V_O Low-level output voltage	V_{CC}	0	0.8	0	0.8	0	0.8	V
V_I Input voltage		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
V_O Output voltage		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
I_O Output current (max and min)		0	300	0	300	0	300	mA
T_C Operating free air temperature		0	125	0	125	0	125	°C

Electrical characteristics over recommended operating free air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	T_C	$T_C = 25^\circ\text{C}$						UNIT
			DS8ACT540		DS8ACT541		DS8ACT541		
			MIN	TYP	MAX	MIN	MAX	MIN	
t_{PH}	$V_I = V_{OH} = V_{CC}$, $V_O = 2.0$ V	2.5 V	7.5	10	2.5	7.5	10	V	
t_{PL}	$V_I = V_{OH} = V_{CC}$, $V_O = 0$ V	4.5 V	7.5	10	2.5	7.5	10	V	
t_{CL}	$V_I = V_{OH} = V_{CC}$, $V_O = 2.0$ V	4.5 V	0.20	0.1	0.1	0.1	0.1	V	
t_{FL}	$V_I = V_{OH} = V_{CC}$, $V_O = 0$ V	4.5 V	0.17	0.08	0.1	0.1	0.1	V	
t_{R}	$V_I = V_{OH} = V_{CC}$	4.5 V	0.1	100	1000	100	100	ns	
t_{F}	$V_I = V_{OH} = V_{CC}$, $V_O = V_{OH} = V_{CC}$	4.5 V	0.02	0.1	0.10	0.1	0.1	ns	
t_{F}	$V_I = V_{OH} = V_{CC}$, $V_O = 0$	4.5 V	2	150	2	150	2	ns	
t_{RZ}	Low-level to 0.5 V to 2.0 V	4.5 V	1	24	2	24	2	ns	
t_{RZ}	Other modes at 0.5 V to 2.0 V	4.5 V	1	10	10	10	10	ns	

Equivalent to Linear
Reference Data Sheet

MAX191

Low-Power, 12-Bit Sampling ADC with Internal Reference and Power-Down

General Description

The MAX191 is a monolithic, CMOS, 12-bit analog-to-digital converter (ADC) featuring differential input, auto-ranging (10V), internal voltage reference, internal external clock, and parallel or serial μ P interface. The MAX191 has a 7.5 μ s conversion time, a 20 μ s acquisition time, and a guaranteed 173,400 samples/year.

The MAX191 operates from a single +5V supply or from dual 5V supplies, allowing ground reference and bipolar input signals. The on-chip features a low-power down mode, which reduces the 300 μ A supply current to 50 μ A max, including the internal reference current.

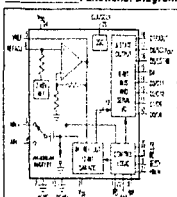
Developing capabilities with the on-chip internal timer, timer needed for the power supply and reference. The ADC, operating with an external clock or reference, or an internal reference that features an auto-rang mode for changing system parameters.

The MAX191 provides three interface modes: 12-bit parallel mode, and a 4-bit parallel mode in parallel mode with Serial μ P interface and a 4-bit parallel interface mode.

Applications

- Battery Powered Data Logging
- PC Analyzers
- High Accuracy Process Control
- Electronic Test Instruments
- Data Acquisition Systems
- Automatic Testing Systems
- Telecommunications
- Digital Signal Processing (DSP)

Functional Diagram



©1991 and ©1992 are trademarks of Maxim Integrated Products. "MAX191" is a trademark of Maxim Integrated Products.

MAXIM

Maxim Integrated Products, Inc.

Call toll free 1-800-998-8800 for free samples or literature.

Features

- 12-Bit Resolution, 100LSB Linearity
- +5V or +5V Operation
- Auto-Rang Track/Hold
- Internal Reference with Adjustment Capability
- Low Power: 300 μ A Operating Mode, 50 μ A Power-Down Mode
- 100kpa Tested Sampling Rate
- Serial and 4-Bit Parallel μ P Interface
- 24-Pin Narrow QIP and Wide SO Packages

Ordering Information

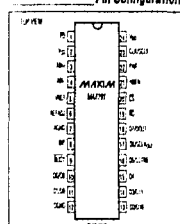
PART	TEMP RANGE	PN PACKAGE	EPROM
MAX191ACQ	-40°C to +125°C	24 Narrow-Body QIP	128Kb
MAX191BCQ	-40°C to +125°C	24 Narrow-Body QIP	11
MAX191ACQ	-40°C to +125°C	24 Wide SO	128Kb
MAX191BCQ	-40°C to +125°C	24 Wide SO	11
MAX191ACQ	-40°C to +125°C	24 Narrow-Body QIP	128Kb
MAX191BCQ	-40°C to +125°C	24 Narrow-Body QIP	11
MAX191ACQ	-40°C to +125°C	24 Wide SO	128Kb
MAX191BCQ	-40°C to +125°C	24 Wide SO	11
MAX191ACQ	-40°C to +125°C	24 Narrow-Body QIP	128Kb
MAX191BCQ	-40°C to +125°C	24 Narrow-Body QIP	11
MAX191ACQ	-40°C to +125°C	24 Wide SO	128Kb
MAX191BCQ	-40°C to +125°C	24 Wide SO	11

1. See also MAX191CQ for a 20 μ s μ P interface mode.

2. See also MAX191CQ for a 20 μ s μ P interface mode.

3. See also MAX191CQ for a 20 μ s μ P interface mode.

Pin Configuration



SNS4NCT00, SN74NCT00
QUADRUPLE 2-INPUT POSITIVE-NAND GATES
DATA SHEET NUMBER 1046

- Inputs are TTL Voltage Compatible
- Package Options Include Plastic, Small Outline, Packages, Ceramic Chip Carriers, and Standard Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

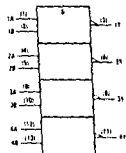
Description

These devices contain four independent 2-input NAND gates. They perform the boolean functions $Y = A \cdot B$ or $Y = \overline{A \cdot B}$ in positive logic.

The SNS4NCT00 is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74NCT00 is characterized for operation from -40°C to 85°C .

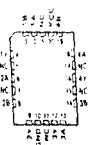
FUNCTION TABLE
each gate

INPUTS		OUTPUT
A	B	Y
H	H	L
L	H	H
H	L	H
L	L	H

logic symbol


¹This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
 Pin numbers shown are for G, J, and h packages.

SNS4NCT00 / **74NCT00**
14-PIN PACKAGE / **DIP OR PLASTIC**

SNS4NCT00 / **16-PIN PACKAGE**
TOP VIEW


NC - No internal connection

logic diagram (each gate) (positive logic)


FUNCTIONAL DATA description applies to the fully specified version of a particular data. Product families in specifications are the group of Texas Instruments standard varieties. Product drawings apply to standard products having all of parameters.

**TEXAS
INSTRUMENTS**
POST OFFICE BOX 5001 • DALLAS, TEXAS 75220
Copyright © 1986, Texas Instruments Incorporated

SN54HC01, SN74HC01
QUADRUPE 2-INPUT POSITIVE NAND GATES

Absolute maximum ratings over operating free air temperature range¹

Supply voltage, V _{CC}	0.5 V to 7 V
Input current, I _{IN} (V _{CC} = 0 V, I _{IN} = 0 V)	±20 mA
Output current, I _{OUT} (V _{OH} = 0 V, I _{OUT} = 0 V)	±20 mA
Continuous output current, I _{OC} (V _{OH} = 0 V, I _{OC} = 0 V)	±25 mA
Continuous current through V _{CC} in ON state	±50 mA
Operating temperature range for 60 s, T _{STG} (storage)	300°C
Operating temperature range for 10 s, T _{SO} (solder package)	260°C
Storage temperature range	65°C to 175°C

1. Maximum ratings are values which are permitted for a limited number of conditions. Exceeding these values may damage the device. These values do not apply to all conditions permitted by the electrical characteristics. Conditions which exceed these values are not recommended operating conditions. Conditions which exceed maximum and minimum values are not recommended.

Recommended operating conditions

PARAMETER	TEST CONDITIONS	SN54HC01		SN74HC01		UNIT
		MIN.	MAX.	MIN.	MAX.	
Operating temperature range	-55 to 125	-55	125	-55	125	°C
Supply voltage, V _{CC}	0.5 to 7.0	0.5	7.0	0.5	7.0	V
Input current, I _{IN} (V _{CC} = 0 V, I _{IN} = 0 V)	-1.0 to 1.0	-1.0	1.0	-1.0	1.0	mA
Output current, I _{OUT} (V _{OH} = 0 V, I _{OUT} = 0 V)	-20 to 20	-20	20	-20	20	mA
Continuous output current, I _{OC} (V _{OH} = 0 V, I _{OC} = 0 V)	-25 to 25	-25	25	-25	25	mA
Continuous current through V _{CC} in ON state	0 to 50	0	50	0	50	mA
Operating temperature range for 60 s, T _{STG} (storage)	300	300	300	300	300	°C
Operating temperature range for 10 s, T _{SO} (solder package)	260	260	260	260	260	°C
Storage temperature range	65 to 175	65	175	65	175	°C

Electrical characteristics over recommended operating free air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C		SN54HC01		SN74HC01		UNIT
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Propagation delay, t _{PLH}	V _{OH} = 0 V, V _{OL} = 0 V	5.0	4.5	4.4	4.4	4.4	4.4	4.4	nS
			4.5	4.5	4.5	4.5	4.5	4.5	4.5
Propagation delay, t _{PLH}	V _{OH} = 0 V, V _{OL} = 0 V	5.0	4.5	4.4	4.4	4.4	4.4	4.4	nS
			4.5	4.5	4.5	4.5	4.5	4.5	4.5
Propagation delay, t _{PLH}	V _{OH} = 0 V, V _{OL} = 0 V	5.0	4.5	4.4	4.4	4.4	4.4	4.4	nS
			4.5	4.5	4.5	4.5	4.5	4.5	4.5
Propagation delay, t _{PLH}	V _{OH} = 0 V, V _{OL} = 0 V	5.0	4.5	4.4	4.4	4.4	4.4	4.4	nS
			4.5	4.5	4.5	4.5	4.5	4.5	4.5
Propagation delay, t _{PLH}	V _{OH} = 0 V, V _{OL} = 0 V	5.0	4.5	4.4	4.4	4.4	4.4	4.4	nS
			4.5	4.5	4.5	4.5	4.5	4.5	4.5
Propagation delay, t _{PLH}	V _{OH} = 0 V, V _{OL} = 0 V	5.0	4.5	4.4	4.4	4.4	4.4	4.4	nS
			4.5	4.5	4.5	4.5	4.5	4.5	4.5

1. The propagation delay is measured for a square wave with a 50% duty cycle and a period of 10 ns.

Switching characteristics over recommended operating free air temperature range (unless otherwise noted, C_L = 50 pF (see Note 1))

PARAMETER	Rise/Fall Time	10	V _{CC}	T _A = 25°C		SN54HC01		SN74HC01		UNIT
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Rise time, t _r	10	10	5.0	4.5	11	12	30	25	ns	
				4.5	11	12	30	25	ns	
Fall time, t _f	10	10	5.0	4.5	10	11	27	22	ns	
				4.5	10	11	27	22	ns	
Rise time, t _r	10	10	5.0	4.5	9	10	22	19	ns	
				4.5	9	10	22	19	ns	
Fall time, t _f	10	10	5.0	4.5	8	10	20	17	ns	
				4.5	8	10	20	17	ns	

1. Test circuit is shown in Figure 1.

2. Test circuit is shown in Figure 1.

NOTE: For full details on package dimensions and other information, see Section 1 of the High-Speed CMOS Logic Data Book, 1988.

SN54HC01, SN74HC01
QUADRUPE 2-INPUT POSITIVE NAND GATES
WITH OPEN-DRAIN OUTPUTS

DATA SHEET 1988-REVISED SEPTEMBER 1987

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Standard Plastic and Ceramic 300-mil DIPs
- Dependable Texas Instruments Quality and Reliability

description

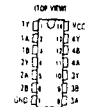
These devices contain four independent 2-input NAND gates. They perform the Boolean function $Y = \overline{A \cdot B}$ in a 2-input operation. The open-drain outputs require pull-up resistors to perform correctly. They may be connected to other open-drain outputs to implement a low-level wired OR or active-high wired AND functions.

The SN54HC01 is characterized for operation from the full military temperature range of -55°C to 125°C. The SN74HC01 is characterized for operation from -40°C to 85°C.

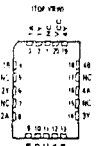
FUNCTION TABLE (see Fig. 1)

INPUTS		OUTPUT	
A	B	Y	
0	0	1	
0	1	1	
1	0	1	
1	1	0	

SN54HC01 J PACKAGE
 SN74HC01 D OR S PACKAGE



SN54HC01 TE PACKAGE

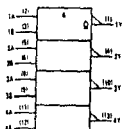


NC = No internal connection

logic diagram (positive logic)



logic symbol



This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers refer to D, J, and S packages.

PACKAGE OPTION INFORMATION
 For a complete list of package options, including information on the types of lead terminations, electrical ratings, and other information, see the package option table on page 10 of this document.

TEXAS
 INSTRUMENTS

Copyright © 1988, Texas Instruments Incorporated

POST OFFICE BOX 655319 • DALLAS, TEXAS 75265

SNS4NC02, SN74NC02
QUADRUPLE 2-INPUT POSITIVE-NON GATES

DS94A, NOVEMBER 1988

- Inputs are TTL Voltage Compatible
- Package Options Include Plastic Small Outline Packages, Ceramic Chip Carriers and Standard Plastic and Ceramic 300 mil DIPs
- Dependable Texas Instruments Quality and Reliability

description

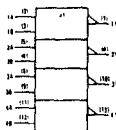
These devices contain four independent 2-input NOR gates. They perform the Boolean function $Y = A + B$ or $Y = \overline{A \cdot B}$ in positive logic.

The SNS4NC02 is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74NC02 is characterized for operation from -40°C to 85°C .

FUNCTION TABLES

each gate

INPUTS		OUTPUT
A	B	Y
H	H	L
H	L	H
L	H	H
L	L	H

logic symbol¹

¹The symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 611-12.

Pin numbers refer only to D, J, and N packages.

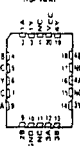
SNS4NC02 J PACKAGE
SN74NC02 D OR N PACKAGE

TOP VIEW



SNS4NC02 PE PACKAGE

TOP VIEW



NC, No internal connection

logic diagram (each gate) (positive logic)



SN54HC02, SN74HC02
QUADRUPE 2-INPUT POSITIVE NDR GATES

absolute maximum ratings over operating free air temperature range†

Supply voltage, V _{CC}	-0.5 V to 7 V
Input clamp current, I _{IC} (V _{IC} < 0 or V _{IC} > V _{CC})	±20 mA
Output clamp current, I _{OC} (V _{OC} < 0 or V _{OC} > V _{CC})	±20 mA
Core current output current, I _{OP} (V _{OP} < 0 or V _{OP} > V _{CC})	±25 mA
Core current output through "Z" or "Q" outputs	±50 mA
Lead temperature 1.6 mm (1016) pin case for 60° C package	300°C
Lead temperature 1.6 mm (1016) pin case for 108° C package	260°C
Storage temperature range	-65°C to 150°C

† Do not exceed these limits under specified maximum ratings, unless permanent damage to the device. These limits do not apply to all parameters of the device. All test conditions and test circuitry used are indicated with recommended operating conditions. For additional information and conditions for a standard product see Part 3000 datasheet.

recommended operating conditions

PARAMETER	TEST CONDITIONS	SN54HC02		SN74HC02		UNIT
		MIN	TYP. MAX	MIN	TYP. MAX	
V _{CC}	Supply voltage	4.5	5.0	4.5	5.5	V
V _{IC}	Input voltage	0	5.0	0	5.5	V
V _{OC}	Output voltage	0	5.0	0	5.5	V
V _{OP}	Core current output voltage	0	5.0	0	5.5	V
I _{IC}	Input clamp current	0	20	0	20	mA
I _{OC}	Output clamp current	0	20	0	20	mA
I _{OP}	Core current output current	0	25	0	25	mA
T _{STG}	Storage temperature range	-65	150	-65	150	°C

electric characteristics over recommended operating free air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C		SN54HC02		SN74HC02		UNIT
			MIN	TYP. MAX	MIN	TYP. MAX	MIN	TYP. MAX	
t _{PLH}	Propagation delay time (low to high)	4.5	4.4	4.5	4.4	4.4	4.4	ns	
t _{PLH}	Propagation delay time (low to high)	5.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	5.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	6.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	6.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	7.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	7.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	8.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	8.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	9.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	9.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	10.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	10.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	11.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	11.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	12.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	12.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	13.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	13.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	14.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	14.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	15.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	15.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	16.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	16.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	17.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	17.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	18.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	18.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	19.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	19.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	20.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	20.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	21.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	21.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	22.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	22.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	23.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	23.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	24.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	24.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	25.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	25.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	26.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	26.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	27.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	27.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	28.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	28.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	29.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	29.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	30.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	30.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	31.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	31.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	32.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	32.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	33.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	33.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	34.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	34.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	35.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	35.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	36.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	36.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	37.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	37.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	38.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	38.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	39.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	39.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	40.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	40.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	41.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	41.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	42.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	42.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	43.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	43.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	44.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	44.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	45.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	45.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	46.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	46.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	47.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	47.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	48.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	48.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	49.0	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	49.5	4.5	4.5	4.5	4.5	4.5	ns	
t _{PLH}	Propagation delay time (low to high)	50.0	4.5	4.5	4.5	4.5	4.5	ns	

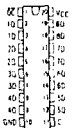
† This table is used as a guide to select the appropriate propagation delay time for a given logic voltage level and fan-out.

switching characteristics over recommended operating free air temperature range (unless otherwise noted); C_L = 50 pF (see Note 1)

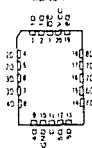
PARAMETER	FROM	TO	UNIT	T _A = 25°C		SN54HC02		SN74HC02		UNIT
				MIN	TYP. MAX	MIN	TYP. MAX	MIN	TYP. MAX	
t _{PLH}	0	1	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	1	0	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	0	1	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	1	0	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	0	1	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	1	0	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	0	1	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	1	0	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	0	1	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	1	0	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	0	1	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	1	0	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	0	1	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	1	0	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	0	1	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	1	0	ns	4.5	4.5	4.5	4.5	4.5	4.5	ns
t _{PLH}	0									

SN54HC1373, SN74HC1373
OCTAL D-TYPE TRANSPARENT LATCHES WITH 3 STATE OUTPUTS
TI Datasheet 1984-1985, 1986-1987, 1988-1989, 1990-1991, 1992-1993, 1994-1995

- Inputs are TTL Voltage Compatible
- 8 High Current Latches in a Single Package
- High-Current 3 State True Outputs Can Drive Up to 15 LS-TTL Loads
- Full Parallel Access for Loading
- Package Options Include Plastic: Small Outline - Packages, Ceramic Chip Carriers and Standard Plastic and Ceramic 300 mil DIPs
- Dependable Texas Instruments Quality and Reliability

SN54HC1373 J PACKAGE
SN74HC1373 DM ON PACKAGE


TOP VIEW

SN54HC1373 J PACKAGE
TOP VIEW:


FUNCTION TABLE (A-Q) LATCH

INPUTS		OUTPUT	
Q	ENABLE	Q	Q
0	H	H	H
1	H	L	L
1	L	X	Q ₀
H	X	X	Z

Description

These 8 D-type latches feature three state outputs designed specifically for driving high, active low or relatively low impedance loads. They are particularly suitable for implementing 8-bit registers in sports based control hardware and working registers.

The eight latches of the HC1373 are transparent and store the D input when the enable (E) is high. The Q outputs will follow the data (D) inputs. When the enable is taken low the Q outputs will be latched at the levels that were set at the D inputs.

An output inverting \overline{Q} can be used to invert the Q outputs if a three moment logic state (high or low-impedance) or a high-impedance state. In the high-impedance state the output pin will not drive the bus lines significantly. The high-impedance two state and increased drive provide the capability to drive the bus lines if a bus generated system without need for external or J-K as components.

The output control (\overline{Q}) does not affect the minimum set up of the latches. Old data can be retained or new data can be entered while the outputs are off.

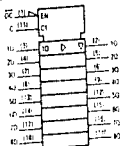
The SN54HC1373 is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74HC1373 is characterized for operation from -40°C to 85°C.

SN54HCT373, SN74HCT373
OCTAL D-TYPE TRANSPARENT LATCHES WITH 3 STATE OUTPUTS

SN54HCT373, SN74HCT373
OCTAL D-TYPE TRANSPARENT LATCHES WITH 3 STATE OUTPUTS

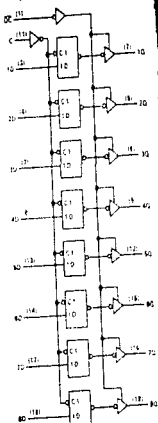
2 HCMOS Devices

logic symbol



Pin numbers of all devices are indicated in this figure.
1 = Pin 1, 16 = Pin 16

logic diagram (positive logic)



absolute maximum ratings over operating free air temperature range¹

Supply voltage, V_{CC}	-0.5 to 3 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$)	± 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	± 35 mA
Continuous current through V_{CC} or GND pins	± 70 mA
Lead temperature 1.8 mm (1/16 in) from case for 50/37 or 4 package	300°C
Lead temperature 1.8 mm (1/16 in) from case for 10/10, 08 or 9 package	260°C
Storage temperature range	-65°C to 150°C

¹Exceeding these limits may damage the device. Maximum ratings may be exceeded momentarily if the device is properly derated. Exceeding these limits under recommended operating conditions may damage the device. Exceeding these limits under recommended operating conditions may damage the device. Exceeding these limits under recommended operating conditions may damage the device.

recommended operating conditions

PARAMETER	SN54HCT373		SN74HCT373		UNIT
	MIN	MAX	MIN	MAX	
1. Supply voltage	0	5	0	5	V
2. Input clamp current	-20	20	-20	20	mA
3. Output clamp current	-20	20	-20	20	mA
4. Continuous output current	-35	35	-35	35	mA
5. Continuous current through V_{CC} or GND pins	-70	70	-70	70	mA
6. Lead temperature	300	260	300	260	°C
7. Storage temperature range	-65	150	-65	150	°C

electrical characteristics over recommended operating free air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	SN54HCT373		SN74HCT373		UNIT
		MIN	TYP. MAX	MIN	MAX	
1. t_{PL}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
2. t_{PH}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
3. t_{PLH}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
4. t_{PHL}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
5. t_{PLHL}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
6. t_{PHLH}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
7. t_{PLHLH}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
8. t_{PHLHL}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
9. t_{PLHLHL}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
10. t_{PHLHLH}	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
11. $t_{PLHLHLH}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
12. $t_{PHLHLHL}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
13. $t_{PLHLHLHL}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
14. $t_{PHLHLHLH}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
15. $t_{PLHLHLHLH}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
16. $t_{PHLHLHLHL}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
17. $t_{PLHLHLHLHL}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
18. $t_{PHLHLHLHLH}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
19. $t_{PLHLHLHLHLH}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS
20. $t_{PHLHLHLHLHL}$	$V_I = 0$ to V_{CC} , $V_O = 0$ to V_{CC}	4.5	4.5	4.5	4.5	nS

¹These values are typical values for each input that is in use at the specified TTL voltage levels rather than 0 V or V_{CC} .

2 HCMOS Devices

SN54HC1233, SN74HC1233
OCTAL D-TYPE TRANSPARENT LATCHES WITH 3 STATE OUTPUTS

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

PARAMETER	FROM INPUT	TO OUTPUT	V _{CC}	T _A = 25°C		SN54HC1233		SN74HC1233		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
t _{PLH}	Pin 1 to Pin 2 or Pin 3 to High	Q	4.5 V	25	30	30	25	25	ns	
t _{PLL}	Pin 1 to Pin 2 or Pin 3 to High	Q	4.5 V	10	15	20	20	20	ns	
t _{PHL}	Q to Pin 1 or Pin 2 or Pin 3	Q	4.5 V	10	10	10	10	10	ns	
t _{PHL}	Q to Pin 1 or Pin 2 or Pin 3	Q	4.5 V	10	10	10	10	10	ns	
t _{PHL}	Q to Pin 1 or Pin 2 or Pin 3	Q	4.5 V	10	10	10	10	10	ns	

Switching characteristics over recommended operating free air temperature range (unless otherwise noted, C_L = 50 pF (see Note 1))

PARAMETER	FROM INPUT	TO OUTPUT	V _{CC}	T _A = 25°C		SN54HC1233		SN74HC1233		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
t _{PLH}	Q	Q	4.5 V	25	30	30	25	25	ns	
t _{PLL}	Q	Q	4.5 V	10	15	20	20	20	ns	
t _{PHL}	Q	Q	4.5 V	10	10	10	10	10	ns	
t _{PHL}	Q	Q	4.5 V	10	10	10	10	10	ns	
t _{PHL}	Q	Q	4.5 V	10	10	10	10	10	ns	

Three-state or low-impedance state = $\frac{V_{OH} - V_{OL}}{2}$ (see Note 1)

Switching characteristics over recommended operating free air temperature range (unless otherwise noted, C_L = 150 pF (see Note 1))

PARAMETER	FROM INPUT	TO OUTPUT	V _{CC}	T _A = 25°C		SN54HC1233		SN74HC1233		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
t _{PLH}	Q	Q	4.5 V	30	40	30	30	30	ns	
t _{PLL}	Q	Q	4.5 V	15	20	20	20	20	ns	
t _{PHL}	Q	Q	4.5 V	15	15	15	15	15	ns	
t _{PHL}	Q	Q	4.5 V	15	15	15	15	15	ns	
t _{PHL}	Q	Q	4.5 V	15	15	15	15	15	ns	

Note 1. Load capacitance (C_L) is measured at the output pin.

SN54HC374, SN74HC374
OCTAL D-TYPE EDGE-TRIGGERED FLIP-FLOPS WITH 3-STATE OUTPUTS

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

Timing requirements over recommended operating free air temperature range (unless otherwise noted)

- 8 D-Type Flip-Flops in a Single Package
- High Current 3-State True Outputs Can Drive 16 to 15 I_{STTL} Loads
- Full Parallel Access to Latching
- Package Options Include Plastic Small Outline Packages, Ceramic Chip Carriers and Standard Plastic and Ceramic 100 Pin DIPs
- Dependable Texas Instruments Quality and Reliability

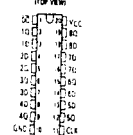
Description
 These 8 D-type flip-flops feature three state outputs designed specifically for driving highly capacitive or heavily inductive impedance loads. They are particularly suitable for implementing buffer registers, I/O ports, bidirectional bus drivers and working registers.
 The eight flip-flops of the HC374 are edge triggered. D type, No Reset. On the positive transition of the clock, the D outputs will be set to the logic levels that were set up at the D inputs.

An output control input (\overline{OE}) can be used to place the eight outputs in either a normal logic state (high or low logic level) or a high impedance state. In the high impedance state, the outputs neither load nor drive the bus lines significantly. The high impedance bus state and increased drive provide the capability to drive the bus lines in a bus organized system without need for termination in bus or components.

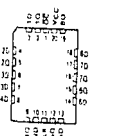
The output control (\overline{OE}) does not affect the internal operation of the flip-flops. Data data is set or cleared as \overline{OE} can be entered while the outputs are in the high impedance state.

The SN54HC374 is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74HC374 is characterized for operation from -40°C to 85°C.

SN54HC374 16-PIN PACKAGE
 SN74HC374 100-PIN PACKAGE



SN54HC374 100-PIN PACKAGE
 SN74HC374 100-PIN PACKAGE



FUNCTION TABLE EACH FLIP-FLOP

INPUTS	OUTPUT
\overline{OE}	Q
0	1
1	Q
1	0
1	1

1 = High Logic 1, 0 = Low Logic 0, Q = Data Input

2 HCMOS Devices

2 HCMOS Devices

PIN ASSIGNMENT

Pin No.	Symbol	Pin No.	Symbol	Pin No.	Symbol
1	GND	23	A6	45	A17
2	D3	24	A5	47	A18
3	D4	25	A4	48	NC
4	D5	26	A3	49	NC
5	D6	27	A2	50	NC
6	D7	28	A1	51	Vcc
7	CE1	29	A0	52	Vcc
8	A10	30	A9	53	NC
9	CT	31	D1	54	NC
10	A11	32	D2	55	NC
11	A1	33	WP	56	NC
12	A2	34	CS0	57	NC
13	A3	35	GND	58	NL
14	A14	36	CD1	59	NC
15	WP	37	D11	63	NS
16	NS	38	D12	64	REG
17	Vcc	39	D13	62	NL
18	Vcc	40	D14	63	Vcc*
19	A16	41	D15	64	D9
20	A15	42	SE2	65	D10
21	A12	43	NC	66	CD2
22	A7	44	NS	67	CD2
		45	NC	68	GND

Notes: * Vcc = Normal power

A16 : AWB124, AWB157, AWB513

A17 : AWB257, AWB513

A18 : AWB513

VARIATION

Part Number	Memory Size	Description
AWB065SD+0	64K Bytes	32K x 16 bits MIX CMOS SRAM CARD
AWB125SD+0	128K Bytes	64K x 16 bits MIX CMOS SRAM CARD
AWB257SD+0	256K Bytes	128K x 16 bits MIX CMOS SRAM CARD
AWB513SD+0	512K Bytes	256K x 16 bits MIX CMOS SRAM CARD
AWB1015SD+0	1M Bytes	512K x 16 bits MIX CMOS SRAM CARD
AWB2015SD+0	2M Bytes	1M x 16 bits MIX CMOS SRAM CARD (Under development)

Note: * Attribute memory type

2 : 2K Bytes EEPROM (Can be read-written)

3 : 1K Bytes battery back-up memory (Can be read-written)

4 : No attribute memory (Output FF) Read-only

OUTLINE OF FUNCTIONS AND FEATURES

- That memory card conforms to JEIDA Ver. 4
- Size of the card
 - Width : 54.0 mm
 - Length : 85.6 mm
 - Thickness : 3.3 mm
- Includes exclusive IC's for the control of I/O and power functions.
- Two digital outputs (BVD1, BVD2) for the condition of the battery.
- A write-protect switch for protection from accidental overwriting.
- Locking mechanism for battery holder
- Replaceable battery (Replace only when power is supplied.)

(8) Output Type: ambient memory.

K 1) With 2K Bytes EEPROM which can be read/write.

K 2) With 16 Bytes battery back-up memory which can be read/write.

K 3) No ambient memory, which can be read only (Output "FF").

(9) Output Type: 68 pin Two-phase Type.

ABSOLUTE MAXIMUM RATING:

Symbol	Description	Min	Max	Unit	
VCC	Supply voltage	-0.5	7.0	V	
V _{OUT}	Output signal voltage	-0.5	VCC +0.5	V	
V _{IO}	Output signal voltage	0.5	VCC +0.5	V	
T _{amb}	Operating temperature	0	60	°C	
T _{stg}	Storage temperature	-20	60	°C	
H _{DM}	Humidity	10	90	%	
P _D	Power dissipation	3	1	W	
V _{IO}	Output voltage	4	-0.5	7.0	V

Notes: 1. Load: 10V.

2. Without data load.

3. Moisture sensitive.

4. The reference voltage is ambient memory (VCC) or output.

CAPACITANCE

f_a = 25°C, V_{IN} = 0V, f_{IN} = 1 MHz

Symbol	Explanation	Min	Typ	Max	Unit
C _i	Input capacitance	—	10	14	pF
C _o	Output capacitance	—	10	14	pF

Note: The above figures are reference only.

RECOMMENDED DC OPERATING CONDITIONS

Symbol	Description	Min	Typ	Max	Unit
VCC	Supply voltage	4.5	5.0	5.25	V
V _{IO}	Output voltage	2.5	—	—	V
V _H	High level input voltage	3.5	—	VCC +0.3	V
V _L	Low level input voltage	-0.3	—	1.0	V

DC ELECTRICAL CHARACTERISTICS (VCC = 5 V, Ta = 25°C)

Symbol	Description	Note	Condition	Min	Typ	Max	Unit
I _{IL}	Low-level input current	1, 3	V _{IL} = 0 V	-10	—	10	μA
		2	V _{IL} = 0 V	-53	—	-48	μA
I _{IH}	High-level input current	1, 2	V _{IH} = 5 V	-10	-10	-10	μA
		3	V _{IH} = 5 V	-10	-10	-50	μA
V _{OH}	High-level output voltage	3, 4, 5	I _{OH} = 20 mA	—	—	—	V
		3, 4, 5	I _{OH} = 20 mA	—	—	—	V
V _{OL}	Low-level output voltage	3, 4, 5	I _{OL} = 6.0 mA	—	—	—	V
		3, 4, 5	I _{OL} = 6.0 mA	—	—	—	V

- Note: 1. AWB123
Pull down to GND (V_{CC} = 4.2 V)
Without pull-down (V_{CC} = 4.2 V)
2. CE1, CE2, WE, OE, REG
Pull up to V_{CC} through 10 kΩ
Pull down to GND (V_{CC} = 4.2 V)
Without pull-down (V_{CC} = 4.2 V)
3. I/O BUS
Pull down to GND through 10 kΩ
4. BVD0, BVD1
5. BP

CURRENT CONSUMPTION AND BATTERY VOLTAGE DETECTION

(Ta = 25°C, VCC = 5 V ± 5%, VBRTY = 3 V)

Symbol	Description	Condition	Min	Typ	Max	Unit
I _{STBY}	Standby current	CE = WE = OE = REG = V _{CC} = 0.2 V Other = V _{CC} /V _H	0.8	11	15	mA
I _{AK}	Active current	CE = V _{CC} I _{OUT} = 0 mA Other = V _{CC} /V _H	—	35	50	mA
		f = 1 MHz	—	—	130	mA

CURRENT CONSUMPTION AND BATTERY VOLTAGE DETECTION
(Ta = 25°C, VCC = 5 V ± 5%, VBRTY = 3 V) (Cont)

Symbol	Description	Condition	Min	Typ	Max	Unit	
I _{BATT1}	Backup current 1 Ta = 25°C	V _{BATT} = 0 V	AWB065	—	1.0	4.0	μA
		V _{BATT} = 3 V	AWB129	—	1.5	5.0	μA
			AWB257	—	2.3	7.0	μA
			AWB513	—	4.5	14.0	μA
			AWB101	—	9.0	27.0	μA
			AWB201	—	—	—	—
I _{BATT2}	Backup current 2 Ta = 0 to 60°C	V _{BATT} = 0 V	AWB065	—	—	20	μA
		V _{BATT} = 3 V	AWB129	—	—	40	μA
			AWB257	—	—	15	μA
			AWB513	—	—	30	μA
			AWB101	—	—	60	μA
			AWB201	—	—	—	—
V _{IN}	Input detect voltage	V _{IN} = V _{CC} - 0.0 V	4.10	4.20	4.30	V	
V _{IN}	Input detect voltage	V _{IN} = V _{CC} - 0.1 V	4.20	4.30	4.40	V	
DVA	Hysteresis width	V _{IN} - V _{IN}	50	100	150	mV	
BVD0	Battery detect voltage 2	V _{BATT} = 0 V	2.55	2.65	2.75	V	
DBVD2	Hysteresis width		20	40	60	mV	
BVD1	Battery detect voltage 1	V _{BATT} = 0 V	2.27	2.37	2.47	V	
DBVD1	Hysteresis width		20	40	60	mV	

OPERATING MODES OF COMMON MEMORY

Mode	REG	A0	CE1	CE2	OE	WE	D0 to D7	D8 to D15
Standby	*	VH	VH	VH	*	*	HZ	HZ
Even data read	VH	VH	VH	VH	VH	VH	OUTPUT	HZ
Odd data read 1	VH	VH	VH	VH	VH	VH	OUTPUT	HZ
Odd data read 2	VH	VH	VH	VH	VH	VH	OUTPUT	HZ
Even data write	VH	VH	VH	VH	VH	VH	INPUT	don't care
Odd data write 1	VH	VH	VH	VH	VH	VH	INPUT	don't care
Odd data write 2	VH	VH	VH	VH	VH	VH	INPUT	don't care
Word read	VH	*	VH	VH	VH	VH	OUTPUT	OUTPUT
Word write	VH	*	VH	VH	VH	VH	INPUT	INPUT

Note: HZ = High impedance
 (Pulled down to GND through 10k Ω load)
 * = Input is V_{OH} or V_{OL}

OPERATING MODES OF ATTRIBUTE MEMORY

Mode	REG	A0	A1 to A11*	CE1	CE2	OE	WE	D0 to D7	D8 to D15
Data read	V _H V _L	V _H V _L	*	V _H V _L	V _H V _L	V _H V _L	V _H V _L	OUTPUT NON-VALID	HZ HZ
Word data read	V _L	*	*	V _L	V _L	V _L	V _L	OUTPUT	NON-VALID
Data write	V _L V _L	V _L V _L	*	V _L V _L	V _L V _L	V _L V _L	V _L V _L	INPUT don't care	don't care don't care
Word data write	V _L	*	*	V _L	V _L	V _L	V _L	INPUT	don't care

Note: A1 to A11* = 2K Bytes attribute memory.
 A1 to A4* = 16 Bytes attribute memory.
 * = Input is V_{OH} or V_{OL}

AC ELECTRICAL CHARACTERISTICS OF POWER CONTROL
 (T_a = 25°C, V_{CC} = 5 V \pm 5%)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
T _{PI}	Input pulse width	—	1	—	—	ms
T _{RA}	Rising time of V _{BA1} output	—	0.5	1	1.5	ms
T _{FA}	Falling time of V _{BA1} output	—	—	2.0	—	μ s



AC ELECTRICAL CHARACTERISTICS AT READ OF COMMON MEMORY

Symbol	Parameter	Min	Max	Unit
T _{CR}	Read cycle time	250	—	ns
T _{A(A)}	Address access time	—	250	ns
T _{A(CE)}	Card enable access time	—	250	ns
T _{A(OE)}	Output enable access time	—	125	ns
T _{DS(CE)}	Output disable time from card enable	—	100	ns
T _{DS(OE)}	Output disable time from output enable	—	100	ns
T _{EN(CE)}	Output enable time from card enable	5	—	ns
T _{EN(OE)}	Output enable time from output enable	5	—	ns
T _{V(A)}	Valid data hold time from address enabled	0	—	ns

Microprocessor Voltage Monitors Programmable Voltage Detection

DC MAXIMUM RATINGS

V _{CC}	0V to +5V	CEMIP (Pin 18) to +5V (Pin 17) Above +70°C	540mW
V _{EE}	0V to -5V	TO 18 (Pin 16) to 5V (Pin 17) Above +70°C	530mW
V _{OUT}	+0.5V to +2.0V (Pin 12)	Operating Temperature Range	0°C to +70°C
A ₁ (Output)	0V to +5V	MAX321	470°C to +85°C
A ₂ (Output)	0V to +5V	MAX322	20°C to +125°C
Input Voltage (V _{IN})	0V to 5V	ESDA Temperature Range	65°C to +150°C
Input Current (I _{IN})	0 to 10mA	Lead Temperature (soldering)	+300°C

When soldering, always use proper heat-shrink technique to the leads. These pins are not gull-wing and will fracture if soldered near the lead. Care should be taken to use the optional amount of heat required to solder. Excessive heat can damage the device. Do not use wave soldering.

TYPICAL CHARACTERISTICS

(V_{CC} = 5V, V_{EE} = 0V, unless otherwise noted)

PARAMETER	SYMBOL	CONDITIONS	MAX321 MIN. TYP. MAX.	MAX322 MIN. TYP. MAX.	UNITS
Output Saturation Voltage	V _{OL}	V _{IN} = 2.0V, I _{OUT} = 10mA	0.17	0.14	V
		V _{IN} = 2.0V, I _{OUT} = 10mA	0.17	0.14	V
Maximum Available Output Current	I _{OUT}	Output range: V _{IN} = 1.0V (MAX)	4	7.5	mA
		Output range: V _{IN} = 5V (MAX)	10	35	mA
Hysteresis Leakage Current	I _{HL}	V _{IN} = 2.0V to 5.0V, CE (Pin 18) open	0.1	0.1	μA
		V _{IN} = 1.5V, V _{OUT} = 1.0V			
		V _{IN} = 2.0V to 5.0V, Maximum range	3	1	μA
Hysteresis Saturation Current	I _{HS}	Output range: V _{IN} = 1.0V	0.1	0.2	μA
		Output range: V _{IN} = 5V	2	10	μA
Output Current (I _{OUT})	I _{OUT}	V _{IN} = 1.0V, V _{OUT} = 0V	2	10	μA
		V _{IN} = 5V, V _{OUT} = 0V	10	35	μA
Input Current (I _{IN})	I _{IN}	V _{IN} = 5V, V _{OUT} = 0V	0.1	0.1	μA
		V _{IN} = 5V, V _{OUT} = 5V	0.1	0.1	μA
Supply Current (I _{CC})	I _{CC}	V _{IN} = 5V, V _{OUT} = 0V	0.1	0.1	μA
		V _{IN} = 5V, V _{OUT} = 5V	0.1	0.1	μA
Supply Current (I _{EE})	I _{EE}	V _{IN} = 5V, V _{OUT} = 0V	0.1	0.1	μA
		V _{IN} = 5V, V _{OUT} = 5V	0.1	0.1	μA
Supply Current (I _{DD})	I _{DD}	V _{IN} = 5V, V _{OUT} = 0V	0.1	0.1	μA
		V _{IN} = 5V, V _{OUT} = 5V	0.1	0.1	μA
Supply Current (I _{DD})	I _{DD}	V _{IN} = 5V, V _{OUT} = 0V	0.1	0.1	μA
		V _{IN} = 5V, V _{OUT} = 5V	0.1	0.1	μA
Supply Current (I _{DD})	I _{DD}	V _{IN} = 5V, V _{OUT} = 0V	0.1	0.1	μA
		V _{IN} = 5V, V _{OUT} = 5V	0.1	0.1	μA

Microprocessor Voltage Monitors with Programmable Voltage Detection

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = 5V, V_{EE} = 0V, unless otherwise noted)

PARAMETER	SYMBOL	CONDITIONS	MAX321 MIN. TYP. MAX.	MAX322 MIN. TYP. MAX.	UNITS
Output Saturation Voltage	V _{OL}	V _{IN} = 2.0V, I _{OUT} = 10mA	0.17	0.14	V
		V _{IN} = 2.0V, I _{OUT} = 10mA	0.17	0.14	V
Maximum Available Output Current	I _{OUT}	Output range: V _{IN} = 1.0V (MAX)	4	7.5	mA
		Output range: V _{IN} = 5V (MAX)	10	35	mA
Hysteresis Leakage Current	I _{HL}	V _{IN} = 2.0V to 5.0V, CE (Pin 18) open	0.1	0.1	μA
		V _{IN} = 1.5V, V _{OUT} = 1.0V			
		V _{IN} = 2.0V to 5.0V, Maximum range	3	1	μA
Hysteresis Saturation Current	I _{HS}	Output range: V _{IN} = 1.0V	0.1	0.2	μA
		Output range: V _{IN} = 5V	2	10	μA
Maximum Available Output Current	I _{OUT}	V _{IN} = 1.0V, V _{OUT} = 0V	2	10	μA
		V _{IN} = 5V, V _{OUT} = 0V	10	35	μA

Note 1: The maximum output current of the MAX321 is limited by logic 8, 30mA unless any operating condition. The output current may be exceeded if any voltage is at 1.8V as long as the maximum power dissipation of the device is not exceeded.

Note 2: The maximum output current of the MAX322 is not defined and current sinking the MAX322 will behave as if the output current does not exceed 30mA and the maximum power dissipation of the device is not exceeded.

Detailed Description

As shown in the block diagrams of Figures 1 and 2, the MAX321 and MAX322 each contain a 1.5V reference, a comparators, an open-drain N-channel output transistor, and an open-drain P-channel hysteresis output. The MAX321 output N-channel turns on when the voltage applied to the THRESH pin is less than the internal reference (1.5V). The output is disabled to the typical 100kΩ internal pull-down resistor as shown in the block diagram. The MAX322 output turns on when the voltage applied to THRESH is greater than the external reference. It is not current limited, and will typically sink 30mA.

Compatibility with ICL8211/ICL8212

The CMOS MAX321/MAX322 are pin compatible replacements for the popular ICL8211/ICL8212 in most applications. The use of CMOS technology has several advantages. The quiescent supply current is much less than in the bipolar parts. Higher voltage operation can also be used.

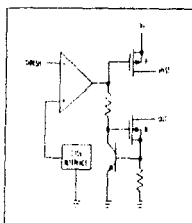


Figure 1: MAX321 Block Diagram

MAX321/1/MAX3212

256 x 8 bit CMOS EEPROMs
with PC-bus interface

PC 8582 Family

EM programming time constant

using external resistors R_{ext} and capacitors C_{ext} (see Table 7)Table 7. Recommended R_{ext} and C_{ext} combinations (PCF8582/PC8582P)

R_{ext} (k Ω)	C_{ext} (nF)	T_{EM} (ms)
10	2.2	24
10	2.2	24
22	2.2	13
22	2.2	13



Fig. 1. PC-bus circuit connections for PCF8582/PC8582P when using the internal oscillator

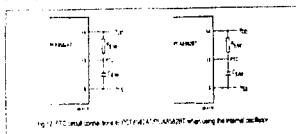


Fig. 2. PC-bus circuit connections for PCF8582/PC8582P when using the internal oscillator

Logic levels: V_{CC} = see Table 7
and 2.0 V and 3.0 V

Table 7. EM programming time constant using an external clock

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
f_{clk}	frequency	10	50	kHz
t_{pH}	clock pulse width	10	20	nS
t_{pL}	clock period	10	20	μ S
t_{set}	set time	—	200	ns
t_{hold}	hold time	—	200	ns
t_{clear}	clear time	0	100	μ S

EM programming conditions

When using programmed condition 1, the maximum value of 8 ms limit is important since it is the maximum value of 20 ms in bipolar mode at 10 V.

Clock calendar with 256 x 8-bit static RAM

PCF8583



FEATURES

- PC-bus interface operating supply voltage 2.5 to 6 V
- Clock operating supply voltage (0 to +70 V) 1.0 V to 6.0 V
- Data retention voltage 1.0 V to 6 V
- Operating current I_{CC} = 6 mA; max. 100 A
- Clock function with bus-peak condition
- Universal timer with alarm and overflow indication
- 24 or 12 hour format
- 12.5 MHz or 50 kHz time base
- Serial input/output bus (PC)
- Automatic word address incrementing
- Programmable alarm time and interrupt function
- 5-bit address: READ: A1 to A3; WRITE: A0 to A2

GENERAL DESCRIPTION

The PCF8583 is a low power 256-bit static CMOS RAM organized as 256 words by 8 bits. Addresses and data are transferred serially via a two-line bidirectional bus (PC). The built-in word address register is incremented automatically after each written or read data byte. One address per A0 is used for programming the hardware address, allowing the connection of five devices to the bus without additional hardware. The built-in 32.768 kHz oscillator circuit and the first 8 bytes of the RAM are used for the clock/calendar and counter functions. The next 8 bytes may be programmed as alarm registers or used as free RAM space.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITION	MIN.	MAX.	UNIT
V_{CC}	supply voltage	PC-bus active	2.5	6.0	V
V_{CC}	supply voltage	PC-bus inactive	1.0	6.0	V
I_{CC}	supply current	V_{CC} = 1.00 V	—	200	μ A
I_{CC}	supply current	clock mode	V_{CC} = 2 V; V_{CC} = 5 V; V_{CC} = 6 V; V_{CC} = 7 V	50	μ A
T_{stg}	storing ambient temperature range	—	-40	+150	$^{\circ}$ C
T_{op}	operating temperature range	—	-45	+150	$^{\circ}$ C

PACKAGE INFORMATION

EXTENDED TYPE NUMBER	PACKAGE			MATERIAL	CODE
	PINS	PIN POSITION	DI		
PCF8583P	8	DL	—	SLAIC	SO17P
PCF8583T	8	through-hole	—	SLAIC	SO17TAC

(Note 8)

	LM134/LM224/LM324 LM134A/LM224A/LM324A	LM2902	LM134/LM224/LM324 LM134A/LM224A/LM324A	LM2902
Supply Voltage, V ⁺	28 Vdc or 1.13 Vdc	28 Vdc or 1.13 Vdc	Storage Temperature Range	-55°C to +150°C
Differential Input Voltage	±2 Vdc or ±1.18 Vdc	±2 Vdc	Lead Temperature (Soldering, 10 seconds)	290°C
Input Voltage	-0.3 Vdc to +2.8 Vdc	-0.3 Vdc to +2.8 Vdc	Squashing Information	260°C
Power Dissipation (Note 1)	1130 mW	1130 mW	Use in Lead Package	260°C
Soldered On	1260 mW	1260 mW	Soldering (10 seconds)	230°C
Conv. Qmt	800 mW	800 mW	Wave Solder (10 sec/lead)	215°C
Solder Paste Package			Reflow (15 seconds)	220°C
Output Short-Circuit to GND	Continuous	Continuous	See AN-430 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices	ESD rating to be determined
Output Amplifier (Note 3)	50 mA	50 mA		
Operating Temperature Range	0°C to +100°C	-40°C to +85°C		
LM134/LM224A	0°C to +100°C			
LM224/LM324A	28°C to +85°C			
LM134/LM224A	55°C to +125°C			

Electrical Characteristics V⁺ = +5.0 Vdc (Note 8), unless otherwise stated

Parameter	Conditions	LM134A			LM224A			LM224			LM2902			Units
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
Input Offset Voltage (Note 5)	Probe 51	±1	±2	±1	±2	±1	±2	±1	±2	±1	±2	±1	±2	mVdc
Input Bias Current (Note 5)	$V_{in} = 1.0$ Vdc, $V_{out} = 0$ V	20	40	40	40	40	40	40	40	40	40	40	40	nAdc
Input Offset Current (Note 5)	$V_{in1} = 1.0$ Vdc, $V_{in2} = 0$ V	±2	±15	±2	±15	±2	±15	±2	±15	±2	±15	±2	±15	nAdc
Input Common-Mode Voltage Range (Note 7)	$V_{in} = 30$ Vdc (LM2902, V ⁺ = 28 Vdc)	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	Vdc
Supply Current	$I_{in} = V_{in} = V_{out} = 30$ (LM2902, V ⁺ = 28 Vdc)	1.5	3	1.5	3	1.5	3	1.5	3	1.5	3	1.5	3	mAac
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	50	100	50	100	25	100	40	100	25	100	25	100	V/Vdc
Common-Mode Rejection Ratio	CMR, $V_{in} = 0$ Vdc, $V_{out} = 1.5$ Vdc	70	85	70	85	65	85	70	85	65	85	50	70	dB
Power Supply Rejection Ratio	PSRR, $V_{in} = 5$ Vdc to 30 Vdc (LM2902, V ⁺ = 5 Vdc to 28 Vdc)	85	100	85	100	85	100	85	100	85	100	85	100	dB

Electrical Characteristics V⁺ = +5.0 Vdc (Note 8), unless otherwise stated (Continued)

Parameter	Conditions	LM134A			LM224A			LM224			LM2902			Units
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
Amplifier or Amplifier Config. (Note 6)	$V_{in} = 1.0$ Vdc, $V_{out} = 0$ V	120	120	120	120	120	120	120	120	120	120	120	120	dB
Output Current (Note 6)	$V_{in} = 1.0$ Vdc, $V_{out} = 0$ V	20	40	40	40	40	40	40	40	40	40	40	40	mAac
Slew Rate	$V_{in} = 1.0$ Vdc, $V_{out} = 2.4$ Vdc	10	20	10	20	10	20	10	20	10	20	10	20	V/μsec
Short-Circuit to Ground	$V_{in} = 1.0$ Vdc, $V_{out} = 0$ V	10	20	10	20	10	20	10	20	10	20	10	20	mAac
Load Regulation	$V_{in} = 1.0$ Vdc, $V_{out} = 2.4$ Vdc	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	mVdc
Line Regulation	$V_{in} = 1.0$ Vdc, $V_{out} = 2.4$ Vdc	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	mVdc
Temperature Coefficient	$V_{in} = 1.0$ Vdc, $V_{out} = 2.4$ Vdc	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	mVdc
Common-Mode Rejection Ratio	CMR, $V_{in} = 0$ Vdc, $V_{out} = 1.5$ Vdc	70	85	70	85	65	85	70	85	65	85	50	70	dB
Power Supply Rejection Ratio	PSRR, $V_{in} = 5$ Vdc to 30 Vdc (LM2902, V ⁺ = 5 Vdc to 28 Vdc)	85	100	85	100	85	100	85	100	85	100	85	100	dB
Output Voltage Temperature Coefficient	$V_{in} = 1.0$ Vdc, $V_{out} = 2.4$ Vdc	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	±2	μV/Vdc
Input Common-Mode Voltage Range (Note 7)	$V_{in} = 30$ Vdc (LM2902, V ⁺ = 28 Vdc)	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = 15$ Vdc, $V_{out} = 2.4$ Vdc	25	25	25	25	25	25	25	25	25	25	25	25	V/Vdc
Large Signal Voltage Gain	$V_{in} = $													

Absolute Maximum Ratings (Note 1)

Stability/operation specified above is required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	10 V
Input Voltage on Pin 1, 8, 7 (Note 2)	-0.3V to +0.7V
for $V_{IN} = 5.5V$	$0V \leq V_{IN} \leq 0.2V$
for $V_{IN} = 5.5V$	$0.2V \leq V_{IN} \leq 0.3V$
Control on Pin 5 (Note 2)	2V
Output Short-Circuit Current (Note 3)	100 mA

Power Dissipation (Note 4)	0.5W
T_{JMAX}	150°C
A_{V}	147°C/W
Storage Temp. Range	-55°C to +150°C
Lead Temp. (Soldering Iron)	260°C
ESD Tolerance (Note 5)	2,000V

Electrical Characteristics (Note 1)

Symbol	Parameter	Conditions	Typ	LMC7660/LMC7669		Units
				LMC7660	LMC7669	
I_{SC}	Supply Current	$R_{IN} = 100k\Omega$ (Note 6)	120	275	250	µA
V_{OH}	Supply Voltage (High) (Note 7)	$R_{IN} = 100k\Omega$, Pin 8 Open	3.6 to 10	2.6 to 10	3.0 to 10	V
V_{OL}	Supply Voltage (Low)	$R_{IN} = 100k\Omega$, Pin 8 Open	1.5 to 0.5	1.8 to 1.2	1.5 to 1.5	V
I_{O1}	Output Source Resistance	$V_{IN} = 2V$, $I_{O1} = 20mA$	55	170	150	Ω
I_{O2}	Output Source Resistance	$V_{IN} = 2V$, $I_{O2} = 20mA$	110	250	270	Ω
f_{CLK}	Clock Frequency		10			MHz
η_{AV}	Power Efficiency	$R_{IN} = 100k\Omega$ (Note 6)	67	51	60	%
V_{CE1}	V _{CE} at Conversion Efficiency	$R_{IN} = 100k\Omega$	90.9	83	88	%
I_{O1}	Clockwise Sense of Source Current	$R_{IN} = 100k\Omega$	0			µA

The following applies to the LMC7660, $R_{IN} = 100k\Omega$ (Note 6), Figure 1:

Symbol	Parameter	Conditions	Typ	Units
I_{SC}	Supply Current	$R_{IN} = 100k\Omega$ (Note 6)	200	µA
I_{SC}	Pin 1 Source Current	$V_{IN} = 5.5V$	10	µA
V_{OH}	V _{OH} when Pin 1 Sense Low	For a falling edge Pin 1 Sense Low	-0.3	V
V_{OH}	V _{OH} when Pin 1 Sense High	For a rising edge Pin 1 Sense High	-1.0	V
η_{AV}	Power Efficiency	$R_{IN} = 100k\Omega$	84	%

Note 1: Absolute Maximum Ratings include the absolute maximum ratings of the individual pins. The maximum ratings of the individual pins are not to be exceeded under any circumstances. The device is not to be used under conditions that exceed these limits.

Note 2: Currents may vary with process or silicon generation. For a test data graph that shows this variation, it is recommended that you refer to the section describing the electrical specifications and characteristics of the LMC7660 or the LMC7669.

Note 3: The output of a standard comparator, when driven with a standard load, is a function of the output current, I_{O1} and I_{O2} , and the output voltage, V_{OH} and V_{OL} .

Note 4: A maximum number of conversions per second is determined by the output frequency, f_{CLK} , and the conversion time, t_{CON} , for the LMC7660 and the LMC7669. f_{CLK} and t_{CON} are given in the section on "Timing".

Note 5: JEDEC standard 883C package tested.

Note 6: Measurement used 100-pF sampling impedance on pin 1 with 100kΩ load. These limits are not to be exceeded in practice without testing.

Note 7: The LMC7660 and the LMC7669 can operate without external decoupling capacitors. The LMC7660 can also be used with the external decoupling capacitors specified in the "Timing" section.

Note 8: The test circuit for the sense of the source current is shown in Figure 1.

Package	8
Power Dissipation	0.5W
T_{JMAX}	150°C
A_{V}	147°C/W
Storage Temp. Range	-55°C to +150°C
Lead Temp. (Soldering Iron)	260°C
ESD Tolerance (Note 5)	2,000V

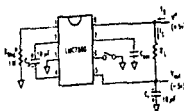
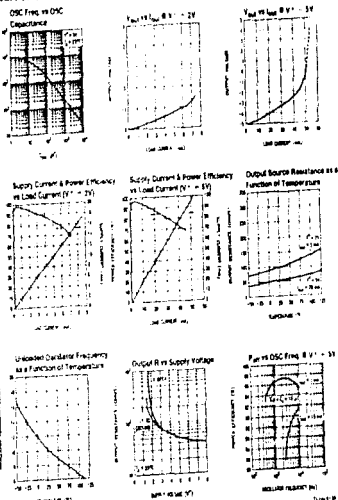


FIGURE 1

FIGURE 1 LMC7660/LMC7669 Test Circuit

Typical Performance Characteristics

Absolute Maximum Ratings

If Military Specifications specified devices are required, contact the National Semiconductor Sales Office Distributors for availability and specifications.

Input Voltage	0V
Summed Voltage (5 100 mA)	26 V
Operational Voltage	26 V
Maximum Power Dissipation (Note 1)	Internally Limited

Operating Temperature Range (T _o)	-40°C to +125°C
Maximum Junction Temperature	150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering 10 seconds)	230°C
ESD Maximum Rating (1 to 30 seconds)	2000V

Electrical Characteristics

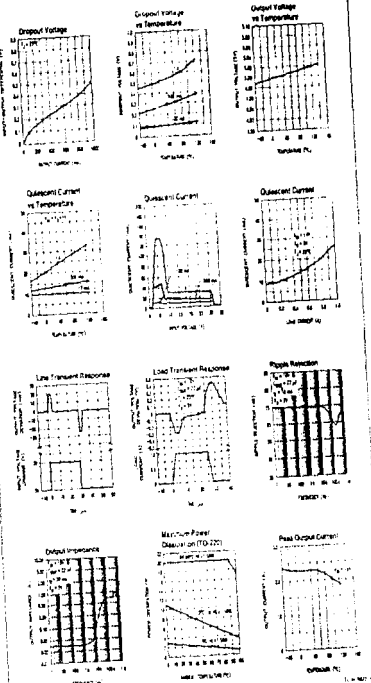
Parameter	Condition	SE		EY		10V		Unit
		Typ	Design Limit (Note 2) (Max)	Typ	Design Limit (Note 2) (Max)	Typ	Design Limit (Note 2) (Max)	
$V_{CC} = 15V, I_{CC} = 10 \mu A, C_{in} = 22 \mu F, T_o = 25^\circ C$ (unless otherwise specified)								
Open-Circuit Voltage	$V_{CC} \times R_1 / (R_1 + R_2)$	8.23V	5 V _{CC} - 28V	8.4V	5 V _{CC} - 28V	11.8V	5 V _{CC} - 28V	V _{CC}
Output Voltage	$V_{OH} = 1.5 \times V_{CC}$	5.70	4.85	4.75	4.10	3.78	3.42	10.75V
	$V_{OL} = 1.5 \times V_{CC}$	5.15	5.25	8.24	8.42	12.25	9.70	9.50
Line Regulation	$V_{OH} = 2.5 \times V_{CC} = 25V, I_{CC} = 5 \mu A$	20	50	20	20	80	20	100
Load Regulation	$V_{OH} = 2.5 \times V_{CC} = 25V, I_{CC} = 5 \mu A$	35	50	80	55	100	45	100
Output Impedance (at 100 mA and 25°C)	$V_{OH} = 10V$	34		55		45		Ω
Quiescent Current	$V_{OH} = 2.5 \times V_{CC} = 25V, I_{CC} = 5 \mu A$	15	20	10	15	20	10	25
Quiescent Current	$V_{OH} = 5V, I_{CC} = 1A$	30	45	80	30	45	50	50
Output Voltage	$I_{OH} = 100 \mu A, I_{OL} = 5 \mu A$	150				500		mV/μA
Supply Rejection	$I_{CC} = 100 \mu A, I_{OL} = 5 \mu A$	12	60	54	54	34	48	63
	$I_{CC} = 100 \mu A$							dB/μV
Long-Term Stability		25		32		36		mV/1000 hr
Open-Circuit Voltage	$V_{OH} = 1A$	0.5	0.8	1.5	2.5	0.8	1.3	1.5
	$V_{OL} = 100 \mu A$	150	200	150	150	200	140	150
Open-Circuit Current		18	18	12	15	8	18	μA
Maximum Line Frequency	$V_{OH} = 10V$		$V_{OL} = 5V$		$V_{OL} = 10V$		$V_{OL} = 10V$	Hz
Frequency	$T_o = 100 \mu s$	75	60	50	75	60	75	Hz
Maximum Slew Rate		31	50	70	37	24	37	25
Common-Mode Input Voltage	$V_{OH} = 100 \mu A$	30	15	10	35	15	30	15
Common-Mode Input Voltage	$V_{OL} = 100 \mu A, R_L = 100 \Omega$	75	50	50	70	50	75	μA

Note 1: The maximum allowed junction temperature is 150°C.

Note 2: The design limit is determined by the application circuit.

Note 3: Output current is determined by the load impedance and the output voltage range. These values are for a 100-ohm load impedance.

Typical Performance Characteristics



Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range	-40°C to 125°C
Maximum Junction Temperature	150°C
Storage Temperature Range	-60°C to +175°C
Lead Temp. (Soldering 10 seconds)	260°C
Input Voltage	
Operating Range	20V
Overvoltage Protection	
LM2901A, LM2901C (Adjustable)	0.1V
LM2901	0.1V

Electrical Characteristics

$V_{CC} = 10V$, $V_{IN} = 10mA$, $T_C = 25°C$ (Note 1), $C_L = 100\mu F$ (Unless Otherwise Specified)

Parameter	Conditions	LM2901A, B, D		LM2901C, D		Units
		Typ	Design Limit (Note 2)	Tested Limit (Note 2)	Design Limit (Note 2)	
Input Voltage	$V_{IN} \leq 1.65V_{CC}$, $V_{IN} \leq 100mA$ $V_{IN} \leq 2.5V_{CC}$, $V_{IN} \leq 100mA$	3	5.18	4.81	4.75	V _{max}
			5.12	4.75	4.5	V _{min}
Overvoltage Protection	$V_{IN} \leq 1.65V_{CC}$, $V_{IN} \leq 100mA$ $V_{IN} \leq 2.5V_{CC}$, $V_{IN} \leq 100mA$	2	13	4	10	mV _{max}
		4	30	4	30	mV _{min}
Output Voltage	100mA, and 100mA, $V_{IN} = 10V$, $T_C = 25°C$	14	50	14	50	mV _{max}
			50	50	50	mV _{min}
Quiescent Current	$V_{IN} = 10V$, $V_{OUT} = 0.5V_{CC}$, $V_{IN} \leq 100mA$ $V_{IN} = 10V$, $V_{OUT} = 1.5V_{CC}$ $V_{IN} = 10V$, $V_{OUT} = 1.65V_{CC}$, $V_{IN} = 100mA$	0.4	1.0	1.0	0.4	mA _{max}
		11	30	15	10	mA _{min}
Output Noise Voltage	100mA, 100kHz, $C_{OUT} = 100\mu F$	500	1000	500		mV _{rms}
		23	55	20		mV _{p-p}
Input Impedance	$V_{IN} = 10V$, $V_{OUT} = 1.5V_{CC}$	80	11	80		k Ω
		2.25	0.2	0.1	0.2	V _{max}
Dropout Voltage	$V_{IN} = 10V$, $V_{OUT} = 1.5V_{CC}$	0.2	0.6	0.3	0.8	V _{max}
		33	24	33	24	V _{min}
Maximum Operating Input Voltage	$V_{IN} = 500\mu V$, $V_{OUT} = 1.5V_{CC}$, $V_{IN} = 100mA$	70	80	70	70	V _{max}
			80	80	80	V _{min}
Reverse Polarity Input Voltage, DC	$V_{IN} = 0.2V_{CC}$, $V_{OUT} = 500\mu V$	-30	-15	-30	15	V _{max}
			-50	-50	50	V _{min}
Reverse Polarity Input Voltage, Transient	1% Duty Cycle, $T = 100\mu s$, $V_{IN} = 500\mu V$					V _{max}
						V _{min}

Note 1: Unless otherwise specified, the duty cycle shall be 50%.

Note 2: Unless otherwise specified, the duty cycle shall be 50%.

Note 3: Unless otherwise specified, the duty cycle shall be 50%.

Note 4: Unless otherwise specified, the duty cycle shall be 50%.

Note 5: Unless otherwise specified, the duty cycle shall be 50%.

Note 6: Unless otherwise specified, the duty cycle shall be 50%.

Note 7: Unless otherwise specified, the duty cycle shall be 50%.

Note 8: Unless otherwise specified, the duty cycle shall be 50%.

Note 9: Unless otherwise specified, the duty cycle shall be 50%.

Note 10: Unless otherwise specified, the duty cycle shall be 50%.

Note 11: Unless otherwise specified, the duty cycle shall be 50%.

Note 12: Unless otherwise specified, the duty cycle shall be 50%.

Note 13: Unless otherwise specified, the duty cycle shall be 50%.

Note 14: Unless otherwise specified, the duty cycle shall be 50%.

Note 15: Unless otherwise specified, the duty cycle shall be 50%.

Note 16: Unless otherwise specified, the duty cycle shall be 50%.

Note 17: Unless otherwise specified, the duty cycle shall be 50%.

Note 18: Unless otherwise specified, the duty cycle shall be 50%.

Note 19: Unless otherwise specified, the duty cycle shall be 50%.

Note 20: Unless otherwise specified, the duty cycle shall be 50%.

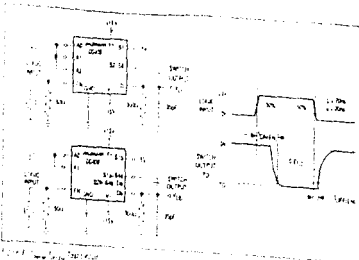
Electrical Characteristics for Adjustable LM2901

$V_{CC} = 10V$, $V_{IN} = 2V$, $V_{OUT} = 10mA$, $T_C = 25°C$ (Note 1), $R_L = 27k$, $C_L = 100\mu F$ (Unless Otherwise Specified)

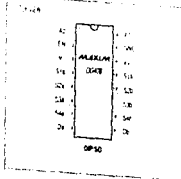
Parameter	Conditions	Typ	Tested Limit	Design Limit	Units
Reference Voltage	$V_{IN} = 10V$, $V_{OUT} = 2V$, $V_{CC} = 10V$, $R_L = 27k$, $C_L = 100\mu F$	1.20	1.26	1.14	V _{max}
					1.12
Output Voltage Range	$V_{IN} = 10V$, $V_{OUT} = 2V$, $V_{CC} = 10V$, $R_L = 27k$, $C_L = 100\mu F$	24	24	3	V _{max}
					3
Line Regulation	$V_{IN} = 0.8V_{CC}$, $V_{OUT} = 20V$	0.2	1.5		mV/V _{max}
Load Regulation	3mA to 100mA	0.2	1		% _{max}
Output Impedance	100mA, and 100mA, 100Hz, 100mA	40			m Ω
Quiescent Current	$V_{IN} = 10V$, $V_{OUT} = 100mA$ Using Quiescent $R_L = 500\Omega$	0.4	1		mA _{max}
		15	15		mA _{min}
Output Noise Voltage	100mA, 100kHz	500			mV _{rms}
		24			mV _{p-p}
Input Impedance	$V_{IN} = 10V$, $V_{OUT} = 1.5V_{CC}$	0.22			k Ω
Dropout Voltage	$V_{IN} = 10V$, $V_{OUT} = 1.5V_{CC}$	0.25	0.2		V _{max}
			0.3	0.5	
Maximum Operating Input Voltage	$V_{IN} = 10V$, Reference Voltage, $V_{IN} = 10V$	30	30		V _{max}
			30	60	
Reverse Polarity Input Voltage, DC	$V_{IN} = 0.2V_{CC}$, $V_{OUT} = 500\mu V$	-30	-15		V _{max}
			-50	-50	
Reverse Polarity Input Voltage, Transient	1% Duty Cycle, $T = 100\mu s$, $V_{IN} = 500\mu V$				V _{max}
On/Off Transient Voltage, On	$V_{IN} = 2V$	1.2	1.2		V _{max}
		2.2	2.25		V _{min}
On/Off Transient Current	$V_{IN} = 2V$	30	50		mA _{max}
					mA _{min}

8-Channel/Dual 4-Channel High Performance CMOS Analog Multiplexers

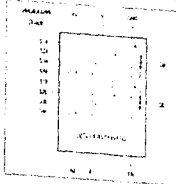
DG4408/DG4409



Pin Configurations (continued)



Functional Diagrams (continued)



MAXIM cannot assume responsibility for use of any circuit other than those shown in this data sheet. This circuit shown is intended to illustrate only the general concept of the circuit and does not constitute an offer of a specific design. It is the user's responsibility to design and build a circuit which meets his or her own requirements. MAXIM is not responsible for any damage to any circuit.

1-36

MAXIM

MAXIM Quad SPST Precision Analog Switches

General Description

The DG4112, DG4113, DG4114, and DG4115 are quad single channel precision SPST precision analog switches. The DG4114 is a quad precision SPST, NC) analog switch with a common control logic. The DG4113 has two common control and two normally closed switches. All three parts are fabricated in a process that allows the multiplexers to operate at switching times as short as less than 10ns at a current of less than 10mA.

The DG4115 (DG4115A) is fabricated with MAXIM's new Power MOSFET technology. It has a maximum on-state resistance of less than 100Ω and a maximum off-state leakage current of less than 100pA.

These devices can be used in a single positive supply mode. They also support a common control logic which requires a 5V supply for most applications. The switching CMOS inputs provide reduced static power in a logic mode application.

Applications

- Sample and Hold Circuits
- Video and Control Systems
- Arithmetic and Logic
- Memory Buffers
- Test Equipment
- Multi-Phase
- Communication Systems
- Reference and Systems
- Other Uses

Features

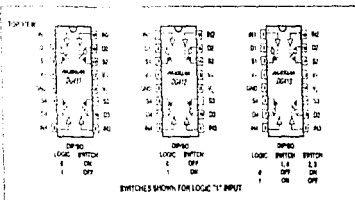
- $I_{ON} = 25\mu A$
- Leakage = 25pA
- Single or Bipolar Supply Operation
- TTL/CMOS Logic Compatible
- Rail-to-Rail Switch-On/Off Switching Capability
- Monolithic, Low-Power Design

Ordering Information

PART	TEMP. RANGE	PKG. PACKAGE
DG4112D	0°C to +70°C	Dip
DG4112U	40°C to +85°C	16-Pin PDIP
DG4112L	40°C to +85°C	16-Pin SO
DG4112P	40°C to +85°C	16-Pin PDIP
DG4114L	55°C to +125°C	16-Pin SO
DG4115D	0°C to +70°C	Dip
DG4115U	40°C to +85°C	16-Pin PDIP
DG4115L	40°C to +85°C	16-Pin SO
DG4115P	40°C to +85°C	16-Pin PDIP
DG4116L	55°C to +125°C	16-Pin SO
DG4117D	0°C to +70°C	Dip
DG4117U	40°C to +85°C	16-Pin PDIP
DG4117L	40°C to +85°C	16-Pin SO
DG4117P	40°C to +85°C	16-Pin PDIP
MAX9446	55°C to +125°C	16-Pin SO

† Contact factory for data sheet revisions.
‡ Contact factory for availability and price listing.
§ See 510-4822

Pin Configurations/Functional Diagrams



MAXIM

Call toll free 1-800-998-8800 for free samples or literature.

MAXIM Integrated Products 1-37

DG4112/DG4113/DG4114

1

Quad SPST Precision Analog Switches

Quad SPST Precision Analog Switches

DG411/DG412/DG413

ABSOLUTE MAXIMUM RATINGS

Supply Reference Voltage	40V	Continuation Power Dissipation (T _a = 70°C) (Note 2)	470mW
V _{CC}	25V	16-Pin Plastic DIP (above 5 Sym/C above +70°C)	890mW
V _{DD}	25V	16-Pin Narrow SO (above 5 Sym/C above +70°C)	890mW
Output Voltage V _{OL} (Note 1)	IGND (0.0 to 0V) to +0.3V	16-Pin CERDIP (above 10 Sym/C above +70°C)	890mW
Current (any terminal)	IO = 20 mA (IO = 20 mA for 30mA (inches) except feet)	Common Temperature Range	
Power Current I _{SD} (50°C)	IGND (see note 1)	DG411, C	0°C to +70°C
(loaded at 10% duty cycle max)	IGND	DG411, D	-40°C to +85°C
	IGND	DG411, E	55°C to +125°C
	IGND	DG412, A	45°C to +150°C
	IGND	DG412, B	-40°C to +100°C
	IGND	DG413, A	45°C to +150°C
	IGND	DG413, B	-40°C to +100°C

Note 1: Signal on S₁, S₂, or S₃ exceeding +1 or -1 V will be clipped by internal diodes. Limit forward diode current to maximum current rating.

Note 2: All leads are soldered or welded to PC board.
 Stress beyond these limits under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress only and functional operation of the device is not assured if these or any other conditions beyond those indicated in the operating section of the specifications is not observed. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS (Dual Supplies)

V_{CC} = +15V, V_{DD} = -15V, V_{OL} = 5V, GND = 0V, V_{OH} = 24V, V_{OL} = 0.8V, I_{CC} = I_{DD} unless otherwise noted.

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC/Static						
On/Off Signal Range	V _{OL} to V _{OH} (Note 3)		-15	15	V	
On-Source On Resistance	R _{ON(ON)}	V _{OL} = 0V V _{OH} = 0V to 4.5V V _{CC} = +15V V _{DD} = -15V		20	30	Ω
Off-Source On Resistance	R _{ON(OFF)}	V _{OL} = 0V V _{OH} = 0V to 4.5V V _{CC} = +15V V _{DD} = -15V		45	65	Ω
On/Off Leakage Current	I _{OL(OFF)}	V _{OL} = 0V V _{OH} = 0V to 4.5V V _{CC} = +15V V _{DD} = -15V		-0.25	+0.10	μA
Off/On Leakage Current	I _{OL(ON)}	V _{OL} = 0V V _{OH} = 0V to 4.5V V _{CC} = +15V V _{DD} = -15V		-0.25	+0.10	μA
On/Off Leakage Current	I _{OL(OFF)}	V _{OL} = 0V V _{OH} = 0V to 4.5V V _{CC} = +15V V _{DD} = -15V		-0.4	+0.1	μA
Off/On Leakage Current	I _{OL(ON)}	V _{OL} = 0V V _{OH} = 0V to 4.5V V _{CC} = +15V V _{DD} = -15V		-0.4	+0.1	μA

ELECTRICAL CHARACTERISTICS (continued)

V_{CC} = +15V, V_{DD} = -15V, V_{OL} = 5V, GND = 0V, V_{OH} = 24V, V_{OL} = 0.8V, I_{CC} = I_{DD} unless otherwise noted.

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT						
Input Current with Input Voltage High	I _{OH}	V _{OH} = 24V All others = 0.8V		-0.500	+0.500	μA
Input Current with Input Voltage Low	I _{OL}	V _{OL} = 0.8V All others = 24V		-0.500	+0.500	μA
SUPPLY						
Power Supply Range		All Channels in OFF	+5	±20	V	
Positive Supply Current	I _{CC}	All Channels in OFF V _{OH} = 0V to 5V V _{OL} = -15V V _{CC} = +15V		0.001	1	μA
Negative Supply Current	I _{DD}	All Channels in OFF V _{OH} = 0V to 5V V _{OL} = -15V V _{CC} = +15V		-1	-0.001	μA
Supply Current	I _{CC}	All Channels in OFF V _{OH} = 0V to 5V V _{OL} = -15V V _{CC} = +15V		0.001	1	μA
Supply Current	I _{DD}	All Channels in OFF V _{OH} = 0V to 5V V _{OL} = -15V V _{CC} = +15V		-1	-0.001	μA
DYNAMIC						
Turn-On Time	t _{ON}	Figure 1 V _{OH} = 24V		110	175	ns
Turn-Off Time	t _{OFF}	Figure 1 V _{OH} = 24V		100	145	ns
On-Source Rise Time	t _r	DG413 On Load = 100Ω C _L = 20pF		25	NA	ns
Charge Product	Q _{CH}	C _L = 10pF Load = 100Ω Figure 2		5	pC	
Propagation Delay	t _{PROP}	C _L = 500 pF C _{IN} = 50 pF T ₁ to T ₂ (Figure 4)		68	88	ps
Onset Prop Delay	t _{ONSET}	C _L = 500 pF C _{IN} = 50 pF T ₁ to T ₂ (Figure 4)		80	100	ps
Turn-Off Capacitance	C _{OFF}	C _L = 100pF Figure 5		9	pF	
Turn-On Capacitance	C _{ON}	C _L = 100pF Figure 6		9	pF	
Channel On Capacitance	C _{ON} C _{OFF}	C _L = 100pF Figure 7		35	pF	

DG411/DG412/DG413



Quad SPST Precision Analog Switches

ELECTRICAL CHARACTERISTICS (Single Supply)

($V_{DD} = 12V$, $V_{SS} = 0V$, $V_{IO} = 5V$, $GND = 0V$, $V_{CM} = 2.5V$, $V_{IN} = 0.8V$, $V_{IN} \leq T_{IN}$, unless otherwise noted)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SWITCH						
Analog Signal Range	(Notes 1, 2)		0	12	V	
On-Off Switching Rate	100 kHz	$V_{IN} = 0.8V$ $V_{CM} = 2.5V$ $V_{IO} = 5V$	$t_{ON} = 200$ $t_{OFF} = 200$	40	80	ns
SUPPLY						
Power-Supply Current	I_{DD}	$V_{IN} = 0.8V$ All channels on or off $V_{CM} = 2.5V$ $V_{IO} = 5V$	$I_{DD} = 250$ $I_{DD} = 100$	0.004	5	μA
Supply Current (per pin)	I_{DDP}	$V_{IN} = 0.8V$ All channels on or off $V_{CM} = 2.5V$ $V_{IO} = 5V$	$I_{DDP} = 250$ $I_{DDP} = 100$	0.004	5	μA
Logic-Supply Current	I_{DDL}	$V_{IN} = 0.8V$ All channels on or off $V_{CM} = 2.5V$ $V_{IO} = 5V$	$I_{DDL} = 250$ $I_{DDL} = 100$	0.004	5	μA
Logic Current	I_{DDL}	$V_{IN} = 0.8V$ All channels on or off $V_{CM} = 2.5V$ $V_{IO} = 5V$	$I_{DDL} = 250$ $I_{DDL} = 100$	0.004	5	μA
DYNAMIC						
Propagation Delay	t_{PD}	Figure 1 $V_{IN} = 0.8V$	$t_{PD} = 250$ $t_{PD} = 100$	10	25	ns
Transition Time	t_{TR}	Figure 1 $V_{IN} = 0.8V$	$t_{TR} = 250$ $t_{TR} = 100$	5	10	ns
Propagation Delay	t_{PD}	Figure 1 $V_{IN} = 0.8V$	$t_{PD} = 250$ $t_{PD} = 100$	10	25	ns
Charge Injection	Q_{CI}	Figure 2 $V_{IN} = 0.8V$ $V_{CM} = 2.5V$ $V_{IO} = 5V$	$Q_{CI} = 100$ $Q_{CI} = 50$	25	50	fC

Note 1: The signal common mode level is defined by V_{CM} and the signal level is defined by V_{IN} .

Note 2: Guaranteed by design.

Note 3: $I_{DD} = 2 \times I_{DDP} = 3 \times I_{DDL}$.

Note 4: See Figure 1 for test circuit and Figure 2 for test circuit.

Note 5: See Figure 1 for test circuit and Figure 2 for test circuit.

Note 6: See Figure 1 for test circuit and Figure 2 for test circuit.

Quad SPST Precision Analog Switches

Pin Description

PIN	NAME	FUNCTION
1, 2, 3, 4	IN1-4	Inputs
7, 7, 10, 10	OUT1-4	Outputs
3, 6, 11, 14	ST1-4	Source Outputs
4	V _{DD}	Positive Supply Voltage Input
5	GND	Ground
12	V _{IO}	Logic Supply Voltage
13	V _{CM}	Positive Supply Voltage Input Common Mode Level

Test Circuits/Timing Diagrams

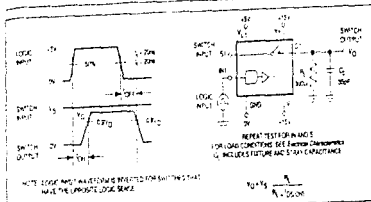


Figure 1: Timing Diagram Test Circuit

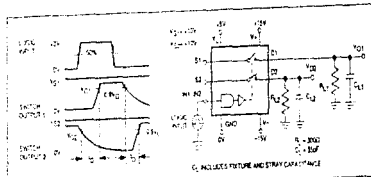


Figure 2: Test Circuit for Charge Injection

DC411/DC412/DC413

DC411/DC412/DC413

APENDICE D: EL MICROCONTROLADOR 80C552

La familia de controladores 80C51, está compuesta de un gran número de dispositivos que tienen como característica principal el de tener un canal de datos de 8 bits, con capacidad de direccionar un máximo de 64 kB de programa o datos en modo extendido, entre las características principales de estos microcontroladores se tienen:

- 8 Canales de conversión con resolución de 10 bits
- 5 Interrupciones externas
 - Puerto serial
 - Timer 0
 - Timer 1
 - Interrupción externa 0
 - Interrupción externa 1
- 2 Niveles de prioridad de las interrupciones
- Las interrupciones son programadas para responder por flanco o por nivel
- Timers programables
- Puerto serie asincrónico
- Puerto I²C
- Contador de programa de 16 bits
- Apuntador de datos de 16 bits
- Memoria RAM de 64 - 256 bytes
- Salidas quasi-bidireccionables
- Interrupción por software

La siguiente sección contiene las instrucciones de programación de la familia 80C551:

MNEMÓNICO		DESCRIPCIÓN	BYTES	CICLOS
OPERACIONES ARITMÉTICAS				
ADD	A,Rn	Suma el registro al acumulador	1	12
ADD	A,directo	Suma el dato que se direcciona en forma directa al acumulador	2	12
ADD	A,@Ri	Suma el dato de RAM al acumulador	1	12
ADD	A,#dato	Suma el dato inmediato al acumulador	2	12
ADDC	A,Rn	Suma el registro al acumulador con carry	1	12

MNEMÓNICO		DESCRIPCIÓN	BYTES	CICLOS
ADDC	A,directo	Suma el dato que se direcciona en forma directa al acumulador con carry	2	12
ADDC	A,@Ri	Suma el dato de RAM al acumulador con carry	1	12
ADDC	A,#dato	Suma el dato inmediato al acumulador con carry	2	12
SUBB	A,Rn	Resta el registro al acumulador con borrow	1	12
SUBB	A,directo	Resta el dato que se direcciona en forma directa al acumulador con borrow	2	12
SUBB	A,@Ri	Resta el dato de RAM al acumulador con borrow	1	12
SUBB	A,#dato	Resta el dato inmediato al acumulador con borrow	2	12
INC	A	Incrementa al acumulador	1	12
INC	Rn	Incrementa el registro	1	12
INC	directo	Incrementa el byte que se direcciona en forma directa	2	12
INC	@Ri	Incrementa el dato de RAM	1	12
INC	DPTR	Incrementa data pointer	1	24
DEC	A	Decrementa Acumulador	1	12
DEC	Rn	Decrementa el registro	1	12
DEC	directo	Decrementa el byte que se direcciona en forma directa	2	12
DEC	@Ri	Decrementa el dato de RAM	1	12
MUL	AB	Multiplica A B	1	48
DIV	AB	Divide A por B	1	48
DA	A	Ajuste decimal del acumulador	1	12

MNEMÓNICO		DESCRIPCIÓN	BYTES	CICLOS
OPERACIONES LÓGICAS				
ANL	A,Rn	And del registro y el acumulador	1	12
ANL	A,directo	And del dato que se direcciona en forma directa y el acumulador	2	12
ANL	A,@Ri	And del dato de RAM y el acumulador	1	12
ANL	A,#dato	AND del dato inmediato y el acumulador	2	12
ANL	direct,A	And del acumulador y el byte directo	2	12
ANL	diretc,#data	And del dato inmediato y al byte directo	3	24
ORL	A,Rn	OR del registro y el acumulador	1	12
ORL	A,directo	Or del dato que se direcciona en forma directa y el acumulador	2	12
ORL	A,@Ri	Or del dato de RAM y el acumulador	1	12
ORL	A,#dato	Or del dato inmediato y el acumulador	2	12
ORL	direct,A	Or del acumulador y el byte directo	2	12
ORL	diretc,#data	Or del dato inmediato y al byte directo	3	23
XRL	A,Rn	Or exclusiva del registro y el acumulador	1	12
XRL	A,directo	Or exclusiva del dato que se direcciona en forma directa y el acumulador	2	12
XRL	A,@Ri	Or exclusiva del dato en RAM y el acumulador	1	12
XRL	A,#dato	Or exclusiva del dato inmediato y el acumulador	2	12
XRL	direct,A	Or exclusiva del acumulador y el byte directo	2	12
XRL	diretc,#data	Or exclusiva del dato inmediato al byte directo	3	24
CLR	A	Limpia acumulador	1	12
CPL	A	Complementa el Acc	1	12

MNEMÓNICO	CICLOS	DESCRIPCIÓN		BYTES
RL	A	Rota el acumulador a la izquierda	1	12
RLC	A	Rota el acumulador a la izquierda usando carry	1	12
RR	A	rota el acumulador a la derecha	1	12
RRC	A	Rota el acumulador a la derecha usando carry	1	12
SWAP	A	Intercambia los nibbles dentro del acumulador	1	12

TRANSFERENCIA DE DATOS

MOV	A,Rn	Mueve el registro al acumulador	1	12
MOV	A,directo	Mueve el byte que se direcciona en forma directa al acumulador	2	12
MOV	A,@Ri	Mueve el dato indirecto de RAM al acumulador	1	12
MOV	A,#dato	Mueve el dato inmediato al acumulador	2	12
MOV	Rn,A	Mueve el acumulador al registro	1	12
MOV	Rn,directo	Mueve el byte directo al registro	2	24
MOV	Rn,#dato	Mueve el dato inmediato al registro	2	12
MOV	directo,A	Mueve el acumulador al dato directo	2	12
MOV	directo,Rn	Mueve el registro al byte directo	2	24
MOV	directo,directo	Mueve un byte direccionado en forma directa a otro direccionado en forma directa	3	24
MOV	directo,@Ri	Mueve el dato indirecto RAM a un dato directo	2	24
MOV	directo,#dato	Mueve el dato inmediato al dato directo	3	24
MOV	@Ri,A	Mueve el acumulador al dato en RAM	1	12

MNEMÓNICO		DESCRIPCIÓN	BYTES	CICLOS
MOV	@Ri, directo	Mueve el dato directo al dato indirecto en RAM	2	24
MOV	@Ri, #dato	Mueve el dato inmediato al dato indirecto en RAM	2	12
MOV	DPTR, #data16	Lee el Data Pointer con una constante de 16 bits	3	24
MOVC	A, @A+DPTR	Mueve el byte relativo del DPTR al acumulador	1	24
MOVC	A, @A+PC	Mueve el byte relativo del PC al acumulador	1	24
MOVB	A, @Ri	Mueve de RAM externa (8 bits de offset) al acumulador	1	24
MOVX	A, @DPTR	Mueve de RAM externa (16 bits de dirección) al acumulador	1	24
MOVX	A, @Ri, A	Mueve el acumulador (8 bits de offset) a RAM externa	1	24
MOVX	@Ri, DPTR	Mueve el acumulador (16 bits de dirección) a RAM externa	1	24
PUSH	directo	Mueve el byte directo a la pila apuntadora	2	24
POP	directo	Saca el byte directo de la pila apuntadora	2	24
XCH	A, Rn	Intercambia el registro con el acumulador	1	12
XCH	A, directo	Intercambia el byte directo con el acumulador	2	12
XCH	A, @Ri	Intercambia el dato de RAM con el acumulador	1	12
XCHD	A, @Ri	Intercambia el byte de orden de la memoria RAM con el acumulador	1	12

MNEMÓNICO		DESCRIPCIÓN	BYTES	CICLOS
MANEJO DE VARIABLE BOOLEANAS				
CLR	C	Limpia carry	1	12
CLR	bit	Limpia el bit	2	12
SETB	C	Activa carry	1	12
SETB	bit	Activa el bit	2	12
CPL	C	Complementa carry	1	12
CPL	bit	Complementa bit	2	12
ANL	C,bit	And entre el bit y el carry	2	24
ANL	C,/bit	And complemento entre el bit y el carry	2	24
ORL	C,bit	Or entre el bit y el carry	2	24
ORL	C,/bit	Or complemento entre el bit y el carry	2	12
MOV	C,bit	Mueve el bit al carry	2	24
MOV	bit,C	Mueve el carry al bit	2	24
JC	rel	Salta si el carry es alto	2	24
JNC	rel	Salta si el carry no es alto	2	24
MANIPULACIÓN DE VARIABLES BOOLEANAS				
JB	rel	Salta si el bit es alto	2	24
JNB	rel	Salta si el bit no es alto	2	24
JBC	bit,rel	Salta si el bit cambia de alto a bajo	2	24
SALTOS PROGRAMADOS				
ACALL	addr11	Llamada de subrutina absoluta	2	24
LCALL	addr16	Llamada larga a subrutina	3	24
RET		Regreso de subrutina	1	24
RETI		Regreso de interrupción	1	24
AJMP	addr11	Salto absoluto	2	24
LJMP	addr16	Salto largo	3	24
SJMP	rel	Salto corto (direccionamiento relativo)	2	24
JMP	@A+DPTR	Salto indirecto, relativo al DPTR	1	24
JZ	rel	Salta si el acumulador es cero	2	24

APENDICE D

MNEMÓNICO		DESCRIPCIÓN	BYTES	CICLOS
JNZ	rel	Salta si el acumulador no es cero	2	24
CJNE	A,directo,rel	Compara el byte directo con el acumulador y salta si no es igual	3	24
CJNE	A,#dato,rel	Compara el byte inmediato y salta si no es igual	3	24
CJNE	Rn,#dato,rel	Compara el dato inmediato con el registro y salta si no es igual	3	24
CJNE	@Ri,#dato,rel	Compara el dato inmediato con el dato indirecto y salta si no es igual	3	24
DJNZ	Rn,rel	Decrementa el registro y salta si no es cero	2	24
DJNZ	directo,rel	Decrementa el byte directo y salta si no es cero	3	24
NOP		No operación	1	12

Las hojas de especificaciones del microcontrolador 80C552 se localizan al final de este apéndice

Single-chip 8-bit microcontroller

80C552/83C552/87C552

Single-chip 8-bit microcontroller with 10 M A/D, CAPTURE compare timer, high speed output, P/M

DESCRIPTION
The 80C552/83C552/87C552 controller is generally referred to as 80C552. It is a single-chip 8-bit microcontroller manufactured in an advanced CMOS process and is a derivative of the 80C51. It has a 20-pin surface lead body. The 80C552 has the same instruction set as the 80C51. Three versions of the device are:

• 80C552 - 80-level non-programmable ROM
• 83C552 - ROMless version of the 80C552

• 87C552 - 8-Kbit EPROM

The 80C552 consists of a 2-Kbit 8-bit read-only memory (ROM), a 256-bit read/write data memory (RAM), and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).

The 80C552 has a 256-bit read-only program memory (EPROM) and a 512-bit read-only program memory (EPROM).



FEATURES

• 80C51 compatible processing core

• Bus 8-BIT EPROM

• An additional 16-bit program counter

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

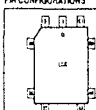
• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

• Two 8-bit timers and two 8-bit counters

PIN CONFIGURATIONS



Pin Functions

1. VCC

2. GND

3. BUS

4. GND

5. VCC

6. GND

7. VCC

8. GND

9. VCC

10. GND

11. VCC

12. GND

13. VCC

14. GND

15. VCC

16. GND

17. VCC

18. GND

19. VCC

20. GND

21. VCC

22. GND

23. VCC

24. GND

25. VCC

26. GND

27. VCC

28. GND

29. VCC

30. GND

31. VCC

32. GND

33. VCC

34. GND

35. VCC

36. GND

37. VCC

38. GND

39. VCC

40. GND

41. VCC

42. GND

43. VCC

44. GND

45. VCC

46. GND

47. VCC

48. GND

49. VCC

50. GND

51. VCC

52. GND

53. VCC

54. GND

55. VCC

56. GND

57. VCC

58. GND

59. VCC

60. GND

61. VCC

62. GND

Single-chip 8-bit microcontroller

80C552/83C552/87C552

PART NUMBER SELECTION

PART NUMBER SELECTION		ROM		EPROM		TEMPERATURE	PACKAGE
ROMless	ROM	ROMless	ROM	EPROM			
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		0 to 70 pinless P.L.C.C.	16-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		0 to 70 pinless P.L.C.C. with window	16-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		0 to 70 pinless P.L.C.C.	16-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		-40 to +85 pinless P.L.C.C. with window	16-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		-40 to +85 pinless P.L.C.C.	16-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		-40 to +125 pinless P.L.C.C.	16-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		0 to 70 pinless P.L.C.C.	24-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		0 to 70 pinless P.L.C.C.	24-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		-40 to +85 pinless P.L.C.C.	24-pin
80C552 8-16M	PC80C552 8M	83C552 16M	83C552 16M	87C552 16M		-40 to +85 pinless P.L.C.C.	24-pin

NOTE:

1. See notes on the ROMless number

Single-chip 8-bit microcontroller

80C552/83C552/87C552

Serial Control Register (SCSR) - See Table 2

SCSR	CS0	CS1	CS2	CS3	CS4	CS5	CS6	CS7	CS8
------	-----	-----	-----	-----	-----	-----	-----	-----	-----

Note: CS0, CS1 and CS2 determine the serial shift frequency that is generated in the master mode of operation.

Table 2. Serial Clock Rates

CS2	CS1	CS0	BIT FREQUENCY (MHz) AT f _{osc}				f _{osc} DIVIDER BY
			1MHz	10MHz	10MHz	30MHz ¹	
0	0	0	25	47	62.5	84	254
0	0	1	27	54	71	127.1	180
0	1	0	31.25	62.5	83.3	125.1	180
0	1	1	37	73	105	150.1	180
1	0	0	4.25	12.1	17	25	100
1	0	1	50	100	133.1	200.1	100
1	1	0	130	250	337.1	400.1	100
1	1	1	0.25 - 62.5	0.5 - 162.5	0.67 - 56	0.84 - 50	34 - 125 (variable master timer 1) Time for MODE 2

NOTE:

1 These frequencies exceed the upper end of 10MHz of the f_{osc} for the microcontroller and must be used in an f_{osc} less application.2 At f_{osc} = 30MHz the maximum DC bus rise or fall rate of 100ns can be maintained on the AL and Control Characteristic section of the device (P4-16).ABSOLUTE MAXIMUM RATINGS^{1, 2, 3}

PARAMETER	RATING	UNIT
Storage temperature range	-65 to +150	°C
Voltage on EA (to V _{CC} PINS) (pins)	-0.5 to +1.7	V
Voltage on any other pin to V _{CC}	-0.5 to +6.5	V
Input output DC current on any single I/O pin	50	mA
Power dissipation (based on package lead thermal impedance) at non-derate power consumption	10	W

NOTE:

1 These values show the limit under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress only rating and functional operation of the device at these or any conditions other than those described in the AL and Control Characteristic section of the specification is not implied.

2 The product includes tri-state buffers specifically designed for the protection of its internal devices from the harmful effect of a static charge. However, it is suggested that cover-hold construction be taken to prevent anything greater than the rated maxima.

3 Parameters are valid over operating temperature range unless otherwise specified. All voltages are with respect to V_{CC} unless otherwise noted.

DEVICE SPECIFICATIONS

TYPE	SUPPLY VOLTAGE (V)		FREQUENCY (MHz)		TEMPERATURE RANGE (°C)
	MIN	MAX	MIN	MAX	
80C552/83C552/87C552 8-bit	4.5	6.0	1.2	16	0 to +70
80C552 8-bit	4.5	5.5	1.5	15	0 to +70
80C552/83C552 5-bit	4.5	6.0	1.2	16	-40 to +85
80C552 5-bit	4.5	5.5	1.5	16	-40 to +85
80C552/83C552 5-bit	4.5	5.5	1.2	16	-40 to +125
80C552/83C552 5-bit	4.5	5.5	1.2	24	0 to +70
80C552/83C552 5-bit	4.5	5.5	1.2	24	-40 to +85

Single-chip 8-bit microcontroller

80C552/83C552/87C552

DC ELECTRICAL CHARACTERISTICS

Fig. A1-16 - IV

TEST	PARAMETER	CONDITIONS	LIMITS		
			MIN	MAX	
I _{CC}	Supply current (standing)	80C552/83C552 8-bit	See notes 1 and 2	45	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	45	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	40	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	35	mA
I _{CC}	Supply current (dynamic)	80C552/83C552 8-bit	See notes 1 and 2	55	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	55	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	50	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	45	mA
I _{CC}	Idle mode	80C552/83C552 8-bit	See notes 1 and 3	10	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	10	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	9	mA
		80C552/83C552 8-bit	f _{osc} = 16MHz	7	mA
		80C552/83C552 8-bit	f _{osc} = 24MHz	12.5	mA
		80C552/83C552 8-bit	f _{osc} = 24MHz	13.5	mA
I _{CC}	Power-down current	80C552/83C552	See notes 1 and 4	50	µA
		80C552/83C552	f _{osc} = 16MHz	50	µA
		80C552/83C552	f _{osc} = 16MHz	150	µA
		80C552	f _{osc} = 16MHz	50	µA

NOTE:

1 Test the voltage across EA (P4-16) P17

2 Test the voltage across EA

3 Test the voltage to P1 (SCSR) P1 (SCSR)

4 Test the high voltage across P1 (SCSR)

5 Test the high voltage across P1 (SCSR) P1 (SCSR)

6 Test the high voltage across P1 (SCSR) P1 (SCSR)

7 Test the high voltage across P1 (SCSR) P1 (SCSR)

8 Test the high voltage across P1 (SCSR) P1 (SCSR)

9 Test the high voltage across P1 (SCSR) P1 (SCSR)

10 Test the high voltage across P1 (SCSR) P1 (SCSR)

11 Test the high voltage across P1 (SCSR) P1 (SCSR)

12 Test the high voltage across P1 (SCSR) P1 (SCSR)

13 Test the high voltage across P1 (SCSR) P1 (SCSR)

14 Test the high voltage across P1 (SCSR) P1 (SCSR)

15 Test the high voltage across P1 (SCSR) P1 (SCSR)

16 Test the high voltage across P1 (SCSR) P1 (SCSR)

17 Test the high voltage across P1 (SCSR) P1 (SCSR)

18 Test the high voltage across P1 (SCSR) P1 (SCSR)

19 Test the high voltage across P1 (SCSR) P1 (SCSR)

20 Test the high voltage across P1 (SCSR) P1 (SCSR)

21 Test the high voltage across P1 (SCSR) P1 (SCSR)

22 Test the high voltage across P1 (SCSR) P1 (SCSR)

23 Test the high voltage across P1 (SCSR) P1 (SCSR)

24 Test the high voltage across P1 (SCSR) P1 (SCSR)

25 Test the high voltage across P1 (SCSR) P1 (SCSR)

26 Test the high voltage across P1 (SCSR) P1 (SCSR)

27 Test the high voltage across P1 (SCSR) P1 (SCSR)

28 Test the high voltage across P1 (SCSR) P1 (SCSR)

29 Test the high voltage across P1 (SCSR) P1 (SCSR)

30 Test the high voltage across P1 (SCSR) P1 (SCSR)

31 Test the high voltage across P1 (SCSR) P1 (SCSR)

32 Test the high voltage across P1 (SCSR) P1 (SCSR)

33 Test the high voltage across P1 (SCSR) P1 (SCSR)

34 Test the high voltage across P1 (SCSR) P1 (SCSR)

35 Test the high voltage across P1 (SCSR) P1 (SCSR)

36 Test the high voltage across P1 (SCSR) P1 (SCSR)

37 Test the high voltage across P1 (SCSR) P1 (SCSR)

38 Test the high voltage across P1 (SCSR) P1 (SCSR)

39 Test the high voltage across P1 (SCSR) P1 (SCSR)

40 Test the high voltage across P1 (SCSR) P1 (SCSR)

APÉNDICE E: ADQUISICIÓN DIGITAL DE DATOS

La adquisición de datos debe de seguir una metodología establecida para obtener resultados óptimos en la calidad de la señal analógica que se desea analizar, es por eso que se da una breve descripción del procedimiento para digitalizar una señal.

ETAPAS EN LA ADQUISICIÓN DE DATOS.

Una variable física no puede ser digitalizada en forma directa del medio ambiente, debido a que un convertidor analógico digital (ADC, por sus siglas en inglés), solo trabaja con señales eléctricas, lo que hace necesaria la utilización de transductores que conviertan las señales físicas a señales eléctricas, que deben ser acondicionadas y que generalmente deben estar en el rango de 0 - 5 Volts (se encuentran en el mercado convertidores A/D que manejan otros rangos de voltaje), para ser digitalizadas por el convertidor; a continuación se explicaran brevemente las etapas por las que una señal debe pasar para ser digitalizada y almacenada por un sistema de adquisición de datos.

SENSORES: En un sistema de adquisición de datos los sensores ó transductores, son la primera etapa en el proceso de digitalizar una señal; son dispositivos electrónicos especializados en la transformación de una variable física en una señal eléctrica; la cual está dentro de un rango de cero Volts a cinco Volts (en la mayoría de los casos); que es el voltaje que manejan la gran mayoría de los sistemas digitales, su funcionamiento va a depender de la variable física que se maneje, para el caso de la aceleración se utilizan sensores piezo-resistivos, capacitivos, servo-sensores, etc.

FILTRADO: Otro parámetro importante en la adquisición de datos es la velocidad de muestreo ó lo que es lo mismo; a que velocidad se van a realizar las conversiones analógicas-digitales. Cuando se está digitalizando una señal analógica, esta debe de ser muestreada al menos dos veces más rápidamente que la componente de más alta frecuencia de la señal de entrada. Esto es conocido como "*EL criterio de Nyquist*". De acuerdo a lo anterior se asume que la frecuencia de muestreo será al menos dos veces más alta que la máxima frecuencia contenida en la señal de entrada y la "*frecuencia de Nyquist*" será la máxima frecuencia que podrá ser digitalizada sin perder información:

Esto es:

f_s = frecuencia de muestreo
 f_N = frecuencia de Nyquist
 donde:
 $f_N = f_s / 2$

Si no se cumple este principio, y se intenta digitalizar señales que tengan componentes con frecuencia mayor a la "frecuencia de Nyquist", se tendrán señales con frecuencias aparentes también llamadas "frecuencias alias", las cuales se encontrarán ubicadas entre la frecuencia de una señal de DC y la frecuencia de Nyquist, su valor de frecuencia será: el valor absoluto de la diferencia entre la frecuencia de entrada de la señal y el producto de la frecuencia de muestreo por el múltiplo entero mayor de la frecuencia de entrada entre la frecuencia de muestreo:

f_a = frecuencia alias
 f_i = frecuencia de entrada
 m = múltiplo
 esto es:
 $f_a = |(m)(f_s) - f_i|$
 donde:
 m = múltiplo entero mayor (f_i / f_s)

Mostraremos un ejemplo de enmascaramiento de una señal: Si tenemos una frecuencia de muestreo de 100 Hz y vamos a muestrear señales de:

- F1 = 25 Hz
- F2 = 70 Hz
- F3 = 160 Hz
- F4 = 510 Hz.

Recordando lo escrito anteriormente, la frecuencia de Nyquist será de 50 Hz, y todas las señales con frecuencia menor a esta, podrán ser muestreadas en forma correcta, mientras que las señales que sean mayores a dicha frecuencia sufrirán un enmascaramiento como se puede ver a continuación.

- Alias F(70) = (1)(100) - 70 = 30 Hz
- Alias F(160) = (2)(100) - 160 = 40 Hz
- Alias F(510) = (5)(100) - 510 = 10 Hz

De manera gráfica el enmascaramiento se muestra en la figura siguiente en donde el eje "x", muestra la frecuencia de las señales a considerar.

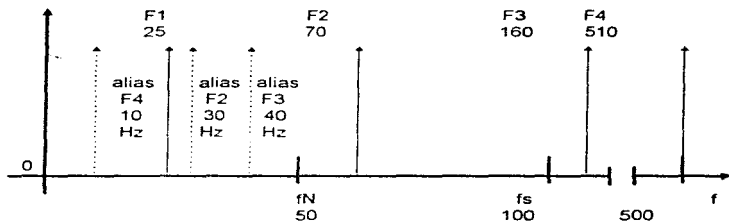
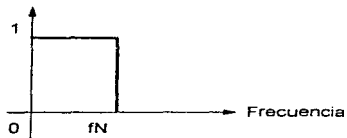


Figura esquemática

—————→ Frecuencias reales

.....→ Frecuencias aparentes (alias)

Un método de evitar el enmascaramiento de señales es usar un filtro paso-bajas, ó "filtro anti-enmascaramiento" (antialiasing filter). Un filtro anti-enmascaramiento, tiene como función rechazar todas las frecuencias que sean mayores a la frecuencia Nyquist. En la siguiente figura se presenta un filtro anti-enmascaramiento ideal.



ACONDICIONAMIENTO DE LA SEÑAL: Una vez filtrada la señal eléctrica tiene que ser adaptada al rango de voltaje con el que trabaja el convertidor analógico-digital que se va a utilizar, este proceso se lleva a cabo generalmente mediante amplificadores operacionales, en sus distintas configuraciones como pueden ser sumadores, restadores, multiplicadores. Las configuraciones de los amplificadores operaciones de sumador y restador generalmente son usadas para mover la referencia de la señal eléctrica, esto es, se le suma ó se le resta un voltaje de DC, a la señal de entrada original para que quede situada dentro del rango de voltaje que maneja el convertidor A/D.

La configuración de multiplicador de los amplificadores operacionales es utilizada para poder digitalizar señales analógicas que se tienen rangos de voltaje muy diferentes mediante la multiplicación de la señal de entrada por un factor fijo conocido como ganancia. Como ejemplo podemos mencionar que si se tiene un convertidor que tiene un rango de conversión de cero a cinco Volt, y se van a digitalizar señales que tienen una variación de voltaje de $\pm 10\text{ V}$, $\pm 5\text{ V}$, $\pm 2.5\text{ V}$, $\pm 1\text{ V}$, la ganancia de un amplificador operacional ó el factor por el cual debe de ser multiplicada la señal será dado en la siguiente tabla:

Voltaje de Entrada (V)	Ganancia (multiplicador)	Voltaje de Salida (V)
± 10.0	0.25	± 2.5
± 5.0	0.50	± 2.5
± 2.5	1.00	± 2.5
± 1.0	2.50	± 2.5

Como se puede ver en el ejemplo anterior al aplicar las ganancias correctas al amplificador operacional, la señal de salida queda dentro del rango del convertidor A/D, con lo que se evita su saturación .

CONVERSIÓN ANALÓGICA-DIGITAL: El procedimiento de transformar la información analógica a información digital está basado en el convertidor analógico-digital (ADC por sus siglas en inglés), es la parte fundamental en un sistema de adquisición de datos analógicos y los convertidores A/D más comunes son los siguientes.

- Convertidor de Aproximaciones Sucesivas:
- Convertidor Flash y Half-Flash:
- Convertidor de Integración:
- Convertidor de modulación Delta-Sigma:

A continuación se muestra una comparación entre los diferentes tipos de convertidores analógicos-digitales.

Convertidor de Aproximaciones Sucesivas

- Alta resolución
- Gran velocidad de conversión
- Facilidad de ser multiplexado
- Comúnmente usado en tarjetas de adquisición de datos

Convertidor Flash y half-Flash

- Muy alta velocidad de conversión
- Tecnología avanzada
- Precio alto

Convertidor de Integración

- Alta resolución
- Gran inmunidad a ruido
- Buena linealidad
- Tecnología avanzada
- Baja velocidad de conversión
- Generalmente usados en DMMs

Convertidor Delta Sigma

- Alta resolución
- Excelente linealidad
- Filtro anti-enmascaramiento interconstruido
- Precio alto

De los convertidores A/D va a depender la resolución de las señales muestreadas, por ejemplo, para un convertidor de 12 bits se tendrá una resolución de ± 2048 cuentas si se toma la señal de referencia a la mitad del rango de voltaje que maneja el dispositivo.

ALMACENAMIENTO DE LA INFORMACIÓN: La información digitalizada debe ser almacenada para realizar análisis, impresión, gráficas estadísticas, etc.; los medios más comunes de almacenamiento de datos utilizados en sistemas de registro son los siguientes:

- Cintas magnéticas:
- Discos para computadoras
- Memorias de estado sólido
- Archivo de computadora

Cada uno de estos medios de almacenamiento de datos, tiene sus ventajas y desventajas, su utilización va a depender de las especificaciones de funcionamiento que se plantean en el momento de realizar el diseño de un sistema de adquisición de datos.

PROCESAMIENTO Y DESPLIEGUE DE LA INFORMACIÓN: La información almacenada en el dispositivo de grabación debe poder ser recuperada en forma sencilla y sin perder datos en el proceso, las maneras más comunes de recuperar datos son las siguientes:

- Por medio de computadoras
- Lectores especiales
- Recuperando el dispositivo de almacenamiento (discos de computadora, memoria de estado sólido, cinta magnética, etc.)

Una vez que la información es recuperada esta puede pasar por un procesamiento previo de acuerdo al tipo de señal analizada, algunos de estos procesamientos pueden ser:

- Linealización de datos
- Corrección de offset
- Filtrados digitales
- Convolución
- Transformadas de Fourier
- Agrupamientos estadísticos

La manera en que los datos van a ser visualizados va a depender de la señal de la que se trate, así como de los recursos con los que se dispongan, los métodos más comunes para la presentación de los datos obtenidos son los siguientes:

- Graficación en computadora
- Impresión
- Gráficas estadísticas

APÉNDICE F: REGISTROS ACELEROMÉTRICOS

Los eventos sísmicos registrados por las tarjetas RAD-851 son almacenados en el directorio fuente de la computadora portátil, cada registro tiene los parámetros de identificación de la estación, como se describió anteriormente.

Las gráficas acelerométricas tienen una orientación horizontal de la hoja, en donde se presentan los tres canales a un mismo tiempo, Canal Vertical, Canal Norte/Sur y Canal Este/Oeste; en esa secuencia; en donde la escala vertical corresponde a la aceleración, la cual se puede presentar en cuentas de conversión, ó en gals (1 g = 1000 gals); mientras que la escala horizontal nos representa el tiempo de duración del evento sísmico.

En la parte inferior izquierda de la hoja se presenta la siguiente información del evento almacenado graficado:

- Archivo : Nombre del archivo graficado, ejem: X0021700.288
- Hora : Hora GMT de ocurrencia del evento y hora local
- Fecha : Fecha de ocurrencia del evento sísmico (de acuerdo a la hora GMT)
- Estación : Número de serie de la estación
- Nombre : Nombre programado de la estación
- Ubicación : Ubicación programada a la estación

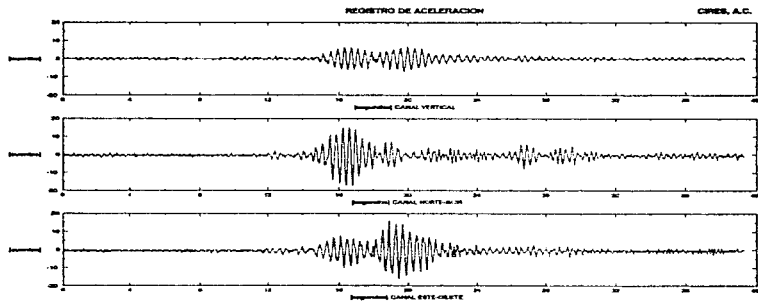
En la parte inferior derecha de la hoja se presenta los máximos y mínimos de las aceleraciones registradas por canal y el segundo en que estas se presentaron:

Canal	Máximo [gals], [segundos]		Mínimo[gals],[segundos]	
Vertical	0.00,	0.00	0.00,	0.00
Norte/Sur	0.00,	0.00	0.00,	0.00
Este/Oeste	0.00,	0.00	0.00,	0.00

A continuación se presentan algunos ejemplos de acelerogramas registrados por las tarjetas RAD-851, incluyendo la gráfica del ruido del sistema de ± 1 cuenta (todas las gráficas tendrán una reducción al 70 % de su tamaño original).

APENDICE F

Movimiento ambiental del edificio del Centro de Instrumentación y Registro Sísmico, captado el día 27 de noviembre de 1996 a nivel azotea (sin referencia de tiempo Omega); registro X0021700.332.

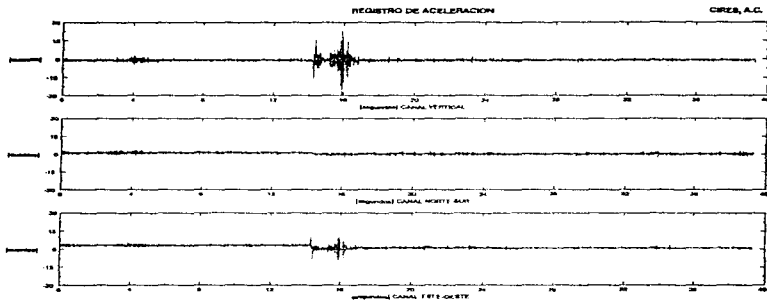


Archivo: X0021700.332
 Hora: 08:32:48 GMT
 Fecha: 27/11/96 GMT
 Estación: 717
 Nombre: AAC-851 CIRIS/LIBS 667-6542
 Ubicación: AZOTEA CIRIS

	Máximo [centímetros], [segundos]	Mínimo [centímetros], [segundos]
VERTICAL	0.03, 0.00	0.00, 0.00
NORTE-SUR	-1.00, 0.00	-1.00, 0.00
ESTE-OESTE	0.00, 0.00	0.00, 0.00

APENDICE F

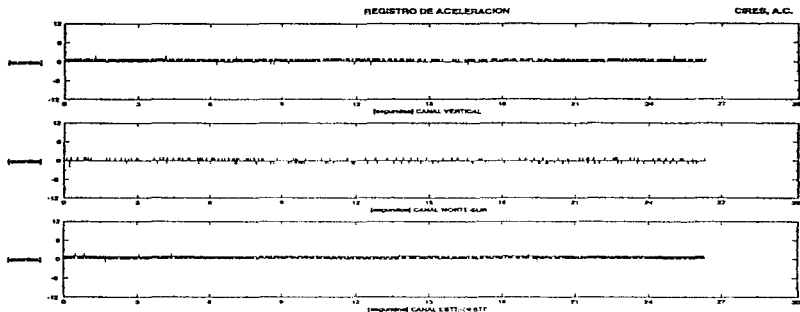
Movimiento ambiental registrado en la estación 46 (ver tabla del apéndice G), captado el día 13 de noviembre de 1996 a nivel planta baja (con referencia de tiempo Omega), registro X46236.00.318.



Archivo: X4623600.318
 Hora: 23:01:03 GMT
 Fecha: 13/11/96 GMT
 Estación: 236
 Nombre: SEC. TEC. No. 14 S DE MAY
 Ubicación: A. LIPINZA Y AV. COTACAGAN
 1

	Máximo [centímetros], [segundos]	Mínimo [centímetros], [segundos]
VERTICAL	-3.00, 0.00	-3.00, 0.00
NORTE-SUR	1.00, 0.00	1.00, 0.00
ESTE-OESTE	1.00, 0.00	1.00, 0.00

Registro del ruido del sistema, ± 1 , observado en la estación 40 (ver tabla del apéndice G), captado el día 28 de noviembre de 1996, con referencia de tiempo. Omega, registro X4021500.333.



Archivo: X4021500.333
 Hora: 20.28.46 GMT
 Fecha: 28/11/96 GMT
 Estación: 40215
 Nombre: INSTITUTO MEDICO PEDAG
 Ubicación: ANTIQUO CAMINO A AGUILCO

	Máximo [cuentas], [segundos]	Mínimo [cuentas], [segundos]
VERTICAL:	1.00, 0.00	1.00, 0.00
NORTE-SUR:	0.00, 0.00	0.00, 0.00
ESTE-OESTE:	0.00, 0.00	0.00, 0.00

APÉNDICE G: TARJETAS RAD-851 INSTALADAS EN CAMPO

La lista siguiente nos proporciona la ubicación y el número de estación acelerométrica que fué modernizada con la tarjeta RAD-851, hasta el 21 de Noviembre de 1996,

ESTACIONES MODERNIZADAS CON LA TARJETA RAD-851			COORDENADAS	
No.	ESTACIÓN	UBICACIÓN	LAT N	LON W
2*	Esc. Prim González Garzón	Calle Xico esq alpatláhuac	19.4290	99.0584
4*	Multifamiliar Juárez II	Antonio M.Anza y Orizaba.	19.4098	99.1566
6*	Jardín de Niños Xochipilli	5 de Febrero y Lucas	19.4198	99.1353
8*	Deportivo Antonio Caso T-II	Nonoalco-Tlatelolco	19.4500	99.1336
10*	Esc. Prim Plutarco Elias	Plutarco Elias Calles esq.	19.3809	99.1318
12*	Deportivo Moctezuma	Oriente 168 y Norte 25.	19.4312	99.0963
14*	Esc. Pnm. José Ordaz López	Puebla 2, Providencia	19.4808	99.0760
16*	Deportivo Reynosa	Eje 5 Nte. y Sn. Pablo	18.5005	99.1829
18*	Esc. Prim Ramón Espinoza	C3 y Carril. Sn. Juan	19.3398	99.0877
20*	Nezahualcóyotl	Deportivo Neza-IMSS	19.4027	99.0000
22*	Esc. Sec. Téc. No. 95	C. Crestón y C.	19.3450	99.1297
24*	Alberca Olímpica	Río Churubusco y Div.	19.3580	99.1539
26	Esc. Sec. Téc. No. 56	Av. Sta. Cruz, Topilejo	19.1974	99.1401
28*	Cerro del Peñón	Peñón de los Baños	19.4385	99.0839
30*	Jardín Esparza Oteo	Pensylvania y Georgia.	19.3885	99.1772
32*	GETIS No. 57	Av. Tepalcates y Verdusco.	19.3858	99.0537
34*	Esc. Prim. Alvaro Obregón	Guadalupe 28, San Pedro	19.2016	99.0491
36*	Jardín de Niños Xochimilco	Club España de Remo y	19.2711	99.1024
38*	Jardín de Niños Luz García	Culhuacán, Juana Medina	19.3181	99.1059
40*	Inst. Méd. Pediátrico (SEP -	Antiguo camino a Acapulco	19.0000	99.2032
42*	Palacio de los Deportes	Río Churubusco y Ahil,	19.4055	99.0997
44*	Unidad Colonia IMSS	Villalongín 117, Sn. Rafael	19.4337	99.1654
46*	Esc. Sec. Téc. No. 14 ** de	Angel Urraza y Coyacoacán	19.3832	99.1681
48*	Esc. Pnm. Rodolfo	Loreto y Sn. Idefonso,	19.4349	99.1280
50*	Miriscal Tito	Reforma y Gandhi,	19.4253	99.1900
52*	Esc. Sec. Téc. Rafael Donde	Manano Escobedo y Lago	19.4383	99.1820
64*	Parque Jardines de	Dallas e Ins.	19.3130	99.1272
66*	Esc. Sec. Téc. No. 18	Córdoba 68, Roma	19.4215	99.1590
58*	Esc. Sec. Dna No. 23	Liverpool 40, Juárez	19.4283	99.1569
60	Sec. Com. y Transp. (SCT)	Xola y Universidad	19.3930	99.1470
62*	Esc. Sec. Téc. No. 2	Eje Central 10, Centro	19.4395	99.1401
64*	Cerro Apaxac	Mariano Salas y Cantero,	19.4876	99.1137
66*	Central de Abasto, Oficinas	Central de Abasto	19.3728	99.0983
68*	J. N. Juan Bautista de la	Canal de Apatlaco y	19.3809	99.1068
70*	Inst. Méd. Pediátrico (SEP -	Antiguo camino a Acapulco	19.3428	99.2032
72*	Hospital Juárez	Jesús María, Centro, Sn	19.4251	99.1301
74*	Fundación Javier Barros	Carretera al Ajusco, 203	19.2990	99.2100
76	República de Italia	Cda. Bolivares y CMarx,	19.4473	99.1000
78*	Esc. Sec. Téc. No. 243	Colinas del Sur	19.3566	99.2262
80*	Esc. Prim. Adora López	Central de Sur (Guernanco)	19.2938	99.1037
82	Esc. Prim. Fed. Ignacio	Ecatepec, Cerro Gordín	19.5402	99.0630
84*	Culhuacán	Culhuacán	19.3300	99.1254
86	Esc. Prim. Miguel Hidalgo y	Ecatepec, Sn. Agustín	19.5275	99.0478
E08*	Sec. No. 3, Azotea - Centro	Av. Chapultepec	19.4236	99.1602
E09*	Sec. No. 3, Biblioteca	Av. Chapultepec	19.4236	99.1602
E1*	Sec. No. 3, Planta baja -	Av. Chapultepec	19.4236	99.1602

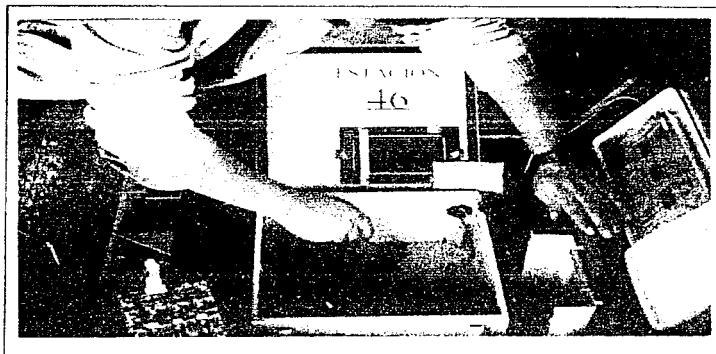
Tabla 7. *Tarjetas instaladas en el Valle de México

APENDICE G

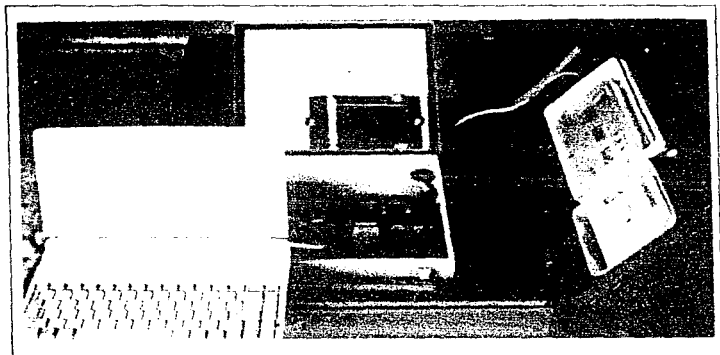
Las fotografías siguientes muestran la instalación en campo de las tarjetas RAD-851 en diversos puntos del Distrito Federal, hasta el 29 de Noviembre de 1996.



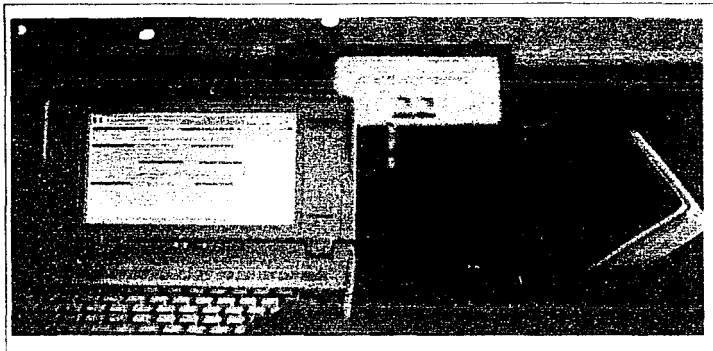
Cambio de tarjeta madre de la estación 46 en donde se observa en primer plano la tarjeta DCA-333, y el dispositivo de grabación a cinta magnetica



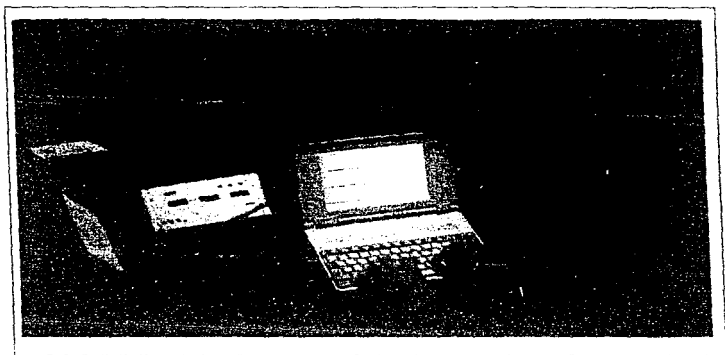
Limpieza de la estación 46



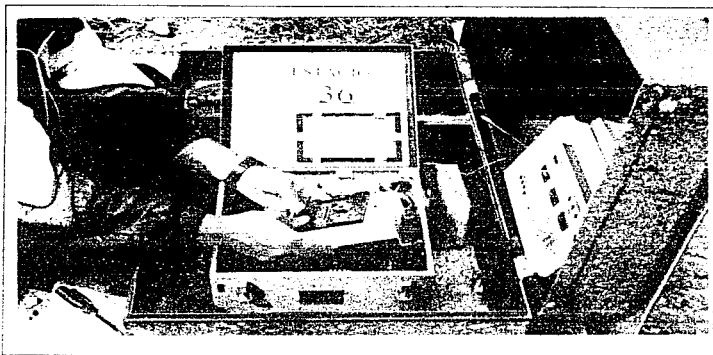
Tarjeta RAD-851 instalada y funcionando en la estación 46



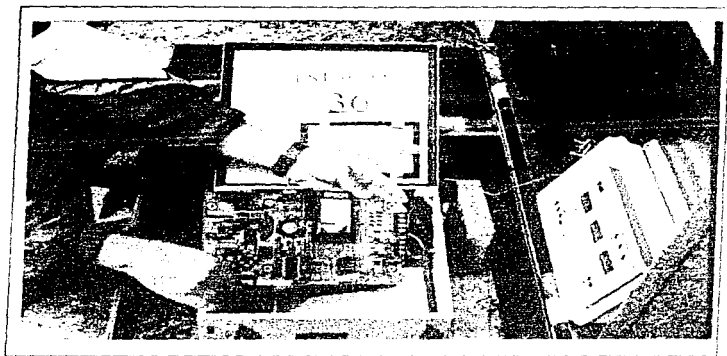
Tarjeta RAD-851 siendo programada en la estación 22



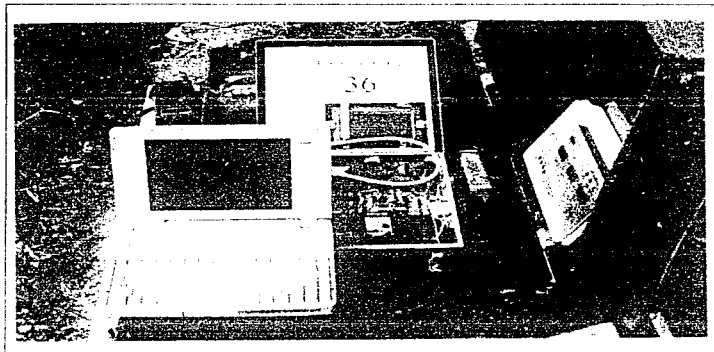
Monitoreo de la estación 22 mediante una computadora portátil



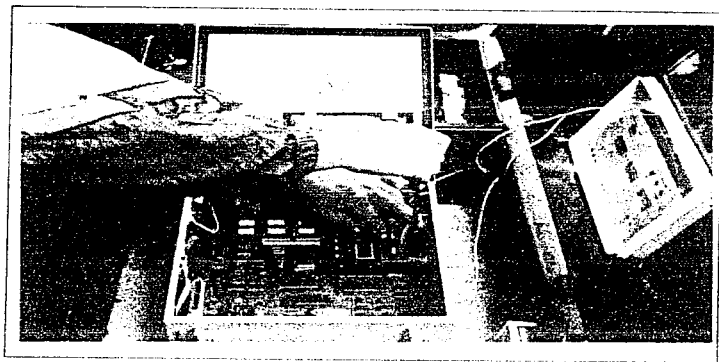
Retiro del dispositivo de grabación de cinta magnética y de la tarjeta DCA-333



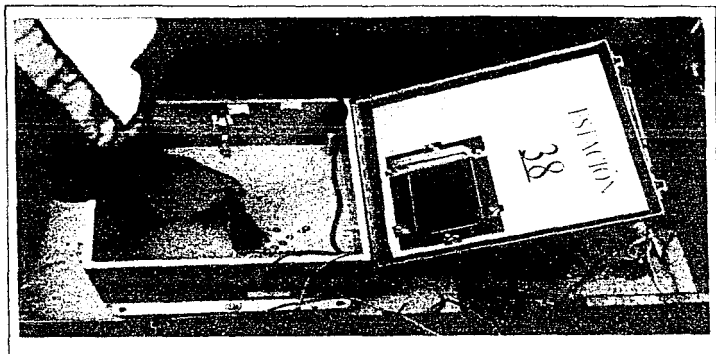
Instalación de la tarjeta RAD-851 en la estación 35



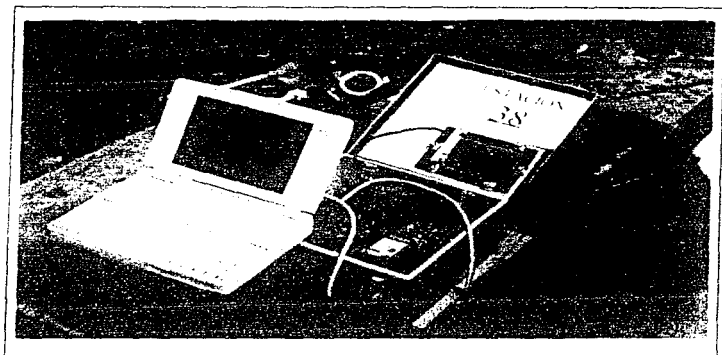
Conexión de la computadora portátil y la tarjeta RAD-851 en la estación 36



Cambio de la tarjeta madre DCA-333 en la estación 38



Limpeza de la estación 38



Tarjeta RAD-851 en la estación 38, monitoreando en tiempo real los acelerómetros