

127



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

TEORIA Y DISEÑO DE UN CONTROLADOR PID, MULTIVARIABLE BASADO EN LA MICROCOMPUTADORA MC68HC11E9

T E S I S

QUE PARA OBTENER EL TITULO DE INGENIERO MECANICO ELECTRICISTA EN EL AREA DE ELECTRONICA P R E S E N T A N :

ADRIAN OLVERA ALVARADO LUIS ALBERTO MARTINEZ ORTIZ

DIRECTOR DE TESIS: ING. RICARDO GARIBAY JIMENEZ

TESIS CON FALLA DE ORIGEN

MEXICO, D. F.

1984





Universidad Nacional  
Autónoma de México



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

**TEMA:**

TEORÍA Y DISEÑO DE UN CONTROLADOR PID MULTIVARIABLE BASADO EN LA MICROCOMPUTADORA MC68HC11E9.

**OBJETIVO:**

DISEÑAR UN CONTROLADOR PID QUE CONTROLE MÚLTIPLES VARIABLES, CON FUNDAMENTO EN LA TEORÍA DE CONTROL DIGITAL, BASADO EN LA MICROCOMPUTADORA MC68HC11E9 CON UN PROCESAMIENTO POR TIEMPO COMPARTIDO.

# ÍNDICE

## PRÓLOGO

### 1.- INTRODUCCIÓN A LOS SISTEMAS DE CONTROL DIGITAL

1.1 INTRODUCCIÓN	1
1.1.1 Sistemas de control	1
1.1.2 Características de los sistemas de control	4
1.1.3 Representación de los sistemas de control	5
1.1.4 Terminología	8
1.2 SISTEMAS DE CONTROL	12
1.2.1 Antecedentes	12
1.2.2 Descripción de un sistema de control digital	13
1.2.3 Ventajas y desventajas del control digital	20

### 2. SISTEMAS DE DATOS MUESTREADOS

2.1 CONVERSIÓN D/A	23
2.2 CONVERSIÓN A/D	26
2.3 MUESTREO DE SEÑALES Y CIRCUITO DE MUESTREO Y RETENCIÓN (M/R)	27
2.3.1 Descripción y modelo matemático del dispositivo muestreador	27
2.3.2 Teorema de muestreo	41
2.3.3 Retén de orden cero	42
2.4 CUANTIFICACIÓN Y ERROR DE CUANTIFICACIÓN	45
2.4.1 Clasificación de los cuantificadores	46
2.4.2 Cuantificador uniforme	47
2.4.3 Error de cuantificación	52

### 3.- EL CONTROLADOR DIGITAL PID

3.1 ACCIONES DE CONTROL BÁSICAS DE SISTEMAS CONTINUOS	59
3.1.1 Control de dos posiciones (ON-OFF)	60
3.1.2 Control proporcional	61
3.1.3 Control derivativo	62
3.1.4 Control integral	63
3.1.5 Control proporcional, integral y derivativo (PID)	64

3.2 TÉCNICAS DE APROXIMACIÓN DISCRETA DE SISTEMAS CONTINUOS	64
3.3 EL CONTROLADOR DISCRETO PID	66
3.3.1 Aproximación discreta del controlador PID analógico	67
3.3.2 Posibilidad de realización física	68
3.3.3 Sintonización del controlador PID	69
3.4 CONTROLADORES DIGITALES BASADOS EN UN MICROPROCESADOR	71
3.4.1 Métodos de programación digital	71
3.4.2 Organización básica de un sistema con microprocesador	75
3.4.3 Estructura general de un programa de control	77
3.4.4 Restricciones de los controladores digitales basados en microprocesador	79

## 4.- LA MICROCOMPUTADORA MC68HC11E9

4.1 INTRODUCCIÓN	83
4.1.1 Descripción resumida de la microcomputadora MC68HC11E9	83
4.1.2 Elementos de programación	85
4.2 DESCRIPCIÓN DE SEÑALES Y MODOS DE OPERACIÓN	85
4.2.1 Descripción de señales presentes en las terminales	86
4.2.2 Modos de operación	89
4.3 MAPAS DE MEMORIA DE LA MICROCOMPUTADORA MC68HC11E9	91
4.4 INTERFAZ DE COMUNICACIÓN SERIE (ICS)	92
4.5 INTERFAZ PARA PERIFÉRICO SERIE (IPS)	93
4.6 CONVERTIDOR A/D	94
4.6.1 Principio de funcionamiento	94
4.6.2 Proceso de conversión	97
4.6.3 Consideraciones de conexión a las terminales del convertidor A/D	98
4.7 RELOJ PROGRAMABLE	103
4.8 TIPOS DE REINICIO, INTERRUPCIONES Y MODOS DE BAJA POTENCIA	103
4.8.1 Tipos de reinicio	103
4.8.2 Interrupciones	105
4.9 REGISTROS DE LA UCP Y MODOS DE DIRECCIONAMIENTO	106
4.9.1 Registros de la UCP	106
4.9.2 Modos de direccionamiento	108

## 5. DISEÑO DEL CONTROLADOR PID DIGITAL

5.1 PLANTEAMIENTO	109
5.1.1 Introducción	109
5.1.2 Especificaciones de diseño	109
5.1.3 El controlador visto como caja negra	111
5.1.4 Secuencia propuesta de manejo	115
5.1.5 Determinación del periodo de muestreo	121
5.2 DISEÑO DEL HARDWARE	126
5.2.1 Diagrama de bloques	126
5.2.2 Interfaz de entrada	127
5.2.3 Circuito digital	152
5.2.4 Conversión D/A e interfaz de salida	154
5.2.5 Secuencias de calibración	167
5.2.6 Fuente de potencia	169
5.2.7 Diagrama eléctrico	174
5.3 DISEÑO DEL SOFTWARE	177
5.3.1 Diagrama de flujo general	177
5.3.2 Selección del método de programación digital para $G_m(z)$	178
5.3.3 Discusión acerca de las señales y parámetros para la programación de $G_m(z)$	186
5.3.4 Consideraciones respecto a la RAM interna de la microcomputadora	212
5.3.5 Diagramas de flujo	216
CONCLUSIONES	233
BIBLIOGRAFÍA	237

## **PRÓLOGO:**

Los avances tecnológicos alcanzados en la rama de la ingeniería electrónica, permiten la construcción de sistemas de control cada vez más sofisticados. Muchos de estos sistemas, incluyen en su estructura, computadoras analógicas y/o digitales, las cuales realizan el procesamiento de las señales presentes en el sistema físico; este procesamiento involucra algoritmos de control bien definidos en el análisis de sistemas físicos; las operaciones pueden ser lógicas y aritméticas efectuadas sobre ciertas variables que influyen en el comportamiento de un sistema con el fin de que éste proporcione a su salida el valor o rangos de valores preestablecidos por el diseñador.

El presente trabajo se enfoca al diseño de un controlador digital basado en la microcomputadora MC68HC11E9 empleando un algoritmo proporcional, integral y derivativo aplicado sobre 4 procesos diferentes en tiempo compartido. Una de las ventajas más claras que ofrece, es que solamente se requiere un dispositivo de procesamiento con ciertas restricciones en cuanto a la frecuencia de muestreo usada.

Todos estos conceptos son explicados con mayor detalle en el desarrollo de este trabajo, haciendo énfasis en el aspecto matemático para justificar de esta manera muchos de ellos.

El contenido de los primeros 4 capítulos corresponde a la teoría en la cual se basa el controlador digital propuesto; en el capítulo número 5 se proporciona el diseño del hardware y del software así como también los diagramas eléctrico y de flujo del programa completo de control. Finalmente se dan las conclusiones sobre el diseño propuesto.

# CAPÍTULO 1



# 1. INTRODUCCIÓN A LOS SISTEMAS DE CONTROL DIGITAL.

## 1.1 INTRODUCCIÓN.

### 1.1.1 Sistemas de Control.

Se define un sistema como un conjunto de componentes físicos dispuestos de una forma adecuada para realizar una función específica. Un sistema de control es un sistema en el que algunas cantidades físicas son controladas regulando una o varias entradas de energía.

Para controlar una cantidad física deseada, se pueden usar técnicas analógicas y/o digitales. Anteriormente era común en sistemas de control usar sistemas analógicos con técnicas analógicas; estos sistemas fueron relativamente complejos, voluminosos y difíciles de manejar para el diseño y mantenimiento; sin embargo, con el desarrollo de la tecnología digital y la invención de los circuitos integrados (CI's), el diseño de los sistemas de control se tornó más sencillo y de menor costo. En la actualidad muchos sistemas de control son controlados por microprocesador debido principalmente a la disponibilidad de CI's de control de bajo costo y a los grandes avances en el manejo de datos.

En un sistema de control ideal, una salida está en función directa de una entrada; sin embargo, en la práctica se tienen perturbaciones que afectan la salida que está siendo controlada y provocan desviaciones del valor deseado. La naturaleza de estas perturbaciones varía de sistema a sistema; por ejemplo, en un sistema de control eléctrico algunas de las perturbaciones que afectan desfavorablemente la salida son el ruido, las variaciones en la fuente de potencia, tolerancia de los componentes y condiciones ambientales. En un sistema de control es de suma importancia identificar estas perturbaciones; una vez identificadas, el sistema debe modificarse o compensarse para minimizar o eliminar su efecto sobre la salida.

Los sistemas de control se clasifican de acuerdo a las siguientes características:

- 1.- Uso de la realimentación.
- 2.- Tipo de técnica(s) usada(s) para ajustar la salida al valor deseado.
- 3.- Naturaleza de los componentes usados para el sistema en estudio.
- 4.- Aplicación deseada del sistema.

Algunas veces los sistemas de control se clasifican como seguidores o reguladores, dependiendo de la relación entre la salida y la entrada. En un sistema de control seguidor, la salida sigue a la entrada; si la

entrada cambia, la salida cambiará de igual forma. En un sistema de control regulador, la salida es regulada variando dentro de un rango predeterminado sin importar los cambios en la entrada. Un ejemplo de un sistema regulado es una fuente de potencia regulada.

## 1.- Sistemas de control de malla abierta y de malla cerrada.

Este es el criterio más común de clasificación de los sistemas de control. En un sistema de control dado, si una salida o parte de una salida es realimentada con el fin de compararse con una entrada, se dice que el sistema es realimentado. El arreglo forma una malla cerrada y va de una entrada a una salida regresando a la entrada, por lo que se le llama sistema de malla cerrada.

Si un sistema no usa realimentación es un sistema de malla abierta. En un sistema de malla cerrada, la diferencia entre la señal realimentada y la señal de entrada, es llamada señal de error. La señal de error es usada para ajustar la salida al valor deseado.

Existen dos tipos de realimentación, la realimentación positiva o regenerativa y la realimentación negativa o degenerativa. En la realimentación positiva, la señal de realimentación se suma a la señal de entrada; cuando ésta se utiliza, la entrada pierde control sobre la salida o en otras palabras la salida es generada sin la entrada. En vista de esto, la realimentación positiva raramente se utiliza.

En la realimentación negativa la señal de realimentación se opone en signo a la señal de entrada. Generalmente las consecuencias de la realimentación negativa son ventajosas, por lo que es ampliamente utilizada.

Entre los efectos de la realimentación negativa se encuentran: la reducción del error del sistema, el aumento o disminución de ganancias para distintas gamas de frecuencia, la reducción de las no linealidades inherentes del sistema; manejada adecuadamente ayuda a mejorar la estabilidad y en cuanto a las perturbaciones su efecto depende del lugar donde se introducen al sistema, pero en muchos casos ayuda a disminuir sus repercusiones en el mismo.

Las mayores ventajas de un sistema de control de malla abierta son su relativa sencillez y su mantenimiento generalmente fácil y barato. Sin embargo, estos sistemas son menos exactos que otros y más susceptibles a perturbaciones externas. Casi todos los sistemas de malla abierta son precalibrados; por ejemplo, una lavadora, una secadora, un horno de microondas y un tostador.

Como contraparte, los sistemas de malla cerrada son más exactos, estables y menos sensibles a perturbaciones externas pero son relativamente caros, complejos y su mantenimiento no es tan sencillo.

## 2.- Sistemas de control analógico y digital.

Los sistemas de control se clasifican de acuerdo a las técnicas de operación utilizadas en analógicos y digitales. Para un sistema dado, la

elección de las técnicas a utilizar depende de muchos factores como son la confiabilidad, la exactitud, la simplicidad y el costo. Una vez diseñado el sistema, su desempeño se evalúa usando ciertas técnicas. Por ejemplo, los sistemas lineales se analizan usando técnicas gráficas tales como la traza polar o de Nyquist, el lugar geométrico de las raíces y la traza de Bode. Las trazas de Bode y Nyquist son usadas para establecer el desempeño del sistema en estado estable, mientras que el lugar geométrico de las raíces es usado si nuestro principal interés es la respuesta transitoria del sistema.

### 3.- Sistemas de control lineales y no lineales.

Se dice que un sistema es lineal si satisface la propiedad de proporcionalidad y el principio de superposición. De acuerdo con la propiedad de proporcionalidad, si la salida de un sistema es  $c(t)$  para una entrada determinada (excitación)  $r(t)$ , una entrada  $kr(t)$  debe producir una salida  $kc(t)$  donde la constante  $k$  se conoce como constante de proporcionalidad. En cuanto al principio de superposición, éste nos indica que si la entrada  $r_1(t)$  produce la salida  $c_1(t)$  y la entrada  $r_2(t)$  produce la salida  $c_2(t)$ , una entrada  $[r_1(t) + r_2(t)]$  deberá producir una salida  $[c_1(t) + c_2(t)]$ , donde  $r_1(t)$  y  $r_2(t)$  son entradas arbitrarias tales como el escalón, la rampa, la función seno y la exponencial.

Un sistema es no lineal si no cumple con estos principios. Los sistemas no lineales son analizados generalmente usando técnicas como la de datos muestreados y la función de descripción; estas técnicas no sólo son complejas sino también engorrosas, por lo que los sistemas no lineales con frecuencia son compensados para que se comporten como sistemas lineales. Generalmente la operación no lineal de los componentes de un sistema se restringe a un rango específico que puede o no considerarse lineal.

### 4.- Sistemas de control de acuerdo a su aplicación.

**Servomecanismos:** Un servomecanismo es un sistema de control en el que la salida o variable controlada es una posición mecánica o su razón de cambio. Dos ejemplos comunes de servomecanismos son un sistema de control de velocidad de un motor de c.d. y un sistema de control de posición de un motor a pasos.

**Sistemas de control secuencial:** Un sistema de control secuencial es aquél que realiza un conjunto determinado de operaciones. Una lavadora automática es un ejemplo de este tipo de sistemas ya que realiza operaciones preestablecidas secuencialmente como llenar la tina, lavar la ropa, drenar la tina, enjuagar la ropa, etc. Frecuentemente un sistema de control secuencial es un sistema electromecánico que utiliza interruptores, relevadores y/o solenoides.

**Sistemas de control numérico:** Los sistemas de control numérico actúan sobre información numérica almacenada en un medio de control. La información numérica incluye variables controladas como posición, dirección y velocidad normalmente codificadas en forma de instrucciones. El medio de control es simplemente un medio de almacenamiento como tarjetas

perforadas, cinta magnética o memorias que contienen todas las instrucciones necesarias para llevar a cabo el proceso deseado de manufactura. Algunas operaciones de manufactura son el perforado, molido, taladrado, soldado, fresado, etc. La mayor ventaja de un control numérico es la flexibilidad del medio de control. En otras palabras, la misma máquina o arreglo puede ser usado para manufacturar un número de partes distintas simplemente cambiando el medio de control. Actualmente muchas operaciones de manufactura se realizan mediante control numérico debido al desarrollo de los microprocesadores.

**Sistemas de control de procesos:** En un sistema de control de procesos son controladas las variables en un proceso de manufactura. Algunas variables comúnmente controladas son temperatura, presión, nivel de líquido, conductividad, pH y composición. Ejemplos de estos procesos son una planta ensambladora de automóviles, una planta de energía eléctrica, una lechería y una refinería. Generalmente los sistemas de control de procesos son en malla cerrada debido a las ventajas inherentes de la realimentación negativa.

Finalmente se tiene que cuando en un sistema de control los parámetros son estacionarios respecto al tiempo durante el funcionamiento del sistema, el sistema es invariable en el tiempo. Si la variación de algún parámetro es significativa durante el período de operación, el sistema se denomina sistema variante en el tiempo.

### 1.1.2 Características de los sistemas de control.

Aunque los sistemas son diseñados para realizar distintas funciones, todos ellos tienen que reunir requisitos comunes. Las características principales de un sistema de control típico son estabilidad, exactitud, rapidez de la respuesta y sensibilidad de la salida a los componentes y cambios ambientales. El grado de importancia de esas características es jerarquizado por el diseñador basado en la naturaleza del sistema así como de la aplicación.

**Estabilidad.** Se dice que un sistema es estable si su salida alcanza cierto valor de estado estable en  $t \rightarrow \infty$  después de aplicar una entrada en  $t = 0$ . Cuando una salida del sistema permanece constante en el tiempo, se dice que ha alcanzado un valor de estado estable. Un sistema inestable jamás alcanza el valor de estado estable. La salida de un sistema inestable se va incrementando conforme aumenta el tiempo hasta que el sistema sufre una avería. Un sistema práctico debe ser estable; un sistema inestable puede hacerse estable utilizando ciertas técnicas de las cuales la más común es el uso de redes compensadoras. Con frecuencia un sistema inestable se hace estable usando realimentación negativa.

Se usan técnicas gráficas y analíticas para determinar la estabilidad de los sistemas de control. Las técnicas más frecuentemente utilizadas son los criterios de Routh-Hurwitz y de Jury que son técnicas analíticas y las trazas de Bode y Nyquist que son técnicas gráficas.

Muchos sistemas con retardos o tiempos muertos tienden a ser inestables por lo que deben tomarse precauciones en su diseño. Un tiempo muerto o retardo es la diferencia entre el instante en el que una entrada es aplicada al sistema y el instante en el que se produce la salida. El tiempo muerto en sistemas de control es equivalente al tiempo de propagación de los CI's (circuitos integrados).

**Exactitud.** La exactitud indica la desviación del valor de la salida con respecto al valor deseado y representa una medida relativa del funcionamiento del sistema. En la mayoría de los sistemas prácticos la estabilidad y la exactitud están relacionadas entre sí. En un descuido se puede perder estabilidad al intentar mejorar la exactitud o viceversa. Generalmente la exactitud de un sistema de control se mejora usando acciones de control integral o proporcional + integral. En la práctica, rara vez se esperan sistemas totalmente exactos. Usualmente los sistemas que usan realimentación negativa son más exactos que aquellos que no la usan (sistemas de malla abierta). La exactitud es un término relativo y es definida por el usuario basado en la naturaleza y aplicación del sistema considerado.

**Rapidez de respuesta.** La rapidez de respuesta es una medida de qué tan rápido alcanza la salida un valor de estado estable después de que se aplica una entrada. En el dominio del tiempo, la respuesta (salida) de un sistema dado se compone de una parte transitoria y otra de estado estable. En la práctica es muy difícil analizar sistemas superiores a los de segundo orden por lo que con fines de simplificación, los sistemas de orden superior son aproximados a los de segundo orden y analizados con una entrada escalón ya que este tipo de entrada simplifica aun más el análisis del funcionamiento del sistema. Si un sistema es estable a una entrada escalón, entonces debe ser estable para cualquier otra entrada.

Antes de que un sistema sea fabricado, se modela usando ecuaciones matemáticas (diferenciales o en diferencias según sea el caso) y se analiza usando técnicas gráficas y/o analíticas. Una vez que los resultados de estas técnicas son satisfactorios, el sistema puede ser construido. Un sistema práctico debe tener una respuesta transitoria aceptable.

**Sensibilidad.** La sensibilidad de un sistema es una medida de qué tan sensible es la salida a los cambios en los valores de los componentes físicos así como a las condiciones ambientales. En un buen diseño de un sistema, la salida depende principalmente de la entrada y no de señales indeseadas o perturbaciones. La dependencia de la salida de las perturbaciones puede minimizarse usando determinadas redes de compensación. La sensibilidad de un sistema dado a la variación de un componente específico en el mismo puede determinarse matemáticamente con el fin de mejorar su desempeño.

### 1.1.3 Representación de los sistemas de control.

Para representar sistemas de control se hace uso de métodos

gráficos. Dos de estos métodos frecuentemente utilizados son el diagrama de bloques y el reograma. Estos métodos gráficos contienen toda la información importante acerca del sistema que se está representando.

1) **Diagrama de bloques.**- El diagrama de bloques de un sistema está formado de bloques unidos con segmentos de recta dirigidos y usa uniones sumadoras para sumar algebraicamente las señales. La figura 1.1.1 muestra dos tipos distintos de diagramas de bloques: el de malla abierta y el de malla cerrada; usados para representar a los sistemas de control. La dirección del flujo de señales se indica con las cabezas de flecha.

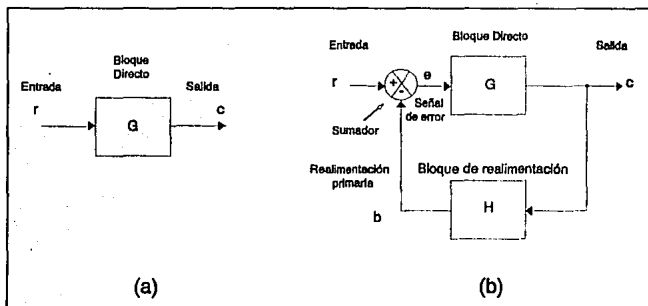


Figura 1.1.1 Diagramas de bloques de sistemas de control de (a) malla abierta y (b) malla cerrada.

Aunque un sistema de control de malla abierta puede estar compuesto por más de un bloque, siempre se puede representar por un solo bloque resultante. Existen reglas de simplificación de diagramas de bloques para reducir un diagrama de bloques dado a un solo bloque. Un sistema de control realimentado puede ser representado usando dos bloques: el bloque directo y el bloque de realimentación. Generalmente una expresión matemática en el dominio complejo es encerrada dentro de cada bloque y relaciona la salida y la entrada del mismo por lo que se le denomina función de transferencia. La función de transferencia no es más que la razón algebraica que resulta de dividir la salida entre la entrada cuando han sido trasladadas al dominio complejo mediante una transformación lineal (comúnmente mediante la transformación de Laplace o la Z).

En la figura 1.1.1 (b), la función del sumador es realizar una diferencia entre la entrada y la señal realimentada para generar una

señal de error. La señal de realimentación primaria es una señal que se deriva de la salida con el objeto de compararse con la entrada para generar una señal de error. Un sistema de malla cerrada puede tener múltiples realimentaciones pero la realimentación primaria es la más importante. La función del bloque de realimentación es convertir la señal de salida a una señal de tamaño adecuado compatible con la señal de entrada. Cuando la señal de salida no requiere un proceso adicional, puede realimentarse directamente con lo que se tiene un sistema de control con realimentación unitaria.

El diagrama de bloques además de su simplicidad tiene la ventaja de que puede obtenerse fácilmente la función de transferencia global del sistema considerado. La función de transferencia total se utiliza después para analizar el funcionamiento del sistema a través de técnicas analíticas y/o gráficas.

2) Reograma. - Un reograma es un diagrama que indica la forma en la cual fluye una señal en un sistema dado por medio de segmentos dirigidos. Los diagramas de bloques de la figura 1.1.1 son representados en forma de reogramas en la figura 1.1.2. Cada variable es representada por un pequeño círculo llamado nodo y los segmentos de línea dirigidos son denotados por su correspondiente función de transferencia (ganancia) incluyendo el signo respectivo. Un 1 sobre el segmento de línea dirigida indica que esa función de transferencia es unitaria.

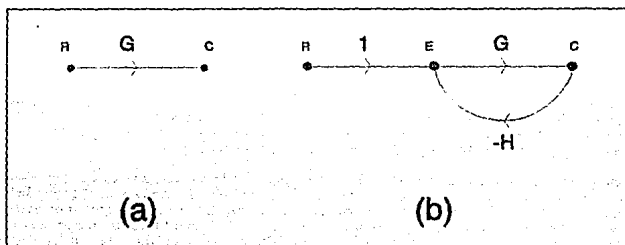


Figura 1.1.2 Reogramas para sistemas de control de (a) malla abierta y de (b) malla cerrada.

La función de transferencia total de un sistema dado cuyo reograma se ha dibujado puede obtenerse usando la regla de Mason. El método del reograma es más simple que el del diagrama de bloques principalmente cuando se desea obtener la función de transferencia total de un sistema muy complicado. Una vez obtenida la función de transferencia total se usarán las técnicas ya descritas para evaluar el funcionamiento del sistema.

### 1.1.4 Terminología.

A continuación se presentan algunos términos y convenciones usados en sistemas de control, algunos de los cuales se desprenden del diagrama de bloques de la figura 1.1.3.

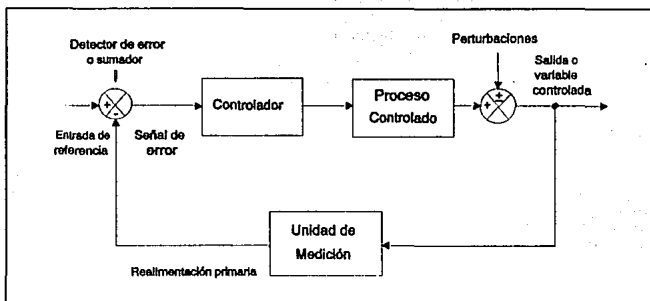


Figura 1.1.3 Diagrama de bloques de un sistema de control típico de malla cerrada.

1) **Entrada  $r(t)$ :** Es una excitación aplicada al sistema desde una fuente externa. Dependiendo de la naturaleza del sistema de control puede llamarsele entrada de referencia o punto de ajuste (set point). A la entrada también se le conoce como función comando.

2) **Sumador:** Es un dispositivo físico que realiza la suma algebraica de las señales de entrada para producir una señal de salida. Generalmente en los sistemas de control de malla cerrada se tienen dos señales de entrada: la entrada de referencia y la realimentación primaria. La realimentación primaria siempre es función de la salida. Si la realimentación es negativa, la señal de salida del sumador será la diferencia entre la señal de entrada y la señal de realimentación. En los sistemas seguidores, a este sumador se le conoce como detector de error ya que su salida es la diferencia entre la señal de referencia y la salida medida. Tan pronto como la salida sea distinta de la entrada de referencia, el sistema es activado, en caso contrario, el sistema estará desactivado. En sistemas eléctricos generalmente se usa un amplificador operacional como elemento sumador.

3) **Controlador:** Es un dispositivo que controla el proceso en un sistema dado. Casi siempre actúa sobre una señal de error obtenida en el



detector de error para producir una señal de control que comandará el proceso controlado hasta lograr que la señal de error sea cero.

4) **Proceso controlado:** También llamado sistema controlado o planta. Es el sistema físico del cual una o más variables de salida serán controladas.

5) **Unidad de medición:** También llamado bloque de realimentación. Es el elemento requerido para compatibilizar la señal de salida del sistema de control con la entrada de referencia para que puedan ser procesadas por el sumador.

6) **Señal controlada o salida:** Es la cantidad o condición de la planta que será controlada.

7) **Señal de realimentación:** Es la variable de salida de la planta traducida al tipo de señal que maneja el controlador.

8) **Señal de error:** También llamada señal actuadora. Es la suma algebraica entre la señal de referencia y la señal de realimentación. Representa la exactitud del sistema de control.

9) **Señal de control:** Es la señal que el controlador aplica a la planta para modificar su operación con fines de control.

10) **Perturbaciones:** Son un conjunto de señales indeseadas que afectan desfavorablemente la salida del sistema de control; por ejemplo, cambios en la temperatura ambiental, ruido electromagnético, tolerancia de los componentes, variación en los valores de los componentes como función de la temperatura, humedad, etcétera. Aunque los efectos de las perturbaciones en un sistema de control no pueden ser completamente eliminados, pueden ser reducidos usando ciertas redes de compensación.

11) **Red de compensación:** Es una red usada para compensar un sistema. Un sistema es compensado cuando se modifica con el objeto de que la respuesta se aproxime al valor deseado. Existen gran variedad de redes de compensación tales como las de atraso, adelanto, atraso-adelanto y adelanto-atraso. Algunas veces un sistema de control puede ser compensado simplemente ajustando los valores y características de sus componentes.

12) **Modo, acción o ley de control:** Es la forma en la que el controlador actúa sobre la señal de error para generar la señal de control. Las más importantes acciones de control son la proporcional, integral, derivativa y sus combinaciones además de la ON-OFF. La elección del modo de control depende principalmente de la exactitud deseada y de la velocidad de respuesta.

13) **Respuesta en estado estable:** Es el valor que alcanza una salida de un sistema en un tiempo  $t \rightarrow \infty$  después de haberse aplicado una entrada. Una vez alcanzado, este valor no cambia mientras no cambie la entrada.

14) **Tiempo de establecimiento:** Es el tiempo que tarda la salida de un sistema en alcanzar su valor de estado estable después de aplicar una

entrada o de verificarse un cambio en ésta. Teóricamente es infinito.

15) **Error en estado estable:** Es el valor de la señal de error cuando  $t \rightarrow \infty$ . El error en estado estable puede ser calculado usando el teorema del valor final.

16) **Función de transferencia:** Se define como la función transformada de la salida entre la función transformada de la entrada. La transformación de estas señales se hace al dominio complejo. Las transformaciones más conocidas y usadas son la de Laplace y la Z, utilizadas en sistemas continuos y discretos respectivamente. En una función de transferencia las condiciones iniciales se suponen nulas ya que afectan sólo a la respuesta transitoria y casi todos los sistemas prácticos se diseñan teniendo en mente la respuesta en estado estable. Generalmente la función de transferencia viene dada por la división algebraica de dos polinomios de variable compleja.

17) **Polos y Ceros:** Para una función de transferencia dada, las raíces del polinomio del numerador se conocen como ceros y las raíces del polinomio del denominador se conocen como polos. En todos los sistemas prácticos, el número de ceros es siempre menor o igual al número de polos.

18) **Constante de tiempo ( $\tau$ ):** Es una medida relativa del tiempo de establecimiento. Un sistema de primer orden tiene sólo una constante de tiempo; el tiempo de establecimiento para estos sistemas se considera aproximadamente igual a cinco veces la constante de tiempo con fines prácticos. Un sistema de segundo orden puede tener dos constantes de tiempo donde la más significativa es la de mayor valor.

19) **Constante de amortiguamiento ( $\alpha$ ):** Es el inverso de la constante de tiempo. La constante de amortiguamiento al igual que la constante de tiempo, es una medida relativa del tiempo de establecimiento del sistema. A menor constante de amortiguamiento, mayor tiempo de establecimiento. La constante de amortiguamiento indica el grado de amortiguamiento asociado con la respuesta de un sistema dado; por ejemplo, la respuesta al escalón de un sistema de segundo orden puede ser críticamente amortiguada, sobreamortiguada, subamortiguada u oscilatoria. Cada tipo de respuesta tiene su propia característica: La respuesta críticamente amortiguada tiene dos constantes de amortiguamiento reales e iguales; la respuesta sobreamortiguada tiene dos constantes de tiempo reales distintas; la respuesta subamortiguada tiene sólo una constante de amortiguamiento; y la respuesta oscilatoria carece de constante de amortiguamiento. Un sistema con constante de amortiguamiento nula jamás alcanza un valor de estado estable.

Los siguientes parámetros se aplican a sistemas de segundo orden y superiores:

20) **Frecuencia natural ( $\omega_n$ ):** Dependiendo de su composición, un sistema de segundo orden puede oscilar a determinada frecuencia natural de resonancia; por ejemplo, un circuito paralelo RLC, se dice que es resonante cuando la reactancia inductiva y capacitiva son iguales; la frecuencia

a la cual sucede esto está dada por  $\omega_n = \frac{1}{\sqrt{LC}}$  (con resistencia nula en el circuito). La resonancia natural es producida por el mismo circuito sin importar el tipo de excitación.

21) **Coefficiente de amortiguamiento ( $\zeta$ ):** Es la forma más apropiada para identificar la respuesta de los sistemas de segundo orden. Se define como la razón del amortiguamiento verificado en el sistema entre el amortiguamiento que produciría un amortiguamiento crítico en el sistema. El coeficiente de amortiguamiento se denota con la letra zeta minúscula griega:

$$\zeta = \frac{\alpha}{\omega_n} = \frac{1}{\tau\omega_n}$$

Para un sistema de segundo orden se tiene que:

{<1→Sistema-subamortiguado  
{=1→Sistema-críticamente-amortiguado  
{>1→Sistema-sobreamortiguado  
{=0→Sistema-oscilatorio

Un sistema críticamente amortiguado responde en la menor cantidad de tiempo, un sistema subamortiguado alcanza el valor final más rápidamente pero tarda más en alcanzar el valor de equilibrio de estado estable, un sistema sobreamortiguado tiene una respuesta sumamente lenta y un sistema oscilatorio responde con oscilaciones senoidales persistentes a la frecuencia natural del sistema.

22) **Frecuencia natural amortiguada ( $\omega_d$ ):** La respuesta de un sistema de segundo orden subamortiguado contiene una onda senoidal decreciente que no oscila a la frecuencia natural  $\omega_n$  sino a la frecuencia natural amortiguada  $\omega_d$ . El amortiguamiento de la respuesta es producido por los elementos que disipan energía en el sistema.  $\omega_d$  es menor que  $\omega_n$  y están relacionadas por:

$$\omega_d = \omega_n \sqrt{1 - \zeta^2}$$

Los siguientes conceptos se refieren a la respuesta transitoria de un sistema de control a una entrada escalón unitario (ver figura 1.1.4):

23) **Sobrepaso ( $M_p$ ):** Se define como la desviación máxima de la salida por encima de su valor de estado estable y representa una medida de la estabilidad relativa del sistema. Se representa a menudo como un porcentaje del valor final de la salida.

24) **Tiempo de retraso ( $T_d$ ):** Es el tiempo necesario para que la respuesta al escalón alcance el 50% de su valor final.

25) **Tiempo de subida ( $T_r$ ):** Es el tiempo que tarda la respuesta en pasar del 10% al 90% de su valor final.

26) Tiempo de asentamiento ( $T_s$ ): Es el tiempo que tarda la respuesta transitoria en disminuir y estabilizarse dentro de un porcentaje determinado del valor de estado estable de la salida.

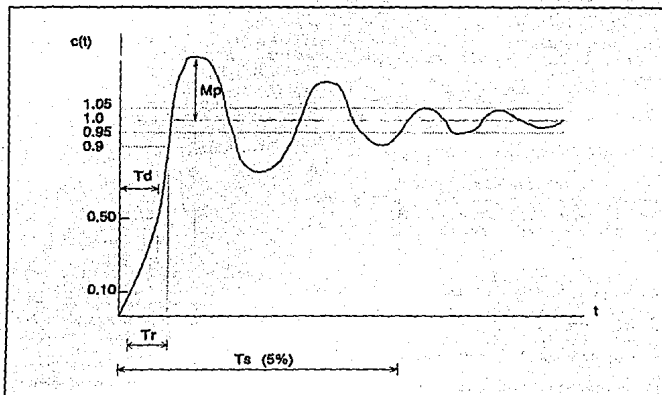


Figura 1.1.4 Respuesta típica de un sistema de control a un escalón unitario.

## 1.2 SISTEMAS DE CONTROL DIGITAL.

### 1.2.1 Antecedentes.

Los sistemas de control digital han ido ganando popularidad en la industria durante los últimos años, debido en parte al desarrollo de la computación digital y a varias ventajas que reporta la manipulación de señales digitales.

Con la aparición de las primeras computadoras electrónicas a mediados de los cincuentas, se inició la búsqueda de su aplicación en diferentes campos, entre ellos el control de procesos. Las computadoras electrónicas antiguas fueron construidas con bulbos y eran lentas, caras, poco confiables y de baja eficiencia; su tiempo promedio entre fallas era de 50 a 100 horas. Su aplicación dentro del campo del control

se reducía a emitir instrucciones impresas al operador de procesos o a cambiar los puntos de ajuste de controladores analógicos. Este esquema de funcionamiento como guía del operador y control de puntos de ajuste se conoce como modo de control supervisorio. Las principales funciones de la computadora eran la optimización del proceso, planeación de la producción y elaboración de inventarios, mediante modelos matemáticos complejos. El equipo de control continuaba siendo esencialmente analógico.

En 1962 la empresa inglesa ICI (Imperial Chemical Industries) dio un paso trascendental: sustituyó su equipo de control analógico por una computadora digital, iniciando de este modo el control digital directo (CDD). Para estas fechas, la velocidad de cómputo había aumentado notablemente y el tiempo medio entre fallas era casi de 1000 horas. La principal ventaja de este cambio fue económica ya que aunque el costo de una computadora era grande, se repartía entre todos los procesos que controlaba resultando en un sistema de menor costo que su contraparte analógica; además el sistema digital era mucho más flexible gracias a su capacidad de programación. De este modo se desarrollaron lenguajes de programación especiales para CDD.

Con el desarrollo de la tecnología de circuitos integrados surgieron las minicomputadoras que eran computadoras más rápidas, pequeñas, de menor costo y más confiables.

En la década de los setentas fue creada la microcomputadora, perfeccionándose en la década de los ochentas gracias a los avances de la tecnología VLSI. Con esto fue posible construir pequeños sistemas de control digital directo y en general, la gama de aplicaciones en el campo del control se multiplicó drásticamente. En la actualidad se encuentra en desarrollo el control de procesos a través de lenguajes interactivos de alto nivel.

### 1.2.2 Descripción de un sistema de control digital.

Un sistema de control digital es aquél en el que se utiliza una computadora digital como dispositivo de control, por lo cual difiere de un sistema de control analógico en que las señales en una o más partes del sistema están en forma de trenes de pulsos o en código numérico.

Existen sistemas de control completamente digitales como es el caso de un sistema de control de un motor a pasos; pero comúnmente los sistemas prácticos contienen señales analógicas, muestreadas y digitales. Un sistema de control de datos muestreados es aquél que contiene cuando menos una señal muestreada.

El proceso de muestreo de una señal continua, puede modelarse como una modulación por amplitud de pulso como se muestra en la figura 1.2.1. La señal moduladora es la señal que se va a muestrear, de modo que a la salida se tiene un tren de pulsos de distintas amplitudes según la señal de entrada que contiene la información necesaria para su procesamiento.

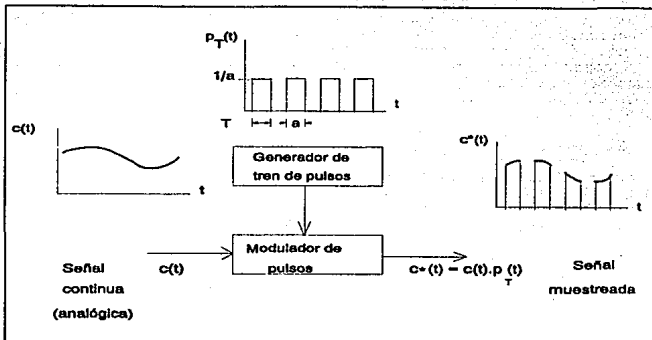


Figura 1.2.1 Proceso de muestreo real.

En ocasiones se idealiza el proceso de muestreo con fines de simplificación mediante una modulación de un tren de impulsos como se muestra en la figura 1.2.2.

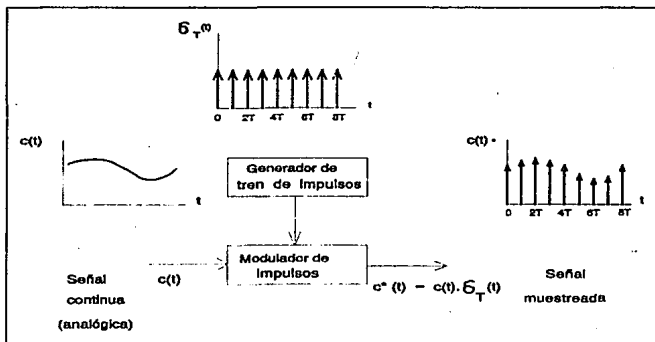


Figura 1.2.2 Proceso de muestreo ideal

En ambas figuras se toma una muestra de la señal  $c(t)$  cada  $T$  segundos por lo que se trata de un muestreo uniforme.

La figura 1.2.3 muestra un diagrama de bloques de un sistema típico de control digital de malla cerrada. Nótese la inclusión de un dispositivo digital para generar la señal de control.

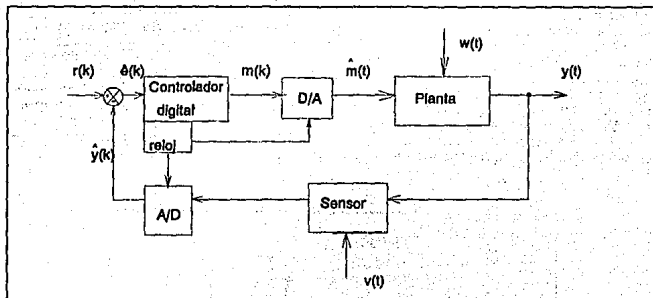


Figura 1.2.3 Diagrama de bloques de un sistema de control digital básico.

#### Notación:

$r$  : señal de referencia  
 $m$  : señal de control  
 $\hat{m}$  : señal de control estimada  
 $y$  : señal de salida controlada  
 $\hat{y}$  : señal de realimentación estimada  
 $\hat{e}$  : error estimado ( $r - \hat{y}$ )  
 $e$  : error del sistema  
 $w$  : perturbaciones en la planta  
 $v$  : perturbaciones en el sensor  
 A/D : convertidor analógico a digital  
 D/A : convertidor digital a analógico

Ya que el controlador digital trabaja con señales digitales, es necesario contar con interfaces para la planta continua, por lo que se incluyen en el sistema los convertidores A/D y D/A.

Un convertidor analógico a digital (A/D) actúa sobre una señal analógica de tensión, convirtiéndola en una secuencia codificada de números. En el sistema de control digital, el convertidor A/D actúa sobre la salida del sensor y suministra su codificación digital a la computadora a través de una operación de muestreo; de esta manera, la

computadora puede obtener la señal de error  $\hat{e}$  a partir de la señal de realimentación muestreada  $\hat{y}$ .

Generalmente se considera que la señal  $\hat{y}$  ingresa a la computadora a una tasa fija de período  $T$  (o  $T_s$ ) llamado período de muestreo. En la práctica puede haber ligeras variaciones en  $T$ , pero comúnmente se utiliza un circuito de reloj para sincronizar el sistema. El convertidor A/D sincronizado envía un número codificado a la computadora a través de una interrupción cada  $T$  segundos; o bien la computadora accede al convertidor A/D al completarse un ciclo dentro del programa de duración  $T$ . La acción de muestreo periódica del convertidor A/D convierte a la señal continua de entrada en una señal discreta cuantificada y codificada en un número finito de dígitos binarios. La cuantificación es el proceso de asignar un número finito de valores a un número infinito de los mismos en forma similar a un truncamiento o redondeo fraccionario por lo que se trata de una función no lineal escalonada. La señal digital es por tanto una señal discreta cuantificada, con el objeto de que pueda ser procesada por una computadora digital (ver la figura 1.2.4).

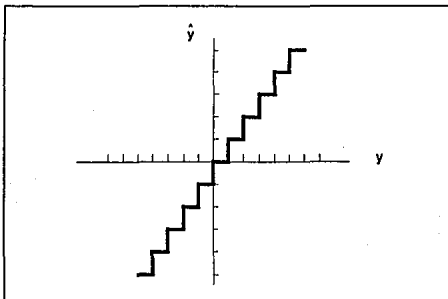


Figura 1.2.4 Función de cuantificación de un convertidor A/D

La función del convertidor D/A en el sistema es proporcionar una señal continua de control a partir de una señal digital generada por la computadora para controlar la planta. El modelo del convertidor D/A incluye un dispositivo de retención o retén cuyo efecto es retardar la salida  $T/2$  segundos conservando el valor previo hasta que se presenta el nuevo valor (ver la figura 1.2.5).

La computadora se encarga de procesar la información digital mediante algoritmos de control para generar una señal correctiva. El



tiempo de procesamiento no es instantáneo por lo que hay un retardo en la computadora; sin embargo en muchos casos es un retardo muy pequeño comparado con el período de muestreo  $T$ , por lo que puede despreciarse con el fin de simplificar el análisis del sistema.

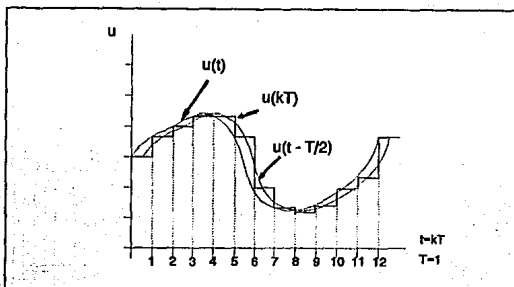


Figura 1.2.5 Efecto de retardo en el convertidor D/A.

En un sistema de datos muestreados como el descrito, es posible reconocer cuatro tipos de señales:

- De amplitud discreta en tiempo discreto (D-D)
- De amplitud discreta en tiempo continuo (D-C)
- De amplitud continua en tiempo discreto (C-D)
- De amplitud continua en tiempo continuo (C-C)

La figura 1.2.6 ejemplifica los distintos tipos de señales presentes en un sistema de datos muestreados de control digital. El muestreador ideal genera una señal de amplitud continua en el tiempo discreto  $e^*(t)$ , la función cuantificadora del convertidor A/D genera la señal  $e_s(kT)$  de amplitud discreta en tiempo discreto, la computadora manipula este valor cuantificado y genera la señal  $f_s(kT)$  con las mismas características (D-D), finalmente la función de retén del convertidor D/A transforma  $f_s(kT)$  en la señal  $m(t)$  discreta en amplitud y continua en el tiempo.

Hay que hacer notar que no todas estas señales existen realmente pero facilitan el análisis y comprensión del procesamiento de señales en el sistema.

Es común incluir un muestreador en el modelo del convertidor D/A para hacer énfasis en que trabaja con señales discretas sincronizadas por el reloj del sistema, como se muestra en la figura 1.2.7.

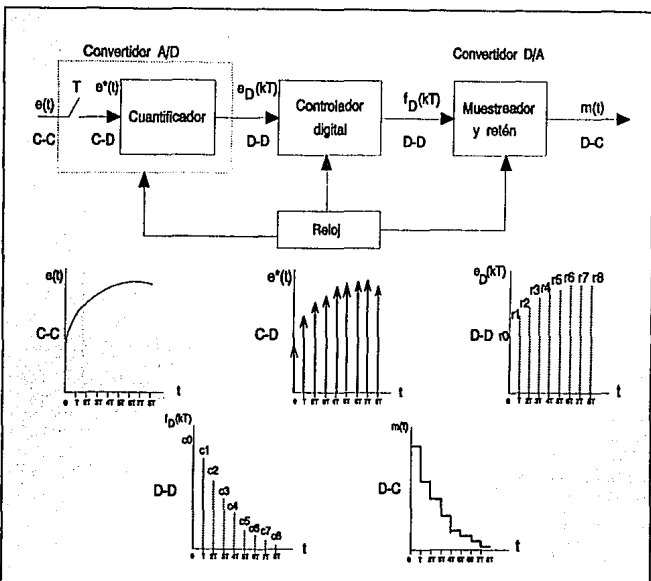


Figura 1.2.6 Clasificación de señales en un sistema de datos muestreados.

Un problema de capital importancia en control digital y en general en el campo del control, es el modelado de la planta ya que en plantas reales pueden presentarse algunas no linealidades así como parámetros de las mismas que varían en el tiempo. De este modo, el diseñador mediante técnicas y aproximaciones apropiadas puede llegar a obtener un modelo conveniente para la planta.

Otros aspectos importantes que deben considerarse en el análisis y diseño de un sistema de control digital son los efectos del período de muestreo y de la cuantificación, además del retardo inherente de la señal en la salida del convertidor D/A y el tiempo de procesamiento de las señales digitales.

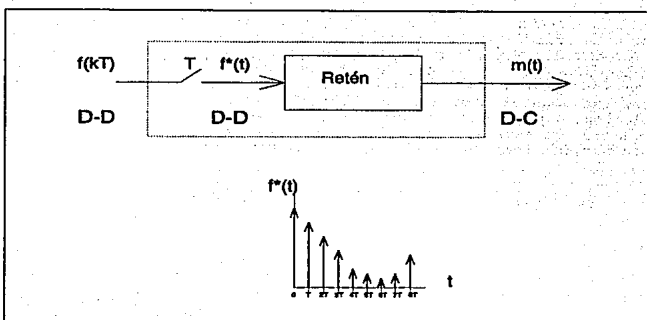


Figura 1.2.7 Modelo del convertidor D/A y señales involucradas.

Si el análisis de un sistema básico indica que no se cubren las especificaciones de funcionamiento, debe introducirse un compensador o controlador en el sistema, que en el caso del control digital será un dispositivo digital el cual puede insertarse en cascada con la planta en la realimentación como se muestra en la figura 1.2.8.

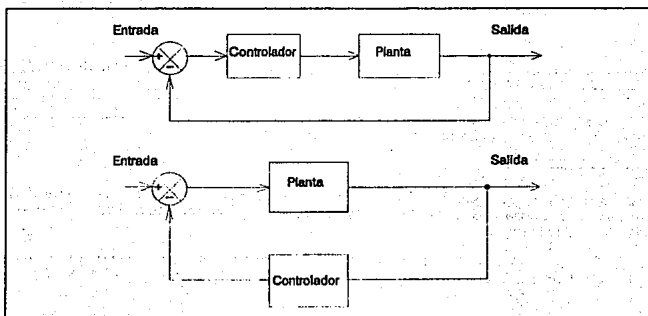


Figura 1.2.8 Maneras de insertar un controlador en un sistema de control de malla cerrada.

Un sistema de control digital puede diseñarse con técnicas puramente discretas o como aproximación de sistemas de control analógico. Si el período de muestreo y el efecto de cuantificación son muy pequeños como es el caso de una frecuencia de muestreo de 50 veces o más el ancho de banda del sistema para un tamaño de palabra de 16 bits, las señales digitales son aproximadamente iguales a las señales analógicas y por tanto pueden usarse las técnicas de diseño de sistemas de control continuos. Para fines de este trabajo se usará la técnica de aproximación discreta de sistemas continuos como se verá más adelante.

### 1.2.3 Ventajas y Desventajas del control digital.

#### **Ventajas:**

- 1) Sensibilidad mejorada que permite el uso de elementos de baja potencia para controlar grandes cantidades de energía.
- 2) Los transductores digitales ofrecen señales digitales con relativa inmunidad al ruido y a otras perturbaciones. Un sistema digital es en gran medida inmune al ruido. En un sistema analógico algunos componentes pueden no sólo ser susceptibles al ruido sino también capaces de generarlo.
- 3) El uso de señales digitales permite el diseño y desarrollo de sistemas de control sofisticados mediante su procesamiento en algoritmos complicados, transmitiendo la información con gran exactitud y confiabilidad.
- 4) Es posible multicanalizar las señales de control discretas con el fin de usar un sólo canal de transmisión para controlar más de un sistema.
- 5) Acoplamiento directo a sistemas digitales.
- 6) Flexibilidad y versatilidad, producto de la programación en el diseño de sistemas de control.
- 7) Un sistema de control puede tener un controlador digital de bajo costo, bajo peso y bajo consumo de potencia.

#### **Desventajas:**

- 1) El análisis y diseño de sistemas de control de datos muestreados, en ocasiones son más complejos y tediosos comparados con los sistemas de control continuos.
- 2) La inclusión de un dispositivo de retención de la señal discreta degrada el margen de estabilidad del sistema al convertirlo de la forma continua a la discreta.
- 3) Existe cierta pérdida de información de la señal a la salida del retén, el cual sólo da una aproximación de la señal que intenta reconstruir.

4) La complejidad en el algoritmo de control puede repercutir en errores de software.

5) Existen ciertos tiempos de retardo finitos en los elementos digitales que en general no están contemplados en el diseño.

Frecuentemente se confunde la teoría de control digital con el procesamiento digital de señales, ya que el diseño de un compensador digital y el de un filtro digital son similares; sin embargo, el compensador digital se conecta generalmente en cascada antes de la planta o en la realimentación y el filtro digital usualmente opera a la salida de la planta. Además las especificaciones para un sistema de control digital frecuentemente se dan en términos temporales y en el diseño de filtros digitales es común utilizar el criterio de magnitud al cuadrado sin tomar en cuenta la respuesta en fase del filtro digital. En un sistema de control con realimentación la fase es muy importante para el diseño del controlador.

# CAPÍTULO 2

## 2. SISTEMAS DE DATOS MUESTREADOS.

### 2.1 CONVERSIÓN D/A.

Existe una gran variedad de dispositivos físicos que producen señales de salida analógicas, dentro de este conjunto se encuentran los transductores de temperatura, intensidad luminosa, campo magnético, presión, flujo etc. En la actualidad se tiene que muchos procesamientos de señales son efectuados digitalmente empleando redes digitales o computadoras; las señales así procesadas, son después convertidas a su correspondiente forma analógica. La conversión consiste en transformar la información contenida en una palabra codificada en forma digital dentro de una señal analógica equivalente. A fin de realizar esta función, se han ideado muchos tipos de convertidores, los cuales pueden ser clasificados en dos grandes grupos a saber:

Métodos usados en los convertidores D/A	}	Métodos estáticos
		Métodos de división de tiempo

En los métodos estáticos, la señal digital debe conmutar un grupo de interruptores para controlar corrientes o tensiones conforme a un patrón constante (mientras se mantenga constante también la entrada digital).

En los métodos de división de tiempo, un interruptor es cerrado y abierto de acuerdo con un patrón dinámico, de manera que el valor promedio de corriente o tensión corresponda al valor deseado.

Se pueden llevar a cabo otras clasificaciones de acuerdo con la constante de los conmutadores ya sea tensión o corriente; que la señal de salida sea una tensión o bien una corriente; que el nivel de referencia sea interno (convertidor D/A "completo") o bien que sea externo (convertidor D/A "multiplicador").

#### Convertidores D/A - Métodos estáticos.

**Convertidor D/A por conmutación de corriente.** - En este convertidor existe un grupo de fuentes de corriente que son conmutadas sobre un modo de salida; a cada una de las fuentes le corresponde un bit de la entrada digital. Existen algunas técnicas para asignar los distintos pesos relativos a cada una de las fuentes de corriente como son los arreglos de resistores ponderados y resistores dispuestos en una red de escalera

**Convertidor D/A por conmutación de tensión.** Los convertidores antes mencionados trabajan conmutando corrientes hacia uno u otro nodo. El grupo de convertidores D/A por conmutación de tensión, trabaja a través de la conmutación de un nodo entre las tensiones de otros dos.

#### Convertidores D/A - Métodos de división de tiempo.

Un convertidor D/A de conmutación de tiempo muy sencillo; consta de un contador y de un registro, los cuales controlan la puesta a '1' y la puesta a '0' de un biestable RS cuya salida estará en nivel alto durante un número de pulsos de reloj igual al que aparece en el registro, y permanecerá en nivel bajo durante el resto del ciclo de cuenta completa de dicho contador.

Es factible emplear otra técnica de conmutación de tiempo, para proporcionar un conjunto de corrientes ponderadas en la forma binaria a través de la división de tiempo de una sola corriente constante; de este modo, la corriente pasa al bit más significativo (BMS) durante la mitad del tiempo total, al siguiente bit durante un cuarto del tiempo total, al tercer bit durante un octavo del tiempo total etc. El último período restante después del bit menos significativo es despreciado.

#### Clasificación de los convertidores D/A de acuerdo con el tipo de señal que proporcionan a su salida.

En cualquiera de los circuitos antes descritos, se pueden generar una de las formas de salida, tensión o corriente, algunos de ellos por su misma naturaleza proporcionan una salida de corriente, pero agregando un amplificador operacional, ésta se puede cambiar a una salida de tensión, cuidando que el amplificador operacional tenga errores inherentes despreciables. En forma particular se debe tener precaución con la tensión de desbalance, la variación de la tensión de desbalance con el tiempo y la temperatura, la corriente de polarización a la entrada, así como su repercusión en la impedancia variable de salida del convertidor digital/analógico (D/A).

#### Convertidores multiplicadores y convertidores completos.

Los circuitos que se han descrito hasta ahora, dependen de una tensión de referencia externa, de manera que la tensión o corriente de salida dependerá en forma proporcional de esta referencia. Los convertidores que poseen internamente la tensión de referencia son llamados convertidores "completos" para diferenciarlos de aquellos que no la incluyen; a estos últimos se les denomina "multiplicadores" pues su función puede considerarse la de multiplicar una señal externa ( $V_{ref}$ ) por una cantidad digital.

Existen aplicaciones en las que debe haber una tensión de referencia externa muy exacta para comandar otros circuitos, y esta referencia debería ser la misma para un convertidor D/A; así el uso de la referencia interna es inconveniente y por consiguiente, casi todos los convertidores D/A "completos" sacan su referencia interna por una terminal, la



cual debe conectarse con un puente a la entrada de referencia para permitir este tipo de aplicaciones.

La mayor parte de los circuitos integrados con especificaciones de precisión por arriba de los 10 bits no poseen la referencia interna; la razón que justifica este hecho es que las necesidades de tipo tecnológico de un buen CDA y las de una buena tensión de referencia son relativamente incompatibles.

#### Conmutadores empleados en los convertidores D/A.

Los conmutadores utilizados en los convertidores D/A, se construyen utilizando ya sea transistores de juntura bipolar (TJB) o transistores de efecto de campo (FET); en general se clasifican de la siguiente manera:

Conmutadores {  
Excitados por tensión  
Excitados por corriente.

En los conmutadores excitados por tensión, se utiliza TJB o FET, los cuales son conmutados de conducción a corte; este tipo de interruptores se emplean donde no se requiere una gran velocidad y tampoco una gran resolución, situaciones que son originadas por las inexactitudes inherentes del sistema y por la baja velocidad que se presenta en la conmutación de un TJB o de un FET.

En un conmutador excitado por corriente, la conmutación se lleva a cabo por medio de conmutadores de corriente ECL (familia lógica acoplada por emisor), los cuales no se saturan, sino que son cambiados de región activa a corte; con este tipo de conmutador se obtienen velocidades más altas que aquellas logradas con los conmutadores excitados por tensión.

#### Especificaciones importantes de los convertidores D/A.

**Resolución.** - Se define como el menor incremento de tensión que puede ser detectado por el convertidor, el cual está en función del número de bits que forman la palabra digital.

$$\% \text{Resolución} = \frac{1}{2^n} 100$$

Donde n es el número de bits de entrada al convertidor D/A.

**Linealidad.** - La característica de linealidad indica la máxima desviación que aparece en la salida del convertidor medida con respecto a una línea recta que se extiende en todo el margen de la forma de onda. Se puede expresar como un porcentaje de la tensión total de la escala o bien como fracción equivalente del bit menos significativo; dicho porcentaje debe ser inferior al 5% (0.5 del bit menos significativo).

En otras palabras, la linealidad especifica la desviación de la salida con respecto al valor teórico, y generalmente se mide en unidades relativas al bit menos significativo.

**Tiempo de establecimiento.**- El tiempo de establecimiento es aquél que transcurre a partir de la aplicación de un escalón ideal de entrada y el instante en que la tensión de salida se ha estabilizado o bien aproximado a su valor permanente dentro de un límite especificado de exactitud. Generalmente se considera como válida una salida, después de aplicar el escalón de entrada, dentro del 50% del bit menos significativo.

**Sensibilidad a la temperatura.**-Debido a las variaciones en la temperatura y considerando fija la entrada digital, la salida analógica varía, ya que los resistores y fuentes de referencia cambian sus valores en función de los cambios que se producen en la temperatura. Las sensibilidades típicas están comprendidas en el intervalo  $\pm 50$  ppm/ $^{\circ}$ C y  $\pm 11.5$  ppm/ $^{\circ}$ C en convertidores de gran calidad.

## 2.2 CONVERSIÓN A/D.

Si se desea llevar a cabo la transmisión de una señal analógica de un lugar a otro, pero con la mínima interferencia de ruido, la mejor solución consiste en convertir esa señal analógica en su correspondiente señal digital. El proceso de conversión consiste en tomar puntos de muestra sobre la forma de onda analógica y codificando cada punto en una palabra digital. Si se toma un gran número de muestras, entonces la envolvente de las muestras seguirá más fielmente la forma de onda original.

Los convertidores A/D (analógico a digital) son dispositivos que ejecutan el proceso de conversión antes señalado. Existen cuatro tipos básicos de convertidores A/D a saber:

Convertidores A/D	}	Rampa
		Doble rampa
		Aproximaciones sucesivas
		En paralelo

El convertidor A/D de aproximaciones sucesivas es usado donde se requiere una velocidad razonablemente alta. El convertidor en paralelo se emplea para señales de entrada de alta frecuencia. El método de la doble rampa es lento, pero ofrece excelente rechazo al ruido de la

fuerza de potencia. Finalmente, el convertidor de rampa es más rápido que el de doble rampa, sin embargo es más lento que los otros dos tipos (en paralelo y de aproximaciones sucesivas).

### Especificaciones importantes de los convertidores A/D.

**Señal de entrada.**- Indica el margen máximo de tensión analógica de entrada que se permite, puede ser unipolar (0 a 10 V), o bipolar ( $\pm 5$ ,  $\pm 10$  V etc.).

**Tiempo de conversión.**- El tiempo de conversión depende del tipo de convertidor. Los convertidores en paralelo poseen tiempos de conversión comprendidos dentro del intervalo 10 a 60 ns; en los convertidores de aproximaciones sucesivas se obtiene una conversión dentro del margen 1 a 100  $\mu$ s.

**Formato de salida.**- Existe una gran variedad de formatos de salida: binario unipolar, binario con nivel de c.d., complemento a 1, complemento a 2, y otros códigos estándar como el EBCDIC, GRAY, BCD etc. Los circuitos de salida generalmente son diseñados para comandar familias lógicas TTL, ECL y CMOS.

**Precisión.**- La característica de precisión incluye los errores provenientes tanto de la parte analógica como de la parte digital del circuito convertidor. El error analógico se debe primordialmente al elemento comparador, mientras que el error digital se debe al proceso de cuantificación; proceso que es explicado más adelante en este capítulo. Otras posibles fuentes de error las constituyen, la fuente de alimentación, los resistores que forman la red, etc.

## 2.3 MUESTREO DE SEÑALES Y CIRCUITO DE MUESTREO Y RETENCIÓN (M/R).

### 2.3.1 Descripción y modelo matemático del dispositivo muestreador.

Primero se dará una breve introducción sobre los dispositivos de muestreo y retención, y posteriormente serán analizados con cierta profundidad para entender los procesos de muestreo de señales y la reconstrucción de ellas a partir de sus muestras.

Un dispositivo muestreador convierte una señal analógica de entrada en un tren de pulsos modulados.

Un retén es un dispositivo que simplemente conserva un cierto valor de tensión relativo a una señal de entrada durante un tiempo determinado.

Una de las aplicaciones más importantes de los dispositivos de muestreo y retención es la de "congelar" señales que varían rápidamente

en todas las operaciones de conversión. También se le usa a la salida de circuitos multicanalizadores como elemento de memoria, mientras la señal de salida es convertida en una palabra digital.

La forma más simple de un circuito de muestreo y retención se ilustra en la figura 2.3.1. Cuando se cierra el interruptor, el capacitor se carga con un valor de tensión igual al de la señal analógica de entrada. Una vez que el interruptor es abierto, el capacitor retiene el valor de tensión muestreado hasta que el interruptor se cierra nuevamente.

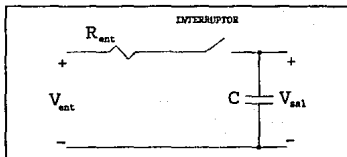


Figura 2.3.1 Circuito de muestreo y retención básico.

El intervalo de tiempo en que el interruptor permanece cerrado, se le denomina duración de muestreo  $p$ . En la realidad el resistor  $R_{ent}$  no es cero y el capacitor se cargará con una constante de tiempo  $R_{ent}C$ . Además la operación del interruptor no es instantánea con respecto a la señal de control que lo comanda, y por consiguiente existe un cierto tiempo muerto que debe ser considerado en el modelo real de un circuito de muestreo.

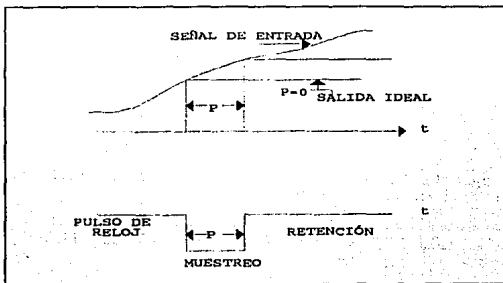


Figura 2.3.2 Señales de muestreo y retención simplificadas  $R_{ent}=0$ .

En el caso real, los dispositivos de muestreo y retención tienen muchas imperfecciones y errores; debido a ellos, la señal de salida se puede desviar considerablemente de la forma de onda ideal ilustrada en la figura 2.3.2.

Una señal de entrada a un dispositivo M/R práctico y su correspondiente señal de salida, son mostradas en la figura 2.3.3. En ella se indican las diversas fuentes de retardo y las imperfecciones presentes durante el modo de retención.

**Tiempo de adquisición ( $T_a$ ).** - Cuando se proporciona la orden de muestreo al dispositivo M/R (muestreo y retención), éste no sigue instantáneamente la señal de entrada, sino que existe un cierto tiempo de retardo. Para fines de medición, el tiempo de adquisición es aquél que transcurre entre el instante en el cual se da la orden de muestrear y aquél instante en que la salida del dispositivo M/R llega y permanece dentro de una banda de error específico, típicamente  $\pm 1\%$  alrededor de la señal de entrada. En los manuales de especificaciones, este dato es proporcionado en términos de porcentaje de la escala completa (%EC) para un cierto valor de escalón de tensión.

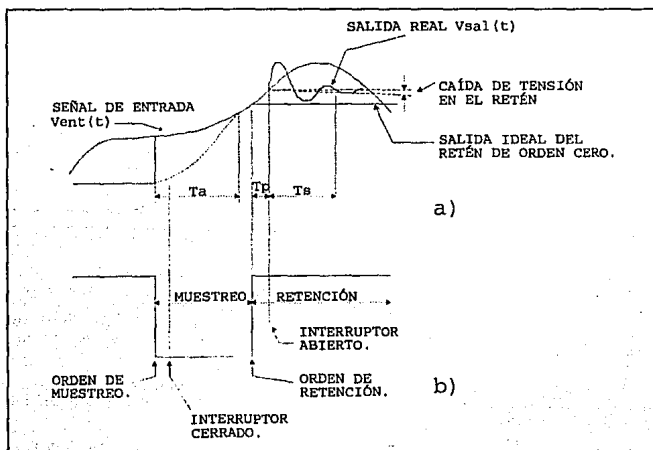


Figura 2.3.3 a) Señales de entrada y salida de un circuito de muestreo y retención real b) Reloj comando del dispositivo M/R.

**Tiempo de apertura ( $T_p$ ).** - El tiempo que existe entre el instante en que se da la orden de retención y el instante en el que se abre el interruptor, se denomina tiempo de apertura; este retardo es originado generalmente por los tiempos de retardo de la circuitería de conmutación del dispositivo M/R. Para cualquier circuito de muestreo y retención, el tiempo de apertura no es constante, y las hojas de especificaciones del fabricante, incluyen la figura del peor caso.

**Tiempo de establecimiento ( $T_s$ ).** - En la conmutación del modo de muestreo al modo de retención, una respuesta transitoria puede ocurrir; ésta es originada por la capacitancia que aparece en la circuitería de lógica digital a través del interruptor electrónico en la trayectoria de la señal analógica. El tiempo necesario para que la oscilación transitoria se estabilice dentro de cierto porcentaje de la escala completa es llamado tiempo de establecimiento. El tiempo de establecimiento típico de los dispositivos M/R esta dentro del intervalo de los nanosegundos a unos cuantos microsegundos, dependiendo de la exactitud requerida.

**Caída de tensión en el modo de retención.** - Durante el modo de retención, la tensión en el capacitor puede caer ligeramente, debido a corrientes de fuga en el interruptor tipo FET (transistor de efecto de campo) y en el amplificador del circuito de entrada. La caída de tensión es menor si se coloca un amplificador de muy alta impedancia a la salida del dispositivo M/R. También es necesario poner un amplificador de entrada, con el fin de mantener una corriente relativamente constante de entrada al circuito M/R.

Dentro de los sistemas digitales, las operaciones de muestreo y retención generalmente son controladas por un reloj periódico. En general el esquema de un muestreador empleado en un sistema de control digital puede tomar diversas formas. Por ejemplo, se puede tener un muestreador que sea controlado por un reloj no uniforme o variable en forma cíclica. En algunos sistemas de muestreo inherente, la operación de muestreo puede ser completamente aleatoria.

La ventaja de usar la representación de modulación en amplitud de los pulsos, es que para varias operaciones de muestreo sólo se necesita modificar la señal portadora.

Existen operaciones de muestreo que pueden ser descritas por un muestreador que usa la modulación por ancho de pulso; este tipo de muestreador proporciona una salida constituida por pulsos cuyos anchos varían en función de la amplitud de la señal de entrada en los instantes de muestreo; en este caso, la amplitud de los pulsos se mantiene constante (ver la figura 2.3.4).

En algunas situaciones se puede tener una combinación de los dos tipos de modulación, con el fin de mejorar el desempeño de los sistemas de control digital.

**Función de transferencia de muestreadores que emplean la modulación en amplitud de pulsos.**

En el siguiente análisis matemático se considera el caso de un

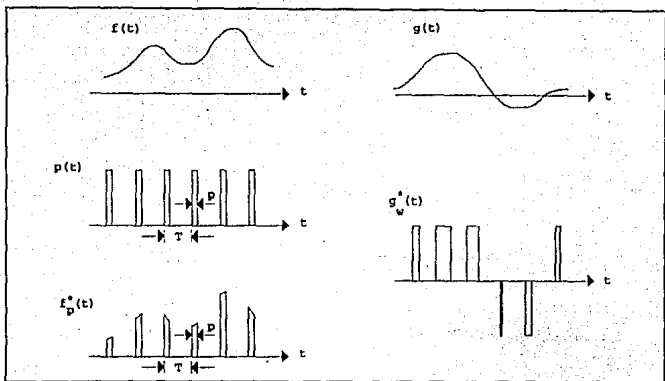


Figura 2.3.4 Formas de onda de entrada y salida a un dispositivo de muestreo y retención empleando modulación en amplitud y en ancho de pulso.

muestreador de tasa uniforme y ancho de pulso finito:

La señal de salida en respuesta a una señal de entrada  $f(t)$  en un dispositivo muestreador, puede considerarse como el producto de la señal  $f(t)$  por la señal portadora  $p(t)$  (tren de pulsos de ancho finito y amplitud unitaria).

$$p(t) = \sum_{k=-\infty}^{\infty} [U_1(t-kT) - U_1(t-kT-p)] \quad (2.3.1)$$

Donde  $U_1(t)$  es la función escalón definida en (2.3.2).

$$U_1(t) = \begin{cases} 0, & t < 0 \\ 1, & t \geq 0 \end{cases} \quad (2.3.2)$$

Se considera que el muestreo comienza en  $t=-\infty$  y que el flanco de subida del pulso situado en el origen comienza en  $t=0$ , como se ilustra en la figura 2.3.5.

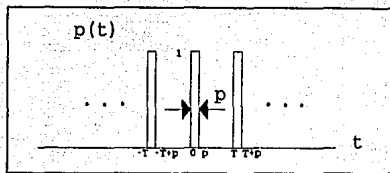


Figura 2.3.5 Tren de pulsos unitarios.

La señal de salida del muestreador puede ser escrita como:

$$f_p^*(t) = f(t)p(t) \quad (2.3.3)$$

Sustituyendo (2.3.1) en (2.3.3):

$$f_p^*(t) = f(t) \sum_{k=-\infty}^{\infty} [U_{-1}(t-kT) - U_{-1}(t-kT-p)] \quad \text{con } (p < T) \quad (2.3.4)$$

La expresión anterior proporciona información sobre el comportamiento del muestreador en el dominio del tiempo. Puesto que el tren de pulsos  $p(t)$  es una función periódica con período  $T$ , puede ser representado mediante una serie de Fourier:

$$p(t) = \sum_{n=-\infty}^{\infty} C_n e^{jn\omega_s t} \quad (2.3.5)$$

donde  $\omega_s = 2\pi/T$  es la frecuencia de muestreo,  $C_n$  es el coeficiente  $n$ -ésimo en la serie de Fourier, dado por la siguiente expresión:

$$C_n = \frac{1}{T} \int_0^T p(t) e^{-jn\omega_s t} dt \quad (2.3.6)$$

En el intervalo  $0 \leq t \leq p$  la señal  $p(t)$  vale 1, por lo que la ecuación (2.3.6) proporciona:



$$C_n = \frac{1 - e^{-jn\omega_m P}}{jn\omega_m T} \quad (2.3.7)$$

Escribiendo la ecuación (2.3.7) en otra forma:

$$C_n = \frac{1 - e^{-jn\omega_m P}}{jn\omega_m T} \left( \frac{2P}{2P} \right) \left( \frac{e^{jn\omega_m P/2}}{e^{jn\omega_m P/2}} \right) \quad (2.3.8)$$

$$= \frac{P}{T} \frac{\text{SEN}\left(\frac{n\omega_m P}{2}\right)}{\left(\frac{n\omega_m P}{2}\right)} e^{-\frac{jn\omega_m P}{2}} \quad (2.3.9)$$

Debe tenerse en cuenta que la función SAC() se define como:  $\text{SAC}(x) = \frac{\text{SEN}(x)}{x}$  y que tiene una magnitud igual a 1 para  $x=0$ ; por lo tanto:

$$C_n = \frac{P}{T} \text{SAC}\left(\frac{n\omega_m P}{2}\right) e^{-\frac{jn\omega_m P}{2}} \quad (2.3.10)$$

Sustituyendo (2.3.10) en (2.3.5)

$$P(t) = \frac{P}{T} \sum_{n=-\infty}^{\infty} \text{SAC}\left(\frac{n\omega_m P}{2}\right) e^{-\frac{jn\omega_m P}{2}} e^{jn\omega_m t} \quad (2.3.11)$$

Sustituyendo (2.3.11) en (2.3.3)

$$f_p^*(t) = \frac{P}{T} \sum_{n=-\infty}^{\infty} f(t) \text{SAC}\left(\frac{n\omega_m P}{2}\right) e^{-\frac{jn\omega_m P}{2}} e^{jn\omega_m t} \quad (2.3.12)$$

Se obtiene la transformada de Fourier de la función  $f_p^*(t)$ :

$$F_p^*(\omega) = \int_{-\infty}^{\infty} f_p^*(t) e^{-j\omega t} dt$$

$$F_p^*(\omega) = \int_{-\infty}^{\infty} \left[ \frac{P}{T} \sum_{n=-\infty}^{\infty} f(t) \text{SAC}\left(\frac{n\omega_m P}{2}\right) e^{-\frac{jn\omega_m P}{2}} e^{jn\omega_m t} \right] e^{-j\omega t} dt$$

Intercambiando el orden de la suma y la integral:

$$F_p^*(\omega) = \frac{P}{T} \sum_{n=-\infty}^{\infty} \text{SAC}\left(\frac{n\omega_m P}{2}\right) e^{-\frac{jn\omega_m P}{2}} \int_{-\infty}^{\infty} f(t) e^{-j(\omega - n\omega_m)t} dt \quad (2.3.13)$$

Haciendo un cambio de variable apropiado y aplicando la definición de la transformada de Fourier, la ecuación (2.3.13) se escribe como:

$$F_p^*(\omega) = \frac{P}{T} \sum_{n=-\infty}^{\infty} \text{SAC}\left(\frac{n\omega_m P}{2}\right) e^{-\frac{jn\omega_m P}{2}} F(\omega - n\omega_m) \quad (2.3.14)$$

Evaluando la ecuación (2.3.14) para  $n=0$ , tomando en cuenta la definición de la función SAC):

$$F_p^*(\omega)|_{n=0} = \frac{P}{T} F(\omega) \quad (2.3.15)$$

La expresión (2.3.15) muestra el hecho importante de que las componentes de frecuencia de la señal analógica de entrada  $f(t)$  (espectro de densidad de amplitud  $F(\omega)$ ) están presentes aún en la señal muestreada, y sólo son afectadas por un factor de atenuación igual a  $P/T$ .

El espectro en frecuencia del tren de pulsos de magnitud unitaria  $p(t)$  corresponde simplemente a la gráfica de las magnitudes de los coeficientes  $C_n$  en la serie de Fourier, como una función de  $\omega$  cuando  $n$  toma diversos valores dentro del intervalo  $-\infty < n < \infty$ . En la figura 2.3.6 se muestra el espectro de amplitud de la señal  $p(t)$ ; en ella, se observa que el espectro de amplitud es una gráfica de valores discretos cuyos valores de amplitud se encuentran separados a intervalos de frecuencia igual a  $\omega_m$ .

El coeficiente  $C_n$  es un número complejo por lo que su magnitud está dada por:

$$|C_n| = \frac{P}{T} \left| \text{SAC}\left(\frac{n\omega_m P}{2}\right) \right| \quad (2.3.16)$$

La magnitud de la función  $F_p^*(\omega)$  se obtiene mediante la ecuación siguiente:

$$|F_p^*(\omega)| = \left| \sum_{n=-\infty}^{\infty} C_n F(\omega - n\omega_m) \right|$$

La ecuación anterior también se puede escribir como:

$$|F_p^*(\omega)| \leq \sum_{n=-\infty}^{\infty} |C_n| |F(\omega - n\omega_s)| \quad (2.3.17)$$

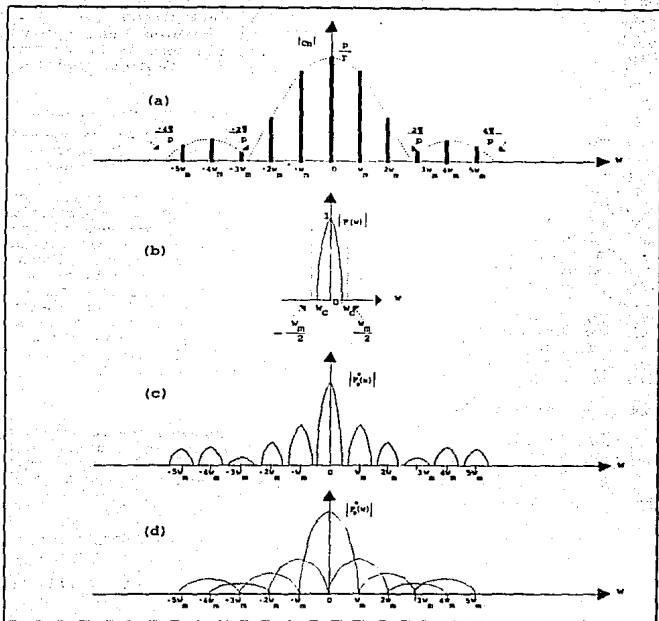


Figura 2.3.6 Espectros de las señales presentes en un muestreador.

- a) Espectro de amplitud del tren de pulsos unitarios  $p(t)$ .  
 b) Espectro de densidad de amplitud de la señal continua  $f(t)$ .  
 c) Espectro de densidad de amplitud de la señal de muestras con  $\omega_s > 2\omega_c$ .  
 d) Espectro de densidad de amplitud de la señal de muestras con  $\omega_s < 2\omega_c$ .

La ecuación (2.3.17) se utiliza para mostrar el espectro de

densidad de amplitud  $F_p^*(\omega)$ . Si se supone un cierto espectro de densidad de amplitud para la señal continua  $f(t)$ , tal como el que aparece en la figura 2.3.6 b), entonces la forma del espectro de densidad de amplitud  $F_p^*(\omega)$ , será el presentado en la figura 2.3.6c); en esta última figura se observa que el espectro de densidad de amplitud  $F_p^*(\omega)$  no sólo contiene la componente fundamental  $F(\omega)$ , sino también las componentes complementarias  $F(\omega - n\omega_c)$ ,  $n=1, 2, \text{etc.}$ ; sus amplitudes están ponderadas por los coeficientes  $C_n$  en la serie de Fourier. Por tanto el muestreador es considerado un generador de armónicas.

En la figura 2.3.6 c) se presenta la gráfica del espectro de densidad de amplitud  $F_p^*(\omega)$ , en donde se considera que la frecuencia de muestreo es mayor del doble de la frecuencia de corte ( $\omega_c$ ) correspondiente al espectro  $F(\omega)$ . Teóricamente a partir del espectro en 2.3.6 c) puede ser recuperada la señal analógica de entrada. Sin embargo, si la frecuencia de muestreo es menor del doble de la frecuencia de corte  $\omega_c$ , entonces se produce un traslapo, ejemplificado en la figura 2.3.6 d), y a partir de tal espectro no se puede recuperar la señal original, pues existe una distorsión en la forma del contenido esencial de la componente ubicada en  $\omega=0$ . La misma distorsión afecta las demás componentes complementarias del espectro; cabe señalar que el espectro de la señal  $f(t)$  no puede tener una frecuencia de corte tan abrupta, y que por más grande que sea la frecuencia de muestreo, existirán traslapos en el espectro de la señal de muestreo. No obstante, se pueden hacer consideraciones de aproximación válidas tomando en cuenta tan sólo el contenido espectral significativo de la señal a ser muestreada. Se retoma este tópico en el teorema de muestreo.

#### Modelo del muestreador ideal.

En el siguiente análisis matemático se supondrá que la duración de muestreo  $p$  es muy pequeña comparada con el intervalo de muestreo  $T$ , y que la frecuencia de corte de la señal  $f(t)$  es relativamente pequeña, con el fin de aproximar la salida del muestreador de ancho de pulso finito, a una secuencia de pulsos de tope plano.

$$f_p^*(t) = \begin{cases} f(kT) & \text{para } kT \leq t \leq kT+p \\ 0 & \text{para } kT+p < t < (k+1)T \end{cases}$$

donde  $k=0, 1, 2, 3, \dots$

Se puede escribir la función muestreada  $f_p^*(t)$  en otra forma:

$$f_p^*(t) = \sum_{k=-\infty}^{\infty} f(kT) [U_1(t-kT) - U_1(t-kT-p)] \quad (2.3.18)$$

Obteniendo la transformada de Laplace en ambos miembros de la ecuación (2.3.18):

$$F_p^*(s) = \sum_{k=-\infty}^{\infty} f(kT) \left[ \int_0^{\infty} U_{-1}(t-kT) e^{-st} dt - \int_0^{\infty} U_{-1}(t-kT-p) e^{-st} dt \right] \quad (2.3.19)$$

$$= \sum_{k=-\infty}^{\infty} f(kT) \left[ \frac{1 - e^{-sp}}{s} \right] e^{-skT} \quad (2.3.20)$$

El binomio  $1 - e^{-sp}$  puede ser expresado en forma de serie:

$$1 - e^{-sp} = 1 - \left( 1 - sp + \frac{(sp)^2}{2!} - \dots \right)$$

Si se considera que se cumple la condición:  $p \ll 1$ , entonces resulta válida la ecuación (2.3.21):

$$1 - e^{-sp} = sp \quad (2.3.21)$$

Sustituyendo (2.3.21) en (2.3.20)

$$F_p^*(s) = p \sum_{k=-\infty}^{\infty} f(kT) e^{-skT} \quad (2.3.22)$$

La transformada inversa de Laplace de la expresión en (2.3.22) da:

$$f_p^*(t) = p \sum_{k=-\infty}^{\infty} f(kT) \delta(t-kT) \quad (2.3.23)$$

donde  $\delta(t)$  es la función impulso unitario.

De la ecuación anterior, se puede deducir que un muestreador de ancho de pulso finito puede ser representado por un muestreador ideal y un atenuador en serie (ver figura 2.3.7).

El muestreador ideal se define como aquél que se cierra y abre en forma instantánea cada período  $T$ . Por consiguiente, para un propósito práctico cuando se cumple que  $p \ll T$  y que el tiempo de retardo debido a la operación de muestreo y retención es pequeño, se considera válido el modelo ideal del muestreador.

Considerando el caso de un tren de impulsos, función que es multiplicada por la señal de entrada  $f(t)$  al muestreador:

$$f^*(t) = f(t) \sum_{k=-\infty}^{\infty} \delta(t-kT) \quad (2.3.24)$$

Dado que el tren de impulsos es una señal periódica, es susceptible de ser representada por una serie de Fourier. Sea:

$$g(t) = \sum_{k=-\infty}^{\infty} \delta(t-kT) = \sum_{n=-\infty}^{\infty} C_n e^{jn\omega_s t} \quad (2.3.25)$$

donde  $\omega_s$  es la frecuencia de muestreo ( $\omega_s = \frac{2\pi}{T}$ ).

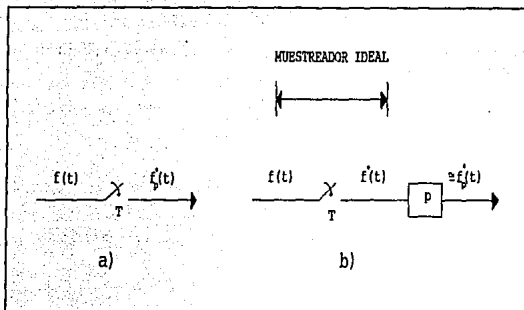


Figura 2.3.7 a) Muestreador de ancho de pulso finito  
b) Muestreador ideal con atenuador.

Los coeficientes  $C_n$  en la serie de Fourier están dados por la integral sobre un período.

$$C_n = \frac{1}{T} \int_{-T/2}^{T/2} g(t) e^{-jn\omega_s t} dt \quad (2.3.26)$$

Sustituyendo  $g(t)$  en (2.3.26):

$$C_n = \frac{1}{T} \int_{-T/2}^{T/2} \sum_{k=-\infty}^{\infty} \delta(t-kT) e^{-jn\omega_s t} dt \quad (2.3.27)$$

Intercambiando el orden de suma e integración:

$$C_n = \frac{1}{T} \sum_{k=-\infty}^{\infty} \int_{-T/2}^{T/2} \delta(t-kT) e^{-jn\omega_s t} dt \quad (2.3.28)$$

Claramente se observa en la ecuación (2.3.28) que el único impulso ubicado dentro del intervalo de integración es  $\delta(t)$ :

$$C_n = \frac{1}{T} \int_{-T/2}^{T/2} \delta(t) e^{-jn\omega_s t} dt \quad (2.3.29)$$

Aplicando una de las propiedades del impulso, se tiene que la integral en (2.3.29) es igual al valor de la función que multiplica al impulso evaluada en  $t=0$ .

$$C_n = \frac{1}{T} \quad (2.3.30)$$

Sustituyendo  $C_n$  en la ecuación (2.3.25):

$$\sum_{k=-\infty}^{\infty} \delta(t-kT) = \frac{1}{T} \sum_{n=-\infty}^{\infty} e^{jn\omega_s t} \quad (2.3.31)$$

La salida del muestreador anteriormente dada, se repite aquí por comodidad:

$$f^*(t) = f(t) \sum_{k=-\infty}^{\infty} \delta(t-kT)$$

Sustituyendo el resultado obtenido en (2.3.31) en la ecuación anterior:

$$f^*(t) = \frac{f(t)}{T} \sum_{n=-\infty}^{\infty} e^{jn\omega_s t} \quad (2.3.32)$$

Transformando ambos miembros de la ecuación (2.3.32):

$$\begin{aligned} \mathcal{F}\{f^*(t)\} &= \frac{1}{T} \int_{-\infty}^{\infty} [f(t) \sum_{n=-\infty}^{\infty} e^{jn\omega_s t} e^{-j\omega t}] dt \\ &= \frac{1}{T} \sum_{n=-\infty}^{\infty} \int_{-\infty}^{\infty} f(t) e^{-j(\omega - jn\omega_s) t} dt \end{aligned} \quad (2.3.33)$$

Haciendo un cambio de variable adecuado, y aplicando la definición de la transformada de Fourier:

$$F^*(\omega) = \mathcal{F}\{f^*(t)\} = \frac{1}{T} \sum_{n=-\infty}^{\infty} F(\omega - n\omega_s) \quad (2.3.34)$$

Dentro del campo de las comunicaciones la ecuación (2.3.31) expresa que el tren de impulsos corresponde a una secuencia de portadoras en

valores múltiplos de  $\omega_s$ ; la expresión (2.3.34) indica que cuando la señal  $f(t)$  modula todas estas portadoras, se genera un tren de bandas laterales infinito.

A diferencia del caso en el que se modulan pulsos en amplitud, donde las componentes complementarias y la fundamental sufren una ponderación en amplitud de acuerdo a una función SAC(), en la modulación de impulsos todas las componentes son afectadas por un mismo factor, que corresponde al inverso multiplicativo del período de muestreo.

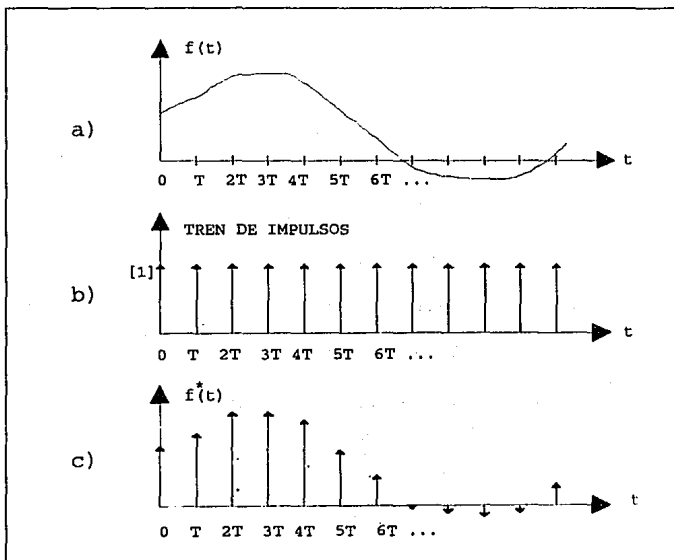


Figura 2.3.8 Formas de onda presentes en la entrada y salida de un muestreador ideal. a) Señal de entrada b) Tren de impulsos de magnitud unitaria. c) Señal de salida.

Al igual que en la modulación de pulsos en amplitud, también se tiene la restricción de que la frecuencia de muestreo debe ser el doble



o mayor del doble de la frecuencia más alta contenida en la señal de entrada; esto con el fin de evitar la distorsión debida al traslapeo anteriormente descrito, y así poder recuperar en algún momento dado la señal de entrada a partir de sus muestras. Los errores que origina este fenómeno de enmascaramiento pueden ser muy graves, especialmente si existe un contenido sustancial de ruido de alta frecuencia en la señal a ser muestreada.

### 2.3.2 Teorema de muestreo.

El teorema de muestreo establece que en ciertas condiciones es posible recuperar una señal a partir de sus muestras. En la figura 2.3.6 c) se observa que el espectro de densidad de amplitud  $F(\omega)$  se encuentra ubicado en la parte de bajas frecuencias de  $F_c(\omega)$ . Por lo que para recobrar  $F(\omega)$  a partir de sus muestras, basta hacer pasar la señal  $f_s(t)$  a través de un filtro paso bajas y multiplicar por  $T$  a fin de compensar la ganancia para  $f(t)$ .

Suponiendo que la frecuencia de muestreo es igual al doble de la frecuencia más alta presente en la señal  $f(t)$  ( $\omega_s = 2\omega_c$ ), se puede recuperar la señal original mediante el uso de un filtro paso bajas ideal cuya banda de paso esté dada por el intervalo  $-\omega_c \leq \omega \leq \omega_c$  y su ganancia sea igual a  $T$ .

Suponiendo que la función de transferencia del filtro paso bajas es  $L(s)$ , se puede escribir la siguiente ecuación:

$$F(\omega) = L(j\omega)F^*(\omega) \quad (2.3.35)$$

Aplicando la transformada inversa de Fourier en ambos miembros de la ecuación (2.3.35):

$$\begin{aligned} \mathcal{F}^{-1} \{ F(\omega) \} &= \mathcal{F}^{-1} \{ L(j\omega)F^*(\omega) \} \\ f(t) &= \mathcal{F}^{-1} \{ L(j\omega)F^*(\omega) \} \end{aligned} \quad (2.3.36)$$

Una de las propiedades de la transformada de Fourier precisa que el producto de las transformadas de dos funciones puede ser tratado en el dominio del tiempo como la convolución entre dichas funciones; de este modo se procede a encontrar la respuesta al impulso de la función  $L(j\omega)$ .

$$l(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} L(j\omega) e^{j\omega t} d\omega = \frac{1}{2\pi} \int_{-\pi/T}^{\pi/T} T e^{j\omega t} d\omega \quad (2.3.37)$$

El resultado de la integral en (2.3.37) es :

$$l(t) = \text{SAC} \left( \frac{\pi t}{T} \right) \quad (2.3.38)$$

La operación de convolución entre las dos expresiones (2.3.24) y (2.3.38) corresponde a la ecuación (2.3.39):

$$f(t) = \int_{-\infty}^{\infty} f(\tau) \sum_{k=-\infty}^{\infty} \delta(\tau - kT) \text{SAC}\left(\frac{\pi(t-\tau)}{T}\right) d\tau \quad (2.3.39)$$

Empleando la propiedad de corrimiento del impulso, la ecuación anterior proporciona finalmente:

$$f(t) = \sum_{k=-\infty}^{\infty} f(kT) \text{SAC}\left(\frac{\pi(t-kT)}{T}\right) d\tau \quad (2.3.40)$$

La ecuación (2.3.40) muestra que la función SAC(), antes definida, es la interpoladora que llenará los intervalos de tiempo entre muestras con una onda que no posee frecuencias angulares fuera del intervalo  $\pm\pi/T$ .

Existe un grave problema, pues el filtro ideal es no causal. En el área de las comunicaciones, el problema de la interpolación de la señal no es crítico, dado que la reconstrucción de la señal no será necesaria sino hasta mucho tiempo después de que las muestras son adquiridas, y la no causalidad se puede evitar agregando un retardo en fase al filtro paso bajas, lo cual añade un retardo en tiempo al filtro y por consiguiente a las señales de entrada a dicho filtro. Sin embargo, en sistemas de control un gran retardo generalmente es desastroso para la estabilidad, de modo que en sistemas de control digital se evitan tales aproximaciones a la función SAC() y se emplea alguna otra; una aproximación frecuentemente utilizada en sistemas de control digital es el retén de orden cero.

Los efectos del retén de orden cero son los de introducir un cambio en fase igual a  $\omega T/2$ , correspondiente a un tiempo de retardo de  $T/2$  segundos, y el de multiplicar el espectro de amplitud de la señal de muestras por una función SAC().

### 2.3.3 Retén de orden cero.

Cuando se emplea sólo el primer término de la serie de potencias en (2.3.41), para la reconstrucción de la señal analógica original a partir de sus muestras, se le denomina aproximación de retén de orden cero.

$$f_k(t) = f(kT) + f'(kT)(t-kT) + \frac{f''(kT)}{2!}(t-kT)^2 + \dots \quad (2.3.41)$$

donde  $f_k(t) = f(t)$  para  $kT \leq t < (k+1)T$ , por consiguiente, se puede escribir:

$$f_k(t) = f(kT) \quad \text{con} \quad kT \leq t < (k+1)T \quad (2.3.42)$$

La ecuación (2.3.42) define la respuesta al impulso del retén de orden cero; el impulso de entrada y la respuesta al impulso del retén de orden cero ideal, se muestran en la figura 2.3.9.

El dispositivo de retención guarda el nivel de amplitud  $f(kt)$  en el instante de muestreo  $t=kt$ . La velocidad real de carga del capacitor es determinada por el valor de capacitancia y la impedancia de la fuente de entrada. Pero ahora sólo será considerado el caso ideal.

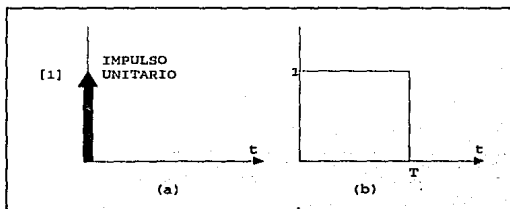


Figura 2.3.9 a) Impulso de entrada al retén  
b) Respuesta al impulso del retén.

La respuesta al impulso del retén de orden cero es:

$$h_{ROC}(t) = U_{-1}(t) - U_{-1}(t-T) \quad (2.3.43)$$

Transformando ambos miembros de la ecuación (2.3.43) al dominio  $s$ :

$$\mathcal{L}\{h_{ROC}(t)\} = \mathcal{L}\{U_{-1}(t) - U_{-1}(t-T)\}$$

$$H_{ROC}(s) = \int_0^{\infty} U_{-1}(t) e^{-st} dt - \int_0^{\infty} U_{-1}(t-T) e^{-st} dt$$

$$= \frac{e^{-st}}{-s} \Big|_0^{\infty} - \frac{e^{-st}}{-s} \Big|_T^{\infty}$$

$$= 0 + \frac{1}{s} + 0 - \frac{e^{-sT}}{s}$$

$$H_{ROC}(s) = \frac{1 - e^{-sT}}{s} \quad (2.3.44)$$

Las formas de onda de entrada y salida de un retén de orden cero ideal, se muestran en la figura 2.3.10.

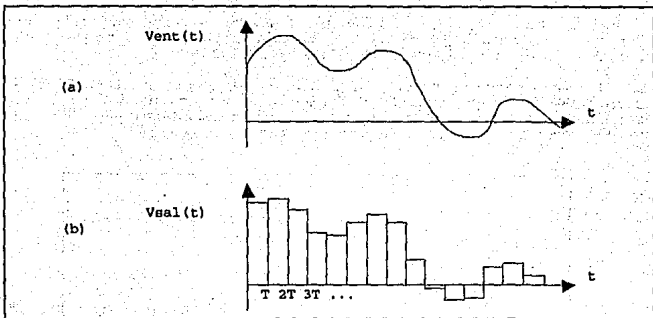


Figura 2.3.10 Operación del retén de orden cero ideal en el dominio del tiempo. Señales de a) entrada y b) salida.

Sustituyendo  $j\omega$  en lugar de  $s$  en la ecuación (2.3.44):

$$H_{ROC}(j\omega) = \frac{1 - e^{-j\omega T}}{j\omega} \quad (2.3.45)$$

Escribiendo la ecuación (2.3.45) en otra forma:

$$\begin{aligned} H_{ROC}(j\omega) &= 2 \frac{\text{SEN}\left(\frac{\omega T}{2}\right)}{\omega} e^{-\frac{j\omega T}{2}} \\ &= T \frac{\text{SEN}\left(\frac{\omega T}{2}\right)}{\left(\frac{\omega T}{2}\right)} e^{-\frac{j\omega T}{2}} \end{aligned} \quad (2.3.46)$$

Puesto que  $T$  es el periodo de muestreo en segundos y  $T=2\pi/\omega_s$ , donde  $\omega_s$  es la frecuencia de muestreo en rad/s, la ecuación (2.3.46) puede ser escrita como:

$$\begin{aligned} H_{ROC}(j\omega) &= \frac{2\pi}{\omega_s} \frac{\text{SEN}\left(\frac{\omega\pi}{\omega_s}\right)}{\left(\frac{\omega\pi}{\omega_s}\right)} e^{-\frac{j\omega\pi}{\omega_s}} \\ H_{ROC}(j\omega) &= \frac{2\pi}{\omega_s} \text{SAC}\left(\frac{\omega\pi}{\omega_s}\right) e^{-\frac{j\omega\pi}{\omega_s}} \end{aligned} \quad (2.3.47)$$

Las características de ganancia y fase del retén de orden cero ideal basadas en la ecuación (2.3.47), se muestran en la figura 2.3.11; éste se comporta esencialmente como un filtro paso bajas, tal y como se indica en dicha figura:

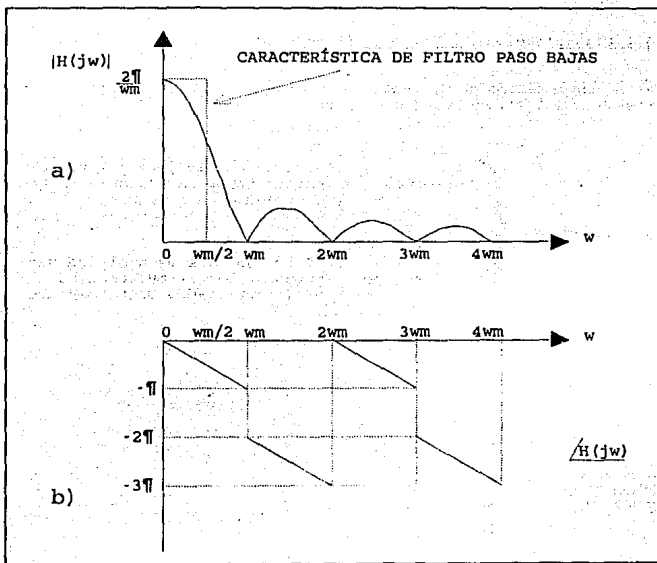


Figura 2.3.11 Características de a) ganancia y b) fase del retén de orden cero ideal.

## 2.4 CUANTIFICACIÓN Y ERROR DE CUANTIFICACIÓN.

**Cuantificación.**- Es el proceso mediante el cual la señal de muestras analógicas (por ejemplo la señal de salida de un circuito de muestreo y retención) se convierte en una señal de muestras digital.

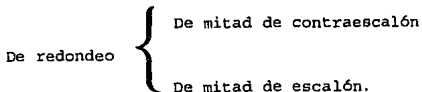
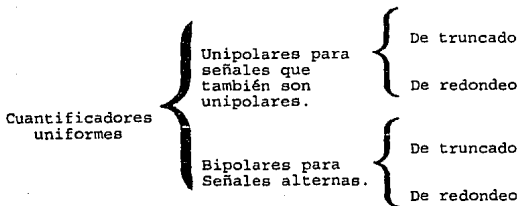
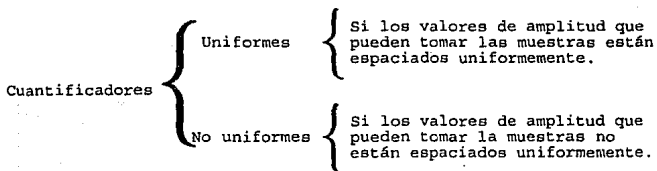
LAS MUESTRAS TOMAN  
UN NÚMERO INFINITO  
DE VALORES DE AMPLITUD.

CUANTIFICADOR

LAS MUESTRAS TOMAN  
SOLO UN NÚMERO FINITO W  
DE VALORES DE AMPLITUD.

### 2.4.1 Clasificación de los cuantificadores.

A continuación se presenta un cuadro sinóptico sobre los diferentes tipos de cuantificadores que existen:



### 2.4.2 Cuantificador uniforme.

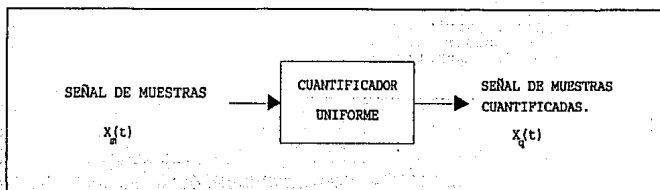


Figura 2.4.1 Bloque cuantificador uniforme.

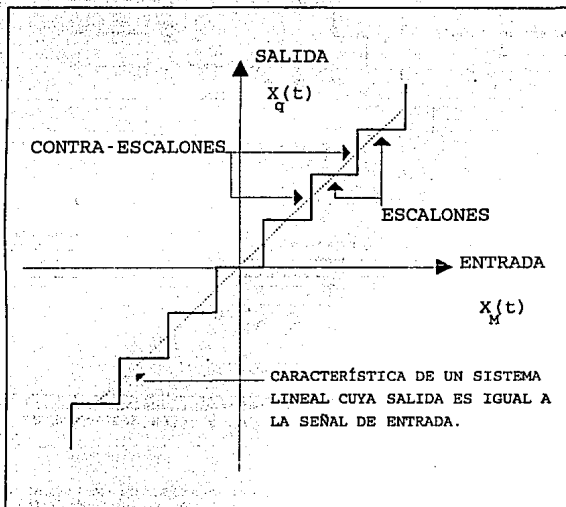


Figura 2.4.2 Característica de transferencia de un cuantificador (escalera).

A continuación se muestran diversos ejemplos de cuantificadores uniformes bipolares, considerando una conversión A/D con un código binario y palabras de código de 3 bits:

Número de niveles de amplitud permitidos por el cuantificador.  
(Niveles de cuantificación)

$$= W = 2^3 = 8$$

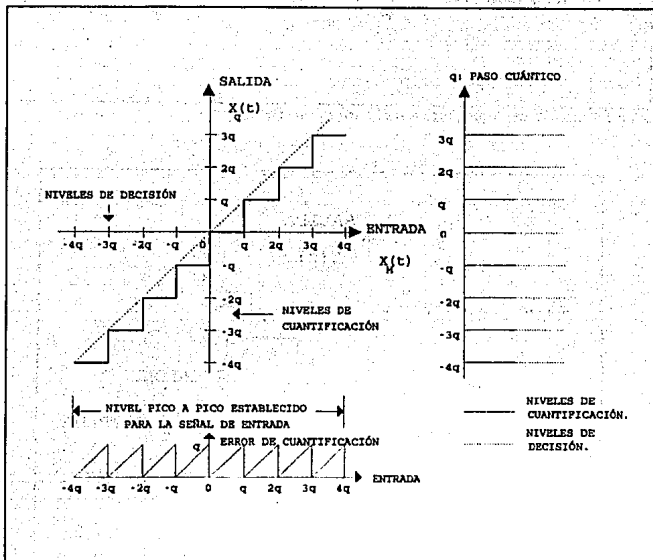


Figura 2.4.3 Característica de transferencia de un cuantificador uniforme de truncado y su gráfica del error de cuantificación.

En la figura 2.4.3 se muestra la característica de transferencia de un cuantificador uniforme de truncado, en donde la entrada  $X_n(t)$  consiste



de muestras no cuantificadas, y la salida  $X_q(t)$  se compone de muestras cuantificadas en función de la característica de transferencia del cuantificador.

El error de cuantificación se obtiene de la diferencia entre el valor de la señal de entrada menos el valor de la señal de salida:

$$e(t) = X_H(t) - X_q(t)$$

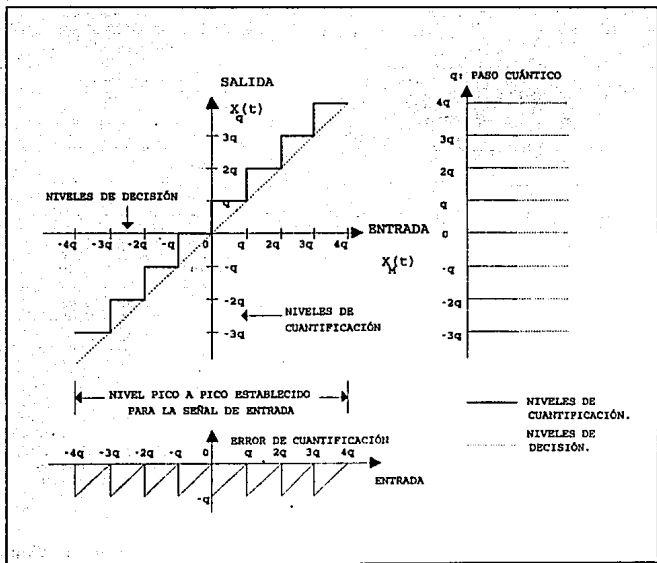


Figura 2.4.4 Característica de transferencia de un cuantificador uniforme de truncado y su gráfica del error de cuantificación.

Las características de transferencia de los cuantificadores en las

figuras 2.4.3 y 2.4.4 son muy parecidas, la diferencia consiste en que para una de ellas el error de cuantificación siempre es positivo y para la otra siempre es negativo, tal y como se indica en las gráficas de error de cada uno de los cuantificadores.

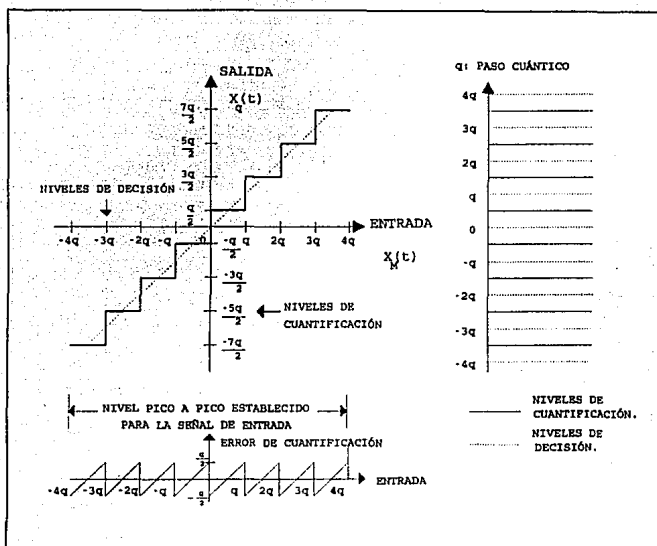


Figura 2.4.5 Característica de transferencia de un cuantificador uniforme de redondeo mitad de escalón y su gráfica del error de cuantificación.

La característica de transferencia del cuantificador en la figura 2.4.5, tiene un inconveniente, ya que amplifica el ruido presente en la entrada dentro del intervalo  $-q \leq X_M(t) \leq q$ . La característica de transferencia del cuantificador de la figura 2.4.6 no presenta el mismo problema, pues todos los valores de amplitud de la señal de entrada incluidos en el rango  $-q/2 \leq X_M(t) \leq q/2$ , son cuantificados con un valor de cero.

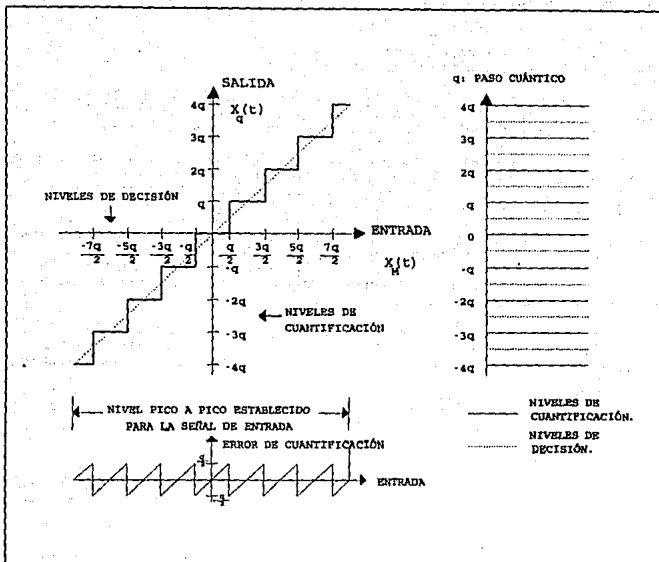


Figura 2.4.6 Característica de transferencia de un cuantificador uniforme de redondeo mitad de contra-escalón y su gráfica del error de cuantificación.

El ruido de cuantificación se genera artificialmente en el proceso de cuantificación.

$$X_q(t) = X_M(t) - \epsilon(t)$$

El valor cuadrático medio del ruido de cuantificación es menor en un cuantificador de redondeo que en uno de truncado, es por ello que en los sistemas digitales se prefiere el proceso de cuantificación de redondeo.

### 2.4.3 Error de cuantificación.

El error de cuantificación se define como la diferencia entre la señal de entrada y la señal de salida, ambas de un cuantificador.

El máximo error de cuantificación en un cuantificador uniforme de truncado es igual a un paso cuántico  $q$ , el máximo error de cuantificación en un cuantificador uniforme de redondeo es igual a  $q/2$ .

El valor que representa el bit menos significativo depende del tamaño de la palabra de la computadora particular en uso. En control digital, su elección depende de la precisión necesaria y rango dinámico, y está limitada por el costo.

El análisis del efecto de la cuenta mínima (paso cuántico) permite encontrar el tamaño adecuado de la palabra para garantizar la estabilidad y calcular los errores debidos a los efectos de cuantificación. El análisis de los efectos de redondeo depende del modelo que se tome para el error de cuantificación ( $\epsilon$ ):

- El peor caso, para el que se limitará el error debido al redondeo.
- El peor caso en estado estable, para el cual será calculado el error más grande posible si el sistema llega a un estado estable constante.
- Estocástico, en el que el modelo del redondeo es presentado como un proceso aleatorio y se obtiene el valor raíz medio cuadrático del error de salida debido al redondeo.

#### a) Análisis del peor caso.

El análisis del peor caso, toma un punto de vista pesimista sobre el hecho de que el redondeo origina el máximo daño; este análisis acota el máximo error que puede ocurrir en función del redondeo.

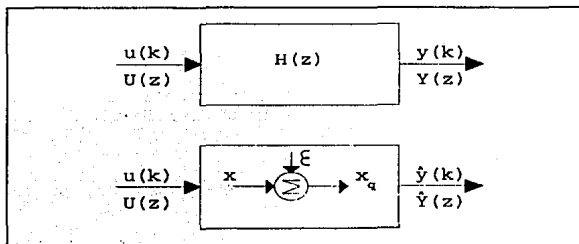


Figura 2.4.7 Sistema lineal e invariable en el tiempo y la introducción de una fuente de errores de redondeo.

Considerando el caso mostrado en la figura 2.4.7, se supone que existe sólo una operación de cuantificación dentro de un sistema lineal e invariable en el tiempo. La función de transferencia a partir del punto de redondeo a la salida, se denomina  $H_1(z)$ , en forma algebraica se tiene:

$$Y(z) = H(z)U(z) \quad (2.4.1)$$

$$\hat{Y}(z) = H(z)U(z) - H_1(z)e_1(z;x) \quad (2.4.2)$$

$$Y(z) - \hat{Y}(z) = H_1(z)e_1(z;x) = \tilde{Y}(z) \quad (2.4.3)$$

Se escribe  $e_1$  como una función de la variable de estado  $x$  para señalar enfáticamente que la ecuación (2.4.1) no es lineal debido a que no se sabe la forma de calcular  $e_1$  hasta que no se tengan los valores de  $x$ ; por consiguiente no se puede saber el valor exacto de  $\hat{y}$ , pero si el límite superior del error en el tiempo,  $\hat{y}(k)$ . En el dominio del tiempo la ecuación (2.4.3) se escribe como la suma de convolución:

$$\tilde{y}(n) = \sum_{k=0}^n h_1(k) e_1(n-k;x) \quad (2.4.4)$$

La magnitud de  $e_1$ , está acotada por  $\pm q_1/2$ , donde  $q_1$  es el paso cuántico utilizado.

Tomando las magnitudes en ambos miembros de la ecuación (2.4.4):

$$|\tilde{y}| = \left| \sum_{k=0}^n h_1(k) e_1(n-k;x) \right| \quad (2.4.5)$$

La suma está acotada por la suma de magnitudes de cada término, por lo que se tiene la siguiente desigualdad:

$$|\tilde{y}| \leq \sum_{k=0}^n |h_1(k) e_1(n-k;x)| \quad (2.4.6)$$

La expresión anterior también se puede escribir como:

$$|\tilde{y}| \leq \sum_{k=0}^n |h_1(k)| |e_1(n-k;x)| \quad (2.4.7)$$

Pero el valor del error de cuantificación está siempre acotado por los límites  $\pm q_1/2$ , así el error en la salida está acotado por:

$$|\tilde{y}| \leq \sum_{k=0}^n |h_1(k)| \frac{q_1}{2} \quad (2.4.8)$$

Finalmente, la suma puede ser mayor si se incrementa el número de términos,  $n \rightarrow \infty$  :

$$|y| \leq \sum_{k=0}^{\infty} |h_1(k)| \frac{q}{2} \quad (2.4.9)$$

Si el sistema lineal es BIBO (entrada acotada, salida acotada) estable, en respuesta a entradas aplicadas en el punto de cuantificación, entonces el proceso de cuantificación embebido no causará que el sistema sea inestable en el sentido BIBO.

El sistema que incluye algún proceso de cuantificación puede tener un error que tal vez no sea cero o una constante sino una oscilación de manera que el sistema no sea asintóticamente estable, sin embargo el error de salida no crecerá más allá del límite señalado en la ecuación (2.4.9).

**b) Análisis del peor caso en estado estable.**

En este análisis, los errores transitorios no tienen ningún interés especial y se supone que todas las variables eventualmente se convierten en constantes en el estado estable. Para saber que tan grande es el error en estado estable a partir de la operación de redondeo, se hace la suposición de que el sistema descrito por la ecuación (2.4.4) llega a un estado estable, en el que el error de cuantificación se torna constante y está acotado por  $\pm q/2$ , por lo tanto la ecuación (2.4.4) se reduce a:

$$y(\infty) = \sum_{k=0}^{\infty} h_1(k) e_{ss} \quad (2.4.10)$$

El máximo error en estado estable corresponde a la magnitud de esta función con  $e_{ss} = q/2$ , lo que proporciona el siguiente error en la salida del sistema:

$$|y_{ss}(\infty)| \leq \frac{q}{2} \sum_{k=0}^{\infty} |h_1(k)| \quad (2.4.11)$$

La magnitud de la suma es igual al valor de la función de transferencia  $H_1(z)$  evaluada en  $z=1$  (teorema del valor final):

$$H_1(1) = \sum_{k=0}^{\infty} h_1(k) \quad (2.4.12)$$

Finalmente, se puede sustituir (2.4.12) en (2.4.11):

$$|y_{ss}(\infty)| \leq \frac{q}{2} |H_1(1)| \quad (2.4.13)$$

En las ecuaciones (2.4.9) y (2.4.13) se expresan las consecuencias del redondeo debido a una fuente, pero ambas pueden generalizarse en caso de que hayan múltiples fuentes de redondeo.

La principal ventaja del resultado del peor caso en estado estable sobre el resultado obtenido mediante el análisis del peor caso, es su forma más sencilla. Sin embargo, no siempre se sostiene debido a la suposición de tener un error de cuantificación constante  $q/2$  en el estado estable, y todavía menos el límite superior del peor caso dado en la ecuación (2.4.9) que frecuentemente es muy pesimista.

c) Análisis estocástico de error de redondeo.

El tercer modelo para el error de redondeo corresponde al de una variable estocástica. Si se considera que la señal de entrada  $x(t)$  en un cuantificador uniforme de redondeo de mitad de escalón, es una señal aleatoria, a partir de la cual se toman valores, en ciertos instantes de muestreo sucesivos en forma distribuida a través de la escala completa de valores, entonces la señal de error también estará distribuida sobre el rango completo de valores posibles ( $\pm q/2$ ). Además debido a que la gráfica diente de sierra  $\varepsilon$  contra  $x$  es lineal y no contiene secciones planas, que en su caso indicarían una preferencia por algún valor de  $\varepsilon$  sobre otros, de este modo, se puede inferir fácilmente que los valores de  $\varepsilon(k)$  son afortunados en forma equitativa para ocurrir dentro del intervalo  $\pm q/2$ .

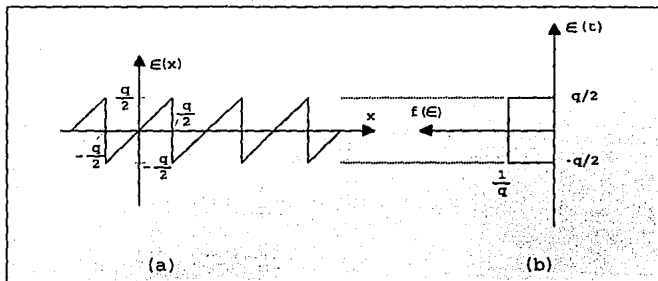


Figura 2.4.8 a) Gráfica de la señal de error de cuantificación.  
b) Función de densidad de probabilidad del error de cuantificación.

Si la señal de entrada al cuantificador típicamente toma diversos valores durante los periodos de muestreo, resulta válida la suposición de que el valor de error en un tiempo de muestreo no está correlacionado

con los errores de otros tiempos de muestreo; esto es, se esperaba que su espectro fuera plano, el cual corresponde al espectro del ruido blanco; por tanto en términos de procesos estocásticos se puede afirmar que el modelo de ruido blanco es atribuible a la señal de error  $\varepsilon(k)$ , la cual tiene una función de densidad de probabilidad uniforme como se muestra en la figura 2.4.8 b). Cabe señalar que para cualquier función de densidad de probabilidad, se debe cumplir que el área abajo de la curva en el intervalo  $(-\infty, \infty)$  sea igual a 1, matemáticamente:

$$\int_{-\infty}^{\infty} f(\varepsilon) d\varepsilon = 1$$

A partir de esta función de densidad de probabilidad, se puede calcular el valor medio y la variancia:

Valor medio:

$$\mu_{\varepsilon} = E\{\varepsilon\} = \int_{-\infty}^{\infty} \varepsilon f(\varepsilon) d\varepsilon = \int_{-q/2}^{q/2} \varepsilon \frac{1}{q} d\varepsilon = \frac{1}{q} \frac{\varepsilon^2}{2} \Big|_{-q/2}^{q/2} = 0$$

La expresión anterior proporciona el valor de componente de corriente directa presente en la señal de error.

Variancia:

$$\sigma_{\varepsilon}^2 = \int_{-\infty}^{\infty} (\varepsilon - \mu_{\varepsilon})^2 f(\varepsilon) d\varepsilon = \int_{-q/2}^{q/2} \varepsilon^2 \frac{1}{q} d\varepsilon = \frac{\varepsilon^3}{3q} \Big|_{-q/2}^{q/2} = \frac{q^2}{12}$$

Para el siguiente análisis matemático sobre la señal de error, se toma en cuenta el modelo de ruido blanco:

$$\varepsilon(k) = \omega(k)$$

La función de autocorrelación para esta señal es:

$$R_{\omega}(n) = E\{\omega(k)\omega(k+n)\} = \frac{q^2}{12} \text{ para } n=0$$

$$= 0 \qquad \text{para } n \neq 0$$

Mediante el uso de este modelo, se puede calcular tanto el valor medio como la variancia del error en las señales de salida del sistema debido al proceso de redondeo; empleando algunas propiedades de la transformada zeta, se puede encontrar la relación entre el espectro de densidad de potencia  $\gamma$  y  $\omega$ :



$$S_y(z) = H_1(z) H_1(z^{-1}) S_w(z) \quad (2.4.14)$$

$$S_w(z) = \mathfrak{F}\{R_w(n)\} = \sum_{n=-\infty}^{\infty} R_w(n) z^{-n} = R_w(0) = \frac{\sigma^2}{12}$$

Sustituyendo este resultado en la ecuación (2.4.14):

$$S_y(z) = H_1(z) H_1(z^{-1}) \frac{\sigma^2}{12} \quad (2.4.15)$$

Para calcular la variancia en 'y' debido a este ruido, se usa el hecho de que la variancia en y para un ruido cuyo valor promedio es cero, corresponde a la autocorrelación de y para  $n = 0$ :

$$\sigma_y^2 = R_y(0)$$

Se puede escribir la siguiente relación:

$$R_y(n) = \mathfrak{F}^{-1}\{S_y\}$$

O bien usando la forma integral de la transformada inversa zeta y sustituyendo después el resultado de la ecuación (2.4.15) en la ecuación anterior:

$$\sigma_y^2 = \frac{1}{2\pi j} \oint H_1(z) H_1(z^{-1}) \frac{\sigma^2}{12z} dz \quad (2.4.16)$$

# CAPÍTULO 3

### 3. EL CONTROLADOR DIGITAL PID.

#### 3.1 ACCIONES DE CONTROL BÁSICAS EN SISTEMAS CONTINUOS.

Como ya se mencionó en el capítulo introductorio, un controlador es un dispositivo que actúa sobre una señal de entrada procesándola para entregar una señal de control. Por lo regular el controlador se coloca en cascada con la planta de modo que su entrada sea la señal de error como se muestra en la figura 3.1.1.

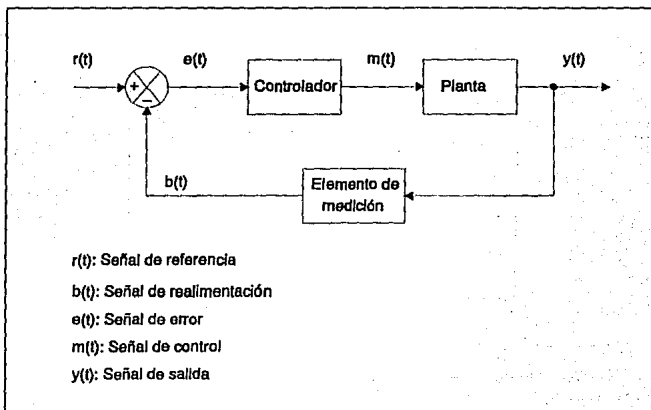


Figura 3.1.1 Posición de un controlador en cascada en un sistema de control.

En este esquema, la manera como se procesa la señal de error en el dispositivo de control se conoce como acción de control. En control analógico se encuentran tipificadas varias acciones de control; entre éstas, las más comunes son las acciones de dos posiciones (ON-OFF), proporcional, derivativa, integral y combinaciones de las últimas tres. A continuación se aborda cada una de ellas.

### 3.1.1 Control de dos posiciones (ON-OFF).

Ley de control:

$$m(t) = \begin{cases} m, & e < 0 \\ M, & e \geq 0 \end{cases}$$

La señal de control es máxima (M) o mínima (m) (abierto o cerrado) de acuerdo con el signo de la señal de error únicamente.

En la figura 3.1.2 se observa que la función de transferencia de este controlador es no lineal. Debido a que la señal de control no depende de la magnitud de la señal de error, se tiene baja exactitud.

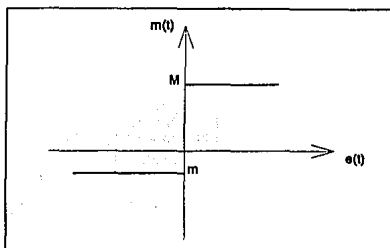


Figura 3.1.2 Acción de control de dos posiciones.

Además, durante el funcionamiento de este controlador se presentan conmutaciones repetidas de la señal de control lo que reduce la vida útil de los componentes del mismo. Para reducir este efecto se hace uso de un pequeño traslapeo como se muestra en la figura 3.1.3.

En estas condiciones, la conmutación ocurre a un valor determinado de error cuyo signo dependerá de si se está incrementando o decrementando con un efecto similar al de histéresis; con esto se reducen las conmutaciones aunque aumenta la magnitud del error en determinados instantes.

El controlador ON-OFF es de muy bajo costo y se utiliza cuando no se requiere gran exactitud en plantas de respuesta lenta donde la señal de referencia casi no cambia en el tiempo.

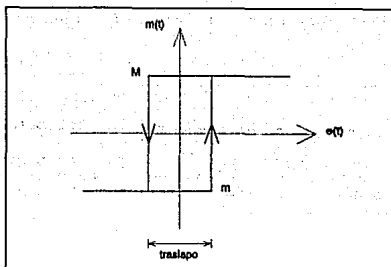


Figura 3.1.3 Acción de control de dos posiciones con traslapeo.

### 3.1.2 Control proporcional.

Ley de control: La señal de control es en todo momento proporcional a la señal de error, esto es:

$$m(t) = K_p e(t)$$

donde  $K_p$  es la constante de proporcionalidad.

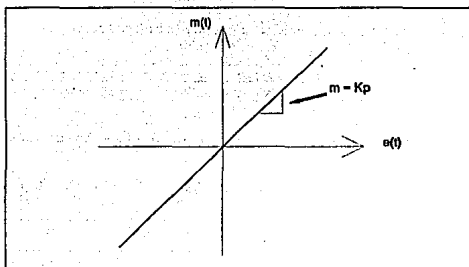


Figura 3.1.4 Función de transferencia del controlador proporcional.

La función de transferencia del controlador es por lo tanto:

$$\frac{M(s)}{E(s)} = K_p$$

La figura 3.1.4 muestra el comportamiento de este controlador.

Frecuentemente la ganancia  $K_p$  se da como un porcentaje de banda proporcional (%B.P.); esto es, el porcentaje que representa el rango de variación de la señal de entrada con respecto al rango de variación de la señal de salida. De este modo:

$$K_p = \frac{100\%}{\%B.P.}$$

Un controlador proporcional no puede hacer nulo el error en estado estable del sistema por lo tanto es utilizado cuando no se requiere gran exactitud. La acción proporcional puede mejorar la respuesta transitoria del sistema y su estabilidad.

### 3.1.3 Control derivativo.

Ley de control: La señal de control es proporcional a la derivada de la señal de error.

$$m(t) = T_d \frac{de(t)}{dt}$$

La función de transferencia de este controlador es:

$$\frac{M(s)}{E(s)} = T_d s$$

donde  $T_d$  es la constante de proporcionalidad y se le conoce como tiempo derivativo.

Ya que  $de(t)/dt$  corresponde a la pendiente de la función de error  $e(t)$ , se considera al control derivativo como un control anticipativo porque si  $e(t)$  o  $y(t)$  tienen una pendiente pronunciada en el inicio de la respuesta, se tendrán grandes sobrepasos; el control derivativo "prevee" el sobrepaso y genera la señal correctiva de control para evitarlo, mejorándose con esta acción el amortiguamiento del sistema.

Si la señal de error en estado estable es constante el control

derivativo no podrá reducirlo; además, en vista de que tiene característica de filtro paso altas tenderá a amplificar el ruido presente en el sistema.

Generalmente su construcción física va acompañada de un filtro paso bajas con el objeto de que el controlador sea causal, atenúe el ruido y pueda ser realizado adecuadamente.

La función de transferencia de este controlador que incluye el filtro mencionado es la siguiente:

$$\frac{M(s)}{E(s)} = \frac{T_D s}{\frac{T_D}{N} s + 1} \quad \text{por lo general } N \in \mathbb{N}$$

Este controlador se utiliza cuando existen tiempos muertos en el sistema y cuando se desea amortiguar el transitorio en la respuesta.

#### 3.1.4 Control integral.

Ley de control: La señal de control es proporcional a la integral de la señal de error.

$$m(t) = K_I \int e(t) dt$$

La función de transferencia de este controlador es:

$$\frac{M(s)}{E(s)} = \frac{K_I}{s} = \frac{1}{T_I s} \quad \text{con } K_I = \frac{1}{T_I}$$

$K_I$  es la constante de proporcionalidad y frecuentemente se da en repeticiones por minuto; su recíproco  $T_I$  es una medida de la velocidad de corrección del error.

El control integral aumenta en una unidad el orden y tipo del sistema por lo que el error en estado estable mejora en un grado; es decir, si a una entrada determinada el sistema tiene un error en estado estable constante, el control integral lo reduce a cero.

Ya que el sistema aumentó su orden, tiene tendencia a la inestabilidad de acuerdo a la ganancia en malla abierta. Además el control integral puede provocar saturación en el elemento de control.

El control integral se utiliza cuando se requiere una buena exactitud sin importar la variación temporal de la señal de referencia.

### 3.1.5 Control proporcional, integral y derivativo (PID).

Un controlador puede combinar de alguna forma las acciones proporcional, integral y derivativa con el objeto de aprovechar los beneficios que brinda cada una, teniendo cuidado en el diseño para compensar sus desventajas.

Con esto en mente, se puede considerar un controlador con buen desempeño que combine los tres tipos de control de la siguiente manera:

Ley de control PID: La señal de control es proporcional a la suma de la señal de error más una parte proporcional a su derivada más una parte proporcional a su integral.

$$m(t) = K_p [ e(t) + T_D \frac{de(t)}{dt} + K_I \int e(t) dt ]$$

La función de transferencia de este controlador es:

$$\frac{M(s)}{E(s)} = K_p + K_p T_D s + \frac{K_p K_I}{s}$$

El controlador PID representa una muy buena opción para sistemas que deben cubrir estrictas especificaciones en su funcionamiento; es por esto que es conveniente tener una aproximación digital de este controlador para aplicarlo en sistemas de control digital.

### 3.2 TÉCNICAS DE APROXIMACIÓN DISCRETA DE SISTEMAS CONTINUOS.

En ocasiones es conveniente cambiar un controlador analógico para una planta continua por un controlador digital por las ventajas inherentes del control digital. El problema en este caso consiste en obtener una aproximación discreta al controlador analógico de modo que al implantar el controlador digital, éste tenga un comportamiento muy parecido al que le dio lugar. En otras palabras, se trata de obtener un equivalente aproximado discreto de una función de transferencia continua.

Existen tres métodos importantes para obtener una aproximación discreta de una función de transferencia continua, a saber:

- 1.- Integración numérica
- 2.- Mapeo de polos y ceros
- 3.- Aproximación usando un retén

Como se mencionó anteriormente, el efecto del retén de orden cero



correspondiente al modelo del convertidor D/A, es el retardo de  $T_s/2$  segundos de la señal de salida, lo que se traduce en un retardo de fase; esto trae como consecuencia un deterioro en el margen de fase de la función de transferencia de malla abierta del sistema de control con sus correspondientes repercusiones en el funcionamiento del sistema de control completo.

Hay que hacer notar que entre más pequeño sea el periodo de muestreo  $T_s$ , el retardo mencionado decrecerá, aproximándose más el funcionamiento de ambos controladores. Es pues el valor de  $T_s$  un parámetro de suma importancia que deberá tomarse en cuenta en el diseño.

### Selección del periodo de muestreo.

La función de transferencia del retén de orden cero en un sistema de control digital puede aproximarse de la siguiente forma para  $T$  pequeño:

$$H_{Roc} = \frac{1 - e^{-sT}}{s} = T \frac{1 - 1 + sT - \frac{(sT)^2}{2} + \dots}{sT} = T \left(1 - \frac{sT}{2} + \dots\right) = T e^{-\frac{sT}{2}}$$

En esta expresión, se debe observar el efecto de un retardo igual a medio periodo de muestreo en la señal de salida del retén. En el dominio de la frecuencia se tiene:

$$H_{Roc}(j\omega) = T e^{-j\omega T/2}$$

lo que equivale a un retardo en fase de la respuesta en frecuencia que puede deteriorar el margen de fase de la función de transferencia de malla abierta. Considerando un deterioro máximo del margen de fase de  $5^\circ$  se tiene que:

$$\frac{\omega_c T}{2} \leq \frac{5\pi}{180} \quad \text{o bien} \quad \frac{f_c T}{2} \leq \frac{5}{360}$$

$$f_m \geq 36 f_c$$

donde  $f_m$  es la frecuencia de muestreo,  $f_c$  es la frecuencia de ganancia crítica y  $\omega_c$  es la frecuencia angular de ganancia crítica.

Esta última desigualdad indica que para obtener un descenso de hasta  $5^\circ$  en el margen de fase de la señal de realimentación, se debe aplicar una frecuencia de muestreo de cuando menos 36 veces la frecuencia de ganancia crítica de la señal realimentada.

### 3.3 EL CONTROLADOR DISCRETO PID.

En muchas aplicaciones del control es suficiente el uso del controlador PID por su excelente desempeño. La función de transferencia del controlador PID analógico más práctica es:

$$\frac{M(s)}{E(s)} = K_p \left( 1 + \frac{1}{T_i s} + \frac{T_d s}{1 + \frac{T_d s}{N}} \right) \quad (3.3.1)$$

En esta expresión se observa que se ha introducido el filtro para la parte derivativa; para fines de diseño y construcción,  $N$  se fija por lo general en un rango de 3 a 10.

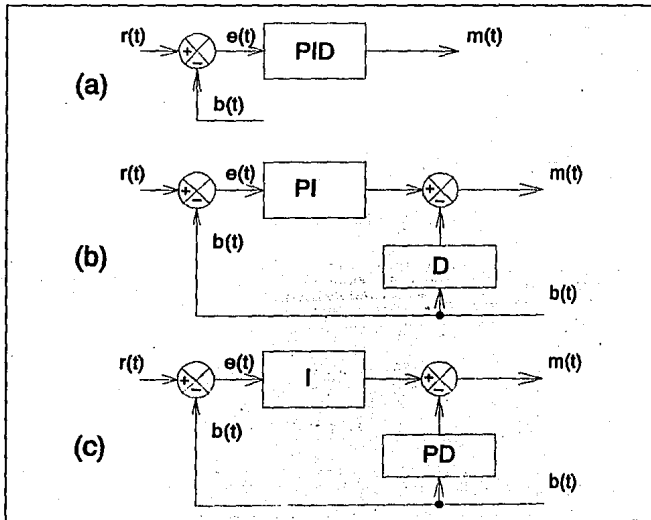


Figura 3.3.1 Tres estructuras comunes para controladores PID analógicos y digitales.

Existen algunas modificaciones en la estructura convencional del controlador PID dado por la ecuación (3.3.1). La figura 3.3.1 muestra 3 estructuras PID frecuentemente usadas en control. En (a) se tiene la estructura convencional del controlador PID que actúa solamente sobre la señal de error. En (b) la parte derivativa no actúa directamente sobre la señal de error, con el fin de evitar una señal de control de gran magnitud al presentarse cambios abruptos en la señal de referencia. En (c) sólo actúa sobre la señal de error la parte integral.

En la actualidad se fabrican varias tarjetas de control digital directo PID con las más variadas estructuras, aproximaciones y algoritmos. El presente trabajo se enfoca a la estructura convencional mostrada en la figura 3.3.1 (a) cuya función de transferencia es la ecuación (3.3.1).

### 3.3.1 Aproximación discreta del controlador PID analógico.

Se dispone de tres métodos para aproximar una función de transferencia continua en una discreta. El método de aproximación usando un retén se aplica más bien a la planta continua que se desea controlar ya que ésta efectivamente se encuentra entre los convertidores D/A y A/D, que es la condición sobre la cual se planteó esta aproximación. El método de mapeo de polos y ceros tampoco es conveniente dada la dificultad que se presenta para ajustar la ganancia de la función de transferencia.

Finalmente, es factible utilizar las aproximaciones por integración numérica desechando la aproximación rectangular en adelante o método de Euler para evitar problemas de inestabilidad en el mapeo. Este problema se presenta específicamente en la parte derivativa y su filtro que se torna inestable para valores de  $T > 2T_s/N$ , lo que reduce el rango de valores que puede tomar  $T_s$  para esta aproximación.

Se eligió la aproximación Tustin para la parte integral y la aproximación rectangular en atraso para la parte derivativa y su filtro. Aunque la aproximación Tustin es la más exacta de las tres, la aproximación rectangular en atraso implica menos operaciones aritméticas en el procesamiento digital y para  $T$  pequeño es adecuada.

De esta manera, haciendo las sustituciones pertinentes en la ecuación (3.3.1) se tiene:

$$G_{PID}(z) = K_p \left( 1 + \frac{T(z+1)}{2T_1(z-1)} + \frac{T_D \left( \frac{z-1}{Tz} \right)}{1 + \frac{T_D}{N} \left( \frac{z-1}{Tz} \right)} \right)$$

reacomodando esta expresión:

$$G_{PID}(z) = K_p \left[ 1 + \left( \frac{T}{2T_i} \right) \frac{z+1}{z-1} + \left( \frac{NT_D}{NT+T_D} \right) \frac{z-1}{z - \frac{T_D}{NT+T_D}} \right] \quad (3.3.2)$$

Un diagrama de bloques del controlador PID con esta función de transferencia se muestra en la figura 3.3.2.

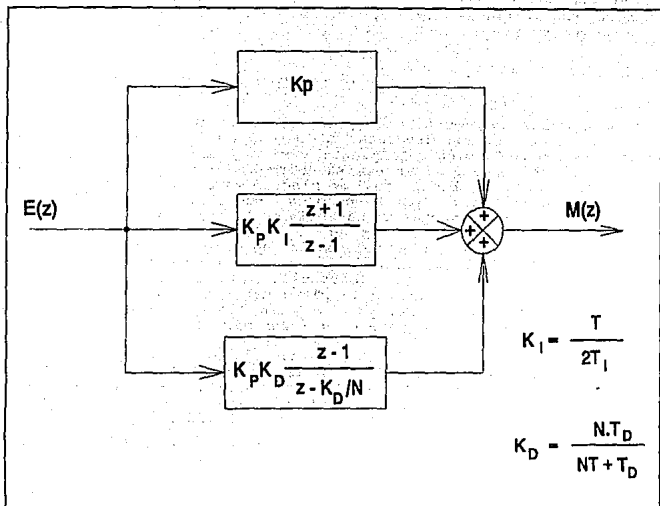


Figura 3.3.2 Diagrama de bloques con la implementación en paralelo de  $G_{PID}(z)$  [ecuación (3.3.2)].

### 3.3.2 Posibilidad de realización física del controlador.

La condición para que una función de transferencia  $G(z)$  pueda realizarse físicamente consiste en que la salida del sistema cuya

función de transferencia es precisamente  $G(z)$ , no se anticipe a la entrada; esto es, el sistema debe ser causal.

Matemáticamente, esto implica que al desarrollar  $G(z)$  en una serie de potencias de  $z$  no existan términos con potencias positivas de  $z$ .

Con:

$$G(z) = \frac{b_m z^m + b_{m-1} z^{m-1} + \dots + b_0}{a_n z^n + a_{n-1} z^{n-1} + \dots + a_0}$$

esta aseveración se cumple si  $n \geq m$

Aplicando esta condición a cada término de  $G_m(z)$  en la ecuación (3.3.2), se concluye que este controlador es físicamente realizable.

### 3.3.3 Sintonización del controlador PID.

Para que la aproximación digital del controlador analógico PID sea adecuada es necesario que  $T$  sea suficientemente pequeño; si esta condición se cumple, es posible usar los dos métodos de sintonización sugeridos por Ziegler y Nichols (1942) de un controlador PID analógico. Cada uno de ellos se expone a continuación.

**Método de la respuesta transitoria:** Consiste en aplicar un escalón al sistema en malla abierta sin controlador y graficar la respuesta. A partir de ésta se determinan los valores  $R$  y  $L$  como se muestra en la gráfica de la figura 3.3.3.  $R$  es la pendiente de la tangente en el punto de inflexión de la respuesta y  $L$  es el tiempo transcurrido entre la aplicación del escalón y la intersección de la tangente en el punto de inflexión con el eje temporal.

Los parámetros del controlador se determinan de la siguiente manera:

CONTROL	$K_c$	$T_i$	$T_d$
P	$1/RL$		
PI	$0.9/RL$	$3L$	
PID	$1.2/RL$	$2L$	$0.5L$

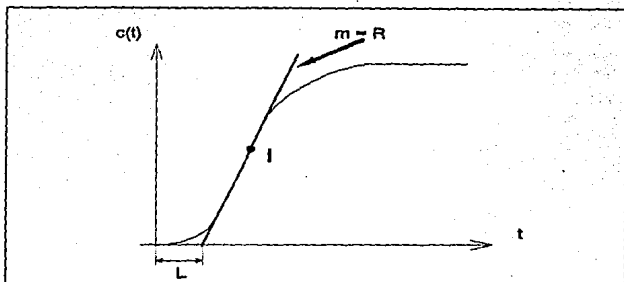


Figura 3.3.3 Determinación de los parámetros del método de la respuesta transitoria.

Método de la estabilidad límite: Se dispone el sistema en malla cerrada y usando sólo acción proporcional se aumenta la ganancia hasta que la salida presente oscilaciones sostenidas de amplitud constante y se registran los valores de ganancia  $K_{lim}$  y el período de estas oscilaciones  $T_o$ .

Los parámetros del controlador se determinan de la siguiente manera:

CONTROL	$K_c$	$T_i$	$T_d$
P	$0.5K_{lim}$		
PI	$0.45K_{lim}$	$T_o/1.2$	
PID	$0.6K_{lim}$	$T_o/2$	$T_o/8$

Estos métodos son aproximados y la sintonización final se hace por lo general en forma manual. En ocasiones se incluyen compensaciones para el retardo inherente al retén. Una sugerencia para el diseño es:

$$\frac{T_i}{T_d} \approx 0.1 \text{ a } 0.5$$

De acuerdo con Aström y Wittenmark se recomiendan los siguientes valores de período de muestreo T para algunos sistemas que utilizan el control digital directo (CDD):

TIPO DE VARIABLE	T (seg)
Flujo	1 a 3
Nivel	5 a 10
Presión	1 a 5
Temperatura	10 a 20

Para las tarjetas de CDD comerciales se tienen períodos de muestreo típicos de 200 ms con lo que se tienen muy buenas aproximaciones digitales de controladores analógicos.

### 3.4 CONTROLADORES DIGITALES BASADOS EN UN MICROPROCESADOR.

Un controlador digital puede construirse físicamente ya sea mediante redes digitales o a través de una computadora digital.

Una red digital es una red eléctrica precedida y seguida por dispositivos de muestreo y retención. Aquí se enfoca la atención a los controladores digitales basados en una computadora digital y específicamente en una microcomputadora dada su versatilidad y flexibilidad; sin embargo se deben considerar algunas restricciones que impone este tipo de diseño como son el número de bits por palabra, la cuantificación, la velocidad de procesamiento y la memoria disponible.

En esta sección serán consideradas las herramientas que ayudarán en el diseño del controlador digital.

#### 3.4.1 Métodos de programación digital.

La función de transferencia de un controlador digital puede programarse de tres formas básicas en una computadora digital: programación directa, en cascada y en paralelo.

1.- Programación directa: Dada la función de transferencia  $G(z)$  del controlador:

$$G_c(z) = \frac{M(z)}{E(z)} = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2} + \dots + b_m z^{-m}}{a_0 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_n z^{-n}} \quad (3.4.1)$$

(  $G_c(z)$  contiene el mismo número de polos y ceros ).

Con  $a_0 \neq 0$  para  $b_0 \neq 0$  (Condición de realización física) y

$$m \text{ y } n \in \mathbb{N}$$

puede ser escrita de la siguiente manera:

$$\frac{M(z)}{E(z)} = \frac{\sum_{i=0}^m b_i z^{-i}}{\sum_{i=0}^n a_i z^{-i}}$$

$$\sum_{i=0}^n a_i M(z) z^{-i} = \sum_{i=0}^m b_i E(z) z^{-i}$$

obteniendo la transformada inversa de esta expresión se tiene:

$$\mathfrak{B}^{-1} \left\{ \sum_{i=0}^n a_i M(z) z^{-i} \right\} = \mathfrak{B}^{-1} \left\{ \sum_{i=0}^m b_i E(z) z^{-i} \right\}$$

$$\sum_{i=0}^n a_i m(k-i) = \sum_{i=0}^m b_i e(k-i)$$

$$a_0 m(k) + \sum_{i=1}^n a_i m(k-i) = \sum_{i=0}^m b_i e(k-i)$$

$$m(k) = \frac{1}{a_0} \sum_{i=0}^m b_i e(k-i) - \frac{1}{a_0} \sum_{i=1}^n a_i m(k-i) \quad (3.4.2)$$



En esta expresión se observa que el valor presente de la salida  $m(k)$  depende del valor presente y de los valores anteriores de la entrada  $e(k)$ , así como de los valores previos de la propia salida  $m(k)$ . Nótese que en este caso se requieren  $n + m$  almacenadores de datos.

Un proceso alternativo para este método consiste en introducir una variable ficticia  $X(z)$  en la ecuación (3.4.1) de la manera siguiente:

$$G_c(z) = \frac{M(z)}{E(z)} = \frac{\sum_{i=0}^m b_i z^{-i}}{\sum_{i=0}^n a_i z^{-i}} \cdot \frac{X(z)}{X(z)}$$

igualando numerador con numerador y denominador con denominador:

$$M(z) = \sum_{i=0}^m b_i X(z) z^{-i}$$

$$E(z) = \sum_{i=0}^n a_i X(z) z^{-i}$$

obteniendo la antitransformada  $Z$  de ambas ecuaciones:

$$m(k) = \sum_{i=0}^m b_i x(k-i) \quad (3.4.3)$$

$$e(k) = \sum_{i=0}^n a_i x(k-i) \quad (3.4.4)$$

de la ecuación (3.4.4) se obtiene:

$$x(k) = \frac{1}{a_0} e(k) - \sum_{i=1}^n \frac{a_i}{a_0} x(k-i) \quad (3.4.5)$$

Nótese que el número de almacenadores de datos para este caso corresponde al número mayor de  $n$  o  $m$ .

2.- Programación en cascada: Consiste básicamente en descomponer  $G_c(z)$  en el producto de funciones de transferencia más sencillas  $G_i(z)$ . De este

modo, la programación digital de  $G_c(z)$  será el conjunto de programas en cascada de las funciones de transferencia  $G_{c_k}(z)$ .

Así:

$$G_c(z) = \prod_{k=1}^L G_{c_k}(z) \quad (3.4.6)$$

para un número  $L$  de funciones de transferencia sencillas convenientes;  $L_{\max}$  es el mayor valor de  $n$  o  $m$ .

3.- Programación en paralelo: En este método se descompone la función de transferencia  $G_c(z)$  en una suma de fracciones parciales que representan funciones de transferencia  $G_{c_i}(z)$  más simples, de la siguiente manera:

$$G_c(z) = \sum_{i=1}^p G_{c_i}(z) \quad (3.4.7)$$

donde  $p$  es el número de funciones de transferencia sencillas más conveniente y tiene como valor máximo el valor más alto de  $n$  o  $m$ . La figura 3.4.1 ilustra este método.

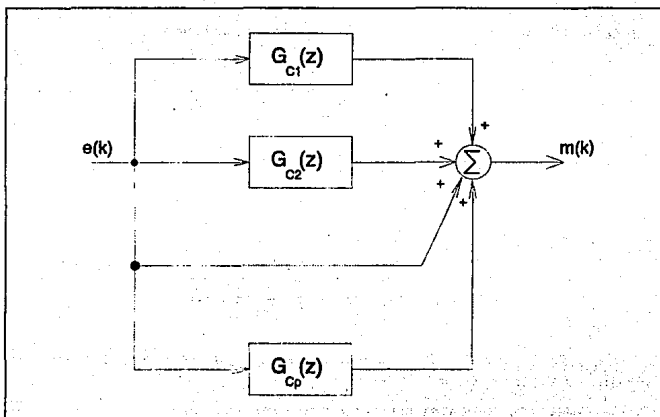


Figura 3.4.1 Diagrama de bloques de la programación en paralelo de  $G_c(z)$ .

### 3.4.2 Organización básica de un sistema con microprocesador.

Un microprocesador es un circuito integrado digital programable que realiza operaciones aritméticas y lógicas a través de un programa que reside en una memoria externa. Generalmente representa la unidad central de procesamiento (UCP) de una computadora digital.

Un microprocesador puede ser de propósito general o de propósito específico de acuerdo a su aplicación; un coprocesador es un microprocesador de propósito específico ya que tiene una función particular ya sea aritmética, de comunicación, gráfica, etc. Un microprocesador de propósito general es muy versátil pero relativamente lento por no ser especializado.

En la figura 3.4.2 se muestra un diagrama de bloques de un microprocesador general.

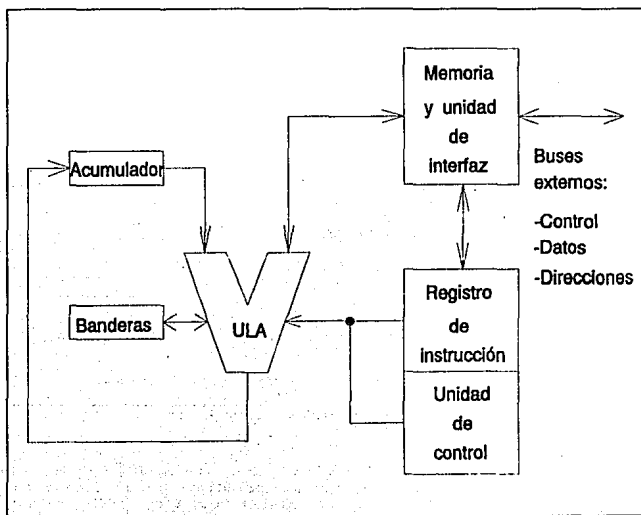


Figura 3.4.2 Organización de un microprocesador general.

La unidad lógica aritmética (ULA) es un circuito combinatorio que realiza operaciones aritméticas y lógicas propiamente. Asociado a la ULA se encuentra un registro de condición codificada o registro bandera formado por un conjunto de biestables que indican la condición del resultado de la instrucción ejecutada previamente con el fin de tomar decisiones subsiguientes. También se relacionan con la ULA uno o varios registros llamados acumuladores que sirven como elementos de almacenamiento temporal de datos a procesar o de resultados.

El registro de instrucciones recibe una instrucción y la almacena durante su ejecución y decodificación. La unidad de control es un circuito secuencial que organiza la operación total del microprocesador; esta unidad recibe señales de reloj, del decodificador de instrucción, de reinicio, de interrupción, etc. y produce señales de control internas y externas al sistema.

Existen otros registros como son el contador de programa que contiene la dirección de la siguiente instrucción a ejecutar, y el puntero de pila que apunta a una dirección a partir de la cual se creará una pila de datos almacenados durante la ejecución de un programa.

Para que un microprocesador realice su cometido es necesario conectarlo a otros elementos externos a través de tres canales de comunicación llamados bus de control, bus de direcciones y bus de datos. Los elementos externos que se conectan para formar un sistema con microprocesador sencillo son memorias y puertos de comunicación con el mundo exterior que pueden ser serie y/o paralelo. La figura 3.4.3 muestra un sistema sencillo con microprocesador.

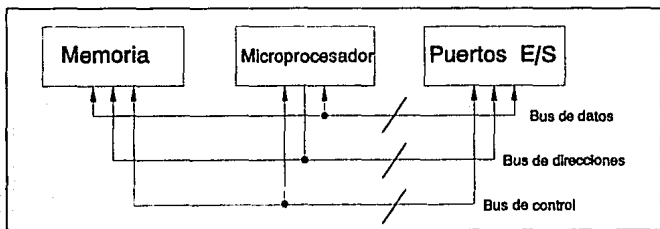


Figura 3.4.3 Organización de un sistema simple con microprocesador.

El bloque de memoria está formado por memorias volátiles y no volátiles. Usualmente se almacena el programa principal a ser ejecutado por el microprocesador en una memoria no volátil como ROM, PROM, UVEPROM y EEPROM; y los datos y resultados de uso temporal en memorias volátiles como SRAM y DRAM.

Casi todos los microprocesadores trabajan con el esquema de Von Neumann; esto es, disponen de un elemento de memoria donde se encuentran conjuntamente instrucciones y datos codificados, y el procesamiento se realiza secuencialmente.

Los puntos básicos que se necesitan para conocer un microprocesador específico son los siguientes:

- a) Arquitectura
- b) Conjunto de instrucciones
- c) Modos de direccionamiento
- d) Señales del procesador
- e) Manejo de memoria
- f) Manejo de puertos
- g) Manejo de interrupciones

Además son de interés la velocidad y resolución para un diseño específico.

Un microprocesador es el corazón de una computadora digital. Una computadora digital consta básicamente de tres elementos:

- UCP (Unidad Central de Procesamiento). Unidad que ejecuta y coordina las acciones de una computadora; realiza funciones aritméticas, lógicas y de control de los demás componentes.
- Memoria. Unidad de almacenamiento de información.
- Periféricos de E/S. Dispositivos de comunicación con el exterior.

Un circuito integrado que incluya de alguna manera estos tres elementos se conoce como microcomputadora; la familia 68HC11 de Motorola es un ejemplo de esto.

Un sistema digital de cómputo consta de los siguientes elementos:

- Hardware. Componentes físicos.
- Software. Elementos lógicos o programas.
- Firmware. Elementos de control lógico contruidos físicamente.
- Liveware. Usuario.

Un sistema con microprocesador o microcomputadora pueden constituir el hardware de un controlador digital; mediante el software adecuado se puede elaborar un sistema de control digital hecho a la medida con los correspondientes ahorros sustanciales en su construcción física.

### 3.4.3 Estructura general de un programa de control.

El software de un controlador digital no está dedicado exclusivamente al código de control. Es frecuente que el código de control sea la séptima parte del código total del programa, aunque esto depende de lo complejo que sea el algoritmo de control, pero generalmente se encuentra dentro de un rango del 10% al 50% del código total del programa.

Es recomendable que la estructura de un programa de control sea la siguiente:

- 1.- Rutina de iniciación del hardware: Incluye la verificación de los componentes del controlador.
- 2.- Rutina de iniciación del software: Sitúa en un estado inicial a todas las variables del programa completo de control.

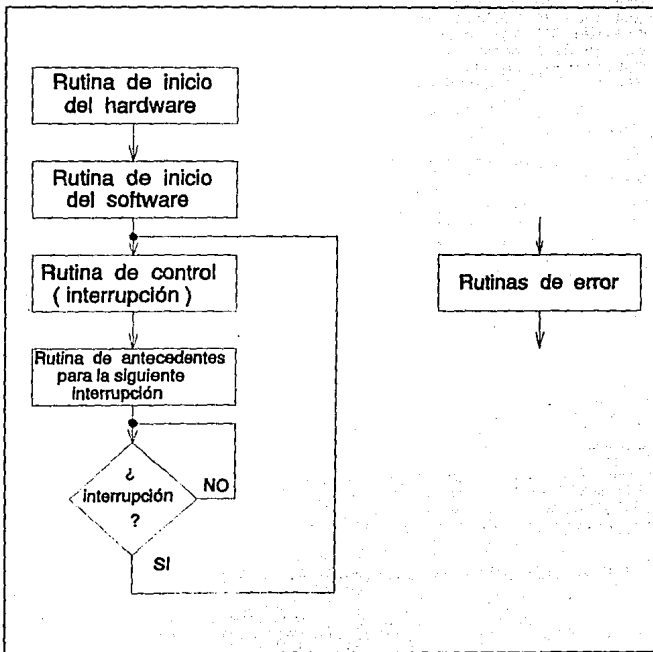


Figura 3.4.4 Diagrama de flujo simplificado de un programa de control.

- 3.- Rutina de interrupción: Contiene básicamente el algoritmo de control. En esta rutina se coloca la señal de control correspondiente a la salida del controlador.
- 4.- Rutina de antecedentes: Contiene operaciones que serán utilizadas en la rutina de interrupción, siempre que se puedan efectuar con anterioridad, con el objeto de ahorrar tiempo de procesamiento en esta última rutina.
- 5.- Rutinas de error: Contienen las acciones a seguir cuando se han detectado diferentes tipos de error a lo largo del programa.

Debe tenerse en cuenta que el período de muestreo debe ser suficiente para permitir el procesamiento de las rutinas de interrupción y de antecedentes; y que el tiempo de procesamiento de la rutina de interrupción debe ser tan pequeño como sea posible.

En cuanto a las verificaciones del funcionamiento del sistema pueden hacerse por software, firmware o hardware de acuerdo a las características del microprocesador o microcomputadora utilizados.

La figura 3.4.4 muestra un diagrama de flujo de un programa de control con esta estructura. Se han omitido los procesos de verificación del sistema mismos que pueden incluirse en los rectángulos de proceso mostrados de la manera más apropiada para un diseño en particular, así como las rutinas de servicio a los errores detectados durante la operación.

#### 3.4.4 Restricciones de los controladores digitales basados en microprocesador.

Las principales restricciones físicas que presenta un sistema de control basado en microprocesador son la longitud de palabra finita que maneja el microprocesador, los tiempos de retardo debidos a la ejecución de instrucciones y los efectos de cuantificación:

a) Los efectos de la longitud de palabra finita y de la cuantificación son semejantes ya que en ambos se verifica un truncamiento o redondeo en una representación numérica. El algoritmo de una ecuación en diferencias en una computadora digital posee coeficientes y variables; los coeficientes regularmente están truncados o redondeados según la longitud de palabra usada para representarlos, y las variables están cuantificadas. La relación entre el nivel de cuantificación  $q$  y la longitud de palabra  $N$  es:

$$q = 2^{-N} EC$$

donde  $EC$  es el rango de la escala completa y  $\pm q/2$  es el máximo error de cuantificación.

ESTA TESIS NO DEBE  
SALIR DE LA BIBLIOTECA

Ya que la función de transferencia de un cuantificador es no lineal, se dificulta el análisis de los efectos de la cuantificación en un sistema de control digital.

Para un sistema con variables de estado, se tiene la siguiente ecuación matricial de estado:

$$X(k+1) = AX(k) + BU(k)$$

Si el sistema es controlable es posible colocar el estado  $X(0)$  a un estado  $X(n)$  cualquiera en un tiempo finito sólo si la magnitud de  $U(k)$  es continua. Siendo  $U(k)$  la señal de control proveniente de una computadora digital, resulta que se encuentra cuantificada, con lo que se restringe el número de estados finales que puede alcanzar el sistema y el sistema se convierte estrictamente en un sistema no controlable; pero si  $q$  es pequeña, se tendrán buenas aproximaciones para cualquier estado final que se pretenda alcanzar.

Si el sistema de control se basa en la relocalización de los polos de malla cerrada mediante realimentación de estado o de salida, las ganancias de realimentación serán cuantificadas y no se podrán alcanzar la mayoría de las localizaciones arbitrarias con gran exactitud.

En cuanto al comportamiento de la respuesta en estado estable, se presentan dos efectos principales debidos a la cuantificación: un error en estado estable u oscilaciones sostenidas. La predicción de las oscilaciones sostenidas es un problema no lineal.

El error en estado estable debido a la cuantificación puede estimarse reemplazando los cuantificadores por fuentes de ruido equivalentes en el sistema. El peor error esperado se encuentra considerando que las fuentes de ruido externo tienen magnitudes de  $\pm q/2$  que es el máximo error de cuantificación. La figura 3.4.5 muestra un diagrama de bloques en esta situación.

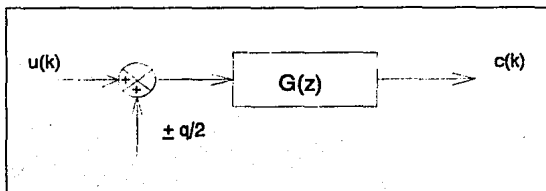


Figura 3.4.5 Modelo para predecir el error de estado estable debido a la cuantificación.



Para un sistema particular es necesario estudiar específicamente los efectos mencionados y algunos otros que puedan presentarse debidos a la cuantificación y a la longitud de palabra finita, con el objeto de determinar si se pueden o no desprejciar en el diseño. En ocasiones es útil hacer análisis de sensibilidad para pequeños cambios en los valores de los parámetros.

b) En control digital es deseable el procesamiento en tiempo real ya que un retardo considerable en el mismo puede originar problemas como son la falta de tiempo para ejecutar el algoritmo de control dentro del período de muestreo determinado en el diseño, y el deterioro de la estabilidad del sistema.

Un programa es un conjunto de instrucciones que se ejecutan en determinados números de ciclos de máquina de un microprocesador. A cada ciclo de máquina le corresponde cierto número de estados de máquina. Por lo general el fabricante suministra la información del número de estados de máquina requeridos para cada instrucción del microprocesador; de esta manera, conociendo la duración de un estado de máquina se puede calcular el tiempo total de ejecución de un programa o rutina.

Se deberá tener en cuenta que un programa o rutina puede seguir distintas ramas dentro del mismo para diferentes datos de entrada, por lo que en estos casos se tendrá un tiempo máximo y un tiempo mínimo de ejecución que pueden y deben ser determinados.

Hay que agregar que algunos microprocesadores disponen de pipeline aritmético y/o de instrucción, con lo que se obtiene un tiempo de ejecución menor para un conjunto de operaciones y/o instrucciones realizadas secuencialmente.

Finalmente, si el tiempo de procesamiento del algoritmo de control no es lo suficientemente pequeño, deberá considerarse el tiempo de retardo correspondiente en el modelado del controlador digital.

# CAPÍTULO 4

## 4. LA MICROCOMPUTADORA MC68HC11E9.

### 4.1 INTRODUCCIÓN.

El circuito MC68HC11E9 HCMOS es una microcomputadora de 8 bits, con capacidades periféricas muy sofisticadas, la frecuencia de bus nominal es de 2 MHz. El diseño completamente estático hace posible su operación a frecuencias bajas inclusive corriente directa (c.d.), además reduce el consumo de energía.

A continuación se listan algunas de las características más importantes de la microcomputadora MC68HC11E9 referentes a su hardware y software.

#### Características de hardware:

- 12 Kbytes de ROM
- 512 bytes de EEPROM (con protección programable)
- 512 bytes de RAM
- Sistema de reloj de 16 bits
- Circuito acumulador de pulsos de 8 bits
- Interfaz de comunicación serie NRZ (ICS)
- Interfaz para periférico serie (IPS)
- Convertidor A/D de 8 bits, con 8 canales
- Circuito de interrupción en tiempo real
- Sistema "perro guardián" para la operación apropiada de cómputo.

#### Características de software

- Conjunto enriquecido de instrucciones del M6800 y del M6801
- Operaciones de división entera y fraccionaria (16 x 16 bits)
- Instrucciones de manipulación de bits
- Modo ESPERA
- Modo PARO.

#### 4.1.1 Descripción resumida de la microcomputadora MC68HC11E9.

Para la construcción del circuito MC68HC11E9, se emplea la tecnología CMOS de alta densidad (HCMOS); en este circuito se combina un tamaño más pequeño y velocidades más elevadas de operación con una demanda baja de potencia; además de contar con inmunidad al ruido característica de la familia lógica CMOS. El sistema de memoria comprende 12 Kbytes de memoria de sólo lectura (ROM), 512 bytes de memoria eléctricamente borrrable y programable (EEPROM) y 512 bytes de memoria de acceso aleatorio estática (RAM).

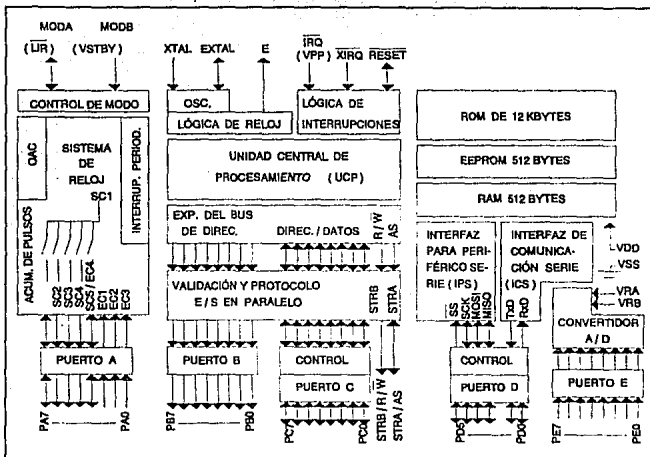


Figura 4.1.1 Organización de la microcomputadora MC68HC11E9.

Existen funciones periféricas muy sofisticadas dentro del circuito: incluye un convertidor analógico/digital de 8 canales con 8 bits de resolución, dispone de una interfaz de comunicación serie asíncrona (ICS) y de una interfaz para periférico serie síncrona separada (IPS). El sistema de reloj principal de 16 bits de conteo libre, posee tres líneas de entrada de captura, cinco líneas de salida de comparación y una función de interrupción en tiempo real. El subsistema acumulador de pulsos de 8 bits puede contabilizar eventos externos o medir períodos de tiempo externos.

La microcomputadora MC68HC11E9 dispone de circuitería de automonitoreo para protegerse contra posibles errores en el sistema; el subsistema "perro guardián" garantiza la operación apropiada de cómputo, protegiéndola contra fallas de software. El subsistema de monitoreo de reloj genera una secuencia de reinicio en caso de que se pierda el reloj o bien que trabaje muy lento; además consta de un circuito de detección de códigos de operación ilegales, el cual proporciona una interrupción no enmascarable si cualquier código de operación ilegal es detectado. Existen dos modos de trabajo controlados por software enfocados al bajo consumo de energía.



#### 4.2.1 Descripción de señales presentes en las terminales.

A continuación se detallará la información sobre las señales de entrada/salida que manejan cada una de las terminales de la microcomputadora MC68HC11E9.

$V_{cc}$  y  $V_{ss}$ . - La tensión de alimentación para la microcomputadora es proporcionada mediante estas terminales.  $V_{cc}$  corresponde a la entrada positiva de la fuente de tensión y  $V_{ss}$  a tierra. Aunque el MC68HC11E9 pertenece a la familia lógica CMOS, existen transiciones muy rápidas en las señales; existen tiempos de subida y bajada aun si la microcomputadora opera a bajas frecuencias de reloj, por lo que debe proporcionarse una fuente de alimentación regulada de gran calidad; se recomienda el uso de un capacitor de derivación cerámico de 0.1  $\mu$ F entre  $V_{cc}$  y  $V_{ss}$ , que sea adyacente físicamente a alguna de estas terminales. De preferencia, la capacitancia principal cuyo valor depende también de la circuitería del sistema debe estar presente en la tarjeta.

**Reinicio (RESET)** . - La señal de reinicio es una señal de control, bidireccional activa en nivel bajo, la terminal correspondiente se utiliza como entrada para iniciar el MC68HC11E9 a algún estado de comienzo conocido, y como una salida drenaje abierto para indicar que ha sido detectada alguna falla interna mediante el monitor de reloj o por el sistema "perro guardián".

**Cristal y reloj externo (XTAL,EXTAL)** . - Éstas dos terminales proveen la interfaz para un cristal o para cualquier reloj compatible CMOS con el fin de comandar la circuitería generadora del reloj interno. La frecuencia de la señal aplicada en estas terminales debe ser 4 veces la deseada en la terminal E (frecuencia de bus). Si se usa un reloj externo compatible CMOS conectado a la terminal EXTAL, entonces la terminal XTAL se deja flotando (sin conexión alguna). No obstante, si se coloca un resistor de carga de un valor dentro del intervalo [10 K, 100 K] entre la terminal EXTAL y tierra, disminuirá la emisión de ruido de radiofrecuencia (RFI). Se debe tener cuidado en la estructura del circuito alrededor de las terminales del oscilador. Las capacitancias indicadas en la figura 4.2.1 toman en cuenta todas las capacitancias parásitas presentes en el circuito impreso.

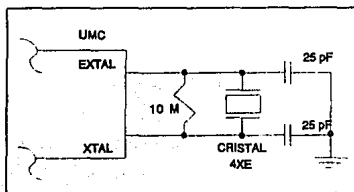


Figura 4.2.1 Conexión del cristal.

**Salida de reloj E (E).**.- La terminal E proporciona una señal de salida que provee una referencia de tiempo a partir del reloj generado en forma interna. La frecuencia de la señal presente en la terminal E es igual a un cuarto de la frecuencia de entrada en las terminales XTAL y EXTAL. Mientras la salida de reloj E se encuentra en nivel bajo ('0' lógico), se lleva a cabo un proceso interno, y cuando está en nivel alto ('1' lógico), se accesa el dato. Cuando la microcomputadora entra al modo PARO, la señal de reloj se detiene.

**Petición de interrupción (IRQ)** .- Esta terminal provee un mecanismo a través del cual, se pueden efectuar interrupciones asíncronas al MC68HC11E9. Se puede configurar esta terminal mediante el registro OPTION para que sea sensible al flanco negativo o al nivel lógico; después de un reinicio, dicha terminal se configura para ser sensible al nivel lógico.

**Interrupción no enmascarable (XIRQ)** .- Esta terminal de entrada provee un medio para solicitar una interrupción no enmascarable. Durante un reinicio, el bit X en el registro de condición codificada (RCC) es puesto a '1' lógico, y cualquier interrupción es enmascarada hasta que el software en la unidad microcontroladora (UMC) la habilite.

**Modo A/Registro de carga de instrucción y Modo B/Tensión de apoyo (Mode A/ LTR, Mode B/V<sub>INT</sub>).**.- Durante el reinicio, las terminales MODA y MODB se emplean para seleccionar alguno de los cuatro modos de operación (referirse a la tabla 4.2.1).

Una vez que se ha seleccionado el modo de operación, la terminal LTR proporciona una salida drenaje abierto para indicar que una instrucción está comenzando. La señal LTR se vuelve '0' lógico durante el primer ciclo de reloj E de cada instrucción.

MODB	MODA	MODO SELECCIONADO	TIPO
1	0	Circuito único	Normal
1	1	Expandido-multicanalizado	Normal
0	0	Bootstrap	Especial
0	1	Prueba	Especial

Tabla 4.2.1 Modos de operación.

La señal V<sub>INT</sub> se emplea como una entrada de apoyo a la alimentación de energía para retener el contenido de la RAM. Cuando la tensión sobre esta terminal es superior en una tensión de umbral MOS (alrededor de 0.7 V) sobre la tensión V<sub>DD</sub>, los bytes de toda la RAM y cierta sección de la circuitería de reinicio son alimentados a partir de esta terminal, y no de la terminal V<sub>DD</sub>. La terminal denominada RESET debe mandarse a nivel bajo antes que V<sub>DD</sub> desaparezca, y debe permanecer en nivel bajo hasta que se reestablezca V<sub>DD</sub> a un nivel de tensión válido.

**Tensiones de referencia al convertidor A/D ( $V_{L}$  y  $V_{H}$ ).** - Mediante estas terminales se suministran las tensiones de referencia necesarias para el convertidor A/D; las magnitudes de estas tensiones dependen de la aplicación particular del MC68HC11E9.

**Validación B y lectura/escritura (STRB/R/W)** - La señal presente en la terminal STRB/R/W funciona como una salida de validación B o como un indicador de dirección del bus de datos dependiendo del modo de operación en curso. Dentro del modo de operación circuito único, la terminal de salida STRB actúa como una señal de validación programable en el protocolo de transferencia de datos con otros dispositivos de entrada/salida en paralelo. Cuando la microcomputadora trabaja en el modo expandido multicanalizado, la señal R/W se emplea para controlar la transferencia de datos, determinando la dirección de ésta sobre el bus de datos externo. Si la señal R/W se encuentra en nivel bajo, entonces el dato está siendo escrito en el bus de datos externo, pero si se encuentra en nivel alto, indica que tiene lugar un ciclo de lectura. La terminal R/W se mantendrá en nivel bajo durante ciclos de escritura consecutivos al bus de datos.

**Validación A y Validación de dirección (STRA/AS)** - Esta señal actúa como una entrada de validación A sensible al flanco, o bien como un indicador de dirección válida en el bus de control (AS es una salida); su función depende del modo de operación actual. En el modo de operación circuito único, la entrada STRA funciona como una señal de validación programable dentro del protocolo de transferencia de datos con otros dispositivos de entrada/salida en paralelo. Dentro del modo de operación expandido multicanalizado, la señal AS se emplea para demulticanalizar las señales de direcciones y datos en el puerto C.

**Señales de entrada.** - Las señales en los puertos A, D y E son independientes del modo de operación. El puerto B proporciona 8 salidas de propósito general en los modos de operación simples, y provee 8 bits del bus de direcciones correspondientes a los 8 bits más significativos, cuando el circuito opera en modos expandidos. El puerto C consta de 8 señales de entrada/salida de propósito general. Cuando el MC68HC11E9 trabaja en modos de operación expandidos, el puerto C, se usa como bus multicanalizado de direcciones y datos.

**Puerto A.** - Se puede configurar el puerto A para trabajar con cuatro entradas de captura (EC1, EC2, EC3 y EC4), tres salidas de comparación (SC2, SC3 y SC4), o bien con tres entradas de captura (EC1, EC2 y EC3), cuatro salidas de comparación (SC2, SC3, SC4 y SC5) y una entrada al acumulador de pulsos; esta última puede configurarse también como una quinta salida de comparación (SC1). Cualquier terminal que no es utilizada para la función de reloj, puede ser usada como una línea de propósito general.

**Puerto B.** - Si el modo de operación es simple, entonces todas las terminales del puerto B son terminales de salida de propósito general. El puerto B puede emplearse en un modo de validación simple; en la terminal STRB aparece un pulso cada vez que se escribe un dato en el puerto B. Cuando el modo de operación es expandido, todas las terminales del



puerto B actúan como señales de salida de direcciones de orden alto; esto es, las líneas PBO-PB7 corresponden a los 8 bits más significativos del bus de direcciones (bits 8 a 15).

**Puerto C.** - En los modos de operación simples, todas las terminales del puerto C son terminales de entrada/salida de propósito general. Las entradas del puerto C poseen cerrojos, de manera que los datos de entrada puedan ser retenidos al proporcionar una transición de nivel lógico (flanco) en la terminal STRA. El puerto C puede utilizarse en modos de protocolo completo de entrada/salida en paralelo, para lo cual, la entrada STRA y la salida STRB funcionan como líneas de control de diálogo (handshake) en el protocolo.

Cuando la microcomputadora MC68HC11E9 trabaja en los modos expandidos, todas las terminales del puerto C son configuradas como señales multicanalizadas de direcciones y datos. Durante la porción de tiempo de direcciones en cada ciclo de la unidad microcontroladora (UMC), los bits C0 a C7 corresponden a los bits 0 a 7 del bus de direcciones. Durante la porción de tiempo de datos en cada ciclo de la UMC (señal E en nivel alto), las líneas C0 a C7 son líneas bidireccionales de datos (D0 a D7).

**Puerto D.** - Las terminales D0 a D5, pueden ser empleadas como líneas de entrada/salida de propósito general. Las líneas en el puerto D proporcionan una segunda función, como líneas de la interfaz de comunicación serie (ICS) y como líneas de la interfaz para periférico serie (IPS), cuando estos subsistemas son habilitados.

**Puerto E.** - El puerto E se emplea para entradas de propósito general y/o canales de entrada al sistema convertidor analógico a digital.

#### 4.2.2 Modos de operación.

En la microcomputadora MC68HC11E9 se dispone de cuatro modos de operación, circuito único, bootstrap, prueba y expandido multicanalizado.

**Modo de operación circuito único.** - En el modo de operación circuito único, el MC68HC11E9 funciona como una microcomputadora monopastilla sin buses de datos o direcciones externas. Las líneas de los puertos B y C sirven como señales de propósito general. Las líneas STRA, STRB y los puertos B y C sirven para establecer un protocolo de transferencia de datos.

**Modo de operación expandido multicanalizado.** - En este modo de operación, la microcomputadora MC68HC11 es capaz de acceder 64 Kbytes de direcciones; este espacio total de direcciones comprende las mismas direcciones de memoria interna usadas para el modo circuito único y las direcciones externas para manipular periféricos y bloques de memoria externos. La expansión del bus de direcciones, se lleva a cabo empleando las líneas de los puertos B y C, y las señales de control AS y  $R/\bar{W}$ .

**Modo de operación bootstrap.** - El modo de operación bootstrap es muy versátil, ya que esencialmente no hay limitaciones en el programa de propósito específico, que puede ser cargado dentro de la RAM interna. El programa de carga está contenido en los 192 bytes de ROM (bootROM); este bloque de memoria de 192 bytes está habilitado sólo si el modo de operación en curso de la unidad microcontroladora, es el modo bootstrap. Las direcciones de inicio y fin de este bloque de ROM son \$BF40 y \$BFFF.

El programa de carga, emplea la interfaz de comunicación serie (ICS) para leer un programa de longitud variable, hasta de 512 bytes como máximo, y almacenarlo en la RAM interna (\$0000 a \$01FF). Una vez que el último byte es recibido, el control es transferido automáticamente al programa almacenado en la RAM interna a partir de la localidad \$0000.

Después de que se aplica un reinicio a la microcomputadora MC68HC11E9, y ésta entra al modo de operación bootstrap, se activa la interfaz de comunicación serie. La frecuencia utilizada en la interfaz de comunicación serie es igual a 1/16 de la frecuencia de la señal presente en la terminal E (7812 bits/s cuando E es igual a 2 MHz). Si fue especificada la característica de seguridad y el bit de seguridad NOSEC en el registro CONFIG es '0' lógico, el transmisor de la ICS envía un dato igual a \$FF. La EEPROM es luego borrada; si no tiene éxito el borrado de la EEPROM, entonces se manda nuevamente el dato \$FF y el borrado se vuelve a intentar. Una vez que se ha logrado borrar la EEPROM, toda la RAM interna es escrita con el dato \$FF. El registro de configuración (CONFIG) es luego borrado. El programa de carga ahora procede como si la unidad microcontroladora (UMC) no hubiera estado en el modo de seguridad.

Si el MC68HC11E9 no está configurado para la característica de seguridad (o ha completado la secuencia de borrado), un carácter de pausa es enviado por el transmisor de la ICS. Para uso normal del programa de carga, el usuario envía un dato \$FF al receptor de la ICS a una frecuencia igual a E/16 (7812 bits/s para una frecuencia de 2 MHz en la terminal E) o a E/104 (1200 bits/s para una frecuencia de 2 MHz en la salida E). Posteriormente, el usuario debe descargar hasta 512 bytes de programa para ser almacenados en la RAM interna, comenzando en la localidad \$0000; los datos son repetidos por el transmisor de la ICS. Cuando la carga finaliza, el programa salta a la localidad \$0000 transfiriendo así, el control al código contenido en esas localidades de RAM. El programa de carga termina la carga de la RAM después que se recibieron 512 bytes de datos o bien cuando la línea de recepción de datos permanece desocupada por al menos 4 tiempos de carácter.

Si se emplea la terminal del transmisor de la ICS, será necesario un resistor externo, pues las líneas del puerto D son configuradas para operación OR-alambrada.

En el modo de operación bootstrap, los vectores de interrupción están dirigidos a RAM; esto permite que el programador maneje interrupciones por medio de una tabla de saltos.

**Opciones adicionales del programa de carga.** - El usuario puede

enviar un dato igual a \$55 (sólo a una frecuencia igual a E/16) como primer carácter y no el carácter \$FF normal; esto causará que el programa de carga salte directamente a la localidad \$0000 evitando el proceso de carga de la RAM.

El programador puede unir el receptor al transmisor mediante un resistor externo, esto hará que el programa de carga salte directamente al inicio de la EEPROM en la localidad \$B600. Otra forma de que el programa salte directamente al inicio de la EEPROM es transmitiendo un carácter de pausa como primer carácter y no el dato normal \$FF.

Se debe tener en cuenta que al terminar la descarga del programa en la RAM, algunos de los registros han sido cambiados de sus estados de inicio. El receptor y el transmisor de la interfaz de comunicación serie están habilitados, lo que ocasiona que las terminales 0 y 1 del puerto D estén dedicadas para ese fin. También, las líneas del puerto D están configuradas para operación OR alambrada; tal vez sea necesario escribir a los registros SCCR2 y SPCR para deshabilitar la operación de la ICS y la operación OR-alambrada de las terminales del puerto D.

**Modo de operación prueba.** - El modo de operación prueba está enfocada primordialmente a pruebas de fábrica. Los vectores de reinicio e interrupciones están localizados en externa \$BFC0 a \$BFFF. No existe ninguna restricción en tiempo para efectuar escrituras y/o lecturas a los registros TMSK2, OPTION, BPROT e INIT; así, estos registros pueden ser escritos en cualquier momento. También se dispone de un registro especial TEST1, el cual permite que se lleven a cabo diversas pruebas de fábrica.

#### 4.3 MAPAS DE MEMORIA DE LA MICROCOMPUTADORA MC68HC11E9.

En la figura 4.3.1 se indican los mapas de memoria compuestos para cada modo de operación. Las localidades de memoria se muestran en áreas sombreadas. En los modos de operación simples no se generan direcciones externas.

En los modos de operación expandidos (multicanalizado expandido y prueba), las localidades de memoria son básicamente las mismas que hay en los modos de operación simples (circuito único y bootstrap). Sin embargo las localidades de memoria marcadas con "Ext" corresponden a localidades de memoria direccionada externamente y a periféricos de entrada/salida.

Las localidades de memoria en el modo de operación bootstrap son similares a las localidades de memoria en el modo de operación circuito único normal, excepto por una pequeña ROM de 192 bytes (bootstrap), ubicada en las localidades \$BF40 a \$BFFF, la cual está habilitada en el modo de operación bootstrap. Los vectores de reinicio e interrupciones están direccionados a las localidades \$BFC0 a \$BFFF, mientras el modo de operación actual sea el modo bootstrap.

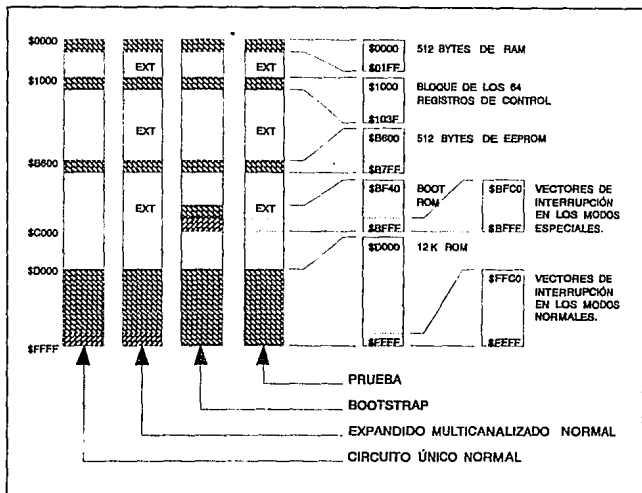


Figura 4.3.1 Mapas de memoria en los diferentes modos de operación

El mapa de memoria en el modo de operación prueba, es el mismo que el mapa de memoria del modo expandido multicanalizado normal, la única excepción la constituyen las localidades de los vectores de reinicio e interrupciones, que en el modo prueba se ubican en las direcciones \$BFC0 a \$BFFF.

#### 4.4 INTERFAZ DE COMUNICACIÓN SERIE (ICS).

La microcomputadora MC68HC11E9 posee una interfaz de comunicación serie asíncrona en doble sentido, con un formato estándar NRZ (no retorno a cero) y una amplia variedad de velocidades de comunicación. El transmisor y el receptor de la interfaz de comunicación serie, son fundamentalmente independientes, pero usan el mismo formato de los datos y la misma velocidad de comunicación.

#### Lista de las características del sistema ICS de dos alambres:

- Formato estándar NRZ (marca/espacio)
- Técnica avanzada de detección de error originado por ruido
- Operación completa en dos sentidos ("full duplex")
- Software para programar una de 32 velocidades de comunicación
- Se puede seleccionar la longitud de la palabra (8 o 9 bits)
- Bits separados de habilitación para el transmisor y el receptor
- Capacidad de manejo por interrupciones
- Cuatro bits separados de habilitación disponibles para el control de interrupciones.

#### Características del receptor de la ICS.

- Función despertadora del receptor (desocupado o bit de dirección)
- Detección de línea desocupada
- Detección de error en el formato del dato
- Detección de ruido
- Detección de desbordamiento
- Bandera de registro de datos del receptor lleno.

#### Características del transmisor de la ICS.

- Bandera que indica si el registro de datos a transmitir está vacío
- Bandera de transmisión completa
- Envío de un carácter de pausa.

#### 4.5 INTERFAZ PARA PERIFÉRICO SERIE (IPS).

##### Introducción y características.

La interfaz para periférico serie es una interfaz síncrona que permite la interconexión de varias microcomputadoras MC68HC11, o bien de varios dispositivos periféricos tipo IPS. En una interfaz para periférico serie, se requieren alambres separados para los datos y reloj; en el formato de la IPS, el reloj no está incluido en el flujo de datos, por lo que debe proporcionarse como una señal separada.

##### Características incluidas:

- Comunicación completa en dos sentidos ("full duplex")
- Transferencia síncrona con tres alambres
- Operación maestro o esclavo
- Frecuencia de transmisión maestra 1.05 MHz (máxima)
- Frecuencia de transmisión esclava 2.1 MHz (máxima)
- Cuatro velocidades de comunicación programables como maestro
- Polaridad y fase de reloj programables
- Bandera de interrupción de fin de transmisión
- Bandera de protección contra colisión en la escritura

- Protección contra falla en modo maestro-maestro
- Interfaz sencilla a circuitos de expansión simples.

#### 4.6 CONVERTIDOR A/D.

El convertidor A/D del circuito MC68HC11E9 es un convertidor de aproximaciones sucesivas que utiliza la técnica de redistribución de carga en un arreglo totalmente capacitivo, incluye una entrada multicanalizada de ocho canales analógicos exteriores y un sistema muestreador y retén; tiene un error total de  $\pm 1$  Bms (bit menos significativo) que incluye el  $\pm 1/2$  Bms del error de cuantificación.

Las ocho terminales de entrada analógicas se localizan en el puerto E (PE0 a PE7) y se dispone de dos líneas adicionales  $V_{H}$  (tensión de referencia baja) y  $V_{L}$  (tensión de referencia alta) para fijar externamente el rango ( $V_{L}$  -  $V_{H}$ ) de las entradas analógicas que puede ir desde 2.5 a 5 V con  $V_{L} = 5 \text{ V} \pm 10\%$  y  $V_{H} = -0.1 \text{ V}$ .

Cada conversión se completa en 32 ciclos de reloj E de la UMC (unidad microcontroladora) si  $f_c > 750 \text{ KHz}$ , en caso contrario se debe habilitar un oscilador interno RC para que maneje al sistema A/D a una frecuencia aproximada de 2 MHz mediante el bit CSEL = '1' en el registro OPTION. La polarización del sistema A/D se habilita colocando en '1' al bit ADPU en el registro OPTION.

##### 4.6.1 Principio de funcionamiento.

El convertidor A/D de aproximaciones sucesivas usa la técnica de redistribución de carga en un arreglo de capacitores ponderados; esta técnica consta de 3 pasos: muestreo, retención y aproximación, los cuales se ilustran en la figura 4.6.1 para un convertidor básico de 4 bits.

Durante el muestreo, el arreglo capacitivo se carga adecuadamente a la tensión de entrada  $V_x$ ; durante la retención se cambia la referencia del arreglo dando lugar a:

$$V_i = -V_x$$

donde  $V_i$  es la tensión de entrada a un circuito comparador.

Durante el período de aproximación, el circuito comparador compara la tensión  $V_i$  con la tensión de referencia  $V_{H}$ , comenzando desde el bit más significativo (BMS) hasta el menos significativo (Bms): Si  $V_i$  es menor que  $V_{H}$  se tiene un '1' para ese bit en el registro de aproximaciones sucesivas, en caso contrario se tiene un '0', así el capacitor correspondiente queda conectado a  $V_{L}$  o a  $V_{H}$  respectivamente y se continúa con el siguiente bit hasta acabar la conversión.

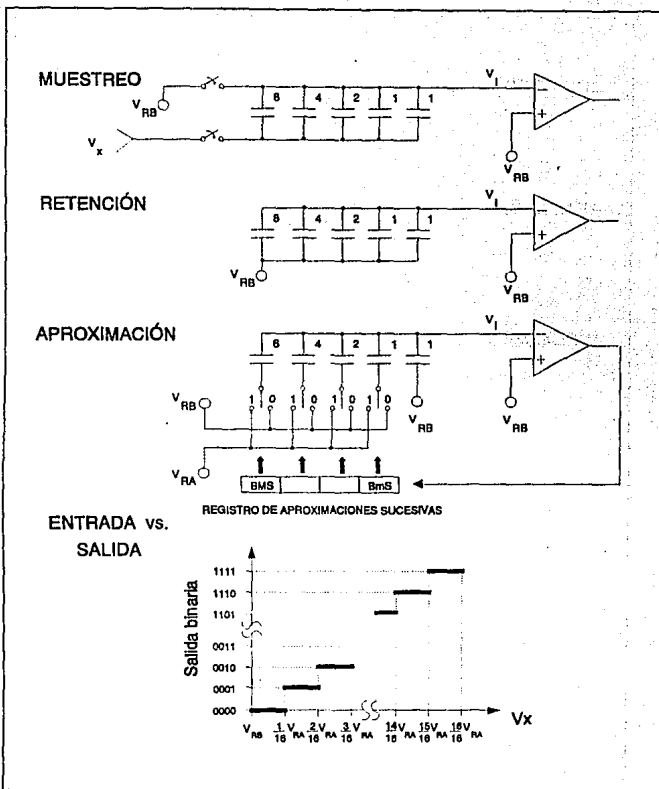


Figura 4.6.1 Convertidor A/D de 4 bits básico que usa la técnica de redistribución de carga.





Debe observarse que el arreglo capacitivo termina con una capacitancia adicional de un valor relativo igual a 1 con el fin de tener los 16 niveles de codificación, su ausencia provoca que se tengan sólo 15 niveles.

Para dar un error máximo de cuantificación de  $\pm \frac{1}{2}$  BMS se agrega una capacitancia de un valor relativo igual a  $\frac{1}{2}$  en el arreglo como se muestra en la figura 4.6.2, si se omite se tiene un error de cuantificación máximo de  $\pm 1$  BMS.

Finalmente para simplificar el arreglo capacitivo en el caso de 8 bits, el circuito MC68HC11E9 dispone de un capacitor  $C_s$  con una capacitancia relativa de 1.1 que divide efectivamente entre 16 el arreglo capacitivo de menor orden según se muestra en la figura 4.6.3 (arreglo capacitivo de la izquierda).

Los interruptores analógicos del comparador mostrado se cierran simultáneamente durante el muestreo para que entradas y salida del mismo se establezcan a la tensión de umbral. Después del período de muestreo, los interruptores se abren y empieza la secuencia de conversión. El capacitor conectado a la entrada no inversora del comparador y la tensión de referencia  $V_{ref}$  se usa sólo para mantener la entrada no inversora a la tensión de umbral durante el muestreo, su valor no es crítico para la operación del convertidor.

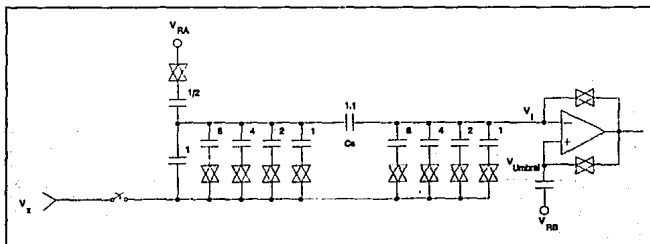


Figura 4.6.3 Convertidor A/D del MC68HC11E9 durante el muestreo.

#### 4.6.2 Proceso de conversión.

En este convertidor A/D, una tensión de entrada igual a  $V_{in}$  es convertida a  $\$00$  y una tensión de entrada igual a  $V_{ref}$  es convertida a  $\$FF$ .

La figura 4.6.4 muestra la secuencia de un conjunto de cuatro conversiones, después de un ciclo de reloj E de una escritura al registro de control y estado del CAD (ADCTL).

El resultado de cada conversión se arma en el registro de aproximaciones sucesivas (RAS) y se transfiere al registro de resultado (ADR<sub>x</sub>) durante el período de fin.

Durante el período final de la cuarta conversión se activa la bandera de estado (CCF = '1') indicando que los registros de resultados (ADR<sub>x</sub>) contienen resultados válidos de conversión.

Hay que hacer notar que siempre que se inicia una conversión le sucederán tres más por lo que en realidad se trata de un conjunto de cuatro conversiones.

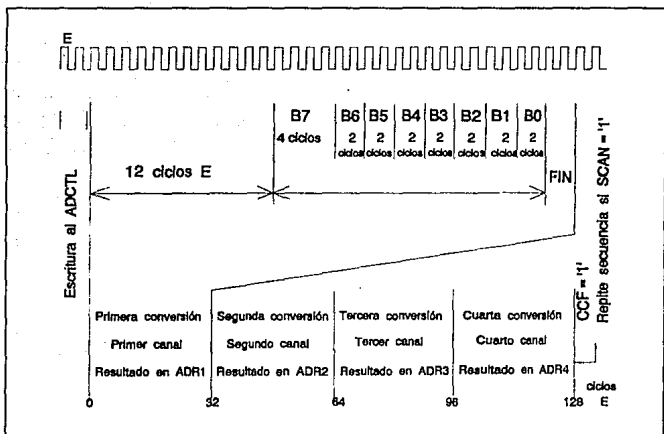


Figura 4.6.4 Secuencia de conversión A/D.

#### 4.6.3 Consideraciones de conexión a las terminales del convertidor A/D.

La figura 4.6.5 muestra el modelo de la terminal de entrada al convertidor A/D.

Al conectar elementos externos a estas terminales deberán tomarse en cuenta los siguientes puntos:

- a) No conectar dispositivos de canal P directamente a estas terminales o a las terminales de referencia para evitar la formación de SCR's parásitos (fenómeno de "latchup").
- b) Conectar un resistor en serie con el fin de limitar la corriente a 25 mA o menos para evitar daños al circuito de protección y para evitar "latchups" adicionales.

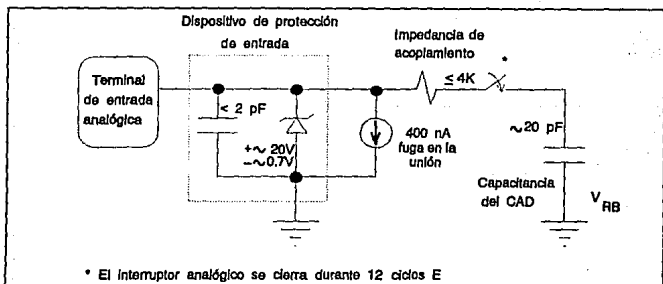


Figura 4.6.5 Modelo eléctrico de la terminal de entrada al convertidor A/D (modo de muestreo).

c) La resistencia en serie no deberá ser mayor a 10 K ya que las corrientes de fuga afectarán desfavorablemente la exactitud del dispositivo.

d) No conectar diodos de sujeción, ya que aumentan considerablemente las corrientes de fuga en detrimento de la exactitud del dispositivo.

e) Conectar en paralelo capacitores de tamaño adecuado para reducir el efecto del ruido en estas terminales tomando en cuenta:

- Impedancia de la fuente de la señal analógica
- Razón de cambio de la señal analógica
- Modelo eléctrico de las entradas al convertidor A/D
- Frecuencia de conversión para un canal en particular
- Nivel analógico del canal convertido previamente (en algunos casos)

La figura 4.6.6 muestra las conexiones sugeridas.

En esta figura se observa la formación de un filtro RC. Como Rx se escoge de acuerdo a los puntos b) y c), Cx deberá ser tal que permita la

transmisión del ancho de banda de la señal analógica correspondiente; además Rx y Cx están limitadas por el mecanismo de carga compartida que suele presentarse y que se describe a continuación.

Al conectarse un filtro RC externo a una terminal de entrada al convertidor A/D se presentan 3 casos:

- 1) Si la constante de tiempo externa es pequeña comparada con los 12 ciclos E en que se lleva a cabo el muestreo, la carga residual sobre la capacitancia interna Ci debida a un muestreo previo, es disipada y se alcanza la tensión esperada antes de concluir el muestreo por lo que no existe error; sin embargo, una constante de tiempo externa pequeña proporciona un filtrado muy pobre.

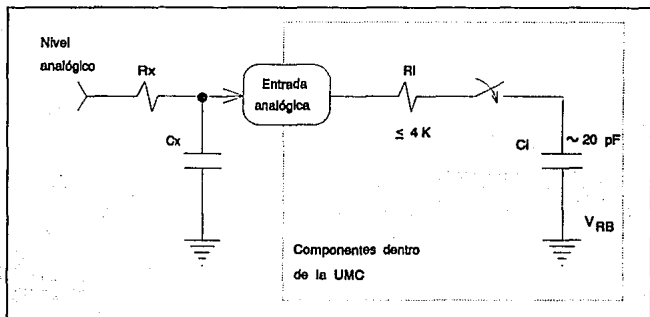


Figura 4.6.6 Conexiones externas a la terminal de entrada analógica.

- 2) Si la constante de tiempo externa es grande comparada con el intervalo de muestreo pero pequeña comparada con el período de muestreo de una señal analógica determinada, la carga residual en Ci se distribuye en Cx durante el muestreo sin disiparse apreciablemente lo que da lugar a un pequeño error de muestreo; sin embargo, esta carga es disipada antes del siguiente muestreo a la misma señal analógica por lo que no se da un error acumulativo. El valor pico del error está dado por:

$$V_{e,p} = (V_A - V_B) \frac{C_I}{C_I + C_X}$$

donde  $V_A$  es el valor de la señal de tensión muestreada con anterioridad y  $V_B$  es el valor de la señal de tensión que se está muestreando.

3) Si la constante de tiempo externa es mucho mayor que el período de muestreo de una señal analógica, la carga residual redistribuida durante el primer muestreo no se alcanza a disipar completamente antes del siguiente muestreo por lo que hay una acumulación de carga que incrementa el error en muestras sucesivas hasta un error límite. La deducción matemática de este error límite se hace a continuación:

La tensión de error de muestreo  $V_e$  es aproximadamente igual a la tensión de error pico  $V_{ep}$ , como se muestra en la figura 4.6.7.

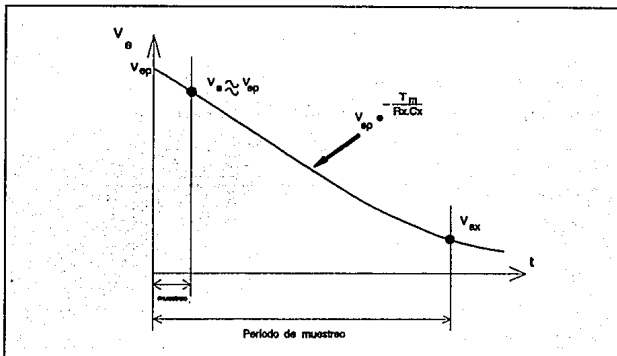


Figura 4.6.7 Función de error para el tercer caso.

En la siguiente discusión  $V_e$  es la tensión de error en el capacitor  $C_x$  debida a la carga residual no disipada en este capacitor un instante antes del muestreo y  $V_{ex}$  es la tensión de error en el capacitor  $C_i$  debida a un muestreo previo a una señal de tensión  $V_A$ :

$$V_{e1} = V_A - V_B$$

Al momento de darse la distribución de carga ( muestreo ),  $V_{e1}$  y  $V_{ex}$  provocarán una tensión de error pico expresada por:

$$V_{ep} = \frac{C_i}{C_i + C_x} (V_A - V_B) + \frac{C_x}{C_i + C_x} V_{ex}$$

Si  $C_x \gg C_i$  se tiene:

$$\begin{aligned}
 V_{sp} &= \frac{C_i}{C_x} (V_A - V_B) + V_{ax} \\
 &= \frac{C_i}{C_x} \Delta V_{AB} + V_{ax}
 \end{aligned} \tag{4.6.1}$$

de la figura 4.6.7 se tiene que:

$$V_{ax} = V_{sp} e^{-\frac{T_s}{R_x C_x}} \tag{4.6.2}$$

donde  $T_s$  es el periodo de muestreo.

Sustituyendo la ecuación (4.6.2) en (4.6.1):

$$[1 - e^{-\frac{T_s}{R_x C_x}}] V_{sp} = \frac{C_i}{C_x} \Delta V_{AB}$$

$$V_{sp} = \frac{\frac{C_i}{C_x} \Delta V_{AB}}{1 - e^{-\frac{T_s}{R_x C_x}}}$$

y finalmente se tiene:

$$V_{sp} = \frac{C_i \Delta V_{AB}}{C_x (1 - e^{-\frac{T_s}{R_x C_x}})} \tag{4.6.3}$$

El mecanismo de carga compartida normalmente es apreciable en la conversión de múltiples canales en forma continua donde se presentan niveles muy distintos de tensión entre canales adyacentes.

Para evitar problemas derivados de este mecanismo de carga compartida se debe tener cuidado en la elección de  $R_x$  y  $C_x$ ; se debe evitar tener diferencias muy grandes en los niveles de tensión de canales adyacentes y se debe evitar el modo de conversión de canales múltiples en forma continua cuando se use un reloj  $E$  de alta frecuencia. De cualquier modo, la tensión de error pico dada por la ecuación (4.6.3) debe ser muy pequeña comparada con el error introducido por el convertidor A/D de  $\pm 1$  BmS.

#### 4.7 RELOJ PROGRAMABLE.

El sistema de reloj está fundamentado en un contador de 16 bits de conteo libre cuya señal de reloj es la salida de un preescalador de 4 estados (divisor entre 1, 4, 8 o 16) manejado por el reloj E de la UMC. Se dispone de dos tipos de funciones: de entrada y de salida. Las funciones de entrada se denominan entradas de captura y consisten en almacenar en registros especializados de 16 bits el valor del contador cuando se detecta un flanco previamente escogido sobre alguna línea de entrada seleccionada (PA0 a PA3). Las funciones de salida llamadas salidas de comparación inducen una acción de salida seleccionada previamente en el momento que el valor del contador es igual al valor de algún registro de salida de comparación (terminales PA3 a PA7).

La terminal PA3 comparte ambas funciones por lo que se debe configurar de acuerdo a una aplicación específica. De este modo se dispone de 3 funciones de entrada y 5 de salida o 4 funciones de entrada y 4 de salida.

#### 4.8 TIPOS DE REINICIO, INTERRUPTIONES Y MODOS DE BAJA POTENCIA.

##### 4.8.1 Tipos de reinicio.

Se tienen 4 tipos de reinicio: Reinicio por terminal externa activa en nivel bajo ( RESET ), reinicio por encendido, reinicio por reloj perro guardián de operación apropiada de cómputo (OAC) y reinicio por monitor de reloj.

##### 1.- Reinicio externo por terminal RESET .

Quando se detecta una tensión baja en la terminal RESET , ésta se mantiene en nivel bajo durante 4 ciclos de reloj E, liberándose a continuación; 2 ciclos de reloj E después, se muestrea y si la terminal permanece en nivel bajo significa que ha ocurrido un reinicio externo; si la terminal está en nivel alto implica que el reinicio fue generado internamente ya sea por el reloj perro guardián o por el monitor de reloj; este mecanismo asume que en un reinicio interno la terminal de reinicio subirá a nivel alto en menos de dos ciclos de reloj E después de ser liberada y que en un reinicio externo la terminal de reinicio permanecerá en nivel bajo al menos 8 ciclos de reloj E.

Se debe tener cuidado en mantener en nivel bajo la terminal de reinicio si  $V_{cc}$  está por debajo del mínimo nivel de operación ya que en esta condición pueden ejecutarse instrucciones no deseadas que pueden alterar el contenido de las celdas de memoria EEPROM en el sistema (incluyendo al registro CONFIG). En vista de lo anterior se sugiere un circuito

inhibidor de baja tensión (IBT) que mantenga en nivel bajo la terminal de reinicio siempre que  $V_{cc}$  esté por debajo del nivel mínimo de operación. Un circuito IBT recomendado es el MC34064 o el S-8054HN que se conectan a la terminal de reinicio mediante un resistor de "pullup" de unos 4.7 K. En ocasiones es necesario incluir una red de retardo RC en la terminal de reinicio con el fin de permitir que se establezca el oscilador de cristal, pero generalmente se omite, ya que la UMC está diseñada en forma totalmente estática.

## 2.- Reinicio por encendido.

Ocurre cuando se detecta una transición positiva sobre  $V_{cc}$  y su uso se limita al encendido del circuito. La lógica de encendido proporciona un retardo de 4064 ciclos de reloj E al comenzar a funcionar el oscilador. Si  $f_c = 2$  MHz, el reinicio de encendido dura cerca de 2 ms a cuyo término si la terminal externa de reinicio está en nivel bajo, la UMC permanecerá en la condición de reinicio hasta que la terminal de reinicio se vaya a nivel alto.

## 3.- Reinicio por reloj perro guardián de operación apropiada de cómputo (OAC).

El sistema perro guardián de operación apropiada de cómputo permite la ejecución de una secuencia de instrucciones dentro de un período de tiempo límite, si éste se rebasa se interpretará como un error en el procesamiento de esa secuencia.

El bit NOCPON en el registro CONFIG activa el sistema OAC si es programado a '0' (celda EEPROM). Los bits de control CR1 y CR0 en el registro OPTION seleccionan el período de reinicio de acuerdo con la tabla 4.8.1.

CR1	CR0	$f_c + 15$ dividida entre:
0	0	1
0	1	4
1	0	16
1	1	64

Tabla 4.8.1

CR1 y CR0 son borrados por un reinicio (1 y 2), lo que corresponde al período más corto posible; este período se puede cambiar sólo dentro de los primeros 64 ciclos de reloj E después del reinicio en los modos normales de operación. El reloj OAC debe ser reiniciado por una secuencia de software anterior al término del período de reinicio OAC para evitar una interrupción por hardware. La secuencia de dos pasos es la siguiente:

- Escribir \$55 en el registro de reinicio OAC (COPRST) en la localidad \$103A.
- Escribir \$AA en la misma dirección.



Debe respetarse el orden de estas escrituras sin importar la existencia de otras instrucciones entre ellas. El tiempo transcurrido entre secuencias de reinicio por software adyacentes nunca debe ser mayor que el período límite OAC. De esta manera, errores en el procesamiento del software con tiempos de ejecución excesivos provocarán un rebase al período límite iniciándose un reinicio OAC por hardware mediante la intercepción al vector correspondiente.

#### 4.- Reinicio por monitor de reloj.

Ya que el reloj perro guardián de operación apropiada de cómputo requiere el sistema de reloj para funcionar, una falla en este sistema no indicará alguna anomalía. Pensando en esto se desarrolló el sistema monitor de reloj el cual al detectar un reloj lento o ausente genera un reinicio del sistema (con un vector propio) transmitido al exterior a través de la terminal externa bidireccional de reinicio.

#### 4.8.2 Interrupciones.

Excluyendo las interrupciones por reinicio, se dispone de 17 interrupciones por hardware y 1 por software. Una interrupción por hardware (externa o interna) es atendida hasta que se completa la instrucción en curso, mientras tanto se considera pendiente.

Si puede deshabilitarse una interrupción por medio de un bit máscara se dice que la interrupción es enmascarable, en caso contrario la interrupción será no enmascarable. La UCP dispone de un bit máscara I en el registro de condición codificada RCC relacionado con las 15 interrupciones por hardware enmascarables existentes. Además se tiene el bit máscara X en el mismo registro relacionado con la terminal  $\overline{XTRQ}$ .

En un reinicio se activan los bits máscara X e I para deshabilitar las interrupciones enmascarables y a la terminal  $\overline{XTRQ}$ . Para habilitar la interrupción  $\overline{XTRQ}$  se puede borrar el bit X con la instrucción TAP, al hacerlo, el software posterior no lo puede volver a activar por lo que se torna no enmascarable. La interrupción  $\overline{XTRQ}$  es por lo tanto "pseudo no enmascarable" y al habilitarse tiene la mayor jerarquía después de cualquier reinicio.

Cuando ocurre una interrupción relacionada con el bit X, se activan automáticamente tanto el bit X como el bit I después de haberse apilado el registro RCC. Cuando ocurre una interrupción relacionada con el bit I, éste se activa automáticamente a continuación del apilamiento del registro RCC. La instrucción RTI (retorno de interrupción) reestablece el estado anterior de los bits X e I a la petición de interrupción.

La interrupción por software (instrucción SWI) es no enmascarable puesto que no depende de bits máscara; sin embargo sigue una jerarquía y no puede atenderse si existe previamente alguna interrupción pendiente habilitada. La interrupción por software puede tomar prioridad sobre las otras interrupciones si éstas están deshabilitadas (bits X e I activados

en el registro RCC). Al ejecutarse la instrucción SWI se apilan los registros de la UCP, se activa el bit I y se busca el vector correspondiente.

La interrupción por código de operación ilegal es no enmascarable. Cuando se detecta un código de operación ilegal se hace una petición de interrupción al vector correspondiente. Se aconseja relocalizar al puntero de pila después de una interrupción de este tipo para que no se desborde la pila por peticiones repetidas.

La gran mayoría de las interrupciones enmascarables pueden ser deshabilitadas adicionalmente al bit I mediante bits locales de control. En un momento dado, las interrupciones que están habilitadas pueden atenderse de acuerdo a un circuito jerarquizador fijo. Las primeras 6 fuentes de interrupción son no enmascarables por el bit I y tienen la siguiente relación fija de prioridad: reinicio (por encendido y terminal externa), falla por monitor de reloj, falla de operación apropiada de cómputo, código ilegal de operación y terminal  $\overline{XTRQ}$  (SWI tiene mayor prioridad que un reinicio en el sentido de que mientras se busca el vector de interrupción SWI, ninguna otra interrupción puede ser atendida).

Una interrupción relacionada con el bit I puede elevarse a la más alta posición de prioridad en este tipo de interrupciones mediante el registro de interrupción I de más alta prioridad HPRI0, el cual sólo puede escribirse cuando esté activo el bit I en el registro RCC para evitar conflictos temporales entre interrupciones; la dirección del vector de interrupción y la calidad de interrupción enmascarable no se alteran en este proceso.

#### 4.9 REGISTROS DE LA UCP Y MODOS DE DIRECCIONAMIENTO.

##### 4.9.1 Registros de la UCP.

###### a) Acumuladores A y B

Son registros de 8 bits de propósito general usados para almacenar los elementos sujetos a operación y los resultados de operaciones aritméticas o de manipulación de datos. Su concatenación da lugar al acumulador D de 16 bits.

###### b) Registros índice IX e IY

Son registros de 16 bits usados en el modo de direccionamiento indexado. Proporcionan un valor índice al cual se le suma una cantidad fija de 8 bits especificada en una instrucción para obtener una dirección efectiva; también pueden usarse como contadores o registros de almacenamiento temporal. Todas las instrucciones que usan el registro IY requieren un byte adicional de código de máquina y un ciclo extra de

ejecución.

c) Puntero de pila PP

Registro de 16 bits que contiene la dirección de la siguiente localidad libre de la pila. La pila tiene la estructura de que el último en entrar es el primero en salir y su uso principal es el almacenamiento de datos importantes durante interrupciones y llamadas a subrutinas. Un almacenamiento en la pila da lugar a un postdecremento del PP y una remoción provoca un postincremento del PP.

d) Contador de programa CP

Registro de 16 bits que contiene la dirección de la siguiente instrucción a ser ejecutada.

e) Registro de condición codificada RCC

Registro de 8 bits cada uno de los cuales da información del estado de la UCP después de ejecutarse una instrucción determinada con el fin de tomar decisiones específicas como resultado de una consulta. Los bits de este registro se describen a continuación:

- **Acarreo/Préstamo (C)**. Se activa si se tiene un acarreo o préstamo durante una operación aritmética anterior. También puede alterarse en instrucciones de traslación y rotación.

- **Desbordamiento (V)**. Se activa si se tiene un desbordamiento aritmético como resultado de una operación; en caso contrario es borrado.

- **Cero (Z)**. Se activa si el resultado de la operación aritmética, lógica o de manipulación de datos anterior fue cero, de otro modo es borrado.

- **Negativo (N)**. Se activa si el resultado de la operación aritmética, lógica o de manipulación de datos anterior fue negativo (bit más significativo igual a '1'), de otro modo es borrado.

- **Máscara de interrupción I (I)**. Se activa por hardware o por software para deshabilitar todas las fuentes externas e internas de interrupción enmascarable.

- **Medio acarreo (H)**. Se activa cuando ocurre un acarreo entre los bits 3 y 4 de la ULA durante una instrucción ADD, ABA o ADC; de otro modo está borrado.

- **Máscara de interrupción X (X)**. Se activa sólo por hardware (reinicio o reconocimiento de petición de interrupción en la terminal  $XTRQ$ ); y es borrado sólo por instrucción de programa (TAP o RTI).

- **Deshabilitador de PARO (S)**. Se activa para deshabilitar la instrucción STOP (STOP = NOP) y se borra para habilitar a la misma. El bit S es controlado por software.

#### 4.9.2 Modos de direccionamiento.

Se dispone de 6 modos de direccionamiento para acceder a un operando (dato sujeto a operación):

a) Direccionamiento inmediato

El argumento está contenido en él o los bytes que siguen inmediatamente a la instrucción.

b) Direccionamiento directo o de página cero.

El byte menos significativo de la dirección del operando está contenido en un solo byte que sigue a continuación del código de operación y el byte más significativo de esta dirección se asume como \$00. De esta manera sólo se tiene acceso a las localidades \$0000 a \$00FF pero se tienen instrucciones de 2 bytes con la consecuente reducción de tiempo de ejecución.

c) Direccionamiento extendido.

2 bytes (después del código de operación) contienen la dirección absoluta del operando.

d) Direccionamiento indexado.

Uno de los registros índice (IX o IY) es usado en el cálculo de la dirección efectiva sumando su contenido con una cantidad sin signo de 8 bits incluida en la instrucción; cualquier localidad puede direccionarse de esta manera en el espacio total de direcciones.

e) Direccionamiento inherente.

Toda la información está contenida en el código de operación. Los operandos (si hay alguno) son registros y no se requiere hacer alguna referencia a la memoria.

f) Direccionamiento relativo.

Es usado por instrucciones de ramificación. Si la condición de ramificación es verdadera, el contenido de los 8 bits del byte con signo a continuación del código de operación (desplazamiento) se suma al contenido del contador de programa para formar la dirección efectiva de ramificación; de otro modo prosigue con la siguiente instrucción.

**Prebyte.** - Se ha adicionado un prebyte a determinadas instrucciones con el fin de aumentar el conjunto de instrucciones. Las instrucciones afectadas usualmente están relacionadas con el registro índice IY. Los códigos de operación que no requieren prebyte se consideran de página 1 del mapa de códigos de operación total; con un prebyte \$18 se consideran de la página 2, con un prebyte \$1A de la página 3 y con un prebyte \$CD de la página 4.

## 5. DISEÑO DEL CONTROLADOR PID DIGITAL.

### 5.1 PLANTEAMIENTO.

#### 5.1.1 Introducción.

En los capítulos precedentes se ha establecido la teoría esencial que documenta el diseño de un controlador digital de varias plantas, el cual se presenta a lo largo de este capítulo.

Este capítulo muestra la flexibilidad y las limitaciones de un controlador digital cuyo hardware es en gran parte compartido por varias plantas independientes (concretamente cuatro), cada una de las cuales posee una entrada y una salida.

Se considera un esquema de procesamiento por tiempo compartido entre las rutinas de control y las rutinas que manejan al controlador para poder atender a todas las plantas sobre una base de un período fijo de muestreo con una multicanalización por división de tiempo para las señales involucradas. Hay que tener en cuenta que debido a la prioridad de las rutinas de control de las plantas, la velocidad de procesamiento para otras rutinas decrecerá e incluso se limitará la frecuencia de muestreo; pero ya que el sistema estará enfocado a controlar cuatro plantas lentas o de pequeño ancho de banda muy frecuentes en la industria, se puede demostrar que la frecuencia de bus nominal de la microcomputadora utilizada lo permite.

#### 5.1.2 Especificaciones de diseño.

El diseño del controlador digital PID deberá contemplar:

- 1) El uso de la microcomputadora MC68HC11E9 como elemento central sincronizada con un cristal de 8 MHz de frecuencia nominal.
- 2) La capacidad para controlar hasta cuatro plantas de una entrada y una salida.
- 3) La multicanalización por división de tiempo para las señales de entrada y salida.
- 4) El uso de un sólo convertidor D/A de 8 bits multicanalizado y circuitos de reconstrucción apropiados para las señales de salida.
- 5) El procesamiento por tiempo compartido entre las rutinas de control de las plantas de alta prioridad y las rutinas de manejo del controlador.

- 6) La aceptación de señales de corriente de entrada en un rango simétrico de 4 a 20 mA (4 mA equivalente al máximo valor negativo, 12 mA a un valor de cero y 20 mA al máximo valor positivo).
- 7) La generación de señales de corriente como salidas con las mismas características dadas en el punto anterior con las limitaciones impuestas por el proceso de cuantificación.
- 8) Un período de muestreo constante y uniforme.
- 9) Un ancho de banda de las señales de entrada de hasta 5 Hz para una operación apropiada.
- 10) Un defasamiento de hasta 15° para la máxima frecuencia de diseño de la señal de entrada (5 Hz) adicional al defasamiento provocado por el tipo de control seleccionado, con el fin de obtener un deterioro en el margen de fase similar.
- 11) La capacidad para detectar una señal fuera de rango en alguna de sus cuatro entradas.
- 12) La capacidad para indicar que las señales presentes en sus salidas son válidas.
- 13) La protección de sus entradas contra sobrecorrientes.
- 14) La capacidad de calibración de sus entradas y salidas.
- 15) Que el elemento que se conectará en cualquiera de sus salidas representará un circuito corto a tierra o una tierra virtual.
- 16) Una caída de tensión máxima de 1 V en sus entradas de corriente.
- 17) Una operación normal ininterrumpida del controlador digital (sistema de alimentación continua).
- 18) Un tiempo de estabilización de tensiones y corrientes de hasta 1 seg después de una interrupción en el suministro de energía con el fin de asegurar un buen filtrado en las tensiones de referencia internas.
- 19) Un tiempo de procesamiento de la señal de entrada inferior al 5% del período de muestreo.
- 20) Un puerto de comunicación RS-232 para aplicaciones futuras no contempladas en este diseño como la posibilidad de enviar a una computadora externa datos de interés con fines de graficación, además de permitir el uso del modo bootstrap de la microcomputadora.
- 21) La capacidad de programación de los parámetros del tipo de control elegido con un rango y resolución adecuados.
- 22) La capacidad de apagar el modo de control que se está usando para una planta, manteniendo la salida al valor previo hasta encender

algún otro modo de control.

- 23) La capacidad de almacenar las programaciones previas mientras se encuentren apagados los modos de control o en caso de una interrupción en el suministro de energía al controlador.
- 24) Dos modos para el manejo del controlador: modo de programación y modo de operación.
- 25) Dos modos de programación: modo automático (malla cerrada) y modo manual (malla abierta).
- 26) La capacidad de programación del control de una planta solamente cuando el modo de control correspondiente esté apagado para evitar salidas no deseadas.
- 27) Que en el modo de operación se visualice el valor de referencia, el valor medido y el valor de control para cada planta que se encuentre trabajando en el modo automático por medio de una pantalla de cristal líquido, pudiéndose cambiar el valor de referencia de forma interactiva a través de un teclado.
- 28) Que en el modo de operación se visualice el valor de excitación y el valor medido en la pantalla para cada planta que se encuentre trabajando en el modo manual, pudiéndose variar el valor de excitación de forma interactiva a través del teclado (el valor de excitación pasa directamente a la salida correspondiente).
- 29) Que en el modo automático se pueda elegir entre cuatro algoritmos de control para una planta en particular: P, PI, PD y PID.
- 30) Una capacidad de programación por separado de cada planta en el modo de programación.
- 31) La capacidad de visualizar en el modo de operación el estado de todas las plantas (una a la vez) aunque no estén trabajando.
- 32) La capacidad de conmutar del modo de programación al de operación por medio del teclado.
- 33) La capacidad de borrar la programación hecha para el control de una planta por medio de teclado (regreso a condiciones iniciales).
- 34) La capacidad de ejecutar las operaciones aritméticas en el modo automático con la suficiente exactitud dentro del límite impuesto por la resolución de los convertidores A/D y D/A a utilizar (8 bits).

### 5.1.3 El controlador visto como caja negra.

Ya establecidas las especificaciones generales de diseño, se puede considerar al controlador como una caja negra con las entradas y salidas

necesarias para su comunicación con el mundo exterior de acuerdo con la figura 5.1.1. En esta figura se pueden apreciar cuatro canales de entrada para señales de corriente analógicas provenientes de los elementos de medición (sensores) de las variables que se van a controlar; así mismo, cuatro canales de salida para señales de corriente continuas en el tiempo pero de amplitud discreta que corresponden a las señales de control para cada planta en particular considerando una topología de malla cerrada con alguno de los cuatro algoritmos de control que se encuentran disponibles (P, PI, PD y PID); o bien, a las señales de excitación a cada planta si se considera una topología de malla abierta.

También se observa un canal de comunicación completa en dos sentidos (full duplex) para la conexión con un equipo de cómputo externo que disponga de un puerto serie asíncrono con interfaz RS-232. Finalmente se encuentran canales de comunicación con un teclado, una pantalla de cristal líquido y un conjunto de indicadores luminosos que permitirán la comunicación del controlador digital con el usuario.

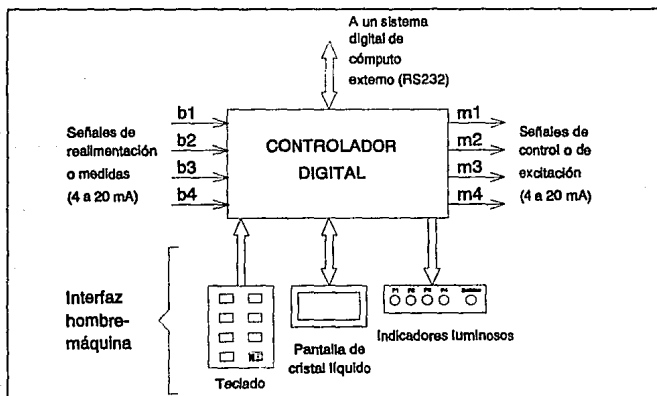


Figura 5.1.1 Canales externos de comunicación del controlador digital.

Aunque el teclado, la pantalla de cristal líquido y los indicadores luminosos forman parte del controlador digital, se han mostrado por separado ya que requieren un análisis más detallado. A continuación se describen brevemente estos módulos con la sugerencia de diseño elegida de acuerdo con las necesidades impuestas en la sección anterior:



## 1) Teclado.

Se sugiere un teclado de 7 teclas como se muestra en la figura 5.1.2.

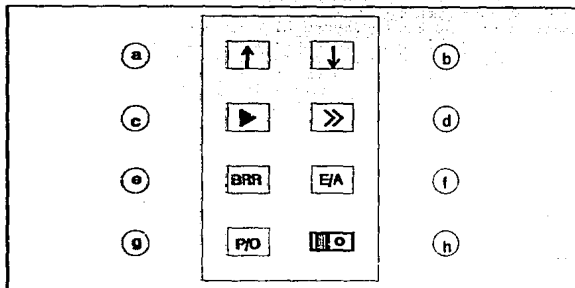


Figura 5.1.2 Teclado usado para el diseño.

La descripción de cada elemento del teclado es la siguiente:

- a) **Tecla ↑ (incrementa).**.- Incrementa el elemento seleccionado en la pantalla de acuerdo con una resolución determinada en el diseño.
- b) **Tecla ↓ (decrementa).**.- Decrementa el elemento seleccionado en la pantalla de acuerdo con una resolución determinada en el diseño. Esta tecla y la anterior trabajan en forma circular dentro del rango del elemento seleccionado excepto para el valor de referencia y el valor de excitación.
- c) **Tecla ▶ (siguiente).**.- Selecciona el siguiente elemento a programar.
- d) **Tecla » (captura).**.- Introduce el valor desplegado en la pantalla previamente seleccionado al procesador.
- e) **Tecla BRR (borra).**.- Coloca el modo de operación de la planta seleccionada en condiciones iniciales o de reinicio (borra la programación si la hay y manda 12 mA a la salida respectiva).
- f) **Tecla E/A (encendido/apagado).**.- Enciende o apaga el modo de control seleccionado para cada planta. En el estado de apagado, se mantiene el valor de salida que se tenía antes de apagar el modo de control a diferencia del estado de reinicio (condiciones iniciales) en el cual se establecen 12 mA (cero de escala completa) en la salida o salidas correspondientes.

- g) **Tecla P/O (programación/operación).**.- Cambia del modo de programación al de operación y viceversa. Las plantas que se encuentren encendidas no podrán ser programadas pero si será posible ver los parámetros programados con anterioridad en el modo de programación.
- h) **Interruptor maestro.**- Es el interruptor de suministro de energía al controlador; no se encuentra directamente al alcance del usuario porque se considera que el controlador siempre está trabajando incluso cuando las plantas conectadas tengan una excitación nula ya que es necesario enviarles 12 mA (cero de escala completa). En caso de usarse, deberán desconectarse las plantas o bien interrumpirles el suministro de energía hasta que el controlador indique la presencia de salidas válidas.
- 2) **Pantalla de cristal líquido.**

La pantalla de cristal líquido sugerida es la pantalla AND731 de 4 líneas por 16 caracteres con el fin de poder desplegar los datos necesarios y suficientes para la operación del controlador, ver figura 5.1.3.

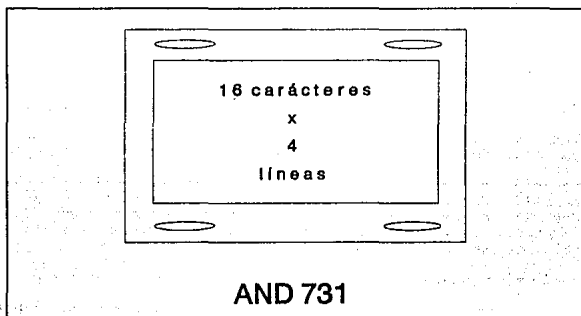


Figura 5.1.3 Pantalla de cristal líquido del controlador.

3) **Indicadores luminosos.**

Como elementos adicionales de comunicación visual con el usuario se encuentran 4 leds indicadores de señales de entrada fuera de rango y 1 led indicador de salidas válidas, éste último indicador puede considerarse como el foco piloto del controlador; ver figura 5.1.4.

Se hace notar que si no hay un elemento conectado a alguna entrada, el led correspondiente se encenderá debido a una entrada nula (0 mA) que evidentemente está fuera de rango.

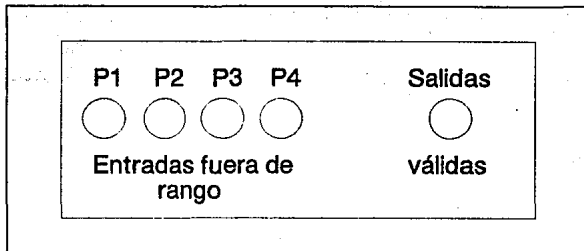


Figura 5.1.4 Indicadores luminosos del estado de las entradas/salidas del controlador.

#### 5.1.4 Secuencia propuesta de manejo.

En esta sección se describirá un ejemplo no exhaustivo de la secuencia propuesta de manejo del controlador; para un análisis detallado de esta secuencia referirse al diagrama de flujo correspondiente en la sección 5.3 (Diseño del software).

1) Después de suministrar energía al controlador directamente o a través del interruptor maestro, se desplegará un mensaje de presentación del sistema en la pantalla de cristal líquido durante un tiempo adecuado para permitir que se establezcan las tensiones y corrientes en todo el sistema electrónico.

---

```
> "CONTROLADOR PID
> DIGITAL (4P)"
> AOA LAMO
> FI UNAM 1994
```

---

2) Al indicarse la presencia de salidas válidas mediante el led correspondiente, se entra directamente al modo de programación del controlador, desplegándose en la pantalla el menú de plantas. Como en este ejemplo se considera que ninguna acción de control ha sido programada para las plantas con anterioridad, el estado de todas las plantas es "-" (condiciones iniciales) con todas las salidas en 12 mA (cero de escala completa). El parpadeo en el número 1 de la planta 1 indica que está seleccionada por defecto para iniciar la programación de su acción de control.

---

```
> MENU:
>
> P1( - ) P2( - )
> P3( - ) P4( - )
```

---

3) Suponiendo que se desea programar precisamente la acción de control de PI y considerando que ha sido seleccionada por defecto, se oprime la tecla  $\blacktriangleright$  (captura) con lo cual se desplegarán los dos modos posibles de programación para la planta 1 (y para todas en general): modo manual y modo automático; con el modo manual seleccionado por defecto a través de una flecha que parpadea. Si se quiere habilitar el modo automático se oprime la tecla  $\blacktriangleright$  (siguiente), colocándose la flecha parpadeante en la posición del modo automático [la tecla  $\blacktriangleright$  (siguiente) trabaja en forma circular]. A continuación se oprime la tecla  $\blacktriangleright$  (captura) para introducir el nuevo modo de control para la planta 1 en la UMC.

```
> PLANTA 1 (modo)
>
>  $\blacktriangleright$  MANUAL
> AUTO
```

4) El siguiente despliegue en la pantalla es un menú de tipos de control, con el control proporcional seleccionado por defecto a través de la flecha parpadeante; siguiendo los mismos pasos que en el punto anterior y suponiendo que se desea un control PID se oprime la siguiente secuencia de teclas: 3 veces la tecla  $\blacktriangleright$  (siguiente) y una vez la tecla  $\blacktriangleright$  (captura).

```
> PLANTA 1 (ctrl)
>
>  $\blacktriangleright$ P          PD
> PI          PID
```

5) El nuevo despliegue presentará el valor de K (K), en condiciones iniciales nulas, resolución y rango (el rango y resolución de K así como de los demás parámetros se determinará posteriormente). Si se quiere un valor de K distinto de 0, se oprime la tecla  $\blacktriangleright$  (siguiente) con lo cual empezará a parpadear el primer dígito a la izquierda.

```
> PLANTA 1
>
> K = 000.00
> {0 a 128}
```

6) Suponiendo que se desea un valor de K igual a 12.05 se oprime la siguiente secuencia de teclas:  $\blacktriangleright$  (siguiente),  $\uparrow$  (incrementa),  $\blacktriangleright$  (siguiente), 2 veces  $\uparrow$  (incrementa), 2 veces  $\blacktriangleright$  (siguiente), 5 veces  $\uparrow$  (incrementa) y  $\blacktriangleright$  (siguiente). Cada vez que se oprime  $\blacktriangleright$  (siguiente) parpadeará el siguiente dígito a la derecha, indicando que es posible modificarlo por medio de las teclas  $\uparrow$  (incrementa) y  $\downarrow$  (decrementa) en forma circular; cada opresión de estas últimas teclas modifica en una unidad el dígito seleccionado. Se puede observar que al seleccionar y programar el último dígito se debe oprimir la tecla  $\blacktriangleright$  (siguiente) nuevamente para observar el valor de K estático (sin parpadeos) y poder oprimir fi-

```
> PLANTA 1
>
> K = 000.00
> {0 a 128}
```

nalmente la tecla \* (captura) para introducir el nuevo valor programado de K al procesador. La tecla > (siguiente) opera en forma circular para este caso.

7) A continuación se despliega el valor de K (T') con condiciones iniciales nulas, su unidad correspondiente (s'), resolución y rango. Si queremos un valor de K igual a 100.1 s' se oprime: > (siguiente), ↑ (incrementa), 3 veces > (siguiente), ↑ (incrementa), dos veces > (siguiente) y \* (captura).

8) El siguiente despliegue es el valor mínimo de T, con su unidad (ms), resolución y rango. Si se quiere un valor de T, de 27.001 ms se oprime: 5 veces > (siguiente), ↑ (incrementa), > (siguiente) y \* (captura).

9) Como ya se concluyó la programación de todos los parámetros para el tipo de control elegido, al terminar de oprimir \* (captura) se despliega nuevamente el menú con la planta programada previamente seleccionada (en este caso, la planta 1). Ahora se puede observar que el estado de P1 ha cambiado de "-" a "APG" (apagado), lo cual indica que si bien ya se ha programado P1, la acción de control está apagada y la salida respectiva se mantiene en su valor previo (en este caso 12 mA). En este momento es posible verificar los valores y condiciones programadas pulsando > (siguiente) cuantas veces sea necesario hasta alcanzar este menú; claro está que también es posible modificar estos datos usando los pasos anteriores de manera adecuada.

10) Si ahora se desea programar la acción de control para la planta 2, a partir del menú anterior se oprime > (siguiente), con lo cual se selecciona la planta 2, y a continuación la tecla \* (captura).

11) Si se quiere el modo manual para la planta 2, sólo se oprime \* (captura) ya que este modo se selecciona por defecto.

---

```
> PLANTA 1
>
> Ki = 000.00 s'
> (0 a 222.22)
```

---

---

```
> PLANTA 1
>
> TD = 27.000 ms
> (27 a 90)
```

---

---

```
> MENU:
>
> P1 (APG)  P2 ( - )
> P3 ( - )  P4 ( - )
```

---

---

```
> MENU:
>
> P1 (APG)  P2 ( - )
> P3 ( - )  P4 ( - )
```

---

---

```
> PLANTA 2 (modo)
>
> → MANUAL
> AUTO
```

---

12) Como en el modo manual no hay ningún parámetro que programar, se vuelve directamente al menú, en el que se observa que está seleccionada la planta 2 (parpadeo en el número 2), y que su estado ha cambiado de "-" a "APG"; así, la salida m, se mantiene en 12 mA para este caso.

13) Ya determinadas las acciones de control para las plantas 1 y 2 es posible pasar al modo de operación oprimiendo la tecla P/O (programación/operación); dentro del modo de programación esta tecla sólo es válida cuando esté desplegado el menú en pantalla sin importar que planta esté seleccionada en ese momento.

Al entrar al modo de operación se despliegan los valores de interés y el estado de cada planta por separado. En primer lugar aparecen los datos de la planta 1. El despliegue varía de acuerdo con el modo de control seleccionado para cada planta; si se trata del modo automático, se desplegarán los valores medido (o de realimentación), de referencia y de control, el estado de la planta y el tipo de control seleccionado; si se trata del modo manual sólo se desplegarán los valores medido y de excitación, el estado de la planta y el tipo de control (para este caso: manual).

Si el estado de la planta es de condiciones iniciales "-" (sin programación), el despliegue será como si se tratara del modo manual con un valor fijo de excitación de 12 mA y un control indeterminado "-".

Nótese que para la planta 1 se despliega su estado (apagado), el tipo de control seleccionado (PID) y los valores de interés, existiendo un parpadeo en los dos puntos del valor de referencia para indicar que esta cantidad puede cambiarse a partir de un valor inicial de 12 mA en forma interactiva al encontrarse encendida la acción de control de esta planta; si no lo está los 2 puntos permanecen estáticos y el valor de REF no puede ser alterado. El valor medido es el valor real y puede usarse con fines de calibración. Los valores MED y CTR son actualizados a una fre-

---

```
> MENU:  
>  
> P1 (APG) F2 (APG)  
> P3 ( - ) P4 ( - )
```

---

---

```
> P1 (APG) C:PID  
> REF: 12.0000 mA  
> MED: 12.0000 mA  
> CTR: 12.0000 mA
```

---

cuencia determinada en el diseño.

14) Para encender la acción de control e iniciar la operación para la planta 1, simplemente se oprime la tecla E/A (encendido/apagado) con lo cual cambia el estado de P1 a "ENC". En este momento los 2 puntos del valor de referencia comenzarán a parpadear.

---

```
> P1(ENC)      C:PID
> REF† 12.0000 mA
> MED: 12.0000 mA
> CTR: 12.0000 mA
```

---

15) Ya que la resolución de corrientes de entrada y salida depende del número de bits manejados por los convertidores A/D y D/A se puede determinar que en este caso es de 0.0625 mA. El valor de referencia puede ser cambiado a través de las teclas † (incrementa) y ‡ (decrementa); con cada opresión de estas teclas el valor de referencia se incrementa o decrementa en 0.0625 mA (aquí el ajuste no es por dígito). En estas condiciones es posible cambiar el valor de referencia por ejemplo a 19.9375 mA manteniendo oprimida la tecla † (incrementa) hasta alcanzar ese valor. Si por alguna razón el valor de control o las señales secundarias de procesamiento exceden su rango, se encenderá una bandera de saturación (S) a continuación del valor de control (CTR). Aquí las teclas † (incrementa) y ‡ (decrementa) no trabajan en forma circular para evitar un cambio abrupto entre los valores límite (4 y 19.9375 mA).

---

```
> P1(ENC)      C:PID
> REF† 19.9375 mA
> MED: 18.2500 mA
> CTR: 19.9375S mA
```

---

16) Para manejar la planta 2 se oprime simplemente la tecla ▶ (siguiente), P1 sigue trabajado mientras no se apague su acción de control. El nuevo despliegue presenta las condiciones de la planta 2 con un valor de excitación inicial de 12 mA; la forma de cambiarlo es exactamente la misma que la utilizada para el valor de referencia en el modo automático ya que tiene las mismas características.

---

```
> P2(APG)      C:M
>
> EXC: 12.0000 mA
> MED: 12.0000 mA
```

---

17) Para encender la planta 2 se oprime la tecla E/A (encendido/apagado) y se cambia el valor de excitación a por ejemplo 9.8125 mA manteniendo oprimida la tecla ‡ (decrementa) hasta alcanzar ese valor. En este caso la operación también es interactiva.

---

```
> P2(ENC)      C:M
>
> EXC‡ 09.8125 mA
> MED: 10.7500 mA
```

---

18) Se puede ver lo que se despliega para la planta 3 oprimiendo ▶ (siguiente). Aquí no es posible variar nada y lo mismo ocurrirá para la planta 4. Desde que se encendió el controlador y hubo salidas válidas, se estuvo enviando 12 mA a estas plantas. Nuevamente la tecla ▶ (siguiente) actúa circularmente.

---

```
> P3 ( - )      C: -  
>  
> EXC: 12.0000 mA  
> MED: 12.0000 mA
```

---

19) Estando en el modo de operación puede pasarse en cualquier momento al modo de programación oprimiendo la tecla P/O (programación/operación); las plantas encendidas seguirán trabajando.

---

```
> MENU:  
>  
> P1 (ENC)  P2 (ENC)  
> P3 ( - )  P4 ( - )
```

---

20) Es posible revisar la programación de la planta 1 oprimiendo \* (captura) hasta llegar al menú; pero en vista de que está encendida la acción de control de esta planta, no es posible hacer algún cambio; el mismo razonamiento se aplica a la planta 2. Para apagar las acciones de control de estas plantas se tiene que regresar al modo de operación con la tecla P/O (programación/operación), al desplegarse las condiciones de la planta 1 se oprime la tecla E/A (encendido/apagado) y para apagar el modo de control de la planta 2 se oprime ▶ (siguiente) y E/A (encendido/apagado). Oprimiendo la tecla P/O (programación/operación) se regresa nuevamente al modo de programación. En cualquiera de estos 2 casos las salidas se mantienen al valor que tenían en el momento de oprimir la tecla E/A.

---

```
> MENU:  
>  
> P1 (APG)  P2 (APG)  
> P3 ( - )  P4 ( - )
```

---

21) Para borrar la programación de ambas plantas se oprime: BRR (borra), ▶ (siguiente) y BRR (borra). Ahora las salidas correspondientes suministran una corriente de 12 mA.

---

```
> MENU:  
>  
> P1 ( - )  P2 ( - )  
> P3 ( - )  P4 ( - )
```

---

22) La programación y manejo de las plantas 3 y 4 es similar.

Nota: Antes de iniciar la operación de alguna planta en el modo automático deberá verificarse que el led indicador de señal fuera de rango en la entrada correspondiente esté apagado para evitar saturación en la salida respectiva (esta situación no ocurrirá si la acción de control está apagada); además el led indicador de salida válida deberá estar encendido.



### 5.1.5 Determinación del periodo de muestreo.

Antes de diseñar el hardware y el software del controlador es necesario determinar el período de muestreo que se usará ya que de esto depende gran parte del diseño global.

El período de muestreo requerido es constante y uniforme, ya que su uniformidad facilita el análisis matemático y su constancia es necesaria debido a que se tiene que actualizar el dato de salida a todas las plantas inclusive si es un cero de escala completa (12 mA) porque, como se verá más adelante, el circuito que reconstruirá cada salida a partir de sus muestras es un retén de orden cero convencional cuyo capacitor debe ser recargado a intervalos de tiempo suficiente para evitar su descarga en forma apreciable.

El período de muestreo está limitado hacia abajo por la frecuencia de bus nominal de la microcomputadora y más específicamente por el número de ciclos de reloj E que tarda la ejecución de las rutinas del algoritmo de control y por el tiempo que se destinará para ejecutar otras rutinas (atención a teclado, pantalla, etc.). La figura 5.1.5 muestra la distribución temporal utilizada en el diseño.

Partiendo de esta figura se proponen las siguientes cotas de diseño para un período de interrupción  $T_i$ :

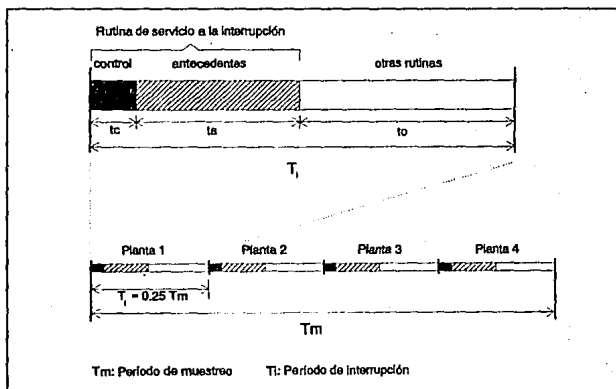


Figura 5.1.5 Distribución temporal del procesamiento en el controlador.

Duración de la rutina de control ( $t_c$ ):

$$0 < t_c \leq 0.1T_i \quad (5.1.1)$$

Duración de la rutina de antecedentes ( $t_a$ ):

$$0 < t_a \leq 0.5T_i - t_c \quad (5.1.2)$$

Duración de otras rutinas ( $t_o$ ):

$$0 < t_o \leq T_i - (t_c + t_a) \quad (5.1.3)$$

Se hace notar que el período de interrupción  $T_i$  es la cuarta parte del período de muestreo  $T_m$  y por lo tanto también es constante y uniforme. El período de interrupción será controlado por el sistema de reloj de la microcomputadora y debe ser suficiente para atender a cada planta por interrupción a través de las rutinas de control y antecedentes sugeridas en la sección 3.4.3, y dar un margen temporal para atender a otras rutinas. El tipo de interrupción para  $T_i$  debe ser no enmascarable y la rutina de servicio correspondiente sólo debe contener las rutinas de control y antecedentes. La razón por la cual la interrupción debe ser no enmascarable es la ejecución incondicional de las rutinas de servicio para colocar un dato válido de salida en el convertidor D/A cada período de interrupción, evitando así la interferencia de otras interrupciones que pudieran surgir (por ejemplo de la ICS) y que deshabilitan las interrupciones enmascarables; la forma de lograrlo es realimentando una salida del sistema de reloj interno de la microcomputadora a través de la terminal  $\overline{XIRQ}$  como se explica más adelante.

Si se considera la operación del modo automático del controlador para una planta, lo que implica un  $t_c$  máximo (debido a que se tiene que procesar la entrada), la rutina de control contenida dentro de la rutina de servicio a la interrupción debe ser capaz de muestrear el dato de entrada (lo que incluye el tiempo suficiente de conversión A/D), calcular la señal de error, procesarla mediante el algoritmo seleccionado para dar un valor de control, desactivar el demulticanalizador de salida, enviar el dato de control al convertidor D/A, esperar para tener un resultado válido, seleccionar la salida y activar el demulticanalizador para que la muestra de la señal de control pase al respectivo retén de orden cero. A partir de aquí y mientras tiene lugar la rutina de antecedentes para el siguiente período de muestreo y el procesamiento de una porción de otras rutinas, deberá cargarse el capacitor del retén suficientemente hasta que en la siguiente interrupción que atenderá a la siguiente planta se desactive el demulticanalizador y provoque que dicho capacitor se descargue muy lentamente (condición de alta impedancia) hasta un valor aceptable en el momento en que se vuelva a refrescar dentro del siguiente período de muestreo; ver figura 5.1.6. El cálculo del capacitor del retén se hará en la sección 5.2 (Diseño del hardware).

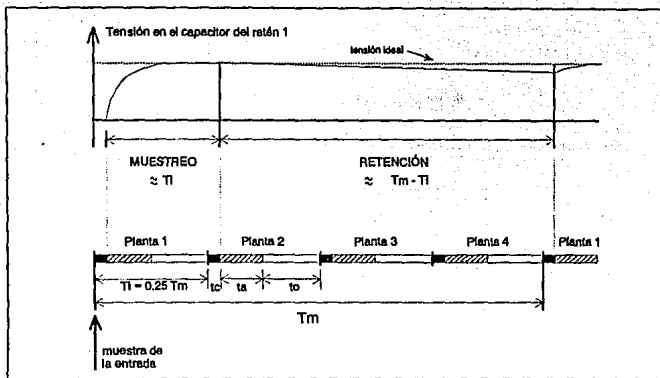


Figura 5.1.6 Proceso de muestreo y retención para reconstruir la señal de salida o de control.

La cota superior para el período de muestreo se determina considerando un defasamiento de hasta  $15^\circ$  para la máxima frecuencia de diseño sugerida para la señal de entrada (5 Hz). El defasamiento mencionado es función no sólo del tiempo de procesamiento  $t_c$  sino también del retardo inherente que proporciona el retén de salida de  $T_m/2$  y de la frecuencia del filtro paso bajas de primer orden que se sugiere en las 4 entradas de las señales controladas para evitar el fenómeno de enmascaramiento.

Aunque se ha limitado el ancho de banda de la señal de entrada a 5 Hz, el teorema de muestreo establece que es posible procesar señales con componentes de frecuencia que tengan hasta un período de  $2T_m$ ; partiendo de esto se establece una frecuencia de corte para el filtro de primer orden de entrada de  $f_m/2$ :

$$G_{\text{filtro}}(s) = \frac{A_0}{\tau s + 1} \quad (5.1.4)$$

$$\omega_c = 2\pi f_c = \frac{2\pi f_m}{2} = \pi f_m = \frac{\pi}{T_m} = \frac{1}{\tau}$$

Por tanto:

$$\tau = \frac{T_m}{\pi} \quad (5.1.5)$$

La respuesta en frecuencia de la ecuación (5.1.4) está dada por:

$$A = |G_{flltro}(j\omega)| = \frac{A_0}{\sqrt{1 + (\tau\omega)^2}} \quad (5.1.6)$$

$$\Phi = \Delta G_{flltro}(j\omega) = -\text{angtan}(\tau\omega) \quad (5.1.7)$$

Sustituyendo (5.1.5) en (5.1.6) y (5.1.7):

$$A = \frac{A_0}{\sqrt{1 + \left(\frac{T_m}{\pi}\omega\right)^2}} = \frac{A_0}{\sqrt{1 + \left(\frac{T_m}{\pi}2\pi f\right)^2}}$$

$$A = \frac{A_0}{\sqrt{1 + (2T_m f)^2}} \quad (5.1.8)$$

$$\phi = -\text{angtan}\left(\frac{T_m}{\pi}\omega\right) = -\text{angtan}\left(\frac{T_m}{\pi}2\pi f\right)$$

$$\phi = -\text{angtan}(2T_m f) \quad \text{rad} \quad (5.1.9)$$

Ya que se considera que  $f_m > 5 \text{ Hz}$ , la ecuación (5.1.9) puede aproximarse de la siguiente manera para  $f = 5 \text{ Hz}$ :

$$\phi_{f=5\text{Hz}} = 10T_m \frac{180}{\pi} \text{ }^\circ$$

$$\phi_{f=5\text{Hz}} = 572.9578T_m \text{ }^\circ \quad (5.1.10)$$

La expresión que relaciona el defasamiento máximo permitido por  $f_{m\text{dx}}$  (5 Hz) con el retardo en el retén de salida, el tiempo de procesamiento y el defasamiento producido por el filtro paso bajas es:

$$360f_{m\text{dx}}\left(\frac{T_m}{2} + t_c\right) + \phi \leq 15^\circ \quad (5.1.11)$$

de la expresión (5.1.11) se tiene que el peor caso para  $t_c$  es:

$$t_c = 0.1T_m = 0.1(0.25T_m)$$

$$t_c = 0.025T_m \quad (5.1.12)$$

Sustituyendo  $f_{máx} = 5 \text{ Hz}$  , (5.1.10) y (5.1.12) en (5.1.11):

$$360(5) \left( \frac{T_m}{2} + 0.025T_m \right) + 572.9578T_m \leq 15^\circ$$

$$1517.9578T_m \leq 15^\circ$$

$$T_m \leq 9.8817 \text{ ms} \quad (5.1.13)$$

Como el valor de  $T_m$  se necesita para el cálculo de algunos coeficientes de las ecuaciones en diferencias a programar, es conveniente que sea un valor entero de ms para tener una representación digital reducida; de esta manera se toma en cuenta el valor entero más cercano:

$$T_m = 9 \text{ ms}$$

Ahora se calculará el número promedio de instrucciones que se pueden ejecutar en un tiempo  $T_I = T_m/4 = 2.25 \text{ ms}$  . Ya que el número promedio de ciclos de reloj E por instrucción de la microcomputadora es aproximadamente 4.5 y considerando una frecuencia nominal de bus de 2 Mhz se tiene:

$$N = \frac{2.25 \times 10^{-3}}{4.5 \left( \frac{1}{2 \times 10^6} \right)} = 1000$$

Tomando en cuenta los peores casos para las expresiones (5.1.1) y (5.1.2) se tiene que la rutina de control contendrá hasta 100 instrucciones, la rutina de antecedentes hasta 400 instrucciones y se podrán ejecutar hasta 500 instrucciones por período de interrupción de la rutina principal de manejo del controlador. En vista de que estas cantidades son apropiadas y considerando que disminuyendo el valor de  $T_I$  se corre el riesgo de que no alcancen los tiempos asignados para cada rutina, se escoge finalmente:

$$T_m = 9 \text{ ms} \quad (5.1.14)$$

$$T_I = 2.25 \text{ ms} \quad (5.1.15)$$

## 5.2 DISEÑO DEL HARDWARE.

Esta sección se enfoca al diseño de la parte física del controlador digital propuesto. El elemento principal, lo constituye la microcomputadora MC68HC11E9. En la siguiente sección se proporciona un diagrama de bloques y una breve descripción del mismo.

### 5.2.1 Diagrama de bloques.

En la figura 5.2.1 se muestra un diagrama de bloques básico del controlador digital proporcional, integral y derivativo (PID).

La microcomputadora MC68HC11E9 constituye la parte medular del sistema. Para que opere adecuadamente, se requieren algunos circuitos adicionales tales como los circuitos de reloj, de reinicio, de selección de modo etc.

A través del teclado y de su codificador, es posible introducir diferentes datos a la microcomputadora; estos son mencionados en la sección 5.1.

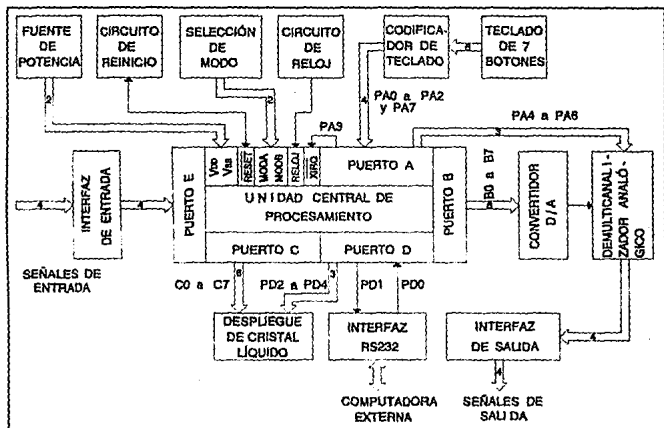


Figura 5.2.1 Diagrama de bloques del controlador digital PID.

Aunque es factible proporcionar tensiones o corrientes como señales de entrada y salida, se prefiere el uso de corrientes, pues estas no se degradan incluso si son enviadas a distancias relativamente grandes; en cambio, las tensiones sufren pérdidas debidas a la resistividad de los conductores.

Para el controlador, se considera que las señales de entrada y de salida son de corriente. Para poder muestrear las señales, es necesario convertir las señales de entrada de corriente a señales de tensión; de este modo pueden ser enviadas al puerto E del MC68HC11E9. Como se mencionó anteriormente, el puerto E es la entrada al convertidor A/D del MC68HC11E9. El bloque marcado con el nombre de interfaz de entrada, realiza la conversión de las señales de corriente a señales de tensión y proporciona una componente de corriente directa apropiada.

La microcomputadora, en forma interna, efectúa el procesamiento de los datos introducidos mediante el teclado que lo requieren y de aquellos que obtiene del proceso de conversión A/D, y proporciona señales digitales de control, las cuales son convertidas en señales analógicas mediante el bloque de conversión D/A. Con el objeto de usar un solo CDA, se utiliza una demulticanalización analógica para proporcionar las diversas señales de control.

Las señales a la salida del bloque de demulticanalización, son de tensión, por consiguiente es necesaria la inclusión de circuitos convertidores de tensión a corriente. En el diagrama de bloques, la interfaz de salida realiza esta función.

Para presentar algunos datos importantes sobre el funcionamiento del controlador, se utiliza un módulo de despliegue de cristal líquido, ya que su manejo es sencillo y demanda muy baja potencia.

En las secciones subsecuentes, se proporciona una descripción detallada sobre cada uno de estos bloques.

### 5.2.2 Interfaz de entrada.

Las señales de entrada a esta interfaz son corrientes en el rango 4 a 20 mA; para que dichas señales puedan ser procesadas por la microcomputadora MC68HC11E9, es necesario convertirlas a señales de tensión en el rango 0 a 5 V. Para realizar esta función se sugiere el empleo del circuito mostrado en la figura 5.2.2, el cual es idéntico para las 4 señales de entrada.

El diodo 1N60 de germanio, proporciona una protección contra sobre corriente y contra corrientes negativas. En el primer caso, si la corriente que intenta pasar es mayor o igual a 50 mA, el diodo se funde quedando el circuito abierto en este punto.

Para que el circuito de entrada funcione correctamente, es necesario que la corriente sea positiva (entrada en la dirección marcada por el diodo 1N60) y estar dentro del rango 4 a 20 mA.

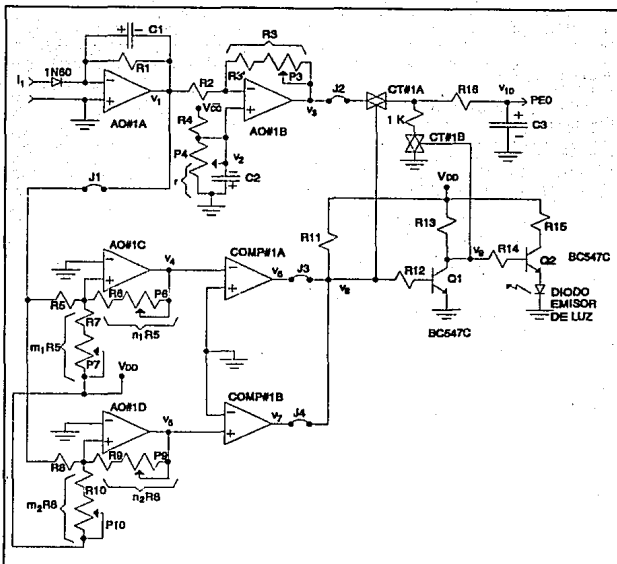


Figura 5.2.2 Interfaz de entrada para una sola corriente.

El amplificador operacional AO#1A y el resistor R1 constituyen el convertidor de corriente a tensión. El capacitor C1 está conectado en paralelo con el resistor R1 para proporcionar un filtrado sobre la señal de entrada y cumplir con el teorema de muestreo. Se pretende que el intervalo de tensión a la entrada del puerto E sea de 0 a 5 V, por lo que es necesario acondicionar la señal que aparece a la salida del amplificador operacional AO#1A de acuerdo con el siguiente criterio:

Los amplificadores operacionales pueden trabajar apropiadamente sin llegar a la saturación, si las señales de entrada y salida cumplen la siguiente condición:

$$V_{CC}^- + 1.5 V < V_{ent/sal} < V_{CC}^+ - 1.5 V$$



Si  $V_{cc}^- = -8V$  y  $V_{cc}^+ = +8V$ , se tiene:

$$-6.5V < V_{ent/\#21} < +6.5V$$

La tensión de salida del amplificador operacional AO#1A es:

$$V_1 = -(R_1) I_1$$

La máxima corriente válida de entrada es 20 mA, por lo tanto y despreciando por ahora el efecto del capacitor C1, se debe cumplir la siguiente desigualdad:

$$V_1 > -6.5V$$

$$-20R_1 > -6.5V$$

$$R_1 < \frac{6.5}{20} = 0.325K$$

$$< 325 \text{ ohms}$$

Un valor comercial para R1 que cumple con la condición anterior es 270 ohms.

Para atenuar el ruido presente en la entrada del sistema y para cumplir con el teorema de muestreo, se incluye el capacitor C1. La función de transferencia para el amplificador AO#1A considerando C1 es:

$$H(s) = \frac{V_1(s)}{I_1(s)} = - \frac{R_1}{1 + sR_1C_1}$$

Si se sustituye  $j\omega$  en lugar de  $s$  en la ecuación anterior, se podrá obtener su respuesta en frecuencia:

$$H(j\omega) = - \frac{R_1}{\sqrt{1 + (\omega R_1 C_1)^2}} \angle - \text{angtan}(\omega R_1 C_1) \quad (5.2.1)$$

Esta función de transferencia corresponde a la de un filtro paso bajas de primer orden. La frecuencia angular de corte para el filtro de primer orden de acuerdo con el criterio del 70.7 % de la ganancia máxima, está determinada por:

$$\omega_c = \frac{1}{R_1 C_1} \quad (5.2.2)$$

Para evitar el fenómeno de enmascaramiento, la frecuencia de corte para este filtro se elige igual a la mitad de la frecuencia de muestreo. El período de muestreo anteriormente determinado es igual a 9 ms, por lo tanto la frecuencia angular de muestreo es:

$$\omega_m = 2\pi f_m = \frac{2\pi}{T_m} = \frac{2\pi}{0.009}$$

$$\omega_m = 698.132 \frac{\text{rad}}{\text{s}}$$

Por consiguiente, la frecuencia de corte es:

$$\omega_c = \frac{\omega_m}{2} = 349.066 \frac{\text{rad}}{\text{s}}$$

Despejando  $C_1$  de la ecuación (5.2.2) y luego sustituyendo  $R_1$  y  $\omega_c$ :

$$C_1 = \frac{1}{\omega_c R_1} = \frac{1}{(349.066)(270)} = 1.06 \times 10^{-5} \text{ F}$$

Un valor comercial aproximado al antes calculado es:

$$C_1 = 10 \mu\text{F}$$

La frecuencia de corte del filtro para este valor en el capacitor  $C_1$  es:

$$\omega_c = \frac{1}{R_1 C_1} = \frac{1}{(270)(1 \times 10^{-5})}$$

$$\omega_c = 370.37 \frac{\text{rad}}{\text{s}}$$

La rapidez de variación de las señales de entrada es mucho menor que la frecuencia de corte elegida para el filtro; de este modo al pasar a través del filtro no serán alteradas en forma significativa.

Las principales fuentes de ruido son la línea de 60 Hz y la fuente de potencia del sistema (120 Hz). La tabla 5.2.1 muestra el comportamiento de este filtro para diversos valores de frecuencia en donde se ha normalizado su respuesta de magnitud.

$\omega \frac{\text{rad}}{\text{s}}$	$\frac{ H(j\omega) }{R_1}$	$-\text{angtan}(\omega R_1 C_1)$
$\omega_n/50$	0.9993	-02.16°
$\omega_n/40$	0.9989	-02.69°
$\omega_n/30$	0.9980	-03.59°
$\omega_n/20$	0.9956	-05.38°
$\omega_n/10$	0.9827	-10.67°
$\omega_n/5$	0.9357	-20.66°
$\omega_n/2$	0.7277	-43.30°
$2\pi 60$	0.7008	-45.51°
$2\pi 120$	0.4409	-63.84°
$2\pi 1000$	0.0588	-86.63°
$2\pi 5000$	0.0118	-89.32°

Tabla 5.2.1

Un defasamiento grande en el control de un sistema físico, suele ser desastroso; si se tolera que las señales de entrada sufran un pequeño defasamiento, sólo las señales de cierto ancho de banda cumplirán con tal condición. Si el máximo defasamiento tolerable fuera igual a  $-3.6^\circ$ , entonces las señales de entrada permisibles tendrían un ancho de banda máximo de  $\omega_n/30=23.271 \text{ rad/s}$ ; es decir la componente de mayor frecuencia en la señal de entrada tendría un período igual a  $0.27 \text{ s}$ ; también se observa en esta tabla que la magnitud de la señal de entrada sufre una muy pequeña atenuación.

Si la señal de entrada cumple con las condiciones indicadas en el párrafo anterior entonces en el siguiente análisis se puede desprestigiar el efecto del capacitor  $C_1$ :

Dado que la corriente de entrada está acotada por los valores  $4$  y  $20 \text{ mA}$ , la señal de tensión a la salida del amplificador operacional AO#1A también está limitada:

$$v_1 = -i_1 R_1$$

$$4 \text{ mA} \leq i_1 \leq 20 \text{ mA}$$

$$-20R_1 \leq v_1 \leq -4R_1$$

$$-20(0.27) \leq v_1 \leq -4(0.27)$$

$$- 5.4 \text{ V} \leq v_1 \leq - 1.08 \text{ V}$$

Mediante el amplificador operacional AO#1B, los resistores  $R_2$  y  $R_3$  y la tensión de referencia  $v$ , se proporcionan la ganancia necesaria y la cancelación de una componente de corriente directa.

En la siguiente tabla se indican los valores de entrada y salida para este amplificador operacional:

$v_1$	$v_2$
-1.08 V	0 V
-5.40 V	5 V

Tabla 5.2.2

La ecuación que relaciona  $v_1$ ,  $v_2$  y  $v_3$  es:

$$v_3 = -v_1 \frac{R_3}{R_2} + v_2 \left(1 + \frac{R_3}{R_2}\right)$$

Para el caso en que  $v_2$  es igual a 0 V, de acuerdo con la tabla anterior  $v_3$  es igual a -1.08 V:

$$0 = 1.08 \frac{R_3}{R_2} + v_2 \left(1 + \frac{R_3}{R_2}\right) \quad (5.2.3)$$

Para el caso en que  $v_2$  es igual a 5 V, de acuerdo con la tabla anterior  $v_3$  es igual a -5.4 V:

$$5 = 5.4 \frac{R_3}{R_2} + v_2 \left(1 + \frac{R_3}{R_2}\right) \quad (5.2.4)$$

Restando miembro a miembro las ecuaciones (5.2.4) - (5.2.3):

$$5 = (5.4 - 1.08) \frac{R_3}{R_2}$$

$$\frac{R_3}{R_2} = \frac{5}{(5.4 - 1.08)} = 1.1574 \quad (5.2.5)$$

Despejando  $v$ , de la ecuación (5.2.3) y luego sustituyendo el valor del cociente anterior:

$$\begin{aligned}
 v_2 &= \frac{-1.08 \frac{R_3}{R_2}}{1 + \frac{R_3}{R_2}} \\
 &= \frac{(-1.08)(1.157)}{1 + 1.157} \\
 &= -0.5793 \text{ V}
 \end{aligned}$$

Utilizando la ecuación (5.2.5) se puede asignar valores a R1 y a R2:

$$R_3 = 1.157 R_2$$

Si R2 = 10 K, R3 = 11.57 K. El cociente R3/R2 proporciona la ganancia necesaria entre los intervalos señalados en la tabla 5.2.2; por lo tanto, es necesario un ajuste fino mediante un potenciómetro:

$$R_3 = R_3' + P_3$$

En donde si R3' = 8.2 K (parte fija de R3), entonces un valor comercial y apropiado para P3 es 6.8 K (ver la figura 5.2.2).

#### Diseño de la referencia de tensión v:

Para generar una tensión igual a v<sub>1</sub>, se utiliza el divisor de tensión formado por el resistor R4, el potenciómetro P4 y la fuente de potencia de -8 V (ver la figura 5.2.2). Puede plantearse la tensión v, en función de estos elementos sin considerar el efecto del capacitor C2 (análisis de corriente directa) como sigue:

$$v_2 = - \frac{8r}{r + R_4} \quad (5.2.6)$$

Despejando r de la ecuación:

$$r = -v_2 \frac{R_4}{v_2 + 8}$$

Si R4 es igual a 10 K entonces:

$$r = \frac{0.5793(10)}{-0.5793 + 8}$$

$$= 0.78K = 780 \text{ ohms}$$

Un valor apropiado para el potenciómetro P4 es alrededor del doble de r, es decir P4=1.5 K. Con este valor para P4 y utilizando la ecuación (5.2.6), la tensión v, queda acotada de la siguiente forma:

$$\frac{(-8)(1500)}{1500 + 10000} \leq v_2 \leq \frac{(-8)(0)}{1500 + 10000}$$

$$-1.043 \text{ V} \leq v_2 \leq 0 \text{ V}$$

El valor exacto de v, se tiene para r=780 ohms por lo que para el análisis en corriente alterna se usará este valor.

El capacitor C2 se encuentra conectado en paralelo con el resistor r. De esta manera el divisor de tensión puede expresarse como:

$$V_2(s) = V_{cc}(s) \frac{\frac{1}{sC_2} \parallel r}{R_4 + \frac{1}{sC_2} \parallel r}$$

Reacomodando la expresión anterior:

$$\frac{V_2(s)}{V_{cc}(s)} = \frac{\frac{1}{R_4 C_2}}{s + \frac{R_4 + r}{R_4 r C_2}} = \frac{\frac{r}{R_4 + r}}{\left(\frac{R_4 r C_2}{R_4 + r}\right) s + 1}$$

Comparando la expresión anterior con la función de transferencia de un filtro paso bajas de primer orden:

$$H(s) = \frac{A_0}{\tau s + 1}$$

la constante de tiempo está determinada por la siguiente expresión:

$$\tau = \frac{R_4 r C_2}{R_4 + r}$$

Si la fuente de potencia  $V_{cc}$  se comporta durante su encendido como una señal de entrada escalón, entonces se puede obtener una expresión que relacione el tiempo de establecimiento para un cierto margen alrededor del valor final de la señal de salida con los componentes de este divisor. Considerando un margen del 1 %:

$$e^{-\frac{t_s}{\tau}} \leq 0.01$$

$$e^{-\frac{R_4 + r}{R_4 r C_2} t_0} \leq 0.01$$

Despejando C2:

$$C_2 \leq \frac{(R_4 + r) t_0}{R_4 r \ln(100)}$$

Si se considera un tiempo de establecimiento máximo de 0.27 s y sustituyendo valores en la desigualdad anterior se tiene:

$$C_2 \leq \frac{(10000 + 780) (0.27)}{(10000) (780) \ln(100)}$$

$$C_2 \leq 81.03 \mu F$$

Un valor comercial que cumple con la condición anterior es:

$$C_2 = 68 \mu F$$

La función de transferencia para este divisor de tensión es:

$$H(s) = \frac{V_2(s)}{V_{CC}(s)} = \frac{\frac{1}{R_4 C_2}}{s + \frac{R_4 + r}{R_4 r C_2}}$$

Si se sustituye  $j\omega$  en lugar de  $s$  en la función anterior para tener su respuesta en frecuencia:

$$H(j\omega) = \frac{\frac{1}{R_4 C_2}}{j\omega + \frac{R_4 + r}{R_4 r C_2}}$$

$$H(j\omega) = \frac{\frac{1}{R_4 C_2}}{\sqrt{\omega^2 + \left(\frac{R_4 + r}{R_4 r C_2}\right)^2}} \angle -\text{angtan}\left(\frac{\omega R_4 r C_2}{R_4 + r}\right)$$

Es interesante saber como se comporta este divisor para señales de 60 Hz y de 120 Hz ya que son frecuencias de las principales fuentes de ruido; para apreciar con mayor claridad la atenuación que sufren, se

proporcionan sus valores de amplitud relativos al valor de amplitud de la componente de corriente directa ( $v_2$ ):

$$\frac{|H(j2\pi 60)|}{|H(j0)|} = \frac{0.003895}{0.072356} = 0.0538$$

$$\frac{|H(j2\pi 120)|}{|H(j0)|} = \frac{0.001950}{0.072356} = 0.0269$$

Los valores anteriores demuestran que las señales de 60 Hz y 120 Hz son atenuadas fuertemente a la entrada no inversora del amplificador operacional AO#1B. Por consiguiente, este divisor es apropiado para generar la tensión de referencia necesaria que cancelará la componente de corriente directa apropiada de la señal de entrada.

En la interfaz de entrada existe una sección adicional que protege el puerto E contra tensiones fuera del rango aceptable (0 a 5 V):

El circuito detector de ventana formado por los amplificadores AO#1C y AO#1D y por los comparadores COMP#1A y COMP#1B, sólo permite que las señales de tensión en un rango de -5.4 a -1.08 V y procesadas por el amplificador operacional AO#1B, se transmitan a través de la compuerta de transmisión CT#1A. Los valores de tensión permitidos a la salida de la compuerta de transmisión CT#1A están ubicados entre 0 y 5 V. En caso de que el circuito detector de ventana encuentre tensiones fuera del intervalo preestablecido, se ejecutarán tres acciones diferentes:

- 1.- Se deshabilita la compuerta de transmisión CT#1A. De este modo, se protege el puerto E de la microcomputadora MC68HC11E9.
- 2.- El transistor Q1 actúa como inversor lógico, por lo que la compuerta de transmisión CT#1B se habilita y provoca que el capacitor C3 se descargue a tierra a través del resistor R16 y del resistor de 1 K; este último sólo se ha incluido para evitar cualquier conflicto entre ambas compuertas de transmisión.
- 3.- El transistor Q2 es empleado como amplificador de corriente para encender un diodo emisor de luz, con el fin de indicar que ha ocurrido un desbordamiento en la tensión debido a una corriente de entrada fuera del intervalo de 4 a 20 mA.

Como consecuencia de la acción descrita en el número 2, el módulo de despliegue mostrará un dato igual a 4 mA para esta entrada

El ruido presente en el sistema puede producir conmutaciones no deseadas en el detector de ventana si las señales de corriente se encuentran cerca de sus valores extremos, para evitar esto se incluyen circuitos que presentan un efecto de histéresis para cada comparador.

#### Análisis del circuito comparador de nivel con histéresis.

A continuación se presenta un circuito detector de nivel con



histéresis como el empleado en la figura 5.2.2:

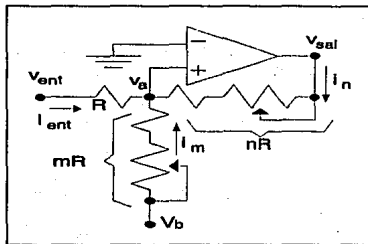


Figura 5.2.3 Comparador de nivel con histéresis.

Aplicando la ley de Kirchhoff sobre corrientes en el nodo  $v_a$ :

$$i_{ent} + i_m + i_n = 0 \quad (5.2.7)$$

La tensión en el nodo  $v_a$  esta dada por:

$$v_a = -mR(i_m) + v_b \quad (5.2.8)$$

Despejando  $i_m$  de la ecuación (5.2.7) y luego sustituyéndola en la ecuación (5.2.8):

$$i_m = -i_{ent} - i_n$$

$$v_a = -mR(-i_{ent} - i_n) + v_b$$

$$v_a = mR(i_{ent}) + mR(i_n) + v_b$$

$$v_a = mR\left(\frac{v_{ent} - v_a}{R}\right) + mR\left(\frac{v_{sal} - v_a}{nR}\right) + v_b$$

$$v_a\left(1 + m + \frac{m}{n}\right) = \frac{m}{n}v_{sal} + mv_{ent} + v_b$$

Despejando  $v_{ent}$  de la ecuación anterior:

$$v_{ent} = v_a \left( \frac{1}{m} + \frac{1}{n} + 1 \right) - \frac{v_{sat}}{n} - \frac{v_b}{m} \quad (5.2.9)$$

Si  $v_a > 0V$  implica que  $v_{sat} = V_{SAT}$  y además  $v_{ent} > V_{TB}$  donde  $V_{TB}$  es la tensión de umbral baja. El caso límite se tiene para  $v_a = 0$ ; utilizando la ecuación (5.2.9) se obtiene:

$$v_{ent} = V_{TB} = - \frac{V_{SAT}}{n} - \frac{v_b}{m}$$

Si  $v_a < 0V$  implica que  $v_{sat} = -V_{SAT}$  y además  $v_{ent} < V_{TA}$  donde  $V_{TA}$  es la tensión de umbral alta. El caso límite se tiene para  $v_a = 0$ ; utilizando la ecuación (5.2.9) se obtiene:

$$v_{ent} = V_{TA} = - \frac{V_{SAT}}{n} - \frac{v_b}{m}$$

Se puede definir el valor de tensión central entre  $V_{TA}$  y  $V_{TB}$  como:

$$v_{CTR} = \frac{V_{TA} + V_{TB}}{2} = - \frac{V_{SAT} + V_{SAT}}{2n} - \frac{v_b}{m} \quad (5.2.10)$$

La tensión de histéresis corresponde a la diferencia entre las tensiones de umbral alta y baja:

$$v_H = V_{TA} - V_{TB} = \frac{V_{SAT} - V_{SAT}}{n} \quad (5.2.11)$$

Para el circuito TL084, las tensiones de saturación son parecidas en valor absoluto; por consiguiente y con fines de simplificación, las expresiones para las tensiones central y de histéresis quedan:

$$v_{CTR} = - \frac{v_b}{m} \quad (5.2.12)$$

$$v_H = 2 \frac{V_{SAT}}{n} \quad (5.2.13)$$

De acuerdo con la ecuación (5.2.11), se observa que la tensión de histéresis es totalmente independiente de la tensión de referencia  $v$ , y del valor de  $m$ , lo cual facilita su ajuste. Sin embargo, de acuerdo con la ecuación (5.2.10), la tensión central depende de  $n$ ,  $m$  y de la tensión de referencia  $v$ , pero debido a que las tensiones de saturación son cercanas en valor absoluto, su diferencia tiende a cero, además ya que  $n$  es grande para una tensión de histéresis pequeña, el primer término del lado derecho de la ecuación (5.2.10) tiende más rápidamente a

cero; de tal modo, que la ecuación (5.2.12) constituye una buena aproximación en el cálculo de la tensión central, la cual ahora es independiente en forma relativa del valor de  $n$ .

Las expresiones (5.2.12) y (5.2.13) permiten el cálculo muy aproximado de los valores para  $m$  y  $n$ , así, los errores que se tengan serán pequeños y pueden ser eliminados mediante la secuencia de ajuste apropiada de los potenciómetros involucrados en este circuito.

Las tensiones centrales son  $-1.08$  y  $-5.4$  V. Se considera como máximo un ruido pico a pico igual a  $34$  mV; esto es porque:

$$\frac{\text{Escala completa}}{2^8} = \frac{|-5.4 - (-1.08)|}{2^8} = 0.017 \text{ V} = 17 \text{ mV}$$

Por lo tanto, con estos datos, es posible calcular los parámetros  $n$  y  $m$  para cada nivel de tensión.

La gráfica entrada contra salida de este circuito se muestra en la figura 5.2.4.

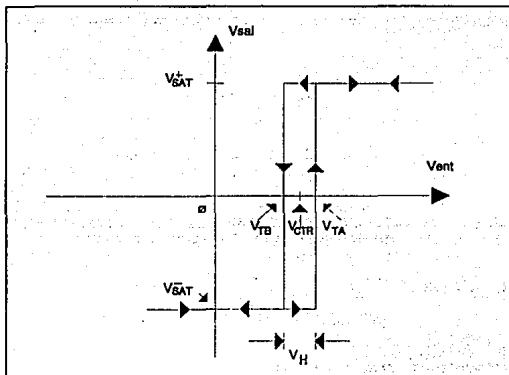


Figura 5.2.4 Gráfica de entrada contra salida del comparador de nivel con histéresis.

Cálculo de parámetros  $m$  y  $n$  para una tensión central de  $-1.08$  V y una tensión de histéresis  $34$  mV:

Las tensiones de saturación del amplificador operacional TL084 de acuerdo con las hojas de especificaciones del fabricante son:

$$V_{SAT}^+ = V_{CC} - 1 V = 8 - 1 = 7 V$$

$$V_{SAT}^- = V_{CC} + 1 V = -8 + 1 = -7 V$$

Haciendo referencia al circuito mostrado en la figura 5.2.2 y empleando las ecuaciones (5.2.12) y (5.2.13), se tiene:

$$n_1 = 2 \frac{V_{SAT}^+}{V_H} = \frac{2(7)}{(34 \times 10^{-3})} = 411.8$$

$$m_1 = - \frac{V_{DD}}{V_{CTR}} = - \frac{5}{-1.08} = 4.630$$

Cálculo de  $n$  y  $m$  para una tensión central igual a  $-5.4 V$ :

$$n_2 = 2 \frac{V_{SAT}^+}{V_H} = \frac{2(7)}{(34 \times 10^{-3})} = 411.8$$

$$m_2 = - \frac{V_{DD}}{V_{CTR}} = - \frac{5}{-5.4} = 0.926$$

Obtención de valores comerciales para los resistores y potenciómetros del detector de ventana (ver la figura 5.2.2):

Si  $R_5 = 10 K$ :

$$n_1 R_5 = 411.8(10) = 4118 K = 4.118 M$$

$$m_1 R_5 = 4.63(10) = 46.3 K$$

Si  $R_8 = 10 K$ :

$$n_2 R_8 = 411.8(10) = 4118 K = 4.118 M$$

$$m_2 R_8 = 0.926(10) = 9.26 K$$

De acuerdo con los resultados anteriores, se pueden asignar valores a los resistores R6, R7, R8 y R9 y a los potenciómetros P6, P7, P9 y P10:

R5	=	10 K
R6	=	3.3 M
R7	=	33 K
R8	=	10 K
R9	=	3.3 M
R10	=	6.8 K
P6	=	1.8 M
P7	=	27 K
P9	=	1.8 M
P10	=	4.7 K

Las gráficas de entrada contra salida para los amplificadores AO#1C y AO#1D se muestran en la figura 5.2.5.

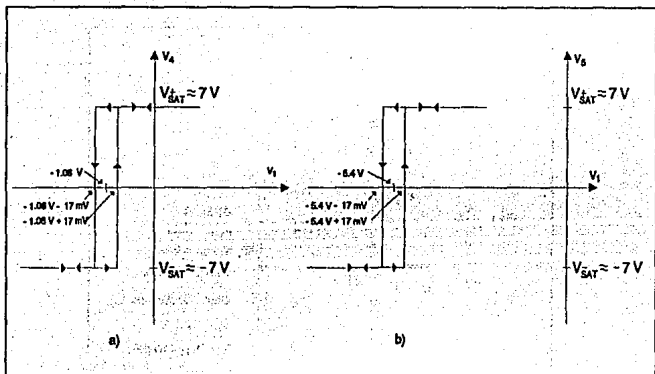


Figura 5.2.5 Gráficas de entrada contra salida para los amplificadores operacionales a) AO#1C y b) AO#1D.

Observando el inciso a) de la figura anterior, se tiene que para

valores de  $v_1$  inferiores a  $-1.08 \text{ V} - 17 \text{ mV}$ , la señal  $v_4$  es igual a la tensión de saturación negativa; no obstante se desea que ocurra lo contrario con el fin de poder realizar una conexión colector abierto con los comparadores COMP#1A y COMP#1B; el comparador COMP#1A efectúa la función de invertir la señal presente a la salida del amplificador operacional AO#1C. Mediante los dos comparadores se hace la conversión de niveles de tensión altos (tensiones de saturación de los amplificadores operacionales) a niveles lógicos TTL (0 a 5 V) para manejar otros circuitos digitales.

Como conclusión se puede decir que para los valores de tensión  $v_1$  dentro del rango  $-5.4 \text{ V} + 17 \text{ mV} \leq v_1 \leq -1.08 \text{ V} - 17 \text{ mV}$ , la tensión a la salida de los dos comparadores, será de alta impedancia, y debido a la conexión del resistor R11, el nivel lógico en  $v_8$  es alto ('1' lógico); en caso contrario si  $v_1$  no cumple la condición mencionada, el comparador COMP#1B o el COMP#1A (dependiendo del límite rebasado respectivamente) hará que la tensión  $v_8$  se vaya a nivel bajo ('0' lógico), provocando con esto las acciones descritas al inicio de esta discusión.

#### Análisis de los transistores Q1 y Q2.

Para éste análisis se hará referencia a la figura 5.2.6, la cual corresponde a una sección del diagrama presentado en la figura 5.2.2.

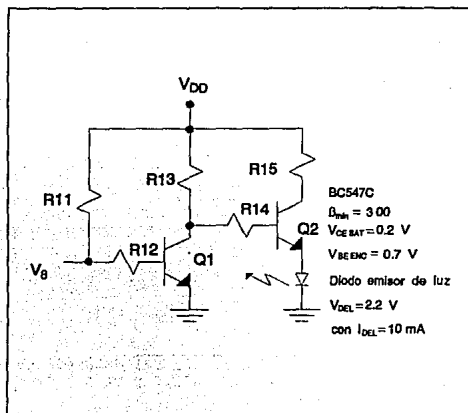


Figura 5.2.6 Sección del circuito de entrada.

La caída de tensión en el diodo emisor de luz para una corriente de unos 10 mA es aproximadamente 2.2 V.

Se presenta el caso crítico para cuando  $v_s$  está en nivel alto; ya que el resistor  $R_{11}$  sirve para habilitar la compuerta de transmisión CT#1A y además para alimentar al transistor Q1. La corriente de colector del transistor Q1 en saturación está dada por:

$$I_{C1SAT} = \frac{V_{DD} - V_{CESAT}}{R_{11}}$$

Si se fija esta corriente a 1 mA, entonces:

$$\begin{aligned} R_{11} &= \frac{V_{DD} - V_{CESAT}}{I_{C1SAT}} = \frac{5 - 0.2}{1} \\ &= 4.8 \text{ K} \end{aligned}$$

Un valor comercial para  $R_{11}$  es 4.7 K por lo tanto:

$$\begin{aligned} I_{C1SAT} &= \frac{5 - 0.2}{4.7} \\ &= 1.021 \text{ mA} \end{aligned}$$

Cuando el transistor se encuentra al borde de la saturación, aproximadamente se cumple todavía la relación con el valor de  $\beta$ :

$$\beta I_{BI} = I_{C1SAT}$$

Para el análisis, se elige el valor mínimo de  $\beta$ , pues así se garantiza que cuando Q1 conduzca; éste se encuentre en la región de saturación; si el primer miembro de la ecuación anterior es mayor que el segundo cuando se emplea la beta mínima, entonces se infiere que el transistor Q1 estará operando en la región de saturación para cualquier otro valor de  $\beta$ .

La corriente de base al borde de la saturación se obtiene de la siguiente forma:

$$\frac{I_{C1SAT}}{\beta_{min}} = \frac{1.021}{300}$$

$$= 3.4 \times 10^{-3} \text{ mA} = 3.4 \text{ } \mu\text{A}$$

Por otra parte, se puede plantear la ecuación de la malla de control para Q1:

$$V_{DD} - I_{B1}(R_{11} + R_{12}) - V_{BEENC} = 0$$

Despejando la corriente de base de la ecuación anterior:

$$I_{B1} = \frac{V_{DD} - V_{BEENC}}{R_{11} + R_{12}} \quad (5.2.14)$$

Para garantizar que el transistor Q1 esté trabajando en la región de saturación, la corriente  $I_n$  debe ser mayor que la corriente de base al borde de la saturación:

$$I_{B1} \geq \frac{I_{C1SAT}}{\beta_{min}}$$

$$\frac{V_{DD} - V_{BEENC}}{R_{11} + R_{12}} \geq \frac{I_{C1SAT}}{\beta_{min}}$$

En la desigualdad anterior se desconoce  $R_{12}$  y  $R_{11}$ ; para que los comparadores funcionen correctamente, el resistor  $R_{11}$  no debe ser muy pequeño y tampoco muy grande, un valor adecuado es 4.7 K. Despejando  $R_{12}$  de la desigualdad anterior y luego sustituyendo valores:

$$R_{12} \leq \frac{\beta_{min}}{I_{C1SAT}} (V_{DD} - V_{BEENC}) - R_{11}$$

$$\leq \frac{300}{1.021} (5 - 0.7) - 4.7$$

$$R_{12} \leq 1258.8 \text{ K}$$

Un valor comercial y adecuado para  $R_{12}$  es 1200 K. Se puede calcular  $I_n$ , usando este valor en la ecuación (5.2.14):

$$I_{B1} = \frac{5 - 0.7}{1200 + 4.7} = 3.57 \times 10^{-3} \text{ mA}$$



$$I_{B1} = 3.57 \mu A$$

Esta corriente es superior a la corriente de base al borde de la saturación; por consiguiente el transistor Q1 estará en saturación.

La caída de tensión en el resistor R11 es despreciable (17 mV), de modo que los niveles lógicos no se degradan considerablemente a la salida de los comparadores.

Si a la salida de uno o en ambos comparadores se tiene un '0' lógico, el transistor Q1 estará en la región de corte y el transistor Q2 conducirá en la región de saturación; para que esto último ocurra, es necesario obtener los valores apropiados para los resistores R14 y R15.

Planteando la corriente de colector del transistor Q2 en la región de saturación:

$$I_{C2SAT} = \frac{V_{DD} - V_{CESAT} - V_{DEL}}{R_{15}}$$

Dado que el diodo emisor de luz brilla con buena intensidad si la corriente que lo atraviesa tiene un valor alrededor de 10 mA, se calculará el valor del resistor R15 que hace que la corriente de colector en la región de saturación sea igual a 10 mA. Despejando R15 de la ecuación anterior y luego sustituyendo valores:

$$\begin{aligned} R_{15} &= \frac{V_{DD} - V_{CESAT} - V_{DEL}}{I_{C2SAT}} \\ &= \frac{5 - 0.2 - 2.2}{10} = 0.26 K \end{aligned}$$

Un valor adecuado para R15 es 270 ohms; con este valor, la corriente de colector del transistor Q2 en la región de saturación es:

$$\begin{aligned} I_{C2SAT} &= \frac{5 - 0.2 - 2.2}{0.27} \\ &= 9.63 mA \end{aligned}$$

La corriente de base al borde de la saturación es:

$$\frac{I_{C2SAT}}{\beta_{min}} = \frac{9.63}{300} = 0.0321 mA$$

La ecuación de la malla de control es:

$$V_{DD} - I_{B2}(R_{13} + R_{14}) - V_{BEENC} - V_{DEL} = 0$$

Despejando  $I_{B2}$ :

$$I_{B2} = \frac{V_{DD} - V_{BEENC} - V_{DEL}}{R_{13} + R_{14}}$$

$I_{B2}$  debe ser mayor que la corriente de base al borde de la saturación para garantizar que el transistor Q2 se encuentre en la región de saturación:

$$I_{B2} \geq \frac{I_{C2SAT}}{\beta_{min}}$$

$$\frac{V_{DD} - V_{BEENC} - V_{DEL}}{R_{13} + R_{14}} \geq \frac{I_{C2SAT}}{\beta_{min}}$$

El único valor que se desconoce en la desigualdad anterior es el correspondiente al resistor R14; despejando R14:

$$R_{14} \leq \frac{\beta_{min}}{I_{C2SAT}} (V_{DD} - V_{BEENC} - V_{DEL}) - R_{13}$$

Sustituyendo valores:

$$R_{14} \leq \frac{300}{9.63} (5 - 0.7 - 2.2) - 4.7$$

$$\leq 60.721 \text{ K}$$

Un valor adecuado para R14 es 56 K. Se elige el valor más cercano al límite para evitar que el transistor no consuma energía innecesariamente y para no degradar significativamente los niveles lógicos a la salida del transistor Q1.

A continuación se presentan los valores de los resistores para el circuito de la figura 5.2.6:

$$R_{11} = 4.7 \text{ K}$$

R12 = 1.2 M  
R13 = 4.7 K  
R14 = 56 K  
R15 = 0.27 K

### Análisis del circuito de entrada al puerto E.

En la figura 5.2.7 se presenta el circuito equivalente de una entrada al puerto E de la microcomputadora MC68HC11E9.

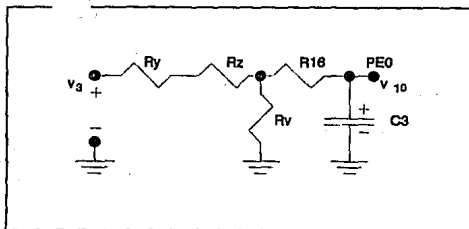


Figura 5.2.7 Circuito equivalente de entrada al puerto E.

En la operación normal, la compuerta de transmisión CT#1A conduce y la compuerta de transmisión CT#1B se encuentra en estado de alta impedancia.

A continuación se definen los resistores mostrados en la figura anterior:

- Rv: Resistencia de apagado de la compuerta de transmisión CT#1B  $5 \times 10^8$  ohms típica y  $2.5 \times 10^7$  ohms mínima.
- Ry: Resistencia de salida del amplificador operacional AO#1B 100 ohms máxima y 50 ohms típica.
- Rz: Resistencia de encendido de la compuerta de transmisión CT#1A 270 ohms típica y 1050 ohms máxima.

Nota: El efecto del resistor interno del modelo del capacitor es despreciado en este análisis.

El capacitor C3 sirve para reducir el efecto del ruido a la entrada del puerto E; su valor depende de varios factores mencionados en la sección 4.6.3, y se sugiere que sea de tantalio.

Debido a que el resistor Rv demanda una pequeñísima corriente (típicamente 0.1 nA), su efecto en el circuito anterior es despreciable; por lo tanto se puede simplificar el circuito tal y como se indica en la figura 5.2.8.

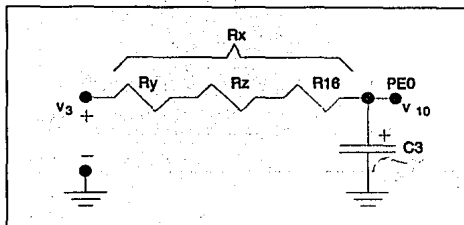


Figura 5.2.8 Circuito simplificado de entrada al puerto E.

En el circuito anterior, el resistor  $R_x$  debe tener un valor tal que limite la corriente a 25 mA o menos para no dañar el puerto E; por otra parte, su valor no debe exceder de 10 K, ya que las corrientes de fuga afectarían considerablemente la exactitud del convertidor A/D.

Para limitar la corriente de entrada se debe considerar el peor caso, el cual ocurre para una tensión de entrada igual a 5 V cuando el capacitor  $C_3$  posee una diferencia de potencial igual a 0 V:

$$\frac{5 - 0}{25} < R_x < 10 \text{ K}$$

$$200 < R_x < 10000 \text{ ohms}$$

$$200 < R_y + R_z + R_{16} < 10000$$

Despejando  $R_{16}$  de la desigualdad anterior y considerando el peor caso en cada uno de sus extremos:

$$200 - (R_y + R_z)_{\text{mín}} < R_{16} < 10000 - (R_y + R_z)_{\text{máx}}$$

Se desconocen los valores mínimos de los resistores  $R_y$  y  $R_z$ , pero si se toma un punto de vista pesimista, estos valores serían cero:

$$200 - (0 + 0) < R_{16} < 10000 - (100 + 1050)$$

$$200 < R_{16} < 8850 \text{ ohms}$$

(5.2.15)

La función de transferencia del circuito mostrado en la figura 5.2.8 es:

$$H(s) = \frac{V_{10}(s)}{V_3(s)} = \frac{1}{s + \frac{1}{R_x C_3}}$$

Sustituyendo  $j\omega$  en lugar de  $s$  para obtener un análisis en el dominio de la frecuencia:

$$H(j\omega) = \frac{1}{j\omega + \frac{1}{R_x C_3}}$$

$$= \frac{\frac{1}{R_x C_3}}{\sqrt{\omega^2 + \left(\frac{1}{R_x C_3}\right)^2}} \quad \angle -\text{angtan}(\omega R_x C_3)$$

La característica correspondiente a este circuito es paso bajas, por lo tanto, se podrá atenuar el ruido presente en la salida del amplificador operacional AO#1B. Un defasamiento grande es indeseable en las señales de interés; en este circuito se fijará un máximo de  $3^\circ$  para una frecuencia igual a la mitad de la frecuencia de muestreo. Es decir:

$$\text{angtan}\left(\frac{\omega}{2} R_x C_3\right) \leq 3^\circ$$

Despejando  $C_3$  de la desigualdad anterior:

$$C_3 \leq \frac{2 \tan(3^\circ)}{\omega_m R_x}$$

Sustituyendo  $R_x$  en la desigualdad anterior:

$$C_3 \leq \frac{2 \tan(3^\circ)}{\omega_m (R_y + R_x + R_{16})}$$

El peor caso se tiene para  $R_y$  y  $R_z$  máximas; por lo tanto:

$$C_3 \leq \frac{2 \tan(3^\circ)}{0.009 (100 + 1050 + R_{16})}$$

$$C_3 \leq \frac{1.5 \times 10^{-4}}{(1150 + R_{16})} F \quad (5.2.16)$$

En la sección 4.6.3 se presentan tres casos de carga compartida con el fin de determinar el error que se origina en el muestreo, y se sugiere un  $V_{op}$  que cumpla la siguiente condición:

$$V_{op} < q_{v3} \quad (5.2.17)$$

donde:

$$q_{v3} = \frac{EC}{2^8} = \frac{5}{2^8} = 0.0195 \text{ V}$$

Se deben cumplir en forma simultánea las desigualdades (5.2.15), (5.2.16) y (5.2.17). Un valor válido para  $R_{16}$  es 4.7 K de acuerdo con la desigualdad (5.2.15); sustituyendo este valor en la desigualdad (5.2.16):

$$C_3 \leq \frac{1.5 \times 10^{-4}}{1150 + 4700} F$$

$$C_3 \leq 25 \text{ nF}$$

Un valor comercial para  $C_3$  que cumple la condición anterior es:

$$C_3 = 22 \text{ nF}$$

El valor máximo de  $R_x$  es:

$$(R_x)_{\text{máx}} = (R_y + R_z + R_{16})_{\text{máx}} = 100 + 1050 + 4700$$

$$(R_x)_{\text{máx}} = 5850 \text{ ohms}$$

La constante de tiempo máxima para este circuito es:

$$\begin{aligned} \tau_{\text{máx}} &= (R_x)_{\text{máx}} C_3 \\ &= (5850) (22 \times 10^{-9}) \\ &= 0.1287 \text{ ms} \end{aligned}$$

Se tiene que:

$$\tau_{mAx} < T_m$$

$$0.1287 < 9 \text{ ms}$$

Debido a que la frecuencia de la señal E, es igual a 2 MHz y dado que se requieren 12 ciclos de reloj E para muestrear la señal de entrada al puerto E, es necesario efectuar la siguiente comparación:

$$12 \left( \frac{1}{2 \times 10^6} \right) < \tau_{mfn}$$

$$0.006 < (R_x)_{mfn} C_3$$

$$0.006 < (4700) (22 \times 10^{-9})$$

$$0.006 < 0.1034 \text{ ms}$$

De acuerdo a lo antes expuesto, se puede escribir:

$$0.006 < \tau < 9 \text{ ms}$$

De este modo el caso que se cumple es el número 2 de la sección 4.6.3; por lo tanto:

$$\begin{aligned} V_{op} &= \Delta V_{AB} \frac{C_1}{C_1 + C_3} \\ &= 5 \frac{20 \times 10^{-12}}{20 \times 10^{-12} + 22 \times 10^{-9}} \text{ V} \\ &= 4.54 \text{ mV} \end{aligned}$$

Se observa que este último valor cumple con la condición impuesta en (5.2.17):

$$0.00454 < 0.0195 \text{ V}$$

Por consiguiente los valores asignados a R16 y a C3 son válidos.

Es interesante conocer el comportamiento de este circuito para diversos valores de frecuencia; en la tabla 5.2.3 se considera el peor caso para la fase (el cual ocurre para Rx máxima = 5850 ohms).

Se observa en esta tabla que para el valor de frecuencia  $\omega_n/2$ , se cumplen las condiciones de diseño preestablecidas.

$\omega \frac{\text{rad}}{\text{s}}$	$ H(j\omega) $	$-\text{angtan}(\omega R_{\text{máx}} C_3)$
$\omega_n/50$	1.0000	-0.103°
$\omega_n/40$	1.0000	-0.128°
$\omega_n/30$	1.0000	-0.172°
$\omega_n/20$	1.0000	-0.257°
$\omega_n/10$	1.0000	-0.515°
$\omega_n/5$	0.9998	-1.029°
$\omega_n/2$	0.9990	-2.572°
$2\pi 60$	0.9988	-2.778°
$2\pi 120$	0.9953	-5.542°
$2\pi 1000$	0.7776	-38.96°
$2\pi 5000$	0.2401	-76.11°

Tabla 5.2.3

### 5.2.3 Circuito digital.

En esta sección se hace referencia a la figura 5.2.9.

Circuito de reloj.- Este se compone de un cristal de 8 MHz, 2 capacitores y un resistor. Los detalles sobre este circuito se presentan en la sección 4.2.1.

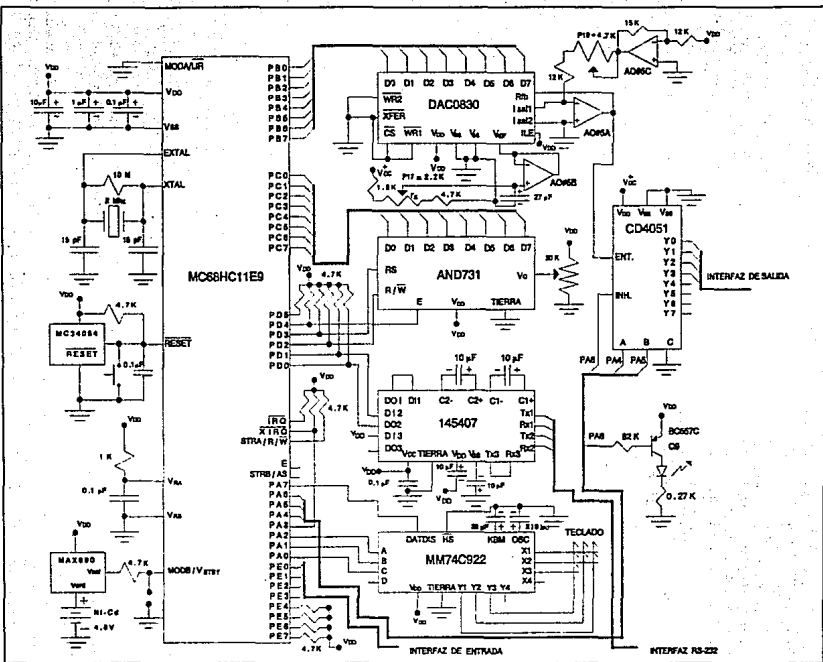
Circuito de reinicio.- Este circuito está formado por un circuito integrado de inhibición de tensión baja MC34064 y por el circuito RC ( $R=4.7 \text{ K}$  y  $C=0.1 \mu\text{F}$ ). El botón normalmente abierto permite que la microcomputadora sea reiniciada manualmente.

Circuito de selección de modo y tensión de apoyo.- Para seleccionar el modo de operación circuito único, la terminal MODB debe estar en nivel alto durante un reinicio. Para realizar las pruebas del sistema en el modo bootstrap, es necesario colocar el puente que une la terminal MODB y tierra durante el reinicio. Cuando la tensión  $V_m$  cae por abajo de su nivel válido, la RAM y cierta parte de la circuitería del sistema de reinicio se alimenta desde una batería recargable de Ni-Cd mediante el circuito MAX690; de este modo se retienen los datos de la RAM.

La terminal PA3 se conecta a la terminal  $\overline{\text{XIRQ}}$  para el manejo de interrupciones con el objeto de controlar la frecuencia de muestreo.



Figura 5.2.9 Circuito digital.



El puerto B proporciona el dato de control digital de salida, el cual es enviado al convertidor D/A.

Con el fin de proporcionar las cuatro señales de control, es necesario realizar una demulticanalización analógica de la señal presente a la salida del circuito de conversión D/A; la demulticanalización se consigue con el empleo del circuito integrado CD4051 cuyas entradas de control y de selección son las terminales PA4 a PA6 del MC68HC11E9. El CD4051 es puesto en estado de alta impedancia mediante su terminal de habilitación para evitar que los capacitores de salida se descarguen durante la retención.

El puerto C, por ser bidireccional se conecta al módulo de despliegue de cristal líquido ya que su bus de datos también es bidireccional. Los terminales de control E, RS y  $R/\bar{W}$  del módulo de despliegue están unidas a la terminales PD4, PD3 y PD2 respectivamente.

Las terminales PA0-PA2 y PA7 sirven como entradas para el circuito codificador de teclado. Para el teclado solamente se requieren 7 interruptores dispuestos en un arreglo matricial para ser codificados por el circuito 74C922; éste proporciona tres bits de salida codificada en binario (PA0-PA2), la terminal PA7 es puesta en nivel alto cuando existe un dato válido sobre sus terminales A, B y C.

Para establecer la comunicación con una computadora externa, se emplea el circuito 145407; éste realiza la conversión de niveles de tensión de la ICS del MC68HC11E9 para un estándar RS-232.

Las terminales PE0 a PE3 se usan para recibir las señales analógicas provenientes de los sensores.

Las terminales no utilizadas que se configuran como entradas deben terminarse adecuadamente para evitar que floten y se produzcan corrientes relativamente grandes en los transistores de entrada. Las terminales no usadas son  $\bar{TRQ}$ , PE4 a PE7,  $STRA/R/\bar{W}$ , PD5,  $STRB/AS$  y E.

#### 5.2.4 Conversión D/A e interfaz de salida.

En la figura 5.2.10 se muestra el diagrama eléctrico para realizar la conversión D/A y la conversión de tensión a corriente.

El valor del resistor  $R_{CF}$  representa la resistencia del canal encendido del demulticanalizador analógico (270 ohms típico y 1050 ohms máximo).

El amplificador operacional AO#5C, proporciona una tensión negativa a su salida, con el fin de generar una componente de corriente directa adecuada que se sumará a la señal de salida del CDA para el circuito de conversión D/A. Los resistores que proporcionan la ganancia en el amplificador AO#5C, han sido elegidos de tal manera que éste no se sature:

$$V_R = -5 \left( \frac{15}{12} \right) = -6.25 > -7 \text{ V}$$

En la entrada inversora del amplificador operacional AO#5A, se suman dos corrientes, que pasarán a través del resistor interno  $R_n$  (15 K). Por consiguiente la tensión  $v_{11}$  está determinada por la ecuación (5.2.18):

$$v_{11} = - \left[ \frac{V_{REF} D_{10}}{(15)(256)} + \frac{V_R}{R_{19}} \right] (R_{1D}) \quad (5.2.18)$$

La tensión en el emisor del transistor Q10 es igual a la tensión  $v_{11}$ , una vez que el capacitor C4 se ha cargado a través del canal encendido del demulticanalizador analógico.

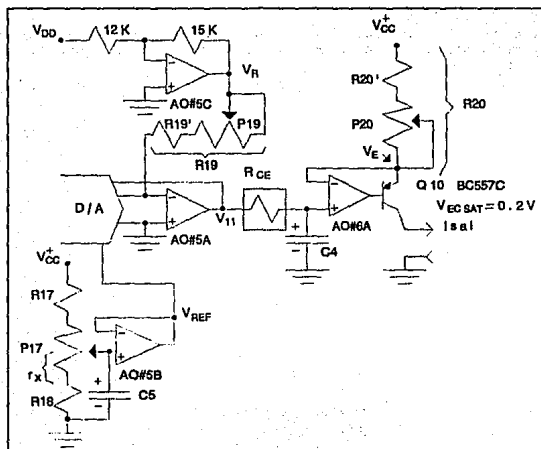


Figura 5.2.10 Circuito de conversión D/A y conversión de tensión a corriente.

En la tabla 5.2.4 se muestran los valores extremos de la entrada y de la salida para este circuito:

Palabra digital	$I_{Q10}$ (mA)
$D_n=0$	4.0000
$D_n=255$	19.9375

Tabla 5.2.4

La tensión en el emisor del transistor Q10 no puede ser superior a  $V_{cc} - 1.5$  V y tampoco inferior a un cierto valor para evitar que el transistor se encuentre en la región de saturación; este último valor depende también de las posibles caídas de tensión en los conductores conectados a la salida del transistor Q10:

$$V_{11B} \leq V_{11} \leq V_{cc} - 1.5 \text{ V} \quad (5.2.19)$$

Con base en la ecuación (5.2.18), se pueden plantear los valores extremos para  $v_{11}$ . Si la palabra digital enviada al convertidor D/A es  $D_n=0$  entonces:

$$V_{11A} = - \frac{V_R}{R_{19}} (R_{fb}) \quad (5.2.20)$$

Para una palabra digital  $D_n=255$ :

$$V_{11B} = - \left[ \frac{V_{REF}(255)}{(15)(256)} + \frac{V_R}{R_{19}} \right] (R_{fb}) \quad (5.2.21)$$

De este modo, se puede escribir:

$$V_{11B} \leq V_{11} \leq V_{11A} - \left[ \frac{V_{REF}(255)}{(15)(256)} + \frac{V_R}{R_{19}} \right] (R_{fb}) \leq V_{11} \leq - \frac{V_R}{R_{19}} (R_{fb}) \quad (5.2.22)$$

A partir de los intervalos proporcionados en (5.2.19) y (5.2.22), se pueden plantear dos ecuaciones:

$$V_{11A} = V_{cc} - 1.5 = 8 - 1.5 = 6.5 = - \frac{V_R}{R_{19}} (R_{fb}) \quad (5.2.23)$$

$$V_{11B} = - \left[ \frac{V_{REF}(255)}{(15)(256)} + \frac{V_R}{R_{19}} \right] (R_{fb}) \quad (5.2.24)$$

Despejando R19 de la ecuación (5.2.23) y posteriormente sustituyendo valores:

$$\begin{aligned}R_{19} &= - \frac{V_R(R_{18})}{6.5} \\ &= - \frac{(-6.25)(15)}{6.5} \\ &= 14.423 \text{ K}\end{aligned}$$

El valor de R19 se puede obtener con un resistor de 12 K en serie con un potenciómetro de 4.7 K para proporcionar un ajuste fino.

Por otra parte, las tensiones  $V_{11A}$  y  $V_{11B}$  pueden ser planteadas en función del resistor R20 y de la corriente de salida (ver la figura 5.2.10):

$$\text{Si } I_{\text{sal}} = 19.9375 \text{ mA} \Rightarrow V_{11B} = V_{\text{CC}} - 19.9375R_{20}$$

$$\text{Si } I_{\text{sal}} = 4 \text{ mA} \Rightarrow V_{11A} = V_{\text{CC}} - 4R_{20}$$

Despejando R20 de esta última ecuación:

$$R_{20} = \frac{V_{\text{CC}} - V_{11A}}{4}$$

Sustituyendo valores:

$$\begin{aligned}&= \frac{8 - 6.5}{4} \\ &= 0.375 \text{ K} \\ &= 375 \text{ ohms}\end{aligned}$$

El valor de R20 puede obtenerse con un resistor de 270 ohms en serie con un potenciómetro de 200 ohms para proporcionar un ajuste fino, tal y como se muestra en la figura 5.2.10.

Con el valor de R20, se puede obtener el valor de  $V_{11B}$ :

$$V_{11B} = 8 - 19.9375(0.375)$$

$$= 0.5234 \text{ V}$$

Despejando la tensión de referencia de la ecuación (5.2.24) y luego sustituyendo valores:

$$V_{REF} = \left[ - \frac{V_{11B}}{R_{1B}} - \frac{V_R}{R_{19}} \right] \frac{(15)(256)}{255}$$

$$V_{REF} = \left[ - \frac{0.5234}{15} - \frac{-6.25}{14.423} \right] \frac{(15)(256)}{255}$$

$$V_{REF} = 6 \text{ V}$$

El amplificador operacional AO#5B es utilizado para generar esta tensión de referencia. Los resistores R17 y R18 y el potenciómetro P17 forman un divisor de tensión (ver la figura 5.2.10); el capacitor C5 sirve para filtrar la señal de entrada al amplificador operacional AO#5B.

**Análisis del divisor de tensión en corriente directa:**

$$V_{REF} = \frac{V_{CC}(I_x + R_{18})}{P_{17} + R_{17} + R_{18}} \quad (5.2.25)$$

Se considerará un margen de ajuste igual a  $\pm 1 \text{ V}$ ; planteando las ecuaciones para los valores extremos:

$$V_{REF} - 1 = \frac{V_{CC}(R_{18})}{P_{17} + R_{17} + R_{18}} \quad (5.2.26)$$

$$V_{REF} + 1 = \frac{V_{CC}(P_{17} + R_{18})}{P_{17} + R_{17} + R_{18}} \quad (5.2.27)$$

Haciendo el cociente miembro a miembro de las últimas dos ecuaciones:

$$\frac{V_{REF} - 1}{V_{REF} + 1} = \frac{R_{18}}{R_{18} + P_{17}}$$

Despejando P17 de la ecuación anterior:

$$P_{17} = \left( \frac{V_{REF} + 1}{V_{REF} - 1} \right) R_{18} - R_{18}$$

$$\begin{aligned}
 &= \left( \frac{6 + 1}{6 - 1} \right) R_{18} - R_{18} \\
 &= 0.4 R_{18} \qquad \qquad \qquad (5.2.28)
 \end{aligned}$$

Despejando R17 de la ecuación (5.2.26):

$$R_{17} = \left( \frac{V_{CC} R_{18}}{V_{REF} - 1} \right) - R_{18} - P_{17}$$

Sustituyendo datos conocidos y el resultado obtenido en la ecuación (5.2.28) en la ecuación anterior:

$$\begin{aligned}
 R_{17} &= \left( \frac{8 R_{18}}{6 - 1} \right) - R_{18} - 0.4 R_{18} \\
 &= 0.2 R_{18} \qquad \qquad \qquad (5.2.29)
 \end{aligned}$$

Haciendo iteraciones con valores comerciales para el resistor R18, se pueden obtener valores aproximados a valores comerciales para el resistor R17 y para el potenciómetro P17 empleando las ecuaciones (5.2.28) y (5.2.29).

$$\text{Si } R_{18} = 5.6 \text{ K}$$

$$P_{17} = 0.4(5.6) = 2.24 = 2.2 \text{ K}$$

$$R_{17} = 0.2(5.6) = 1.12 = 1.0 \text{ K}$$

El valor de  $r_x$  corresponde al valor teórico de la posición del potenciómetro P17 tal y como se indica en la figura 5.2.10.

Despejando  $r_x$  de la ecuación (5.2.25) y luego sustituyendo valores:

$$\begin{aligned}
 r_x &= \frac{V_{REF}}{V_{CC}} (P_{17} + R_{17} + R_{18}) - R_{18} \\
 &= \frac{6}{8} (2.2 + 1 + 5.6) - 5.6 \\
 &= 1 \text{ K}
 \end{aligned}$$

Análisis del divisor de tensión en corriente alterna:

La función de transferencia para este divisor de tensión es:

$$H(s) = \frac{V_{REF}(s)}{V_{CC}(s)} = \frac{(r_x + R_{18}) \parallel \frac{1}{sC_5}}{(r_x + R_{18}) \parallel \frac{1}{sC_5} + (R_{17} + P_{17} - r_x)}$$

Reacomodando la expresión anterior:

$$H(s) = \frac{\frac{1}{(R_{17} + P_{17} - r_x) C_5}}{s + \frac{R_{17} + P_{17} + R_{18}}{(R_{17} + P_{17} - r_x) (r_x + R_{18}) C_5}}$$

Definiendo dos resistores ficticios  $R_y$  y  $R_x$ :

$$R_y = R_{17} + P_{17} - r_x$$

$$R_y = 1 + 2.2 - 1 = 2.2 \text{ K}$$

$$R_x = \frac{R_y (r_x + R_{18})}{R_{17} + P_{17} + R_{18}}$$

$$R_x = \frac{(2.2)(1 + 5.6)}{1 + 2.2 + 5.6} = 1.65 \text{ K}$$

De acuerdo con las definiciones de  $R_y$  y  $R_x$ , la función de transferencia del divisor puede escribirse como:

$$H(s) = \frac{\frac{1}{R_y C_5}}{s + \frac{1}{R_x C_5}} = \frac{\frac{R_x}{R_y}}{(R_x C_5) s + 1}$$

Durante el encendido de la fuente de potencia, la tensión  $V_{cc}$ , se comporta aproximadamente como un escalón; por lo tanto, se puede plantear la expresión que relaciona el tiempo de establecimiento para un cierto margen alrededor del valor final de  $V_{in}$  con los componentes de este divisor. Considerando que se tiene un tiempo de establecimiento de 0.27 s para un margen del 1% alrededor de su valor final:

$$e^{-\frac{t_s}{\tau}} \leq 0.01$$



$$e^{-\frac{t_0}{R_x C_5}} \leq 0.01$$

Despejando  $C_5$  de la desigualdad anterior:

$$C_5 \leq \frac{t_0}{R_x \ln(100)}$$

Sustituyendo valores:

$$C_5 \leq \frac{0.27}{(1650) \ln(100)} \text{ F}$$

$$C_5 \leq 35.53 \text{ } \mu\text{F}$$

Un valor comercial para el capacitor  $C_5$  que cumple la condición anterior es  $33 \text{ } \mu\text{F}$ .

$$C_5 = 33 \text{ } \mu\text{F}$$

Para conocer el comportamiento de este divisor de tensión a diferentes frecuencias de entrada, es necesario reemplazar  $s$  por  $j\omega$  en la función de transferencia:

$$H(j\omega) = \frac{\frac{1}{R_y C_5}}{j\omega + \frac{1}{R_x C_5}}$$

$$H(j\omega) = \frac{\frac{1}{R_y C_5}}{\sqrt{\omega^2 + \left(\frac{1}{R_x C_5}\right)^2}} \angle -\text{angtan}(\omega R_x C_5)$$

Para apreciar con mayor claridad como son atenuadas las señales de 60 Hz y 120 Hz, se presentan sus valores de amplitud relativos al valor de amplitud de la componente de corriente directa:

$$\frac{|H(j2\pi 60)|}{|H(j0)|} = \frac{0.0365}{0.7500} = 0.0487$$

$$\frac{|H(j2\pi 120)|}{|H(j0)|} = \frac{0.01826}{0.7500} = 0.0244$$

De acuerdo al valor mínimo para  $v_c$  y considerando una corriente de 19.9375 mA, se puede determinar el valor máximo permisible de resistencia en los conductores conectados a la salida del transistor Q10:

$$\begin{aligned}
 R_{cond} &\leq \frac{V_{11B} - V_{ECsat}}{I_{sal\max}} \\
 &\leq \frac{0.5234 - 0.2}{19.9375} \\
 &\leq 0.016.22 \text{ K} \\
 &\leq 16.22 \text{ ohms}
 \end{aligned}$$

#### Análisis del circuito de retén de salida.

El valor del capacitor C4 depende críticamente de dos situaciones:

- 1.- Debe ser lo suficientemente pequeño para lograr que se cargue al valor deseado durante el intervalo de muestreo.
- 2.- Debe ser lo suficientemente grande para evitar que se descargue más allá de un margen de error preestablecido ( típicamente menor a  $\frac{1}{2}Q_{vc}$  ) durante el intervalo de retención; esta descarga ocurre debido a las corrientes de fuga.

En la figura 5.2.11 se muestra el circuito equivalente de carga del capacitor C4.

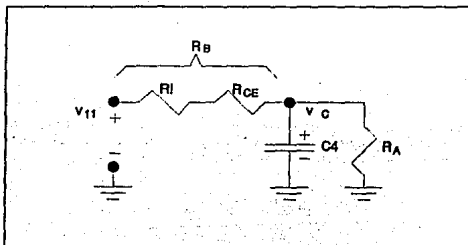


Figura 5.2.11 Circuito equivalente de carga del capacitor C4.

donde:

- R<sub>o</sub> : Resistencia de salida del amplificador operacional AO#5A  
100 ohms máxima y 50 ohms típica.  
R<sub>c</sub> : Resistencia de canal encendido del demulticanalizador  
1050 ohms máxima y 270 ohms típica.  
R<sub>i</sub> : Resistencia de entrada del amplificador operacional AO#6A  
10" ohms típica.

Nota: El efecto del resistor interno del modelo del capacitor es despreciado en este análisis.

La función de transferencia del circuito mostrado en la figura 5.2.11 es:

$$\frac{V_o(s)}{V_{11}(s)} = \frac{R_A \parallel \frac{1}{sC_4}}{R_B + R_A \parallel \frac{1}{sC_4}}$$

$$\frac{V_o(s)}{V_{11}(s)} = \frac{\frac{1}{R_B C_4}}{s + \left(\frac{1}{R_A} + \frac{1}{R_B}\right) \frac{1}{C_4}}$$

Considerando un error máximo igual a 0.01667 % al final del intervalo de muestreo ( $t=T_i=2.25$  ms) y debido a que  $R_A \gg R_B$ , se puede escribir lo siguiente:

$$e^{-\frac{T_i}{R_B C_4}} \geq 0.0001667$$

Despejando C<sub>4</sub>:

$$C_4 \leq \frac{T_i}{R_B \ln(6000)} \quad (5.2.30)$$

De acuerdo con la desigualdad (5.2.30), el valor crítico para el capacitor C<sub>4</sub>, ocurre para R<sub>c</sub> máxima (100+1050=1150 ohms):

$$C_4 \leq \frac{2.25 \times 10^{-3}}{(1150) \ln(6000)} \quad F$$
$$C_4 \leq 0.2249 \quad \mu F \quad (5.2.31)$$

Por otra parte, en la figura 5.2.12 se muestra el circuito equivalente del retén durante el intervalo de retención.

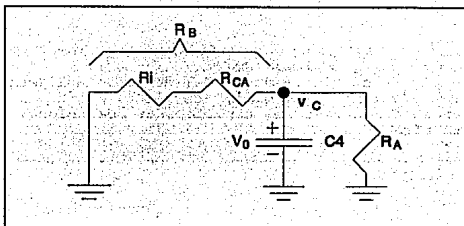


Figura 5.2.12 Circuito equivalente de descarga del capacitor C4.

donde:

- R<sub>i</sub> : Resistencia de salida del amplificador operacional AO#5A  
100 ohms máxima y 50 ohms típica.
- R<sub>ca</sub> : Resistencia de canal apagado del demulticanalizador  
5x10<sup>4</sup> ohms típica y 20x10<sup>4</sup> ohms mínima.
- R<sub>a</sub> : Resistencia de entrada del amplificador operacional AO#6A  
10<sup>6</sup> ohms típica.

$$\text{Sea } R_{eq} = R_A \parallel R_B :$$

La ecuación que describe el comportamiento de este circuito es:

$$V_C(t) = V_0 e^{-\frac{t}{R_{eq}C_4}} \quad (5.2.32)$$

De acuerdo con la figura 5.1.6 y considerando un error máximo permisible en la tensión del capacitor igual al 0.195 % de su valor al final del intervalo de retención (este error corresponde a  $\frac{1}{2} Q_{Vc}$  de la escala completa de tensiones posibles en el capacitor C4), se puede escribir la siguiente desigualdad:

$$V_0 e^{-\frac{3T_f}{R_{eq}C_4}} \leq V_0 \left(1 - \frac{1}{2^9}\right)$$

Despejando C4 de la desigualdad anterior:

$$C_4 \geq \frac{3T_f}{R_{eq} \ln\left(\frac{2^9}{2^9 - 1}\right)} \quad (5.2.33)$$

El peor caso para C4 se tiene si R<sub>eq</sub> es mínima, por lo tanto:

$$\begin{aligned}
 R_{oqmin} &= R_{Amin} \parallel R_{Bmin} = R_{Amin} \parallel (R_{Lmin} + R_{CAmin}) \\
 &= 2.5 \times 10^{10} \parallel (0 + 20 \times 10^6) \\
 &= 19.984 \times 10^6 \text{ ohms}
 \end{aligned}$$

Sustituyendo valores en la desigualdad (5.2.33):

$$\begin{aligned}
 C_4 &\geq \frac{(3)(2.25 \times 10^{-3})}{(19.984 \times 10^6) \ln\left(\frac{2^9}{2^9 - 1}\right)} \text{ F} \\
 C_4 &\geq 0.1728 \mu\text{F} \qquad (5.2.34)
 \end{aligned}$$

Combinando las desigualdades (5.2.31) y (5.2.34):

$$0.1728 \mu\text{F} \leq C_4 \leq 0.2249 \mu\text{F}$$

Un valor adecuado para  $C_4$  es:

$$C_4 = 0.2 \mu\text{F}$$

Se sugiere que este capacitor sea de tantalio, ya que presenta una mejor respuesta en frecuencia y muy baja corriente de fuga.

#### Análisis del transistor Q9:

El transistor Q9 se emplea como amplificador de corriente para encender un diodo emisor de luz, el cual se enciende cuando la línea PA6 está en nivel bajo; de este modo se indica que el circuito demultiplicador mantiene encendido alguno de sus canales.

En la figura 5.2.13 se muestra el circuito para el transistor Q9, en donde se presentan los valores de algunos parámetros importantes para su análisis.

La corriente de colector del transistor Q9 en la región de saturación se obtiene mediante la siguiente expresión:

$$I_{C9SAT} = \frac{V_{DD} - V_{EC9SAT} - V_{DEL}}{R_{21}}$$

Como ya se mencionó, la corriente necesaria para que el diodo emisor de luz brille con una buena intensidad, es de alrededor de 10 mA; despejando R21 de la ecuación anterior y luego sustituyendo valores:

$$R_{21} = \frac{V_{DD} - V_{ECSAT} - V_{DEL}}{I_{CSAT}}$$

$$R_{21} = \frac{5 - 0.2 - 2.2}{10} = 0.26 \text{ K}$$

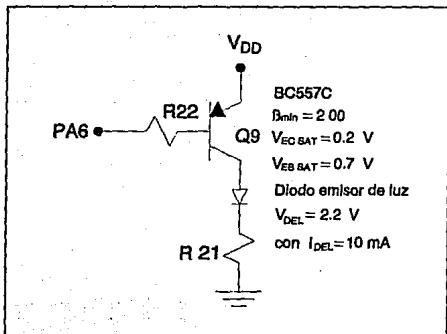


Figura 5.2.13 Circuito para indicar el encendido de un canal.

Un valor comercial para R21 es 270 ohms; con este valor, la corriente de colector del transistor Q9 en la región de saturación es:

$$I_{CSAT} = \frac{5 - 0.2 - 2.2}{0.27}$$

$$= 9.63 \text{ mA}$$

Se considera que la tensión en nivel bajo de la terminal PA6 del MC68HC11E9 es igual a 0 V; por lo cual la ecuación de malla de control para un nivel bajo en la terminal PA6 es:

$$V_{DD} - I_{B9}R_{22} - V_{EBENC} = 0$$

Despejando  $I_{B9}$  de la ecuación anterior:

$$I_{B9} = \frac{V_{DD} - V_{EBENC}}{R_{22}} \quad (5.2.35)$$

Para que el transistor opere en la región de saturación es necesario que su corriente de base sea mayor que la corriente de base al borde de la saturación:

$$I_{B9} \geq \frac{I_{CSAT}}{\beta_{mfn}}$$

Sustituyendo  $I_{B9}$  de acuerdo con la ecuación (5.2.35) en la desigualdad anterior:

$$\frac{V_{DD} - V_{EBENC}}{R_{22}} \geq \frac{I_{CSAT}}{\beta_{mfn}}$$

Despejando  $R_{22}$  y luego sustituyendo valores:

$$R_{22} \leq \frac{\beta_{mfn}}{I_{CSAT}} (V_{DD} - V_{EBENC})$$

$$\leq \frac{200}{9.63} (5 - 0.7)$$

$$\leq 89 \text{ K}$$

Un valor comercial y adecuado para  $R_{22}$  es 82 K; se elige el valor comercial más cercano al límite, con el fin de que el transistor no consuma energía innecesariamente.

### 5.2.5 Secuencias de calibración.

Secuencia de ajuste de la interfaz de entrada.

En la siguiente discusión se hará referencia a la figura 5.2.2:

Todos los pasos siguientes, se deben efectuar para las cuatro seña-

les de corriente de entrada.

1.- Retirar los puentes J1, J2, J3 y J4.

2.- Aplicar una señal de tensión alterna de una frecuencia menor a 60 Hz y de una amplitud pico a pico de 12 V a la entrada de los amplificadores operacionales AO#1C y AO#1D a través de los resistores R5 y R8; esta misma señal se conecta también al canal X de un osciloscopio.

3.- La señal de salida del amplificador operacional AO#1C se conecta al canal Y. Con el selector del osciloscopio puesto en la opción XY, se observará una gráfica similar a la que se presenta en la figura 5.2.5 a). A continuación mover el potenciómetro P6 hasta obtener una tensión de histéresis igual a 34 mV; después mover el potenciómetro P7 para lograr una tensión central igual a -1.08 V. Es conveniente repetir el ajuste de ambos potenciómetros en el orden antes descrito ya que la tensión central depende ligeramente del valor de n de acuerdo con la ecuación (5.2.10).

4.- Quitar la señal de salida del amplificador operacional AO#1C del osciloscopio y conectar ahora la señal de salida del amplificador operacional AO#1D al canal Y del osciloscopio, en el cual se observará una gráfica similar a la que se presenta en la figura 5.2.5 b). Mover el potenciómetro P9 para obtener una tensión de histéresis igual a 34 mV, en seguida mover el potenciómetro P10 hasta lograr una tensión central de -5.4 V. Al igual que en el punto 3, conviene repetir el ajuste de ambos potenciómetros en el orden antes descrito.

5.- Reponer los puentes J1, J3 y J4.

6.- Proporcionar una corriente de 4 mA a la entrada del amplificador operacional AO#1A. De acuerdo con la ecuación (5.2.3), la tensión v, es igual a 0 V para una corriente de entrada de 4 mA; si esto no se cumple, es necesario mover el potenciómetro P4 hasta lograrlo. Este ajuste, es posible gracias a que la tensión v, depende directamente del potenciómetro P4.

7.- Proporcionar una corriente de 20 mA a la entrada del amplificador operacional AO#1A. De acuerdo con la ecuación (5.2.4) y tomando en cuenta que la tensión v, ha sido ajustada como se indica en el punto 6, se tiene que la tensión v, debe ser igual a 5 V para una corriente de 20 mA; en caso de no cumplirse esto, será necesario mover el potenciómetro P3. El potenciómetro P3 constituye la parte variable del resistor R3, de modo que un cambio en éste, provocará un cambio en el valor de R3 y con ello se podrá obtener una tensión v, igual a 5 V.

8.- Reponer el puente J2.

**Secuencia de ajuste para el convertidor D/A y la interfaz de salida.**

En la siguiente discusión se hará referencia a la figura 5.2.10:



1.- Se selecciona una de las salidas de control a través de las terminales PA4 a PA6 del MC68HC11E9,

2.- Se envía una palabra digital  $D_n=0$  al convertidor D/A; con esto se obtiene un valor de tensión  $v_n$  cercano a 6.5 V, éste se ajusta exactamente a 6.5 V moviendo el potenciómetro P19.

3.- Con las condiciones descritas en el paso anterior, aparecerá en el capacitor C4 y en el emisor del transistor Q3 una tensión igual a 6.5 V y esto causará que haya una corriente cercana a 4 mA en el colector de Q3. Para que dicha corriente sea exactamente igual a 4 mA, se debe mover el potenciómetro P20.

4.- En el paso anterior, el circuito de conversión D/A y la interfaz de salida fueron ajustados para el extremo inferior de la corriente de salida (4 mA). Para calibrar este circuito en el extremo superior de la corriente de salida, se envía una palabra digital  $D_n=255$  al convertidor D/A; esto hará que la corriente tenga un valor alrededor de 19.9375 mA. El ajuste exacto a 19.9375 mA, se logra moviendo el potenciómetro P17, el cual modifica en un pequeño intervalo la tensión de referencia y de acuerdo con la ecuación (5.2.21), la tensión  $v_n$  también cambiará; el cambio producido en  $v_n$  causará que la corriente de salida se modifique y pueda ser ajustada a 19.9375 mA.

Nota: Los pasos 1 y 3 se repiten para las 4 salidas de control, los pasos 2 y 4 se realizan únicamente para una salida, y pueden ser comprobados estos ajustes para las demás señales de salida.

### 5.2.6 Fuente de potencia.

En este trabajo no serán desarrolladas las expresiones para el diseño de fuentes de potencia, por lo tanto para obtener los valores de algunos componentes y de algunos parámetros de la fuente de potencia de este controlador, se utilizarán las expresiones matemáticas deducidas en el libro titulado Electrónica Teoría de Circuitos de Robert Boylestad y Louis Nashelsky.

Para alimentar al sistema y generar tensiones de referencia, se requieren tres tensiones distintas. Con el fin de que las tensiones sean más exactas y reguladas, se sugiere el empleo de circuitos integrados reguladores, los cuales mantienen fija su tensión de salida para un amplio intervalo de variación en la corriente demandada por la carga.

En la figura 5.2.14 se presenta el diagrama eléctrico al que se hará referencia durante la siguiente discusión:

El transformador es empleado para reducir la tensión de alimentación de aproximadamente 127 Vrms a una tensión determinada. El arreglo de diodos conectado en el devanado secundario del transformador proporciona una tensión rectificada de onda completa; esta señal de tensión es filtrada mediante un simple capacitor; la tensión que aparece en el capacitor es después enviada a un circuito integrado regulador.

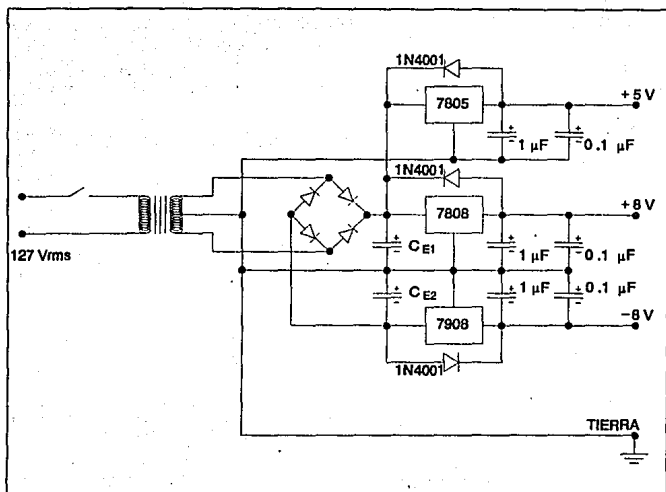


Figura 5.2.14 Diagrama eléctrico de la fuente de potencia.

#### Diseño:

Un cálculo aproximado de la máxima corriente demandada; proporciona los siguientes valores:

Para la tensión +5 V	100 mA
Para la tensión +8 V	150 mA
Para la tensión -8 V	70 mA

Para que los dispositivos reguladores funcionen correctamente, las tensiones a su entrada deben tener un cierto nivel:

En la tabla 5.2.5 se observa que para la tensión negativa, el peor caso lo constituye el valor de -10.5 V y para la tensión positiva, es +10.5 V.

Circuito regulador	Tensión de salida V	Tensión de entrada V
7805	+5	7.3 mínimo
7808	+8	10.5 mínimo
7909	-8	-10.5 máximo

Tabla 5.2.5

El valor de los capacitores conectados a continuación del puente rectificador depende críticamente de la corriente que demanda la carga conectada a la salida de los reguladores.

Se tienen que cumplir dos condiciones:

1.- El valor del capacitor no debe permitir una tensión de rizo muy grande que haga que los valores de tensión a la entrada de los circuitos reguladores rebasen los límites señalados en la tabla 5.2.5.

2.- El valor del capacitor no puede ser muy grande ya que las corrientes pico en los diodos aumentan considerablemente pudiendo dañarlos en forma irremediable; estas corrientes, también ocasionan grandes caídas de tensión en la resistencia interna de los devanados del transformador, lo cual origina una degradación de la tensión presente en el capacitor y por lo tanto a la entrada del circuito regulador.

Para el cálculo del capacitor  $C_u$ , se tiene que la corriente proporcionada por la tensión positiva del rectificador, corresponde a la suma de la corriente demandada a través de los reguladores 7805 y 7808 (100+150 = 250 mA).

A partir de las expresiones del libro mencionado, se puede plantear la siguiente desigualdad para determinar el valor de los capacitores  $C_u$  y  $C_n$ :

$$C > \frac{I_{cd} V_{cd}}{4V_p f (V_p - V_{cd})} \quad (5.2.36)$$

El valor eficaz de la tensión de rizo se obtiene mediante la siguiente expresión:

$$V_{r(rms)} = \frac{I_{cd} V_{cd}}{4\sqrt{3} f C V_p} \quad (5.2.37)$$

El rizo se define como el cociente entre el valor eficaz de la tensión de rizo y la tensión de corriente directa.

$$r = \frac{V_{r(rms)}}{V_{cd}} \quad (5.2.38)$$

El valor de la corriente pico en los diodos se aproxima mediante la siguiente expresión:

$$I_{pico} = \frac{\pi I_{cd}}{\pi - \operatorname{angtan}\left(\frac{\pi}{\sqrt{3}(1 + \sqrt{3}r)}\right) - \operatorname{angsen}\left(\frac{1 - \sqrt{3}r}{1 + \sqrt{3}r}\right)} \quad (5.2.39)$$

Para calcular el valor de  $C_{B1}$ , se tienen los siguientes datos:

$$\begin{aligned} V_P &= 9\sqrt{2} \text{ V} \\ I_P &= 0.25 \text{ A} \\ V_{cd} &= 10.5 \text{ V} \\ f &= 60 \text{ Hz} \end{aligned}$$

Sustituyendo valores en (5.2.36):

$$C_{B1} > \frac{(0.25)(10.5)}{4(9\sqrt{2})(60)(9\sqrt{2} - 10.5)} \text{ F}$$

$$C_{B1} > 385.71 \text{ } \mu\text{F}$$

Un valor comercial para este capacitor es:

$$C_{B1} = 470 \text{ } \mu\text{F}$$

Para obtener la corriente pico, es necesario calcular primero el rizo, empleando las ecuaciones (5.2.37) y (5.2.38).

$$V_{r(rms)} = \frac{(0.25)(10.5)}{4\sqrt{3}(60)(470 \times 10^{-6})(9\sqrt{2})} = 1.0556 \text{ V}$$

$$r = \frac{1.0556}{10.5} = 0.1$$

Sustituyendo  $r$  en la ecuación (5.2.39)

$$I_{pico} = \frac{\pi(0.25)}{\pi - \operatorname{angtan}\left(\frac{\pi}{\sqrt{3}(1 + \sqrt{3}(0.1))}\right) - \operatorname{angsen}\left(\frac{1 - \sqrt{3}(0.1)}{1 + \sqrt{3}(0.1)}\right)}$$

$$I_{pico} = 0.918 \text{ A}$$

Para calcular el valor de  $C_{B2}$ , se tienen los siguientes datos:

$$\begin{aligned} V_p &= 9\sqrt{2} \text{ V} \\ I_{cd} &= 0.07 \text{ A} \\ V_{cd} &= 10.5 \text{ V} \\ f &= 60 \text{ Hz} \end{aligned}$$

Sustituyendo valores en (5.2.36):

$$C_{B2} > \frac{(0.07)(10.5)}{4(9\sqrt{2})(60)(9\sqrt{2} - 10.5)} \text{ F}$$

$$C_{B2} > 108 \text{ } \mu\text{F}$$

Un valor comercial para este capacitor es:

$$C_{B2} = 150 \text{ } \mu\text{F}$$

Para obtener la corriente pico, es necesario calcular primero el rizo, empleando las ecuaciones (5.2.37) y (5.2.38)

$$V_{r(rms)} = \frac{(0.07)(10.5)}{4\sqrt{3}(60)(150 \times 10^{-6})(9\sqrt{2})} = 0.9261 \text{ V}$$

$$r = \frac{0.9261}{10.5} = 0.09$$

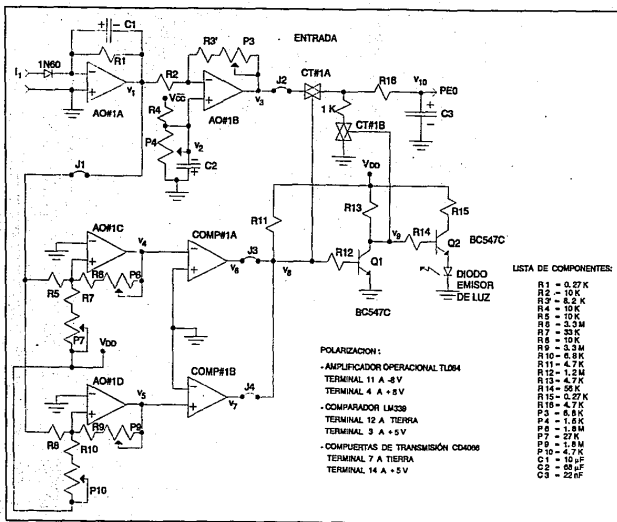
Sustituyendo  $r$  en la ecuación (5.2.39)

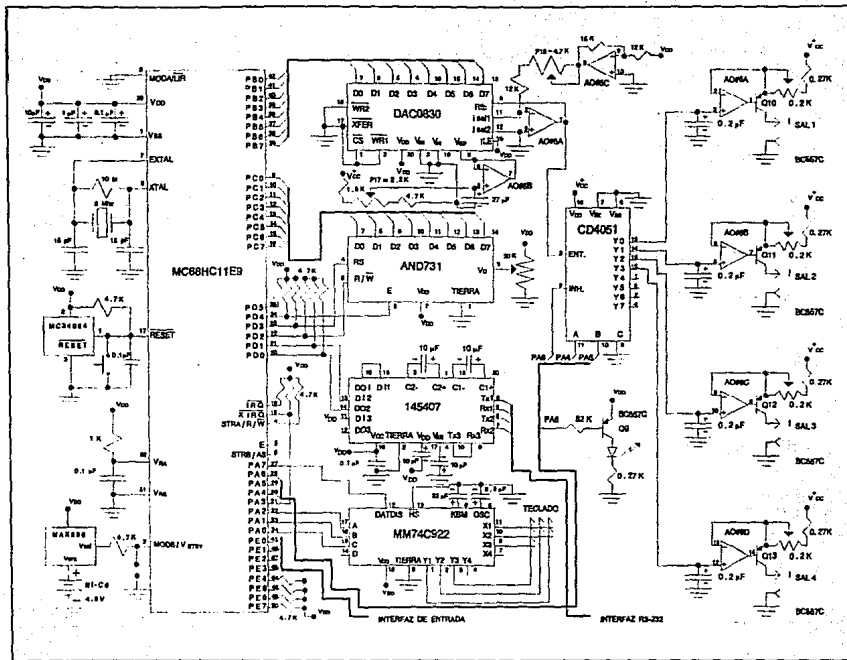
$$I_{pico} = \frac{\pi(0.07)}{\pi - \operatorname{angtan}\left(\frac{\pi}{\sqrt{3}(1 + \sqrt{3}(0.09))}(0.09)\right) - \operatorname{angsen}\left(\frac{1 - \sqrt{3}(0.09)}{1 + \sqrt{3}(0.09)}\right)}$$

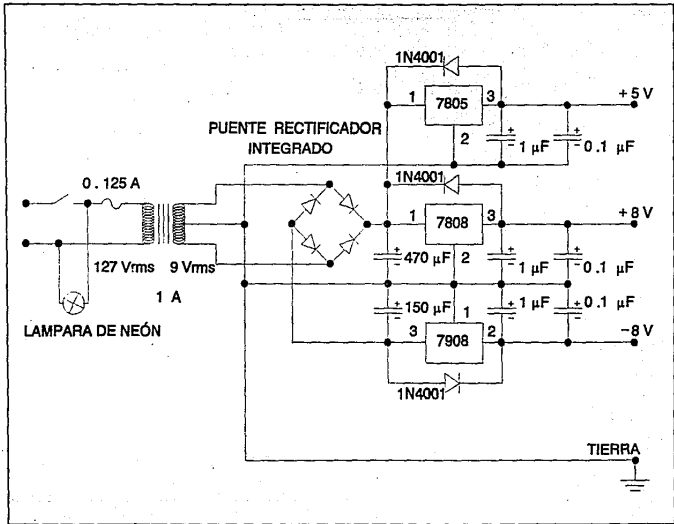
$$I_{pico} = 0.2717 \text{ A}$$

La corriente pico máxima es 0.918 A, por lo tanto es necesario un transformador que pueda proporcionar 1 A. La tensión en el secundario del transformador es 9 Vrms entre un extremo y la derivación central.

Los capacitores conectados a la salida de los circuitos reguladores son necesarios para atenuar cualquier variación presente en la tensión de salida; se sugiere que sean de tantalio.









## 5.3 DISEÑO DEL SOFTWARE.

### 5.3.1 Diagrama de flujo general.

El esquema de programación a seguir es esencialmente el sugerido en la sección 3.4.3 (Estructura general de un programa de control), adaptado a las necesidades de un sistema de control multivariable programable como se muestra en la figura 5.3.1.

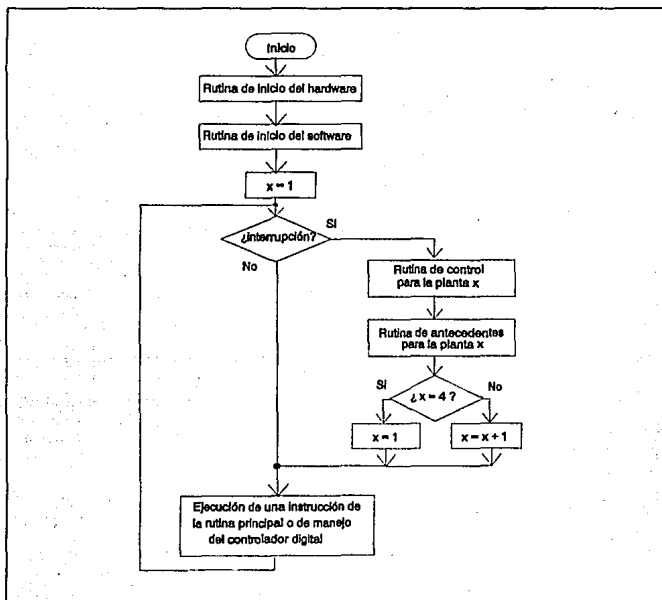


Figura 5.3.1 Diagrama de flujo general en el que se apoyará el diseño del software del controlador.

En este diagrama se observa la presencia de un contador X que indicará cual planta será atendida en la siguiente interrupción en forma ordenada y monótona (1,2,3,4,1,2,3,4,1, etc.).

Se hace notar la existencia de una rutina principal ejecutada por trozos (a la manera de tiempo compartido con la rutina de servicio a la interrupción), la cual controla los estados de la secuencia lógica que maneja la programación y la actualización de los datos del controlador digital; esta rutina debe ser capaz de atender al teclado y pantalla de la forma establecida en el planteamiento del sistema.

De acuerdo con este diagrama de flujo, se tiene una operación continua del controlador, la cual sólo se detiene por una interrupción en el suministro de energía; si hay una programación previa quedará almacenada en la RAM de la microcomputadora, la cual se encuentra alimentada por una batería de respaldo según se dejó asentado en el diseño del hardware. Debe, sin embargo, existir una bandera de programación previa que indique a la rutina de inicio del software el estado de la RAM para evitar que se borre la programación almacenada si es que existe; esta bandera se tratará más adelante.

De lo antes expuesto se tiene que el diseño del software se puede dividir en el diseño de las siguientes rutinas:

- 1) Rutina de inicio del hardware
- 2) Rutina de inicio del software
- 3) Rutina de servicio a la interrupción (incluye las rutinas de control y antecedentes para el siguiente período de muestreo)
- 4) Rutina principal de manejo del controlador

Una vez diseñadas, deberán ser susceptibles de unirse apropiadamente de acuerdo con el diagrama de flujo general.

### 5.3.2 Selección del método de programación digital para $G_m(z)$ .

Antes de diseñar la rutina de control es necesario determinar el método de programación digital de  $G_{PID}(z)$  que se usará (ecuación [3.3.2]). Para el siguiente desarrollo se escribe nuevamente la expresión de  $G_{PID}(z)$  de la siguiente manera:

$$G_{PID}(z) = K_D \left[ 1 + K_I \frac{z + 1}{z - 1} + K_D \frac{z - 1}{z - \frac{K_D}{N}} \right] \quad (5.3.1)$$

con:

$$K_D = \frac{NT_D}{NT_m + T_D} \quad (5.3.2)$$

$$K_I = \frac{K_I T_n}{2} \quad (5.3.3)$$

De acuerdo con la sección 3.4.1 (Métodos de programación digital),  $G_{PID}(z)$  puede programarse de las siguientes formas:

1) Programación directa.

Efectuando las sumas indicadas en la ecuación (5.3.1):

$$G_{PID}(z) = \frac{M(z)}{E(z)} = K_p \left[ \frac{(z-1)\left(z - \frac{K_D}{N}\right) + K_I\left(z - \frac{K_D}{N}\right)(z+1) + K_D(z-1)^2}{(z-1)\left(z - \frac{K_D}{N}\right)} \right]$$

$$= K_p \frac{(1 + K_I + K_D) + \left(K_I - \frac{K_I K_D}{N} - \frac{K_D}{N} - 2K_D - 1\right)z^{-1} + \left(\frac{K_D}{N} + K_D - \frac{K_I K_D}{N}\right)z^{-2}}{1 - \left(1 + \frac{K_D}{N}\right)z^{-1} + \left(\frac{K_D}{N}\right)z^{-2}}$$

haciendo:

$$A_0 = K_p (1 + K_I + K_D)$$

$$A_1 = K_p \left( K_I - \frac{K_I K_D}{N} - \frac{K_D}{N} - 2K_D - 1 \right)$$

$$A_2 = K_p \left( \frac{K_D}{N} + K_D - \frac{K_I K_D}{N} \right)$$

$$A_3 = -\left(1 + \frac{K_D}{N}\right)$$

$$A_4 = \frac{K_D}{N}$$

se tiene:

$$\frac{M(z)}{E(z)} = \frac{A_0 + A_1 z^{-1} + A_2 z^{-2}}{1 + A_3 z^{-1} + A_4 z^{-2}} \quad (5.3.4)$$

por lo que:

$$m(k) = A_0 e(k) + A_1 e(k-1) + A_2 e(k-2) - A_3 m(k-1) - A_4 m(k-2) \quad (5.3.5)$$

En este caso se necesitan 4 almacenadores, la rutina de antecedentes debe dar un resultado  $z(k)$  al realizar las siguientes operaciones (4 multiplicaciones y 3 sumas):

$$z(k) = A_1 e(k-1) + A_2 e(k-2) - A_3 m(k-1) - A_4 m(k-2)$$

Nota: Las restas se consideran como sumas algebraicas en esta discusión.

La rutina de control debe hacer las siguientes operaciones (una multiplicación y una suma):

$$m(k) = A_0 e(k) + z(k)$$

## 2) Programación directa alternativa.

Escribiendo la ecuación (5.3.4) de la siguiente forma:

$$\frac{M(z)}{E(z)} = \frac{A_0 + A_1 z^{-1} + A_2 z^{-2}}{1 + A_3 z^{-1} + A_4 z^{-2}} \cdot \frac{X(z)}{X(z)}$$

se obtienen:

$$M(z) = (A_0 + A_1 z^{-1} + A_2 z^{-2}) X(z)$$

$$E(z) = (1 + A_3 z^{-1} + A_4 z^{-2}) X(z)$$

y:

$$m(k) = A_0 x(k) + A_1 x(k-1) + A_2 x(k-2) \quad (5.3.6)$$

$$e(k) = x(k) + A_3 x(k-1) + A_4 x(k-2)$$

de esta última ecuación se tiene:

$$x(k) = e(k) - A_3 x(k-1) - A_4 x(k-2) \quad (5.3.7)$$

sustituyendo (5.3.7) en (5.3.6):

$$m(k) = A_0 e(k) + (A_1 - A_3)x(k-1) + (A_2 - A_4)x(k-2)$$

o:

$$m(k) = A_0 e(k) + A^*_1 x(k-1) + A^*_2 x(k-2) \quad (5.3.8)$$

con:

$$A^*_1 = A_1 - A_3$$

$$A^*_2 = A_2 - A_4$$

Para este caso se necesitan sólo dos almacenadores, la rutina de antecedentes debe dar un resultado  $z(k)$  al realizar las siguientes operaciones (2 multiplicaciones y una suma):

$$z(k) = A^*_1 x(k-1) + A^*_2 x(k-2)$$

y calcular el valor de  $x(k)$  a partir de la ecuación (5.3.7) (2 multiplicaciones y 2 sumas); en total, la rutina de antecedentes debe hacer 4 multiplicaciones y 3 sumas.

La rutina de control debe hacer las siguientes operaciones (una multiplicación y una suma):

$$m(k) = A_0 e(k) + z(k)$$

### 3) Programación en cascada.

Existen varias formas de descomposición para este método pero todas son similares, por lo tanto se sugiere escribir arbitrariamente la ecuación (5.3.4) de la siguiente manera:

$$\frac{M(z)}{E(z)} = A_0 \frac{1 - B_0 z^{-1}}{1 - z^{-1}} \cdot \frac{1 - B_1 z^{-1}}{1 - A_1 z^{-1}}$$

donde  $B_0$  y  $B_1$  son intercambiables y están determinados por:

$$B_0 = \frac{-A_1 + \sqrt{A_1^2 - 4A_0A_2}}{2A_0}$$

$$B_1 = \frac{-A_1 - \sqrt{A_1^2 - 4A_0A_2}}{2A_0}$$

haciendo:

$$\frac{M(z)}{E(z)} = \frac{Q(z)}{E(z)} \cdot \frac{M(z)}{Q(z)}$$

donde:

$$\frac{Q(z)}{E(z)} = A_0 \frac{1 - B_0 z^{-1}}{1 - z^{-1}}$$

y

$$\frac{M(z)}{Q(z)} = \frac{1 - B_1 z^{-1}}{1 - A_1 z^{-1}}$$

se tiene:

$$m(k) = q(k) - B_1 q(k-1) + A_1 m(k-1) \quad (5.3.9)$$

$$q(k) = A_0 e(k) + B_0^* e(k-1) + q(k-1) \quad (5.3.10)$$

con:

$$B_0^* = -A_0 B_0$$

sustituyendo (5.3.10) en (5.3.9):

$$m(k) = A_0 e(k) + B_0^* e(k-1) + B_1^* q(k-1) + A_1 m(k-1) \quad (5.3.11)$$

con:

$$B_1^* = 1 - B_1$$

Para este método se necesitan 3 almacenadores; la rutina de antecedentes debe dar un resultado  $z(k)$  al realizar las siguientes operaciones (3 multiplicaciones y 2 sumas):

$$z(k) = B_0 e(k-1) + B_1 q(k-1) + A_1 m(k-1)$$

y calcular  $q(k)$  a partir de la ecuación (5.3.10) (sólo 2 sumas ya que el producto  $B_0 e(k-1)$  se obtiene al calcular  $z(k)$  y el producto  $A_0 e(k)$  se obtiene en la rutina de control). En total la rutina de antecedentes debe realizar 3 multiplicaciones y 4 sumas.

La rutina de control debe hacer las siguientes operaciones (una multiplicación y una suma):

$$m(k) = A_n e(k) + z(k)$$

#### 4) Programación en paralelo.

A continuación se escribe la ecuación (5.3.1) de la siguiente manera:

$$G_{PID}(z) = \frac{M(z)}{E(z)} = K_P \left[ 1 + K_I \left( 1 + \frac{z}{z-1} \right) + K_D \left( 1 + \frac{A_d - 1}{z - A_d} \right) \right]$$

acomodando términos:

$$\frac{M(z)}{E(z)} = [K_P(1 + K_I + K_D)] + \frac{2K_P K_I z^{-1}}{1 - z^{-1}} + \frac{K_P K_D (A_d - 1) z^{-1}}{1 - A_d z^{-1}}$$

haciendo:

$$C_0 = K_P(1 + K_I + K_D) \quad (5.3.12)$$

$$C_1 = 2K_P K_I \quad (5.3.13)$$

$$C_2 = -K_P K_D (1 - C_3) \quad (5.3.14)$$

$$C_3 = \frac{K_D}{N} \quad (5.3.15)$$

(nótese que  $C_0 = A_0$  y  $C_3 = A_4$ )

se tiene:

$$\frac{M(z)}{E(z)} = C_0 + \frac{C_1 z^{-1}}{1 - z^{-1}} + \frac{C_2 z^{-1}}{1 - C_3 z^{-1}} \quad (5.3.16)$$

Considerando que:

$$M(z) = U(z) + V(z) + W(z)$$

donde:

$$\frac{U(z)}{E(z)} = C_0$$

$$\frac{V(z)}{E(z)} = \frac{C_1 z^{-1}}{1 - z^{-1}}$$

y

$$\frac{W(z)}{E(z)} = \frac{C_2 z^{-1}}{1 - C_3 z^{-1}}$$

se tiene que:

$$m(k) = u(k) + v(k) + w(k) \quad (5.3.17)$$

$$u(k) = C_0 e(k) \quad (5.3.18)$$

$$v(k) = C_1 e(k-1) + v(k-1) \quad (5.3.19)$$

$$w(k) = C_2 e(k-1) + C_3 w(k-1) \quad (5.3.20)$$

sustituyendo (5.3.18) en (5.3.17):

$$m(k) = C_0 e(k) + v(k) + w(k) \quad (5.3.21)$$



En este método se utilizan 2 almacenadores. La rutina de antecedentes debe dar el resultado  $z(k)$  (una suma):

$$\underline{z(k) = v(k) + w(k)} \quad (5.3.22)$$

y calcular  $v(k)$  y  $w(k)$  a partir de las ecuaciones (5.3.19) y (5.3.20) respectivamente (3 multiplicaciones y 2 sumas). En total la rutina de antecedentes debe efectuar 3 multiplicaciones y 3 sumas.

La rutina de control debe hacer las siguientes operaciones (una multiplicación y una suma):

$$\underline{m(k) = C_0 e(k) + z(k)} \quad (5.3.23)$$

### Selección del método de programación.

Ya establecidas las alternativas de programación digital de  $G_{PID}(z)$  se elegirá la más sencilla a continuación:

Primero se debe considerar que en todos los métodos expuestos es necesario calcular la señal de error  $e(k)$  [ $e(k) = r(k) - b(k)$ ] en forma previa a su procesamiento y que éste consiste tan sólo de una multiplicación por el coeficiente  $A_0$  ( $C_0$ ) y de una suma con un valor  $z(k)$  determinado a través de una rutina de antecedentes distinta para cada método; es por lo tanto la rutina de antecedentes la que proporcionará los elementos de selección.

Se debe aclarar que los coeficientes de las ecuaciones en diferencias ( $A_0, A_1, A_2, A_1^*, A_2^*, A_1^{**}, A_2^{**}, B_0^*, B_1^*, C_0, C_1, C_2, y C_3$ ) están en función de los parámetros de programación ( $K_p, K_i$  y  $T_D$ ) y de los parámetros de diseño ( $N$  y  $T_m$ ), y su cálculo se hace inmediatamente después de la programación, por lo cual su valor permanece constante durante la operación de la planta respectiva hasta una nueva programación o retorno a condiciones iniciales (programación nula).

Tomando en cuenta que la rutina de antecedentes debe optimizarse temporalmente, se deben elegir primeramente aquellos métodos que contengan el menor número de multiplicaciones ya que este tipo de operación aritmética tarda más en efectuarse en la UCP; los métodos que cumplen con esta condición son la programación en cascada y en paralelo (ambos con 3 multiplicaciones); la programación en paralelo tiene una suma menos que la programación en cascada, requiere una unidad de almacenamiento menos y el cálculo de sus parámetros es más simple; por estas razones se selecciona finalmente el método de programación en paralelo.

Las expresiones que constituyen al método seleccionado son (5.3.2), (5.3.3), (5.3.12), (5.3.13), (5.3.14), (5.3.15), (5.3.19), (5.3.20), (5.3.22) y (5.3.23). A partir de la expresión (5.3.16) se puede generar el diagrama de bloques mostrado en la figura 5.3.2; compárese con la

figura 3.3.2. Se aclara que en vista de que se dispone de un solo procesador, las operaciones representadas en los bloques de la figura 5.3.2 se realizan secuencialmente y no en paralelo; sin embargo, este esquema simplifica la programación como se ha demostrado.

### 5.3.3 Discusión acerca de las señales y parámetros para la programación de $G_m(z)$ .

En esta sección se determinan: el valor  $N$  del filtro de la parte derivativa y el rango y resolución de los parámetros de programación ( $K_p, K_i$  y  $T_D$ ), de los coeficientes de las ecuaciones de diferencias a programar ( $C_0$  a  $C_3$ ) y de las señales involucradas.

La nomenclatura de las señales seguirá la siguiente convención: si  $h$  es una señal cualquiera y es de amplitud continua en tiempo continuo su representación será  $h(t)$ , si es de amplitud continua en tiempo discreto su representación será  $h(k)$  y si es de amplitud discreta en tiempo discreto su representación será  $h_q(k)$ .

En cuanto a los parámetros de programación, con fines de simplificación, se establece que:

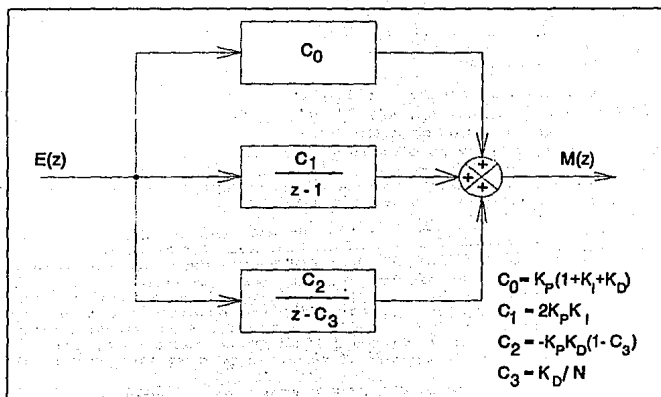


Figura 5.3.2 Diagrama de bloques de la programación en paralelo de  $G_m(z)$ .

- 1.-  $K_p$  se manejará directamente como  $K_p$ .
- 2.-  $K_i$  se manejará indirectamente como  $K_T$  de acuerdo con (5.3.3):

$$K_T = \frac{K_i T_m}{2} \quad (5.3.3)$$

- 3.-  $T_D$  se manejará indirectamente como  $T_D^*$  de acuerdo con (5.3.24):

$$T_D^* = \frac{T_D}{T_m} \quad (5.3.24)$$

Con fines de referencia se establecen a continuación los criterios usados en esta discusión:

CRITERIO A.- Sea:

$$L = MN$$

donde  $L$  y  $N$  son variables cuantificadas con niveles de cuantificación  $q_L$  y  $q_N$  respectivamente y que se encuentran acotadas de la siguiente manera:

$$|L| \leq L_{máx}$$

$$|N| \leq N_{máx}$$

$M$  es una variable cuya cota máxima ( $M_{máx}$ ) más conveniente se desea determinar, lo que se logra de la siguiente forma:

$$M_{máx} = \frac{L_{máx}}{q_N} \quad (5.3.25)$$

CRITERIO B.- Sea:

$$L = MN$$

donde  $L$  y  $N$  son variables cuantificadas con niveles de cuantificación  $q_L$  y  $q_N$  respectivamente y que se encuentran acotadas de la siguiente manera:

$$|L| \leq L_{máx}$$

$$|N| \leq N_{\text{máx}}$$

M es una variable cuya cuenta mínima ( $q_M$ ) más conveniente se desea determinar, esto se hace de la siguiente forma:

$$q_M = \frac{q_L}{N_{\text{máx}}} \quad (5.3.26)$$

CRITERIO C.- Sea:

$$I = J \pm K$$

donde I es una variable cuantificada con nivel de cuantificación  $q_I$ . Se desea conocer la cuenta mínima más conveniente de las variables J y K, haciéndose de la siguiente manera:

La cuenta mínima de J ( $q_J$ ) y de K ( $q_K$ ) es igual a la cuenta mínima de I, esto se hace extensivo a un mayor número de sumandos o a uno solo.

CRITERIO D.- Sea Y una variable cuantificada con nivel de cuantificación  $q_Y$ ; se desea conocer una resolución decimal  $10^{-n}$  apropiada, haciéndose de la siguiente forma:

Escoger el mayor valor de n que cumpla con

$$10^{-n} \geq (q_Y)_{10} \quad (5.3.27)$$

si se verifica la desigualdad, se tendrá un error máximo (después de aplicar un redondeo) de:

$$e_{\text{máx}} = \left(\frac{q_Y}{2}\right)_{10} \quad (5.3.28)$$

y si se verifica la igualdad el error será nulo.

- a) Rango y resolución de las señales m (de control) y b (de realimentación).

A partir de este momento se toma en cuenta que las señales m (de control) y b (de realimentación) están cuantificadas mediante una palabra de 8 bits y que su rango ideal es de 4 a 20 mA, es decir 16 mA a la salida y a la entrada respectivamente; de este modo, el nivel de cuantificación para ambas señales es:

$$q = \frac{16}{2^8} = \frac{16}{256} \text{ mA}$$

$$q = \frac{1}{16} \text{ mA} \quad (5.3.29)$$

Es necesario aclarar que la señal de realimentación de entrada  $b_B$  no es la señal de realimentación  $b$  que será procesada, pero de acuerdo con la figura 5.3.3 están relacionadas por:

$$b(t) = b_B(t) - 12 \text{ mA} \quad (5.3.30)$$

así,  $b(t)$  va de -8 a 8 mA.

De acuerdo con el hardware, la interfaz analógica de entrada le resta a  $b_B$  una componente de c.d. de 4 mA dando lugar a  $b^*$  (señal de entrada al convertidor A/D):

$$b^*(t) = b_B(t) - 4 \text{ mA}$$

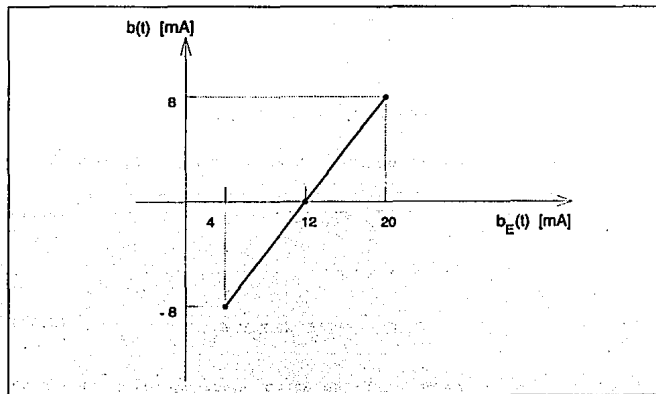


Figura 5.3.3 Relación entre  $b$  y  $b_E$ .

por lo cual:

$$b_E(t) = b^*(t) + 4 \text{ mA} \quad (5.3.31)$$

sustituyendo (5.3.31) en (5.3.30):

$$b(t) = b^*(t) - 8 \text{ mA}$$

aplicando un muestreo a esta expresión resulta:

$$b(k) = b^*(k) - 8 \text{ mA}$$

y aplicando una cuantificación:

$$b_q(k) = b^*_q(k) - \$80q \text{ mA} \quad (5.3.32)$$

Nota 1.- Aunque la cuantificación es una operación no lineal se ha aplicado como si lo fuera a cada término de la expresión considerada, porque el valor de 8 tiene una representación exacta al cuantificarse.

Nota 2.- Todo número precedido del carácter \$ indica que se trata de un número hexadecimal.

Nota 3.- Como el valor de q multiplica a una cantidad hexadecimal, se considera también un valor hexadecimal para q, esto es: q = \$0.1.

La figura 5.3.4 ilustra la conversión de estas señales en el sistema.

Si  $D_b(k)$  es la palabra digital entregada por el convertidor A/D, entonces:

$$b^*_q(k) = D_b(k)q \quad (5.3.33)$$

sustituyendo (5.3.33) en (5.3.32):

$$b_q(k) = [D_b(k) - \$80]q \quad (5.3.34)$$

Esta última expresión da la relación entre el valor muestreado y cuantificado de la señal de realimentación  $b_q(k)$  que se debe procesar

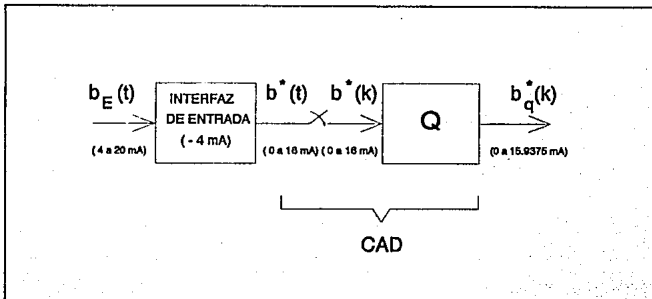


Figura 5.3.4 Transformación de la señal de realimentación de entrada  $b$ , hasta su cuantificación en la microcomputadora.

y la palabra digital  $D_b(k)$  que proporciona el convertidor A/D para esa señal.

El rango de  $D_b(k)$  es por supuesto:

$$\underline{\$0} \leq D_b(k) \leq \underline{\$FF} \quad (5.3.35)$$

La señal de control  $m$  tiene las mismas características que la señal  $b$  por lo que se pueden deducir en forma análoga las siguientes expresiones:

$$m_q(k) = [D_m(k) - \$80]q \quad (5.3.36)$$

$$\underline{\$0} \leq D_m(k) \leq \underline{\$FF} \quad (5.3.37)$$

b) Rango y resolución de las señales  $r$  (de referencia) y  $e$  (de error).

Para obtener la señal de error, se le resta a la señal de referencia  $r$  la señal de realimentación  $b$ ; así  $r$  debe ser compatible con  $b$ : el rango de  $r$  debe ser cuando mucho el de  $b$  o menor para permitir sobrepasos sin saturación, esto es:

$$-8 \leq r(k) \leq 8 \text{ mA}$$

o:

$$4 \leq r_q(k) \leq 20 \text{ mA} \quad (5.3.38)$$

siendo  $r(k)$  la señal de referencia que se debe procesar y  $r_B(k)$  la señal de referencia que se despliega en pantalla (la señal de realimentación  $r$  es de naturaleza discreta a diferencia de  $b$  y  $m$ ).

El objeto del controlador automático es hacer  $b$  igual a  $r$ , por lo que  $r$  debe tener la misma resolución de  $b$  y una representación similar, así:

$$r_q(k) = [D_r(k) - \$80]q \quad (5.3.39)$$

$$\$0 \leq D_r(k) \leq \$FF \quad (5.3.40)$$

En cuanto a la señal de error  $e$ , se tiene que es una señal discreta en el tiempo y discreta en amplitud (al igual que la señal  $r$ ) y se obtiene en el procesamiento digital a partir de:

$$e_q(k) = r_q(k) - b_q(k) \quad (5.3.41)$$

sustituyendo (5.3.34) y (5.3.39) en (5.3.41):

$$e_q(k) = [D_r(k) - D_b(k)]q$$

considerando el CRITERIO C se puede hacer:

$$D_e(k) = D_r(k) - D_b(k) \quad (5.3.42)$$

(donde  $D_e(k)$  es la representación digital entera de  $e_q(k)$ )

obteniéndose:

$$e_q(k) = D_e(k)q \quad (5.3.43)$$

Tomando en cuenta (5.3.35) y (5.3.40) en (5.3.42) se deduce que:

$$-\$FF \leq D_e(k) \leq \$FF \quad (5.3.44)$$



La señal de error  $e_q(k)$  dada en la ecuación (5.3.43) es la señal que se debe procesar según el algoritmo elegido de control automático.

c) Rango y resolución de  $K_p$ .

Considerando sólo acción proporcional la ecuación (5.3.23) se reduce a:

$$m_q(k) = K_p e_q(k) \quad (5.3.45)$$

Como las señales de error  $e$  y de control  $m$  están cuantificadas y acotadas, se utiliza el CRITERIO A para la cota máxima de  $K_p$ :

$$K_{p \text{ máx}} = \frac{|m_q(k)|_{\text{máx}}}{q_e} = \frac{\$80q}{q}$$

$$K_{p \text{ máx}} = \$80 \quad (5.3.46)$$

y el CRITERIO B para la cuenta mínima de  $K_p$ :

$$q_{K_p} = \frac{q_m}{|e_q(k)|_{\text{máx}}} = \frac{q}{(\$FF)q} = \frac{1}{\$100}$$

$$\underline{q_{K_p} = \$0.01} \quad (5.3.47)$$

Si  $D_{K_p}$  es la representación digital entera de  $K_p$ , entonces:

$$K_p = D_{K_p} q_{K_p}$$

$$\underline{K_p = \frac{D_{K_p}}{\$100}} \quad (5.3.48)$$

y:

$$\underline{\$0 \leq D_{K_p} \leq \$8000} \quad (5.3.49)$$

De esta manera  $K_p$  se representa mediante 2 bytes: uno entero y otro fraccionario.

Como  $K_p$  también se tiene que representar en base 10 para desplegarse en la pantalla de cristal líquido, su rango es, de acuerdo con las expresiones (5.3.48) y (5.3.49):

$$0 \leq K_p \leq 128 \quad (5.3.50)$$

En cuanto a la resolución decimal se sigue el CRITERIO D. El número  $n$  para el cual se cumple la expresión (5.3.27) es  $n = 2$ , así:

$$0.01 > 0.0039$$

por lo tanto la resolución decimal de  $K_p$  es:

$$\text{resolución}_{K_p} = 0.01 \quad (5.3.51)$$

el error máximo se encuentra a partir de la ecuación (5.3.28):

$$|e_{K_p}|_{\max} = 0.001953 \quad (5.3.52)$$

d) Rango y resolución de  $K_I$  ( $K_I$ ):

La función de transferencia del controlador analógico PID que se desea aproximar es:

$$G_{PID}(s) = K_p \left( 1 + \frac{K_I}{s} + \frac{T_D s}{N s + 1} \right) \quad (5.3.53)$$

considerando sólo la parte integral [  $G_I(s)$  ], se tiene en el dominio de la frecuencia:

$$G_I(j\omega) = \frac{K_p K_I}{j\omega} \quad (5.3.54)$$

Tomando como criterio de diseño una ganancia máxima para la máxima frecuencia que se debe procesar ( $\omega_m/2$ ) de  $1/\sqrt{2}$  con  $K_p = 1$  (ver figura 5.3.5), se tiene:

$$\frac{K_I}{\frac{2\pi}{2T_m}} \leq \frac{1}{\sqrt{2}}$$

$$K_I \leq \frac{\pi}{\sqrt{2}T_m} = \frac{2.22144}{T_m} \text{ s}^{-1}$$

asumiendo el número entero más próximo y tomando en cuenta que el mínimo valor de  $K_I$  es cero se tiene finalmente:

$$0 \leq K_I \leq \frac{2}{T_m} \text{ s}^{-1} \quad (5.3.55)$$

Los coeficientes de las ecuaciones en diferencias a programar que involucran a  $K_I$  son  $C_0$  y  $C_1$  :

$$C_0 = K_P(1 + K_I + K_D) \quad (5.3.12)$$

$$C_1 = 2K_P K_I \quad (5.3.13)$$

Sea  $C_0(n)$  el  $n$ ésimo término de  $C_0$  , entonces:

$$C_0 = C_0(1) + C_0(2) + C_0(3) \quad (5.3.56)$$

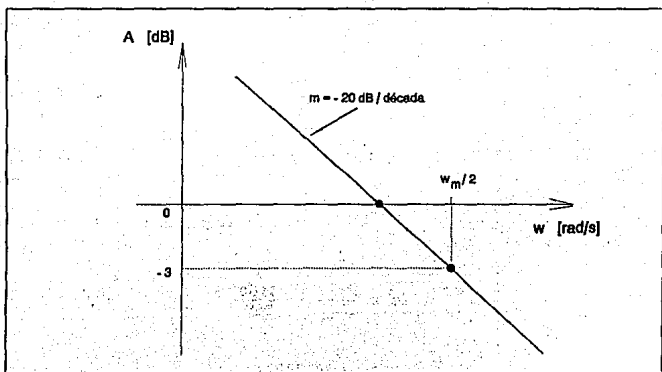


Figura 5.3.5 Ganancia máxima para  $w_m/2$  con  $K_r = 1$  en la parte integral de  $G_{ms}(s)$ .

con:

$$C_0(1) = K_p \quad (5.3.57)$$

$$C_0(2) = K_p K_I \quad (5.3.58)$$

$$C_0(3) = K_p K_D \quad (5.3.59)$$

de las expresiones (5.3.3) y (5.3.55) se deduce que:

$$0 \leq K_I \leq 1 \quad (5.3.60)$$

considerando (5.3.60) en (5.3.58):

$$0 \leq C_0(2) \leq K_p \quad (5.3.61)$$

En vista de que  $C_0(2)$  se suma a  $K_p$  [que es el valor de  $C_0(1)$ ] y tiene un valor máximo de hasta  $K_p$ , debe tener el mismo rango y resolución de  $K_p$ :

$$q_{C_0(2)} = \$0.01 \quad (5.3.62)$$

$$C_0(2) = \frac{D_{C_0(2)}}{\$100} \quad (5.3.63)$$

$$0 \leq D_{C_0(2)} \leq \$8000 \quad (5.3.64)$$

Tomando en cuenta el CRITERIO B para la resolución de  $K_I$  en la expresión (5.3.58):

$$q_{K_I} = \frac{q_{C_0(2)}}{K_{p_{\max}}} = \frac{1}{\frac{\$100}{\$80}}$$

$$q_{K_I} = \$0.0002$$

ya que la representación digital de una cantidad es conveniente manejarla mediante bytes completos, la expresión anterior se transforma en:

$$q_{K_I} = \$0.0001 \quad (5.3.65)$$

De (5.3.65) y de (5.3.60) se deduce una representación digital entera para  $K_I$  de 3 bytes, uno entero y dos fraccionarios definida por:

$$K_I = \frac{D_{K_I}}{\$10000} \quad (5.3.66)$$

$$\$0 \leq D_{K_I} \leq \$10000 \quad (5.3.67)$$

En realidad el valor de  $K_I$  que se introduce al procesador es convertido directamente a  $K_I$  de acuerdo con (5.3.3) para tener una representación digital conveniente;  $K_I$  sólo se usa para desplegarse en la pantalla.

Ya que  $T_m = 9 \text{ ms}$ , el rango de  $K_I$  es según (5.3.55):

$$0 \leq K_I \leq 222.22 \text{ s}^{-1} \quad (5.3.68)$$

A partir de (5.3.3) y de (5.3.65) se obtiene:

$$q_{K_I} = 0.0033908 \text{ s}^{-1}$$

aplicando el CRITERIO D, se tiene  $n = 2$ :

$$0.01 > 0.0033908 \text{ s}^{-1}$$

por lo tanto la resolución decimal de  $K_I$  es:

$$\underline{\text{resolución}_{K_I}} = 0.01 \text{ s}^{-1} \quad (5.3.69)$$

con un error máximo de:

$$\underline{e_{K_I}}_{\text{max}} = 0.0016954 \text{ s}^{-1} \quad (5.3.70)$$

e) Rango y resolución de  $C_1$ .

Aplicando el CRITERIO C en la expresión (5.3.21) se deduce que  $v_q(k)$  tiene la misma resolución de  $m_q(k)$ , por lo tanto, aplicando el mismo criterio en la expresión (5.3.19) se tiene que el producto:

$$p = C_1 e_q(k) \quad (5.3.71)$$

tiene también la misma resolución de  $m_q(k)$ .

Aplicando el CRITERIO B a la expresión (5.3.71) para obtener la cuenta mínima del coeficiente  $C_1$  se tiene:

$$q_{C_1} = \frac{q_p}{|e_q(k)|_{\max}} = \frac{q}{(\$FF)q} = \frac{1}{\$100}$$

$$\underline{q_{C_1} = \$0.01} \quad (5.3.72)$$

El rango de  $C_1$  se deduce a partir de las expresiones (5.3.13), (5.3.58) y (5.3.64). Si  $D_{C_1}$  es la representación digital entera de  $C_1$ , entonces:

$$C_1 = \frac{D_{C_1}}{\$100} \quad (5.3.73)$$

$$\underline{\$0 \leq D_{C_1} \leq \$10000} \quad (5.3.74)$$

f) Determinación de N.

De acuerdo con la sección 3.3 se sugiere un rango para N de 3 a 10; si consideramos que N aparece multiplicando en algunas expresiones que determinan los coeficientes de las ecuaciones en diferencias a programar, es conveniente usar un número entero múltiplo de 2, ya que en lenguaje máquina las multiplicaciones se transforman en simples corrimientos para estos casos; así, se elige el mayor múltiplo de 2 comprendido en este rango para asegurar la acción derivativa en un rango mayor de frecuencias; esto es:

$$\underline{N = 8} \quad (5.3.75)$$

Existen otras razones para limitar N a 8: un incremento de N entre

8 y 10 no afecta significativamente a las frecuencias comprendidas en ese rango, además conforme  $N$  se incrementa se reduce el rango de valores que puede tomar  $T_D$  según se muestra a continuación.

g) Rango y resolución de  $T_D$  ( $T_D$ ).

Considerando sólo la parte derivativa y su filtro de la expresión (5.3.61), se tiene en el dominio de la frecuencia:

$$G_D(j\omega) = \frac{K_P T_D(j\omega)}{1 + j\omega \frac{T_D}{N}} \quad (5.3.76)$$

La frecuencia de corte para el filtro debe ser la máxima frecuencia que el sistema digital debe procesar, esto es  $\omega_m/2$  (ver figura 5.3.6).

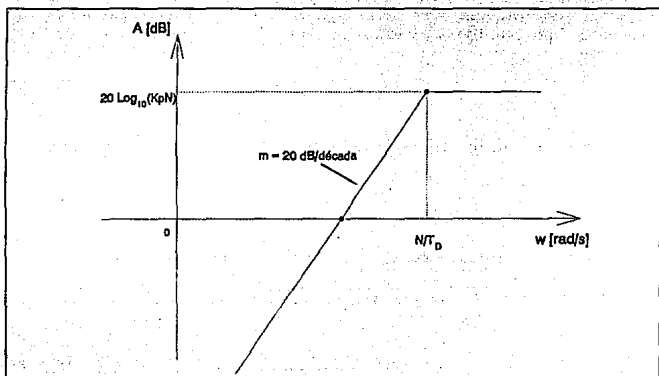


Figura 5.3.6 Frecuencia de corte máxima para el filtro de la parte derivativa de  $G_{nd}(s)$ .

De esta forma:

$$\omega_c = \frac{N}{T_D} \leq \frac{\omega_m}{2} = \frac{2\pi}{2T_m} = \frac{\pi}{T_m}$$

despejando  $T_D$  :

$$T_D \geq \frac{NT_m}{\pi}$$

nótese que si N se incrementa, se reduce el rango de  $T_D$  al aumentar su cota inferior. Para  $N = 8$ :

$$T_D \geq 2.54648T_m$$

tomando el número entero más próximo:

$$T_D \geq 3T_m$$

No hay un criterio directo para determinar la cota superior de  $T_D$  ; sin embargo, se considera el valor sugerido en la sección 3.3.3 de  $10T_m$  , por lo que:

$$\underline{3T_m \leq T_D \leq 10T_m} \quad (5.3.77)$$

Tomando en cuenta la expresión (5.3.77) en (5.3.24) se obtiene:

$$\underline{3 \leq T_D^* \leq 10} \quad (5.3.78)$$

Para tener la misma resolución binaria que  $K_I$  se hace:

$$\underline{Q_{T_D^*} = \$0.0001} \quad (5.3.79)$$

$$\underline{T_D^* = \frac{D_{T_D^*}}{\$10000}} \quad (5.3.80)$$

y de acuerdo con (5.3.78) se obtiene:

$$\underline{\$30000 \leq D_{T_D^*} \leq \$A0000} \quad (5.3.81)$$



De esta manera, la representación digital de  $T_D^*$  se hace mediante 3 bytes: 1 entero y 2 fraccionarios. Nuevamente, el valor que se introduce al procesador de  $T_D$  es convertido directamente a  $T_D^*$  por medio de la ecuación (5.3.24);  $T_D$  sólo se usa para desplegarse en pantalla.

Ya que  $T_m = 9 \text{ ms}$ , el rango de  $T_D$  es según (5.3.77):

$$\underline{27 \leq T_D \leq 90 \text{ ms}} \quad (5.3.82)$$

De (5.3.79) y (5.3.24) se obtiene:

$$q_{T_D} = 0.00013733 \text{ ms}$$

aplicando el CRITERIO D se tiene  $n = 3$ :

$$0.001 > 0.00013733 \text{ ms}$$

por lo tanto, la resolución decimal de  $T_D$  es:

$$\underline{\text{resolución}_{T_D} = 0.001 \text{ ms}} \quad (5.3.83)$$

con un error máximo de:

$$\underline{|\delta_{T_D}|_{\text{máx}} = 0.000068665 \text{ ms}} \quad (5.3.84)$$

h) Rango y resolución de  $C_j$ .

Despejando  $T_D$  de (5.3.24):

$$T_D = T_D^* T_m \quad (5.3.85)$$

sustituyendo (5.3.85) en (5.3.2):

$$K_D = \frac{NT_D^*}{N + T_D^*} \quad (5.3.86)$$

sustituyendo (5.3.86) en (5.3.15):

$$C_3 = \frac{T_D^*}{N + T_D^*} \quad (5.3.87)$$

con  $N = 8$  y tomando en cuenta (5.3.78) en (5.3.87) se obtiene:

$$\frac{3}{11} \leq C_3 \leq \frac{10}{18} \quad (5.3.88)$$

En la ecuación (5.3.56)  $C_0(3)$  se suma a  $[C_0(1) + C_0(2)]$  por lo que debe tener la misma resolución de acuerdo con el CRITERIO C:

$$q_{C_0(3)} = \$0.01 \quad (5.3.89)$$

$$C_0(3) = \frac{D_{C_0(3)}}{\$100} \quad (5.3.90)$$

Aplicando el CRITERIO B a  $K_D$  en la expresión (5.3.59):

$$q_{K_D} = \frac{q_{C_0(3)}}{|K_D|_{\max}} = \frac{\$0.01}{\$80} = \$0.0002$$

considerando el uso de bytes completos la expresión anterior se transforma en:

$$q_{K_D} = \$0.0001 \quad (5.3.91)$$

de este modo la representación digital de  $K_D$  cumple con:

$$K_D = \frac{D_{K_D}}{\$10000} \quad (5.3.92)$$

Despejando  $K_D$  de (5.3.15):

$$K_D = NC_3 \quad (5.3.93)$$

Trabajando con números hexadecimales, el rango de  $K_D$  se encuentra considerando (5.3.88) y (5.3.75) en la ecuación (5.3.93) y aplicando un redondeo apropiado:

$$\$2.2E8C \leq K_D \leq \$4.71C7 \quad (5.3.94)$$

por lo que el rango de su representación digital es:

$$\$22E8C \leq D_{K_D} \leq \$471C7 \quad (5.3.95)$$

así, la representación digital de  $K_D$  se hace mediante 3 bytes: 1 entero y 2 fraccionarios.

La cuenta mínima para  $C_3$  se obtiene aplicando el CRITERIO B en la expresión (5.3.93):

$$q_{C_3} = \frac{q_{K_D}}{N} = \frac{\$0.0001}{\$8} = \$0.000020$$

considerando bytes completos, la expresión anterior se transforma en:

$$q_{C_3} = \underline{\$0.000001} \quad (5.3.96)$$

lo que implica un redondeo a 3 bytes fraccionarios para  $C_3$ . Trabajando con números hexadecimales y considerando (5.3.94) y (5.3.75) en (5.3.93) se obtiene:

$$\$0.45D174 \leq C_3 \leq \$0.8E38E4 \quad (5.3.97)$$

de esta manera, la representación digital de  $C_3$  se hace mediante 3 bytes

fraccionarios y cumple con:

$$C_3 = \frac{D_{C_3}}{\$1000000} \quad (5.3.98)$$

$$\underline{\$45D174 \leq D_{C_3} \leq \$8E38E4} \quad (5.3.99)$$

El valor de  $C_0(3)$  queda acotado en forma hexadecimal de acuerdo con (5.3.59), (5.3.94), (5.3.50) y considerando (5.3.89) para aplicar un redondeo, de la siguiente manera:

$$\$0 \leq C_0(3) \leq \$238.E4 \quad (5.3.100)$$

o:

$$\underline{\$0 \leq D_{C_0(3)} \leq \$238E4} \quad (5.3.101)$$

de esta manera, la representación digital de  $C_0(3)$  se hace mediante 3 bytes: 2 enteros y 1 fraccionario.

1) Rango y resolución de  $C_2$ .

Sustituyendo (5.3.59) en (5.3.14) se obtiene:

$$C_2 = -C_0(3) [1 - C_3] \quad (5.3.102)$$

Aplicando el CRITERIO C en la expresión (5.3.21) se deduce que  $w_q(k)$  tiene la misma resolución de  $m_q(k)$  y aplicando el mismo criterio en la expresión (5.3.20) se tiene que el producto:

$$p^* = C_2 e_q(k-1) \quad (5.3.103)$$

tiene la misma resolución de  $m_q(k)$ .

Aplicando el CRITERIO B a la expresión (5.3.103) para determinar la resolución de  $C_2$  :

$$q_{C_2} = \frac{q_p}{|e_q(k)|_{\max}} = \frac{q}{(\$FF)q} = \frac{1}{\$100}$$

$$\underline{q_{C_2} = \$0.01} \quad (5.3.104)$$

así, la representación digital de  $C_2$  cumple con:

$$\underline{|C_2| = \frac{D_{C_2}}{\$100}} \quad (5.3.105)$$

Tomando en cuenta (5.3.97) y (5.3.99) en (5.3.102) y considerando (5.3.104) para aplicar un redondeo, se deduce el rango hexadecimal de  $C_2$  :

$$\$0 \leq |C_2| \leq \$19D.BD \quad (5.3.106)$$

o:

$$\underline{\$0 \leq D_{C_2} \leq \$19DBD} \quad (5.3.107)$$

por lo tanto,  $C_2$  se representa con 3 bytes: 2 enteros y 1 fraccionario.

j) Rango y resolución de  $C_0$  .

Aplicando el CRITERIO C a la expresión (5.3.21) se tiene que el producto:

$$P^{**} = C_0 e_q(k) \quad (5.3.108)$$

tiene la misma resolución de  $m_q(k)$  por lo que aplicando el CRITERIO B a

la ecuación (5.3.108) se obtiene la resolución de  $C_0$  :

$$q_{c_0} = \frac{q_p}{|e_q(k)|_{\max}} = \frac{q}{(\$FF)q} = \frac{1}{\$100}$$

$$\underline{q_{c_0} = \$0.01} \quad (5.3.109)$$

de este modo, la representación digital de  $C_0$  cumple con:

$$\underline{C_0 = \frac{D_{c_0}}{\$100}} \quad (5.3.110)$$

Tomando en cuenta que  $C_0(3)$  ocasionalmente toma el valor de \$0 cuando se anula la parte derivativa, las expresiones (5.3.50), (5.3.57) y (5.3.61) en (5.3.56) y considerando (5.3.109) se deduce el rango hexadecimal de  $C_0$  :

$$\$0 \leq C_0 \leq \$338.E4 \quad (5.3.111)$$

o:

$$\underline{\$0 \leq D_{c_0} \leq \$338E4} \quad (5.3.112)$$

$C_0$  se representa entonces, mediante 3 bytes: 2 enteros y 1 fraccionario.

k) Rango y resolución de las señales secundarias  $u_q(k)$ ,  $v_q(k)$  y  $w_q(k)$

Aplicando el CRITERIO C a la expresión (5.3.17) resulta que las señales  $u_q(k)$ ,  $v_q(k)$  y  $w_q(k)$  tienen la misma resolución que  $m_q(k)$ , es decir, su cuenta mínima es  $q$ :

$$\underline{q_u = q_v = q_w = q = \$0.1} \quad (5.3.113)$$

El rango de  $u_q(k)$  se encuentra considerando las expresiones (5.3.43), (5.3.44) y (5.3.111) en (5.3.18):

$$0q \leq |u_q(k)| \leq \$335B1.16q \quad (5.3.114)$$

si  $D_u(k)$  es la representación digital de  $u_q(k)$ , entonces:

$$\underline{u_q(k) = D_u(k)q} \quad (5.3.115)$$

y:

$$\underline{-\$335B1.16 \leq D_u(k) \leq \$335B1.16} \quad (5.3.116)$$

aunque  $D_u(k)$  debe ser entero, se considerará un byte fraccionario más con fines de redondeo en el cálculo de  $m_q(k)$ .

Dependiendo de la señal de error, las señales  $v_q(k)$  y  $w_q(k)$  pueden crecer indefinidamente; para limitarlas se toma, como criterio de diseño, las mismas cotas determinadas para  $u_q(k)$  en la expresión (5.3.114), esto es:

$$0q \leq |v_q(k)| \leq \$335B1.16q \quad (5.3.117)$$

$$0q \leq |w_q(k)| \leq \$335B1.16q \quad (5.3.118)$$

si  $D_v(k)$  es la representación digital de  $v_q(k)$  y  $D_w(k)$  es la representación digital de  $w_q(k)$ , se tiene:

$$\underline{v_q(k) = D_v(k)q} \quad (5.3.119)$$

$$\underline{-\$335B1.16 \leq D_v(k) \leq \$335B1.16} \quad (5.3.120)$$

$$\underline{w_q(k) = D_w(k)q} \quad (5.3.121)$$

y:

$$\underline{-\$335B1.16 \leq D_w(k) \leq \$335B1.16} \quad (5.3.122)$$

Aunque la representación digital de la señal  $m(k)$  está acotada de acuerdo con (5.3.37), estas cotas en la práctica pueden rebasarse originando una condición de saturación; sin embargo, es conveniente saber hasta dónde puede crecer  $m_q(k)$  considerando las cotas de las señales que la forman con el propósito de evitar desbordamientos en la representación digital que se maneje en el procesamiento.

Considerando que las señales presentes en la ecuación (5.3.17) son de amplitud discreta se tiene la expresión:

$$m_q(k) = u_q(k) + v_q(k) + w_q(k)$$

y sustituyendo las ecuaciones (5.3.36), (5.3.115), (5.3.119) y (5.3.121) se obtiene:

$$[D_m(k) - \$80]q = D_u(k)q + D_v(k)q + D_w(k)q$$

dividiendo entre  $q$  y despejando  $D_m(k)$  :

$$D_m(k) = D_u(k) + D_v(k) + D_w(k) + \$80 \quad (5.3.123)$$

considerando arbitrariamente las cotas apropiadas de las representaciones digitales de las señales secundarias obtenidas con anterioridad se deduce que:

$$-\$9A093.42 \leq D_m(k) \leq \$9A193.42 \quad (5.3.124)$$

de esta manera el procesamiento digital debe considerar hasta 4 bytes (3 enteros y 1 fraccionario) para  $D_m(k)$ ; si el valor de  $D_m(k)$  excede el rango dado en la expresión (5.3.37), se desplegará una bandera de saturación (S) en la pantalla como se había previsto. Ahora bien, si  $D_v(k)$  o  $D_w(k)$  o ambas exceden su rango dado en las expresiones (5.3.120) y (5.3.122) respectivamente, también se desplegará la bandera de saturación (S) aunque  $D_m(k)$  se encuentre dentro de su rango válido.

A continuación se da un resumen de los resultados obtenidos en esta sección:

#### 1) Señales:

$$m_q(k) = [D_m(k) - \$80]q \quad (5.3.36)$$



$$b_q(k) = [D_b(k) - \$80] q \quad (5.3.34)$$

$$r_q(k) = [D_r(k) - \$80] q \quad (5.3.39)$$

$$e_q(k) = D_o(k) q \quad (5.3.43)$$

$$u_q(k) = D_u(k) q \quad (5.3.115)$$

$$v_q(k) = D_v(k) q \quad (5.3.119)$$

$$w_q(k) = D_w(k) q \quad (5.3.121)$$

2) Rangos de las representaciones digitales de las señales:

$$\$0 \leq D_m(k) \leq \$FF \quad (5.3.37)$$

$$\$0 \leq D_b(k) \leq \$FF \quad (5.3.35)$$

$$\$0 \leq D_r(k) \leq \$FF \quad (5.3.40)$$

$$-\$FF \leq D_o(k) \leq \$FF \quad (5.3.44)$$

$$-\$335B1.16 \leq D_u(k) \leq \$335B1.16 \quad (5.3.116)$$

$$-\$335B1.16 \leq D_v(k) \leq \$335B1.16 \quad (5.3.120)$$

$$-\$335B1.16 \leq D_w(k) \leq \$335B1.16 \quad (5.3.122)$$

3) Rangos de los coeficientes:

$$\$0 \leq C_0 \leq \$338.E4 \quad (5.3.111)$$

$$\$0 \leq C_1 \leq \$100.00 \quad (5.3.125)$$

$$\$0 \leq |C_2| \leq \$19D.BD \quad (5.3.106)$$

$$\$0.45D174 \leq C_3 \leq \$0.8E38E4$$

(5.3.97)

Nota.-  $C_3$  toma el valor de \$0 cuando se anula la parte derivativa.

La rutina de control debe efectuar las siguientes operaciones:

$$m_q(k) = C_0 e_q(k) + z_q(k) \quad (5.3.126)$$

y la rutina de antecedentes debe realizar las siguientes operaciones:

$$v_q(k) = C_1 e_q(k-1) + v_q(k-1) \quad (5.3.127)$$

$$w_q(k) = C_2 e_q(k-1) + C_3 w_q(k-1) \quad (5.3.128)$$

$$z_q(k) = v_q(k) + w_q(k) \quad (5.3.129)$$

Sustituyendo (5.3.119) y (5.3.121) en (5.3.129):

$$z_q(k) = D_v(k) q + D_w(k) q \quad (5.3.130)$$

haciendo:

$$D_z(k) = D_v(k) + D_w(k) \quad (5.3.131)$$

se tiene:

$$z_q(k) = D_z(k) q \quad (5.3.132)$$

Sustituyendo (5.3.132), (5.3.36) y (5.3.43) en (5.3.126):

$$[D_m(k) - \$80] q = C_0 D_m(k) q + D_z(k) q \quad (5.3.133)$$

dividiendo entre  $q$  y despejando  $D_n(k)$  :

$$D_n(k) = C_0 D_o(k) + D_z(k) + \$80 \quad (5.3.134)$$

haciendo:

$$D_z(k)^* = D_z(k) + \$80$$

se tiene:

$$\underline{D_r(k) = C_0 D_o(k) + D_r(k)^*} \quad (5.3.135)$$

$D_n(k)$  es el valor que tiene que entregar la microcomputadora al convertidor D/A y esta expresión constituye básicamente lo que debe hacer la rutina de control.

Sustituyendo (5.3.43) y (5.3.119) en (5.3.127) :

$$D_v(k)q = C_1 D_o(k-1)q + D_v(k-1)q \quad (5.3.136)$$

dividiendo entre  $q$ :

$$\underline{D_v(k) = C_1 D_o(k-1) + D_v(k-1)} \quad (5.3.137)$$

sustituyendo (5.3.43) y (5.3.121) en (5.3.128) :

$$D_v(k)q = C_2 D_o(k-1)q + C_3 D_v(k-1)q \quad (5.3.138)$$

dividiendo entre  $q$ :

$$\underline{D_v(k) = C_2 D_o(k-1) + C_3 D_v(k-1)} \quad (5.3.139)$$

sustituyendo (5.3.131) en (5.3.135) :

$$\underline{D_r(k)^* = D_v(k) + D_r(k) + \$80} \quad (5.3.140)$$

La rutina de antecedentes debe, por lo tanto, realizar básicamente las operaciones indicadas en las ecuaciones (5.3.137), (5.3.139) y (5.3.140), y almacenar los resultados para ser usados en el siguiente período de muestreo.

El procesamiento digital deberá aplicar un redondeo en aquellas expresiones que así lo requieran.

Es necesario conocer cuanto pueden crecer las señales críticas involucradas para determinar cual es la cantidad máxima hexadecimal que se manejará; para  $D_m(k)$  esto se hizo en la expresión (5.3.124). Las otras señales críticas son  $D_v(k)$  y  $D_w(k)$ .

Para  $D_v(k)$  se sustituyen los valores máximos que pueden tomar coeficientes y señales en (5.3.137), originando:

$$\begin{aligned} |D_v(k)|_{\max} &= (\$100) (\$FF) + \$335B1.16 \\ |D_v(k)|_{\max} &= \$434B1.16 \end{aligned} \quad (5.3.141)$$

obviamente este valor está fuera de rango por lo que se considerará el valor de saturación  $\$335B1.16$ , pero da una idea de la capacidad de representación digital que se tendrá que manejar.

Para  $D_w(k)$  se sustituyen también los valores máximos que pueden tomar coeficientes y señales en (5.3.139) dando lugar a:

$$\begin{aligned} |D_w(k)|_{\max} &= (\$19D.BD) (\$FF) + (\$0.8E38E4) (\$335B1.16) \\ |D_w(k)|_{\max} &= \$3649E.18 \end{aligned} \quad (5.3.142)$$

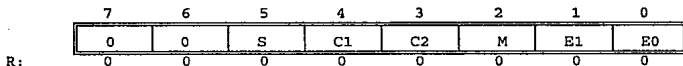
así se deduce que se necesitan cuando mucho 3 bytes para la parte entera de estas cantidades y que los 4 bits más significativos pueden usarse sin ningún problema para manejar el signo extendido si es requerido

#### 5.3.4 Consideraciones respecto a la RAM interna de la microcomputadora

Es necesario definir un registro de estado para cada planta de tal manera que al ejecutarse la rutina de servicio a la interrupción para una planta en particular, quede determinada la ruta a seguir según las condiciones presentadas en este registro. A continuación se describe este registro de 8 bits que tiene una dirección específica en la RAM interna de la microcomputadora.

RE

REGISTRO DE ESTADO PARA LA PLANTA X



Nota: La condición de reinicio para este registro se hace mediante software.

Bits E0 y E1: Selectores de estado para la planta X.

E1	E0	ESTADO
0	0	" - "
0	1	No usado
1	0	"APG"
1	1	"ENC"

Nota: El estado " - " implica condiciones iniciales.

Bit M : Selector de modo de operación de la planta X.

M	MODO
0	Manual
1	Auto

Bits C0 y C1: Selectores de tipo de control para la planta X; no son significativos si M = '0'.

C1	C0	CONTROL
0	0	P
0	1	PI
1	0	PD
1	1	PID

Bit 5 : Bandera de saturación para la planta X.

S	CONDICIÓN
0	Normal
1	Saturación

Bits 6 y 7 : No utilizados, por lo regular son '0'.

Tomando en cuenta los resultados de la sección anterior, se definirá el bloque modelo de RAM interna que contiene toda la información de programación y operación para una planta X determinada de acuerdo con la tabla 5.3.1.

Nota 1: M es una variable de apoyo en la multiplicación de  $D_o$  por

$D_w(k)$ , apropiada para el direccionamiento utilizado.

Nota 2: \* implica un byte no utilizado para este propósito pero necesario para el modo de direccionamiento usado; sin embargo, puede utilizarse como un byte de RAM de propósito general.

Debe observarse que  $D_o(k)$  no se encuentra en este bloque, ya que se obtiene de  $D_r(k)$  y  $D_b(k)$ ; sin embargo, es necesario calcular este término y por lo tanto se le reserva un byte en el espacio de RAM interna destinado a variables de propósito general.

La posición que guardan las cantidades en la tabla es la adecuada para utilizar el modo de direccionamiento indexado con fines de simplificación en la programación del algoritmo de control. Es necesario contar con una variable X1 que contenga la dirección de inicio del bloque de la planta que será atendida en el próximo período de interrupción; de manera similar se requiere la variable X2 y X3 en la rutina principal para indicar la planta que se está programando u operando para los modos de programación y operación respectivamente.

En la figura 5.3.7 se muestra el mapa de RAM interna sugerido. Dentro del bloque de variables de propósito general debe encontrarse un byte que servirá como bandera de programación previa con un dato establecido de antemano; si este dato no es el adecuado, es muy probable que los datos restantes almacenados en la RAM interna estén alterados y en este caso se procede a colocar en condiciones iniciales las variables que así lo requieran en la rutina de inicio del software después de haberse interrumpido el suministro de energía al sistema; por lo general este no será el caso ya que el sistema cuenta con un circuito de respaldo con batería recargable que alimenta la RAM interna en todo momento.

BLOQUE MODELO DE RAM INTERNA PARA LA PLANTA X

DESPLAZAMIENTO SUMADO AL ÍNDICE	BYTES	NÚMERO DE BYTES	CONTENIDO	DESCRIPCIÓN
+0	RE	1	RE	Registro de Estado
+1	B0	1	$D_n(k)$	Señal de control
+2	B0	1	$D_r(k)$ o $D_{exc}(k)$	Señal de referencia o de excitación
+3	B0	1	$D_b(k)$	Señal de realimentación
+4	B0, B-1	2	$D_{K_P}$	$K_P$
+6	B0, B-1, B-2	3	$D_{K_I}$	$K_I$
+9	B0, B-1, B-2	3	$D_{T_D^*}$	$T_D^*$
+12	B2, B1, B0, B-1	4	$D_{z^*}(k)$	$z^*(k)$
+16	B2, B1, B0, B-1	4	$D_v(k)$	$v(k)$
+20	B2, B1, B0, B-1	4	$D_w(k)$ o $D_{C_3 w}(k)$	$w(k)$ o $C_3 w(k)$
+24	B2, B1, B0, B-1	4	M	Ver Nota 1
+28	*, B1, B0, B-1	4	$D_{C_0}$	$C_0$
+32	*, B1, B0, B-1	4	$D_{C_1}$	$C_1$
+36	*, B1, B0, B-1	4	$D_{C_2}$	$C_2$
+40	*, B1, B0, B-1	4	$D_{C_3}$	$C_3$

Tabla 5.3.1

TOTAL: 44 (\$2C) BYTES

DIRECCIÓN	MAPA	NÚMERO DE BYTES	CONTENIDO
\$0000	[Diagrama de Mapa de RAM: Una columna vertical de diez cuadros rectangulares que representan bloques de memoria, desde \$0000 hasta \$01FF.]	224	BLOQUE PARA VARIABLES DE PROPÓSITO GENERAL
\$000F		44	BLOQUE PLANTA 1
\$00E0			
\$010B		44	BLOQUE PLANTA 2
\$010C			
\$0137		44	BLOQUE PLANTA 3
\$0138			
\$0163		44	BLOQUE PLANTA 4
\$0164			
\$016F			
\$0190		112	ESPACIO RESERVADO A LA PILA
\$01FF			
		TOTAL: 512	

Figura 5.3.7 Mapa de RAM interna sugerido para este diseño.

### 5.3.5 Diagrama de flujo.

De acuerdo con las necesidades impuestas, se requieren los siguientes subsistemas de la microcomputadora:

- 1) PUERTO A: (excepto terminal PA3) como puerto de E/S de dirección fija, la terminal PA7 se configura en un reinicio como entrada y se usará en esta condición. Las terminales PA0 a PA2 se usan para leer un dato de 3 bits que proviene del circuito codificador de teclado, PA4 a PA6 se utilizan para controlar el demultiplexador de salida y PA7 para leer la bandera de dato disponible del circuito codificador de teclado.
- 2) SISTEMA DE RELOJ: con la función de salida de comparación 5, por lo cual es necesario configurar la terminal PA3 adecuadamente. Esta terminal manejará la terminal  $\overline{XTRQ}$ , en donde es necesario el uso de la capacidad de comparación forzada de la SC5 para desactivar la terminal  $\overline{XTRQ}$  una vez atendida la interrupción.
- 3) PUERTO B: como puerto de E/S de dirección fija (salida) para colocar un dato de 8 bits en el convertidor D/A.



- 4) PUERTO C: como puerto de E/S de propósito general para escribir o leer un dato de 8 bits del módulo de despliegue de cristal líquido.
- 5) PUERTO D: (excepto terminales PD0 y PD1) como puerto de E/S de dirección fija por lo que deben configurarse las terminales PD2 a PD4 como salidas CMOS normales (por defecto) o del tipo drenaje abierto indistintamente; la terminal PD5 no se utiliza por lo que se sujeta su nivel de tensión a  $V_{DD}$  por medio de un resistor para protegerla. Las terminales mencionadas se utilizan para manejar el módulo de despliegue de cristal líquido.
- 6) SCI (terminales TxD y RxD): para la comunicación con un equipo de cómputo externo a través del circuito que proporciona la interfaz RS-232, este subsistema no se abordará en este diseño.
- 7) CONVERTIDOR A/D (terminales PE0 a PE3): se requiere configurar el PUERTO E para esta aplicación con el modo de conversión de un solo canal y paro; las entradas restantes (PE4 a PE7) se protegen sujetando su nivel de tensión a  $V_{DD}$  por medio de resistores.
- 8) SISTEMA DE INTERRUPCIÓN LÓGICA no enmascarable (terminal  $\overline{XTRQ}$ ), se requiere habilitar este tipo de interrupción después de un reinicio.
- 9) REINICIO POR ENCENDIDO Y POR TERMINAL  $\overline{RESET}$ , se dispone de un interruptor normalmente abierto para utilizar la capacidad de reinicio por terminal externa pero no se encuentra directamente al alcance del usuario ya que se aprovecha el reinicio por encendido protegido por un circuito inhibidor de baja tensión (IBT).

Se sugiere que el registro CONFIG se encuentre previamente programado con \$07 (habilitación de modo de seguridad, de ROM y EEPROM internas); no se utiliza el sistema perro guardián y tampoco la EEPROM, pero es conveniente tener habilitada esta última para alguna aplicación específica en el uso del modo bootstrap.

El registro INIT no será modificado de su condición de reinicio porque se usará la posición de la RAM y de los registros de control internos que se da por defecto; tampoco se modificará el registro HPRI0 de jerarquía de interrupciones enmascarables. En cuanto al registro OPTION, es necesario poner a '1' el bit ADPU para encender el convertidor A/D y esperar 100  $\mu$ s para que se establezca este subsistema, los bits restantes de este registro no se alterarán. Los bits selectores de preescala del sistema de reloj en el registro TMSK 2 no serán modificados después de un reinicio; de este modo se tendrá un factor de división igual a 1 de la frecuencia de reloj E para manejar al contador del sistema de reloj.

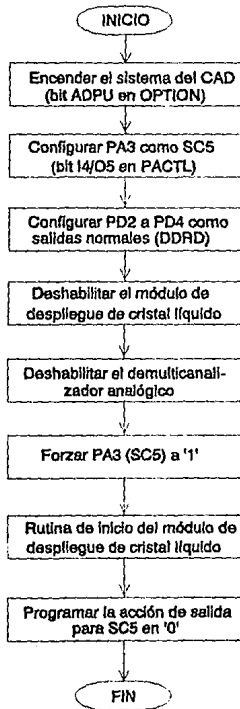
Para evitar cambios bruscos en las salidas al apagar alguna acción de control, la salida correspondiente se mantendrá al valor de corriente previo en cualquier modo (automático o manual); al reanudar la acción de control si esta es automática el valor de referencia tomará el valor de la señal de realimentación para tener un cambio pequeño o nulo en la

salida; por otro lado si la acción de control encendida es manual, el valor de excitación tomará el valor de la señal de control hasta ese momento constante, de esta manera la salida no sufrirá ningún cambio y podrá iniciarse el control en malla abierta apropiadamente. En un reinicio del sistema, las salidas siempre proporcionan una corriente de 12 mA ya que se considera que las plantas conectadas se energizan en ese momento partiendo de una condición de reposo.

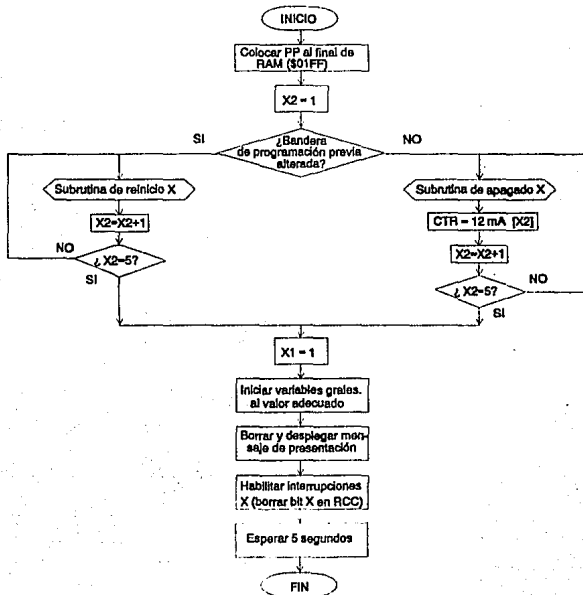
Finalmente la frecuencia de actualización de datos en la pantalla de cristal líquido para el modo de operación será aproximadamente de 3 Hz si no se actualiza manualmente algún dato desplegado ya que en este caso la actualización será inmediata; para este fin, es necesaria la variable  $J$ , la cual es incrementada en una unidad durante la rutina de servicio a la interrupción sin importar la planta que esté siendo atendida, así si  $J$  se inicia en 0 se deberá tener un valor límite igual a 148 para tener una frecuencia aproximada de 3 Hz ya que  $T_1 = 2.25 \text{ ms}$ , cuando  $J$  alcance este valor se deberán actualizar los datos desplegados en el modo de operación.

Para concluir el capítulo se presentan los diagramas de flujo de las rutinas necesarias en este diseño de manera general para un análisis práctico.

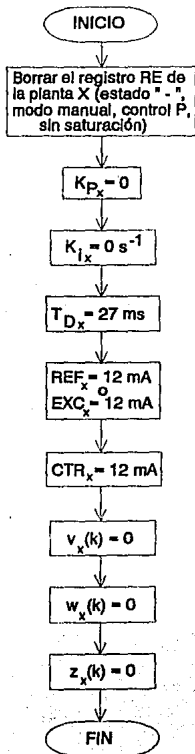
## RUTINA DE INICIO DEL HARDWARE



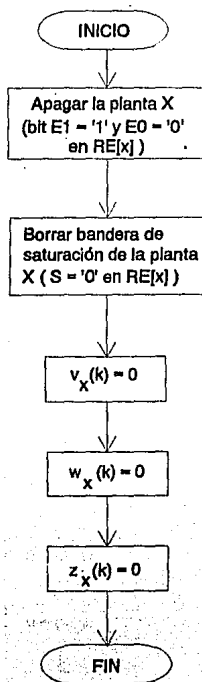
## RUTINA DE INICIO DEL SOFTWARE



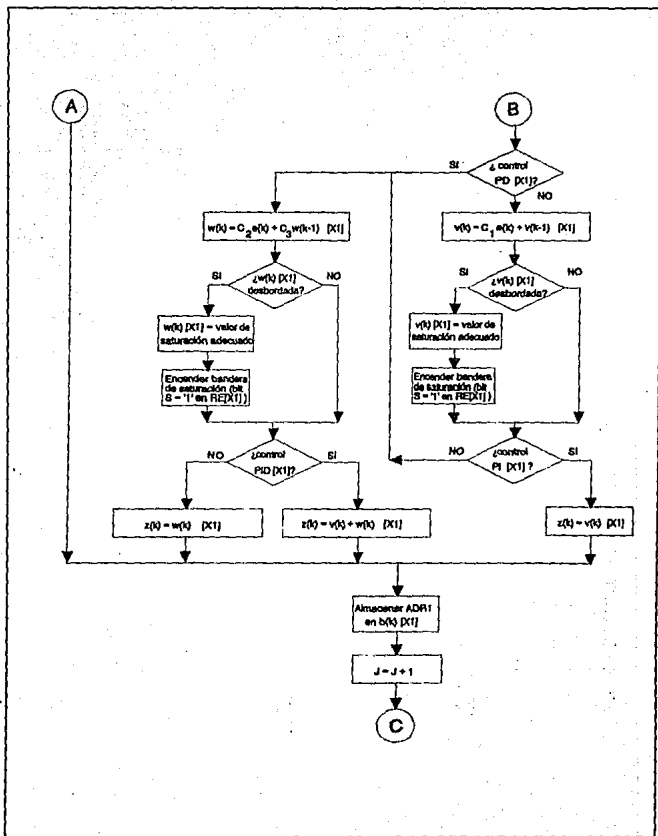
## SUBROUTINA DE REINICIO X



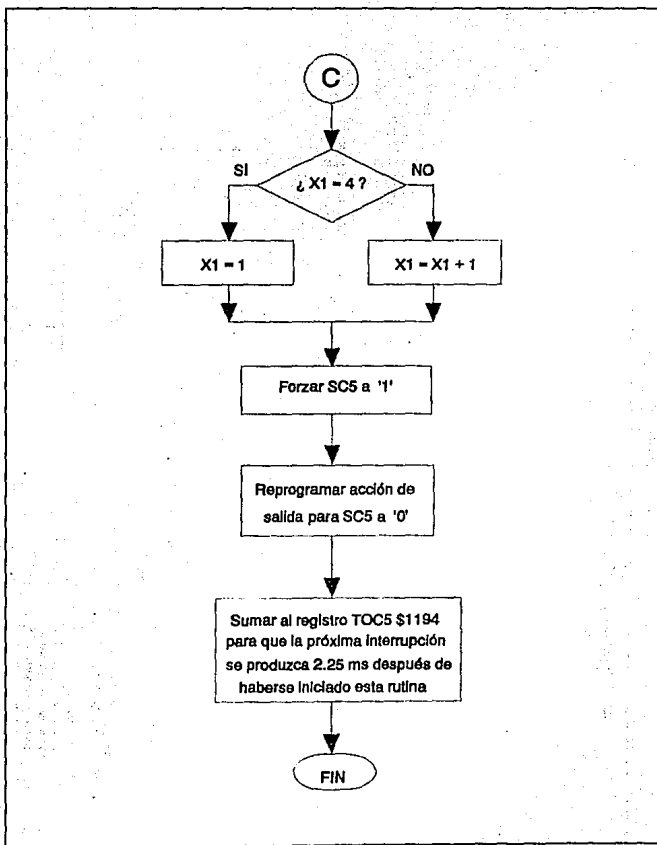
## SUBROUTINA DE APAGADO X



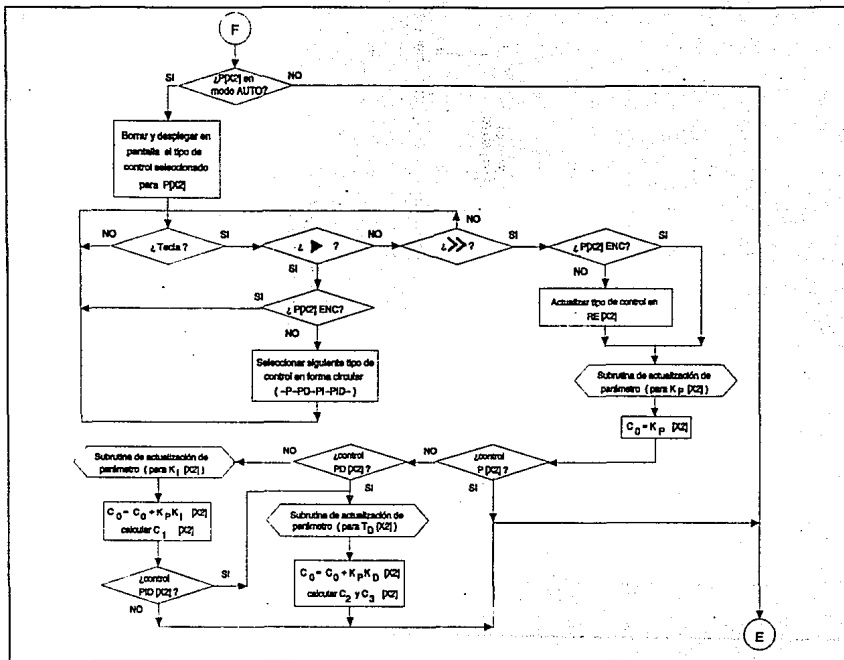


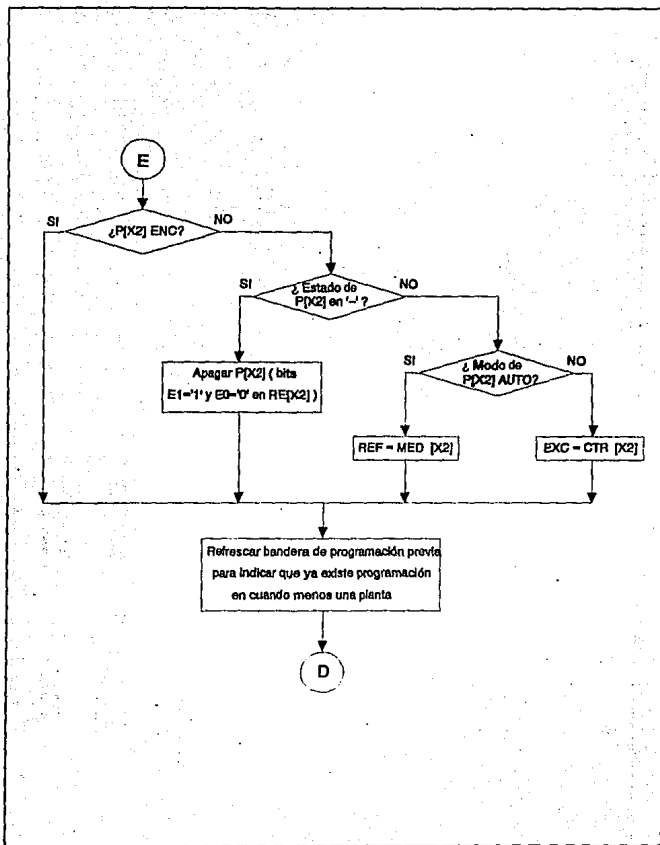




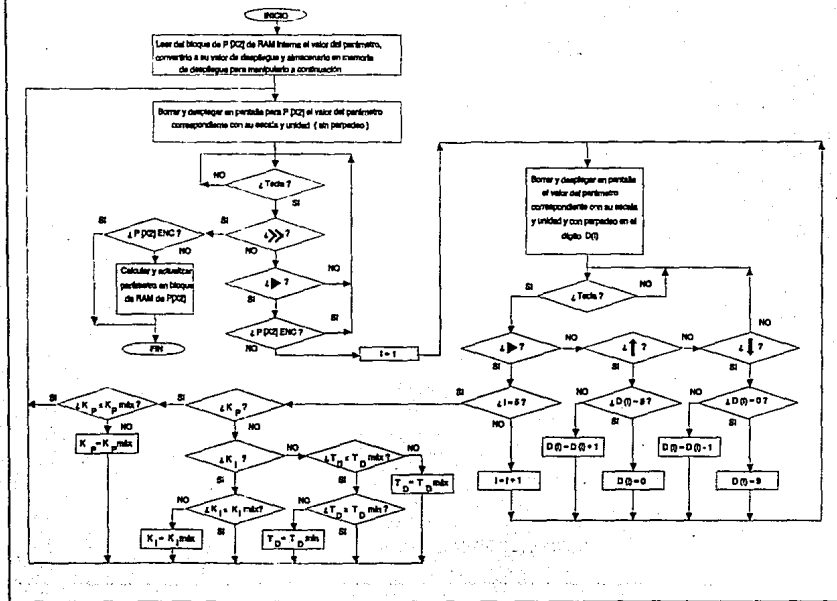




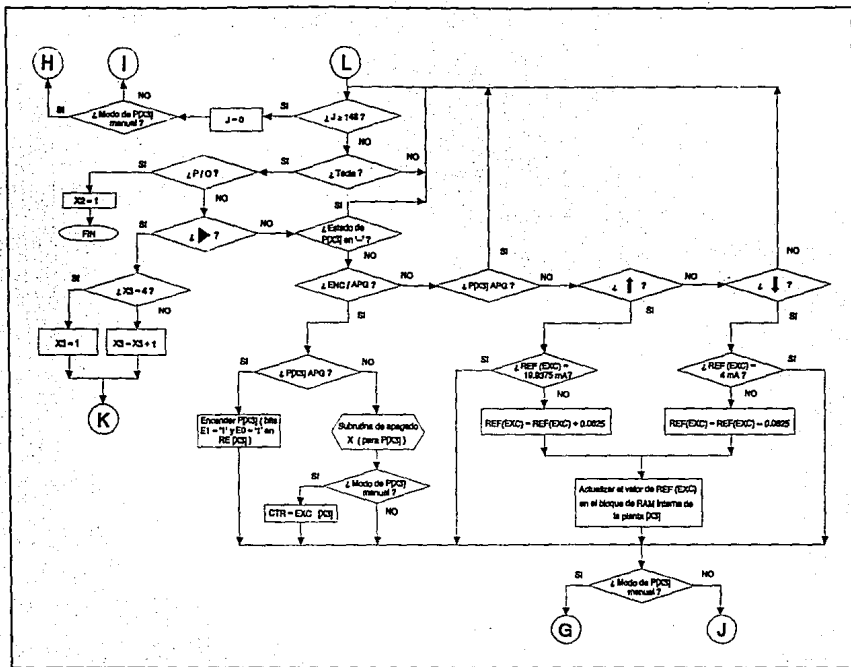




### SUBROUTINA DE ACTUALIZACIÓN DE PARÁMETRO







# CONCLUSIONES



## CONCLUSIONES:

El controlador digital propuesto representa una buena elección para controlar a bajo costo cuatro procesos independientes con todas las ventajas que ofrece el uso del control digital; posee un comportamiento similar al de un controlador proporcional, integral y derivativo analógico, además este controlador incluye control proporcional, proporcional y derivativo, proporcional e integral y control en malla abierta.

Se sugiere que el controlador se aplique a plantas lentas con un ancho de banda de hasta 5 Hz para tener un pequeño deterioro en el margen de fase del sistema; de esta manera puede controlar sin ningún problema temperaturas, niveles, presiones, flujos, etc.. En cualquier caso la planta debe ir acompañada de un circuito actuador que en ocasiones será de potencia y que tendrá como función de transferencia una constante con el valor necesario para brindar una banda proporcional adecuada a cada caso particular; un razonamiento similar debe aplicarse al elemento de medición.

Los métodos de sintonización de un controlador PID sugeridos por Ziegler y Nichols pueden aplicarse sin problemas a este controlador ya que el período de muestreo es relativamente pequeño (9 ms). El período de muestreo constante y uniforme se eligió considerando un defasamiento máximo adicional al introducido por el algoritmo de control de  $15^\circ$  para una señal de entrada de 5 Hz (este valor es inferior a la décima parte del defasamiento crítico de  $180^\circ$ ), y un número máximo de 500 instrucciones para la rutina de servicio a la interrupción (100 instrucciones para la rutina de control y 400 para la rutina de antecedentes).

El teclado del controlador es de manejo sencillo y la pantalla despliega toda la información necesaria para el operador, además se incluyen indicadores luminosos que complementan la comunicación con el usuario.

Para obtener la aproximación discreta de la función de transferencia continua de un controlador PID que incluye filtro en la parte derivativa se escogió la aproximación Tustin para la parte integral y la aproximación rectangular en atraso para la parte derivativa y su filtro con el fin de combinar una aproximación compleja con una función de transferencia sencilla y viceversa; la aproximación rectangular en adelante se desechó para evitar problemas de estabilidad en la parte derivativa con filtro. Se demostró así mismo que la función de transferencia discreta resultante era susceptible de realizarse físicamente y se procedió a elegir el método de programación digital para la misma; el método elegido fue el de programación en paralelo porque en éste se tenían menos operaciones aritméticas en la rutina de servicio a la interrupción y el cálculo de los coeficientes de las ecuaciones en diferencias resultantes es más simple.

En cuanto al software, el diagrama de flujo general fundamentado en el esquema sugerido de distribución temporal del procesamiento (procesa-

miento por tiempo compartido) optimiza tiempos y coordina adecuadamente las acciones que tienen lugar previéndolas de antemano para evitar que en un momento dado el sistema digital no sepa que acción tomar en ciertas circunstancias o bien que una acción afecte desfavorablemente a otra; un ejemplo claro de esto es la característica de interrupción no enmascarable para la atención de las plantas con lo que se asegura que se actualizará la señal de control para cada planta cada período de muestreo independientemente de otros procesos como son la programación de otras plantas, la variación manual de valores de referencia o de excitación etc. Se hace notar que el manejo del teclado se hizo por escrutinio y no mediante el manejo de interrupciones ya que para un estado determinado del controlador sólo ciertas teclas son válidas después de que el procesador a ejecutado las instrucciones necesarias para alcanzarlo, con esto se evita que se atienda al teclado cuando no se necesita información externa y además se simplifica el manejo de interrupciones. El controlador también permite una operación interactiva con el usuario: en el momento que se actualiza el valor de referencia el procesamiento con este nuevo valor se inicia en el período de muestreo inmediato, lo mismo ocurre si se actualiza el valor de excitación, éste pasa a la salida en el siguiente período de muestreo.

El diagrama de flujo está estructurado para que una acción de control simple se ejecute más rápidamente que otra más complicada, esto es con el fin de reducir el tiempo de procesamiento cuando es factible hacerlo.

El empleo de la microcomputadora MC68HC11E9 permite manejar representaciones digitales de todas las cantidades necesarias a la medida con lo que se optimiza espacio de memoria y tiempo para manipularlas aritmética o lógicamente. La determinación del rango y resolución para estas cantidades se hizo detalladamente mencionándose los criterios utilizados hasta llegar a la representación digital adecuada para cada una de ellas, con esto se pudo construir un bloque de RAM interna que contiene toda la información necesaria para la operación de una planta determinada; además para los parámetros de programación  $K_e$ ,  $K_i$  y  $T_i$  se dedujo su resolución decimal con el fin de desplegarlos en pantalla y también el error máximo que se tiene en su representación binaria.

En cuanto al hardware el elemento central lo constituye la microcomputadora MC68HC11E9; debido a su versatilidad y fácil manejo fue posible plantear el diseño del controlador con un procesamiento en tiempo compartido entre las rutinas de servicio a la interrupción no enmascarable y las rutinas de manejo del controlador, y con una multinuclearización por división de tiempo para las señales de entrada y salida con el objeto de controlar prácticamente con el mismo hardware 4 procesos externos independientes, pudiéndose incrementar a 8 en forma relativamente sencilla al hacer los cambios pertinentes en el hardware y software para ajustarse al nuevo período de muestreo.

La razón por la cual se eligió el manejo de señales de corriente como señales de entrada y salida consiste en que una señal de corriente no sufre pérdidas incluso si es enviada a distancias relativamente grandes; el rango considerado para estas señales es de 4 a 20 mA. No obstante fue necesario convertir las señales de corriente de entrada a señales

de tensión dentro del controlador ya que esto permite la operación de muestreo y retención; igualmente las señales de salida fueron de tensión antes de convertirlas a señales de corriente para facilitar el mismo proceso a la salida.

En la interfaz de entrada fueron incorporadas varias protecciones para evitar un daño en los componentes electrónicos del controlador; la primera protección la constituye un diodo de germanio (1N60), el cual permite la circulación de la corriente de entrada en un solo sentido, además si la corriente rebasa un valor de 50 mA, éste actúa como fusible impidiendo el paso de la corriente al filtro de entrada. Otra protección está formada por detectores de nivel con histéresis (para evitar conmutaciones excesivas debidas a la posible presencia de ruido de hasta 34 mV p-p) y por comparadores conectados en forma de detector de ventana; la acción conjunta de estos elementos inhibe el paso de la señal de tensión de entrada al puerto E mediante el uso de compuertas de transmisión sólo en el caso de que se presente una señal de corriente fuera de rango en la entrada; además se enciende un diodo emisor de luz para indicar esta situación.

La interfaz de entrada además incluye un filtro de primer orden para cada entrada que tiene como función disminuir en forma práctica el fenómeno de enmascaramiento en el proceso de muestreo; tomando en cuenta el teorema de muestreo se da una frecuencia de corte igual a la mitad de la frecuencia de muestreo. El defasamiento introducido por este filtro fue considerado dentro del defasamiento máximo permitido para una señal de entrada de 5 Hz. También existe un filtro de primer orden en cada una de las entradas del puerto E de la microcomputadora para reducir el efecto del ruido de alta frecuencia en el proceso de conversión A/D, este filtro está calculado de acuerdo con las indicaciones dadas por el fabricante, sin embargo el defasamiento que introduce en las señales de interés es despreciable.

En el circuito digital principal se incluye una protección para la información contenida en la RAM interna de la microcomputadora que comprende al circuito MAX690 y una batería de Ni-Cd recargable que alimentará a la RAM y a cierta sección del sistema de reinicio interno en caso de que se interrumpa la alimentación normal al sistema; de esta forma todas las programaciones previas no se perderán y se podrá reasumir apropiadamente el control del proceso o de los procesos afectados.

Si la tensión de alimentación cae por debajo de su nivel válido, el contenido del registro CONFIG y el de la memoria EEPROM (si es que lo hay) no se alterará porque se incluye un circuito inhibidor de baja tensión que maneja la terminal *RESET* de la microcomputadora.

Para realizar pruebas a los módulos del sistema e incluso para calibración es posible usar el modo bootstrap de la UMC ya que se incluye una cabeza para puente en la terminal B de selección de modo y un circuito que proporciona la interfaz RS-232 para la conexión de una computadora externa. Añadiendo el software adecuado para manejar la ICS es posible enviar datos hacia afuera con fines de graficación, cualquier otro uso de este subsistema también es posible, nótese que en estos últimos casos el manejo de las interrupciones relacionadas con la ICS no

afectará la rutina de atención a las plantas ya que se trata de la rutina de servicio a una interrupción de mayor prioridad.

En vista de que el convertidor A/D de la microcomputadora es de 8 bits se utiliza esta resolución tanto para señales de entrada como de salida; de esta forma el convertidor D/A externo también es de 8 bits y tiene un tiempo de conversión máximo de  $1\mu s$ , su salida es enviada a la planta correspondiente en el momento adecuado a través de un demultiplicador analógico controlado por la UMC.

La interfaz de salida está diseñada para ser conectada directamente a la entrada de un amplificador operacional que proporcione una tierra virtual, sin embargo se permite que el circuito que se conecte a cualquier salida tenga una impedancia de entrada de hasta 16.22 ohms.

Una de las ventajas más importantes que presentan las interfaces de entrada y salida es la calibración exacta no iterativa de acuerdo con las secuencias sugeridas de ajuste.

El consumo máximo estimado para el controlador digital completo es de 3 W, cantidad que se considera pequeña y que se traduce en un costo mínimo de alimentación.

Para la construcción del prototipo se propone el uso de la microcomputadora MC68HC711E9 que posee una memoria UVEPROM de 12 K en lugar de ROM con el fin de que pueda grabarse el programa total en un laboratorio que posea el equipo adecuado. La microcomputadora MC68HC11E9 se utiliza cuando se desea una fabricación en serie masiva de acuerdo con el fabricante ya que la máscara de la ROM se aplica en la fabricación del circuito.

En cuanto al costo del sistema se tiene que es de aproximadamente 3 veces el costo de la microcomputadora, destacando la pantalla de cristal líquido con un costo comparable al de la microcomputadora.

Finalmente se concluye que este controlador digital cubre todas las especificaciones de diseño propuestas, esta ampliamente documentado y respaldado matemáticamente, y se asegura un funcionamiento adecuado ya que se ha trabajado con circuitos similares en la práctica.

# **BIBLIOGRAFÍA**

## **BIBLIOGRAFÍA:**

Digital Control Systems  
Benjamin C. Kuo  
Holt, Rinehart and Winston Inc.  
1980

Digital Control of Dynamic Systems  
Gene F. Franklin  
J. David Powell  
Michael L. Workman  
Addison-Wesley Publishing Company Inc.  
1990

Computer Controlled Systems  
Theory and Design  
Karl J. Åström  
Björn Wittenmark

HC11  
MC68HC11  
Reference Manual  
Motorola Inc., 1991

Sistemas automáticos de control  
Benjamin C. Kuo  
CECSA 1986

Electrónica teoría de circuitos  
Robert Boylestad  
Louis Nashelsky  
1989

LCD Dot Matrix Modules Manual

Texas Instruments Analog Devices

National Semiconductor Corporation  
CMOS Logic Databook

National Semiconductor Corporation  
Analog Devices.