



**UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO**

FACULTAD DE INGENIERIA

**DISEÑO Y CONSTRUCCION DE UN SISTEMA
ACELEROGRAFICO DIGITAL (SAD), PARA EVALUAR
LA RESPUESTA DINAMICA DE ESTRUCTURAS**

T E S I S
QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA
P R E S E N T A :
LEONARDO JOSE GONZALEZ ALARCON

DIRECTOR DE TESIS: ING. ALEJANDRO JIMENEZ HERNANDEZ



MEXICO, D. F.

1993

**TESIS CON
FALLA DE ORIGEN**



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

INTRODUCCION	1
CAPITULO I	
LA INSTRUMENTACION SISMICA DE ESTRUCTURAS EN MEXICO	4
I.5 - Justificación del proyecto	5
I.2 - Cuál es el origen de los sismos	6
I.3 - Las ondas sísmicas u ondas terrestres	9
I.4 - Los cimientos de la Ciudad de los Palacios	11
I.5 - Antecedentes y desarrollo de la instrumentación de estructuras en México	13
I.6 - Requisitos de la instrumentación de estructuras	14
CAPITULO II	
DEFINICION DE LAS ESPECIFICACIONES DEL SISTEMA	16
II.1 - Concepción global del SADE	17
II.2 - Análisis y comparación de algunos sistemas comerciales	19
II.3 - Requerimientos técnicos de diseño	21
CAPITULO III	
DISEÑO GENERAL DEL SISTEMA	25
III.1 - Concepción funcional del SADE	25
III.1.1 - Análisis funcional del SADE	28
III.1.2 - Estación central de registro	29
III.1.3 - Estaciones sensoras	33
III.2 - Concepción estructural	35
III.2.1 - Arquitectura general del SADE	35
III.2.2 - Estación sensora	36
III.2.3 - Estación central de registro	37

CAPITULO IV	
DESARROLLO DE ELECTRONICA	39
IV.1 - Definición de la red digital de datos	39
IV.2 - Selección de dispositivos	44
IV.2.1 - Selección del microprocesador	44
IV.2.2 - Selección de la memoria de registro	45
IV.2.3 - Selección del reloj de tiempo real	47
IV.3 - Diseño detallado y construcción de las estaciones sensoras	47
IV.3.1 - Descripción de los sensores de aceleración	47
IV.3.2 - Descripción del módulo de acoplamiento analógico	48
IV.3.3 - Diseño y construcción del módulo de proceso digital	49
IV.3.4 - Diseño y construcción del nodo de red	51
IV.3.5 - Descripción del módulo de alimentación	52
IV.4 - Diseño detallado y construcción de la estación central de registro	53
IV.4.1 - Diseño y construcción del módulo de proceso digital	53
IV.4.2 - Descripción del módulo radioreceptor	56
IV.4.3 - Descripción del módulo de alimentación	56
CAPITULO V	
PROGRAMACION DEL SISTEMA	58
V.1 - Programación de las estaciones sensoras	59
V.2 - Programación de la estación central de registro	64
CAPITULO VI	
INSTALACION DEL PROTOTIPO, PRUEBAS Y ANALISIS DE RESULTADOS	69
VI.1 - Descripción de la instalación del prototipo	69
VI.2 - Especificaciones técnicas del prototipo del SADE	72
VI.3 - Análisis de costos	75
CONCLUSIONES	79

COMENTARIOS FINALES

81

APENDICES

83

BIBLIOGRAFIA

134

INTRODUCCION

No resulta novedoso expresar que el territorio mexicano es una zona de alta sismicidad, pudiéndose constatar con los numerosos sismos registrados a lo largo de la historia. En el transcurso de este siglo han ocurrido 39 sismos de magnitud mayor o igual a 7, de ellos 10 de magnitud 7.7 o mayor, y dos (en 1932 y 1985) de más de 8 grados Richter. De hecho, la publicación considerada la máxima autoridad en el tema¹ afirma que "en cuanto a sismos de origen somero (que son los que más pueden afectar las obras de Ingeniería), corresponde a México la sismicidad más alta del Hemisferio Occidente", siendo solamente superado a escala mundial por la de Japón. Por ello no es sorprendente que la Ciudad de México sea considerada por muchos especialistas como la ciudad de mayor riesgo sísmico en el mundo.

Sin embargo, no ha sido hasta después del desastre del 85 cuando se empieza a tomar conciencia de la enorme trascendencia de la sismicidad en el país, apremiada por la inminente ocurrencia de un sismo de proporciones semejantes.

El acontecimiento de aquel 19 de septiembre ha puesto de manifiesto la gran necesidad, no solo de concientizar y capacitar a la población civil para responder con mayor eficacia ante un evento sísmico, sino de examinar múltiples edificios que pudieran ser de alto riesgo, y junto con ello, revisar el reglamento de construcción vigente en el Distrito Federal, el cual subestimaba factores que tuvieron un papel importante en los daños y derrumbes ocurridos. De hecho, los sismos de 1985 dejaron ver diferencias importantes entre el comportamiento real de las estructuras y aquél que teóricamente se preveía, revelando que aún subsisten numerosas y profundas lagunas en el conocimiento del comportamiento dinámico de estructuras.

1) Gutenberg y Richter, 1985.

Los modelos matemáticos que se disponen actualmente para idealizar las estructuras de los edificios son numerosos y algunos de ellos muy sofisticados, gracias a los avances logrados en computación digital. Sin embargo, se han hecho varias suposiciones en el planteamiento de estos modelos sin antes realizar una verificación experimental de las mismas, por lo que en ciertos casos se encuentran discrepancias significativas entre el modelo supuesto y el comportamiento real de las estructuras. Esto muestra que existen notorias incertidumbres para lograr una representación matemática congruente con la respuesta estructural.

Todo lo anterior pone de manifiesto la gran necesidad de medir la respuesta de las estructuras ante vibraciones sísmicas, es decir, de colocar en ellas aparatos cuyo papel sea consignar datos cuantitativos fidedignos sobre su movimiento al presentarse un temblor. Esto es lo que se conoce en el campo de la ingeniería como "instrumentación de estructuras".

De este modo, el contar con registros completos y confiables de cómo se mueve y deforma un edificio al ser sometido a la acción de un sismo fuerte, permitirá calibrar paulatinamente los métodos analíticos de diseño de estructuras y eventualmente, contribuir a la modificación de los reglamentos de construcción. Otro beneficio no menos importante de la instrumentación de estructuras es el medir los parámetros estructurales y estimar su resistencia ante futuros eventos sísmicos, así como diagnosticar el estado de los edificios dañados y la viabilidad de su reparación. Con todo lo anterior se busca finalmente *disminuir el riesgo sísmico* de una ciudad con características tan particulares como la de México.

A pesar de la importancia y necesidad que se ha visto de la instrumentación de estructuras, son apenas una decena de edificios los que actualmente se encuentran instrumentados en México, de manera que la información que se llega a recopilar para tales fines durante un temblor es sumamente limitada.

Esto contrasta fuertemente con el número de edificios instrumentados en países como E.U. y Japón ubicados también en zonas de alta sismicidad. En Japón, por ejemplo, se tienen -hasta 1988- mas de 2,000 aparatos de registro sísmico, de los cuales el 57% están colocados en edificios. En E.U. hay cerca de 400 edificios con equipos de registro sísmico. Esto deja ver la importancia que en tales países se le ha dado a la instrumentación de estructuras.

Desde luego, un factor a considerar y que es una de las principales razones por las que en México no se han instrumentado un número adecuado de edificios son los elevados precios de los equipos de registro sísmico, así como los altos costos de operación y mantenimiento.

Como una respuesta a este problema, el Centro de Instrumentación y Registro Sísmico, patrocinado por el Departamento del Distrito Federal, se dio a la tarea de desarrollar un sistema de adquisición de datos acelerométricos de bajo costo, de manera que al contar con un equipo de instrumentación sísmica para estructuras económico y de fácil mantenimiento, permita aumentar significativamente el número de estructuras instrumentadas.

De este modo, el presente trabajo de tesis describe el diseño y construcción del prototipo del sistema denominado "Sistema Acelerométrico Digital para Estructuras (SADE)", desarrollándose en seis capítulos; en el capítulo I, después de presentar la justificación del proyecto, se busca dar una visión global del problema revisando algunos aspectos que, aunque no son propiamente parte del problema técnico, proporcionan una mejor comprensión del mismo. En este mismo capítulo se presentan los requisitos que debe cumplir el equipo de instrumentación -desde el punto de vista de la ingeniería civil- para que los registros sean realmente útiles y confiables. En el capítulo II se establece la metodología adoptada para el diseño y construcción del primer prototipo del SADE, iniciando con la definición de los objetivos del proyecto, así como los requerimientos técnicos y económicos que el prototipo debe cubrir. En este mismo capítulo se comparan algunos equipos comerciales con objeto de conocer lo que en este campo se ofrece en el mercado. En el capítulo III se desarrolla el diseño conceptual del sistema a través de la descripción funcional y de la definición estructural del mismo, tal como lo propone la metodología adoptada. Finalmente en los capítulos IV y V se describe la implementación detallada tanto de la circuitería -capítulo IV- como de la programación del sistema -capítulo V-, para así, en el capítulo VI describir la integración y pruebas del primer prototipo.

CAPITULO I

LA INSTRUMENTACION SISMICA DE ESTRUCTURAS EN MEXICO

Ante los innumerables problemas que vive el mundo actual, en los que requieren muchos de ellos de la participación de la ingeniería en la búsqueda de alternativas de solución e inmersos en una sociedad cada vez más tecnificada donde la especialización en las diferentes ramas del conocimiento parece cada vez más indispensable, se corre el peligro de ver y enfrentar la realidad con un enfoque limitado y muy parcial.

En nuestro caso, hay el riesgo de ver los problemas de ingeniería únicamente desde la dificultad técnica que representan, sin considerar otros factores que influyen o que pueden llegar a ser determinantes. O bien, aunque el omitirlos no llegue a representar una deficiencia en la solución propuesta, el conocer los aspectos no técnicos nos llevaría a una mejor comprensión del problema.

Por ello, en el desarrollo del presente trabajo se considera importante revisar en primer término una serie de aspectos que ayudan a contextualizar y ubicar la instrumentación de estructuras desde una perspectiva más global. En otras palabras, antes de plantearse la forma como se busca medir y registrar el movimiento de un edificio o estructura sujeta a vibraciones sísmicas, bien cabe preguntarse el por qué de los sismos y cuál es su origen, cuáles son los tipos y características de las ondas generadas por un temblor, cómo es que llegan a tener consecuencias tan desastrosas aún cuando se originen a más de trescientos kilómetros de distancia del Valle de México, qué se ha hecho al respecto y porqué puede llegar a ser tan importante medir el movimiento de un edificio durante un temblor.

El presente capítulo se inicia con la justificación del proyecto, la cual, aunque se da de alguna forma en la Introducción de la Tesis, se considera importante presentarla de manera explícita pues contiene las motivaciones que fundamentan todo este proyecto. En las siguientes secciones se explican brevemente las causas que originan los sismos y los tipos de onda terrestres que generan. Se revisa el subsuelo de la ciudad de México para comprender el por qué de la intensificación de las ondas sísmicas en el Valle y se hace un resumen del desarrollo de la instrumentación sísmica en el D.F. y en particular de la instrumentación de estructuras. Finalmente, se listan los requisitos que debe cumplir la instrumentación para obtener registros del movimiento completos y confiables.

I.1 - Justificación del proyecto

Hablar de la justificación del presente proyecto, requiere básicamente responder tres preguntas fundamentales: i) ¿Qué utilidad tiene la instrumentación de una estructura o edificio de forma que se puedan conocer las aceleraciones en tal estructura al momento en que está ocurriendo un sismo?, ii) ¿Qué tan necesaria es dicha instrumentación? y iii) ¿Qué tan viable es el diseño y construcción de un nuevo sistema de instrumentación para estructuras (tanto técnica como económicamente)?

En la Introducción a este trabajo se responden de hecho las primeras dos preguntas, sin embargo, sintetizando lo ahí expuesto y respondiendo a la última pregunta, se proporcionan cuatro razones para justificar el proyecto:

- 1.- La primera y principal razón de la instrumentación de estructuras es contribuir a la disminución del riesgo sísmico de la Ciudad de México ante eventos telúricos, siendo nuestra Ciudad considerada por muchos como la más peligrosa mundialmente en este sentido.
- 2.- Los modelos matemáticos que se disponen actualmente para el diseño estructural, han sido desarrollados haciendo varias suposiciones en el planteamiento sin antes realizar una verificación experimental de las mismas, encontrándose discrepancias significativas entre el modelo supuesto y el comportamiento real de las estructuras. Por lo tanto, si se cuentan con registros completos y confiables de cómo se mueve y deforma una estructura sometida a la acción de un sismo, permitirá calibrar paulatinamente los modelos analíticos de diseño y hacer, eventualmente, recomendaciones para mejorar los reglamentos de construcción vigentes.

- 3.- Estimar la resistencia sísmica de los edificios existentes, así como diagnosticar el estado de los edificios dañados y la viabilidad de su reparación.
- 4.- El instrumentar un edificio en México con equipos comerciales importados¹ representa un elevado costo en la adquisición, instalación y mantenimiento del mismo, provocando que el número de edificios instrumentados sea muy limitado. Por ello, resulta necesario desarrollar un sistema significativamente más económico, de manera que permita incrementar los edificios con equipo de registro sísmico en el Distrito Federal.

En lo que se refiere a la viabilidad del proyecto, sería por demás hablar de las posibilidades técnicas para la construcción de un equipo de instrumentación sísmica, faltando por ver a qué precio es posible desarrollarlo y si se puede ofrecer suficientemente más económico a los que encontramos actualmente en el mercado. Este es precisamente uno de los objetivos del proyecto -que se presentarán en el capítulo II- y que habrá que verificarlo en las conclusiones finales.

1.2 - Cuál es el origen de los sismos

Un sismo o temblor puede definirse como una vibración de tierra generada por distintas causas, dividiéndose según su origen en dos grupos: i) sismos de origen local y ii) sismos de origen tectónico.

Los sismos de origen local son generados principalmente por actividad volcánica, por pequeños acomodamientos de tierra o por colapsos en cavernas o minas, y en general son poco destructivos salvo los casos donde la corta distancia del origen a las zonas urbanas llega a causar desgracias de consideración.

En México, a pesar de encontrarse inserto en una de las zonas de mayor actividad volcánica, son los sismos de origen tectónico la principal causa de movimientos telúricos en nuestro territorio. Estos liberan aproximadamente un 3% de la energía sísmica mundial, ocurriendo en promedio un sismo de magnitud mayor a 7 grados Richter cada dos años y medio, y en lo que va del siglo han ocurrido cinco de magnitud mayor o igual a ocho. Ahora bien, cómo es que se originan los sismos tectónicos y de dónde obtienen la enorme energía que liberan.

1) A nivel comercial, los equipos de registro sísmico que se ofrecen son de fabricación extranjera.

Hasta hace apenas unos años, alrededor de 1967 en que se desarrolló la teoría de la tectónica de placas, se revolucionó la ciencia de la geología y las teorías que intentaban explicar las causas que originan los sismos. Gracias a la tecnología moderna, que ha permitido medir el lento movimiento del suelo y en especial del suelo marino, se descubrió que la corteza terrestre no era una capa sólida y uniforme como se creía, sino que está constituida por una serie de placas relativamente rígidas que presentan movimiento relativo entre ellas. Actualmente se sabe que la corteza terrestre está constituida por seis placas principales y seis placas menores.

De este modo, los sismos de origen tectónico son generados por el desplazamiento relativo entre las diferentes placas, el cual no es uniforme sino a través de acomodamientos periódicos, dando lugar a los sismos. Pero... cómo es que una placa puede llegar a desplazarse y de dónde obtiene la tremenda energía para ello.

De acuerdo con las investigaciones realizadas principalmente durante este siglo, la masa de la tierra está constituida o estratificada por tres capas principales y concéntricas: la corteza terrestre, el manto y el núcleo. La primera constituye la parte más superficial del planeta y su espesor es relativamente delgado con relación al radio de la tierra. Podría compararse al cascarón de un huevo, siendo una capa sumamente compacta y dura. Esta capa, que abarca tanto los continentes como el fondo de los océanos, no está formada de una sola pieza -como ya se comentó- sino por varias placas independientes entre sí, conocidas como placas tectónicas. Bajo la corteza se encuentra lo que se conoce como el manto, constituido principalmente por material rocoso en estado de semifluido.

En las zonas donde el espesor de la litósfera es menor, en general en el fondo de los océanos, fluye hacia arriba y a través de las discontinuidades entre las placas, el magma que se encuentra a presión y en estado líquido bajo la litósfera. De esta manera, el nuevo material que sale del interior del planeta desplaza lentamente al material de la placa que anteriormente ocupaba ese espacio, teniéndose forzosamente que destruir, por otro lado, una parte de las placas por la superficie que se ha creado -ya que la superficie de la tierra es constante-. Esto ocasiona que una placa se deslice sobre otra, o bien, que una placa se meta debajo de otra; a este último caso se le conoce como subducción.

El territorio mexicano (incluyendo sus áreas marítimas) se encuentra sobre cinco placas tectónicas (ver figura 1.1); la norteamericana, del Pacífico, de Cocos, del Caribe y la placa de Rivera. Sobre esta última existe una abierta polémica entre los especialistas en

considerarla como placa o como falla geológica, sin embargo, juega un papel central en la evolución dinámica del Pacífico.

La placa de Cocos, que se extiende desde la costa de Colima hasta Centro América, en el Océano Pacífico, y hacia el sur hasta la isla de Cocos muy cerca del ecuador (ocupando un área de 1,900,000 Km²), se mete debajo de la placa continental (o subduce a la placa continental) como se muestra gráficamente en la figura 1.2. Dicha placa se desplaza con respecto a la placa Norteamericana a una velocidad promedio de 6 a 7 centímetros por año, el cual no se realiza de manera continua, sino mediante movimientos periódicos o brinco, dando origen a los fuertes temblores donde se libera la enorme energía acumulada durante años entre las placas.



Figura 1.1 - Placas tectónicas sobre las que se encuentra el territorio mexicano.

La placa de Cocos no es la única responsable de los sismos que afectan al territorio mexicano; al norte, la conocida falla de San Andrés es generada por el desplazamiento lateral entre la placa del Pacífico y la Norteamericana. En la costa de Jalisco la placa de Rivera, que también presenta un fenómeno de subducción con la placa continental, es una importante causa de sismos en esa región del país. Por otro lado, el sureste de Chiapas, junto con Guatemala, Honduras y Nicaragua, comenzaron a separarse de las actuales costas del sur de México hace unos 30 millones de años y continúan su movimiento hacia el Caribe. Sin embargo, para la capital de la República los

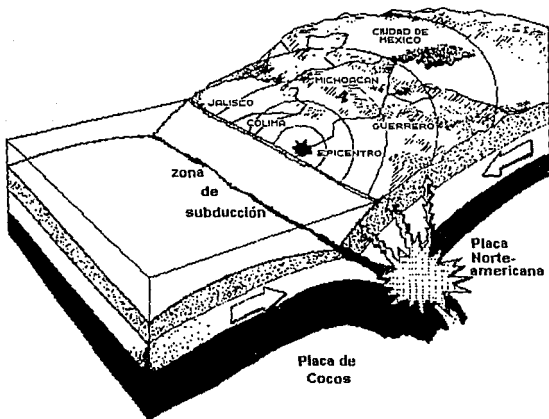


Figura 1.2 - Fenómeno de subducción de la placa de Cocos con la placa Norteamericana.

sismos de mayor riesgo son los generados por la placa de Cocos en las costas de Michoacán, Guerrero y Oaxaca.

En la zona de contacto entre dos placas se va acumulando gradualmente una enorme tensión, hasta que se rebasa el límite elástico del subsuelo. Es en este momento cuando se produce una ruptura o falla del terreno al desplazarse una placa con respecto a la otra, de manera que la Tierra es puesta en vibración. Por lo tanto, los temblores actúan como fuentes de ondas sísmicas u ondas terrestres.

1.3 - Las ondas sísmicas u ondas terrestres

Siendo el objetivo del proyecto la obtención de acelerogramas para el análisis de la respuesta dinámica de estructuras, es importante describir en forma breve los diferentes tipos de onda terrestres que se generan en un sismo y cómo estas aparecen en un acelerograma.

Cuando ocurre un sismo se generan dos tipos de ondas terrestres: 1) las ondas de cuerpo que viajan en el interior de la masa terrestre donde se generan y 2) las ondas superficiales, que se transmiten únicamente a lo largo de la superficie.

Las ondas de cuerpo, que se propagan en dirección radial al foco del sismo, son a su vez de dos tipos generales: ondas de compresión o longitudinales y ondas de corte o transversales. Las ondas de compresión se mueven longitudinalmente a su dirección de propagación y se desplazan a mayor velocidad que las ondas de corte, a razón de 7 a 13 Km por segundo dependiendo de la densidad y constantes elásticas del medio donde se propaguen.

Por otro lado, las ondas de corte (que se propagan únicamente a través de sólidos) se mueven transversalmente a su dirección de propagación y se desplazan a 4 Km por segundo aproximadamente a través de las capas exteriores de la tierra y será mayor, en tanto las capas sean más profundas. Estas, junto con las ondas superficiales, poseen un mayor contenido de energía, por lo que son más destructivas que las ondas de compresión.

Debido a que las ondas de compresión (o longitudinales) son las primeras en llegar a una estación sísmológica se les llama ondas "P" o "primarias". Por la misma razón, a las ondas de corte se les llama ondas "S" o "secundarias". En la figura 1.3 se muestra un acelerograma típico donde se aprecia claramente el arribo de las ondas P y las ondas S. Ambas viajan desde el foco del sismo (donde se originó la ruptura) a través del interior de la tierra hasta la estación de registro.

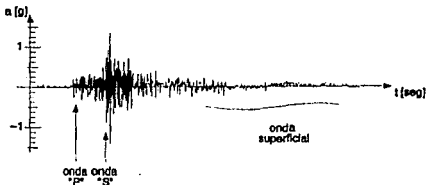


Figura 1.3 - Acelerograma de un sismo típico.

Las ondas superficiales se originan cuando las ondas de corte inciden sobre la superficie, generando un tipo de ondas semejante a las que se crea sobre el agua de un estanque cuando arrojamamos una piedra. Estas ondas se forman en el área cercana situada encima del foco y viajan a una velocidad menor que las ondas de cuerpo. Sus amplitudes son mayores y con periodos mucho más largos (que pueden ser de hasta medio minuto), siendo en general las más destructivas durante un evento sísmico. En la figura 1.3 se aprecia también el arribo de las ondas superficiales a una estación sismológica. Cuando el foco del sismo ocurre cerca de una estación (menor a 25 Km), las ondas superficiales no llegan a presentarse en los sismogramas o acelerogramas.

1.4 - Los cimientos de la Ciudad de los Palacios

Pasemos ahora a revisar en forma muy breve la constitución y características del subsuelo del Valle de México y el por qué los efectos tan desastrosos de los sismos en la zona metropolitana.

Es conocido por todos que la ciudad de México fue fundada por los Mexicas en un pequeño islote -en el año de 1325- dentro de uno de los cinco lagos que cubrían entonces todo el Valle de México, llegando a ser en poco tiempo la gran Tenochtitlan. Durante su apogeo, se comunicaban con las riveras del lago por medio de anchas calzadas, contando también con una red de canales que permitía el tránsito a través de canoas; construyeron una albarrada o represa que impedía que el agua salada de Texcoco se mezclara con el agua potable de los lagos de Xochimilco y Chalco, a la vez que un acueducto que venía de Chapultepec surtía de agua dulce a la ciudad, en donde también había fuentes públicas, drenajes y otras obras urbanas importantes.

Con la llegada de los españoles y la conquista de Tenochtitlan, la Gran Ciudad y todo el Valle de México, inició un proceso de decaimiento después de un difícil y vergonzoso periodo de conquista y destrucción. De esta manera, el gran lago del Valle de México fue secado, iniciándose la expansión de la ciudad sobre la anterior zona lacustre.

Así pues, el comportamiento actual del subsuelo del Valle de México parece que no se debe simplemente a que la ciudad haya sido construida sobre una zona lacustre. Según numerosos estudios sobre el subsuelo de la Ciudad de México, está conformado por una capa de roca basal e ígnea que se depositó al fondo de la cuenca alrededor de

la era Cuaternaria a causa de las constantes erupciones de los volcanes que rodean lo que actualmente es el Valle de México. Este basamento de rocas volcánicas simula una gran olla sobre la que se fueron depositando arcillas, arenas, limos y otros materiales durante diferentes épocas geológicas. El desentrañar los estratos de sedimentos hasta la roca basal, ha sido tarea de años y hasta ahora se fundamenta en muchas suposiciones. Por ejemplo, en la zona de Texcoco existe un pozo con 2,065 metros de profundidad y no toca la roca basal, lo que lleva a los investigadores a inferir que los sedimentos en el Valle rebasan los dos mil metros de profundidad.

Actualmente tenemos un subsuelo -principalmente en el centro del Valle- conformado por sedimentos fangosos de arcilla y otros materiales con un alto contenido de agua, formándose en el transcurso de milenios mantos acuíferos a muy diferentes profundidades. De este modo, el hecho de que el subsuelo esté constituido por una profunda capa de sedimentos saturados de agua, hacen que se comporte como una gelatina sobre una mesa; cuando la mesa es golpeada, aunque el movimiento en ella sea casi imperceptible, la gelatina vibra visiblemente durante un periodo mayor. Esto explica el hecho de que en la colonia donde se ubica la SCT se hayan presentado aceleraciones 5 o 6 veces mayores a las que se presentaron en Ciudad Universitaria durante el sismo del 19 de septiembre.

Así también, el suelo del centro de la Ciudad de México, constituido como ya vimos, de estratos arcillosos extraordinariamente deformables que descansan a distintas profundidades en depósitos más rígidos, es una estructura que, en amplias zonas, vibra con un período natural cercano a los dos segundos. Cuando es excitado por ondas que tienen también un periodo natural dominante de dos segundos (como el de los sismos que, originados en la costa del Pacífico, se hacen sentir en el Valle de México), se entra a una condición cercana a la resonancia, produciéndose amplificaciones notables en la superficie del terreno. De este modo, aquellos edificios construidos en esta zona y que tengan también un periodo fundamental de vibración similar al del suelo, amplifican aún más el movimiento, llegándose, en algunos casos, a condiciones que difícilmente pueden resistir, aún cuando tenga una resistencia notablemente mayor a la reglamentada.

1.5 - Antecedentes y desarrollo de la instrumentación de estructuras en México

La medición de temblores por medio de instrumentos se inició en México a fines del siglo pasado, cuando se instaló en el Observatorio Meteorológico Central un sismógrafo del Padre Sechi. Por ese tiempo, Juan Orozco y Berra se dedicó a observar estos fenómenos y a formar estadísticas, reuniendo importantes datos de temblores desde los tiempos precolombinos. Sin embargo, no fue hasta el 5 de septiembre de 1910 cuando por decreto presidencial se creó e inauguró el Servicio Sismológico Nacional, como parte de los festejos conmemorativos del primer centenario del inicio de la Independencia. Dicho servicio dependía del Instituto Geológico Nacional.

La red inicial estuvo constituida por el Observatorio Central de Tacubaya y otras estaciones ubicadas en Oaxaca, Mérida, Zacatecas, Mazatlán, Guadalajara y Monterrey. Se eligieron como sensores los sismógrafos Wiecherte de periodo corto. Estos sismógrafos, con algunas modificaciones y mejoras continúan operando.

Alrededor de 1966 se instalaron estaciones de mayor sensibilidad en Tehuantepec, Toluca, Presa Mal Paso y Ciudad Universitaria, entre otras. También se instaló por 1970 una red de estaciones en el noreste, con el fin de observar la actividad sísmica del Golfo de California.

A partir de la década de los 70's se dio un fuerte impulso al estudio de la sismología en México, creándose por parte de la Universidad Nacional Autónoma de México principalmente, instituciones o proyectos con el objetivo de canalizar las investigaciones en este ramo. Actualmente están el Instituto de Geofísica que, además de realizar labores de investigación, tiene a su cargo el Servicio Sismológico (siendo este el vocero oficial de la UNAM en la divulgación de los parámetros de los sismos) y la Red Sísmica de Apertura Continental (RESMAC); el Instituto de Ingeniería, que enfoca su trabajo principalmente a problemas de riesgo sísmico, maneja la red SISMEX de estaciones telemétricas, así como una red de acelerómetros de suelo en el Distrito Federal; y finalmente, el Centro de Investigación Científica y de Educación Superior de Ensenada (CICESE), que está a cargo de la Red Sismológica del Noreste (RESNOR).

Después de los sismos del 85, la Fundación Javier Barros Sierra, a través del Centro de Instrumentación y Registro Sísmico (CIRES), instaló una amplia red de acelerómetros en todo el Valle de México. Del mismo modo, la fundación ICA instaló su

propia red de acelerómetros, la cual, hasta hace apenas unos meses, se puso a cargo del CIRES.

En lo que se refiere a la instrumentación de estructuras y en particular, a la instrumentación de edificios en el Valle de México, los antecedentes son mucho más recientes. El primer edificio instrumentado fue la Torre Latinoamericana, a cargo del Dr. Leonardo Zevar, quien presentó los primeros resultados en el Congreso Mundial de Chile en 1962. Mas tarde, fue instrumentado temporalmente el edificio de Nonoalco del que se obtuvieron algunos registros. Sin embargo, fue hasta después 1985 cuando se le dio más importancia a la instrumentación sísmica de estructuras. En 1987 la Fundación Javier Barros Sierra instrumentó por un periodo relativamente corto sus propias instalaciones y la Secundaria Tres. Posteriormente, la Fundación ICA instrumentó un edificio y el Instituto de Ingeniería instrumentó los edificios de Plaza Córdoba, metro Juárez y el ubicado en la calle de Juárez No. 15 -de la colonia Roma-. A finales de los 80's, el recientemente creado Centro Nacional de Prevención de Desastres (CENAPRED) instrumentó el edificio del Instituto Mexicano del Petróleo (IMP) y la Unidad Kennedy. Por su parte, Petróleos Mexicanos instaló equipos de registro sísmico en la Torre de PEMEX.

Cabe mencionar que algunas de los edificios mencionados fueron instrumentados temporalmente, es decir, durante el periodo de estudio, por lo que son apenas una decena de edificios los que actualmente se encuentran instrumentados en el Valle de México.

1.6 - Requisitos de la instrumentación de estructuras

El sistema de instrumentación de estructuras debe cubrir una serie de requisitos desde el punto de vista de la ingeniería civil, para que los datos obtenidos sean verdaderamente útiles al examinar la respuesta sísmica de una estructura. De acuerdo con lo expuesto por el Ing. Jorge Prince en una de sus publicaciones², son básicamente tres:

- 1.- Si se piensa en un edificio típico de menos de 10 pisos y características comunes en la ciudad de México, en general se requiere del registro del movimiento a lo

2) RETO SISMICO, publicación de Teléfonos de México Ed. IDH, 1988
"Instrumentación Sísmica de Edificios de Teléfonos de México", Jorge Prince.

largo de unos 15 ejes, de manera que la instrumentación debe contar con suficientes sensores para ello.

- 2.- Para estudiar la evolución del movimiento y las deformaciones en la estructura durante el tiempo que duran los efectos del temblor, debe tenerse una buena sincronía entre los datos generados en diversos puntos de la estructura, de tal manera que todos los acelerogramas obtenidos sean directamente comparables. Esto requiere registro centralizado con marcas precisas de tiempo o que dichas marcas sean comunes a todos los registradores.
- 3.- Se debe contar con el registro del movimiento desde su inicio, aún poco antes de que sean registradas las primeras ondas sísmicas; es decir, contar con lo que se llama "memoria de preevento".

CAPITULO II

DEFINICION DE LAS ESPECIFICACIONES DEL SISTEMA

Con este capítulo se inicia propiamente el desarrollo del Sistema Acelerométrico Digital para Estructuras (SADE), requiriendo adoptar una metodología específica que conduzca todo el proceso hasta la obtención del producto final.

A pesar de que en los últimos años se han desarrollado y publicado un sinnúmero de trabajos sobre el problema metodológico que plantea la solución de problemas cada vez más complejos, existe todavía una brecha importante entre los métodos desarrollados y el empleo de los mismos, ya sea por la falta de conocimiento de quienes debieran aplicarlos o por la complejidad de los métodos o técnicas propuestos. Como un esfuerzo para disminuir esta brecha, aplicando métodos recientes en la solución de problemas, se toma el esquema propuesto por el Ing. Arturo Fuentes Zenón¹ para el diseño y desarrollo del SADE. Este esquema, basado en el enfoque sistémico, construye el modelo conceptual a partir de tres distintas concepciones de sistema desarrollando cada una en una etapa distinta. En la figura 2.1 se muestra el esquema propuesto, adaptado para los propósitos del presente proyecto².

Con el esquema metodológico propuesto se busca, sin perder de vista los objetivos que se persiguen, desarrollar el sistema inicialmente desde su concepción más general hasta el detalle necesario que lleve, de una manera natural, a la implementación concreta del mismo.

-
- 1) El Enfoque de Sistemas en la Solución de Problemas. Cuadernos de Planeación y Sistemas. Facultad de Ingeniería, U.N.A.M.
 - 2) En este trabajo, la concepción de "caja negra" se denominará concepción global.

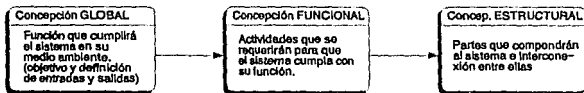


Figura 2.1 - Esquema metodológico de diseño.

En este capítulo se aborda la primera etapa del esquema metodológico definiendo el objetivo general del proyecto y los objetivos particulares, así como definir los requerimientos técnicos y económicos que el SADE debe cubrir. Antes de esto último, se analizan y comparan algunos equipos comerciales con objeto de conocer lo que en este campo se ha desarrollado y tener así una referencia para el diseño del SADE.

II.1 - Concepción global del SADE

La metodología adoptada propone en primer lugar analizar el SADE desde su concepción global, es decir, establecer con claridad la función que dicho sistema debe cumplir en su medio ambiente así como identificar las entradas y salidas del mismo. En este primer nivel de análisis no se describe el proceso que sobre las entradas se debe realizar para obtener las salidas deseadas.

Para establecer la función que el SADE debe cumplir en su entorno, se definen a continuación el objetivo general y los objetivos específicos del proyecto. El objetivo general es el siguiente:

"Diseñar y construir el prototipo de un sistema acelerométrico para evaluar la respuesta dinámica de estructuras sujetas a la acción de sismos dentro del Valle de México".

En consecuencia con el objetivo general y a partir de los requisitos que debe cubrir la instrumentación de una estructura para que los registros obtenidos sean realmente útiles³ se definen cuatro objetivos específicos, los cuales se listan a continuación:

- 1.- El SADE debe de ser capaz de medir simultáneamente el movimiento en diferentes puntos de una estructura o edificio durante un sismo. El número de puntos

3) Cfr. Capítulo I, "Requisitos de la Instrumentación".

dependerá del tamaño de la estructura y de las limitaciones que imponga el sistema.

- 2.- El almacenamiento de las mediciones obtenidas por los diferentes sensores deberá ser efectuado en tiempo real (al momento en que está ocurriendo un sismo) en una memoria central. Por lo tanto, todos los sensores deben de estar permanentemente conectados a un dispositivo central de almacenamiento.
- 3.- El sistema debe ser capaz de sincronizar sus registros con la red de acelerógrafos del Distrito Federal a cargo del Centro de Instrumentación y Registro Sísmico (CIRES) mediante la señal de radio transmitida por el Sistema de Alerta Sísmica (SAS) en el Valle de México.
- 4.- El sistema debe ser técnica y económicamente competitivo ante los diferentes fabricantes de equipo de registro sísmico.

La forma de representación típica de la concepción global es a través de la *caja negra*, donde se indican únicamente las entradas y salidas del sistema; para el SADE esta representación se muestra en la figura 2.2..

Como se aprecia en la figura, el SADE recibe como entradas las señales de aceleración que en distintos puntos de una estructura miden los sensores acelerométricos, las que procesa para proporcionar como salida el registro de la aceleración en formato digital. De esta manera, los registros obtenidos pueden ser posteriormente analizados por computadora.

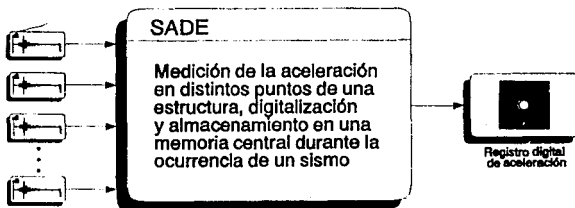


Figura 2.2 - Representación de la concepción global.

II.2 - Análisis y comparación de algunos sistemas comerciales

Actualmente encontramos en el mercado una amplia variedad de equipos de detección y registro sísmico de fabricantes diversos. No se pretende en este análisis presentar y comparar todos los equipos disponibles comercialmente, ya que independientemente de las particularidades de cada uno, sus características generales son semejantes. Se toman únicamente tres equipos acelerométricos digitales de diferentes fabricantes, haciendo un cuadro comparativo de sus características más relevantes junto con el costo del mismo a fines de 1991. Los equipos considerados son los siguientes:

- 1) DCA-333 de Terra Technology
- 2) SSA-2 de Kinemetrics
- 3) DR-200 de Sprengnether

De acuerdo con la tabla 2.1, se puede decir que el costo por punto de medición es superior a los 4,500 dólares, sin considerar los gastos de instalación del equipo. Esto significa que instrumentar una estructura implica una fuerte inversión, la que pocos propietarios están dispuestos o pueden hacer a pesar de la gran necesidad que de ello existe.

Como ya se mencionó, solamente se ha tomado como punto de comparación el costo del equipo puesto en fábrica sin considerar los costos adicionales que requiere la instrumentación de un edificio en México, como son, además de los gastos de instalación, aranceles de importación, tarifas aduanales y en algunos casos viajes al extranjero para inspección y aprobación del equipo. Un ejemplo concreto lo tenemos en la instrumentación del conjunto Plaza Inn en Insurgentes San Angel, realizada por el CIRES durante 1991. En el apéndice 'A' se muestra un resumen de la cotización que se presentó en julio de 1990. En ella se puede observar que el costo total cotizado en 341,502 millones de pesos, no incluye aranceles de importación, gastos aduanales, ni el IVA, estimados en un 40% del total. Aunque estos gastos lleguen a reducirse por los cambios que en materia económica está realizando la actual administración de gobierno⁴, el solo valor de los equipos puestos en fábrica representa una inversión importante.

⁴) Firma del tratado de libre comercio (TLC).

	DCA-333 Terra Technology	SSA-2 Kinematics	DR-200 Sprengnother
Sensor y acondicionamiento de señal			
Tipo	servo de fuerza balanceada	servo de fuerza balanceada	servo de fuerza balanceada (accesorio)
Número	1 triaxial	1 triaxial	1 a 4 canales de ent.
Rango	± 1 g	± 2 g	-----
Amplificación	0.7 ± 0.1	0.7	-----
Ancho de banda	0 a 30 Hz	0 a 50 Hz	0 a 0.25 - 200 Hz
Muestreo y conversión			
Frec. de muestreo	100 mps	200 mps	200 mps (c/3 canales)
Resolución	12 bits	12 bits	12 bits
Ganancia	unitaria	1, 2, 4 u 8 ajustable	0, 12, 24, 36 dB autoajust.
Disparo y almacenamiento			
Disparo	int./ext.	int.	int./ext.
Tpo. preevento	4 segs.	0 a 15, pasos de 1 seg.	200 a 4,096 muestras
Tpo. postevento	15 segs.	10, 15, 30, 60, 90 segs.	1 a 1,000 segs.
Capacidad de almacen.	32 min. por 512 kB	10 min. por 256 kB	70 o 106 min. según cassette
Compresión de datos	Si	Si	No
Temporización	int./ext.	int./ext.	int./ext.
Modos de operación			
Espera (stand-by)	Si	Si	----
Diagnóstico	Si	Si	----
Conectores e indicadores			
Pantalla LCD	Si	No	Si
Pto. RS-232C	Si	Si	Si
Remota			
Alimentación			
Línea comercial	Si	Si	Si
Batería de respaldo	Si	Si	Si
Energía solar	Si	Si	No
Consumo		75 mA a 12 Vdc	80 mA a 12 Vdc
Especificaciones Físicas			
Dimensiones (cm)	30 x 30 x 15	37 x 22 x 28	25.4 x 52 x 30.5
Peso (kg)	10	10	11.3
Norma gabinete	Nema 12	no especificado	no especificado
Temperatura (C)	-23 a 60	-20 a 65	-20 a 50
Humedad	0 a 80%	0 a 100%	0 a 100%
Montaje	horiz./vert.	horiz./vert.	en rack estandar opc.
Precio (dólares)	\$ 6,690	\$ 4,600	\$ 5,200

Tabla 2.1 - Comparación de tres equipos acelerométricos comerciales.

Aunado a lo anterior, los gastos de conservación y mantenimiento del equipo para el conjunto Plaza Inn, que cuenta con solamente 6 puntos de medición, se cotiza alrededor de 45 millones de pesos anuales (en 1990). Aunque esta cantidad no llega a representar un porcentaje significativo con respecto al costo anual de mantenimiento de un edificio de esas dimensiones, difícilmente los propietarios están dispuestos a gastar en proyectos de investigación que no les proporcionen un beneficio directo. Por esta razón, el SADE debe diseñarse no solamente para obtener un equipo a bajo costo, sino para que la operación, conservación y mantenimiento del mismo sea lo más económico posible.

Cabe mencionar que los equipos comparados en la tabla 2.1 han sido diseñados para soportar una amplia variedad de aplicaciones, por lo que poseen capacidades que rebasan las mínimas requeridas en la instrumentación sísmica de estructuras. Por ello, no se pretende diseñar un sistema que iguale las características de los equipos presentados, se busca más bien, crear un equipo que cubra los requerimientos mínimos necesarios a cambio de obtener un producto económico. De esta manera se pretende que el SADE sea una alternativa atractiva en la decisión de instrumentar una estructura.

Establecida así una referencia de equipos comerciales, se pasa a definir a continuación los requerimientos técnicos y económicos de diseño para el SADE.

II.3 - Requerimientos técnicos de diseño

Sensores

- Tipo.- siendo la aceleración la dimensión o variable de interés, los sensores deberán ser acelerómetros lineales, es decir, en los que su salida de voltaje sea directamente proporcional a la aceleración a la cual se someten.
- Número.- el número mínimo deseable de sensores triaxiales que debe soportar el sistema para la instrumentación adecuada de una estructura es de seis⁵.
- Rango.- el intervalo máximo de aceleración a medir es de 2 g⁶.
- Sensibilidad.- los sensores deberán tener una sensibilidad mínima de 0.2% de la escala completa⁷.

5) Cfr. Capítulo I, "Requisitos de la Instrumentación".

6) Resultado de estudios previos realizados por el Dr. David Muria del Instituto de Ingeniería, UNAM

7) El objetivo del sistema es medir sismos moderados o intensos por lo que no se requiere una sensibilidad mayor.

- Respuesta en frecuencia.- los acelerómetros deben de tener una respuesta lineal en frecuencia al menos de 0 a 50 Hz⁸.

Acondicionamiento y Conversión A/D

- Ancho de banda.- el rango de frecuencias de interés en edificios con excitación sísmica es de 0 a 6 Hz. Por lo tanto, el ancho de banda de la etapa de filtrado deberá ser de 0 a 20 Hz.
- Ganancia.- la etapa de acondicionamiento analógico de las señales de aceleración debe permitir seleccionar una ganancia de 1, 2 ó 4 en el amplificador, dependiendo del suelo donde se localice la estructura y de la ubicación del sensor dentro de ella.
- Frecuencia de muestreo.- para cubrir el ancho de banda de la etapa de filtrado se toma el estándar de 50 muestras por segundo.
- Resolución.- para el valor de sensibilidad establecido se requiere una resolución de 10 bits como mínimo en el conversor analógico/digital.

Disparo, Sincronización y Almacenamiento

- Modos de disparo.- el disparo para el registro de eventos deberá ser de dos formas: i) por medio de un algoritmo de detección automática de sismo, y ii) por medio de la señal de sincronización de registros en el Valle de México.
- Operación en paralelo.- en los casos donde las dimensiones de la estructura requieran más puntos de medición, el SADE deberá permitir interconectar entre sí equipos semejantes para sincronizar sus registros y cubrir así el número de puntos de medición requeridos.
- Umbrales de disparo.- para la detección automática de sismos, los umbrales de disparo deberán ser ajustables, según las condiciones locales del suelo y niveles de ruido ambiental.
- Memoria de preevento.- debe permitir el registro de datos durante 5 segundos como mínimo antes de la detección del evento (solo para la detección automática de sismos).

⁸⁾ Ibidem. nota 6.

- Memoria de postevento.- debe permitir el registro durante 10 segundos como mínimo, después de terminado el evento.
- Capacidad de Almacenamiento.- el tiempo total de registro de eventos sísmicos será al menos de 15 minutos.
- Temporización.- el sistema debe contar con un reloj de tiempo real con objeto de contar con una referencia de tiempo en los eventos no disparados por el Sistema de Alerta Sísmica (SAS).

Enlace de Datos

- Velocidad de Transmisión.- la velocidad de transmisión debe permitir la transmisión de datos en tiempo real a la memoria central.
- Confiabilidad.- la confiabilidad en la transmisión de datos deberá ser superior al 95%, requiriendo para ello códigos y protocolos de detección y corrección de errores.

Suministro de Energía

- Alimentación principal.- el suministro principal de energía será proporcionado por la línea comercial de corriente alterna.
- Respaldo de energía.- debe contar con un subsistema de respaldo de energía de forma que permita la operación normal al menos durante 24 horas en ausencia de la alimentación comercial.

Requerimientos del Usuario

- Operación y mantenimiento.- tanto la operación como el mantenimiento periódico del sistema debe ser sencillo y ágil, de manera que no represente costos significativos con respecto al valor del equipo.
- Diagnóstico de operación.- para facilitar el mantenimiento preventivo y correctivo del sistema, debe contar con rutinas de autodiagnóstico que permitan verificar fácilmente la operación de todo el sistema.
- Formato de Datos.- debe incluir la programación necesaria para extraer y presentar los registros en formatos estándares.
- Documentación.- la conclusión del proyecto debe contemplar la documentación completa del sistema y manual del usuario.

Físicos

- Dimensiones.- con objeto de permitir instalarse en los puntos apropiados dentro de una estructura, las dimensiones del gabinete de las estaciones sensoras no deben exceder los 20 cm de fondo, y el largo y ancho del mismo no mayor a los 50 cm. El gabinete de la central de registro no requiere cumplir con estas especificaciones.
- Robustez y terminado.- los gabinetes deben resistir impactos menores sin presentar abolladuras o deformaciones (de acuerdo a norma NEMA 12), con un acabado resistente a la humedad y corrosión ambiental propios de la Ciudad de México. La protección en su interior contra el polvo y humedad será al menos de 70%.
- Temperatura de Operación.- el sistema debe operar perfectamente en un rango de -5 C a 45 C.
- Instalación.- la instalación de los equipos y de la red de comunicaciones debe poder hacerse en cualquier muro, piso o columna plana, sin necesidad de requerir bases o soportes de fabricación especial para fijarse.

Otros

- Todos los componentes del equipo deben de ser comerciales y de fácil adquisición, de manera que la reparación y mantenimiento del sistema no represente problemas de suministro.

CAPITULO III

DISEÑO GENERAL DEL SISTEMA

Continuando con la metodología adoptada para el desarrollo del SADE, en el presente capítulo se abordan la segunda y tercera etapas del esquema metodológico propuesto, es decir, en la primera parte del capítulo se diseña el sistema a partir de su concepción funcional y posteriormente, en la segunda parte, se diseña desde su concepción estructural.

III.1 - Concepción Funcional del SADE

En la concepción funcional se define al sistema como el conjunto de actividades o procesos que se requieren para cumplir el objetivo fijado y se establece la interconexión entre actividades y con el exterior del sistema. Las actividades o procesos se van desglosando en subactividades hasta llegar al nivel de detalle deseado. Esta etapa se desarrolla haciendo uso del análisis por flujo de datos y del análisis por estados de operación.

Como se expone en el capítulo anterior, el SADE está conceptualizado como un conjunto de módulos sensores (que denominaremos *estaciones sensoras "EstSen"*) distribuidos adecuadamente en una estructura y conectados a una memoria central (*estación central de registro "CenReg"*). En la figura 3.1 se muestra un diagrama que ejemplifica esta configuración dentro de un edificio.

El sistema deberá medir simultáneamente el movimiento en diferentes puntos de una estructura a través de las estaciones sensoras, debiendo enviar en tiempo real las lecturas de aceleración a la estación central de registro. Esta se encargará, durante la ocurrencia de un sismo, de almacenar las lecturas en una memoria no volátil. En los puntos

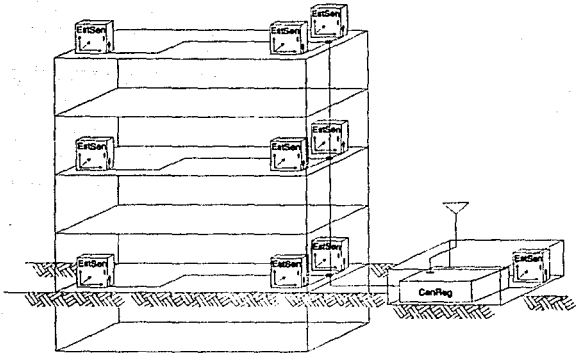


Figura 3.1 - Instrumentación en un edificio típico.

de medición se requieren entonces instrumentos que permitan transformar la aceleración a algún parámetro eléctrico y procesar la señal obtenida para su posterior transmisión a la CenReg. De esta forma, el flujo de datos dentro del sistema se dará únicamente desde las estaciones sensoras a la estación central de registro, el cual se representa en el diagrama de la figura 3.2.

Como se define en los requerimientos de diseño, se debe proporcionar como salida la información acelerométrica en formato binario para su posterior almacenamiento y análisis por computadora. Para ellos se requiere digitalizar las señales analógicas obtenidas por los transductores de aceleración a través de conversores analógico/digitales (ADC). Este proceso puede realizarse utilizando dos esquemas distintos:

- 1) **Proceso Centralizado.**- transmitir las señales de aceleración generadas por cada estación sensora en forma analógica a la estación central, efectuando en esta última la conversión a formato digital antes de almacenarlas en la memoria de registro. En este caso, las estaciones sensoras solamente se encargarían de

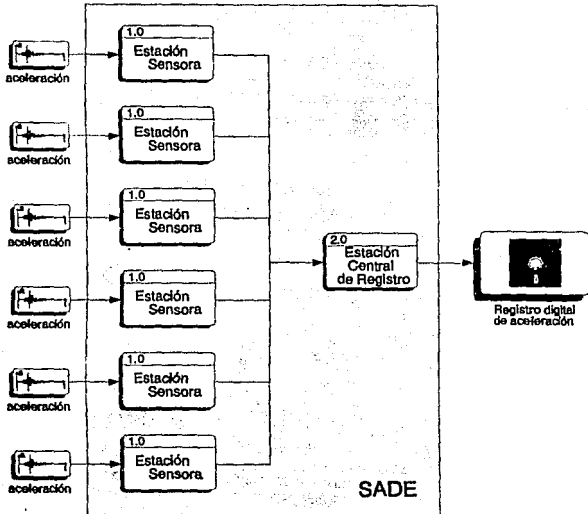


Figura 3.2 - Flujo de datos dentro del SADE.

senzar la aceleración y hacer los ajustes necesarios para su transmisión. En la CenReg se concentraría entonces todo el proceso digital.

- 2) Proceso Distribuido.-** realizar la conversión analógica/digital en el mismo punto de medición para transmitir la información acelerométrica en formato binario por medio de una red digital de datos hacia la estación central de registro. De este modo, la CenReg se encargaría del almacenamiento de las muestras y del control del sistema.

En ambos esquemas, al efectuar la conversión A/D de las señales de aceleración, se acarrearían los errores inherentes al proceso mismo de conversión; sin embargo, es claro que en el primer caso las señales serían sumamente vulnerables al ruido e

interferencia electromagnéticas durante su transmisión, generándose distorsiones que disminuirían la confiabilidad de la información. Para evitar esto último se requeriría de circuitería especializada para la transmisión de señales analógicas, reflejándose sensiblemente en el costo del prototipo. Aunado a esto, la estación central requeriría también de un diseño más complejo al concentrar en ella todo el proceso digital.

Por todo lo anterior se adoptó el esquema de proceso distribuido en la conceptualización del SADE, siendo esta la tendencia actual en el diseño de sistemas digitales. A continuación se desarrolla el análisis funcional tomando primero al SADE como conjunto, para después analizar la estación central de registro y las estaciones sensoras por separado.

III.1.1 - Análisis Funcional del SADE

En su concepción más general, es posible dividir la operación del SADE en tres estados básicos de operación, estos son:

1) Estado de espera:

Mientras no ocurra algún sismo o alguna perturbación anormal en la estructura, el sistema permanecerá en estado de espera, actualizando la memoria de preevento, monitoreando la aceleración en la estructura para detectar la presencia de sismo y aguardando la señal de disparo del SAS. Desde luego, la mayor parte del tiempo el SADE se ubicará en este estado.

2) Estado de registro de sismo:

Se activará cuando se detecte que la estructura se encuentra sujeta a vibraciones significativas, o bien, cuando se reciba la señal de sincronización proveniente del CIRES. Durante este estado, el sistema se concentrará en recolectar y almacenar en la memoria central de registro las muestras de aceleración tomadas por cada estación sensora.

3) Estado de atención al operador:

Se activará cuando por intervención del operador se interrumpa el Estado de Espera para mantenimiento, programación o recuperación de los datos almacenados en la memoria de registro.

En la figura 3.3 se representa la operación global del SADE por medio de un diagrama de estados, en el que además de los estados operativos ya descritos, se incluyen dos estados adicionales: el estado de arranque e inicialización del sistema, y el estado de autodiagnóstico. En el primero, y como su nombre lo indica, se configurará e inicializará la operación del SADE de acuerdo a los parámetros previamente definidos por el operador.

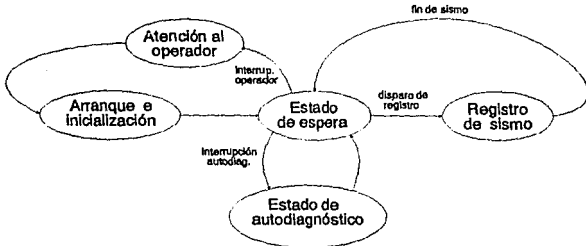


Figura 3.3 - Diagrama de estados de la operación general del SADE.

En el estado de autodiagnóstico tiene por objeto disminuir la probabilidad de falla del sistema al presentarse un evento sísmico, así como facilitar el mantenimiento preventivo y correctivo del mismo. Este estado se activará periódicamente de manera automática.

III.1.2 - Estación central de registro

Adoptado el esquema de proceso distribuido, en los mismos puntos de medición serán ajustadas y convertidas a formato binario las señales de aceleración obtenidas para cada eje espacial (NorteSur, EsteOeste y Vertical) para su posterior transmisión por la red digital. Cada estación debe operar de manera independiente y enviar sus lecturas a la CenReg en forma coordinada para que sean almacenadas en la memoria de registro.

En la figura 3.4 se muestra el diagrama de estados que representa la operación de la CenReg; en ella se pueden identificar los cinco estados del funcionamiento general del SADE (fig. 3.3) mas dos estados de operación propios de la central de registro: el de disparo del SAS y el de recepción de la referencia de tiempo externo.

Como se aprecia en la figura, después del estado de arranque e inicialización, se pasa de manera incondicional al estado de espera, donde permanecerá actualizando la

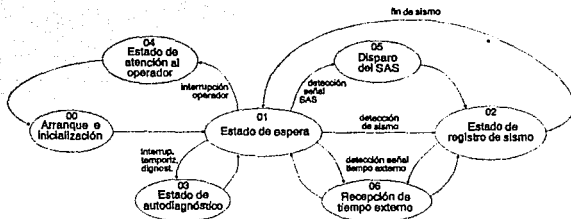


Figura 3.4 - Diagrama de estados de operación de la CenReg.

memoria de preevento -la que se explicará más adelante- y monitoreando los niveles de aceleración en la estructura para activar el estado de registro de sismo en caso de detectar la presencia de algún temblor. El estado de registro de sismo se podrá activar de dos maneras:

- 1) Por medio de la señal de radio generada por el SAS.

Con el fin de sincronizar los registros del SADE con la actual red de acelerógrafos del Distrito Federal a cargo del CIRES, así como iniciar el registro de un sismo anticipadamente, el SADE hará uso del Sistema de Alerta Sísmica (SAS). Dicho sistema tiene como objetivo principal anticipar los movimientos telúricos en el Valle de México provenientes de la brecha de Guerrero. De esta manera se podrán obtener registros completos del movimiento de una estructura durante un sismo.

- 2) Por medio de un algoritmo de detección automática de sismos.

En los casos en que ocurran sismos no provenientes de la costa de Guerrero, o bien, previendo que la señal de radio no llegue a recibirse (por interferencia, ruido electromagnético o fallas en el sistema de radio), el SADE deberá contar con un algoritmo para detección automática de sismos, que activará el estado de registro de sismo cuando detecte que la estructura está siendo sujeta a aceleraciones significativas.

Dado que en este último caso también se desea tener registro de la aceleración segundos antes de que la estructura se encuentre sujeta a vibraciones intensas, hace necesario contar con una memoria denominada *memoria de preevento*. Para ello, el SADE

deberá muestrear continuamente la aceleración en todas sus estaciones -no solo cuando se active el estado de registro de sismo- y enviarlas a la central de registro donde serán almacenadas en la memoria de preevento, que es una memoria de almacenamiento temporal. El tamaño de dicha memoria dependerá del tiempo de preevento definido por el operador.

En caso de contar con un equipo de temporización externo, el módulo radio receptor interrumpirá periódicamente los estados de espera y de registro de sismo con objeto de leer el código de tiempo recibido. Así también, el estado de espera será interrumpido una vez al día para ejecutar las rutinas de autodiagnóstico y verificar el correcto funcionamiento de todo el sistema.

El flujo de datos (muestras de aceleración) durante el estado de espera y durante el estado de registro de sismo será prácticamente igual, excepto en que en el primero serán acumulados temporalmente en la memoria de preevento y, de no llegarse a activar el registro de sismo, desechados posteriormente. En cambio, durante el estado de registro de sismo serán acumulados en la memoria de registro, la que deberá ser una memoria no volátil. Además, los procesos de cálculo efectuados con las muestras de aceleración serán distintos; en el primero para detectar la presencia de sismo y en el segundo para detener el registro del mismo cuando haya cesado el movimiento telúrico. En las figuras 3.5 y 3.6¹ se muestra el diagrama de flujo de datos correspondientes a estos dos estados de operación.

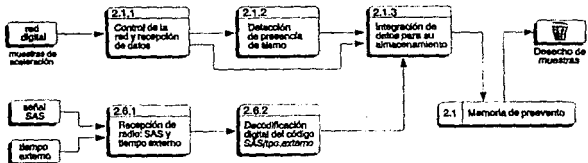


Figura 3.5 - Flujo de datos en el estado de espera de la CenReg (ver nota 1).

1) La numeración de los bloques de proceso se realiza de la siguiente manera: Est, Edo, Consec
 Est.: 1- estación sensora, 2 - estación central de registro
 Edo.: Número de estado donde se realiza el proceso
 Consec.: Numeración consecutiva

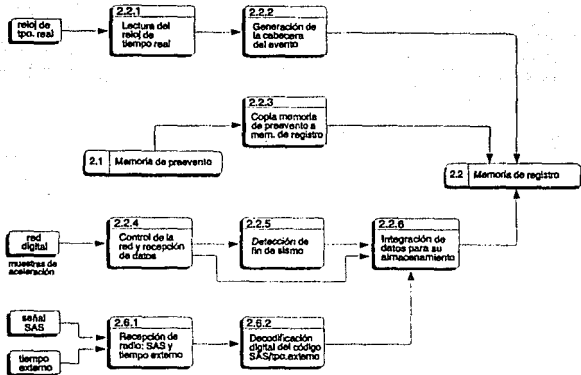


Figura 3.6 - Flujo de datos en el estado de registro de sismo de la CenReg (ver nota 1).

Como se observa en ambas figuras, no todas las muestras de aceleración serán utilizadas para la detección de presencia y fin de sismo; para ello solamente se tomarán las muestras de los canales horizontales de dos o tres estaciones previamente elegidas por el especialista.

Al detectar la presencia de un sismo o al recibir la señal de disparo del SAS -entrando así al estado de registro de sismo-, la CenReg leerá el reloj de tiempo real y generará la cabecera del evento, la que se guardará al inicio del registro. Posteriormente copiará el contenido de la memoria de preevento en la memoria de registro, almacenando a continuación las muestras provenientes de cada estación sensora.

Como ya se mencionó, durante el estado de registro de sismo -independientemente como este se haya activado- el sistema deberá monitorear en forma continua la aceleración medida en la estructura con objeto de detener el registro cuando detecte que ha cesado el movimiento telúrico. Ahora bien, al igual que el tiempo de preevento, el SADE contará con un tiempo de postevento, lo que permitirá el registro de la aceleración en la estructura durante un tiempo después de que ha terminado el sismo.

Esta memoria no aparece indicada en el diagrama (figura 3.6) debido a que es simplemente una extensión en el tiempo de registro del evento una vez que se ha detectado el fin de sismo.

Junto con los datos de aceleración es necesario adicionar información que identifique el evento registrado y los parámetros de proceso utilizados (en la cabecera del evento), tales como la hora y fecha de ocurrencia, el número de evento, la ganancia en los amplificadores, etc. La referencia de tiempo será proporcionada por un reloj de tiempo real y opcionalmente por el sistema de temporización externo. En caso de que el estado de registro de sismo haya sido activado por el SAS, la referencia de tiempo se tomará de la computadora central del Sistema de Alerta Sísmica, para lo cual dicho sistema enviará, después de la señal de disparo, un número que servirá para identificar al evento.

III.1.3 - Estaciones Sensoras

En las estaciones sensoras el estado de conversión analógica digital de las señales de aceleración (ver figura 3.7) deberá tener la máxima prioridad² con objeto de mantener la precisión en la frecuencia de muestreo. Por esta razón podrá activarse en cualquier

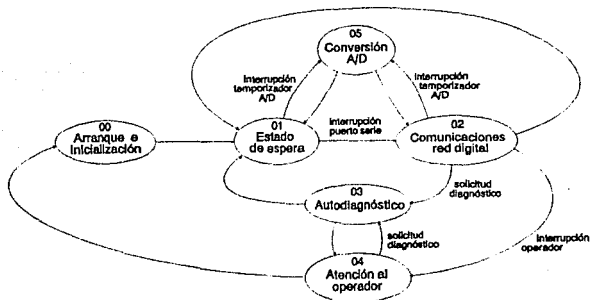


Figura 3.7 - Diagrama de estados de operación de las EstSen.

2) En el capítulo V se muestra una tabla de prioridades de las rutinas de interrupción de la EstSen.

momento de su ejecución, excepto durante el estado de autodiagnóstico donde por unos segundos se detendrá la operación de todo el sistema para verificar su correcto funcionamiento.

Es importante notar que la operación de las estaciones sensoras no distingue si el SADE se encuentra en estado de espera o en estado de registro de sismo, ejecutando en forma permanente la lectura de aceleración y transmisión de las muestras a la central de registro. Como ya se dijo, únicamente interrumpirán el proceso de muestreo cuando por solicitud de la CenReg activen su estado de autodiagnóstico, o bien, cuando activen el estado de atención al operador también desde la CenReg por intervención del operador.

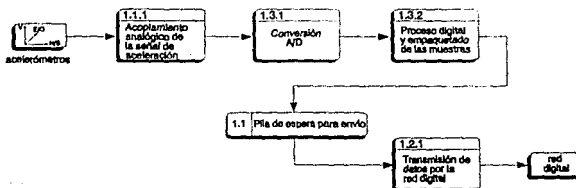


Figura 3.8 - Flujo de datos en las estaciones sensoras.

A través del estado de comunicaciones (figura 3.7) la estación sensora puede pasar al estado de espera, al estado de autodiagnóstico o al estado de atención al operador, según sea solicitado por la central de registro. El flujo de datos dentro de las estaciones sensoras se representa en el diagrama de la figura 3.8.

Con objeto de limitar la frecuencia de las señales de aceleración a la banda de interés, así como ajustarlas dentro del rango de voltaje requerido por el conversor A/D, se contará con una etapa de acoplamiento analógico (proceso 1.1.1). Posteriormente, una vez convertidas a formato binario (proceso 1.3.1), se procesarán las muestras para corregirlas en caso de haber corrimientos del nivel cero (proceso 1.3.2) y almacenarlas en la memoria con el formato apropiado (empaquetado de muestras) para su posterior transmisión por la red de comunicaciones. El bloque de comunicaciones se encargará de establecer el protocolo de enlace y los códigos de detección y manejo de errores en la red (proceso 1.2.1).

III.2 - Concepción Estructural

Una vez que se han identificado los procesos que debe realizar el sistema para cumplir con su propósito, se pasa a definir la estructura general del SADE estableciendo las partes estructurales que requerirá, así como las características de cada una y las relaciones entre ellas; en otras palabras, se definen los bloques que conformarán al sistema y las actividades o procesos que debe realizar cada uno. Esto se desarrolla típicamente a través de el diagrama de arquitectura y los diagramas de bloques de cada uno de los módulos que lo conforman.

III.2.1 - Arquitectura General del SADE

Como se ha venido definiendo, el SADE está configurado como un conjunto de estaciones sensoras conectadas por medio de una red digital de datos a una estación central de registro, por lo tanto el sistema está conformado básicamente por dos bloques estructurales: 1) la estación central de registro, y 2) la estación sensora. En la figura 3.9

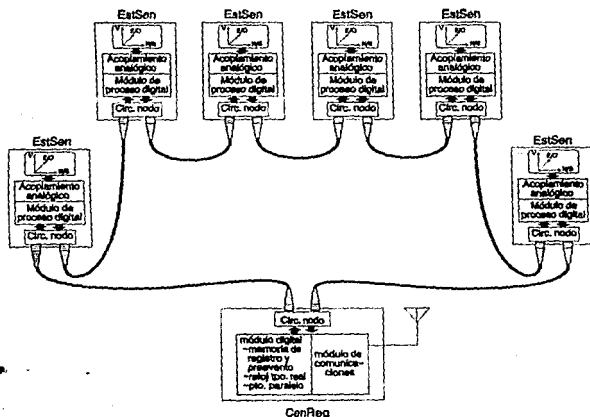


Figura 3.9 - Arquitectura general del SADE.

se muestra el diagrama de arquitectura del sistema considerando seis estaciones sensoras.

Hasta el momento no se ha hecho mención del tipo de red de datos a implementar y que tiene especial importancia en la configuración y operación del SADE, sin embargo, debido a que depende en gran medida del sistema de comunicaciones que se elija, se abordará con más detalle en el siguiente capítulo.

III.2.2 - Estación sensora

Las estaciones sensoras estarán conformadas por cuatro bloques estructurales (ver figura 3.10): el bloque de acoplamiento analógico, el bloque de proceso digital, el nodo de red y el bloque de alimentación.

El primer bloque -que recibe las señales de aceleración entregadas por los sensores- se encargará de efectuar el proceso 1.1.1 descrito en la concepción funcional (figura 3.8), es decir, de eliminar las señales indeseadas de ruido y altas frecuencias contenidas en las lecturas de aceleración, así como ajustar su amplitud para la etapa de conversión A/D. De manera semejante, el bloque de proceso digital se encargará de realizar las actividades 1.3.1, 1.3.2 y 1.2.1. En el nodo de red se realizará el acoplamiento

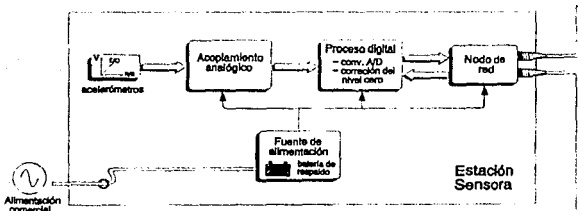


Figura 3.10 - Diagrama de bloques de la EstSen.

Nombre del bloque	Procesos
Acoplamiento analógico	1.1.1
Proceso digital	1.3.1, 1.3.2 y 1.2.1, mem. 1.1
Nodo de red	No realiza ningún proceso

Tabla 3.1 - Procesos efectuados por cada bloque de la EstSen.

físico entre la estación sensora y la red digital de datos, sin embargo no es propiamente un bloque de proceso ya que el protocolo de comunicación y control de transmisión de datos será efectuado por el bloque de proceso digital.

Bajo la figura 3.10 aparece una tabla donde se listan los bloques de proceso que conforman la estación sensora junto con las actividades o procesos que realizará cada uno.

Además de los bloques de proceso, las estaciones sensoras contarán con un bloque de alimentación que proporcionará los niveles de voltaje requeridos en cada una de las etapas del proceso, así como proporcionar el respaldo de energía en caso de interrumpirse la alimentación comercial de C.A. -como se define en los requerimientos del sistema-.

III.2.3 - Estación central de registro

La estación central de registro estará conformada por cuatro bloques estructurales (figura 3.11), los que realizarán los procesos ya definidos en el análisis funcional de la CenReg. En la tabla 3.2 se listan los bloques de la estación central junto con la actividad o actividades que cada uno deberá ejecutar.

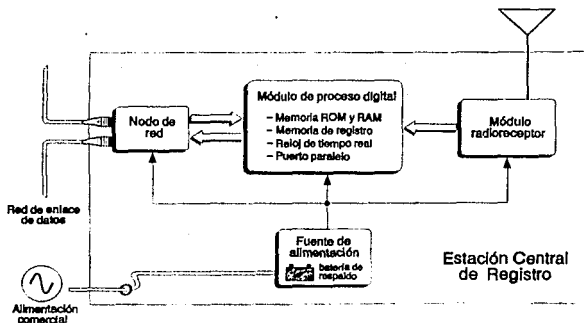


Figura 3.11 - Diagrama de bloques de la CenReg

Nombre del bloque	Procesos
Módulo de proceso digital	2.2.1, 2.2.2, 2.2.3, 2.2.4, 2.2.5, 2.2.6 y 2.6.2 memorias: 2.1 y 2.2
Módulo de comunicaciones	2.6.1
Nodo para red de datos	No realiza ningún proceso

Tabla 3.2 - Procesos efectuados por cada bloque de la CenReg.

Al igual que las estaciones sensoras, la estación central contará con un bloque de alimentación (fuente de alimentación) que entregará los niveles de voltaje requeridos y proporcionará el respaldo de energía.

CAPITULO IV

DESARROLLO DE ELECTRONICA

Concluidas las definiciones global, funcional y estructural del sistema, se termina lo que es propiamente la etapa de diseño conceptual del SADE, pasando a continuación a la construcción del prototipo, que implica tanto el diseño electrónico detallado como la programación del sistema. En el presente capítulo se aborda el desarrollo de la electrónica en cuatro secciones según se describe a continuación.

Se ha venido comentando sobre el uso de una red digital de datos para la transmisión y almacenamiento de las muestras de aceleración en la estación central de registro, sin embargo, no se ha definido el tipo de red concreta y los detalles de diseño e implementación física de la misma. Por ello, en la primera sección de este capítulo se analiza y define el sistema de comunicaciones que se requiere para establecer el enlace de datos entre las estaciones sensoras y la central de registro. Con esto se completa el diseño conceptual de todo el sistema pasando así, en las siguientes secciones, a la selección de dispositivos y al diseño e implementación de la electrónica de las estaciones sensoras y la central de registro.

IV.1 - Definición de la red digital de datos

Como ya se definió, el SADE está conceptualizado como un sistema de proceso distribuido, donde la aceleración que sufre una estructura es medida y procesada digitalmente en el mismo punto de medición para su posterior transmisión a la memoria de registro. Esto implica necesariamente el uso de un sistema de comunicaciones que permita transferir la información acelerométrica a la CenReg.

No se puede hablar propiamente de una red local de datos (LAN) en donde cualquier dispositivo conectado a la red es capaz de intercambiar información con otro dispositivo. En este caso, el flujo de información es en un solo sentido y hacia un mismo dispositivo: la estación central de registro. Por ello, se trata mas bien de un sistema de enlace de datos que aquí se le denominará *red de enlace de datos*.

Ahora bien, la red de enlace de datos debe cumplir con los siguientes criterios o requerimientos:

- a) El enlace de datos debe operar con un alto grado de confiabilidad en ambientes susceptibles a elevada interferencia electromagnética (como plantas industriales o de potencia). En otras palabras, debe tener una elevada inmunidad al ruido.
- b) La distancia de enlace nodo a nodo sin repetidor debe ser al menos de 200 metros.
- c) El ancho de banda del sistema de comunicaciones debe permitir -según se define en el capítulo II- la transmisión en tiempo real de las muestras tomadas por cada estación sensora a la central de registro. De este modo, el ancho de banda mínimo requerido se calcula a continuación:

Considerando un sistema formado por 10 estaciones sensoras, las que toman muestras de la aceleración en cada eje espacial a una velocidad de 50 mps y suponiendo que cada muestreo -de los tres canales- se guarda en seis bytes, el sistema generará 3,000 bytes por segundo, mismos que debe transmitir a la central de registro cada segundo. Por lo tanto, la velocidad de transmisión será aproximadamente de 30,000 bits por segundo. De acuerdo con la fórmula de capacidad de canal¹, el ancho de banda del canal de transmisión debe ser de al menos 12 kHz. Tomando un factor de seguridad de dos, el ancho de banda mínimo requerido es de 24 kHz.

El diseño de la red de enlace de datos implica definir los siguientes elementos:

- 1) Medio de transmisión
- 2) Topología
- 3) Distribución

1) De acuerdo con la fórmula de Shannon $C = W \log_2(1 + P/N)$ y considerando una relación señal a ruido de 5, el ancho de banda será 0.4 veces la capacidad de canal.

- 4) Técnica de control de acceso al medio
- 5) Código de transmisión

Para ello se realizaron pruebas con distintos sistemas de comunicaciones con objeto de determinar el más apropiado que cubra los requisitos antes mencionados. Los enlaces probados fueron los siguientes: RS-232C, bus I²C, RS-485 y fibra óptica.

Como ya es sabido, tanto el RS-232C como el RS-485 son, desde hace ya varios años, sistemas de comunicación estándar muy comunes en la transmisión digital de datos. En cambio, el I²C es un bus de operación síncrona desarrollado recientemente para enlazar dispositivos dentro de un equipo de cómputo. Finalmente, la fibra óptica es un medio de transmisión de datos que actualmente está teniendo una gran aceptación por sus ventajas con respecto a los medios construidos a base de cobre. En la tabla 4.1 se muestra una comparación de las características de cada uno de los tipos de enlaces probados.

El enlace a través del estándar RS-232C fue rápidamente descartado por presentar características lejanas a las requeridas por el SADE. Operando de manera "single ended"², es sumamente vulnerable a la interferencia electromagnética, además de recomendarse

	RS-232C	I ² C	RS-485	F.O.
Modo de operación	Single ended	Single ended	Diferencial	Luz
Num. de trans./recept. permitidos en la línea	1 transmisor 1 receptor	16 transm. 16 receptores	32 transm. 32 receptores	1 transmisor 1 receptor
Máxima longitud de cable	50 pies (15.2 m)	Menor a 1 m	4000 pies (1.219 m)	Más de 10 km
Velocidad máxima de datos	20 kbits/s	1 Mbits/s	10 Mbits/s	Más de 100 Mbits/s
Núm. de líneas p/canal	1	2	2	1
Direccionalidad	Unidireccional	Bidireccional	Bidireccional	Unidireccional

Tabla 4.1 - Comparación de las características de los enlaces probados.

2) Se le denomina modo "single ended" a la codificación digital (de 1's y 0's) por niveles lógicos de pulso; es decir, el uno lógico es codificado como un nivel bajo de pulso y el cero lógico como un nivel alto de pulso.

para distancias relativamente cortas (50 pies - 15.2 m). Así mismo, su máxima velocidad de datos (data rate) es muy reducida para lograr la transmisión en tiempo real de la información acelerométrica.

El I²C es, como ya se dijo, un bus diseñado para comunicar dispositivos dentro de un equipo de cómputo, es decir, para operar a muy cortas distancias. Conscientes de ello, se trató de acoplar mediante circuitos lógicos para establecer enlaces de datos a distancias propias de una red local. Sin embargo, después de un largo período de pruebas se advirtió que la adaptación presentaba problemas lógicos que lo hacían prácticamente imposible.

Implementando el enlace a través del estándar RS-485 se obtuvieron resultados favorables al lograr la comunicación entre cuatro dispositivos conectadas a la línea con una distancia punta a punta de 350 metros. Como se puede ver en la tabla anterior, presenta características que lo hacen viable para usarlo en la red de enlace de datos del SADE, pues a diferencia del RS-232C, opera en modo diferencial, lo que aumenta significativamente la inmunidad al ruido del enlace y permite trabajar a distancias y a velocidades de transmisión mucho mayores.

Sin embargo, con la muy favorable experiencia obtenida en el uso de fibra óptica en otros proyectos del CIRES, se decidió implementar el enlace de datos utilizando este medio de transmisión. La fibra óptica, además de presentar una atenuación muy por debajo a la obtenida con los medios a base de cobre y poseer un ancho de banda bastante superior al requerido (ver tabla 4.2), es totalmente inmune a la interferencia electromagnética, permitiendo desacoplar eléctricamente todos los dispositivos conectados a la línea y evitar con ello problemas de corrimiento de tierra y sobre voltajes. Estas importantes ventajas lo hacen un medio seguro con un índice de fallas sumamente bajo. De este modo, presumiendo de que es un enlace que requiere muy poco mantenimiento, se prevé que la considerable diferencia en los costos de adquisición e instalación lleguen a amortizarse con el tiempo.

Se definen a continuación los elementos de diseño que conforman al enlace digital de datos.

- 1) Medio de transmisión.- fibra óptica.

	PAR TRENZADO	CABLE COAXIAL (BANDA BASE)	FIBRA OPTICA
Atenuación	40 a 60 dB/km	14.8 dB/100 m	3 a 4 dB/km
Ancho de banda por km.	máx. 16 MHz	máx. 500 MHz	más de 1400 MHz
Relación de bit erróneo	1 en 10^6	1 en 10^6	1 en 10^9
Facilidad de instalación	Fácil	Fácil	Difícil
Problemas de estática y tierra	Si	Si	No
Dist. máxima de transmisión	Menor a 500 m	2.5 km	Más de 100 km
Factor de costo medio por conexión	1	2	4
Costo medio por metro	0.2 dólares	2 dólares	9 dólares

Tabla 4.2 - Comparación de las características de los medios de transmisión.

- 2) Topología .- debido a que la fibra óptica sólo permite un transmisor y un receptor en los extremos de la línea, obliga a utilizar una topología tipo anillo con repetidores activos en cada nodo (uno por cada estación conectada a la línea).

Siendo la estación central el destino de todas las transmisiones realizadas por las estaciones sensoras, no se requiere que la información recorra todo el anillo hasta llegar al dispositivo origen para ser suprimido de la línea, como ocurre en la configuración típica de anillo. En este caso, el anillo estará abierto en la estación central, de forma que llegando aquí los datos no se retransmitirán al resto del mismo.

- 3) Distribución³.- Dado que el SADE podrá instalarse en estructuras de arquitectura muy diversa, se reserva al responsable de la instalación definir la distribución más adecuada.
- 4) Técnica de control de acceso al medio.- siendo un sistema donde el flujo de datos se concentrará en un solo dispositivo, el acceso al medio se hará por solicitud (polling) por parte de la estación central.

3) Por distribución se entiende a la forma como se efectuará el cableado en un edificio o estructura particular. Esta puede ser lineal (bus) o en estrella, o bien, una combinación de ambas.

- 5) Código de transmisión.- el código de transmisión en el enlace será utilizando el estándar UART (Universal Asynchronous Receiver Transmitter) integrado en un gran número de microcontroladores y dispositivos periféricos.

IV.2 - Selección de dispositivos

Terminada la definición conceptual de todo el SADE, llega el momento de elegir los dispositivos concretos con los que se realizará el diseño electrónico buscando los más adecuados para implementar las funciones deseadas. Los dispositivos que requieren especial atención en su selección son el microprocesador, la memoria de registro y el reloj de tiempo real.

IV.2.1 - Selección del microprocesador

Siendo el SADE un proyecto de instrumentación, no requiere de un microprocesador de propósito general para el diseño electrónico, sino más bien, de un microprocesador con funciones específicas integradas, es decir, un microcontrolador. En cuanto a este no se dio propiamente un proceso de selección debido a que en proyectos anteriores se había venido trabajando satisfactoriamente con la familia de microcontroladores 80C51 de Intel, contándose ya con la infraestructura necesaria para el diseño, programación, simulación y emulación de sistemas con base en esta familia. Sin embargo, antes de elegir un microcontrolador específico para el diseño del SADE se establecieron los requisitos que debía cumplir:

- 1) Considerando la amplia variedad de fabricantes y circuitos integrados que se ofrecen hoy en día, el microcontrolador deberá pertenecer a las familias de mayor desarrollo y respaldo comercial actualmente.
- 2) El microcontrolador seleccionado debe contar con herramientas comerciales de diseño y programación, así como manuales e información técnica suficiente, en otras palabras, debe tener tiempo y aceptación en el mercado de la electrónica.
- 3) El microcontrolador debe contar con un puerto serie tipo UART, dos puertos paralelos disponibles (que no se utilicen para el manejo de memoria externa ROM o RAM), memoria RAM interna de al menos de 128 bytes y, preferentemente, poseer un conversor ADC con las características requeridas.

Cumpliendo ampliamente la familia de microcontroladores 80C51 con estos requisitos, se adoptó el microcontrolador 80C552 de Signetics, cuyas principales características son las siguientes:

- Totalmente compatible con el 80C51
- Memoria RAM interna de 256 bytes
- Dos temporizadores de 16 bits
- Temporizador tipo "Watchdog"⁴
- Puerto serie UART
- Conversor A/D de 10 bits y 8 canales de entrada multiplexados
- Registros de captura y comparación

Dado a que existen distintas versiones de este microcontrolador, en adelante nos referiremos a él de manera genérica como el 80C552. En el apéndice 'B' se muestra un resumen de las hojas de especificaciones proporcionadas por el fabricante.

IV.2.2 - Selección de la memoria de registro

Por las ventajas que representa el uso de memorias de estado sólido con respecto a los dispositivos de almacenamiento en cinta o disco y gracias a la altísima tecnología de integración que ha puesto en el mercado memorias con capacidades del orden de megabytes, se buscó utilizar este tipo de memorias para el almacenamiento de la información acelerométrica.

Según se especifica en los requerimientos del sistema, el SADE debe permitir el almacenamiento de muestras durante al menos 15 minutos, esto es, si el sistema genera 2,500 bytes por segundo o 150,000 bytes por minuto, la capacidad mínima requerida es de 2.25 megabytes aproximadamente. Para fines de este prototipo, se decidió instalar inicialmente un megabyte de memoria para el registro de datos con la posibilidad de aumentar posteriormente dicha capacidad.

La selección se circunscribió en cinco memorias distintas; en la tabla 4.3 se muestra una comparación de sus características por dispositivo y en la tabla 4.4 la comparación de sus características para un megabyte de memoria.

4) El temporizador de tipo "Watchdog" se utiliza para restablecer (reset) la operación del microcontrolador cuando este quede bloqueado por alguna razón no prevista o por algún error en el programa.

Fabricante	DALLAS	DALLAS	HITACHI	EPSON
Modelo	DS1245Y	DS2262-4	HM66205L-12	AWB101SD40
Capacidad	128 kB x 8	0.5 MB x 8	0.5 MB x 8	1 MB x 8
Tipo de conector	32-pin DIP	30-pin SIMM	32-pin DIP	Tarjeta de crédito
Acceso	paralelo	serie	paralelo	paralelo
Tiempo de respuesta	120 ns	Hasta 1 Mbit/s	120 ns	250 ns
Consumo	80 mA	280 mA	89 mA máx.	130 mA máx.
Consumo en 'standby'	3 mA	3 mA	4 mA	1.5 mA
Batería de respaldo	SI	SI	NO	SI
Tiempo de respaldo	10 años	3 semanas	-----	1.9 años
Disponibilidad	regular	regular	muy mala	regular
Precio	89 dolls.	675 dolls.	135 dolls.	653 dolls.

Tabla 4.3 - Comparación de las características de las memorias consideradas para la selección.

Observando las características de cada una, parece ser que la más apropiada es la memoria de Hitachi al presentar una relación capacidad/precio superior con respecto a las demás. Sin embargo, al ser difícilmente disponible y con excesivos tiempos de entrega se terminó por descartar. Las siguientes opciones que se consideraron fueron la memorias DS2262 de Dallas y AWB201 de Epson, optando finalmente por la última al tener un acceso de datos paralelo y ser de tipo tarjeta de crédito, lo que permite manipularla fácilmente y de forma segura. En el apéndice 'C' se muestra un resumen de las hojas de especificaciones proporcionadas por el fabricante.

Fabricante	DALLAS	DALLAS	HITACHI	EPSON
Modelo	DS1245Y	DS2262-4	HM66205L	AWB101SD40
Núm. de dispositivos para 1MB de memoria	8	2	2	1
Consumo	640 mA	560 mA	178 mA máx.	130 mA máx.
Consumo en 'standby'	24 mA	6 mA	8 mA	1.5 mA
Precio total	712 dolls.	1,350 dolls.	270 dolls.	653 dolls

Tabla 4.4 - Comparación de las características para 1 MByte de memoria.

IV.2.3 - Selección del reloj de tiempo real

Para la selección del circuito reloj de tiempo real se consideraron cinco dispositivos diferentes con características semejantes. Algunos de ellos presentaban atractivas ventajas como integrar internamente el oscilador de cristal o memoria ROM o RAM. Sin embargo, por su precio y disponibilidad en el mercado se seleccionó el circuito reloj de Motorola MC146818 que durante muchos años ha sido el más popular.

IV.3 - Diseño detallado y construcción de las estaciones sensoras

Las estaciones sensoras están formadas, según se definió en la concepción estructural, por cuatro módulos o bloques: el bloque de acoplamiento analógico, el bloque de proceso digital, el nodo de red y el bloque de alimentación. Antes de presentar el diseño de cada uno, se describen las características técnicas de los sensores acelerométricos adquiridos.

IV.3.1 - Descripción de los sensores de aceleración

La medición de la aceleración en las estaciones sensoras se efectúa mediante un juego de tres transductores de estado sólido tipo piezo-resistivo colocados en forma ortogonal para cubrir los tres ejes espaciales. Estos generan una señal eléctrica cuya característica de voltaje es proporcional a la aceleración a la cual se someten. Cuentan con un circuito de amplificación y compensación de temperatura, así como un circuito interno regulador de voltaje. Su exactitud es del 1% y poseen una respuesta en frecuencia de 0 a 350 Hz. En el apéndice 'D' se muestra una copia de las hojas de especificaciones técnicas proporcionadas por el fabricante.

La señal eléctrica que entregan los sensores se encuentra en un intervalo de 0.5 a 4.5 volts para la escala completa, teniéndose para 0 g un valor de 2.5 volts. Por otro lado, una de las salidas del sensor es un nivel de referencia de 2.5 volts D.C. que se utiliza en el módulo analógico para ajustar las lecturas de aceleración. La escala completa de medición es de 2 g en los tres canales.

IV.3.2 - Descripción del módulo de acoplamiento analógico

El módulo analógico consta de cuatro etapas, con excepción del canal vertical que lleva una etapa previa adicional, ya que en el eje correspondiente se tiene un nivel de aceleración estática de 1g generada por la gravedad terrestre, entregando sus lecturas sobre un nivel de 1.5 volts. Para corregir este desplazamiento, se ajusta su nivel de directa a 2.5 volts -equivalente a 0 g- mediante un circuito sumador (etapa A'). Realizada esta corrección las cuatro etapas siguientes son iguales para los tres canales de aceleración (ver figura 4.1).

La primera etapa común a los tres canales (etapa A) es un amplificador diferencial ajustable para máximo rechazo de modo común. Con esto se consigue eliminar el nivel de D.C. de 2.5 volts contenido en la señal y entregar únicamente la componente alterna de la aceleración a las siguientes etapas. El nivel de corrección se obtiene de la salida de referencia del propio sensor, lo que reduce los errores que se puedan producir por efectos de temperatura o ruido.

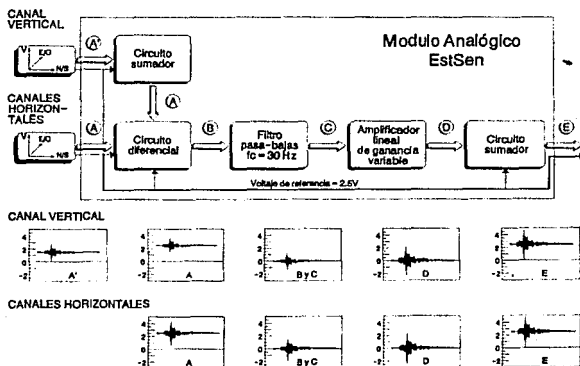


Figura 4.1 - Diagrama de bloques del módulo analógico.

La siguiente etapa (etapa B) es un filtro pasa bajas de tipo Butterworth de 6 polos con una caída de 120 dB/dec. y una frecuencia de corte a 30 Hz. Para ajustar la amplitud de la señal, la siguiente etapa (etapa C) es un amplificador lineal de ganancia seleccionable mediante 'jumpers', lo que permite amplificar la señal en un factor de 2, 4 u 8.

Finalmente, la última etapa consiste en un circuito sumador que agrega de nuevo a la señal un nivel de directa de 2.5 volts, quedando así centrada dentro del rango de 0 y 5 volts requerido en la conversión A/D. Al igual que la etapa 'B', el nivel de referencia se toma de los propios sensores.

La tarjeta de acoplamiento analógico entrega al módulo digital las señales analógicas de aceleración a través de tres líneas o canales analógicos, codificados de la siguiente forma:

- canal 1: aceleración sensor vertical
- canal 2: aceleración sensor Norte-Sur
- canal 3: aceleración sensor Este-Oeste

Esta tarjeta cuenta con cuatro conectores; tres para las señales de entrada provenientes de los sensores y uno de salida hacia el módulo digital. A través de este último conector se alimentan -desde el módulo digital- los sensores y la tarjeta analógica, además de utilizar tres líneas del cable para codificar, a través de 'jumpers', la ganancia seleccionada en la etapa de amplificación y así poder leerla automáticamente por medio del microcontrolador.

IV.3.3 - Diseño y construcción del módulo de proceso digital

El módulo digital, construido con base en el microcontrolador 80C552 de Signetics, presenta un diseño sumamente simple debido a que dicho microcontrolador integra prácticamente todas las funciones de proceso digital que se realizan sobre las señales de aceleración. Como se puede apreciar en el diagrama esquemático de la figura 4.2, externo al microcontrolador se tiene únicamente la memoria de programa (que puede no ser necesaria si se utiliza una versión del 80C552 con ROM integrada) y las compuertas de acoplamiento al nodo de red.

La memoria externa de programa opera junto con un 'latch' 74HC373 para multiplexar el bus de datos con el byte menos significativo del bus de direcciones, tal como lo especifica el fabricante. El 80C552 puede direccionar hasta 64 kBytes en memoria

externa de programa, sin embargo la tarjeta soporta únicamente memorias de hasta 8 kB. Como ya se mencionó, la memoria de programa puede ser externa o interna al microcontrolador dependiendo de la versión que se inserte, para lo cual se cuenta con un 'jumper' que permite configurarlo para uno u otro caso.

Las compuertas y diodos con los que se conecta el puerto serie al nodo de red, tienen por objeto proteger al microcontrolador en caso de sobre voltajes o fallas en el sistema de enlace de datos. Por otro lado, conectado a uno de los puertos paralelos del 80C552 se tiene un microinterruptor múltiple (dip switch) con el que se define el número de identificación de la estación. El microcontrolador opera con un oscilador externo de cristal de cuarzo de 12 MHz, pudiendo reiniciar externamente la operación del mismo a través de un botón de presión (reset).

El temporizado de reinicio automático (watch dog) integrado en el 80C552 se activa o desactiva, como lo especifica el fabricante, mediante una de sus terminales de entrada (EW) según el nivel lógico que se le fije. Esta terminal se conectó directamente a una de las líneas de salida del microcontrolador, permitiendo así activar o desactivar automáticamente al temporizador desde el programa de operación.

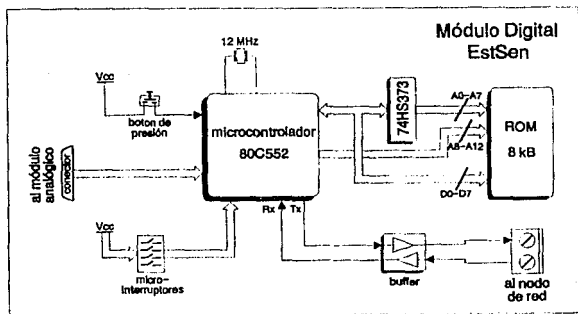


Figura 4.2 - Diagrama esquemático del módulo digital de la EstSen.

Cada circuito integrado cuenta con dos capacitores en paralelo ($0.1 \mu\text{F}$ y $10 \mu\text{F}$) conectados entre las terminales de Vcc y tierra con objeto de atenuar el ruido en la alimentación.

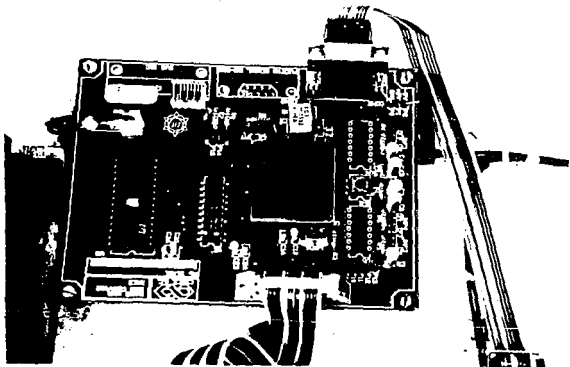


Figura 4.3 - Módulo digital de la EstSen.

IV.3.4 - Diseño y construcción del nodo de red

Como se definió al inicio de este capítulo, el enlace de datos entre las estaciones sensoras y la estación central de registro se efectúa de manera serial a través de fibra óptica; de este modo, en el nodo de red se realiza el acoplamiento óptico entre el puerto serie UART del 80C552 y la fibra óptica. Este módulo es físicamente el mismo tanto para las estaciones sensoras como para la estación central, contando con un 'jumper' que permite configurarlo según se instale en un nodo para una EstSen o en el nodo para la CenReg. En el primer caso, los datos son pasados al módulo digital y a su vez retransmitidos al resto del anillo, en cambio, en el segundo caso -al cambiar el 'jumper' de posición- se abre el anillo con lo que se evita que los datos sean repetidos al resto de la red. En la figura 4.4 se muestra el diagrama esquemático del nodo de red.

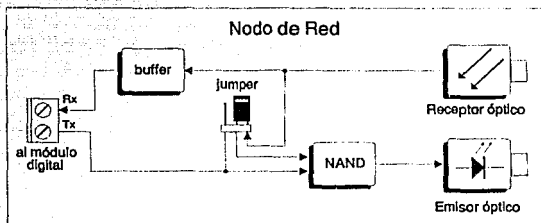


Figura 4.4 - Diagrama esquemático del nodo de red.

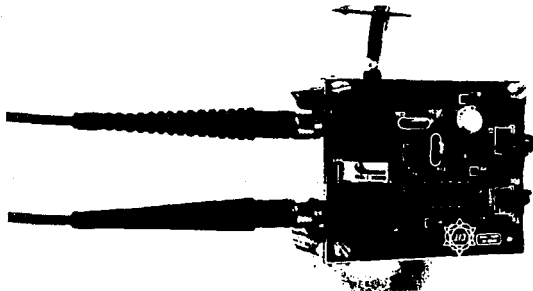


Figura 4.5 - Nodo de red.

IV.3.5 - Descripción del módulo de alimentación

Siendo un sistema de proceso distribuido, cada estación cuenta con su propia fuente de alimentación y una unidad de respaldo de energía para casos de interrupciones en la línea comercial.

El módulo de alimentación está constituido por dos circuitos; el primero es un circuito recargador para la batería de respaldo que, alimentado desde la línea de A.C. (120 volts A.C., 60 Hz), entrega un voltaje de 12 volts D.C.. Este circuito es de fabricación comercial. El segundo circuito es un regulador de voltaje que entrega los niveles de tensión

necesarios para la operación de los sensores y los módulos analógico y digital. La regulación de voltaje para cada módulo se efectúa de manera independiente, buscando con ello aislar lo más posible la alimentación de cada uno y evitar que el ruido generado principalmente en la etapa digital afecte la operación de los sensores o del módulo analógico.

IV.4 - Diseño detallado y construcción de la estación central de registro

La estación central de registro está conformada por cuatro bloques o módulos: el módulo de proceso digital, el nodo de red, el módulo radioreceptor y el módulo de alimentación.

IV.4.1 - Diseño y construcción del módulo de proceso digital

El módulo de proceso digital de la central de registro está también diseñado con base en el microcontrolador 80C552. Cuenta con una memoria externa de programa de 8 kB, memoria RAM estática de 64 kB, la memoria de registro (de 1 MB), el reloj de tiempo real, puerto paralelo tipo Centronix, dos puertos serie y cuatro indicadores externos. En la figura 4.6 aparece su diagrama esquemático.

Debido a que el 80C552 sólo puede direccionar 64 kBytes de memoria RAM externa, el acceso a la memoria de registro se logró utilizando un esquema de paginación, donde el tamaño de la página es de 64 kBytes. De este modo, se cubre virtualmente un mapa de direcciones de 16 MBytes. En el mapa se tienen codificados la memoria RAM, la memoria de registro y el reloj de tiempo real. En la tabla 4.5 se muestra el mapa de direcciones de la CenReg, el cual está dividido en cuatro bloques de 4 MB con repetición, es decir, las direcciones ocupadas al inicio de cada bloque presentan repetición en el resto del mismo tantas veces como haya espacio en el bloque.

En cuanto a la memoria de programa y al igual que en las EstSen, el módulo digital permite utilizar versiones del 80C552 con ROM integrada, contando para ello con un 'jumper' que debe colocarse en la posición adecuada según la versión que se inserte.

El puerto paralelo tipo Centronix es controlado por el mismo microcontrolador y permite la comunicación bidireccional con una computadora personal. A través de este se pueden configurar y definir los parámetros de operación del sistema, monitorear las

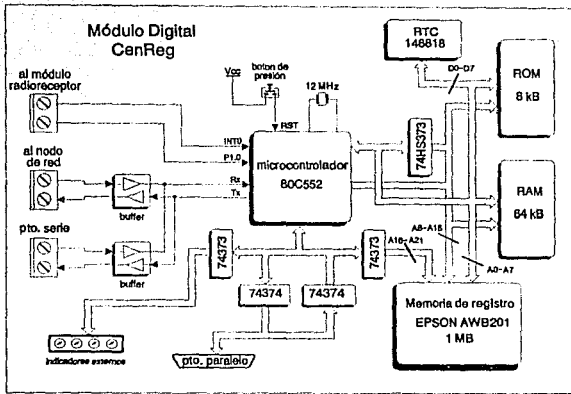


Figura 4.6 - Diagrama esquemático del módulo digital de la CenReg.

estaciones sensoras y recuperar los datos de los eventos registrados -en caso de que no se desee extraer la memoria de tarjeta de crédito-.

El módulo cuenta con cuatro indicadores luminosos externos (leds) que muestran el estado de operación en que se encuentra el SADE en un momento dado. Cuenta también con cuatro 'jumpers' de configuración, los que se listan en la tabla 4.6 junto con una descripción de la función de cada uno.

A22, A23	Direcciones	Direcciones hex.	Descripción
0, 0	0 kB - 32 kB 32 kB - 64 kB 64 kB - 4 MB	00000 - 00FFFF 00000 - 00FFFF 10000 - 3FFFFFF	RAM DS1244Y - Memoria de preevento RAM 62C256LP - Memoria de preevento Libre
0, 1	0 kB - 63 kB 64 kB - 4 MB	0000 - 00003F 0040 - 3FFFFFF	Reloj de tiempo real con RAM Libre
1, 0	0 MB - 4 MB	0000 - 3FFFFFF	AWB101 - Memoria de registro

Tabla 4.5 - Mapa de memoria del módulo digital de la CenReg.

No.	Nombre	Estado	Función
1	ROM	INT EXT	Para versiones del 80552 con ROM integrada Para versiones del 80552 con ROM externa
2	BOOT	ON OFF	Para leer los parámetros de operación de la ROM Operación normal
3	ADC-6	INT EXT	Fija en la entrada 6 del ADC a 5 Vdc Habilita la conexión de una señal analógica externa
4	ADC-5	INT EXT	Fija en la entrada 5 del ADC a 5 Vdc Habilita la conexión de una señal analógica externa

Tabla 4.6 - 'Jumpers' de configuración del módulo digital de la CenReg.

De manera semejante a las estaciones sensoras, el temporizado de reinicio automático (watch dog) integrado en el 80C552 se activa o desactiva desde el programa de operación a través de uno de los puertos de salida del microcontrolador. Así también, cuenta con un botón de presión para reinicio externo (reset) y un oscilador de cristal de cuarzo de 12 MHz. Cada circuito integrado tiene conectados entre sus terminales de Vcc y tierra dos capacitores, uno de 0.1 μ F y otro de 10 μ F.

Temporización de Eventos

La identificación de la fecha y hora en que ocurre un evento puede obtenerse mediante dos fuentes; a través del reloj de tiempo real MC146818 decodificado en el mapa de memoria de la CenReg y, opcionalmente, a través de un equipo de temporización externo, pudiendo en tal caso identificar un evento con ambas referencias.

El equipo de temporización externo se conecta físicamente al módulo radioreceptor, del cual salen dos líneas hacia el microcontrolador: la primera indica si el código que se recibe corresponde al Sistema de Alerta Sísmica o al equipo de temporización, y la segunda contiene la información codificada de uno u otro según se trate. En el apéndice 'F' aparece una descripción de la operación del SAS y de las señales que transmite en el Valle de México.

Conexión a la Red de Enlace de Datos

La conexión con la red de enlace de datos se lleva a cabo mediante el mismo circuito nodo descrito en el diseño de las estaciones sensoras. Como ahí se indica, al tratarse del nodo para la estación central se debe colocar el 'jumper' de dicho módulo en

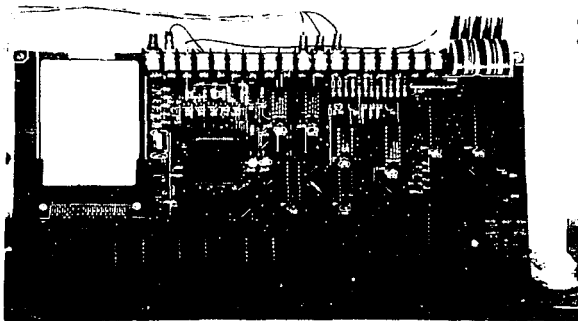


Figura 4.7 - Módulo digital de la CenReg.

la posición correspondiente con objeto de abrir el anillo y evitar que los datos se repitan al resto de la red.

IV.4.2 - Descripción del módulo radioreceptor

El módulo radioreceptor fue diseñado y construido en el CIRES con objeto de captar y decodificar las señales emitidas por el Sistema de Alerta Sísmica. Este módulo es el que actualmente se encuentra instalado en los equipos de la red de acelerógrafos del D.F. y en las alarmas sísmicas⁵. En la figura 4.8 se muestra su diagrama esquemático.

Como se aprecia en la figura, el módulo radioreceptor cuenta con cinco etapas: un receptor de radio, un decodificador para los tonos de subaudio, la etapa de demodulación, el detector de las señales de control y el controlador de conmutación y disparo.

5) En el apéndice 'F' se da una breve explicación de la operación del SAS.

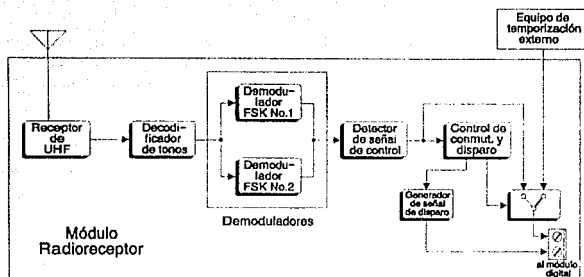


Figura 4.8 - Diagrama esquemático del módulo radioreceptor de la CenReg.

El receptor capta la señal de radio emitida por el SAS (en la banda UHF) sobre la que viene montada un tono de subaudio con la señal de disparo modulada en FSK en dos distintas bandas. Una vez demodulada la señal de disparo, el detector de la señal de control decodifica y activa el control de disparo y el conmutador en caso de recibir correctamente la señal del SAS. De esta forma, el módulo radioreceptor entrega al módulo digital de la CenReg dos señales lógicas; la primera de ellas se activa cuando se recibe la señal de radio generada por el SAS, por lo que a través de esta se genera la interrupción de disparo del SAS; la segunda entrega el código del SAS o del equipo de temporización externo según se trate.

Las líneas que entregan las señales del módulo radioreceptor se conectan físicamente, la primera a la entrada de interrupción externa INTO y la segunda a la terminal cero del puerto paralelo uno (P1.0) como se puede ver en el diagrama esquemático.

IV.4.3 - Descripción del módulo de alimentación

La fuente de alimentación es de construcción muy semejante a la de las estaciones sensoras con la diferencia de que el circuito regulador para el módulo analógico en las EstSen fue reemplazado por un regulador que proporciona los niveles de tensión requeridos por el módulo radioreceptor. Desde luego, cuenta también con una unidad de respaldo de energía para casos de interrupciones en la línea comercial.

CAPITULO V

PROGRAMACION DEL SISTEMA

El presente capítulo aborda la programación de los módulos digitales de las estaciones sensoras y la estación central de registro. Se busca proporcionar una visión global de la programación, de manera que permita la comprensión integral de la forma como han sido implementadas las funciones descritas en los capítulos anteriores. En caso de que se desee un análisis más detallado de la programación, en el apéndice 'G' se muestran los listados completos de los programas.

La programación del SADE fue desarrollada en lenguaje 'C' utilizando un compilador para microcontroladores de la familia 8051, lo que facilitó significativamente el trabajo y permitió utilizar el esquema de programación estructurada. Los programas de operación de las estaciones sensoras y de la central de registro se describen a partir de los estados de operación definidos en el capítulo III, mostrando los algoritmos de las diferentes rutinas mediante pseudocódigo, utilizando la nomenclatura de 'C'.

Siendo esta la primera versión del programa, es importante mencionar que algunas de las funciones descritas en los capítulos anteriores no han sido todavía incluidas en la programación, dejando su implementación para posteriores versiones una vez que hayan sido probados totalmente los actuales programas.

Aunque se requiere de un programa para la computadora PC con objeto de extraer los eventos registrados por el SADE y definir sus parámetros de operación, no es el objetivo de este trabajo presentar un análisis de dicho programa, describiéndose solamente los programas de la CenReg y de las EstSen.

V.1 Programación de las estaciones sensoras

El programa de las estaciones sensoras está formado por un solo módulo de programación que cuenta con siete rutinas: la rutina de principal (main()), dos rutinas de interrupción y cuatro subrutinas. En la siguiente tabla aparece la lista de todas las rutinas que forman el programa con los parámetros de entrada, el valor que regresan y el tipo de rutina (principal, subrutina o rutina de interrupción).

Nombre de la rutina	Tipo de rutina	Parám. de entrada	Valor de regreso
main()	principal	ninguno	ninguno
convAD()	de interrupción	ninguno	ninguno
Int_serie()	de interrupción	ninguno	ninguno
EnvíaS0()	subrutina	byte	ninguno
LeeS0()	subrutina	ninguno	byte
watchdog()	subrutina	ninguno	ninguno
diagnostico()	subrutina	ninguno	ninguno

Tabla 5.1 - Listado de las rutinas del programa de la EstSen.

La operación de las EstSen, según se definió en el capítulo III, está formada por cinco estados de operación (ver. figura 3.7): arranque e inicialización, estado de espera, conversión A/D, comunicaciones por la red digital, autodiagnóstico y atención al operador. A continuación se analiza el programa de las estaciones sensoras a partir de dichos estados de operación.

Arranque e Inicialización y estado de espera

Tanto el estado de arranque e inicialización como el estado de espera son ejecutados por la rutina principal (main()); en ella, al concluir la inicialización de las variables, interrupciones y dispositivos del 80C552, entra a un ciclo infinito del que saldrá únicamente por interrupción para la conversión A/D o para la comunicación con la CenReg. A continuación se presenta el pseudocódigo de la rutina principal.

```
main()
{
    Activa temporizado 'watchdog';
    Incrementa contador de número de reinicios;
    Inicializa temporizador de muestreo (Timer0);
    Inicializa puerto serie;
    Inicializa variables globales;
    Asigna prioridad y habilita las interrupciones;
    WHILE (Siempre) ;
}
```


El microcontrolador lleva la cuenta del número de veces que el 'watchdog' ha reiniciado (reset) el funcionamiento del mismo, lo que permite detectar posteriormente posibles fallas en la operación del sistema. Esto es posible debido a que cuando se reinicia el microcontrolador no borra el contenido de su memoria RAM, a menos que se halla interrumpido momentáneamente la alimentación.

Conversión analógica/digital

Tanto la conversión A/D como el empaquetado de las muestras son realizadas por la rutina convAD(), la cual se activa periódicamente por interrupción cada 50, 20 o 10 milisegundos según la frecuencia de muestreo definida desde la CenReg (20, 50 o 100 muestras por segundo respectivamente). La frecuencia de muestreo, es decir, la frecuencia con que el 80C552 es interrumpido para la conversión analógica digital de las señales de aceleración, es llevada por el temporizador cero (timer0) del microcontrolador.

Las muestras convertidas son almacenadas en una pila circular para su posterior transmisión a la central de registro cuando esta lo solicite. El algoritmo de la rutina de conversión y empaquetado es el siguiente:

```
convAD()
{
    variable: numCanal = 1;

    recarga timer0;
    DO {
        Inicia conversión del canal numCanal;
        Espera fin de conversión;
        Empaqueta la muestra obtenida y almacena en la pila;
        Incrementa numCanal;
    } WHILE (numCanal <= 3);

    IF (¿se llenó la pila?) {
        prende bandera de pila llena;
        recarga watchdog;
    }
}
```

Cada conjunto de muestras de los tres canales de aceleración es empaquetado en cinco bytes de acuerdo con el formato que se muestra en la figura 5.1.. Los paquetes son almacenados en la memoria interna del 80C552 hasta que sean solicitados por el CenReg. El tamaño de la pila es de 175 bytes, de forma que es capaz de almacenar 35 paquetes; sin embargo, si la CenReg tarda en solicitar las muestras más tiempo del que ocupa la estación sensora en llenar su pila, comenzarán a perderse las muestras más

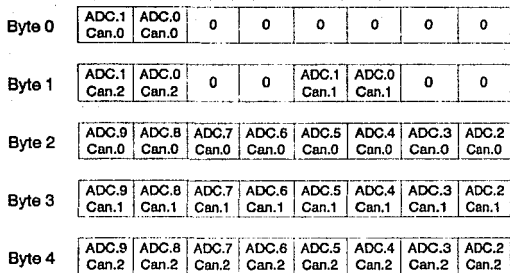


Figura 5.1 - Formato de empaquetado de las muestras de aceleración.

antiguas. Para evitar esto último, se requirió de un análisis detallado de los tiempos de operación y transmisión de cada uno de los componentes del sistema¹.

Comunicaciones por la red digital

La transmisión de los datos acelerométricos a la CenReg, así como las otras acciones que esta pueda solicitar, se efectúan en las estaciones sensoras a través de la rutina `int_serie()`. Esta rutina se activa por interrupción cada vez que la CenReg coloca en la red una dirección o número de estación². La CenReg puede también llamar simultáneamente a todas las estaciones colocando en la red la dirección cero (llamada general).

Inmediatamente después del número de estación, la estación central envía el código de la acción a solicitar a la EstSen invocada, o bien, la acción que deberán efectuar todas las EstSen si se hizo llamada general. Los siguientes son los códigos de acción que la CenReg puede solicitar a las estaciones sensoras:

- 1) Se desarrolló, a través de una hoja de cálculo, un programa que simula la operación de la red de enlace de datos. Con él se analizaron los tiempos y retardos del funcionamiento de la red.
- 2) El puerto serie UART del 80C52 es multidispositivo, de modo que puede configurarse para que la interrupción del puerto se active únicamente cuando se recibe una dirección de dispositivo (bit 9 en uno).

- 1 - Envía muestras
- 2 - Monitoreo (envía una sola muestra de los tres canales)
- 3 - Envía resultado del autodiagnóstico
- 4 - Definición de los parámetros de operación
- 5 - Detiene proceso de muestreo
- 6 - Inicia proceso de muestreo
- 7 - Ejecuta autodiagnóstico

Las primeras tres acciones (envío de muestras, monitoreo y envío del resultado del autodiagnóstico) deben ser solicitadas únicamente en forma particular, ya que la estación invocada regresa a la CenReg los datos pedidos. Las otras cuatro acciones pueden ser solicitadas por llamada particular o por llamada general. El algoritmo de la rutina de `int_serie0()` es el siguiente:

```

int_serie0()
{
    Recarga watchdog();
    Lee el número de estación;
    IF (¿el número de estación es el propio o es llamada general?)
        SWITCH (lee código de acción) {
            case 1:  IF (¿el número de estación es el propio?)
                    Envía las muestras obtenidas al llenarse la pila;
            case 2:  IF (¿el número de estación es el propio?)
                    Toma una muestra y la envía;
            case 3:  IF (¿el número de estación es el propio?)
                    Envía el resultado del autodiagnóstico;
            case 4:  Define velocidad de muestreo según lo especifique la CenReg;
            case 5:  Detiene el proceso de muestreo;
            case 6:  Inicia el proceso de muestreo;
            case 7:  Ejecuta las rutinas de diagnóstico;
        }
}

```

La información acelerométrica es enviada a la CenReg en bloques de 25 paquetes de muestras (cada paquete contiene una muestra de los tres canales de aceleración), es decir, en bloques de 125 bytes. Si la central de registro solicita la información a la EstSen antes de completar los 25 paquetes, espera hasta que la estación complete el bloque.

El segundo código de acción (monitoreo) tiene por objeto verificar desde la CenReg el correcto funcionamiento de la estación sensora. En cuanto a la definición de los parámetros de operación, el único parámetro modificable desde la central de registro -en esta versión del programa- es la velocidad de muestreo. Las acciones 5 y 6 para

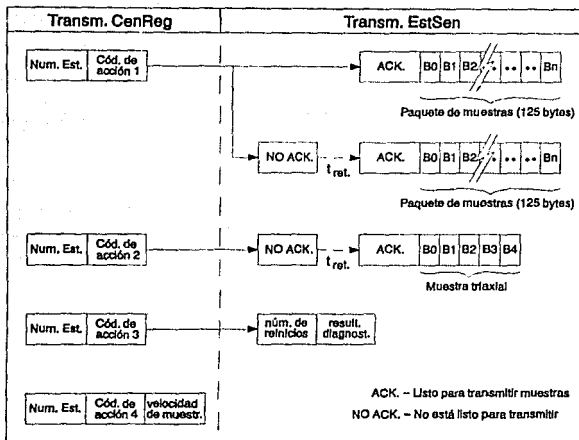


Figura 5.2 - Protocolo de enlace de datos entre la CenReg y las EstSen.

detener o iniciar el proceso de muestreo respectivamente, se incluyeron con el objeto de sincronizar el proceso de muestreo en todas las estaciones sensoras y evitar que existan desplazamientos en el tiempo entre las muestras tomadas por cada estación. Finalmente, las rutinas de autodiagnóstico no han sido todavía implementadas en la actual versión del programa. En la figura 5.2 se muestra un diagrama del protocolo de enlace entre la CenReg y las estaciones sensoras.

Interrupciones

El programa de operación de la estación sensora habilita únicamente dos interrupciones: la interrupción del temporizador cero (timer0) y la interrupción del puerto serie, asignándole a la primera la máxima prioridad con objeto de garantizar que la frecuencia de muestreo se mantendrá fija.

V.2 Programación de la estación central de registro

El programa de operación de la estación central está formado por tres módulos: el módulo principal con 19 rutinas, el módulo de comunicación serial -para la red de enlace de datos- con 7 rutinas y el módulo de comunicación paralela con 3 rutinas. En la tabla 5.2 se muestra una lista de todas las rutinas que conforman al programa de la CenReg junto con el módulo al que pertenecen, los parámetros de entrada, el valor que regresan y el tipo de rutina (principal, subrutina o rutina de interrupción).

Según se definió en el capítulo III, la operación de la CenReg cuenta con siete estados de operación (ver figura 3.4); arranque e inicialización, estado de espera, disparo del SAS, registro de sismo, recepción de tiempo externo, autodiagnóstico y el estado de atención al operador. Como ahí se describe, el estado de registro de sismo podría activarse mediante la señal de radio generada por el SAS o mediante el algoritmo de detección automática de sismo, sin embargo, en esta primera versión del programa solamente se tiene implementado el disparo mediante el Sistema de Alerta Sísmica.

Nombre de la rutina	Tipo de rutina	Parám. de entrada	Valor de regreso
Módulo principal:			
main()	principal	ninguno	ninguno
Comunica()	subrutina	ninguno	ninguno
Envia_muest()	subrutina	entero	ninguno
Envia_sismo()	subrutina	ninguno	ninguno
Lee_muest()	subrutina	ninguno	ninguno
Recibe_dat()	subrutina	byte, byte	ninguno
Envia_dat()	subrutina	ninguno	ninguno
paginacion()	subrutina	ninguno	ninguno
salida_ext()	subrutina	ninguno	ninguno
boot()	subrutina	ninguno	ninguno
actual()	subrutina	ninguno	ninguno
tiempo()	subrutina	ninguno	ninguno
Estad()	subrutina	ninguno	ninguno
Monitor()	subrutina	ninguno	ninguno
paramet()	subrutina	ninguno	ninguno
Registra()	subrutina	ninguno	ninguno
Int_PC()	de interrupción	ninguno	ninguno
Int_SAS()	de interrupción	ninguno	ninguno
Diagnostico()	subrutina	ninguno	ninguno

Nombre de la rutina	Tipo de rutina	Parám. de entrada	Valor de regreso
Módulo COM.C51			
diag_estsen()	subrutina	ninguno	ninguno
vel_estsen()	subrutina	ninguno	ninguno
sinc_estsen()	subrutina	ninguno	ninguno
sinc_ptoS0()	subrutina	ninguno	ninguno
EnviaS0()	subrutina	byte	ninguno
LeeS0()	subrutina	ninguno	byte
watchdog()	subrutina	ninguno	ninguno
Módulo LPT.C51			
Inl_PC()	subrutina	ninguno	ninguno
EnviaLPT()	subrutina	byte	ninguno
LeeLPT()	subrutina	ninguno	byte

Tabla 5.2 - Listado de las rutinas del programa de la CenReg.

Arranque e Inicialización y estado de espera

El estado de arranque e inicialización del sistema y el estado de espera son ejecutados por la rutina principal del programa de la CenReg, a partir de la cual pueden ejecutarse los demás estados de operación únicamente por interrupción. A continuación se muestra en el pseudocódigo de la rutina principal:

```

main()
{
    Actualiza indicadores y señales externas;
    Inicializa puerto serie, interrupciones y variables globales;

    WHILE (jumper dos en posición de 'boot')
        Lee de la ROM los parámetros de operación (boot0);
    WHILE (No está insertada la IC-Card)
        Espera;
    Verifica funcionamiento de la red de enlace (sinc_ptoS0());

    Recarga temporizador 'watchdog';
    Sincroniza arranque de muestreo en EstSen (sinc_estsen0);
    DO {
        IF (La bandera de solicitud de atención al operador encendida)
            Realiza enlace pto. paralelo (Comunica0);
        IF (La bandera de disparo está encendida)
            Registra sismo (Registra0);
        Lee muestras tomadas por las EstSen (Lee_muest0);
    } WHILE (Siempre);
}

```

Cuando el sistema es arrancado por primera vez, es necesario inicializar los parámetros de operación con los valores que tiene almacenados en la memoria de

programa, para lo cual es necesario colocar el 'jumper' 1 (Boot) en la posición correspondiente, regresando dicho 'jumper' a la posición de "operación normal" después de ello. Los parámetros de operación definidos en la memoria de programa y que pueden ser modificados posteriormente desde la PC son: el número de serie del sistema, el número de estaciones conectadas, el estado del sistema, los apuntadores de memoria, los umbrales de disparo, la estación a monitorear para el disparo automático, la fecha y hora actual, la fecha y hora de la última visita y el número de eventos. Como se observa en el pseudocódigo, el programa se mantiene bloqueado si el 'jumper' de arranque no es cambiado de posición a "operación normal".

Posteriormente la CenReg verifica que se encuentre insertada la memoria de registro, bloqueando la ejecución del programa si esta no se encuentra insertada. Después de terminar con las inicializaciones y sincronizar el proceso de muestreo en todas las estaciones sensoras conectadas a la red, entra a un ciclo infinito (estado de espera) donde permanecerá leyendo las muestras de aceleración y verificando si hay solicitud de atención al operador (por el puerto paralelo) o se detecta la señal de disparo del SAS.

Estado disparo del SAS y estado de registro de sismo

La señal de radio generada por el SAS es recibida en el módulo digital mediante interrupción a través de la rutina `int_SAS()`. Esta rutina -estado de disparo del SAS- únicamente enciende la bandera de disparo, de modo que al regresar a la rutina principal se ejecuta el estado de registro de sismo mediante la subrutina `Registra()`.

Esta rutina se encarga de generar la cabecera del evento y almacenar las muestras provenientes de las estaciones sensoras en la memoria de registro, estableciendo el protocolo de enlace con las estaciones sensoras.

El pseudocódigo de la rutina `Registra()` es el siguiente:

```
Registra()
{
    variable: numEst (número de estación a llamar);
    Genera cabecera del evento;
    Sincroniza muestreo en las EstSen (sinc_estsen());

    numEst = 0;
    DO {
        Incrementa numEst;
        DO {
            Lee las muestras de la estación número numEst;
            Almacena muestras en la memoria de registro;
```

```

    } WHILE (SI hay error de protocolo reintenta 10 veces);

    Prepara apuntadores de memoria para la siguiente estación;
  } WHILE (tiempo de registro 75 segs);
  Fin de sismo;
}

```

Estado de atención al operador

El estado de atención al operador es también activado por interrupción desde una computadora personal a través del puerto paralelo. Al recibir la interrupción se ejecuta la rutina `int_PC()`, la cual enciende la bandera de solicitud de atención al operador. De esta forma, al regresar a la rutina principal se llama a la subrutina de `Comunica()`.

A través de la rutina `Comunica()` se entabla toda la comunicación con el operador, el cual puede solicitar desde la PC cualquiera de las siguientes acciones:

- 1 - Enviar registros de aceleración de los eventos tomados
- 2 - Monitorear muestras entregadas por una estación particular
- 3 - Ejecución de las rutinas de diagnóstico
- 4 - Lectura de las estadísticas del sistema
- 5 - Reconfiguración de los parámetros de operación
- 6 - Enviar las muestras de la memoria de preevento

El pseudocódigo de la rutina `Comunica()` es el siguiente:

```

Comunica()
{
  Desactiva temporizador 'watchdog';
  Ejecuta protocolo de enlace con la PC;
  Envía los parámetros de operación (Envía_dat());

  DO {
    SWITCH (Lee código de acción de la PC)
      CASE 1:  Envía registros tomados (Envía_sismo());
      CASE 2:  Monitorea la EstSen especificada por el operador (Monitor());
      CASE 3:  Ejecuta diagnóstico (Diagnostico());
      CASE 4:  Lee número de reinicios de cada estación y envía a la PC (Estad());
      CASE 5:  Reconfigura los parámetros de operación (Envía_dat() y Recive_dat());
      CASE 6:  Envía muestras en memoria de preevento (Envía_muest());
      CASE 9:  Termina enlace con la PC;
    }
  } WHILE (Código de acción: 9);
  Sincroniza proceso de muestreo en las estaciones sensoras (sync_estsen());
}

```


Estado de autodiagnóstico

Aunque el operador puede solicitar a todo el sistema la ejecución del autodiagnóstico durante el estado de atención al operador, no se encuentra implementado en esta versión del programa.

Interrupciones

En la siguiente tabla se muestran las interrupciones activas del 80C552 en el módulo digital de la CenReg y la jerarquía de atención.

Interrupción	Prioridad	Descripción	Terminal del 80C552
Omega/SAS	1	Se activa cuando se recibe la señal de radio generada por el SAS	INT0
Tiempo externo	2	Se activa al cambiar el bit del código de tiempo externo	CT01
Disparo externo	3	Reservada para operación de SADE's en paralelo	INT1
Batería baja	4	Se activa cuando baja el voltaje de la batería de respaldo	CT11
Puerto paralelo	5	Se activa por Intervención del operador a través de una computadora Laptop	CT21

Tabla 5.3 - Interrupciones del módulo digital de la CenReg.

CAPITULO VI

INSTALACION DEL PROTOTIPO, PRUEBAS Y ANALISIS DE RESULTADOS

Dentro del proceso de desarrollo del SADE, se ha concluido hasta aquí, el diseño, construcción y programación de los bloques estructurales del sistema; es decir, de las estaciones sensoras y de la estación central de registro. Finalmente, para concluir el proyecto, resta efectuar la integración e instalación del prototipo en un edificio particular.

En este último capítulo se describe la instalación del primer prototipo del SADE y se presentan las especificaciones técnicas del sistema desarrollado, comparándolas con los requerimientos de diseño definidos en el capítulo II. Para terminar este capítulo, se presenta el análisis de los costos de producción del prototipo, lo que permitirá dar una idea de su viabilidad económica con respecto a los equipos disponibles comercialmente.

Desgraciadamente, no es posible presentar un conjunto de acelerogramas obtenidos con el sistema, pues hasta el momento de la elaboración de este trabajo de tesis, no se contaba con el registro acelerométrico de un sismo captado en el edificio.

VI.1 - Descripción de la instalación del prototipo

Para fines de prueba, se decidió instrumentar -con este primer prototipo del SADE- el edificio posterior de las instalaciones del CIRES (ver figura 6.1), ubicadas en la calle de Anaxágoras de la colonia Narvarte.

Dicho edificio está desplantado sobre la zona de transición de la ciudad de México y consta de cuatro niveles, con una altura de 12.25 m a ejes. La estructura es rectangular

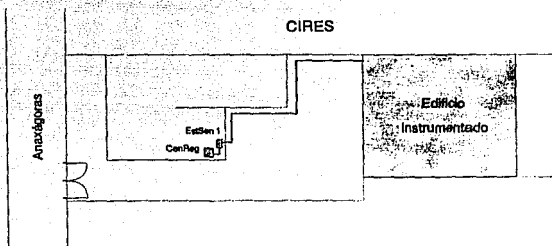


Figura 6.1- Diagrama de la ubicación del edificio instrumentado.

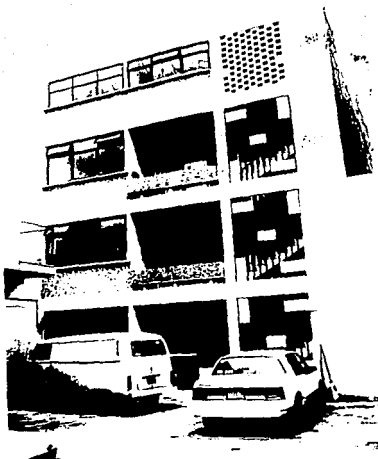


Figura 6.2 - Vista frontal del edificio.

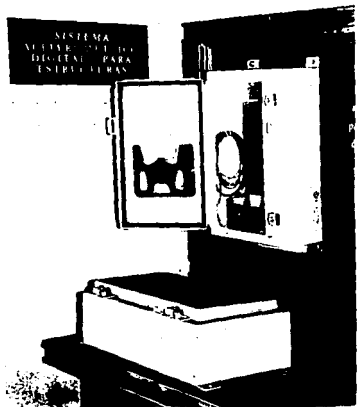


Figura 6.3 - Vista de la CenReg (sup.) y la EstSen.

uniforme -tanto desde las vistas laterales como superior- con dimensiones en planta de 11.40 m por 9.45 m.

El prototipo está conformado por diez estaciones sensoras y la estación central de registro; esta última instalada fuera del edificio, en la planta baja de la casa que se localiza frente al mismo, como se indica en la figura 6.1.. De las EstSen instaladas, nueve se ubican dentro de la estructura del edificio y una junto a la CenReg.

En el edificio, las estaciones sensoras se instalaron en la planta baja, en el primer piso y en la azotea del mismo; tres en cada nivel, una al centro de la estructura y las otras

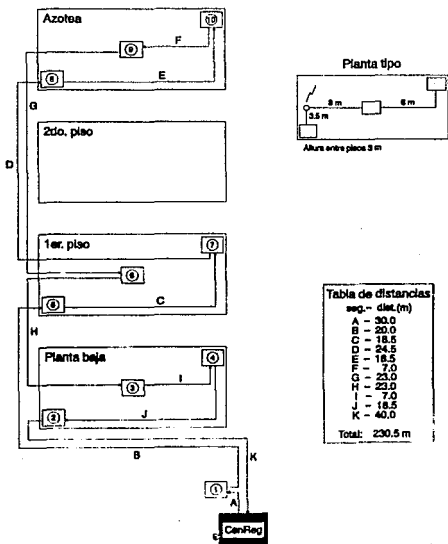


Figura 6.4 - Diagrama de la ubicación de las EstSen en el edificio instrumentado.

dos en las esquinas opuestas de la planta (ver figura 6.4). Las EstSen colocadas en la planta baja y en el primer piso fueron empotradas sobre muros estructurales, y en la azotea sobre el piso de la misma. Al final del capítulo se muestra el plano de la vista frontal del edificio y el plano de la vista superior del primer piso; en ambos se indica la posición de las estaciones sensoras.

El cableado de la red de enlace de datos se efectuó con fibra óptica de $62.5\mu\text{m}$, eligiendo una distribución lineal (bus) del anillo. Para protección del cableado se instaló una estructura de tubería "conduit".



Figura 6.5 - Instalación de una EstSen en la azotea.

VI.2 - Especificaciones técnicas del prototipo del SADE

Esta primera versión del prototipo desarrollado presenta algunas diferencias en cuanto a los requerimientos técnicos de diseño definidos en el capítulo II, la cuales mencionaremos más adelante. En la tabla 6.1 se listan las especificaciones técnicas del primer prototipo del SADE.

A diferencia de los sensores utilizados por los equipos comerciales comparados en el capítulo II, el SADE utiliza acelerómetros de tipo piezoresistivo. Estos, no teniendo

ESPECIFICACIONES TÉCNICAS	
Sensores	
Tipo	Acelerómetro piezoresistivo
Respuesta en frecuencia	0-200 Hz
Frecuencia de resonancia	550 Hz
Escala del rango dinámico	+/- 2g
Sensibilidad	1.25 V/g
Factor de amortiguamiento	0.7
Módulo de acoplamiento y conversión A/D	
Número de canales	Máx 16 triaxiales
Resolución	10 bits
Frecuencia de muestreo	Variable entre 20, 50, y 100 muestras/seg
Filtro	Butterworth pasa bajas de 6 polos 120dB/Dec a 30 Hz
Ganancia	Variable entre 2, 4 u 8
Módulo de procesamiento	
Disparo	Externo
Memoria de pre-evento	Ajustable desde 4 a 64 KBytes
Memoria de post-evento	Ajustable desde 4 a 128 Kbytes
Comunicación entre estaciones	A través de un puerto serial asíncrono de alta velocidad
Medio de transmisión	Fibra óptica
Almacenamiento de datos	
Medio	En memoria de estado sólido
Tipo	Tarjeta removible SRAM, con respaldo de energía
Capacidad	Desde 0.5 a 8 MB
Temporización	
Medio	Reloj interno de tiempo real
Opciones	Referencia externa OMEGA o WWV
Control de operación	
Forma	No tiene controles externos, a través del puerto paralelo se cambian todos los parámetros de muestreo, se monitorea el funcionamiento de las estaciones y se ejecutan las rutinas de diagnóstico
Indicadores Externos	
Tarjeta registradora 4 Leds	<ol style="list-style-type: none"> 1. Operación (Verde) 2. Memoria llena (Rojo) 3. Falla (Rojo) 4. Registro de evento sísmico (Verde)
Alimentación	
Las dos Tarjetas	Batería recargable de 12 VDC y 12 Ah.
Consumo	50 mA máx.

Tabla 6.1 - Especificaciones técnicas del prototipo.

las ventajas técnicas de los acelerómetros de fuerza balanceada, cumplen con los requerimientos de diseño, además de ser significativamente más económicos que los otros.

Las ventajas técnicas del prototipo desarrollado con respecto a los requerimientos de diseño iniciales, son las siguientes:

- 1) La respuesta en frecuencia de los sensores es bastante mayor a la requerida (de 0 a 200 Hz).
- 2) Permite seleccionar la frecuencia de muestreo entre 20, 50 o 100 mps, en lugar de mantenerla fija a 50 mps. Desde luego, entre mayor sea la frecuencia de muestreo, la capacidad de almacenamiento se reduce en el mismo factor.
- 3) Permite conectar al sistema más de seis sensores triaxiales, en otras palabras, permite interconectar más de seis estaciones sensoras. Aunque técnicamente es posible conectar hasta dieciséis EstSen, el tiempo de almacenamiento en la memoria de registro se vería sensiblemente reducido, provocando que los registros obtenidos pudieran ser inútiles.

En cuanto a la memoria de preevento y postevento, se especifica únicamente la cantidad de memoria que es posible asignar en cada caso, ya que el tiempo a que corresponda dependerá tanto del número de estaciones sensoras que conformen el sistema, como de la frecuencia de muestreo seleccionada. Sin embargo, si se considera un sistema formado por diez estaciones sensoras tomando muestras 100 veces por segundo, la cantidad de memoria disponible permite un tiempo de preevento y postevento mayor al definido en los requerimientos.

De los requerimientos de diseño que no cubre el prototipo, figuran los siguientes:

- 1) La capacidad actual en la memoria de registro -de 1 MB- no permite un tiempo de registro de 15 minutos, salvo se trate de un sistema muy reducido (pocas estaciones sensoras operando a baja velocidad de muestreo).
- 2) No se cuenta aún con códigos de detección de errores en el enlace de datos hacia la CenReg.
- 3) No se incluyen en la actual versión las rutinas de autodiagnóstico.

- 4) No cuenta aún con el algoritmo de detección automática de sismo, de modo que solo es posible disparar el registro de sismo mediante la señal de radio generada por el SAS.
- 5) En los requerimientos se especifica que el sistema debe permitir interconectar dos o más equipos SADE en paralelo, para los casos donde la estructura requieran más puntos de medición; sin embargo, esta primera versión del prototipo no incluye en la programación esta capacidad.

Las tres últimas desventajas técnicas es posible corregirlas con relativa facilidad, ya que dependen casi exclusivamente de la programación del sistema. Con respecto a la primera, la CenReg permite la instalación de memorias IC-Card de hasta ocho MB, pudiéndose aumentar la memoria de registro adquiriendo memorias de este tipo de mayor capacidad cuando se encuentren disponibles comercialmente.

Es importante mencionar que el prototipo obtenido dista todavía de un producto terminal para ofrecer en el mercado, requiriéndose un periodo suficientemente largo de pruebas y correcciones, así como el diseño detallado de sus elementos con miras a un producto comercial.

VI.3 - Análisis de costos

Una de las principales razones por las que fue planteado este proyecto, es el poder ofrecer un equipo de adquisición de datos acelerométricos de bajo costo. De esta forma, una vez que se ha obtenido un prototipo del SADE, es momento de obtener los costos de producción y poder establecer un parámetro de comparación con respecto a los equipos disponibles comercialmente.

Un análisis detallado de los costos de desarrollo, tendría que incluir los gastos durante todo el proceso de diseño, como son los costos iniciales (adquisición de herramienta y equipo de laboratorio, mobiliario de oficina, etc.), costos de operación y costos indirectos, además de los costos propios de producción. Sin embargo, al tratarse de la fabricación en serie de un sistema comercial, tanto la inversión inicial, como los costos de operación e indirectos, se reducirían en un porcentaje significativo con respecto a los gastos de producción por producto fabricado.

Para nuestro propósito, tomaremos únicamente los costos de producción, considerando los demás costos como un porcentaje de estos (dada la dificultad para determinarlos).

En la siguiente tabla se muestran los costos de producción para un Sistema Acelerométrico Digital conformado por diez estaciones sensoras y la estación central de registro¹.

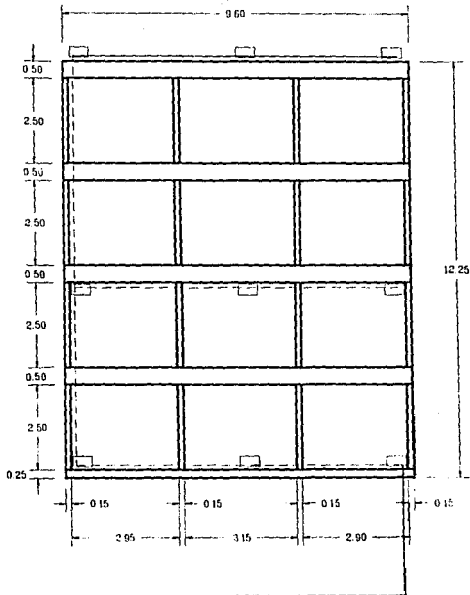
Cantidad	Descripción	Precio unitario (dólares)	Precio (dólares)
1	Est. central de registro	1,454.40	1,454.40
10	Mod. digital, EstSen	104.05	1,040.50
10	Mod. analógico, EstSen.	123.95	1,239.50
10	Nodos de red	80.00	800.00
11	Fuentes de poder	80.00	880.00
30	Sensores piezoresistivos	280.00	8,400.00
1	Herrajes	60.00	60.00
1	Cable fibra óptica	200.00	1,640.00
1	Mano de obra para ensamble	400.00	400.00
1	Computadora tipo NoteBook	2,000.00	2,000.00
	TOTAL	U.S. dólares	17,914.40

Tabla 6.2 - Estimación del costo de producción del prototipo.

Como se puede apreciar en la tabla, el costo de producción de un Sistema Acelerométrico Digital para Estructuras es aproximadamente de 17,914 dólares, teniéndose un costo por punto de medición de 1,790 dólares aproximadamente². Si consideramos que los gastos de operación e indirectos representan un 60% del costo de producción, incluyendo el margen de utilidad, tendremos un costo final de 2,864 dólares por punto de medición.

Comparando con los precios de los equipos comerciales presentados en el capítulo II, el costo por punto de medición del SADE, considerando una fabricación en serie, es sensiblemente menor (alrededor de un 37% menor) que el más económico de ellos. Esta diferencia en los precios proporciona un margen suficientemente amplio para competir en el mercado, aún cuando los costos lleguen a tener un incremento no previsto o que los equipos comerciales reduzcan su precio de oferta.

- 1) En el apéndice 'H' se muestra un desglose detallado de los costos de la CenReg y las EstSen.
- 2) Aunque tal vez no se requiera una computadora PC de tipo portátil por cada SADE instalado, se incluye como parte del equipo básico con objeto de presentar el costo de un sistema completo.

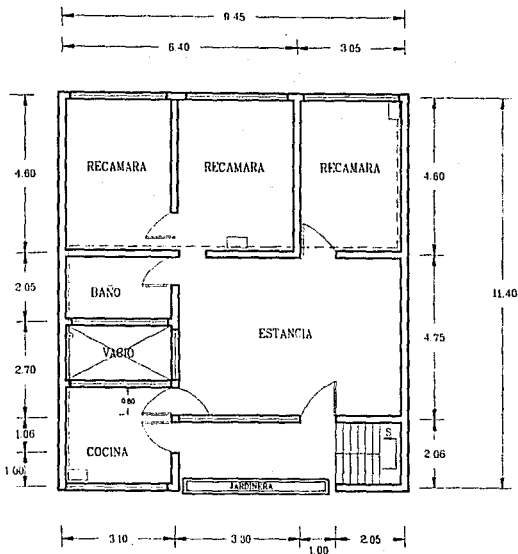


SIMBOLOGIA

- CONDUIT BAJA
- ⊙ CONDUIT SUPERIOR
- CONDUIT
- - - CANALETA
- [CENTRAL NEGATIVO]

CENTRAL NEGATIVO

PROYECTO	EDIFICIO ANAXAGORAS		
ESTRUCTURAS	VISTA FRONTAL		
PATROCINA			
FECHA	A. D.	ESCALA	ARCHIVO
ENERO, 1981	14	1:100	E.T.A. ANAXAGORAS



SIMBOLOGIA

- ⊙ CONDUIT BAJA
- ⊙ CONDUIT SUBE
- CONDUIT
- CASQUETA

N O T A

Esta vista es igual que la del 2º piso

PROYECTO	EDIFICIO ANAXAGORAS		
ESTRUCTURAS	VISTA PLANTA 1º PISO EN TERCIO		
PATROFINA			
FECHA	AUT.	ESCALA	ARCHIVO
ENERO, 1993	ES	1:100	EIA/ANAX.DWG

CONCLUSIONES

Las conclusiones que se desprenden en el desarrollo de este trabajo, son las siguientes:

- Se ha cumplido con el objetivo general del proyecto al diseñar y construir un sistema capaz de registrar el movimiento de una estructura durante un sismo.
- Los registros acelerométricos consignados por el sistema son obtenidos con sensores en más de 15 ejes dentro de la estructura, poseen marcas comunes de tiempo y se inicia el registro segundos antes de que arribe el movimiento telúrico. Por todo esto, es posible afirmar que los registros acelerométricos que entrega el sistema son confiables para el posterior análisis estructural.
- El sistema desarrollado, capaz de sincronizar sus registros con la red de acelerógrafos del D.F. a cargo del CIRES, contribuye al estudio y análisis sísmico del suelo del Valle de México.
- El costo de producción del sistema, incluyendo los gastos indirectos y de operación que acarree, fue estimado en 2,640 dólares por punto de medición. Este costo es sensiblemente menor al costo obtenido con equipos comerciales importados para un sistema semejante. Por lo tanto, es posible ofrecer a nivel comercial un sistema de adquisición de datos acelerométricos para estructuras a un precio significativamente más bajo que los que actualmente se encuentran en el mercado. En otras palabras, el desarrollo del SADE a nivel comercial es económicamente viable.
- En términos generales, el prototipo desarrollado cumple con los requerimientos de diseño definidos al inicio del proyecto, sin embargo, es necesario hacer adiciones y mejoras al mismo, de modo que se pueda ofrecer un producto realmente atractivo para la instrumentación de una estructura. De entre las

modificaciones más importantes están; i) aumentar la memoria de registro a 12 minutos como mínimo, y ii) incluir el disparo automático de registro de sismo.

- Para que el trabajo desarrollado responda realmente a las motivaciones que impulsaron su planteamiento, es necesario diseñar e implementar un plan de comercialización del SADE. Este plan debe incluir todos los aspectos para ello, como son: el desarrollo del sistema a nivel comercial, publicidad, mecanismos para la reparación y mantenimiento de los sistemas instalados, formas de venta, etc., así como también un plan de instrumentación de estructuras en México que esté coordinado con instituciones de investigación y con las autoridades del Distrito Federal.
- Junto con la campaña de concientización y preparación ante eventos sísmicos que están realizando las autoridades del Distrito Federal, es necesario desarrollar, en coordinación con las instituciones de investigación en este ramo, una campaña dirigida a los propietarios de edificios, que tengan por objeto concientizar sobre la importancia de la instrumentación de estructuras, presentando un plan concreto para ello.
- La metodología adoptada para el diseño del prototipo permitió llevar un proceso armónico y pausado, de forma que la conclusión de una etapa en el diseño conducía de manera lógica y natural a la siguiente. Sin embargo, hizo falta un plan de desarrollo que incluyera tiempos y costos.
- El desarrollo de este sistema -junto con tantos otros que se desarrollan en México- demuestra que la ingeniería electrónica mexicana tiene la capacidad de crear productos capaces de competir con los ofrecidos por los países industrializados. Desde luego, hay que reconocer el grado de dependencia tecnológica que representa el uso forzado de componentes electrónicos de fabricación extranjera, así como la imposibilidad de competir en determinados campos.

COMENTARIOS FINALES

No quisiera concluir este trabajo de tesis, sin antes expresar algunos comentarios personales, más allá del problema de ingeniería que se ha abordado.

Una de las razones fundamentales que motivaron la creación del SADE es disminuir el riesgo sísmico en la Ciudad de México, que como ya se mencionó en la introducción, es considerada por muchos especialistas la de mayor riesgo sísmico en todo el mundo. Una ciudad que a pesar de ubicarse en una zona de alta sismicidad, se dejó crecer y desbordar sin ninguna planeación adecuada, siendo probablemente la principal razón de esta gran concentración urbana el régimen político y económico que ha dominado al país, tal vez desde tiempos precolombinos.

La Ciudad de México, así como todas las grandes ciudades, presenta un sinnúmero de problemas que al parecer se agrandan día a día sin encontrar muchos de ellos una solución real. Echamos entonces mano de la tecnología moderna para intentar ofrecer soluciones adecuadas, o al menos para disminuir los efectos.

Sin embargo, parece que a la vez de presenciar actualmente el revolucionario avance de la tecnología, presenciamos también la alarmante degradación y destrucción de nuestra tierra, es decir, de nuestra casa, aunque tal vez no tengamos conciencia de ello.

El hombre moderno es capaz de comunicarse de un punto a otro del planeta en décimas de segundo, así como ver lo que ocurre al otro lado del mundo en forma casi simultánea, de transportarse a miles de kilómetros en tiempos antes no concebibles..., en fin, tal vez ni siquiera imaginamos lo que veremos dentro de diez años. Pero en todo esto, el hombre no ha sido capaz de conocerse a sí mismo, de vivir en una tierra donde cada ser que la habita tenga un lugar en ella.

La realidad en la que vivimos, es un reflejo del abismo que hay en nuestro interior. Hemos dejado de vernos en unidad armónica con nuestro hermano, con el aire que respiramos y la tierra donde vivimos, con el susurro del viento al cruzar por los pinos, con el canto del agua en aquellos arroyos, el zumbido de los insectos o el graznar de las aves. Hemos dejado de asombrarnos y maravillarnos del milagro de la vida y lo que es vivir. Y entre todo ello, vemos a los sismos como inevitables y terribles amenazas que nos han de quitar el sueño, cuando en realidad son la manifestación de un planeta vivo, son el respirar de nuestra tierra, de esta amada tierra.

APENDICE A

Resumen de la Cotización Presentada por el CIRES para la Instrumentación del Conjunto Plaza Inn

Cotización para Suministrar, Instalar y Conservar Durante un Año un Sistema para Registrar Aceleraciones Sísmicas en el Conjunto Plaza Inn de Insurgentes, San Angel

Julio 30, 1990

1. Antecedentes

Con el objetivo fundamental de implantar un sistema que registre el comportamiento dinámico de estructuras importantes del conjunto Plaza Inn, durante la acción de sismos fuertes, se expresan los criterios sobre los que se apoya esta cotización:

- a) Considerando que el conjunto Plaza Inn está desplantado en la zona de terreno firme (tipo I), indicada en el código de construcción vigente en el D.F., por ahora, no se considera indispensable la información sobre la posible interacción del suelo estructura, durante un sismo.
- b) Se contempla un sistema compuesto con 6 acelerógrafos tridimensionales interconectados para captar la información requerida; cinco de ellos en la torre IV: dos en el nivel azotea, uno en el techo del estacionamiento, uno a 3/4 de altura y otro mas en el sótano. El sistema se contempla con un acelerógrafo colocado en la cercanía del edificio, en condiciones de "campo libre".

Cabe mencionar que el comportamiento dinámico del inmueble se evaluará realizando mediciones y registro de vibraciones causadas por el ruido ambiental. Esto nos permitirá determinar con mayor exactitud los sitios más apropiados para el registro acelerográfico durante un sismo, y posteriormente, comparar los datos obtenidos con ambos procedimientos.

Lo anterior nos lleva a plantear los trabajos de esta cotización mediante el desarrollo de las siguientes actividades:

2. Actividades

1. Análisis y modelado estructural del edificio.
2. Determinación de los puntos de medición de la estructura.
3. Diseño integral del sistema acelerográfico.
 - Interconexión de acelerógrafos.
 - Distribución de una señal común de tiempo.
 - Distribución y suministro de energía.

4. Adquisición e importación del equipo.
5. Preparación de instalaciones en la estructura.
6. Instalación del sistema y calibración.
7. Puesta en servicio y ajustes.
8. Informe de instalación.
9. Desarrollo del programa de instalación y conservación anual.
10. Informes semestrales de operación del sistema.
11. Informes en caso de sismos.

3. Duración

Las actividades de diseño e instalación y puesta en servicio del sistema se desarrollarán en seis meses a partir de la aprobación de esta cotización, efectuándose visitas bimestrales posteriores por espacio de un año.

4. Costo

El costo del sistema planteado en esta propuesta cubre: la compra de los aparatos, la mano de obra requerida para la instalación, la calibración del sistema y su operación anual; y suma un total de \$341,502,000 M.N. (Trescientos cuarenta y un millones quinientos dos mil pesos 00/100 M.N.), según se desglosa a continuación:

	<u>dólares</u>	miles de <u>pesos</u>
a) Mano de obra		192,950
- Análisis y modelado		31,000
- Diseño, instalación y calibración		75,500
- Operación y conservación por un año		43,150
- Informes		43,300
b) Equipo de Importación		123,552
- Seis acelerógrafos DCA-333	36,000	
- Un sistema de tiempo externo	1,000	
- Lote de refacciones	3,700	
- Un viaje de inspección y aprobación de equipos	2,500	
x 2,860 pesos/dólar		123,552

c) Parte electromecánica y materiales de consumo nacional	25,000
--	---------------

TOTAL EN MONEDA NACIONAL	\$ 341,502
---------------------------------	-------------------

NOTAS:

- 1) La estimación de este concepto no contempla la canalización requerida para la interconexión integral del sistema, solo su supervisión.
- 2) Esta estimación no incluye aranceles de importación, IVA ni gastos de aduanas; que se estima en un 40% del total.

APENDICE B

Resumen de las Hojas de Especificaciones Técnicas del Microcontrolador 80C552

8XC552 OVERVIEW

The 8XC552 is a stand-alone high performance microcontroller designed for use in real-time applications such as instrumentation, industrial control, and automatic control applications such as engine management and transmission control. The device provides, in addition to the 80C51 standard functions, a number of dedicated hardware functions for these applications.

The 8XC552 single-chip 8-bit microcontroller is manufactured in an advanced CMOS process and is a derivative of the 80C51 microcontroller family. The 8XC552 uses the powerful instruction set of the 80C51. Additional special function registers are incorporated to control the on-chip peripherals. Three versions of the derivative exist although the generic term "8XC552" is used to refer to family members.

83C552: 8k bytes mask programmable ROM, 256 bytes RAM

87C552: 8k bytes EPROM, 256 bytes RAM

90C552: ROMless version of the 83C552

The 8XC552 contains a nonvolatile 8k × 8 read-only program memory, a volatile 256 × 8 read/write data memory, five 8-bit I/O ports and one 8-bit input port, two 16-bit timer/event counters (identical to the timers of the 80C51), an additional 16-bit timer coupled to capture and compare latches, a three-source, two-priority-level, nested interrupt structure, an 8-input ADC, a dual DAC pulse width modulated interface, two serial interfaces (UART and I²C bus), a "watchdog" timer, and on-chip oscillator and firing circuits. For systems that require extra capability, the 8XC552 can be expanded using standard TTL compatible memories and logic.

The 8XC552 has two software selectable modes of reduced activity for further power reduction—Idle and Power-down. The Idle mode freezes the CPU and resets Timer T2 and the ADC and PWM circuitry but allows the other timers, RAM, serial ports, and interrupt system to continue functioning. The Power-down mode saves the RAM contents but freezes the oscillator, causing all other chip functions to become inoperative.

83C562 OVERVIEW

The 83C562 has been derived from the 83C552 with the following changes:

- The SIO1 (I²C) interface has been omitted.
- The output of port lines P1.6 and P1.7 have a standard configuration instead of open drain.
- The resolution of the A/D converter is decreased from 10 bits to 8 bits.
- The time of an A/D conversion has decreased from 50 machine cycles to 24 machine cycles.

All other functions, pinning and packaging are unchanged.

This chapter of the users' guide can be used for the 83C562 by omitting or changing the following:

- Disregard the description of SIO1 (I²C).
- The SFRs for the interface: SIADR, SIDAT, SISSTA, and SIOCN are not implemented. The two SIO1 related flags, ES1 in SFR IEN0 and PS1 in SFR IP0 are also not implemented. These two flag locations are undefined after RESET. The interrupt vector for SIO1 is not used.
- Port lines P1.6 and P1.7 are not open drain but have the same standard configuration and electrical characteristics as P1.0, P1.5. Port lines P1.6 and P1.7 have alternate functions.
- The A/D converter has a resolution of 8 bits instead of 10 bits and consequently the two high-order bits 6 and 7 of SFR ADCON are not implemented. These two locations are undefined after RESET. The 8-bit result of an A/D conversion is present in SFR ADCH. The result can always be calculated from the formula:

$$256 \times \frac{V_{ref} - AV_{ref}}{AV_{ref} - AV_{min}}$$

The A/D conversion time is 24 machine cycles instead of 50 machine cycles, and the sampling time is 6 machine cycles instead of 8 machine cycles. The conversion time takes 3 machine cycles per bit.

- The serial I/O function SIO0 and its SFRs SOBUF and SOCON are renamed to SIO, SBUF, and SCON. The interrupt related flags ES0 and PS0 are renamed ES and PS. Interrupt source S0 is renamed S. The serial I/O function remains the same.

Differences From the 80C51

Program Memory

The 8XC552 contains 8k bytes of on-chip program memory which can be extended to 64k bytes with external memories (see Figure 1). When the EA pin is held high, the 8XC552 latches instructions from internal ROM unless the address exceeds 1FFFF1H. Locations 2000H to FFFFH are latched from internal program memory. When the EA pin is held low, all instruction latches are from external memory. ROM locations 00031H to 00731H are used by interrupt service routines.

Data Memory

The internal data memory is divided into 3 sections: the lower 128 bytes of RAM, the upper 128 bytes of RAM, and the 128-byte special function register areas. The lower 128 bytes of RAM are directly and indirectly addressable. While RAM locations 128 to 255 and the special function register area share the same address space, they are accessed through different addressing modes. RAM locations 128 to 255 are only indirectly addressable, and the special function registers are only directly addressable. All other aspects of the internal RAM are identical to the 8051.

The stack may be located anywhere in the internal RAM by loading the 8-bit stack pointer. Stack depth is 256 bytes maximum.

Special Function Registers

The special function registers (directly addressable only) contain all of the 8XC552 registers except the program counter and the four register banks. Most of the 56 special function registers are used to control the on-chip peripheral hardware. Other registers include arithmetic registers (ACC, B, PSW), stack pointer (SP), and data pointer registers (DHP, DPL). Sixteen of the SFRs contain 128 directly addressable bit locations. Table 14 lists the 8XC552's special function registers.

The standard 80C51 SFRs are present and function identically in the 8XC552 except where noted in the following sections.

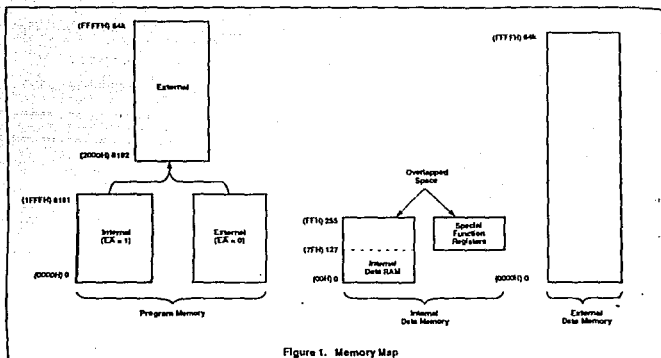


Figure 1. Memory Map

Timer T2

Timer T2 is a 16-bit timer consisting of two registers TMH2 (HIGH byte) and TML2 (LOW byte). The 16-bit timer/counter can be switched off or clocked via a prescaler from one of two sources: $f_{osc}/12$ or an external signal. When Timer T2 is configured as a counter, the prescaler is clocked by an external signal on T2 (P1.4). A rising edge on T2 increments the prescaler, and the maximum repetition rate is one count per machine cycle (1MHz with a 12MHz oscillator).

The maximum repetition rate for Timer T2 is twice the maximum repetition rate for Timer 0 and Timer 1. T2 (P1.4) is sampled at SSP1 and again at SSP1 (i.e., twice per machine cycle). A rising edge is detected when T2 is LOW during one sample and HIGH during the next sample. To ensure that a rising edge is detected, the input signal must be LOW for at least 1/2 cycle and then HIGH for at least 1/2 cycle. If a rising edge is detected before the end of SSP1, the timer will be incremented during the following cycle; otherwise it will be incremented one cycle later. The prescaler

has a programmable division factor of 1, 2, 4, or 8 and is cleared if its division factor or input source is changed, or if the timer/counter is reset.

Timer T2 may be read 'on the fly' but possesses no extra read latches, and software precautions may have to be taken to avoid misinterpretation in the event of an overflow from least to most significant byte while Timer T2 is being read. Timer T2 is not loadable and is reset by the RST signal or by a rising edge on the input signal RT2, if enabled. RT2 is enabled by setting bit T2ER (TM2CON.5).

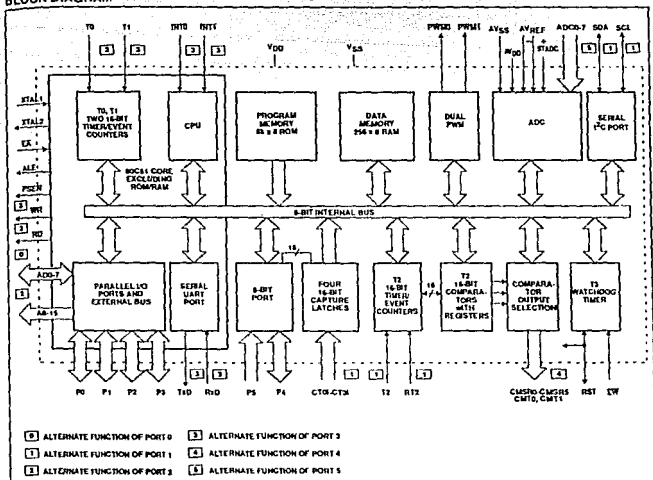
When the least significant byte of the timer overflows or when a 16-bit overflow occurs, an interrupt request may be generated. Either or both of these overflows can be programmed to request an interrupt. In both cases, the interrupt vector will be the same. When the lower byte (TML2) overflows, flag T2BO (TM2CON) is set and flag T2OV (TM2IR) is set when TMH2 overflows. These flags are set one cycle after an overflow occurs. Note that when T2OV is set, T2BO will also be set. To enable the byte overflow

interrupt, bits ET2 (IE1.7, enable overflow interrupt), see Figure 2) and T2ISO (TM2CON.6, byte overflow interrupt select) must be set. Bit TWBO (TM2CON.4) is the Timer T2 byte overflow flag.

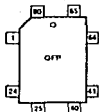
To enable the 16-bit overflow interrupt, bits ET2 (IE1.7, enable overflow interrupt) and T2IS1 (TM2CON.7, 16-bit overflow interrupt select) must be set. Bit T2OV (TM2IR.7) is the Timer T2 16-bit overflow flag. All interrupt flags must be reset by software. To enable both byte and 16-bit overflow, T2ISO and T2IS1 must be set and two interrupt service routines are required. A test on the overflow flags indicates which routine must be executed. For each routine, only the corresponding overflow flag must be cleared.

Timer T2 may be reset by a rising edge on RT2 (P1.5) if the Timer T2 external reset enable bit (T2ER) in T2CON is set. This reset also clears the prescaler. In the idle mode, the timer/counter and prescaler are reset and halted. Timer T2 is controlled by the TM2CON special function register (see Figure 3).

BLOCK DIAGRAM



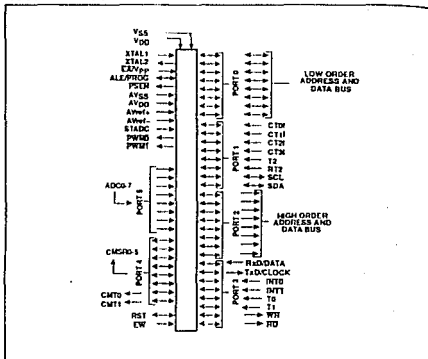
QFP PIN FUNCTIONS



Pin	Function	Pin	Function
1	P4.1/CMSR1	41	P2.3/A11
2	P4.2/CMSR2	42	P2.4/A12
3	NC	43	NC
4	P4.3/CMSR3	44	NC
5	P4.4/CMSR4	45	P2.5/A13
6	P4.5/CMSR5	46	P2.6/A14
7	P4.6/CMT0	47	P2.7/A15
8	P4.7/CMT1	48	P2.8/
9	RST	49	ALE/PROG
10	P1.0/CT0	50	EA/VP
11	P1.1/CT1	51	P0.7/AD7
12	P1.2/CT2	52	P0.6/AD6
13	P1.3/CT3	53	P0.5/AD5
14	P1.4/CT4	54	P0.4/AD4
15	P1.5/CT5	55	P0.3/AD3
16	P1.6/SCL	56	P0.2/AD2
17	P1.7/SDA	57	P0.1/AD1
18	P3.0/RD	58	P0.0/AD0
19	P3.1/AD	59	AVH-
20	P3.2/RT0	60	AVH+
21	NC	61	AVSS
22	NC	62	NC
23	P3.3/RT1	63	AVDD
24	P3.4/IO	64	P3.7/ADC7
25	P3.5/I1	65	P3.6/ADC6
26	P3.6/RT0	66	P3.5/ADC5
27	P3.7/RT1	67	P3.4/ADC4
28	NC	68	P3.3/ADC3
29	NC	69	P3.2/ADC2
30	NC	70	P3.1/ADC1
31	XTAL2	71	P3.0/ADC0
32	XTAL1	72	VDD
33	IC	73	IC
34	VSS	74	STADC
35	VSS	75	PWMS
36	VSS	76	PWRT
37	NC	77	EW
38	P2.0/A08	78	NC
39	P2.1/A09	79	NC
40	P2.2/A10	80	P4.0/CMSR0

NC = not connected
IC = internally connected (do not use)

LOGIC SYMBOL



PIN DESCRIPTION

FUNCTION	PIN NO.		TYPE	NAME AND FUNCTION
	PLCC	QFP		
VDD	22	72	I/O	Digital Power Supply: VDD power supply including normal operation, idle and power-down mode.
STADC	33	74	I/O	Start ADC Operation: Input starting analog to digital conversion (ADC operation enabled by software).
PWAD0	44	75	I/O	Enable Width Modulation Output 0
PWAD1	55	76	I/O	Enable Width Modulation Output 1
PW	66	77	I/O	Enable Width Modulation Enable for T3 watchdog timer and disable power-down mode
P0.0-P0.7	55, 56	58, 51	I/O	Port 0: Port 0 is an 8-bit general-purpose I/O port. Port 0 pins that have 1 written to them float and can be used as tri-state outputs. Port 0 is also the multiplexed low-order address bus during access to external memory and data memory. In the single-chip device, address output is disabled when memory is used. Port 0 is also used to input the clock (by changing programming on 5V3 output) the clock (by changing) modulation.
P1.0-P1.7	116-123	110-117	I/O	Port 1: 8-bit I/O port. Alternate functions include:
	116-121	110-115	I/O	AP1.0-AP1.5: General-purpose ports.
	216-223	116-117	I/O	AP1.6, AP1.7: General-purpose ports.
	116-119	110-113	I/O	CT0-CT3: I/O ports. Capture input signals for timer T2.
	216	114	I/O	CT4 (P1.6): 1-bit input.
	217	115	I/O	CT5 (P1.6): 1-bit input signal. Flash code triggered.
	222	116	I/O	SGCL (P1.7): Serial port clock and PC bus.
	117	117	I/O	SGA (P1.7): Serial port data I/O bus. Port 1 is also used to input the lower-order address (by changing) EEPROM programming and verification/A0 is on P1.6, A0.
P2.0-P2.7	39-46	139-142	I/O	Port 2: 8-bit general-purpose I/O port. Alternate function: High-order address (by external memory (A0-A15)). Port 2 is also used to input the upper-order address (during) EEPROM programming and verification/A0 is on P2.0, A0 on P2.1, by using A11 on P2.4.
P3.0-P3.7	224-231	118-125	I/O	Port 3: 8-bit general-purpose I/O port. Alternate functions include:
	224	118	I/O	RTCP (P3.0): Serial output port.
	225	119	I/O	TRD (P3.1): Serial output port.
	226	120	I/O	RTD (P3.2): External interrupt.
	227	121	I/O	RTT (P3.3): External interrupt.
	228	124	I/O	TR (P3.4): Timer 0 external output.
	229	125	I/O	TR1 (P3.5): Timer 1 external output.
	230	126	I/O	TR2 (P3.6): External data memory write strobe.
	231	127	I/O	TR3 (P3.7): External data memory read strobe.
	P4.0-P4.7	71-74	130, 131, 24-6	I/O
71-72		130, 131, 24-6	I/O	CMSP10, CMSP15 (P4.0, P4.5): Timer T0 compare and set/reset output. On a match with timer T0.
P5.0-P5.7	113, 114	77-78	I/O	CMSP16, CMSP17 (P4.6, P4.7): Timer T0 compare and set/reset outputs. On a match with timer T2.
	139-142	71-74	I/O	Port 5: 8-bit input port. ARCO-ARQ7 (P5.0-P5.7): Alternate function. Eight output elements to ATIC.
RESET	115	59	I/O	Reset input to reset the device. It can provide a multiplexed output when timer T0 overflows.
XTAL1	35	32	I/O	Cystal input 1: Input to the on-chip amplifier that forms the oscillator. Input to the external clock generator. It receives the external clock signal when an external oscillator is used.
XTAL2	34	31	I/O	Cystal input 2: Output of the on-chip amplifier that forms the oscillator. Input to an external clock is used.

PIN DESCRIPTION (Continued)

MNEMONIC	PIN NO.		TYPE	NAME AND FUNCTION
	PLCC	QFP		
V _{SS}	36, 37	34-36	I	Digital ground.
PSEN	47	48	O	Program Store Enable. Active low read strobe to external program memory.
ALE/PROG	48	49	O	Address Latch Enable. Latches the low byte of the address during accesses to external memory. It is active low every six clock periods. During an external data memory access, one ALE pulse is required. ALE can drive up to eight LS TTL loads and handles CMOS inputs without an external pull-up. This pin is also the program memory (EPROM) during EPROM programming.
EXV _{PP}	49	50	I	External Access. When EA is held at TTL level high, the CPU executes out of the external program ROM provided the program counter does not exceed 65,535. When EA is held at TTL low level, the CPU executes out of internal program memory. EA is not allowed to float. This pin also receives the 1.2V V _{PP} programming supply voltage for EPROM programming.
AV _{REF-}	58	59	I	Analog to Digital Conversion Reference Resistor; Low end
AV _{REF+}	59	60	I	Analog to Digital Conversion Reference Resistor; High end
AV _{SS}	60	61	I	Analog Ground
AV _{DD}	61	63	I	Analog Power Supply

NOTE:

1. To avoid "latch-up" effect at power-on, the voltage on any pin at any time must not be higher or lower than V_{DD} ± 0.5V or V_{SS} ± 0.6V, respectively.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier. The pins can be configured for use as an on-chip oscillator, as shown in the logic symbol, page 424.

To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected. There are no requirements on the duty cycle of the external clock circuit, because the input to the internal clock circuit is through a divide-by-two flip-flop. However, minimum and maximum high and low times specified in the data sheet must be observed.

RESET

A reset is accomplished by holding the RST pin high for at least two machine cycles (24 oscillator periods) while the oscillator is running. To insure a proper reset, the RST pin must be high long enough to allow the oscillator time to start up (typically a few milliseconds) plus two machine cycles. At power-on, the voltage on V_{DD} and RST must come up at the same time for a proper start-up.

IDLE MODE

In the idle mode, the CPU can be used to sleep while all of the on-chip peripherals stay active. The instruction to invoke the idle mode is the last instruction executed in the normal operating mode before the idle mode is activated. The CPU controls the on-chip RAM, and all of the special function registers

remain intact during this mode. The idle mode can be terminated either by any enabled interrupt (at which time the processor is put up to date, interrupt service routine, and so forth), or by a hardware reset, which starts the processor in the same manner as a power-on reset.

POWER-DOWN MODE

In the power-down mode, the oscillator is stopped and the instruction in the power-down is the last instruction executed. Only the contents of the on-chip RAM are preserved. A hardware reset from RAM may terminate the power-down mode. The control bits for the various power-downs are in the special function register PCGN (Table 1 shows the state of PCGN bits in various low-current operating modes).

Table 1. External Pin Status During Idle and Power-Down Modes

MODE	PROGRAM MEMORY	ALE	PSEN	PORT 0	PORT 1	PORT 2	PORT 3	PORT 4	PORT 5/PCGN 1
Idle	Internal	1	1	Data	Data	Data	Data	Data	High
Idle	External	1	1	Data	Data	Address	Data	Data	High
Power-down	Internal	0	0	Data	Data	Data	Data	Data	High
Power-down	External	0	0	Float	Data	Data	Data	Data	High

Serial Control Register (S1CON) – See Table 2

S1CON(DH5)	CR2	ENS1	STA	STO	SI	AA	CR1	CR0
------------	-----	------	-----	-----	----	----	-----	-----

Bits CR0, CR1 and CR2 determine the serial clock frequency that is generated in the master mode of operation.

Table 2. Serial Clock Rates

CR2	CR1	CR0	BIT FREQUENCY (kHz) AT f _{osc}				f _{osc} DIVIDED BY
			6MHz	12MHz	16MHz	24MHz ²	
0	0	0	23	47	62.5	94	256
0	0	1	27	54	71	107 ¹	224
0	1	0	31.25	62.5	83.3	125 ¹	192
0	1	1	37	75	100	150 ¹	160
1	0	0	6.25	12.5	17	25	960
1	0	1	50	100	133 ¹	200 ¹	120
1	1	0	100	200	267 ¹	400 ¹	60
1	1	1	0.25 < 62.5	0.5 < 62.5	0.67 < 56	0.98 < 50	96 × (256 – (reload value Timer 1)) Timer 1 in Modo 2

NOTES:

- These frequencies exceed the upper limit of 100kHz of the I²C-bus specification and cannot be used in an I²C-bus application.
- At f_{osc} = 24MHz the maximum I²C bus rate of 100kHz cannot be realized due to the fixed divider ratios. For f_{osc} = 24MHz the maximum rate is limited to 94kHz.

ABSOLUTE MAXIMUM RATINGS^{1, 2, 3}

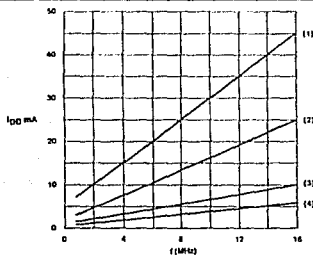
PARAMETER	RATING	UNIT
Storage temperature range	-65 to +150	°C
Voltage on E _K /V _{PP} to V _{SS} (B7C552 only)	-0.5 to +13	V
Voltage on any other pin to V _{SS}	-0.5 to +6.5	V
Input, output DC current on any single I/O pin	5.0	mA
Power dissipation (based on package heat transfer limitations, not device power consumption)	1.0	W

NOTES:

- Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any conditions other than those described in the AC and DC Electrical Characteristics section of this specification is not implied.
- This product includes circuitry specifically designed for the protection of its internal devices from the damaging effects of excessive static charge. Nonetheless, it is suggested that conventional precautions be taken to avoid applying greater than the rated maxima.
- Parameters are valid over operating temperature range unless otherwise specified. All voltages are with respect to V_{SS} unless otherwise noted.

DEVICE SPECIFICATIONS

TYPE	SUPPLY VOLTAGE (V)		FREQUENCY (MHz)		TEMPERATURE RANGE (°C)
	MIN	MAX	MIN	MAX	
PCB83(0)C552-5-16	4.0	6.0	1.2	16	0 to +70
P87C552-4	4.5	5.5	3.5	16	0 to +70
PCF83(0)C552-5-16	4.0	6.0	1.2	16	-40 to +85
P87C552-5	4.5	5.5	3.5	16	-40 to +85
PC83(0)C552-5-16	4.5	5.5	1.2	16	-40 to +125
PCB83(0)C552-5-24	4.5	5.5	1.2	24	0 to +70
PCF83(0)C552-5-24	4.5	5.5	1.2	24	-40 to +85

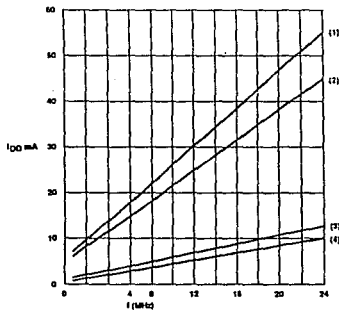


NOTE:

These values are valid only within the frequency specifications of the device under test.

- (1) Maximum operating mode; V_{DD} = 6V
- (2) Maximum operating mode; V_{DD} = 4V
- (3) Maximum idle mode; V_{DD} = 6V
- (4) Maximum idle mode; V_{DD} = 4V

Figure 10. 16MHz Version Supply Current (I_{DD}) as a Function of Frequency at XTAL1 (f_{osc})



NOTE:

These values are valid only within the frequency specifications of the device under test.

- (1) Maximum operating mode; V_{DD} = 6.5V
- (2) Maximum operating mode; V_{DD} = 4.5V
- (3) Maximum idle mode; V_{DD} = 6.5V
- (4) Maximum idle mode; V_{DD} = 4.5V

Figure 11. 24MHz Version Supply Current (I_{DD}) as a Function of Frequency at XTAL1 (f_{osc})

APENDICE C

Resumen de las Hojas de Especificaciones Técnicas de la Memoria Epson AWB210

VARIATION

Part Number	Memory Size	Description
AWB065SD*0	64K Bytes	32K × 16 bits MIX CMOS SRAM CARD
AWB129SD*0	128K Bytes	64K × 16 bits MIX CMOS SRAM CARD
AWB257SD*0	256K Bytes	128K × 16 bits MIX CMOS SRAM CARD
AWB513SD*0	512K Bytes	256K × 16 bits MIX CMOS SRAM CARD
AWB101SD*0	1M Bytes	512K × 16 bits MIX CMOS SRAM CARD
AWB201SD*0	2M Bytes	1M × 16 bits MIX CMOS SRAM CARD (Under development)

Note: * : Attribute memory type

2 : 2K Bytes EEPROM (Can be read/written)

3 : 16 Bytes battery back-up memory (Can be read/written)

4 : No attribute memory (Output "FF") (Read only)

OUTLINE OF FUNCTIONS AND FEATURES

- (1) This memory card conforms to JEIDA Ver. 4.
- (2) Size of the card
 - Width : 54.0 mm
 - Length : 85.6 mm
 - Thickness : 3.3 mm
- (3) Includes exclusive IC's for the control of I/O and power functions.
- (4) Two digital outputs (BVD1, BVD2) for the condition of the batter.
- (5) A write protect switch for protection from accidental overwriting.
- (6) Locking mechanism for battery holder.
- (7) Replaceable battery. (Replace only when power is supplied.)

(8) Support 3 type attribute memory.

8-1) With 2K Bytes EEPROM which can be read/written.

8-2) With 16 Bytes battery back-up memory which can be read/writte.

8-3) No attribute memory which can be read only. (Output "FF")

(9) Card Type : 68 pin Two-piece Type.

OPERATING MODES OF COMMON MEMORY

Mode	REG	A0	CE1	CE2	OE	WE	D0 to D7	D8 to D15
Standby	*	*	V _{IH}	V _{IH}	*	*	HZ	HZ
Even data read	V _{IH}	V _{IL}	V _{IL}	V _{IH}	V _{IL}	V _{IH}	OUTPUT	HZ
Odd data read 1	V _{IH}	V _{IH}	V _{IL}	V _{IH}	V _{IL}	V _{IH}	OUTPUT	HZ
Odd data read 2	V _{IH}	*	V _{IH}	V _{IL}	V _{IL}	V _{IH}	HZ	OUTPUT
Even data write	V _{IH}	V _{IL}	V _{IL}	V _{IH}	V _{IH}	V _{IL}	INPUT	don't care
Odd data write 1	V _{IH}	V _{IH}	V _{IL}	V _{IH}	V _{IH}	V _{IL}	INPUT	don't care
Odd data write 2	V _{IH}	*	V _{IH}	V _{IL}	V _{IH}	V _{IL}	don't care	INPUT
Word read	V _{IH}	*	V _{IL}	V _{IL}	V _{IL}	V _{IH}	OUTPUT	OUTPUT
Word write	V _{IH}	*	V _{IL}	V _{IL}	V _{IH}	V _{IL}	INPUT	INPUT

Notes: HZ = High impedance
(Pull-down to GND through 100 k ohm)

* = Input is V_{IH} or V_{IL}

OPERATING MODES OF ATTRIBUTE MEMORY

Mode	REG	A0	A1 to A11*	CE1	CE2	OE	WE	D0 to D7	D8 to D15
Data read	V _{IL} V _{IL}	V _{IL} V _{IH}	* *	V _{IL} V _{IL}	V _{IH} V _{IH}	V _{IL} V _{IL}	V _{IH} V _{IH}	OUTPUT NON-VALID	HZ HZ
Word data read	V _{IL}	*	*	V _{IL}	V _{IL}	V _{IL}	V _{IH}	OUTPUT	NON-VALID
Data write	V _{IL} V _{IL}	V _{IL} V _{IH}	* *	V _{IL} V _{IL}	V _{IH} V _{IH}	V _{IH} V _{IH}	V _{IL} V _{IL}	INPUT don't care	don't care don't care
Word data write	V _{IL}	*	*	V _{IL}	V _{IL}	V _{IH}	V _{IL}	INPUT	don't care

Notes: A1 to A11* = 2K Bytes attribute memory.

A1 to A4* = 16 Bytes attribute memory.

* = Input is V_{IH} or V_{IL}

ABSOLUTE MAXIMUM RATING

Symbol	Description	Note	Min	Max	Unit
VCC	Supply voltage		-0.5	7.0	V
VIN	Input signal voltage	1	-0.5	VCC +0.5	V
VOUT	Output signal voltage	1	-0.5	VCC +0.5	V
TOPR	Operating temperature		0	60	°C
TSTR	Storage temperature	2	-20	60	°C
HUM	Humidity	3	10	90	%
PD	Power dissipation			1	W
VBTRY	Battery voltage	4	-0.5	7.0	V

- Notes :
1. Under 7.0 V
 2. Without data back-up
 3. No dew condition
 4. The recommended battery is lithium battery CR2025 or equivalent.

CAPACITANCE

(Ta = 25°C, VIN/VOUT = 0 V, f = 1 MHz)

Symbol	Description	Min	Typ	Max	Unit
C1	Input capacitance	—	10	14	pF
C2	Input/output capacitance	—	10	14	pF

Note: The above figures are for reference only.

RECOMMENDED DC OPERATING CONDITIONS

Symbol	Description	Min	Typ	Max	Unit
VCC	Supply voltage	4.75	5.0	5.25	V
VBAT	Battery voltage	2.5	—	—	V
VIH	High level input voltage	3.5	—	VCC +0.3	V
VIL	Low level input voltage	-0.3	—	1.0	V

DC ELECTRICAL CHARACTERISTICS (VCC = 5 V, Ta = 25°C)

Symbol	Description	Note	Condition	Min	Typ	Max	Unit
ILI	Low level input current	1, 3	VIN = 0 V	-10	—	10	μA
		2		-53	—	-48	μA
IHI	High level input current	1, 2	VIN = 5 V	-10	—	10	μA
		3		10	—	50	μA
VOH	High level output voltage	3, 4, 5	IOH = -2.0 mA	VCC-0.6	—	—	V
VOL	Low level output voltage	3, 4, 5	IOL = 6.0 mA	—	—	VSS +0.4	V

- Notes:
- A0 to A20
Pull-down in the G/A (VCC < 4.2 V)
Without pull-down (VCC > 4.2 V)
 - CE1, CE2, WE, OE, REG
Pull-up to VCC through 100 ohm
Pull-down in the G/A (VCC < 4.2 V)
Without pull-down (VCC > 4.2 V)
 - D0 to D15
Pull-down to GND through 100K ohm
 - BVD1, BVD2
 - WP

CURRENT CONSUMPTION AND BATTERY VOLTAGE DETECTION (Ta = 25°C, VCC = 5 V ±5%, VBTRY = 3 V)

Symbol	Description	Condition	Min	Typ	Max	Unit	
ISTBY	Standby current	CE = WE = OE = REG = VCC - 0.2 V Other = VIL/VIH	0.8	1.1	1.5	mA	
IACT	Active current	CE = VIL, IOUT = 0 mA, Other = VIL/VIH	f = 1MHz	—	35	50	mA
			f = MAX	—	—	130	mA

CURRENT CONSUMPTION AND BATTERY VOLTAGE DETECTION
 (Ta = 25°C, VCC = 5 V ±5%, VBRTY = 3 V) (Cont)

Symbol	Description	Condition		Min	Typ	Max	Unit
IBAT1	Back-up current 1 Ta = 25°C	VCC = 0 V,	AWB065	—	1.0	4.0	μA
			AWB129	—	1.5	5.0	μA
		VBAT = 3 V	AWB257	—	2.3	7.0	μA
			AWB513	—	4.5	14.0	μA
			AWB101	—	9.0	27.0	μA
			AWB201	—	—	—	μA
IBAT2	Back-up current 2 Ta = 0 to 60°C	VCC = 0 V,	AWB065	—	—	20	μA
			AWB128	—	—	40	μA
		VBAT = 3 V	AWB257	—	—	15	μA
			AWB513	—	—	30	μA
			AWB101	—	—	60	μA
			AWB201	—	—	—	μA
VINL	Input detect voltage	VIN VCC - > 0 V		4.10	4.20	4.30	V
VINH	Input detect voltage	VIN 0 V - > VCC		4.20	4.30	4.40	V
DVIN	Hysteresis width	VINH - VINL		50	100	150	mV
BVD2	Battery detect voltage 2	VBB - > 0 V		2.55	2.65	2.75	V
DBVD2	Hysteresis width			20	40	60	mV
BVD1	Battery detect voltage 1	VBB - > 0 V		2.27	2.37	2.47	V
DBVD1	Hysteresis width			20	40	60	mV

BATTERY

(1) Recommended Battery

Type	: Lithium CR2025, Epson part No. YBA00020A
Voltage	: 3 V
Standard Capacitance	: 155 mAH
Size	: 20 mm diameter 2.5 mm thickness
Weight	: 2.7 g

(2) Battery Replacement

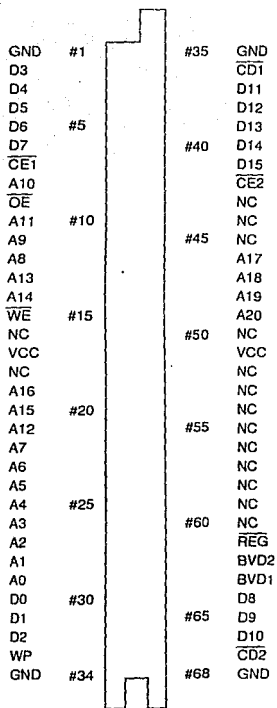
REPLACE THE BATTERY ONLY WHILE A SUPPLY VOLTAGE IS CONNECTED TO THE CARD TO PROTECT THE DATA.

(3) Approximate Battery Life ($T_a = 25^\circ\text{C}$)

Card	Typ	Unit
AWB065SD*0	10	years
AWB129SD*0	10	years
AWB257SD*0	7.6	years
AWB513SD*0	3.9	years
AWB101SD*0	1.9	years
AWB201SD*0		years

Notes: Battery life figures are typical values and are based on manufacturers data. SEIKO EPSON does not guarantee BATTERY LIFE. If the ambient storage temperature is greater than 25°C , the life span of the battery will be decreased.

PIN ASSIGNMENT



PIN ASSIGNMENT

Pin No.	Symbol	Pin No.	Symbol	Pin No.	Symbol
1	GND	23	A6	46	A17*
2	D3	24	A5	47	A18*
3	D4	25	A4	48	A19*
4	D5	26	A3	49	A20*
5	D6	27	A2	50	NC
6	D7	28	A1	51	Vcc
7	CE1	29	A0	52	NC
8	A10	30	D0	53	NC
9	OE	31	D1	54	NC
10	A11	32	D2	55	NC
11	A9	33	WP	56	NC
12	A8	34	GND	57	NC
13	A13	35	GND	58	NC
14	A14	36	CDT	59	NC
15	WE	37	D11	60	NC
16	NC	38	D12	61	REG
17	Vcc	39	D13	62	BVD ₂
18	NC	40	D14	63	BVD ₁
19	A16*	41	D15	64	D8
20	A15*	42	CE2	65	D9
21	A12	43	NC	66	D10
22	A7	44	NC	67	CD2
		45	NC	68	GND

Notes: *A15 : AWB065, AWB129, AWB257, AWB513, AWB101, AWB201

*A16 : AWB129, AWB257, AWB513, AWB101, AWB201

*A17 : AWB257, AWB513, AWB101, AWB201

*A18 : AWB513, AWB101, AWB201

*A19 : AWB101, AWB201

*A20 : AWB201

Unused address lines should be no connect.

NC : No connect

APENDICE D

Resumen de las Hojas de Especificaciones Técnicas de los Sensores de Aceleración

OEM Accelerometer Temperature Compensated 0.5 to 4.5 Vdc Output Range Interchangeable

Features

- Piezoresistive
- DC Response
- High Sensitivity
- $\pm 1\%$ Accuracy
- Instrument Grade
- Built-in Critical Damping
- Internal Voltage Regulation
- Built-in Overrange Stops
- Solid State Reliability
- Fully Calibrated
- Serialized
- Low Cost

Typical Applications

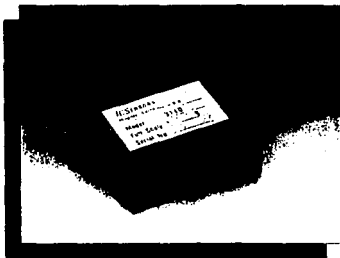
- Machine Tool Monitoring
- Industrial Vibration Monitoring
- Crash Testing
- Modal Analysis
- Geophysical Monitoring
- Robotic Motion Control
- Medical Patient Activity Monitoring
- G Sensor
- Motion Instrumentation

Standard Ranges

- $\pm 1g$
- $\pm 2g$
- $\pm 5g$
- $\pm 10g$
- $\pm 20g$
- $\pm 50g$
- $\pm 100g$

SENSORS

Model 3110



Description

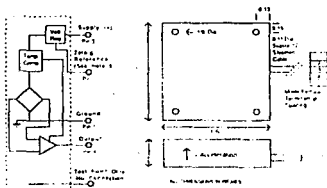
The Model 3110 is a general purpose, solid-state, piezoresistive accelerometer with built-in amplification and temperature compensation. It is intended for use where small size, high performance and low cost are required. The lightweight plastic housing provides easy attachment to the measurement surface.

The module consists of a silicon micromachined accelerometer, amplification, signal conditioning, and temperature compensation over 0 to 50 °C. A single supply is required and full scale output is ± 2 volts about a 2.5 volt offset.

The Model 3110 is designed with built-in damping, thereby allowing a wide useable bandwidth. In addition, the accelerometer element is protected from shock by overrange stops in the silicon microstructure.

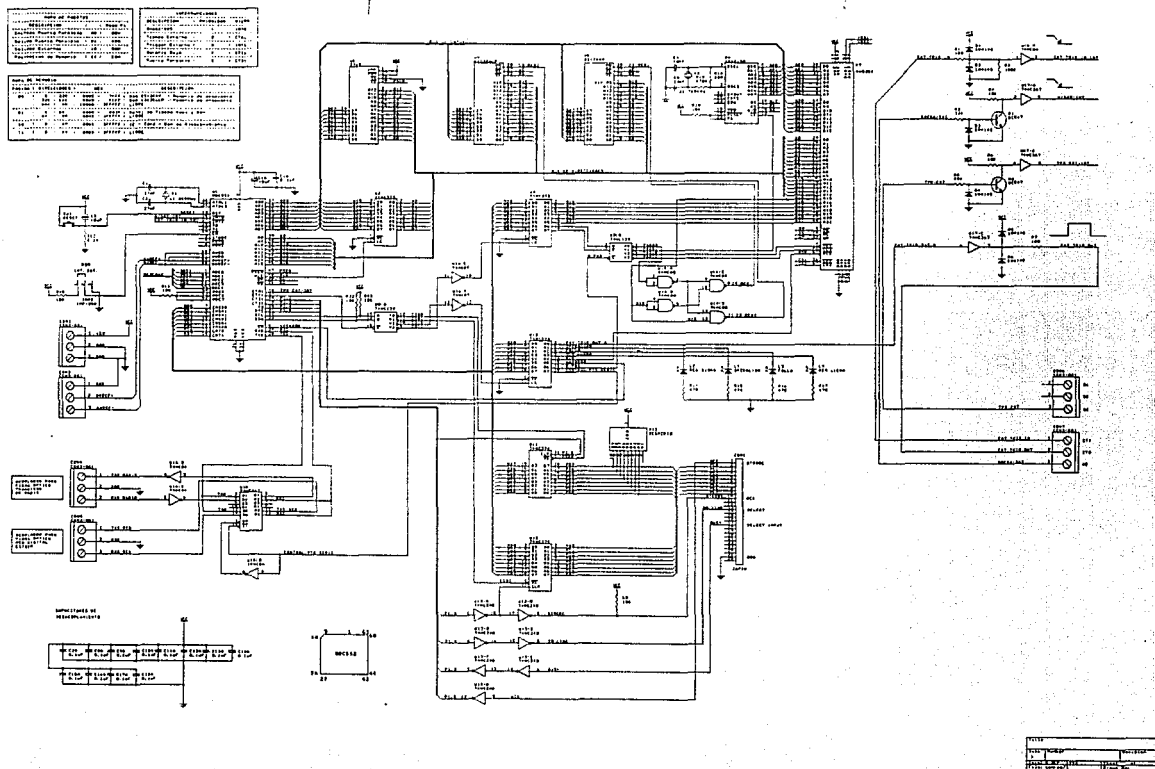
The accelerometer is available in standard ranges from $\pm 1g$ to $\pm 100g$. Custom ranges are also available. Device performance characteristics and output range can be tailored to meet the requirements of specific applications.

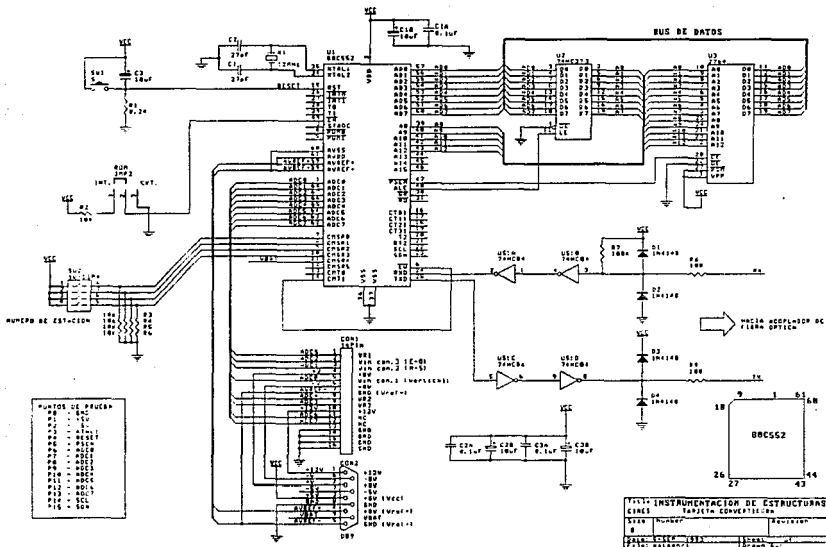
Connections/Dimensions

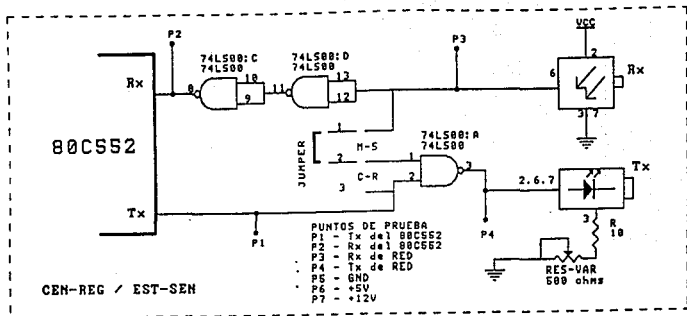


APENDICE E

Diagramas Electrónicos del Prototipo del SADE







TITULO INSTRUMENTACION DE ESTRUCTURAS TARJETA DE COMUNICACIONES		
Size	Number	Revision
A	DIAGRAMA ELECTRICO	
Date: 18-SEP-1992	Sheet of	
File: b:\pezi4\1	Drawn By:	

APENDICE F

Descripción de la Operación del SAS y de las Señales que Transmite en el Valle de México

EL SISTEMA DE ALARMA SISMICA

Con el propósito de anticipar los movimientos telúricos provenientes de la brecha de Guerrero y alertar a la población del Distrito Federal segundos antes de la ocurrencia de un sismo, así como obtener registros completos de los sismos originados en esta zona, el Centro de Instrumentación y Registro Sísmico (CIRES), de la Fundación Javier Barros Sierra, desarrolló el sistema denominado "Sistema de Alerta Sísmica" (SAS)¹.

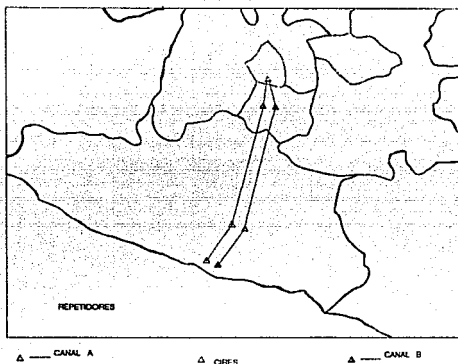
El Sistema de Alerta Sísmica está conformado por doce estaciones sensoras-detectoras distribuidas a lo largo de la costa de Guerrero (desde Punta Maldonado, Oax, hasta Zihuatanejo, Gro), las cuales se encargan de monitorear permanentemente el movimiento del suelo (a través de acelerómetros) y enviar por radio a la ciudad de México una señal de alerta cuando se detecta un sismo. En el Distrito Federal la señal es recibida en las instalaciones del CIRES, donde se analiza para transmitir en todo el Valle de México la señal de alerta.

El hecho de que sea posible anticipar los movimientos telúricos en la ciudad de México es gracias a la significativa distancia que la separa de la zona de subducción (aproximadamente 340 km) y desde luego, a la gran diferencia de velocidades en la propagación de las ondas de radio con respecto a las ondas terrestres. De esta forma se dispone, en el peor de los casos, de 60 segundos antes de que se empiecen a sentir los primeros efectos del temblor, sin embargo, para que una estructura entre en colapso, se necesitan aproximadamente 30 segundos más después del arribo del sismo.

Para ubicar las estaciones en la costa y determinar la distancia entre cada una, se estudiaron las características de la Brecha, encontrando que entre la superficie del suelo y la zona de subducción existen aproximadamente 25 Km (ver figura). De esta manera, la distancia entre estaciones -que es precisamente de 25 Km- permite obtener un patrón triangular que detecta un sismo al menos por dos estaciones.

Las estaciones cuentan con un algoritmo de detección que, de acuerdo a las características que presentan los sismos de subducción, es capaz de decidir si el evento que capta es o no un temblor, enviando en dado caso la señal de alerta junto con los parámetros del movimiento registrado.

1) El proyecto inició oficialmente en septiembre de 1989, patrocinado por el Departamento del Distrito Federal.



Todas las estaciones envían la señal de alerta al Distrito Federal a través de tres repetidores. El primero de ellos está ubicado en la estación "Las Brisas", en Acapulco, desde el cual se retransmite al segundo repetidor, en el cerro del Alquitrán, Gro, y de este, al repetidor del cerro del Chichinautzin, Mor. para enviarse finalmente a las instalaciones del CIRES en el Distrito Federal. En la computadora central (ubicada en el CIRES) se analiza los parámetros del evento registrado con objeto de obtener un aproximado de la magnitud del mismo, con el que se determina el tipo de señal a transmitir en el Valle de México.

Los equipos ubicados en el Valle de México que reciben las señales del SAS son de dos tipo; los *equipos de registro* cuya función principal es registrar la aceleración del suelo en el punto correspondiente y los *equipos de alarma* cuya función es emitir una señal auditiva para alertar a la población sobre la posible ocurrencia de un sismo. De este modo, el SAS transmite tres tipos de señales en el Valle de México, estas son:

Sismo moderado.- cuando el SAS llega a detectar un sismo de intensidad menor a 6 grados, genera esta señal con objeto de disparar anticipadamente los equipos de registro.

Alerta. - se activa esta señal cuando se detecta la presencia de un sismo de magnitud mayor o igual a 6 en la brecha de Guerrero, disparando tanto los equipos de registro como los equipos de alarma.

Sincronización. - esta señal activa manualmente desde el CIRES con el propósito de verificar el correcto funcionamiento de los equipos de registro y alerta.

APENDICE G

Listados de la Programación de las Estaciones Sensoras y la Estación Central de Registro

PROGRAMA DE LA ESTACION CENTRAL DE REGISTRO

MODULO PRINCIPAL

```

*****
Nombre: CEN.C51
Fecha: nov/82
*****
#pragma code small rom(compact)
#pragma symbols debug
#pragma optimize(3)
#include <reg80552.h>

***** DEFINICION DE MACROS *****
/** Apuntadores, banderas y contadores **/

#define CBYTE ((ubyte*) 0x5000L)
#define XBYTE ((char *) 0x2000L)
#define ID ((ubyte*) 0x10000L)
#define numRST ID[0xF0]
#define pto ID[0xF1]
#define sas ID[0xF2]

***** Constantes *****
#define SIEMPRE 1
#define TABLA 0x1000
#define PARAM 42
#define MAXES 15
#define WGINT 0x1F
#define INBLQ 0xFF
#define LONBQ 125
#define FNBLQ 0x00

/** Códigos del protocolo de comunicación **/
#define SYN 0x18
#define ACK 0x06
#define NAK 0x15
#define EOT 0x04
#define ERR -1

/**** Direcciones del Reloj de Tiempo Real ****/
#define Seg XBYTE [0x0000]
#define Min XBYTE [0x0002]
#define Hora XBYTE [0x0004]
#define Dia XBYTE [0x0007]
#define Mes XBYTE [0x0008]
#define Ario XBYTE [0x0009]
#define Reg_A XBYTE [0x000A]
#define Reg_B XBYTE [0x000B]
#define Reg_C XBYTE [0x000C]
#define Reg_D XBYTE [0x000D]

typedef unsigned char ubyte;
typedef signed char sbyte;
typedef unsigned int uint;

***** Bits de control *****
sbit OMEG = P1 ^ 0; /* Señal de omega */
sbit P1_1 = P1 ^ 1; /* DECO H */
sbit P1_2 = P1 ^ 2; /* BUSY */
sbit P1_3 = P1 ^ 3; /* STROBE */
sbit P1_4 = P1 ^ 4; /* ON LINE */

```

```

sbit P1_5 = P1 ^ 5; /* ACK */
sbit P1_6 = P1 ^ 6; /* bit bajo de MASK-P1 */
sbit P1_7 = P1 ^ 7; /* bit alto de MASK-P1 */

***** Variables globales *****
data ubyte salEXT; /* Conserva el valor de las salidas externas */
data ubyte pagina; /* Se utiliza en la paginación */
data ubyte numEst; /* Contiene el número de la estación corriente */
data ubyte omega; /* Para guardar el código omega en el número de estación */

data ubyte t; /* Usada en el reloj de tpo. real */
data ubyte c; /* Usada en el envío de datos */
data ubyte chksum; /* Checksum */
data ubyte leer; /* Para la lectura de muestras */
data ubyte falla; /* Para ciclos de reintento */
data ubyte vel; /* Velocidad de muestreo */
data uint envio; /* Total de bloques de 25 muest. del preventivo */

data uint maxmem; /* Preevento máximo */
data uint blq; /* Total de bloques para 75 seg. de preventivo */

data uint memoez; /* Apuntador mem. preventivo */
data uint memsis; /* Apuntador memoria regist. */
data uint inlmem; /* Para el envío de bloques */
data ubyte mempag; /* Pág. de la IC-CARD */

idata ubyte buf_p[PARAM + 1]; /* Parámetros por omisión */
idata ubyte rstEst[11]; /* Reseta de las EstSen */

void boot(void);
void salida_ext(void);
void paginacion(void);
void watchdog(void);
void diag_estsen(void);
void vel_estsen(void);
void sinc_estsen(void);
void sinc_pto50(void);
void Lee_muest(void);
void Envia50(ubyte dato_50);
void Lee50(void);
void int_PC(void);
void Registra(void);
void Comunica(void);
void ini_PC(void);
void tiempo(void);
void LeeLPT(void);
void EnvialPT(ubyte dato);
void Envia_dat(void);
void Recibe_dat(ubyte inicio, fin);
void Envia_muest(uint bloques);
void Envia_sismo(void);
void actual(void);
void paramet(void);
void Monitor(void);
void Estad(void);
void Diagnostico(void);

```

```

/***** PROGRAMA PRINCIPAL *****/
Activa la señal de OPERACION y el watchdog. Utiliza la
interrupción CT2 para la comunicación en paralelo. Ocupa la
interrupción externa 0 para la señal de SAS. Si está abierto el
anillo o si no está colocada la IC-CARD, enciende y apaga el led
de FALLA. Si P5.7 = 1 realiza el boot de los parámetros
iniciales. Sincroniza las estaciones. Si la bandera pto está
encendida realiza la comunicación con la LAPTOP. Si la
bandera sas está activada, registra 75 segundos de evento. Lee
las muestras y las guarda en la memoria de preventivo.
*****

```

```

void main(void)
{
    salEXT |= 0x52; /* Activa OPERACION */
    salEXT &= 0x5F; /* Activa puerto serie y watchdog */
    salEXT ^= 0x04; /* Toggle de FALLA */
    salida_ext0; /* Actualiza salidas externas */

    SC0N = 0x50; /* Pto. serie modo 2 (9 bits UART) */
    CTCON = 0x20; /* Interrup. CT2 por flanco de bajada */
    ECT2 = 1; /* Habilita interrupción CT2 */
    EX0 = PX0 = 1; /* Habilita interrupción externa 0
                    con prioridad alta */

    pto = sas = 0; /* Borra banderas */
    numRST ++; /* Incrementa contador de resets */
    EA = 1; /* Habilita Interrupciones */

    while (P5 & 0x80)
        boot(); /* Si P5.7 = 1 carga parám. iniciales */
    while (P5 & 0x10); /* Si P5.4 = 1 IC-CARD no instalada */
    sinc_ptoS0; /* Espera respuesta de la red */

    watchdog(); /* Actualiza cuenta del watchdog */
    paramet(); /* Calcula parámetros del sistema */
    numEst = 0;
    sinc_estSen(); /* Sincroniza estaciones */

    do {
        if (pto)
            Comunica(); /* Comunicación con LAPTOP */
        watchdog(); /* Actualiza cuenta del Wdog */
        if (sas)
            Registra(); /* Registra mismo */
            Lee_muest(); /* Lee muestras de las EstSen */
        } while (SIEMPRE);
    }
}

```

```

/***** Comunica *****/
Envía el bloque de parámetros de operación y espera recibir
ACK, de no ser así, lo envía nuevamente. Incluye un menú
manejado desde la LAPTOP para:

```

- 1: Envío de datos del evento.
12: Borra memoria de evento.
- 2: Monitoreo de estaciones.
- 3: Autodiagnóstico.
- 4: Estadísticas del sistema.
- 5: Actualiza la configuración del sistema.
51: Lee identificación del sistema.
52: Lee parámetros del sistema.
53: Lee fecha y hora actual.
54: Envía bloque actualizado y termina la opción.
- 6: Envío de datos del preventivo.
- 9: Fin de comunicación en paralelo.

```

*****
void Comunica(void)
{
    ubyte l, op;
    uint;

    salEXT |= 0x20; /* Desactiva el watchdog */
    salida_ext0;
    ini_PC(); /* Protocolo: Inicio de comunicación */
    tiempo0; /* Lee reloj de tiempo real */
    Envía_dat0; /* Envía parámetros del sistema */
    pto = 0; /* Apaga bandera de comunicación */

    do {
        op = LeeLPT0();
        switch(op) {
            case 1:
                Envía_sismo(); /* Envía eventos regist. */
                if (LeeLPT0() == 12) {
                    memata = 0;
                    mempag = 0x80;
                    buf_p[42] = 0;
                    salEXT &= 0xF7; /* Apaga MEM */
                    salida_ext0;
                }
                break;
            case 2: Monitor(); break;
            case 3: Diagnostico(); break;
            case 4: Estad(); break;
            case 5:
                do {
                    op = LeeLPT0();
                    switch(op) {
                        case 51: Recibe_dat(1,22);
                                break;
                        case 52: Recibe_dat(23,29);
                                paramet();
                                break;
                        case 53: Recibe_dat(30,35);
                                actual();
                                break;
                    }
                } while (op != 54);
                tiempo0;
                Envía_dat0;
                break;
            case 6: Envía_must(envío);
                    break;
            case 9:
                for (i = 30; i < 35; i++)
                    buf_p[i+6] = buf_p[i];
                salEXT &= 0xDF; /* Activa watchdog */
                salida_ext0; /* Borra band. de interrupción */
                TM2IR = 0; /* Habilita interrupción CT2 */
                ECT2 = 1;
                break;
        }
    } while (op != 9);
    numEst = 0;
    sinc_estSen();
}

```

```

/***** Envía_muest *****/
Envía el contenido de la memoria de preevento en bloques de
128 bytes, por cada bloque verifica si lo recibió la LAPTOP, en
caso contrario, lo envía de nuevo. El total de bloques se calcula
en paramet0.
*****/
void Envía_muest(uint bloques)
{
  ubyte i;
  uint j = 0;
  pagina = 0; paginacion0;
  do {
    do {
      inimem = memoe; /* Conserva el valor del
                      apunador. */
      chksum = 0;
      for (i = 0; i 128; i++) {
        c = XBYTE[memoe++]; /* Lee dato */
        chksum += c; /* Calcula checksum */
        EnvíaLPT(c); /* Envía el dato */
      }
      EnvíaLPT(chksum); /* Envía checksum */
      c = LeeLPT();
      if (c == ACK) { /* Si recibe ACK estuvo
                      correcto */
        F1 = 0;
      }
      else {
        memoe = inimem; /* Para enviarlo de nuevo */
        F1 = 1;
      }
    } while (F1);
    if (memoe == maxmem)
      memoe = 0;
  } while (++ bloques);
  salEXT |= 0x40;
  salida_ext0;
}

/***** Envía_sismo *****/
Envía el contenido de la IC-CARD, comenzando con nueve
bytes de encabezado, 75 segundos de evento en bloques de
128 bytes y 3 bytes de fin de evento. Esto se repite tantas veces
como eventos se tengan registrados.
*****/
void Envía_sismo(void)
{
  ubyte i, j;
  uint j = 0;
  pagina = 0x80; /* Habilita IC-CARD */
  memais = 0;
  for (i = 1; i buf_p[42]; i++) { /* buf_p[42] contiene total
  de eventos */
    paginacion0;
    for (i = 0; i 9; i++) { /* Envía cabecera */
      c = XBYTE[memais++];
      EnvíaLPT(c);
    }
    memais += 119;
    if (memais == 0) { /* Siguietes 64 K's */
      ++ pagina; paginacion0;
    }
    do {
      /* 75 segundos del evento */
      do {
        inimem = memais;
        chksum = 0;
        for (i = 0; i 128; i++) {
          c = XBYTE[memais++];
          chksum += c;
          EnvíaLPT(c);
        }
        EnvíaLPT(chksum);
        c = LeeLPT();
        if (c == ACK) {
          F1 = 0;
        }
        else {
          memais = inimem;
          F1 = 1;
        }
      } while (F1);
      if (memais == 0) {
        ++ pagina; paginacion0;
      }
    } while (++ i) bloq;
    c = XBYTE[memais++]; /* Envía fin de evento */
    EnvíaLPT(c);
    c = XBYTE[memais++];
    EnvíaLPT(c);
    c = XBYTE[memais++];
    EnvíaLPT(c);
    memais += 125;
    if (memais == 0)
      ++ pagina; /* Incrementa la página */
  }
  salEXT |= 0x40; salida_ext0;
}

/***** Lee_muest *****/
Solicita el buffer de muestras a la estación correspondiente y lo
almacena en la memoria de preevento en bloques de 128
bytes: un byte de inicio, el número de la estación, 125 bytes de
datos y un byte de fin de bloque. Intenta leer la estación 10
veces, si no lo logra, marca ese bloque como malo con un 0
en el bit 5 del número de estación.
*****/
void Lee_muest(void)
{
  ubyte i;
  if (++ numEst buf_p[23]) /* Siguiete estación */
    numEst = 1;
  falla = pagina = omega = 0;
  paginacion0; /* Habilita memoria preevento */
  do {
    watchdog0;
    FD = 0;
    TBB = 1;
    EnvíaS0(numEst);
  }
}

```

```

TBB = 0;
EnviaS0('1');
FO = 0;
REN = 1;
switch (LeeS00) {
case NAK:
    while (LeeS00 != ACK) {
        FO = 0;
        watchdog();
    }
case ACK:
    if (buf_p[24] & 0x40) {
        omega = OMEG;
        omega = omega < 4;
    }
    omega | = numEst;
    XBYTE[memoex + +] = INBLQ;
    XBYTE[memoex + +] = omega;
    for (i = 0; i LONQP; i + +);
    XBYTE[memoex + +] = LeeS00;
    XBYTE[memoex + +] = FNBLQ;
    if (memoex = maxmem) /* Previento
        memoex = 0; circular */
    /* Deshabilita la paginación */
    salEXT | = 0x40; salida_ext0;
    watchdog();
    leer = 1;
break;
default:
    EnviaS0(EOT);
    leer = 0;
break;
}
REN = 0;
} while (leer && (+ + iaia 10));
if (leer) { /* Indica error en el bloque */
    XBYTE[memoex + +] = INBLQ;
    XBYTE[memoex + +] = (numEst | 0x20);
    memoex + = 125;
    XBYTE[memoex + +] = FNBLQ;
    if (memoex = maxmem) memoex = 0;
}
/* Deshabilita la paginación */
salEXT | = 0x40; salida_ext0;
}
}
***** Recibe_dat *****
Guarda en el buffer los parámetros modificados y verifica si los
recibió correctamente, de no ser así, solicita que se le envíen
nuevamente. Recibe identificación del sistema, parámetros o
fecha y hora. Utiliza F1 como bandera de error.
*****
void Recibe_dat(ubyte inicio, fin)
{
    ubyte i;
    do {
        chksum = 0;
        for (i = inicio; i fin; i + +) {
            c = LeeLPT0; /* Lee dato */
            buf_p[i] = c; /* Lo almacena en el buffer */
            chksum + = c; /* Calcula checksum */
        }
        if (LeeLPT0 = = chksum) {
            EnviaLPT(ACK); F1 = 0;
        } else {
            EnviaLPT(NAK); F1 = 1;
        }
    } while (F1);
}
***** Envia_dat *****
Envía los parámetros de operación y verifica si lo hizo
correctamente, de no ser así, repite el envío. Utiliza F1 como
bandera de error.
*****
void Envia_dat(void)
{
    ubyte i;
    do {
        chksum = 0;
        for (i = 1; i PARAM; i + +) {
            c = buf_p[i]; /* Toma parámetro del buffer */
            chksum + = c; /* Calcula checksum */
            EnviaLPT(c); /* Envía parámetro */
        }
        EnviaLPT(chksum); /* Envía checksum */
        if (LeeLPT0 = = ACK)
            F1 = 0;
        else
            F1 = 1;
    } while (F1);
}
***** paginación *****
Habilita el decodificador de página y activa la salida externa
para actualizarla. Coloca el contenido de la variable pagina en
el puerto 4 y habilita el decodificador para activar la página
correspondiente.
*****
void paginación(void)
{
    salEXT & = 0xBF; /* Habilita decodif. de página */
    salida_ext0;
    P1_7 = 1; /* Habilita paginación */
    P1_6 = 1; /* Habilita paginación */
    P4 = pagina; /* Coloca página en el bus */
    P1_1 = 0; /* Habilita decodificador */
    P1_1 = 1; /* Deshabilita decodificador */
}
***** salida_ext *****
Coloca el contenido de la variable salEXT en el puerto 4 y activa
la salida externa para actualizarla. Dicha variable conserva el
valor de las salidas aunque exista un reset.
*****
void salida_ext(void)
{
}

```

```

P4 = salEXT;      /* Coloca dato en el bus */
P1_7 = 1;        /* Máscara para salida externa */
P1_6 = 0;        /* MASK-P1 = 1 0 */
P1_1 = 0;        /* Habilita decodificador */
P1_1 = 1;        /* Deshabilita decodificador */
}

/***** Boot *****/
Toma los datos de inicialización de la memoria ROM y los
carga en el buffer de memoria RAM interna para que sean
manipulados. Inicializa el reloj de tiempo real y los apuntes
de la memoria de preevento y de evento. Espera por un reset
del watchdog. Esta opción opera con jumper.
*****/

void boot(void)
{
  ubyte i;
  memoeX = TABLA;
  for (i = 1; i PARAM; i++) { /* Inicializa el buffer */
    buf_p[i] = CBYTE[memoeX + i];
  }
  salEXT &= 0xF6; salida_ext0; /* Apaga señales de SISMO
                               y MEM */
  pagina = 0x40; paginacion0; /* Inicializa reloj tpo. real */
  Reg_A = 0x26; /* Período de interrupción
                122.07 microseg */
  Reg_B = 0x86; /* Activa SET, modo binario
                y de 24 horas */
  Reg_A = 0x26;
  Reg_B = 0x86;
  Seg = buf_p[35];
  Min = buf_p[34];
  Hora = buf_p[33];
  Dia = buf_p[32];
  Mes = buf_p[31];
  Año = buf_p[30];
  Reg_B &= 0x7F; /* Apaga SET */
  salEXT |= 0x40; salida_ext0; /* Deshabilita decodificador
                               de página */
  memoeX = memsis = 0; /* Inicializa apuntes */
  mempaX = 0x80;
}

/***** actual *****/
Actualiza la hora y la fecha del sistema que recibe de la
LAPTOP.
*****/

void actual(void)
{
  pagina = 0x40; /* Inicializa reloj de tiempo real */
  paginacion0;
  do
  {
    i = Reg_C;
    while((i & 0x40)) { /* Espera PF = 1 */
      Reg_B |= 0x80;
      Seg = buf_p[35];
      Min = buf_p[34];
      Hora = buf_p[33];
      Dia = buf_p[32];
      Mes = buf_p[31];
    }
  }
}

Anio = buf_p[30];
Reg_B &= 0x7F;
salEXT |= 0x40; salida_ext0;
}

/***** tiempo *****/
Lee la hora y la fecha del reloj de tiempo real y almacena esta
información en el buffer de parámetros.
*****/

void tiempo(void)
{
  pagina = 0x40;
  paginacion0;
  do
  {
    i = Reg_C;
    while((i & 0x40)) {
      buf_p[35] = Seg;
      buf_p[34] = Min;
      buf_p[33] = Hora;
      buf_p[32] = Dia;
      buf_p[31] = Mes;
      buf_p[30] = Año;
      salEXT |= 0x40; salida_ext0;
    }
  }
}

/***** Estad *****/
Envía el total de resets de cada estación y de la Central de
Registro. Borra el contador de resets.
*****/

void Estad(void)
{
  for (numEst = 1; numEst buf_p[23]; numEst++) { /*
    buf_p[23] = total de estaciones */
    do {
      F0 = 0;
      T8 = 1;
      EnvíaSQ(numEst);
      T8 = 0;
      EnvíaSQ(3); /* Solicita reset de la est. indicada */
      F0 = 0;
      REN = 1;
      rEst[numEst] = LeeSQ0;
      REN = 0;
    } while (rEst[numEst] == ERR);
  }
  for (numEst = 1; numEst buf_p[23]; numEst++)
    EnvíaLPT(rEst[numEst]);
  EnvíaLPT(numRST); /* Envía num. de 'resets' */
  numRST = 0;
}

/***** Monitor *****/
Solicita un muestra de la estación a monitorear, mientras P1.5
= 0. Cuando esta condición no se cumple, lee el número de
estación a monitorear o, si lee un cero, termina la opción.
*****/

void Monitor(void)
{
  ubyte i;
  do {
    numEst = LeeLPT0;
  }
}

```

```

if (numEst 0) {
  falla = 0;
  do {
    FO = 0;
    TB8 = 1;
    EnvíaSO(numEst);
    TB8 = 0;
    EnvíaSO(2); /* Ordena monitoreo */
    FO = 0;
    REN = 1;

    switch (LeeSO0) {
      case NAK:
        while (LeeSO0 != ACK) FO = 0;
        for (i = 0; i < 5; i++) /* Lee muestra */
          rstEst[i] = LeeSO0;
        leer = 1;
        break;
        default: leer = 0; break;
    }
    REN = 0;
  } while (!leer && (++falla < 16));
}
if (OMEG)
  rstEst[0] = 0x01;
if (!leer)
  rstEst[0] = 0x02; /* Indica error */
for (i = 0; i < 5; i++) /* Envía muestra */
  EnvíaLPT(rstEst[i]);
} while (numEst);
}

/***** paramet *****/
Inicializa el apuntador de la memoria de preevento, calcula la
dirección más alta (maxmem) y el total de bloques de 128
bytes (envio). Envía la velocidad de muestreo a las estaciones
(vel) y calcula el total de bloques para 75 segundos de evento
(biq).
*****/
void paramet(void)
{
  memoex = 0;
  maxmem = ((uint)(buf_p[25]*0x20)/(buf_p[23])) *
    ((uint)buf_p[23]*128);
  envio = (maxmem/128);
  vel = (buf_p[24] & 0x03);
  vel_estsen0;
  EnvíaSO(vel);
  switch (vel) {
    case 0: vel = 20; break;
    case 1: vel = 50; break;
    case 2: vel = 100; break;
    case 3: vel = 200; break;
  }
  biq = (uint){vel*buf_p[23]};
  biq *= 3;
}

/***** Registra *****/
Capture en la IC-CARD en la hora del evento. Guarda el
encabezado (9 bytes). Activa la señal de SISMO. Sincroniza
estaciones. Almacena 75 segundos de evento. Guarda el fin de
evento (3 bytes). Apaga señal de SISMO, guarda la página en la
que quedó (mempag), borra la bandera sas y permite
nuevamente interrupciones.
*****/
void Registra(void)
{
  ubyte i;
  uint j = 0;
  pagina = 0x40; /* Hora del evento */
  paginacion0;

  do
    t = Reg_C;
  while (!t & 0x40);
  buf_p[35] = Seg;
  buf_p[34] = Min;
  buf_p[33] = Hora;
  buf_p[32] = Dia;
  buf_p[31] = Mes;
  buf_p[30] = Anio;
  salEXT | = 0x40; salida_ext0;
  pagina = mempag; /* Activa página correspondiente */
  paginacion0;

  XBYTE[memsis++] = INBLO; /* Guarda encabezado */
  XBYTE[memsis++] = 0;
  for (i = 30; i < 35; i++)
    XBYTE[memsis++] = buf_p[i];
  XBYTE[memsis++] = ++buf_p[42];
  memsis += 119;
  salEXT | = 0x41; salida_ext0; /* Activa SISMO */
  if (memsis == 0) /* Cambio de página */
    if (++pagina == 0x8F) {
      salEXT | = 0x08; /* Enciende MEM LLENA */
      salida_ext0;
    }
  numEst = 0; /* Sincroniza estaciones */
  sinc_estsen0;
  do { /* Lee 75 segs. de evento */
    if (++numEst buf_p[23]) numEst = 1;
    falla = omega = 0;
    do {
      FO = 0;
      TB8 = 1;
      EnvíaSO(numEst);
      TB8 = 0;
      EnvíaSO(1);
      FO = 0;
      REN = 1;

      switch (LeeSO0) {
        case NAK:
          /* Espera que llene buffer */
          while (LeeSO0 != ACK) {
            FO = 0;
            watchdog0;
          }
        case ACK:
          paginacion0;
          if (buf_p[24] & 0x40) {
            omega = OMEG;
            omega = omega < 4;
          }
        }
    }
  }
}

```



```

omega = numEst;
XBYTE[memsis + +] = INBLO;
XBYTE[memsis + +] = omega;
for (i = 0; i < LONPO; i + +)
    XBYTE[memsis + +] = LeeS0();
XBYTE[memsis + +] = FNBLQ;
if (memsis == 0) /* Cambio de pag. */
    if (+ + pagina == 0x0F)
        salEXT |= 0x08;
salEXT |= 0x40; /* Deco pag. OFF */
salida_ext0;
leer = 1;
break;
default: EnvíaS0(EOT); leer = 0; break;
}
REN = 0;
} while (!leer && { + + falla } 10);
if (!leer) { /* Si no leyó la est. */
    paginacion0;
    XBYTE[memsis + +] = INBLO;
    XBYTE[memsis + +] = (numEst | 0x20);
    memsis + = 125;
    XBYTE[memsis + +] = FNBLQ;
    if (memsis == 0)
        if (+ + pagina == 0x0F)
            salEXT |= 0x08;
        salEXT |= 0x40; salida_ext0;
    }
} while (+ +) blq;
}
paginacion0; /* Marca fin de evento */
XBYTE[memsis + +] = INBLO;
XBYTE[memsis + +] = 0;
XBYTE[memsis + +] = FNBLQ;
memsis + = 125;
if (memsis == 0)
    if (+ + pagina == 0x09)
        salEXT |= 0x08;
salEXT |= 0x40; salEXT &= 0xFE; salida_ext0;
sas = 0; /* Borra bandera de SISMO */
mempag = pagina;
EA = 1;
}
/****** int_PC *****
Rutina de interrupción del puerto paralelo para la atención al
operador. Prende la bandera 'pto'
*****
void int_PC(void) Interrupt 8
{
    ECT2 = 0; /* Deshabilita interrupción */
    TM2IR = 0;
    pto = 1; /* Activa bandera de comunicación */
}
/****** int_SAS *****
Rutina de interrupción del módulo radioreceptor generada por
el SAS. Prende la bandera 'sas'
*****
void int_SAS(void) Interrupt 0
{

```

```

if (buf_p[24] & 0x20) { /* Se permite disparo externo */
    EA = 0; /* Deshabilita interrupciones */
    sas = 1; /* Activa bandera de sismo */
}
}
/****** Diagnóstico *****
Ordena la ejecución de las rutinas de diagnóstico a las EstSen.
*****
void Diagnostico(void)
{
    diag_estsen0;
}

```

MODULO DE COMUNICACION SERIAL

```

/******
Nombre: COM.C51
Fecha: nov/92
*****
#pragma code small rom(compact)
#pragma symbols debug
#pragma optimize(3)
#include <8052.h>
#define WGINIT 0x1F
#define SIEMPRE 1
#define ERR -1
/* **** Códigos protocolo Pto. serie **** */
#define SYN 0x18
#define ACK 0x06
#define NAK 0x15
#define EOT 0x04
typedef unsigned char ubyte;
typedef signed char sbyte;
void diag_estsen(void);
void vel_estsen(void);
void sinc_estsen(void);
void sinc_ptoS0(void);
void EnvíaS0(ubyte dato_S0);
void LeeS0(void);
void watchdog(void);
void diag_estsen(void)
{
    FD = 0;
    T88 = 1;
    EnvíaS0(0); /* Envía código de llamado general */
    T88 = 0;
    EnvíaS0(7); /* Envía código de autodiagnóstico */
}
void vel_estsen(void)
{
    FD = 0;
    T88 = 1;
    EnvíaS0(0); /* Envía código de llamado general */
    T88 = 0;
    EnvíaS0(4); /* Envía código de inicialización */
}
}

```

```

void sinc_estsen(void)
{
    unsigned Int i;

    FO = 0;
    TBS = 1;
    EnvíaS0('0'); /* Envía código de llamado general */
    TBS = 0; /* Envío de dato */
    EnvíaS0('5'); /* Envía código de sincronización */
    for (i = 0; i < 3000; i++); /* Retardo */
    TBS = 1;
    EnvíaS0('0'); /* Envía código de llamado general */
    TBS = 0; /* Envío de dato */
    EnvíaS0('5'); /* Envía código de sincronización */
    FO = 0;
    for (i = 0; i < 3000; i++); /* Retardo */
    TBS = 1;
    EnvíaS0('0'); /* Envía código de llamado general */
    TBS = 0; /* Envío de dato */
    EnvíaS0('8'); /* Envía código de sincronización */
}

void sino_pioS0(void)
{
    TBS = 0; /* Envío de dato */
    REN = 0; /* Deshabilita recepción */
    EnvíaS0(EOT);
    EnvíaS0(EOT);
    /* **** Rutina sólo para configuración en anillo **** */
    REN = 1; /* Habilita recepción */
    do
        EnvíaS0(SYN); /* Envía código SYN */
    while ((LeeS0() != SYN); /* Espera hasta recibir código SYN */
    REN = 0; /* Deshabilita recepción */
}

void EnvíaS0(ubyte dato_S0)
{
    SBUF = dato_S0; /* Carga el dato en el buffer serial */
    while ((TI == 0));
    TI = 0; /* Apaga bandera de transmisión */
}

abyte LeeS0(void)
{
    ubyte i = 0;
    while (!i) /* Intenta 255 veces... */
        if (RI) { /* Si recibió el dato... */
            RI = 0; /* Apaga bandera de recepción */
            return(SBUF); /* Proporciona el dato leído */
        }
    FD = 1; /* Si no pudo leer enciende bandera de transmisión */
    return(ERR); /* Proporciona código de error */
}

void watchdog(void)
{
    PCON |= 0x10; /* Permite recarga de T3 */
    T3 = WGINIT; /* Actualiza cuenta del watchdog */
}

```

MODULO DE COMUNICACION POR PUERTO PARALELO

```

/*****
Nombre: LPT_CS1
Fecha: nov/92
*****/

#pragma code small rom(compact)
#pragma symbols debug
#pragma optimize(3)
#include <80552.h>

#define ERR -1

sbit P1_1 = P1 ^ 1; /* Habilitación del decodificador */
sbit P1_2 = P1 ^ 2; /* BUSY (L) */
sbit P1_3 = P1 ^ 3; /* STROBE (L) */
sbit P1_4 = P1 ^ 4; /* ON LINE (L) */
sbit P1_5 = P1 ^ 5; /* ACK (H) */
sbit P1_6 = P1 ^ 6; /* bit bajo de MASK-P1 */
sbit P1_7 = P1 ^ 7; /* bit alto de MASK-P1 */

typedef unsigned char ubyte;
ubyte dato;

void ini_PC(void)
{
    P1 = 0xE7; /* Habilita STROBE y ON LINE */
    while ((P1_5)); /* Espera a que active ACK */
    P1 = 0xFF; /* Deshabilita STROBE y ON LINE */
    while ((P1_5)); /* Espera a que desactive ACK */
}

void EnvíaLPT(ubyte dato)
{
    P1_4 = 0; /* Habilita ON LINE */
    while ((P1_2)); /* Espera señal inactiva de BUSY */
    P1_4 = 1; /* Deshabilita ON LINE */
    P4 = dato; /* Coloca dato en el bus */
    P1_7 = 0; /* Máscara para salida de datos */
    P1_6 = 1; /* MASK-P1 = 0 1 */
    P1_1 = 0; /* Habilita decodificador */
    P1_3 = 0; /* Avisa hay dato válido (STROBE) */
    while ((P1_2)); /* Esp. señal dato recibido (BUSY) */
    P1_3 = 1; /* Deshabilita STROBE */
    P1_1 = 1; /* Deshabilita decodificador */
}

ubyte LeeLPT(void)
{
    P1_4 = 0; /* Habilita ON LINE */
    while ((P1_2)); /* Espera señal de BUSY activa */
    P1_4 = 1; /* Deshabilita ON LINE */
    P1_7 = 0; /* Máscara para entrada de datos */
    P1_6 = 0; /* MASK-P1 = 0 0 */
    P1_1 = 0; /* Habilita decodificador */
    P1_3 = 0; /* Avisa que está lista (STROBE) */
    while ((P1_5)); /* Espera a que esté lista (ACK) */
    dato = P4; /* Lee dato del bus */
    P1_3 = 1; /* Deshabilita STROBE */
    P1_1 = 1; /* Deshabilita decodificador */
    return(dato); /* Proporciona el dato leído */
}

```

MODULO DE INICIALIZACION DE DATOS EN MEMORIA

CSEG AT 1000H

```

;***** BLOQUE UNO *****
DW 0000H ; No. del sistema (parte alta)
DB 'SADE; MGIP/LJGA/LJCL'; Autores
;***** BLOQUE DOS *****
DB 02H; TOTAL DE ESTACIONES ; 23
DB 01H; ESTADO DEL SISTEMA ; 24
; FALLA, OMEGA, DISP. RADIO, ***, ***, VELOCIDAD
; 0 0 0 0 0 0 0 0 1
; CODIGO | VELOCIDAD(mtas./s)
; 0,0 | 20
; 0,1 | 50 (por omisión)
; 1,0 | 100
; 1,1 | 200
DB 0FH; MEMORIA DE PREEVENTO; 25
DB 0FH; MEMORIA DE POSTEVENTO; 25
    
```

```

DB 0FFH; UMBRAL ALTO DE DISPARO; 27
DB 00H; UMBRAL BAJO DE DISPARO ; 28
DB 01H; ESTACION QUE DISPARA; 29
;***** BLOQUE TRES *****
DB 5CH; AÑO ACTUAL; 30
DB 09H; MES ACTUAL; 31
DB 01H; DIA ACTUAL; 32
DB 00H; HORA ACTUAL; 33
DB 00H; MINUTO ACTUAL; 34
DB 00H; SEGUNDO ACTUAL; 35
;***** BLOQUE DE SOLO LECTURA *****
DB 5CH; AÑO ULTIMA VISITA; 36
DB 09H; MES ULTIMA VISITA; 37
DB 01H; DIA ULTIMA VISITA; 38
DB 00H; HORA ULTIMA VISITA; 39
DB 00H; MINUTO ULTIMA VISITA; 40
DB 00H; SEGUNDO ULTIMA VISITA; 41
DB 00H; No. DE EVENTOS; 42
END
    
```

PROGRAMA DE LAS ESTACIONES SENSORAS

MODULO PRINCIPAL

```

/*****
Nombre: ESTACION.C51
Fecha: nov/92
*****/

#pragma code small rom(small)
#pragma symbols debug
#include <80552.h>

/***** DEFINICION DE MACROS *****/
#define CICLO 1
#define WGINT 0x1F
#define MAXMT 25
#define BFMAX 75
#define MUESTO 0x12

/***** Códigos protocolo Pto. serie *****/
#define ACK 0x06
#define NAK 0x15
#define EOT 0x04
#define ERR -1

typedef unsigned char ubyte;
typedef unsigned int uint;
typedef float char abyte;

kdata ubyte bufMuest[BFMAX]; /* Buffer de muestras */
kdata ubyte contbuf; /* Apunt. de bufMuest[] */
kdata uint inibuf; /* Apunt. variable de bufMuest[] */
kdata ubyte Bbuf; /* Bandera de buffer lleno */
kdata ubyte contMst; /* Contador de muestros */
kdata ubyte numRST;
kdata ubyte muest1;
kdata ubyte autod;
kdata ubyte idMOD; /* Identificador de la estación */
kdata ubyte result; /* Resultado del diagnóstico de la EstSen */
kdata ubyte contH; /* Parte alta del contador */
kdata ubyte contL; /* Parte baja del contador */
kdata uint contador; /* contador temporal para probar los muestros realizados */

void watchdog(void);
void convAD(void);
void Int_serio(void);
void EnviaSQ(ubyte dato);
void LeeSQ(void);
void diagnostico(void);
void Envia_muest(void);

/***** PROGRAMA PRINCIPAL *****/
Lee su identificador externo. Utiliza la interrupción del timer 0 para las conversiones de los 3 canales analógicos. La comunicación con la CENREG es por el puerto serie, por lo que tiene prioridad alta. Inicializa registros de control y variables. Espera por alguna interrupción.
*****/

```

```

main()
{
P4 = 0x80; /* Para verificar los resets Pin 14 */
/* IdMOD = (P4 & 0x0F); /* Lee su identificador */
/* ***** Conteo de número de 'resets' ***** */
idMOD = 0x02;
numRST ++;

/* ***** Inicializa Timer0 para velocidad de muestreo ***** */
TMOD = 0x01; /* Modo timer0 = timer 16 bits */
TLD = MUESTO; /* Byte bajo del intervalo muest. */
TH0 = muest1; /* Byte alto del interv. de muest. */
TR0 = 1; /* Arranca timer 0 */

/* ***** Inicializa Puerto Serie ***** */
SCON = 0x80; /* Pto. serie modo 2 (9 bits UART) */
/* ***** Inicialización de las variables globales ***** */
Bbuf = contbuf = contMst = 0;

/* ***** Habilitación de Interrupciones y Prioridades ***** */
IPO = 0x02; /* -, PAD, PS1, PS0, PT1, PX1, PTO, PX0 */
IEN0 = 0x92; /* EA, EAD, ES1, ES0, ET1, EX1, ETO, EX0 */
while (CICLO); /* Espera por alguna interrupción */
}

/***** convAD *****/
Rutina de interrupción generada por el temporizador 0 para efectuar las conversiones A/D de los tres canales analógicos.
*****/
void convAD(void) interrupt 1 using 0
{
ubyte numCanal = 0;
TLD = MUESTO; /* Byte bajo del intervalo de muest. */
TH0 = muest1; /* Byte alto del intervalo de muestreo */
do {
ADCON = numCanal; /* Selec. canal a muestrear */
ADCON |= 0x08; /* Inicia conversión */
/* Espera a que termine conversión */
while (!(ADCON & 0x10));
ADCON &= 0x0F; /* Apaga bit fin de conversión */
switch (numCanal) {
case 0: bufMuest[contbuf] = (ADCON & 0xC0);
bufMuest[contbuf+2] = ADCH;
break;
case 1: bufMuest[contbuf+1] = (ADCON & 0xC0) > 4;
bufMuest[contbuf+3] = ADCH;
break;
case 2: bufMuest[contbuf+1] |= (ADCON & 0xC0);
bufMuest[contbuf+4] = ADCH;
break;
}
} while (++numCanal < 3);
contbuf += 5;
if (contbuf == BFMAX) contbuf = 0; /* Reinicializa apuntador */
if (++contMst == MAXMT) {

```

```

Bbuf = 1; /* Buffer lleno */
contMat = 0; /* Inicializa contador de muestr. */
PCON |= 0x10;
T3 = WGINIT;
}
}

/***** int_serie *****/
Rutina de Interrupción que actualiza la cuenta del watchdog; si
recibe llamado general, código '0', o su número de
identificación, recibe la opción del menú. De no ser así, ignora
la interrupción.
'1': Envía buffer de muestras.
'2': Monitoreo.
'3': Envía resultado del autodiagnóstico.
'4': Inicializa parámetros de operación.
    0: 20 muestras/segundo.
    1: 50 muestras/segundo.
    2: 100 muestras/segundo.
    3: 200 muestras/segundo.
'5': Delinea muestreos.
'6': Inicia muestreos.
'7': Ejecuta autodiagnóstico.
*****

void int_serie0(void) interrupt 4 using 1
{
  ubyte i, num_est, j;

  watchdog(); /* Actualiza la cuenta del watchdog */
  num_est = LeeS0(); /* Lee dirección */

  if ((num_est == '0') || (num_est == (IdMOD)0xA0)) ||
  (num_est == IdMOD)) {
    ESO = 0; /* Deshabilita interrupción pto. serie */
    SM2 = 0; /* Habilita recepción de datos */

    switch (LeeS0()) {
      case '1': /* Envía muestras a la CenReg */
        if (num_est == IdMOD) {
          if (Bbuf == 0) {
            EnvíaS0(NAQ);
            while ((Ibbuf && IF0);
          }
          EnvíaS0(ACK);
          j = inibuf;
          for (i = 0; i 125; i++) {
            EnvíaS0(bufMuestr[i]);
            if (++j = BFMAX) j = 0;
          }
          Bbuf = 0;
          if ((inibuf + = 125) = BFMAX)
            inibuf -= BFMAX;
        }
        break;

      case '2': /* Ejecuta monitoreo */
        if (num_est == (IdMOD)0xA0) {
          P4 ^= 0x20; /* PIn 12 */
          contMat = contbuf = 0;
          EnvíaS0(NAQ);
          /* Espera a que obtenga una muestra */
          while (!contMat);
          EnvíaS0(ACK);
          for (i = 0; i 5; i++) /* Envía muestra */
            EnvíaS0(bufMuestr[i]);
        }
        break;

      case '3': /* Envía resultados de diagnóstico */
        if (num_est == IdMOD) {
          EnvíaS0(numRST); /* Envía total de resets */
          /* EnvíaS0(result); /* Envía resultado del
            diagnóstico */
          numRST = result = autod = 0;
        }
        break;

      case '4': /* Inic. de parámetros de operación */
        switch(LeeS0()) { /* Lee vel. de muestreo */
          case 0:
            muestr1 = 0x4C; /* Para 20 mps */
            break;
          case 1:
            muestr1 = 0xB8; /* Para 50 mps */
            break;
          case 2:
            muestr1 = 0xDC; /* Para 100 mps */
            break;
          case 3:
            muestr1 = 0xEE; /* Para 200 mps */
            break;
        }
        break;

      case '5': /* Delinea muestreos */
        TR0 = 0; /* Apaga temporizador */
        break;

      case '6': /* Inicia muestreos */
        contBuf = 0; /* Inicializa contador temporal */
        Bbuf = inibuf = contMat = 0;
        TLO = MUESTO; /* Actualiza temporizador */
        TH0 = muestr1;
        TR0 = 1; /* Activa temporizador 0 */
        break;

      case '7': /* Ejecuta autodiagnóstico */
        autod = 1; /* Prende bandera diagnóst. */
        diagnostico(); /* Realiza autodiagnóstico */
        break;

      default: /* ERR, EOT u otro caracter */
        break;
    }

    SM2 = 1; /* Permite sólo lectura de direcciones */
    ESO = 1; /* Habilita interrup. del puerto serie */
  }
  watchdog(); /* Actualiza la cuenta del watchdog */
}

/***** EnvíaS0 *****/
Envía un dato por el puerto serie.
*****

void EnvíaS0(ubyte dato)
{
  if (IF0) {
    SBUF = dato; /* Lee dato en registro de transm. */
    while (TI == 0) /* Mientras TI esté apagado */
      if (RI) /* y si la RI está encendida */
        RI = 0; /* apaga la bandera RI */
  }
  TI = 0; /* Apaga la bandera TI */
}

```

```
}
/***** LeeS0 *****/
Lee un dato por el puerto serie.
*****/
abyte LeeS0(void)
{
    ubyte i = 0;
    while (-1)
        if (RI) {
            RI = 0;
            return(SBUF); /* Proporciona el dato leído */
        }
    FO = 1;
    return(ERR); /* Proporciona código de error */
}

/***** watchdog *****/
Recarga el temporizador T3 con el valor definido en WGINT:

"watchdog interval".
*****/
void watchdog(void)
{
    PCON |= 0x10;
    T3 = WGINT;
}

/***** Diagnóstico *****/
Ejecuta las rutinas de diagnóstico.
*****/
void diagnostico(void)
{
    watchdog();
}
}
```

APENDICE H

Estimación del Costo Desglosado del Prototipo del SADE

**COSTO DE UN PROTOTIPO DEL SADE
CON 10 ESTACIONES SENSORAS
6 mayo 1993**

CANT	DESCRIPCION	COSTO	TOTAL
1	ESTACION CENTRAL	1,454.40	1,454.40
10	ESTACION SENSORA DIGITAL	104.05	1,040.50
10	ESTACION SENSORA ANALOGICA	123.95	1,239.50
10	MODULOS DE FIBRA OPTICA	80.00	800.00
11	FUENTES DE PODER	80.00	880.00
30	SENSORES PIEZO RESISTIVOS	280.00	8,400.00
1	HERRAJES	60.00	60.00
1	CABLE FIBRA OPTICA	200.00	1,640.00
1	MANO OBRA ENSAMBLE	400.00	400.00
1	COMPUTADORA TIPO NOTEBOOK	2,000.00	2,000.00
		U.S. dols	17,914.40

**ESTACION SENSORA
MODULO ANALOGICO**

CANT	DESCRIPCION	COSTO	TOTAL
1	circuito Impreso	35.00	35.00
5	LP124	7.00	35.00
4	potenciometros precision	3.00	12.00
3	capacitores 0.047uF	0.35	1.05
3	capacitores 0.0068 uF	0.50	1.50
12	capacitores 0.1 uF	0.90	10.80
76	resistencias 1/4 watt	0.20	15.20
2	postes	2.50	5.00
10	jumpers	0.10	1.00
1	conectos cable plano	2.50	2.50
1	conector 3 hilos	3.20	3.20
1	DIP switch	1.70	1.70
			123.95

**ESTACION CENTRAL DE REGISTRO
MODULO DIGITAL**

CANT	DESCRIPCION	COSTO	TOTAL
1	IC CARD 2 MB EPSON	800.00	800.00
1	conector PCMCIA	20.00	20.00
1	circuito Impreso	85.00	85.00
1	microcontrolador 80C552	20.00	20.00
1	memoria EPROM 2764	8.00	8.00
2	memoria RAM 62C256	12.00	24.00
1	reloj 146818A	12.00	12.00
1	74HCT373	2.00	2.00
1	74HCT00	4.00	4.00
1	74HC04	4.00	4.00
1	74HCT139	1.00	1.00
1	74HCT240	2.00	2.00
2	74HCT367	1.50	3.00
2	74HCT374	2.00	4.00
6	1N4148	0.50	3.00
1	zener 5.6 volts	1.00	1.00
3	BC547	1.00	3.00
1	base 68 pines PLCC	18.00	18.00
3	base DIP 28	5.00	15.00
1	crystal 11.0592	2.00	2.00
3	crystal 32.768	2.00	6.00
12	capacitores 0.1 uF	0.35	4.20
4	capacitores 1.0 uF tantallo	0.50	2.00
2	capacitores 10 uF	0.90	1.80
4	capacitores 27 pF ceramica	0.30	1.20
22	resistencias 1/4 watt	0.20	4.40
80	postes Berstlig	2.50	200.00
4	jumpers	0.10	0.40
1	conector cable plano 26	2.50	2.50
1	conector DB25	4.00	4.00
1	conector 3 hilos	3.20	3.20
1	mt cable plano 26 hilos	1.70	1.70
1	kulka 18	4.00	4.00
4	LED	2.00	8.00
1	caja Hoffman estacion maestra	180.00	180.00
			1,454.40

**ESTACION SENSORA
MODULO DIGITAL**

CANT	DESCRIPCION	COSTO	TOTAL
1	circuito impreso	18.00	18.00
1	microcontrolador 80C552	20.00	20.00
1	memoria EPROM 2764	8.00	8.00
1	74HCT373	2.00	2.00
1	DS14C88	4.00	4.00
1	DS14C89	4.00	4.00
1	base 68 pines PLCC	18.00	18.00
1	base DIP 28	5.00	5.00
1	crystal 11.0592	2.00	2.00
5	capacitor 10 uF electro	0.35	1.75
4	capacitor 1 uF tantallo	0.50	2.00
3	capacitor 10 uF tantallo	0.90	2.70
2	capacitor 27 pF ceramicos	0.30	0.60
8	resistencia 1/4 watt	0.20	1.60
1	postes	2.50	2.50
5	jumpers	0.10	0.50
1	conector cable plano	2.50	2.50
1	conector DB9 hembra	4.00	4.00
1	conector 3 hilos	3.20	3.20
1	DIP switch	1.70	1.70
			104.05

BIBLIOGRAFIA

- Bullen, K.
An Introduction to the Theory of Seismology
Cambridge, Univ. Ed. Press (U.S.A. 1963)

- CONACyT
"19 de septiembre" en *Información Científica y Tecnológica*
Vol. 7, Núm. 110 (México, noviembre de 1985)

- CONACyT
"Las Entrañas de la Tierra" en *Información Científica y Tecnológica*
Vol. 8, Núm. 112 (México, enero de 1986)

- Fuentes Zenón, Arturo
"El Enfoque de Sistemas en la Solución de Problemas"
Cuadernos de Planeación y Sistemas
Núm. 4, Facultad de Ingeniería, UNAM (México 1991)

- Instituto Panamericano de Geografía e Historia, OEA
"Temblores de Tierra", Publicación No. 363 (México, 1977)

- Mena, E., Hernández, L., Prince, J.
Informe: *Estudio para Mejorar la Reglamentación Estructural en el Distrito Federal*
Para la Dirección General de Construcción y Operación Hidráulica del
Departamento del Distrito Federal
Julio 1981

- Leet y Judson
Fundamentos de Geología Física
Ed. Limusa, México 1968
- Prince, Jorge
Instrumentación Sísmica de Edificios de Teléfonos de México
"Reto Sísmico", Ed. IDH. Publicación de Teléfonos de México
México, 1988
- Signetics Microcontroller User's Guide
Signetics, Philips Components
U.S.A., april 1989