



120
2º ej.

UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

Facultad de Ingeniería

**Digitalización de la Red
Sismotelemétrica Sismex Emple-
ando un Microcontrolador
M68HC11**

T E S I S

QUE PARA OBTENER EL TÍTULO DE

**Ingeniero Mecánico Electricista
(Módulo de Comunicaciones)**

P R E S E N T A

JAVIER SANCHEZ ARAUJO

Director de Tesis : Ing Miguel Torres Noguez

**TESIS CON
FALLA DE ORIGEN**



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

Capítulo I	INTRODUCCION	1
1.1	Presentación del trabajo	1
1.2	Descripción de la red sismotelemétrica actual	2
Capítulo II	DESCRIPCION GENERAL DEL SISTEMA	7
2.1	Sistema de transmisión	7
2.2	Sistema de recepción	11
Capítulo III	SISTEMA DE TRANSMISION	14
3.1	Amplificación y filtrado de la señal sísmica	14
3.2	Conversión análogo-digital	27
3.3	Generación de la trama y control de tiempos	31
3.4	Modulación FSK	34
Capítulo IV	SISTEMA DE RECEPCION	40
4.1	Párametros de diseño y características generales	40
4.2	Filtrado y demodulación FSK	41
4.2.1	Ecuaciones de diseño	45
4.3	Unidad maestra de procesamiento	48
4.3.1	Descripción general del M88HC11	48
4.3.2	Modelo de programación	48
4.3.3	Arquitectura general del sistema	51
4.3.4	Conversión digital-análogo y graficación	54
4.3.5	Mapa de memoria	56
4.4	Algoritmos para la detección y decodificación de la información	59

4.4.1 Reconocimiento de un bit	59
4.4.2 Decodificación del dato de 8 bits	63
4.5 Estructuración del programa final	68
4.5.1 Programa principal	68
4.5.2 Rutina de servicio a interrupciones	68
4.6 Codificación del programa final	70
4.6.1 Indexación y designación de las variables de memoria	70
4.6.2 Patrón de muestreo a través de interrupciones	71
Capítulo V EVALUACION Y RESULTADOS DEL SISTEMA	74
Capítulo VI COMENTARIOS Y CONCLUSIONES FINALES	80
Capítulo VII BIBLIOGRAFIA	82
APENDICE	84

I. INTRODUCCION

1.1 PRESENTACION DEL TRABAJO

Los continuos avances de la tecnologia en el área de telecomunicaciones han venido a revolucionar completamente todos los sistemas de comunicación hasta antes conocidos y utilizados por la humanidad. Con el propósito de estar al día con todos estos avances, surgió la inquietud de modificar el Sistema de Información Sismo-Telemétrico de México conocido como SISMEM que, a pesar de los ya casi veinte años de su creación, ha trabajado ininterrumpidamente y ha sido de gran importancia para el registro de los fenómenos sísmicos que suceden a diario en nuestro país, importancia que trasciende incluso a nivel mundial.

La red Sismex actual es totalmente analógica y lo que se pretende en este trabajo es precisamente modificar radicalmente su estructura y hacer de ella una red digital con las correspondientes ventajas que esto representa: mayor inmunidad al ruido, procesamiento directo de la señal por medio de una computadora. Esta última característica permite filtrar digitalmente la señal y almacenar únicamente la información de interés; expandir, comprimir y en general hacer un análisis más detallado de las señales sísmicas digitalizadas.

Este trabajo se encamina entonces, al diseño, armado y prueba de un sistema digital que sea compatible con la red SISMEM, capaz de sustituir en su momento la red analógica actual.

1.2 DESCRIPCION DE LA RED SISMOTELEMETRICA ACTUAL

Debido a que el sistema está diseñado para satisfacer las características operativas de la red Sismex, es necesario hacer una descripción de su operación y funcionamiento actual.

El sistema es un proyecto que desarrolló el Instituto de Ingeniería con apoyo de la UNESCO en 1973, con el objeto de registrar en tiempo real los movimientos sísmicos ocurridos tanto en el D.F. como en algunos puntos estratégicos ubicados en algunos estados del país que presentan gran actividad sísmica.

En la figura 1.1 aparece la ubicación geográfica actual de las estaciones de telemetría que forman a la red y los enlaces existentes. Su localización se muestra también en la tabla 1.1.

La red consta de 9 estaciones remotas de campo que envían en forma continua las señales sísmicas captadas por sismómetros verticales de alta ganancia a un puesto central de registro situado dentro del propio Instituto de Ingeniería.

Las señales registradas en las estaciones de campo son moduladas en FM y enviadas a un transmisor de radio de baja potencia (entre 100 y 2000 mW) que las envía al puesto central de registro o a la repetidora más conveniente. Para la transmisión se utilizan canales de voz de 100 a 4000 Hertz y, dado que el espectro de una sola señal ocupa un ancho de banda de 400 Hz aproximadamente, es posible enviar hasta 9 señales analógicas por un solo canal, considerando una cierta banda de guarda. El diagrama de bloques

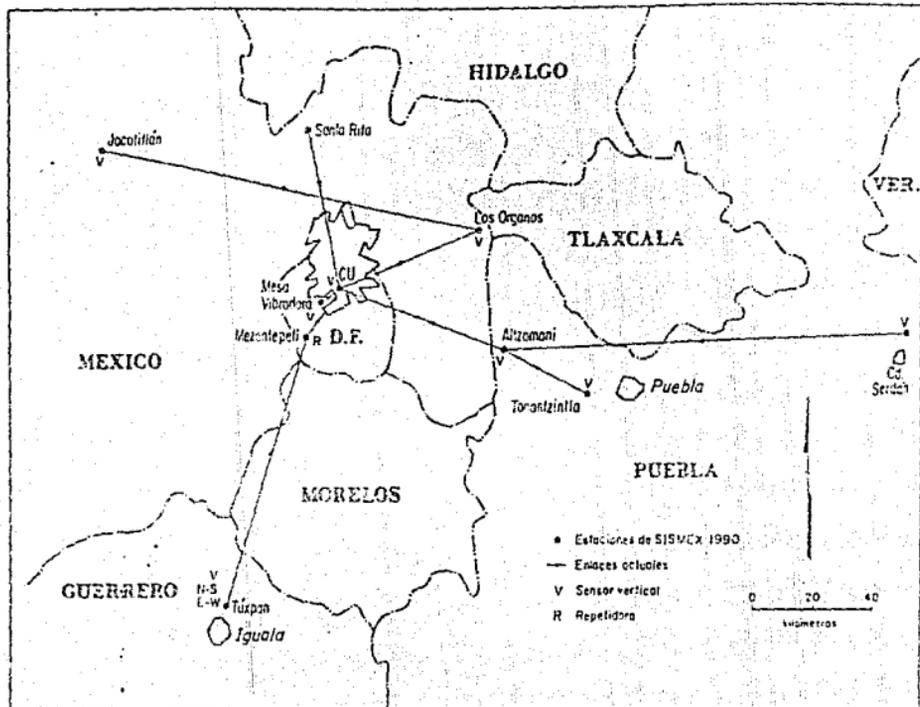


Figura 1.1 Ubicación de las estaciones actuales de SISHEX

ESTACION			COORDENADAS		
Clave	Nombre	Estado	Lat. N	Long. W	Alt.
IIC	Sta. Rita	de México	19.796°	99.258°	2725m
IIM	C. U.	D. F.	19.326°	99.182°	2275m
IIT	Tonantzintla	Puebla	19.021°	98.308°	2205m
III	C. Tuxpan	Guerrero	18.376°	99.468°	1750m
IIS	Cd. Serdán	Puebla	18.988°	97.376°	2985m
IIJ	Jocotitlán	de México	19.734°	99.762°	3900m
IIO	Los Organos	de México	19.592°	98.724°	2850m
IIA	Altzomoni	Puebla	19.143°	98.655°	3900m
---	Mezontepec	D. F.	19.188°	99.228°	3450m

Tabla 1.1 Localización geográfica de las estaciones de SISMEX

básico de cada una de las estaciones de campo es como el que muestra la figura 1.2.

En el Instituto de Ingeniería se cuenta con una torre de cerca de 35 metros donde se encuentran colocadas las antenas receptoras. Una vez recibida la señal y después de ser filtrada y demodulada, se adecúa para poder ser graficada en tambores de registro helicoidales que registran en papel la información dando lugar a los sismogramas.

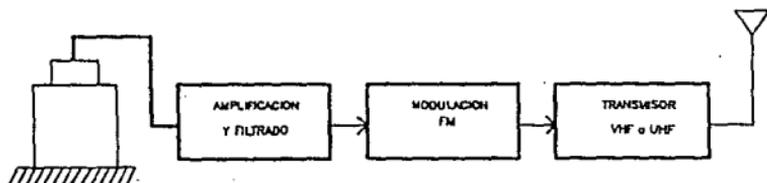


Fig. 1.2 Diagrama de bloques de una estación de campo

Por tratarse de un sistema que opera en tiempo real, es sin duda muy importante tener conocimiento del tiempo preciso en que ocurren los fenómenos sísmicos, para ello, el sistema cuenta con una referencia común de tiempo que registra la fecha y hora a través de marcas que graba en los sismogramas. Dichas marcas son generadas por un reloj universal que a su vez se sincroniza con la señal codificada de la WWVB. Cada 24 horas se cambian las hojas con los registros para un análisis posterior.

En la figura 1.3 se muestra un diagrama esquemático que ejemplifica el proceso y equipo empleado en la recepción dentro del puesto central de registro.

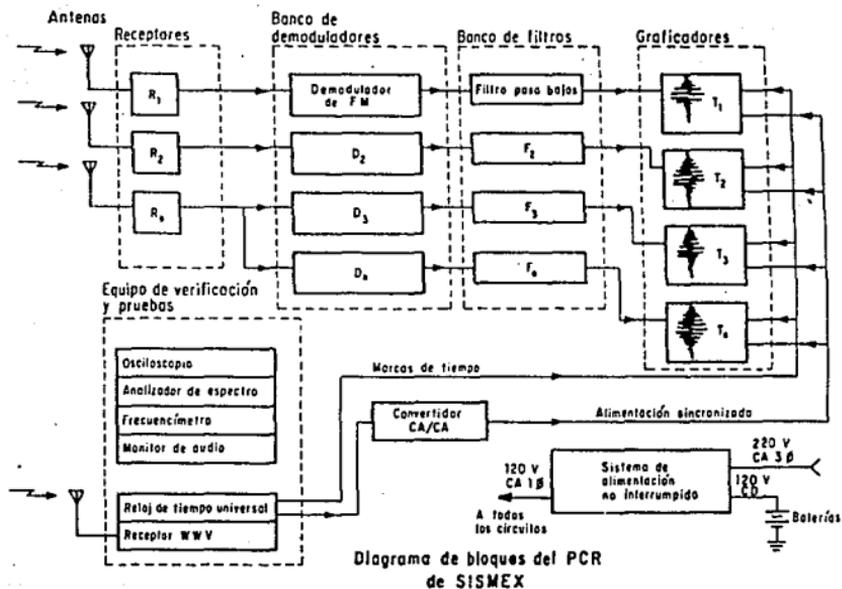


Figura 1.3 Diagrama de bloques del puesto central de registro

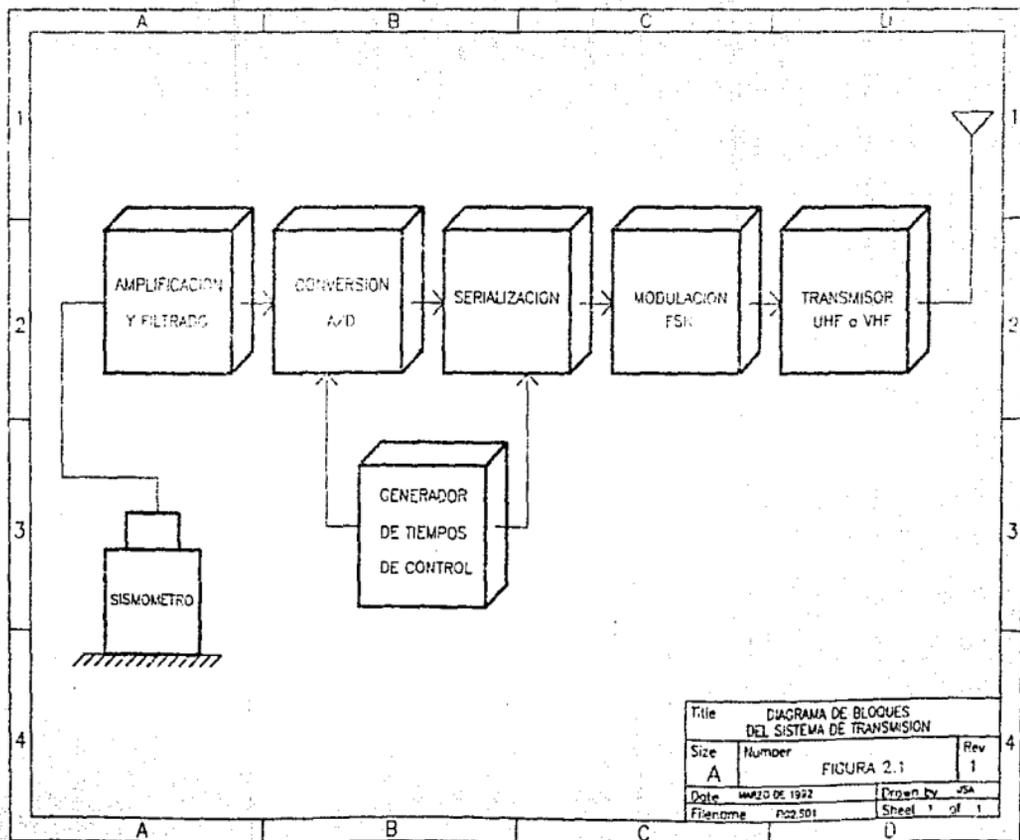
II. DESCRIPCION GENERAL DEL SISTEMA

II. DESCRIPCION GENERAL DEL SISTEMA

El sistema digital de comunicación para la medición de las señales sísmicas en el campo que aquí se presenta, está formado básicamente por dos grandes etapas que son: la transmisión digital asíncrona mediante modulación FSK y la etapa correspondiente a la recepción en el puesto central de registro formada por un sistema digital controlado por un microcontrolador y que es capaz de decodificar hasta seis canales simultáneamente.

2.1 SISTEMA DE TRANSMISION

En la transmisión encontramos a su vez una serie de etapas que se muestran en el diagrama de bloques de la figura 2.1. Las etapas de amplificación y filtrado fueron diseñadas acordes con los resultados arrojados por los experimentos obtenidos en el campo sobre el grado de ruido e intensidad sísmica para cada estación. Aquí nos encontramos con un doble compromiso ya que si bien es cierto que el tener una gran amplificación del fenómeno cuando éste ocurre nos permite caracterizar mejor su comportamiento, también es cierto que en tiempos muertos (cuando no hay actividad sísmica) en los simógrafos estaría apareciendo también una señal de ruido amplificada; además, al disminuir la ganancia podrían perderse señales pequeñas que podrían también ser de interés. Es por esto que para cada estación se manejan diferentes niveles de amplificación dependiendo, como ya dijimos, del nivel de ruido existente en la zona y de su actividad sísmica.



Title				DIAGRAMA DE BLOQUES DEL SISTEMA DE TRANSMISION	
Size	Number	FIGURA 2.1		Rev	1
Date	MM/EE DE 1992	Drawn by	JSA		
Filename	PO2.501	Sheet	1 of 1		

II. DESCRIPCION GENERAL DEL SISTEMA

Es muy extensa la investigación que se ha realizado en materia de sismología, hecho que en la actualidad ha permitido tener una caracterización muy precisa de los fenómenos sísmicos. Dentro de estas investigaciones se ha descubierto que el ancho de banda de las señales sísmicas va de .01 a 50 hertz aproximadamente, esto nos da pauta a determinar el corte del filtro que se debe de utilizar en el campo. Para nuestro problema en particular utilizamos un filtro paso banda de .05 a 8 Hz, este ancho de banda esta limitado por la velocidad de transmisión a la que se puede enviar la información que a su vez está sujeta al ancho de banda del canal disponible. Sin embargo, se ha encontrado que en este ancho de banda se encuentra la información suficiente para la obtención de epicentros y magnitudes que son básicamente los datos que interesan a los sismólogos que laboran en esta coordinación.

Una vez filtrada y amplificada la señal en el campo pasamos a la etapa de digitalización de la misma. El conversor utilizado es de ocho bits y trabaja a una velocidad de 32 muestras por segundo aproximadamente. Nuevamente esta velocidad de muestreo está determinada por el ancho del canal de transmisión.

Del conversor sale la señal de información digitalizada en paralelo y llega hasta un par de registros de corrimiento que la serializan y le agregan dos bits de paro y uno de inicio para generar una trama completa de once bits en total. Estos bits de control son indispensables para el tipo de comunicación que utilizamos que es totalmente asincrónica y que ayudarán al sistema receptor a recuperar más fácilmente la información enviada.

II. DESCRIPCIÓN GENERAL DEL SISTEMA

Tanto el convertidor A/D como los registros de corrimiento, están controlados por un sistema de contadores que generan los pulsos de inicio y fin de conversión, así como la velocidad de transmisión de la información serializada.

De la salida del convertidor A/D, podríamos suponer que la manera más obvia de generar la trama de información con sus correspondientes bits de control y la velocidad a la que será enviada, sería utilizando un circuito integrado que realizara esta tarea y estaríamos entonces pensando en un UART (Universal Asynchronous Receiver and Transmitter) por ejemplo. Para nuestro sistema de transmisión no requerimos el envío de bits de paridad dado el tipo de información que estamos manejando que incluso implicaría tener un sistema de recepción que además de que fuera capaz de detectar errores, los corrigiera haciéndolo hasta cierto punto, innecesariamente más complejo. Descartando esta ventaja alterna que ofrece un CI como el UART, encontramos que finalmente nuestro sistema diseñado para la aplicación que requerimos es mucho más sencillo.

La señal digital serie llega luego a un modulador de FSK que genera dos señales sinusoidales de diferente frecuencia, una frecuencia para el cero y otra para el uno lógicos. La frecuencia de estos tonos está dada en función de la velocidad de transmisión que estamos utilizando y se busca que sea mucho mayor a ella para evitar al máximo variaciones significativas en el ancho del pulso que pudiera dificultar la decodificación.

II. DESCRIPCION GENERAL DEL SISTEMA

La señal modulada en FSK pasa luego a un transmisor de radio de FM que finalmente la enviará a la estación central de registro.

2.2 SISTEMA DE RECEPCION

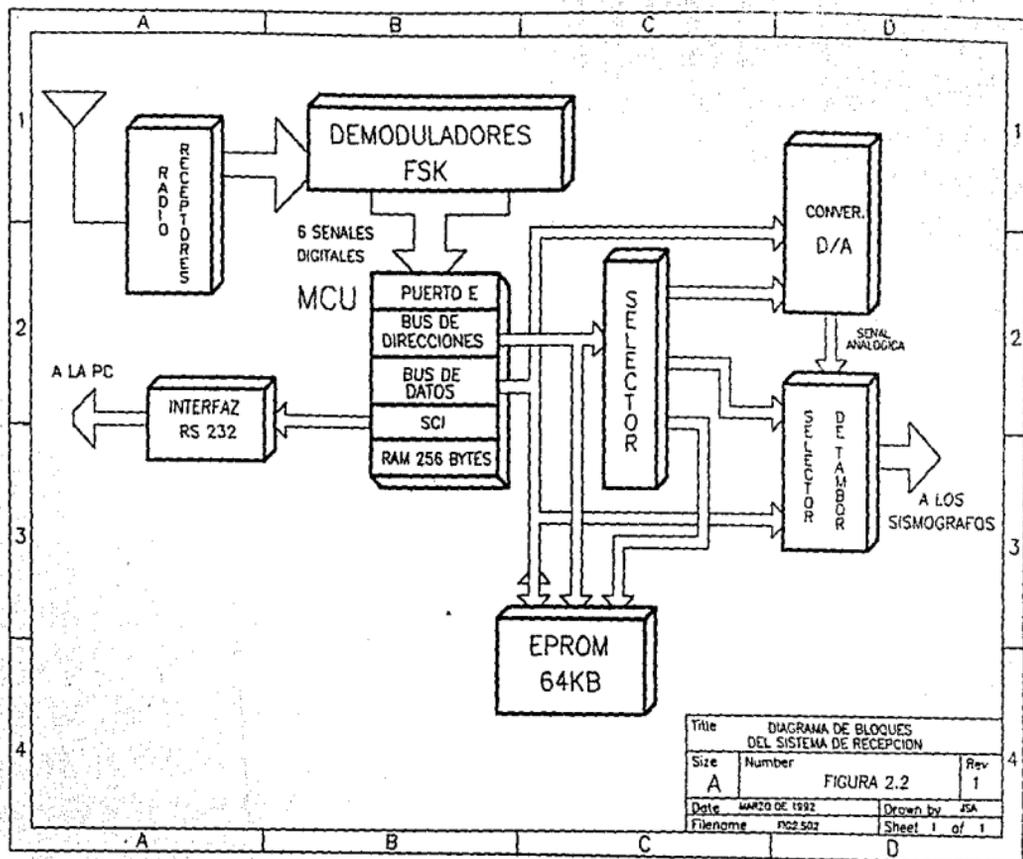
El diagrama de bloques simplificado de la etapa de recepción es como se muestra en la figura 2.2.

La decodificación de las seis señales digitales que llegan a la estación de registro podría realizarse sin ningún problema (relativamente) utilizando seis UART's por ejemplo, controlados por un microprocesador convencional; sin embargo, se pensó en buscar la manera más óptima de llevar a cabo esta, ciertamente complicada tarea. Es así como se pensó en utilizar un sistema maestro optimizado capaz de realizar este trabajo.

Dada la promoción que por estos días se le estaba dando al microcontrolador M68HC11 de Motorola empezamos a analizar sus características y, principalmente, si éstas se adecuaban a resolver nuestro problema. Finalmente descubrimos que este microcontrolador reunía perfectamente las características requeridas para satisfacer nuestras necesidades.

A continuación se enuncian las funciones que se llevan a cabo en la recepción de las señales

- 1) Filtrado y demodulación de la señal FSK



Title			
DIAGRAMA DE BLOQUES DEL SISTEMA DE RECEPCION			
Size	Number	Rev	
A	FIGURA 2.2	1	
Date	MARZO DE 1992	Drawn by	JSA
Filename	pac502	Sheet	1 of 1

II. DESCRIPCION GENERAL DEL SISTEMA

Las funciones que realiza el microcontrolador son:

2) Decodifica mediante un solo programa, las seis señales digitales ya demoduladas que llegan a él simultáneamente por uno de sus puertos internos

3) Controla un sistema de conversión D/A que recupera la señal analógica original

3) Selecciona a que sismógrafo deberá dirigirse la señal convertida a través de interruptores analógicos, esto para seguir siendo compatible con la red analógica actual

4) Envía a 9600 baud, la señal digital a una computadora personal para que pueda ser procesada digitalmente, con las ventajas que esto representa. La información digital va acompañada también de un código que le dice a la PC de que estación corresponde la señal que le está enviando. La comunicación del sistema con la PC se realiza por medio de una interfaz de comunicación serie integrada al mismo chip.

III. SISTEMA DE TRANSMISION

El diagrama completo que conforma la parte de transmisión digital se muestra en la figura 3.1. A continuación se presentará el desglose de este sistema y su explicación detallada.

3.1. AMPLIFICACION Y FILTRADO DE LA SENAL SISMICA

Hemos ya mencionado en el capítulo II la importancia que tienen estas dos etapas para los fines de transmisión de la señal sísmica en el campo. Carecería de sentido procesar una señal aún con los medios más modernos si ésta de origen es diferente a la señal real.

La principal función de estas dos etapas es la de acondicionar la señal sísmica a una amplitud determinada y a un nivel de ruido tolerable de modo tal que la siguiente etapa, que es la de conversión A/D, pueda reproducir digitalmente y de la manera más fiel solamente la señal analógica de interés original.

Antes de detallar las características de las etapas de amplificación y filtrado hablaremos de la manera en que se detecta la señal sísmica en el campo.

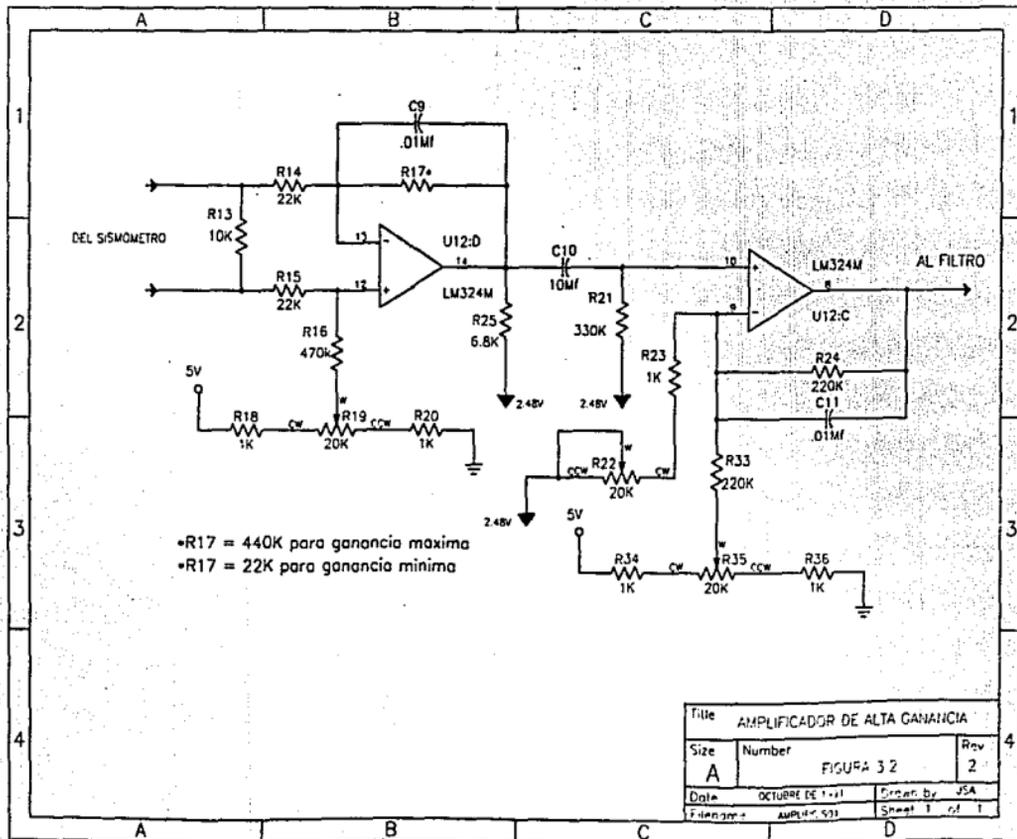
La conversión de las vibraciones mecánicas del suelo en señales eléctricas se lleva a cabo utilizando un transductor de tipo electromecánico conocido como geófono o sismómetro.

Este dispositivo está formado por una masa de valor conocido suspendida dentro de un recipiente por medio de resortes. Cuando

una onda sísmica pasa por el sitio de la estación, el recipiente, que está fijo al suelo, vibra siguiendo los movimientos del terreno, esto provoca un movimiento entre el recipiente y la masa que permanece relativamente fija por la inercia. Este movimiento relativo se convierte en un voltaje debido a que la masa contiene una bobina de varios miles de vueltas de alambre fino de cobre y el recipiente es en realidad un imán especial que concentra su campo magnético sobre la bobina. El voltaje generado es del orden de microvolts para los microsismos que este tipo de sensores puede detectar. El voltaje es proporcional a la velocidad del movimiento y por medio de un filtro adecuado puede hacerse proporcional al desplazamiento.

La etapa de amplificación se muestra en la figura 3.2. Esta etapa está compuesta por dos de cuatro amplificadores operacionales de un LM324. Este CI se eligió entre otras cosas, por la capacidad que tiene para trabajar con una polarización de voltaje cercana a la de un TTL y por su bajo nivel de ruido. En la entrada se encuentra el A.O. U12D alambrado en modo diferencial para eliminar al máximo señales inducidas de modo común y amplificar únicamente la señal diferencial. La resistencia R13 se elige de acuerdo a especificaciones del fabricante de los sismómetros para minimizar el sobrepaso característico de su respuesta subamortiguada y lograr con ello una respuesta más plana.

Cuenta además, con un control para el ajuste de offset y un filtro paso bajas con un corte determinado por R17 y C9 en realimentación negativa para filtrar ruido de alta frecuencia.



La ganancia está dada por la relación de las resistencias $-R17/R14$ donde $R16=R15=R14$. Esta primera etapa es de preamplificación solamente.

A la salida de este primer amplificador se encuentra un filtro paso altas de primer orden con una frecuencia de corte de .05 Hz. Su función es filtrar la componente de directa propia del desajuste del A.O. ante variaciones de temperatura u otros agentes externos y evitar que ésta sea amplificada por la siguiente etapa.

La señal pasa luego a U12C que es nuevamente un amplificador de ganancia variable dada por la relación $(R24/(R23 + R22) + 1)$, de aquí que la amplificación máxima total para $R22 = 0$ es

$$-A = \frac{R17 R24}{R14 R23} + \frac{R17}{R14} = \frac{220 R17}{22(1)} + \frac{R17}{22} = 10.045 R17 \quad (3.1)$$

y la amplificación mínima para $R22 = 20 K$ es

$$-A = \frac{R17 R24}{R14(R23+R22)} + \frac{R17}{R14} = \frac{220 R17}{22(21)} + \frac{R17}{22} = 0.521 R17 \quad (3.2)$$

Como se aprecia en la misma figura, los valores de $R24$, $R14$, $R23$ y $R22$ son fijos y el valor de $R17$ es variable. El valor de esta resistencia está en función de las características de ruido del terreno donde se va a instalar el sismómetro. En la tabla 3.1 se muestran los valores de la magnificación normalizada y el correspondiente valor de voltaje para desviación de plena escala.

MAGNIFICACION NORMALIZADA	VOLTAJE PARA DESVIACION DE PLENA ESCALA
70,000	772.92 μ Vp
35,000	1545.85 μ Vp
25,000	2184.20 μ Vp
5,000	10821.00 μ Vp

Tabla 3.1 Tabla de voltajes para el ajuste de los moduladores.

Esta tabla fue obtenida en base a una serie de experimentos realizados previamente cuando se instaló la actual red sísmológica, y que consisten básicamente en la medición del nivel de ruido en el lugar, su frecuencia sísmica y las características electromecánicas de los sensores sísmométricos.

La tabla anterior nos da pauta a elegir el valor de la resistencia R17 requerida. Para fines prácticos manejamos dos valores de resistencia para R17, uno para magnificaciones de alta ganancia y otro para magnificaciones que requieren menor ganancia.

A la salida de las etapas de amplificación y filtrado se eligió una amplitud de la señal sísmica de 3Vpp para ser digitalizada posteriormente. Esto quiere decir que cualquiera que sea el valor del voltaje de desviación de plena escala elegido, siempre a la salida de estas dos etapas se tendrá una señal de 3Vpp de amplitud.

En el caso extremo de mayor ganancia, para $V_i = 772.92 \mu\text{Vp}$ y $V_o = 1.5 \text{ Vp}$, se requiere una ganancia de

$$A = \frac{1.5}{772.92 \times 10^{-6}} = 1940.7$$

Utilizando $R_{17} = 470 \text{ K}$ para $V_i = 772.92 \text{ Mvp}$ y $V_o = 1.5 \text{ Vp}$ de (3.1)

$$-A_{\text{max}} = 10.045 (470) = 4,721.15$$

y de (3.2)

$$-A_{\text{min}} = 0.521 (470) = 244.87$$

podemos notar de estos resultados que con $R_{17} = 470 \text{ K}$ es posible tener un rango de amplificación de más de dos veces la magnificación máxima y hasta diez veces menos su valor.

Por otro lado, para el caso de menor ganancia con $V_i = 10,821 \text{ Mvp}$ y $V_o = 1.5 \text{ Vp}$, se requiere que

$$A = \frac{1.5}{10,821 \times 10^{-6}} = 138.6$$

Utilizando $R_{17} = 47 \text{ K}$ para $V_i = 10,821 \text{ Mvp}$ y $V_o = 1.5 \text{ Vp}$ de (3.1)

$$-A_{\text{max}} = 10.045 (47) = 472.15$$

y de (3.2)

$$-A_{\text{min}} = 0.521 (47) = 24.5$$

Con $R_{17} = 47 \text{ K}$ podemos tener un rango de variación de más de dos

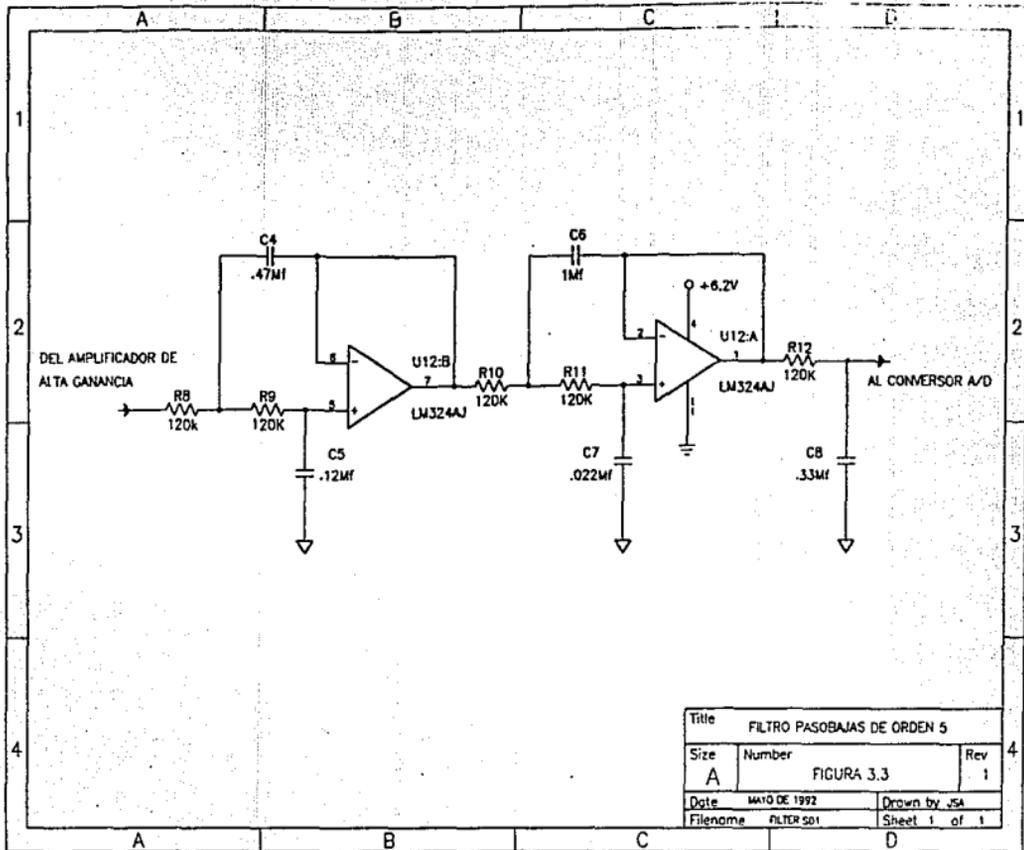
veces la magnificación mínima y hasta cinco veces menos su valor. De este modo, con estos dos valores de R_{17} es posible tener un rango bastante amplio de variación de ganancia para las magnificaciones existentes y las nuevas que puedan aparecer al expandir la red.

Como se ve en la figura 3.2, los A.O. están referidos a una tierra virtual de 2.48 Vdc, esto es con el fin de eliminar la necesidad de polarizar los A.O. con una fuente negativa y una positiva con centro en la tierra real y lograr la excursión completa de la señal con una sola fuente de polarización positiva con centro en la tierra virtual.

En la práctica descubrimos que para lograr los 3Vpp a la salida de estas etapas no era suficiente con polarizar al LM324 con +5 V y entonces se diseñó una fuente con un LM78L05 arreglada de modo tal que suministrara un voltaje de +6.4 Vdc a los A.O., logrando con ello un rango más amplio de excursión de la señal de interés.

En U12C se encuentra también un sistema de compensación de DC para lograr mantener siempre la señal analógica centrada en 2.48 Vdc. Además, al igual que U12D, cuenta con un capacitor (C11) para filtrar ruido de alta frecuencia.

Pasamos ahora a la etapa de filtrado de la señal. El diagrama de esta etapa se muestra en la figura 3.3. Esta topología fue elegida atendiendo a los requerimientos de filtrado para nuestro sistema que son:



Title	FILTRO PASOBAJAS DE ORDEN 5	
Size	Number	Rev
A	FIGURA 3.3	1
Date	MAYO DE 1992	Drawn by JSA
Filename	FILTER.S01	Sheet 1 of 1

- Banda de paso: entre 0 y 8 Hz, con una atenuación máxima tolerable de 3 dB
- Banda atenuada: por encima de 16 Hz con atenuación mínima superior a 40 dB

De aquí que los parámetros característicos de este filtro sean los siguientes:

$$\text{Atenuación máxima (A}_{\text{max}}) = 3 \text{ dB}$$

$$\text{Atenuación mínima (A}_{\text{min}}) = 40 \text{ dB}$$

$$\text{Selectividad (K)} = \frac{f_0}{f_1} = \frac{8}{16} = .5$$

Con estas especificaciones obtuvimos la plantilla de diseño que se muestra en la figura 3.4.

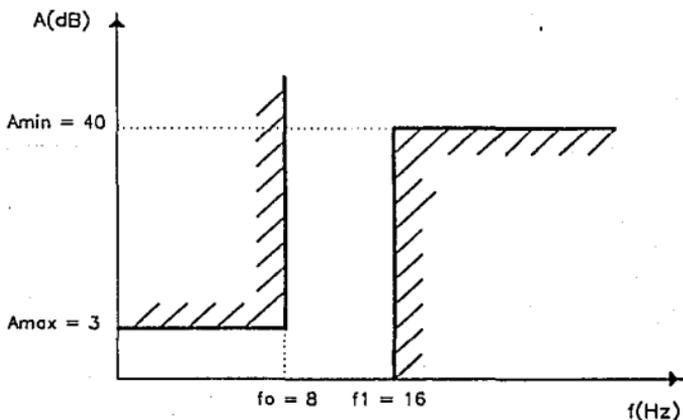


Figura 3.4 Plantilla de diseño para el filtro utilizado

Nuestro siguiente paso es elegir el tipo de filtro que pueda satisfacer esta plantilla de diseño. De las opciones existentes elegimos finalmente un filtro de Legendre de quinto orden. Este filtro nos proporciona una respuesta muy uniforme con una pendiente que se adecúa al corte que requerimos y con un número de componentes pequeño. El orden del filtro se obtuvo de la referencia bibliográfica número 3 al final de este trabajo y en función de los parámetros de diseño planteados.

De la misma referencia tomamos la configuración utilizada y las expresiones para la obtención del valor de los componentes empleados en el diseño final de la siguiente manera:

$$\text{para } R = R_8 = R_9 = R_{10} = R_{11} = R_{12} = 120 \text{ K}$$

$$C = \frac{1}{R\omega_0} = .168 \times 10^{-6}$$

$$C_4 = q_1 C, \quad C_8 = q_2 C$$

$$C_5 = m_1 C, \quad C_7 = m_2 C, \quad C_8 = m_3 C$$

donde

$$q_1 = 2.5763 \quad C_4 = 0.427 \mu\text{f}$$

$$q_2 = 6.5109 \quad C_6 = 1.080 \mu\text{f}$$

$$m_1 = 0.7807 \quad C_5 = 0.129 \text{ Mf}$$

$$m_2 = 0.1598 \quad C_7 = 0.026 \mu\text{f}$$

$$m_3 = 2.1363 \quad C_8 = 0.354 \mu\text{f}$$

q_1 , q_2 , m_1 , m_2 y m_3 , son constantes normalizadas obtenidas de la solución del polinomio característico para este tipo de filtro de quinto orden.

Los valores comerciales de los capacitores utilizados para armar el filtro fueron:

$$C4 = 0.47 \mu\text{f}$$

$$C5 = 0.12 \mu\text{f}$$

$$C6 = 1 \mu\text{f}$$

$$C7 = 0.022 \mu\text{f}$$

$$C8 = 0.33 \mu\text{f}$$

De la combinación de este filtro paso bajas con la del filtro paso altas de la etapa de preamplificación utilizado para filtrar la componente de DC a la entrada del amplificador, se obtiene en conjunto un filtro paso banda con un ancho de banda de 0.05 a 8 Hz.

Para encontrar la efectividad de ambos filtros se sometió a las etapas de amplificación y de filtrado en conjunto a una prueba con una fuente de ruido en la entrada y un analizador de espectro a la salida. La respuesta del sistema se muestra en la figura 3.5.

Pese a que no se aprecia bien la respuesta del filtro a bajas frecuencias por las limitaciones del analizador de espectro utilizado, el corte a -3dB lo realiza muy cercanamente a los 8 Hz para los que fue diseñado, por otro lado, a -40 dB se tiene una frecuencia muy próxima a 16 Hz también como se planteó en el diseño.

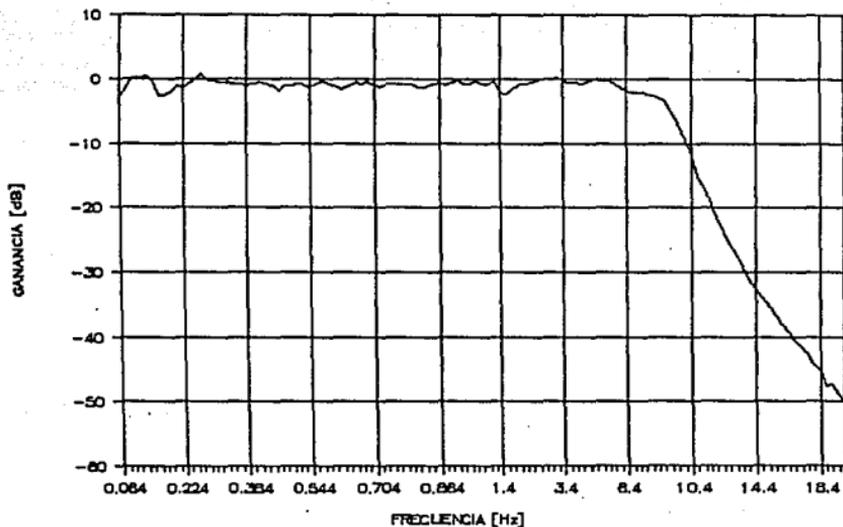
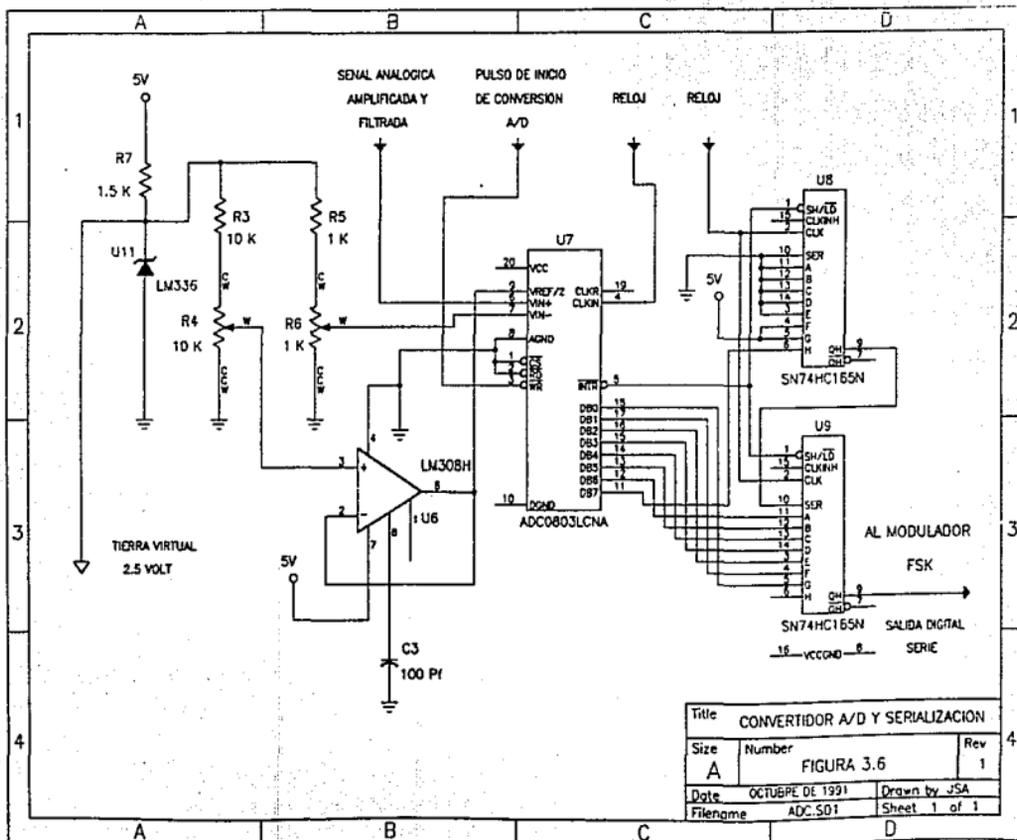


Figura 3.5 Respuesta en frecuencia del amplificador de alta ganancia y el filtro paso bajas de orden 5

3.2 CONVERSION ANALOGO-DIGITAL Y SERIALIZACION

Una vez que la señal ha sido amplificada y filtrada pasa ahora a la etapa de conversión A/D que, junto con un par de registros de corrimiento y el control de tiempos, logra obtener la señal sísmica digitalizada y codificada en serie para poder ser modulada en FSK en la etapa siguiente. El diagrama de estas dos etapas se muestra en la figura 3.6.

El conversor utilizado es de ocho bits y su manejo es relativamente sencillo. A la terminal número 8 del chip (VIN+) llega la señal analógica a ser digitalizada. Esta señal debe de tener una amplitud de 5 Vpp, sin embargo, como se discutió en la etapa anterior, el LM324 requeriría polarizarse con un voltaje mucho mayor a +5 V. Arreglando un regulador fijo de +5 V logramos polarizar a los A.O. con +6.2 V. Este voltaje fue elegido dado que en caso de tener un pico transitorio a la entrada de los A.O., a su salida, éste no podrá ser mayor a 5 Vpp protegiendo con ello al conversor A/D de acuerdo a sus especificaciones. Con esta polarización es posible tener a la entrada del conversor A/D una señal análogica sin distorsión máxima de 3 Vpp centrada en la tierra virtual de 2.48 Vdc. Bajo estas condiciones, en la terminal 9 (VREF/2) se debe tener un voltaje de referencia de CD de valor tal que sea igual a la mitad del voltaje pico a pico de la señal analógica a convertir que para nuestro caso es 1.5 Vdc. Este voltaje le indica al conversor precisamente, cual es el rango de conversión de escala completa, esto es 00000000 para cero volts y 11111111 para 3 volts.



Title			CONVERTIDOR A/D Y SERIALIZACION		
Size	Number			Rev	
A	FIGURA 3.6			1	
Date	OCTUBRE DE 1991	Drawn by		JSA	
Filename	ADC.SD1	Sheet		1 of 1	

Por otro lado, es necesario realizar un ajuste adicional dado que la excursión de la señal no es de ± 2.5 V. Para compensar esta diferencia se hace V_{IN-} (terminal 7) igual a 1 Vdc ya que a la entrada del conversor se encuentra un sumador analógico de voltajes en donde se lleva a cabo la diferencia de la señal V_{IN+} con la señal V_{IN-} , con esto se logra que a la entrada del conversor se tenga únicamente la señal analógica centrada en $V_{CC}/2$ (2.48 Vdc) y sin ninguna componente de directa que provoque errores en la operación del convertidor A/D. En la figura 3.7 es más fácil apreciar los ajustes mencionados y visualizar las razones de cada uno de ellos.

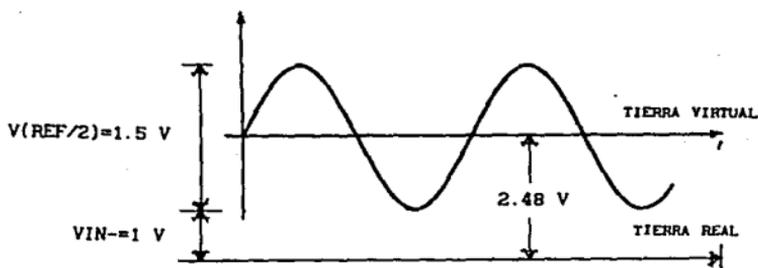


Figura 3.7 Acondicionamiento de la señal analógica a ser digitalizada

EL voltaje V_{IN-} se obtiene de un simple divisor de voltaje variable con ayuda de R_5 y R_6 , el cual está polarizado con un voltaje de 2.48 Vdc, un diodo zener (U_{11}) es el encargado de fijar este voltaje que además genera el voltaje de referencia para la

tierra virtual. Dado que VREF/2 requiere de una baja impedancia de entrada se utiliza un A.O. (U6) alambrado como seguidor para fijar este voltaje.

Una vez acondicionada la señal a ser digitalizada, requerimos de los comandos de control para realizar la conversión. Las terminales marcadas con \overline{CS} , \overline{RD} y \overline{WR} son las necesarias para controlar a este dispositivo; sin embargo, para la configuración que utilizamos únicamente se requiere controlar \overline{WR} y mantener activado permanentemente el dispositivo y listo para ser leído en todo momento poniendo \overline{CS} y \overline{RD} referidos a tierra real.

Puesto que el tipo de comunicación que estamos utilizando es asíncrona, la información a la salida del conversor no nos sirve para nuestros fines de transmisión ya que requerimos que ésta esté serializada en una trama que incluya tanto a los 8 bits de información como a los bits de control. Para lograr el formato de la trama de final de información utilizamos dos registros de corrimiento serie de 8 bits.

Estos registros de corrimiento serie, corren la información de su terminal A hacia la B con salida en la terminal QH en cada ciclo de reloj, agregándole además 2 bits de paro y 1 de inicio para que pueda ser decodificada por el sistema en el puesto central de registro. Por otro lado, cada etapa individualmente se carga con información cuando en la entrada $\overline{SH/LD}$ existe un nivel bajo de voltaje.

Dadas estas características de operación es completamente factible interconectarlo con el convertor A/D para poder obtener a la salida del segundo registro de corrimiento (US) la señal digital con la información serializada.

3.3 GENERACION DE LA TRAMA Y CONTROL DE TIEMPOS

Para explicar la manera en que se lleva a cabo el control de conversión y serialización es conveniente atender al diagrama de tiempos de la figura 3.8.

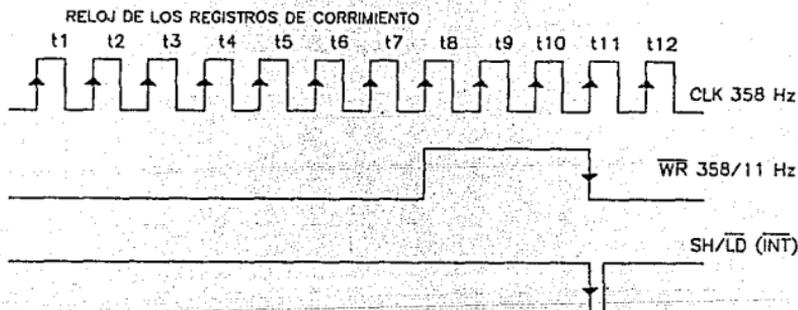
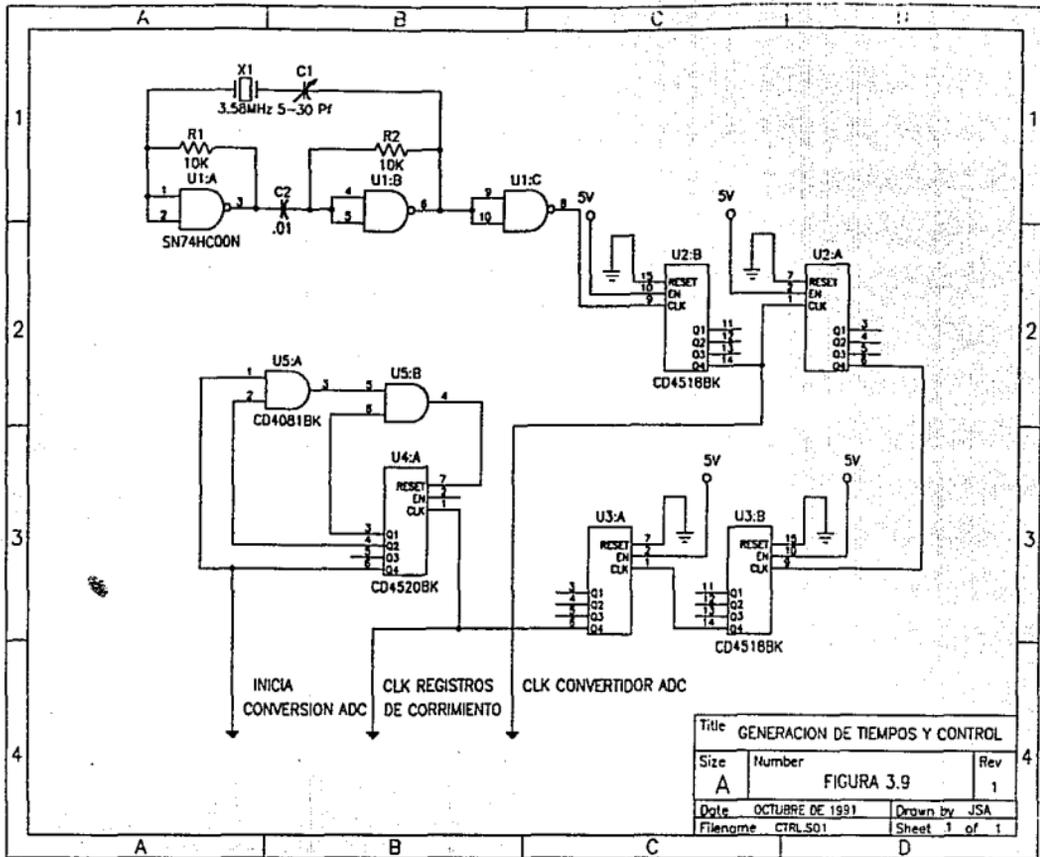


Figura 3.8 Diagrama de tiempos de control

El oscilador principal genera una frecuencia de 3.58 MHz que se divide sucesivamente entre 10 por medio de contadores de décadas hasta obtener una frecuencia de 358 Hz (figura 3.9). Esta frecuencia alimenta a los relojes comunes de los registros de corrimiento que en la subida, al final de su periodo, provoca un corrimiento serie de la información dispuesta en sus terminales.



Title			GENERACION DE TIEMPOS Y CONTROL
Size	Number		Rev
A		FIGURA 3.9	1
Date	OCTUBRE DE 1991	Drawn by	JSA
Filename	CTRL.S01	Sheet	1 of 1

Son en total 11 corrimientos en los registros que dan lugar a una trama de 11 bits incluyendo los bits de control, como se ve en la figura 3.10.

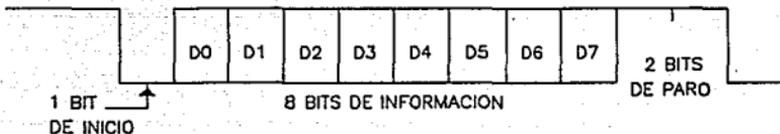


Figura 3.10 Formato asincrónico de información

Antes de que se produzca la bajada número 12 en el reloj de los registros, a la pata \overline{WR} del convertor llega un cambio de nivel de bajo a alto que le da la orden de tomar otra muestra de la señal analógica en su entrada, siendo el tiempo de conversión de aproximadamente 200 μs a una frecuencia de operación de 358 KHz obtenida también del oscilador principal.

Después de cada conversión A/D, el convertor genera un cambio de nivel de alto a bajo en su terminal \overline{INT} de 1 μs de duración aproximadamente que está conectada a las terminales SH/ \overline{LD} de los registros de corrimiento y que es suficiente para que estos carguen la información de la nueva muestra.

Cabe mencionar que la velocidad de transmisión de 358 baud que utilizamos en nuestro sistema no es precisamente una velocidad normalizada, siendo la estándar más cercana de 300 baud, sin embargo, dado que el sistema de recepción es totalmente versátil

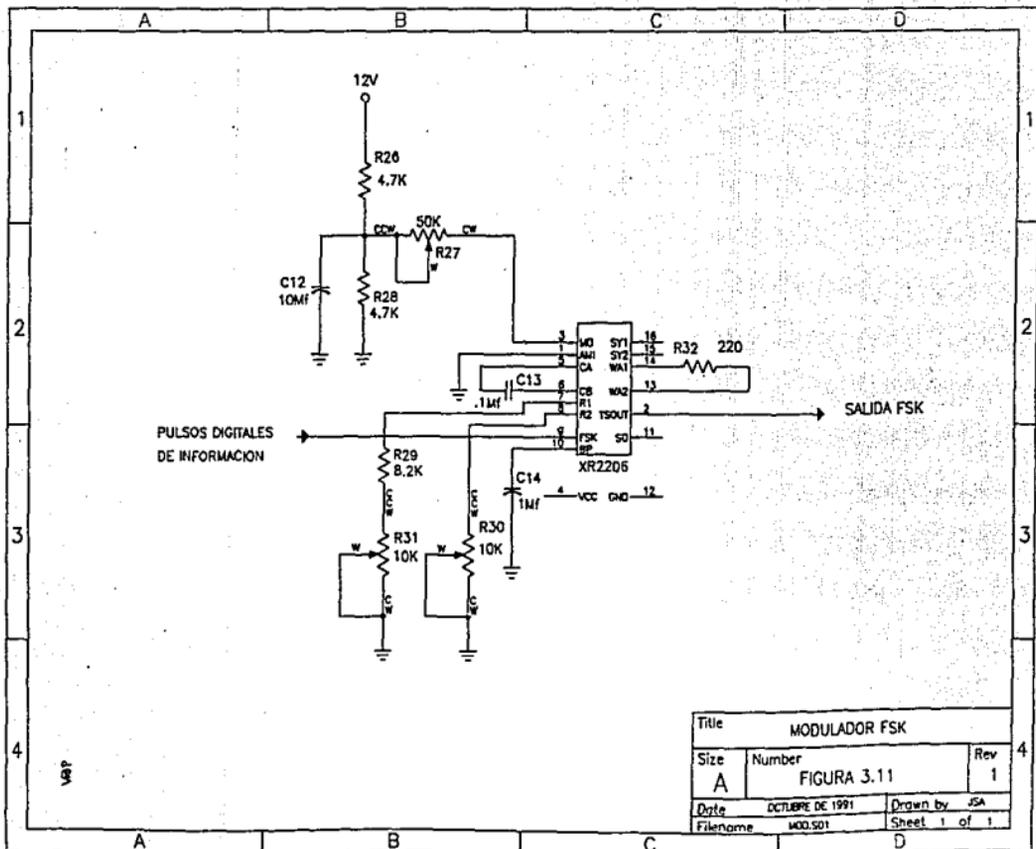
para operar a cualquier velocidad cercana a 300 baud, previa programación, elegimos finalmente 358 bauds debido a que el cristal de 3.58 MHz es bastante comercial y fácil de conseguir, además, se logra aumentar la velocidad de muestreo hasta 4 veces la frecuencia máxima de las señal que es de 8 Hz.

3.4 MODULACION FSK

Tenemos ya la información analógica digitalizada y serializada y ahora es necesario modularla para poderla enviar hasta el puesto central de registro. Aprovechando los canales disponibles asignados para la transmisión analógica, es factible enviar la información digital modulada ahora en FSK.

Como se mencionó anteriormente en la introducción, los canales que utiliza SISMEX son canales de voz con un ancho de banda de 100 a 4000 Hz y la transmisión de la señal es por modulación en frecuencia. Para el sistema de transmisión digital todo esto es totalmente operable con la diferencia de que la información analógica está formada únicamente por dos señales sinusoidales de distinta frecuencia, una para el 1 lógico y otra para el 0 lógico que es el principio en que se basa la modulación FSK.

El diagrama del circuito eléctrico encargado de la modulación FSK se muestra en la figura 3.11 y, como puede observarse, el núcleo principal lo forma el circuito integrado XR-2206, que describiremos enseguida.



Title			MODULADOR FSK		
Size	Number	Rev			
A	FIGURA 3.11	1			
Date	OCTUBRE DE 1991	Drawn by	JSA		
Filename	MOD.S01	Sheet	1 of 1		

El XR-2206 está compuesto internamente, como se ve en la figura 3.12, por cuatro bloques funcionales; un oscilador controlado por voltaje (VCO), un multiplicador analógico con un generador senoidal; un amplificador seguidor de ganancia unitaria y un juego de switches de corriente.

El VCO produce una frecuencia de salida proporcional a una corriente de entrada, la cual es producida por una de las resistencias que se encuentran entre las terminales de temporización y tierra. Los switches de corriente derivan una de estas terminales de temporización al VCO de acuerdo a la señal en la entrada FSK (terminal 9), para producir una frecuencia de salida determinada.

Las resistencias de temporización en nuestro circuito son R31 + R29 y R30 conectadas a las terminales 7 y 8 respectivamente. Dependiendo de la polaridad de la señal lógica en la terminal 9, actúan ya sea R31 + R29 ó R30. Si en esta terminal existe un nivel de voltaje mayor o igual a 2 V (1 lógico) se activa R31 + R29. Del mismo modo, si el nivel de voltaje es menor o igual a 1 V, se activa únicamente R30. De esta manera, la frecuencia de salida puede ser fijada entre dos valores, f_1 y f_2 , de la forma siguiente:

$$f_1 = 1/((R31 + R29)C13) \dots 3.3$$

y

$$f_2 = 1/R30 C13 \dots 3.4$$

Como se mencionó en el capítulo II, en la red SISMEK actual existen estaciones que no envían directamente la señal hacia

Ciudad Universitaria, sino que se auxilian de otras estaciones cercanas que actúan como repetidoras para lograrlo. De este modo tenemos que de Cd. Serdán y de Tonantzintla se transmite hacia Altzomoni y de ahí al puesto central de registro, dando por resultado que en el espectro de esta última estación venga la

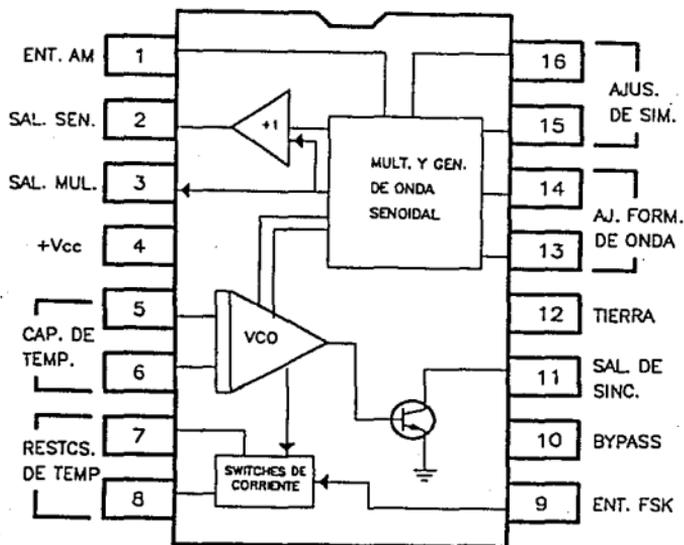


Figura 3.12 Diagrama de bloques del XR-2206

información de las tres estaciones. De igual forma la señal que viene de los Organos comparte su ancho de banda con la señal que se registra en la estación de Jocotitlán.

Para que nuestra red digital siga siendo compatible con la red telemétrica actual, es necesario adecuarnos a estas

características de operación y repartir en el ancho de banda disponible de las señales que comparten su canal los espectros de la señal FSK correspondientes. Para lograr esto, hemos definido tres pares de frecuencias marca-espacio separadas 1000 Hz para evitar al máximo interferencia entre ellas de la siguiente manera:

$$\text{ASIGNACION 1: } F_H = 970 \text{ Hz} \quad F_L = 1170 \text{ Hz} \quad \rightarrow F_0 = 1070 \text{ Hz}$$

$$\text{ASIGNACION 2: } F_H = 1970 \text{ Hz} \quad F_L = 2170 \text{ Hz} \quad \rightarrow F_0 = 2070 \text{ Hz}$$

$$\text{ASIGNACION 3: } F_H = 2970 \text{ Hz} \quad F_L = 3170 \text{ Hz} \quad \rightarrow F_0 = 3070 \text{ Hz}$$

La diferencia entre cada par de frecuencias asignado es de 200 Hz atendiendo a especificaciones del fabricante para un mínimo ancho de banda y una más fácil demodulación en el centro de registro.

Para saber si la capacidad del canal es suficiente para llevar tres señales FSK, para el caso extremo, obtuvimos su espectro en frecuencia que se observa en la figura 3.13. En el espectro observamos que a una frecuencia de 3500 Hz se tiene una atenuación de 30 dB, lo que indica que al menos teóricamente es posible su transmisión en canales de voz. Ya en las pruebas de campo confirmamos su factibilidad y finalmente, la asignación de frecuencias propuesta es la que permanece.

Por último, basándonos en la expresión 3.4 para las tres asignaciones marca-espacio utilizadas, obtenemos el valor de R29, R30, R31 y C13 que cumplan con los rangos de frecuencia seleccionados:

Con $R_{29} = 8.2 \text{ K}$, $R_{30} = 10 \text{ K}$ y $R_{31} = 10 \text{ K}$ para todos los casos

para $F_H = 970 \text{ Hz}$ $F_L = 1170 \text{ Hz}$ $\rightarrow C_{13} = .1 \mu\text{f}$

para $F_H = 1970 \text{ Hz}$ $F_L = 2170 \text{ Hz}$ $\rightarrow C_{13} = .045 \mu\text{f}$

para $F_H = 2970 \text{ Hz}$ $F_L = 3170 \text{ Hz}$ $\rightarrow C_{13} = .033 \mu\text{f}$

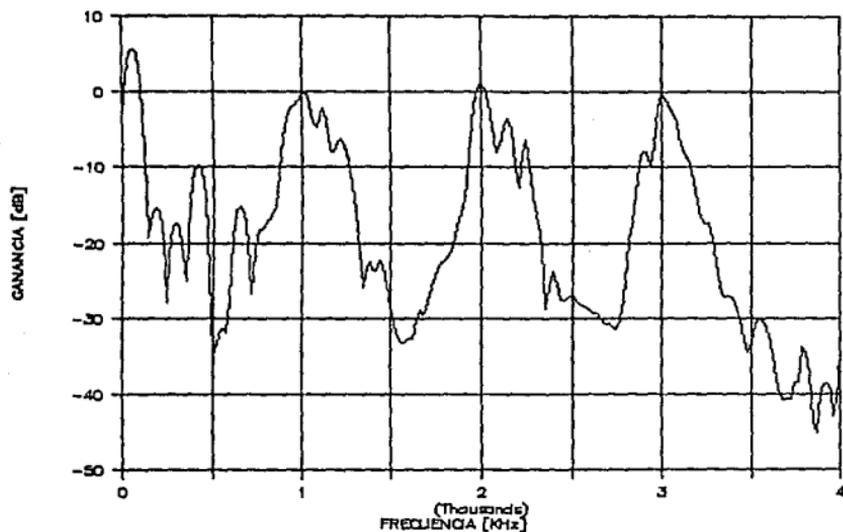


Figura 3.13 Espectro de tres señales FSK

IV. SISTEMA DE RECEPCION

Hasta este momento hemos discutido la manera en que se lleva acabo la digitalización, serialización y modulación de las señales sísmicas en el campo para ser transmitidas, ahora mencionaremos la forma en que esta información es recuperada y procesada en el puesto central de registro.

4.1 PARAMETROS DE DISEÑO Y CARACTERISTICAS GENERALES

Para el diseño del sistema de recepción consideramos los siguientes parámetros básicos de las señales transmitidas:

- Al puesto central de registro llegan 6 señales digitales totalmente asíncronas moduladas en FSK donde 2 y hasta 3 de ellas se encuentran en un mismo canal
- La velocidad de transmisión de cada una de las 6 señales es de 358 baud

En base a estos parámetros se diseñó el sistema de recepción con las siguientes características:

- 1) Filtrado y demodulación de la señal FSK para recuperar la información digital
- 2) Concentración de la información digital en un sistema maestro que procesa la información de las 6 señales con las siguientes características:

2.1 Decodifica la trama de información en su formato de 1 bit de inicio y 2 de paro para recuperar los 8 bits de de la señal muestreada en el campo para cada una de las 6 estaciones transmisoras

2.2 Una vez obtenido el dato de 8 bits, se envía a un sistema de conversión D/A único que con los pulsos de control correspondientes seleccionará el tambor indicado para su graficación analógica, esto para seguir siendo compatibles con la red analógica actual

2.3 Envía simultáneamente la información digital a una computadora por su puerto serie a 9600 baud para su procesamiento.

4.2 FILTRADO Y DEMODULACION FSK

Una vez que la señal modulada en FSK es recuperada en el puesto de registro por radio-receptores ajustados a la misma frecuencia que los transmisores correspondientes en el campo, recuperamos la información en pulsos digitales para que pueda ser procesada. Este procedimiento lo llevamos acabo utilizando el circuito integrado XR-2211 que junto con el XR-2206 que se utiliza en la modulación forman la parte modulación-demodulación FSK de nuestro sistema.

Dado que la información proveniente de Los Organos y de Altzomoni viene compuesta por 2 y 3 señales FSK, respectivamente, es necesario filtrar cada una de las señales antes de que sean decodificadas por los demoduladores haciéndoles más fácil su tarea

y evitándoles una posible confusión por la mezcla de frecuencias.

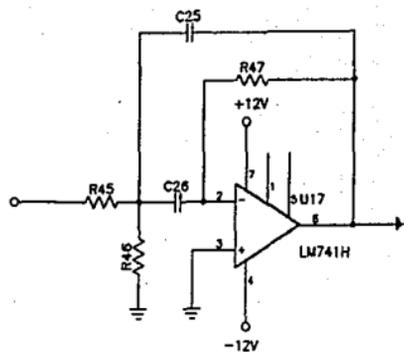
Los filtros utilizados son pasa banda de orden 2 diseñados para dar una respuesta de acuerdo a la función característica de Butterworth, es decir, plana en la banda de paso y una pendiente poco abrupta (-20 dB por década), sin embargo esto es suficiente para nuestras necesidades. Los parámetros de diseño se muestran en la siguiente tabla:

$F_H = F_1$	$F_L = F_2$	F_0	BW
970	1170	1070	200
1970	2170	2070	200
2970	3170	3070	200

UNIDADES EN Hz

En el diagrama de la figura 4.1 se muestra el circuito del filtro con el valor de los componentes.

Una vez filtrada la señal FSK es ya posible demodularla con el XR-2211 del cual daremos una breve descripción antes de hablar de los parámetros seguidos para su diseño. Este CI está formado básicamente por un sistema PLL que consta de un preamplificador de entrada, un multiplicador analógico usado como detector de fase, y un oscilador controlado por voltaje de precisión (VCO), como se ve en la figura 4.2.



F_2	F_1	F_0	R45	R46	R47	C25	C26
1170	970	1070	3.9	.15	16	.1	.1
2170	1970	2070	39	.39	160	.01	.01
3170	2970	3070	39	.18	160	.01	.01

UNIDADES: FRECUENCIA - Hz; RESISTENCIAS - Kohms; CAPACITORES - micro F

Title		FILTRO PASA BANDA DE ORDEN 2	
Size	Number	Rev	
A	FIGURA 4.1	2	
Date	JUNIO DE 1992	Drawn by	JSA
Filename	PBANDA.S01	Sheet	1 of 1

43

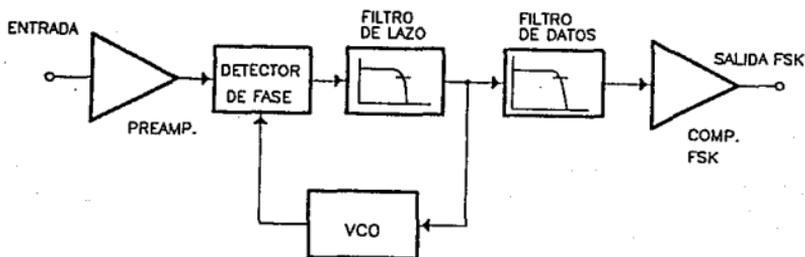


Figura 4.2 Diagrama funcional de bloques del sistema de demodulación FSK empleando el XR-2211

El preamplificador se utiliza como un limitador tal que señales típicas de entrada de arriba de 2mV RMS son amplificadas a un nivel mayor y constante de voltaje. El multiplicador detector de fase actúa como una compuerta OR exclusiva. Si una señal de entrada se aplica al sistema, el comparador de fase compara la fase y la frecuencia de la señal de entrada con la frecuencia del VCO y genera un voltaje cuya magnitud está relacionada con la diferencia de fase y frecuencia entre las dos señales. En el momento en que ambas señales están en fase y a la misma frecuencia, este voltaje se mantiene en un nivel bajo. Por el contrario, al detectar la diferencia de las señales, genera un nivel alto de voltaje. Esta señal pulsante es rectificadora por el filtro paso bajas que obtiene su valor promedio de DC. Con este valor de DC dispara al comparador que se encuentra a la salida del diagrama en función de su umbral de referencia, con un filtrado previo y además, realimenta al VCO para su control. De la salida del comparador obtenemos finalmente, la señal digital decodificada y lista para ser procesada.

4.2.1 ECUACIONES DE DISEÑO

La forma en que se alabró el circuito de demodulación se presenta en la figura 4.3. Las ecuaciones que determinan el valor de los componentes son las siguientes:

1. Frecuencia central del VCO, f_0 :

$$f_0 = 1/(R45 C23) \text{ Hz}$$

2. Voltaje de referencia interna:

$$V_R = +V/2 - 650 \text{ mV}$$

3. Constante de tiempo del filtro paso bajas en el lazo τ :

$$\tau = R43 C23$$

4. Constante de amortiguamiento en el lazo ζ :

$$\zeta = 1/4 \sqrt{C45/C23}$$

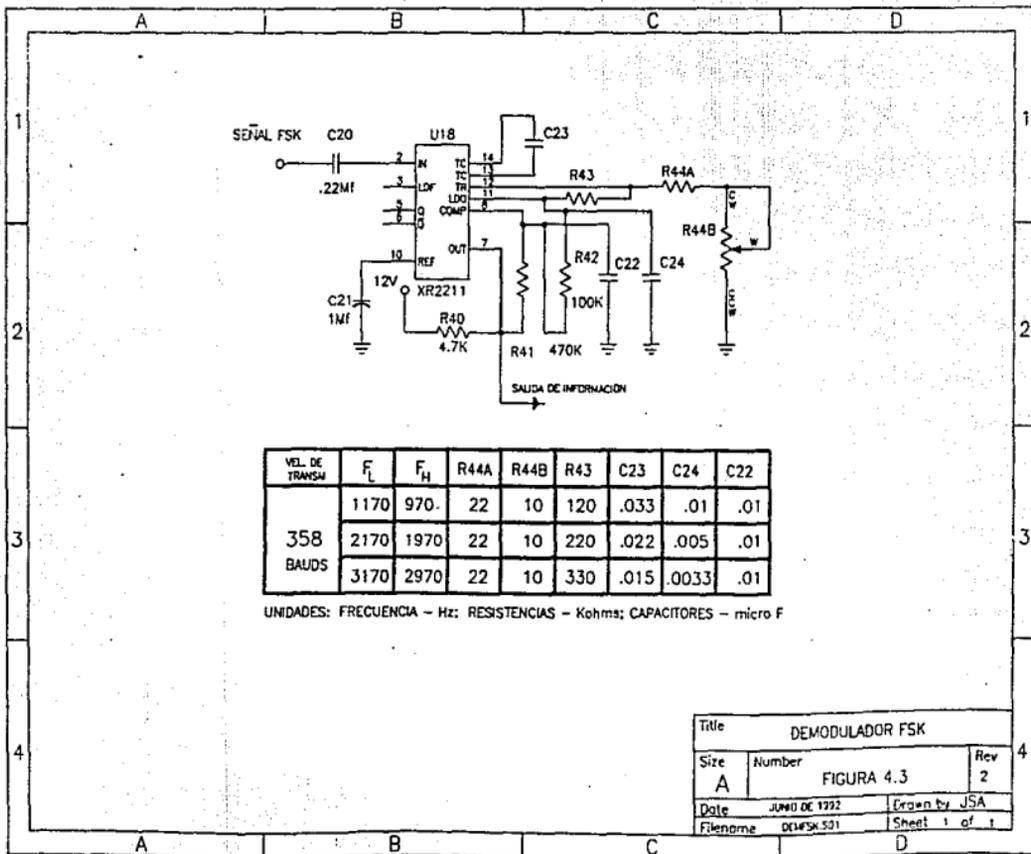
5. Ancho de banda de barrido en el lazo:

$$\Delta f/f_0 = R_0/R_1$$

6. Constante de tiempo del filtro de información FSK, τ_F :

$$\tau_F = R_2 C_F$$

Como mencionamos en la parte de modulación, existen tres pares de valores marca-espacio, que intervienen en nuestro sistema y son:



VEL. DE TRANSM	F_L	F_H	R44A	R44B	R43	C23	C24	C22
358 BAUDS	1170	970	22	10	120	.033	.01	.01
	2170	1970	22	10	220	.022	.005	.01
	3170	2970	22	10	330	.015	.0033	.01

UNIDADES: FRECUENCIA - Hz; RESISTENCIAS - Kohms; CAPACITORES - micro F

Title		DEMODULADOR FSK	
Size	Number	Rev	
A	FIGURA 4.3	2	
Date	JUNIO DE 1992	Drawn by	JSA
Filename	DEMFSK.S31	Sheet	1 of 1

46

1970-2170 Hz

2970-3170 Hz

En base a estos requerimientos, los valores de los componentes se calculan en forma práctica de las siguientes expresiones sugeridas por el fabricante:

a)
$$f_0 = \frac{f_1 + f_2}{2}$$

b) R45 se elige en el rango de 10 K a 100 K (22 K para nuestro caso)

c) C23 se despeja de la expresión dada en 1

$$C23 = 1/(R45 f_0)$$

d) El valor de R43 se calcula para dar un incremento Δf equivalente a la desviación marca espacio

$$R43 = R45\{f_0/(f_1-f_2)\}$$

e) Normalmente se recomienda un amortiguamiento $\zeta = 1/2$ con lo que de la expresión dada en 4

$$C24 = C23/4$$

f) El cálculo de la capacitancia del filtro de datos es, C22:
Para R42 = 100 K, R41 = 470 K, el valor de C22 recomendado es:

$$C22 = 3/(\text{velocidad de transmisión}) \mu F$$

En la tabla anexa a la figura 4.3 se encuentran los valores de los componentes para los tres tipos de demoduladores FSK empleados.

4.3 UNIDAD MAESTRA DE PROCESAMIENTO

Una de las partes más interesantes de toda la red digital es precisamente la encargada de decodificar las 6 señales digitales codificadas en el campo. Esta tarea no es definitivamente sencilla si pensamos que el procesamiento de la señal será realizado por un sistema maestro con un sólo algoritmo capaz de decodificar y procesar simultáneamente las 6 tramas asincrónicas que llegan al sistema.

Como mencionamos en el capítulo II cuando dimos una descripción general de la red, el procesamiento y decodificación de la información está controlado básicamente por el M68HC11A1 el cual es necesario describirlo de una manera breve.

4.3.1 DESCRIPCION GENERAL DEL M68HC11A1

El M68HC11A1 es un microcontrolador (MCU) de 8 bits de tecnología de alta densidad complementaria metal-óxido (HCMOS), de la compañía MOTOROLA, con grandes capacidades periféricas integradas en el mismo chip.

Su velocidad máxima en el bus es de 2 MHz y en general, su consumo de energía es bajo. Posee una ROM interna eléctricamente borrable y programable (EEPROM) de 512 bytes, y 256 bytes de memoria de acceso aleatorio (RAM).

Cuenta además con ocho canales de conversión análogo-digital (A/D) de ocho bits de resolución.

Incluye también, una interface para comunicación asincrónica serie (SCI) y una interface periférica serie para comunicación síncrona (SPI). Cuenta adicionalmente con un sistema de monitoreo de protección contra errores del sistema conocido como *watchdog* (COP).

La figura 4.4 es un diagrama de bloques de el MCU M68HC11A1. Este diagrama muestra los principales subsistemas indicando el número de la terminal a la que pertenecen en el MCU. En este trabajo se utilizan sólo unas cuantas de las funciones totales del MCU que en su momento se explicarán a detalle. Una descripción más detallada del microcontrolador se puede encontrar en la referencia 13 indicada al final del trabajo.

4.3.2 MODELO DE PROGRAMACION

La figura 4.5 muestra los 7 registros con que cuenta el CPU y que pueden ser utilizados por el programador. Los dos acumuladores (A y B) pueden ser utilizados como uno solo de 16 bits llamado registro D con el que se pueden realizar operaciones de 16 bits a pesar de que el CPU sea técnicamente un procesador de 8 bits.

El M68HC11A1 cuenta con un grupo muy completo de instrucciones que facilitan en gran medida el diseño de programas que pudieran ser complejos y difíciles de implementar en microprocesadores convencionales. Su juego de instrucciones incluye las intrucciones

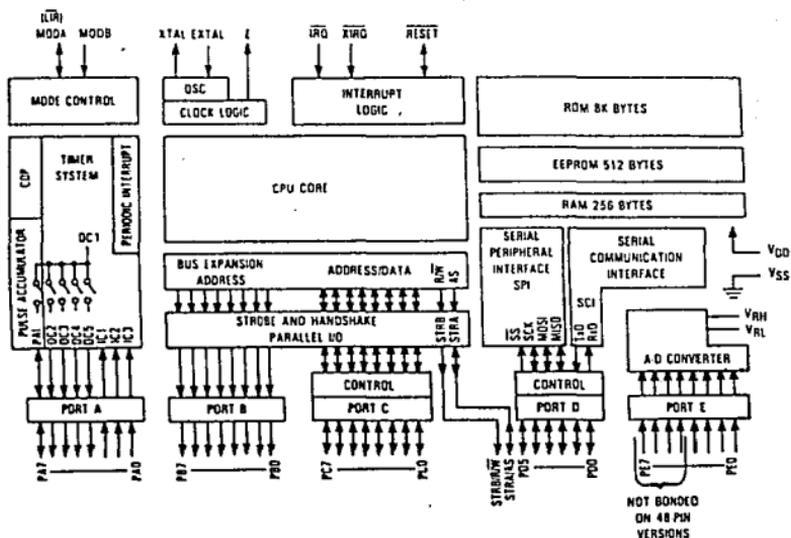


Figura 4.4 Diagrama de bloques del M68HC11

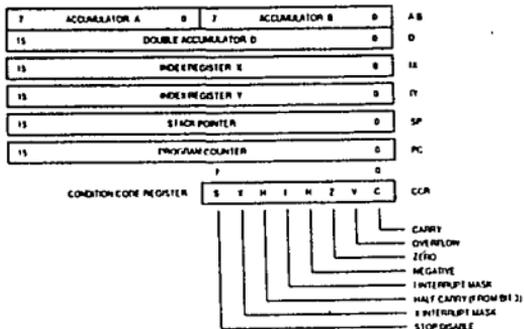


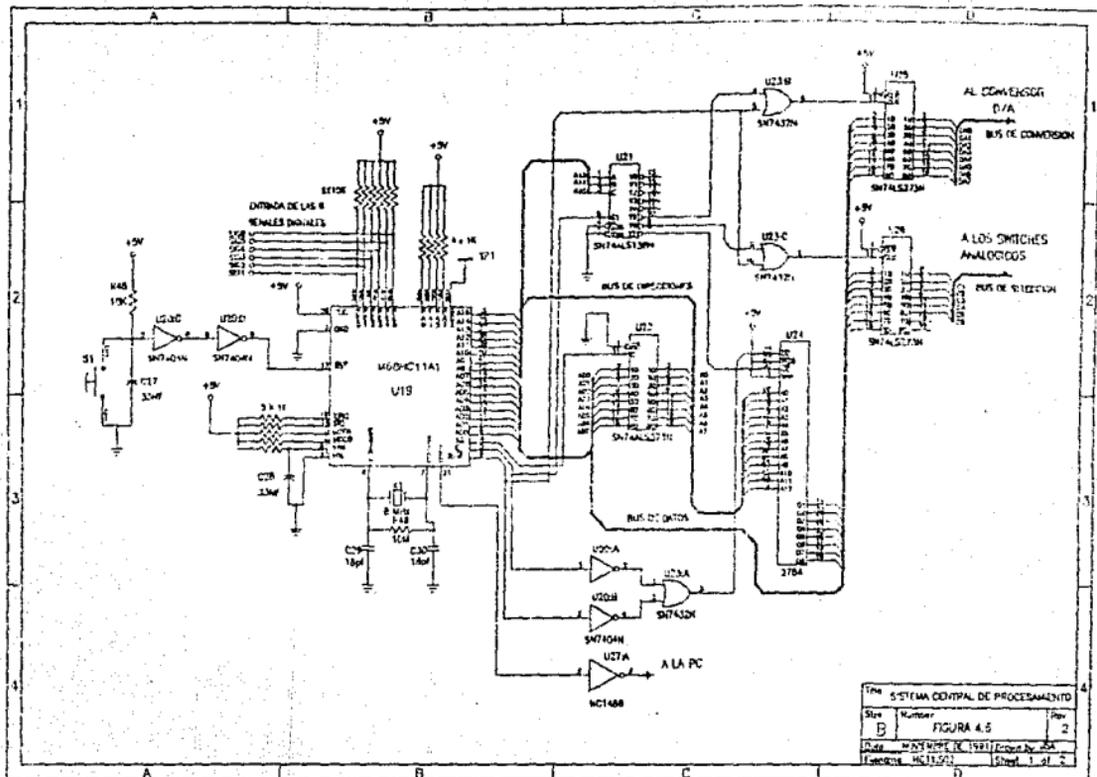
Figura 4.5 Modelo de programación del M68HC11A1

fundamentales para lectura y escritura en memoria y en los distintos acumuladores y registros; multiplicación entre dos palabras de 8 bits produciendo una de 16 bits, y división entre dos palabras de 16 bits cada una; un juego completo de operaciones lógicas; Instrucciones para corrimiento y rotación lógica y aritmética de un byte; Instrucciones para manipulación de variables indexadas que son parte fundamental en los programas diseñados en nuestro sistema; Instrucciones llamadas *branches* que son de gran utilidad para la transferencia del flujo de operación en una condición lógica evaluada y otros tipos de instrucciones no mencionadas ni utilizadas en este trabajo.

4.3.3 ARQUITECTURA GENERAL DEL SISTEMA

El M68HC11A1 tiene dos modos fundamentales de operación, modo de un sólo chip y modo expandido. Puesto que la versión 'A1 con la que contamos tiene desahabilitada su ROM interna se diseñó el sistema para trabajar en modo expandido. El diagrama de la figura 4.6 muestra la conexión del microcontrolador con todos los dispositivos periféricos necesarios y requeridos para el funcionamiento global del sistema.

La frecuencia de operación del microcontrolador la genera un oscilador que fue alambrado conforme al modelo sugerido por el fabricante y el cristal utilizado es de 8 MHz cuya frecuencia es dividida internamente por el MCU entre 4 para lograr finalmente una velocidad en el bus de 2 Mhz.



TITULO: SISTEMA CENTRAL DE PROCESAMIENTO		
Hoja	NOMBRE:	PAGINA:
B	FIGURA 4.5	2
FECHA: MARZO DE 1981		
DISEÑADOR: MCT1501		
HOJA: 1 de 2		

Handwritten signature or initials.

El RESET externo se logra mediante el empleo de un capacitor y una resistencia de pull-up conectada a Vcc que se acoplan al MCU a través de dos buffers inversores.

Las terminales de entrada al MCU que no se utilizan están enclavadas a Vcc por medio de una resistencia para evitar que al microcontrolador se introduzcan ruidos inducidos que pudieran afectar su operación. Las terminales que aparecen como MODA y MODB son enviadas a Vcc para programar al dispositivo en modo expandido.

La terminal 21 del HC11 es la salida del SCI que junto con el MC1488 hacen posible la comunicación con la PC. El MC1488 no es más que un convertor de niveles TTL a RS-232.

El decodificador 74LS373 junto con la terminal AS del MCU habilitan como direcciones los 8 bits menos significativos (de A7 a A0), que intrínsecamente funcionan como el bus de datos.

El decodificador 74LS138 con la combinación de A15, A14 y A13, permite seleccionar hasta 7 dispositivos externos. Dentro de estos dispositivos se encuentran una EPROM de 8K x 8 que es donde se encuentra almacenado el programa principal que coordina todo el sistema. Este decodificador también habilita a U25 y U26 que coordinan el control del convertor D/A y a los switches analógicos respectivamente.

4.3.4 CONVERSION DIGITAL-ANALOGO Y GRAFICACION

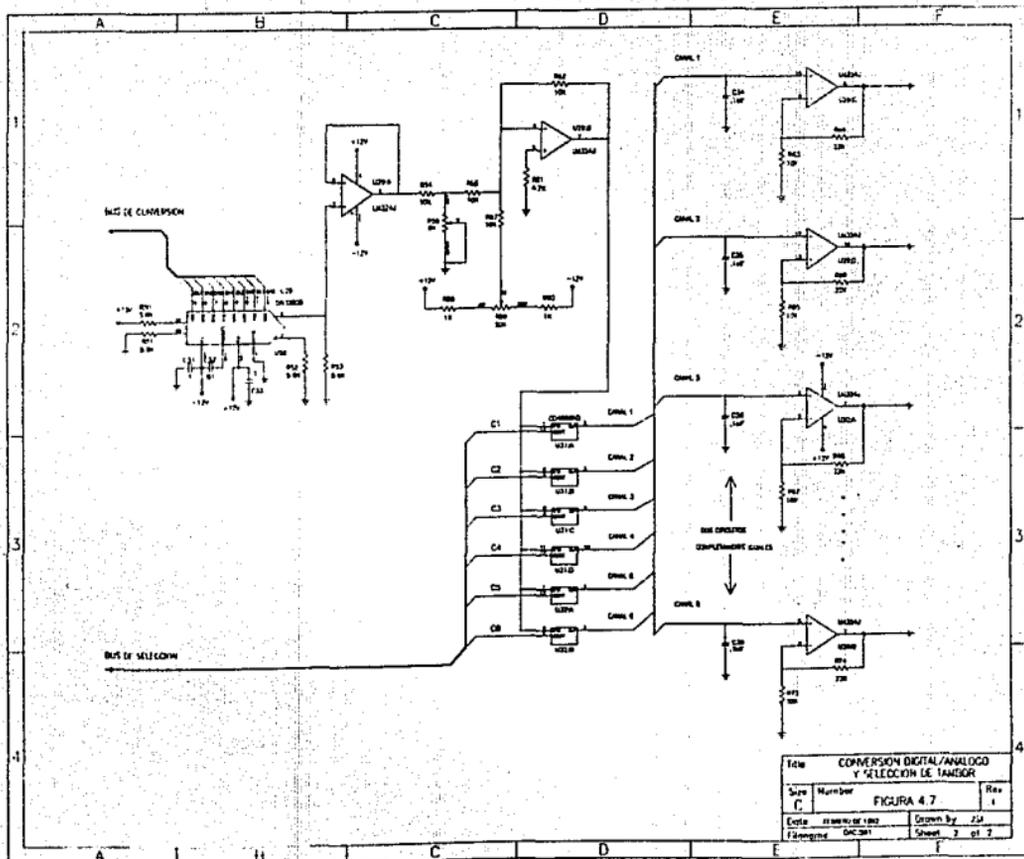
La conversión D/A se lleva a cabo utilizando el DAC0800, que es un conversor de alta rapidez (100 ns) y de gran inmunidad al ruido. Además, su funcionamiento es bastante sencillo, y requiere un número muy reducido de dispositivos externos. En la figura 4.7 se muestra la forma en que fue implementado en nuestro sistema junto con la parte de selección y adecuación de la señal para su graficación.

El nivel de voltaje analógico a la salida del DAC lo determina la corriente que circula por las resistencias R52 y R53. A su vez, esta corriente la fija el voltaje de referencia y la resistencia R50 conectada a la terminal 14. Esta característica nos sugiere acoplar al DAC por medio de un seguidor de voltaje a las etapas subsecuentes (U29A).

Por convención, el nivel de voltaje de las señales analógicas que llegan a los tambores es de 2 Vpp, y dado que el DAC nos entrega un voltaje mayor a éste, es necesario atenuar previamente la señal. Esta atenuación la logramos con un sistema básico de atenuación variable formado por R54 y R56.

Antes de que la señal analógica llegue a los switches de selección, es necesario que sea completamente unipolar, de lo contrario los switches analógicos no operarán correctamente.

En el 4066, de tecnología CMOS, se encuentran cuatro switches analógicos bidireccionales con una terminal independiente de



control. Únicamente cuando a esta terminal se le aplica un nivel de voltaje mayor a 3 volts (con $V_{cc} = +5 V$), es posible 'cerrar' el switch y permitir que la señal en sus terminales correspondientes circule en uno u otro sentido. De lo contrario, el switch permanecerá en un estado de alta impedancia equivalente a un circuito abierto.

La versatilidad en el control de los switches del 4066 nos permite utilizar únicamente un conversor D/A y, a través del bus de selección, habilitar solamente el switch que canalizará la señal al tambor de graficación que deseemos.

Con el objeto de suavizar la forma de la señal convertida, se coloca un capacitor a la salida de cada switch y antes de un amplificador que, en conjunto con el atenuador, determinará la amplitud final a la entrada del tambor correspondiente.

4.3.5 MAPA DE MEMORIA

El mapa de memoria del sistema se muestra en la figura 4.8. Los primeros 256 bytes del mapa de memoria constituyen a la RAM interna del MCU. En la programación se utilizan estas localidades de memoria para almacenar todo tipo de variables involucradas en los procesos de decodificación de las tramas de información.

El MCU tiene reservadas las localidades comprendidas entre 1000 y 103F para 64 registros internos programables. La programación de cada registro por separado controla, habilita, deshabilita o simplemente configura una tarea muy especial dentro del MCU.

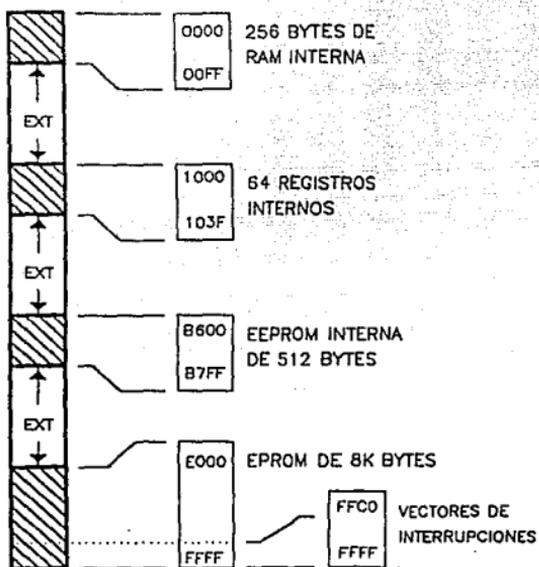


Figura 4.8 Mapa de memoria

En la región B600 a B7FF se encuentran los 512 bytes de la EEPROM interna no utilizada en el sistema. Pese a que esta memoria no forma parte del sistema final, jugó un papel fundamental en su diseño, ya que todos los programas previos de prueba fueron editados manualmente en estos 512 bytes mediante un programa monitor diseñado para tal fin.

A partir de la localidad E000 y hasta FFBF se encuentra la EPROM externa de 8K cuya ubicación en el mapa de memoria la determinan las terminales A15, A14 y A13 mediante el decodificador 74LS138.

En la parte más alta del mapa de memoria se encuentra una sección reservada para alojar en sus localidades los vectores de interrupción. Cuando se da una interrupción ya sea mascarable o no-mascarable, el programa busca en una de estas localidades la dirección a la cual transferir el control del programa para ejecutar una subrutina de servicio. Cada tipo de interrupción tiene asignada una localidad exclusiva con su vector correspondiente. Cabe mencionar que las interrupciones sólo podrán ocurrir cuando hayan sido previamente habilitadas.

También en esta sección del mapa de memoria, en las dos últimas localidades (FFFE y FFFF), se encuentra la dirección en la que el MCU se posiciona para operar después de que se aplica un RESET externo o bien, al momento de energizar al sistema por primer vez.

Es importante tener presente esta configuración del mapa de memoria para cuando se desee ubicar cualquier otro dispositivo externo ya que si su habilitación coincide con alguna localidad ya establecida pueden existir problemas por un doble seleccionamiento dando un resultado no deseado.

4.4 ALGORITMOS PARA LA DETECCION Y DECODIFICACION DE LA INFORMACION DIGITAL

Para la decodificación de la trama en la que viene la información digital nos encontramos con dos problemas principales:

- El reconocimiento de un bit
- La separación de los ocho bits de información de los bits de control

Hemos diseñado dos algoritmos principales que resuelven cada uno de ellos uno de los problemas planteados anteriormente. La rutina encargada de decodificar el dato de información de ocho bits, actúa como una subrutina de servicio que es invocada por la rutina de reconocimiento de un bit cuando ha detectado a un bit como válido. La explicación detallada de estas rutinas se da a continuación.

4.4.1 RECONOCIMIENTO DE UN BIT

El diagrama de flujo que ejemplifica el funcionamiento de esta rutina se muestra en la figura 4.9. Este diagrama se encuentra estructurado con las variables reales de programación cuyo significado se comprenderá mejor después de la explicación dada a continuación.

Para el reconocimiento de un bit hemos procurado en primera instancia delimitar su inicio para posteriormente ubicarnos en su parte media y considerar el valor leído en ese instante como el valor real del bit. Para lograr esto, es necesario tomar un cierto

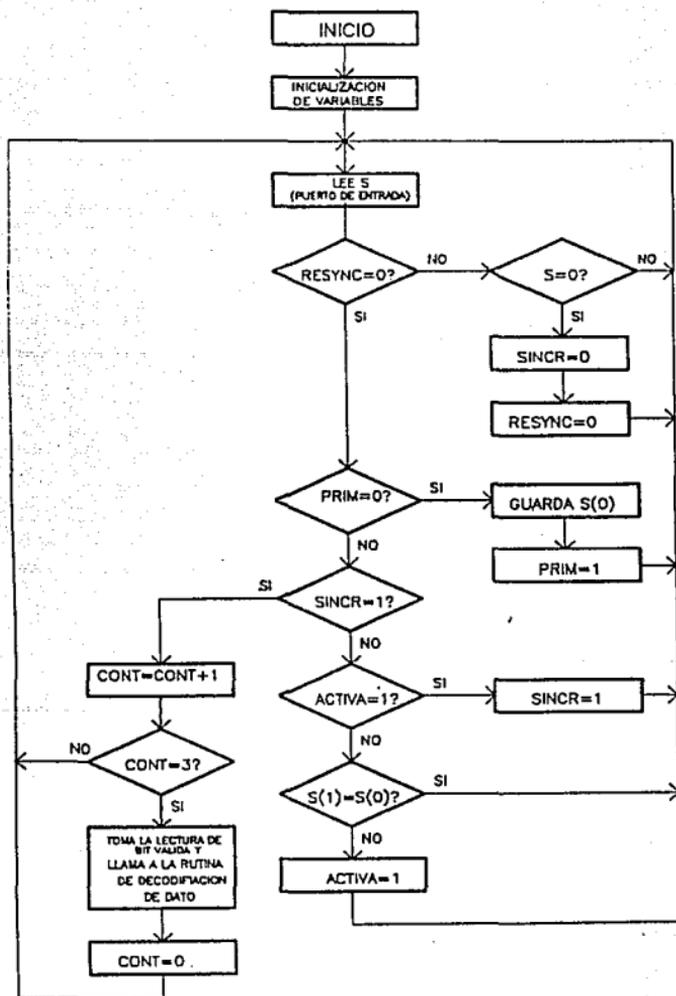


Figura 4.9 Diagrama de flujo para reconocimiento de 1 bit

número de muestras aleatorias para detectar un cambio de nivel ya sea de alto a bajo o de bajo a alto.

Este instante corresponderá precisamente al inicio del bit. Es lógico suponer que entre mayor sea el número de muestras mayor será la precisión para delimitar su inicio; sin embargo, en forma experimental descubrimos que con 4 muestras era suficiente.

Una vez que hemos detectado el cambio de nivel dejamos transcurrir otra muestra para que a la siguiente podamos garantizar que estamos a la mitad del bit o en una región muy cercana a ella, dependiendo de donde se haya delimitado el inicio del bit. A partir de este momento iniciamos un conteo total de tres muestras más, para asegurar que la muestra siguiente (la cuarta), podrá ser considerada como el valor real del bit. Es en este instante cuando se invoca a la rutina encargada de decodificar el dato de información que irá agrupando cada uno de los bits reconocidos para su procesamiento.

Procuramos siempre tomar la lectura válida a la mitad del bit para no caer en errores dado que el ancho de los bits es variable. En la figura 4.10, observamos los casos generales en los que podemos incurrir en la búsqueda de la parte media del bit dependiendo de donde se detecte el cambio de nivel para marcar su inicio.

Una vez sincronizados en la región cercana a la mitad de cada bit, podemos suponer que siempre a la cuarta muestra siguiente estaremos ubicados en la misma posición a partir de la cual se inicio la cuenta y si para el mejor de los casos esta posición

corresponde exactamente a la parte media, estaremos muestreando siempre al bit a la mitad.

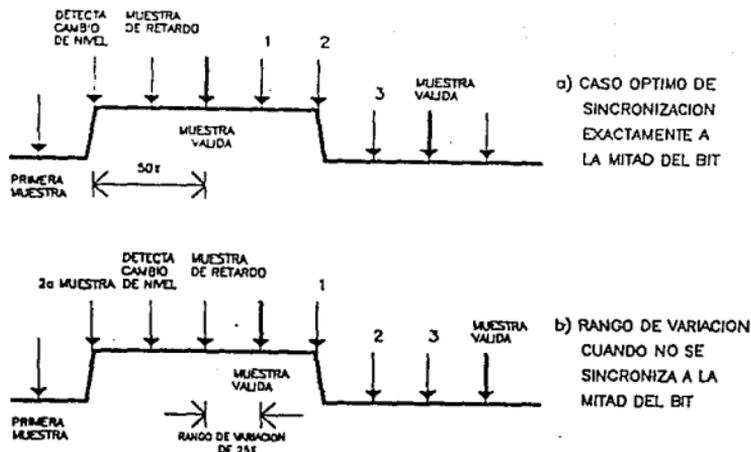


Figura 4.10 Casos generales en el muestreo para la detección del bit

En forma real, el considerar que siempre se estará muestreando en el mismo punto de la región central detectada del bit resulta falso. Tanto el reloj del MCU como el de las tarjetas moduladoras en el campo tienen una deriva. Este corrimiento en los relojes resulta grande si tomamos en cuenta que el sistema estará operando continuamente.

Este problema lo podemos resolver realizando el mismo proceso de sincronización que llevamos a cabo cuando se activa la rutina por primer vez. Hemos elegido el momento de resincronización al final

de cada trama, en el cambio de nivel que existe de los bits de paro al bit de inicio de tal modo que ahora el algoritmo deberá marcar el inicio del bit cuando detecte un cambio de nivel de alto a bajo exclusivamente siendo todo el procedimiento siguiente idéntico al anterior. El algoritmo para la decodificación del dato de información deberá notificarle a esta rutina el momento en que deberá de resincronizarse.

4.4.2 DECODIFICACION DEL DATO DE 8 BITS

Como ya mencionamos, la tarea de esta rutina consiste en ir ubicando la posición de cada bit cuando se ha reconocido como válido y determinar si corresponde a uno de a los bits de control, o bien al dato de información. El diagrama de flujo con el funcionamiento de esta rutina se muestra en la figura 4.11.

Al conocer el estado de la variable LISTO determinamos si se han o no detectado los dos bits de parada que son los que sirven de referencia junto con el de inicio para delimitar el principio de un dato de información.

En caso de que LISTO no se encuentre encendida, el programa se centrará en buscar la cadena de bits 1-1-0 que corresponden a los bits de control PARO-PARO-INICIO con los que viene codificada la trama de información. Una vez que esta secuencia de bits se ha detectado la bandera LISTO se enciende indicando que es posible que el siguiente bit sea ya del octeto de información.

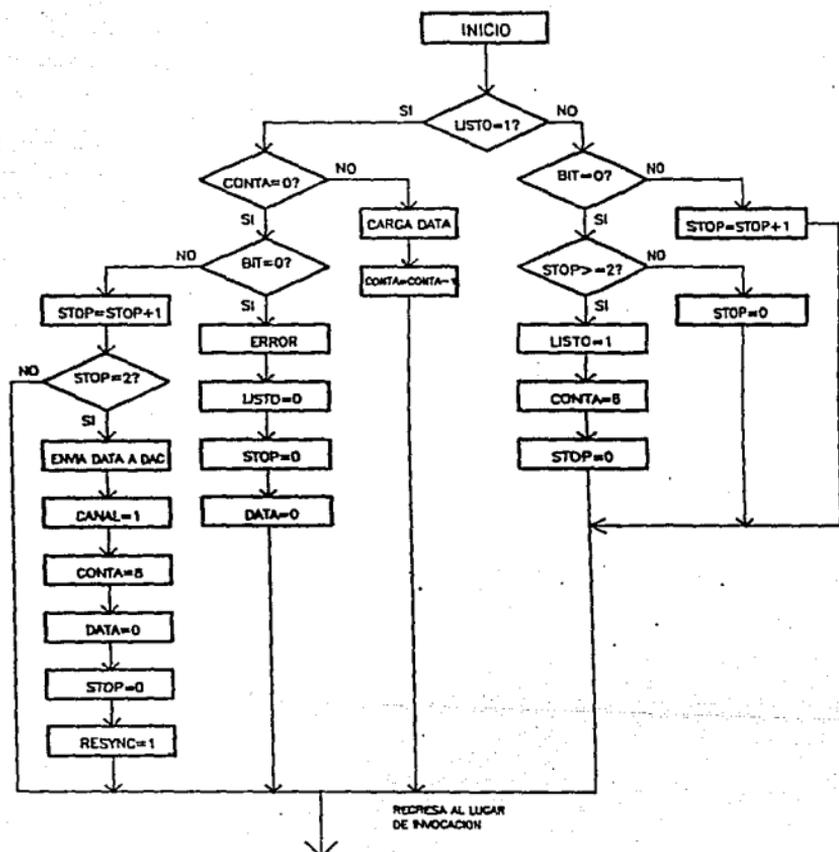


Figura 4.11 Diagrama de flujo para la decodificación de un dato

Al entrar nuevamente a la rutina con LISTO activado, se inicializa un contador que llevará la cuenta de los bits que se reciben inmediatamente después del bit de INICIO y que se almacenan en la variable DATA. Después de recibir los 8 primeros bits que pudieran ser del dato de información, se esperan recibir los 2 bits de paro (la secuencia 1-1). Si esta secuencia se recibe, entonces se podrá asegurar que los 8 bits anteriores corresponden a un dato de información.

Por el contrario, si la secuencia difiere de la esperada entonces se concluye que los bits 1-1 no eran precisamente los de paro o bien, que hubo un error en la estructura de la trama recibida. Para este caso, la bandera LISTO se apagará y se buscará nuevamente la secuencia de control PARO-PARO-INICIO.

Cada vez que se decodifica un dato de información se envía al puerto correspondiente para su conversión D/A y su posterior graficación en los tambores. También en este momento se encienden las banderas CANAL y RESYNC. La primera será leída por otra rutina ubicada en el programa principal que le indicará que existe ya un dato de información listo para ser enviado a la PC junto con un encabezado de identificación del canal del que procede. La bandera RESYNC servirá para indicarle a la rutina de reconocimiento de 1 bit que inicie la resincronización para el muestreo del bit considerando el cambio de nivel de los 2 bits de paro al de inicio.

4.5 ESTRUCTURACION DEL PROGRAMA FINAL

4.5.1 PROGRAMA PRINCIPAL

Dado que una parte muy importante de nuestro sistema es el envío de la información digital a la PC, hemos implementado la rutina de comunicación con la computadora en el programa principal y las rutinas para el reconocimiento de un bit y decodificación de un dato en una sola rutina de servicio a una interrupción mascarable que se genera periódicamente. Con esto, logramos que el tiempo empleado para el procesamiento de las 8 señales sea independiente del tiempo necesario para su envío. El funcionamiento de la rutina principal se muestra en el diagrama de flujo de la figura 4.12.

Como podemos observar en el diagrama de flujo, el programa principal continuamente y en forma secuencial pregunta por el estado de la bandera CANAL de cada uno de los 8 canales. Cuando esta bandera se encuentra activada en alguno de ellos, hace un llamado a una subrutina que se encarga de enviar el dato decodificado a la PC a 9600 baud utilizando el sistema de comunicación serie con que cuenta el MCU.

Para el envío a la PC utilizando el SCI del microcontrolador se debe preguntar primero por el estado de la bandera TDRE del registro SCSR. Si esta bandera está encendida (igual 1), es posible enviar un dato a la PC. Si por el contrario, si su valor es cero, entonces quiere decir que en ese momento un dato está siendo transmitido y no es posible el envío de otro más. De aquí que continuamente se debe de preguntar por el estado de esta

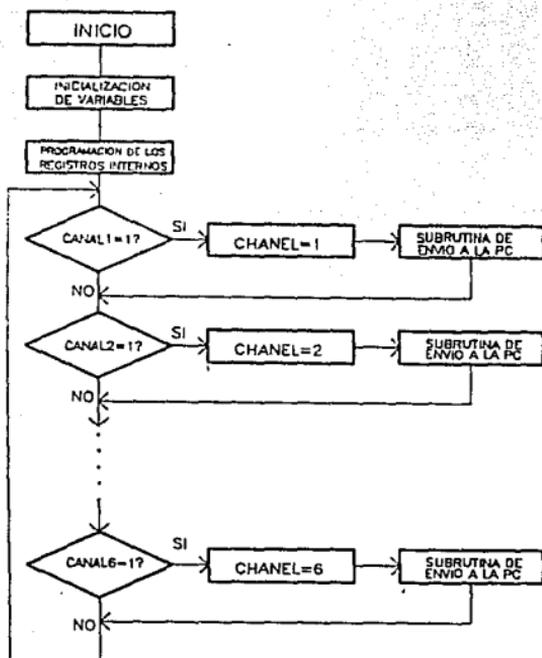


Figura 4.12 Diagrama de flujo del programa principal

bandera antes del envío de un nuevo dato. El diagrama de flujo de la subrutina para el envío a la PC se muestra en la figura 4.13.

Observamos en la figura 4.13 que antes de enviar el dato de información decodificado a la PC, se manda primero el número del canal al que pertenece (CHANEL), con el fin de que la computadora pueda ordenar internamente y procesar el dato de información digital (DATO) que le será enviado posteriormente.

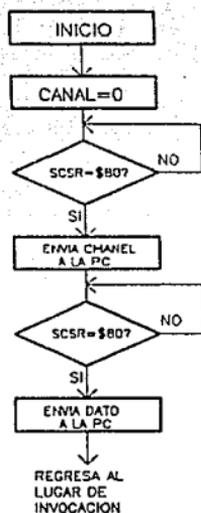


Figura 4.13 Subrutina para el envio a, la PC del dato de información

4.5.2 RUTINA DE SERVICIO A INTERRUPCIONES

La parte principal de procesamiento del sistema se encuentra en la rutina de servicio a interrupciones. En esta rutina se procesan secuencialmente los 6 canales empleando las rutinas para reconocimiento de bit y decodificación del dato explicadas anteriormente, tal como se aprecia en la figura 4.14.

Cada 2.79 ms, que equivale a 1/4 veces el ancho de cada bit, se genera una interrupción en la cual todas las rutinas de reconocimiento de bit, muestrean el canal de entrada de información que tienen asignado. Cada una de estas subrutinas

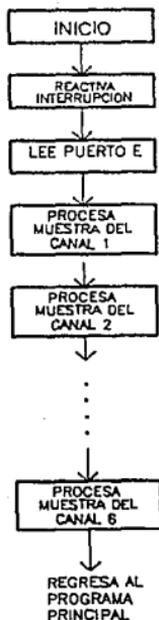


Figura 4.14 Diagrama de flujo de la rutina de servicio a interrupciones

lleva un conteo por separado de sus operaciones y cuando tienen ya detectado un bit hacen un llamado a la rutina de decodificación del dato para su procesamiento también en forma independiente para cada canal. Una vez que se genera la primera interrupción, esta rutina debe de reactivarla nuevamente en su inicio para que el muestreo sea periódico y continuo.

4.6 CODIFICACION DEL PROGRAMA FINAL

El programa final codificado se muestra al final de este capítulo en donde también se encuentran comentarios breves sobre cada una de las instrucciones involucradas en su codificación. En general, dada la forma en que están estructurados los diagramas de flujo, resulta sencilla la codificación del programa en lenguaje ensamblador, sin embargo, es conveniente mencionar algunas consideraciones importantes.

4.6.1 INDEXACION Y DESIGNACION DE LAS VARIABLES DE MEMORIA

Una manera de optimizar el programa fue la utilización del registro indexado X del MCU. Para lograr esto, se asignaron a cada canal 16 localidades de la RAM interna para almacenar sus variables y cuentas parciales en forma individual. De este modo, con una sola rutina para la decodificación del dato y otra para el reconocimiento de un bit es suficiente para procesar la información de cada canal.

Cada vez que se hace una llamada a la rutina encargada del reconocimiento de un bit, se le envía como parámetro el registro X apuntando el inicio de la localidad de memoria que tienen asignado dependiendo del canal que se quiere procesar. A partir de la posición de la RAM que apunta X, la rutina selecciona cada una de las variables involucradas en su proceso mediante un índice que va de 0 a 15 y que se adiciona a la posición inicial de X para colocarse en una localidad de memoria determinada. Esta indexación se extiende para cuando se invoca a la rutina de decodificación

del dato y en general, siempre que se requiera procesar información de cualquiera de los 6 canales.

La distribución de variables es única para todos los canales y cada localidad a partir de la posición de origen de X representa una de las variables que se mencionan en los diagramas de flujo.

De esta manera tenemos:

0,X - HAYDAT	8,X - RESYNC
1,X - LISTO	9,X - SINCR
2,X - STOP	10,X - ACTIVA
3,X - DATA	11,X - CONT
4,X - PIVOTE (variable auxiliar)	12,X - PRIM
5,X - S(0)	13,X - S
6,X - CONTA	14,X - CANAL
7,X - BIT	15,X - DATO

4.6.2 PATRON DE MUESTREO A TRAVES DE INTERRUPCIONES

Como ya mencionamos, para el reconocimiento de un bit tomamos muestras sucesivas cada .698 ms o sea, cada un cuarto del ancho total del bit que es de $1/358 = 2.793$ ms. Para lograr esto, utilizamos el Sistema de Temporización Principal (Main Timer System), del MCU.

Este sistema de temporización es de gran utilidad para la implementación del programa debido a su precisión y fácil manejo.

Su funcionamiento está basado en un contador de 16 bits activado permanentemente cuya cuenta se inicia a partir de \$0000 después de que ocurre un RESET externo o se enciende el sistema. Cuando se alcanza la cuenta máxima (\$FFFF), el contador vuelve a iniciar de \$0000 y en condiciones normales de operación, no existe manera de reinicializar, cambiar o interrumpir su conteo.

Para generar una interrupción en un determinado tiempo leemos el contador de carrera libre, que es como se le conoce, en un instante cualquiera y le adicionamos el valor del espacio de tiempo en el que queremos que ocurra y la suma total la guardamos en un registro de comparación.

Cuando el contador de carrera libre alcanza el valor que se encuentra en el registro de comparación se generará una interrupción, siempre y cuando el sistema de interrupciones mascarables esté habilitado.

El contador de carrera libre se incrementa en cada ciclo de la frecuencia de operación que se esté manejando en el bus. Para un cristal de 8 MHz, se tiene una velocidad en el bus de 2 MHz (8 MHz/4), o sea un periodo de tiempo de .5 μ s. Entonces, para muestrear cada .6983 ms requerimos que transcurran 1397 ciclos de conteo (.6983/.0005) entre una interrupción y otra. Estos 1397 ciclos son los que determinan el tiempo máximo que puede ocuparse en procesamiento entre interrupción e interrupción y son finalmente los que fijan el número de canales que es capaz de decodificar el sistema.

Cuando leemos el reloj de carrera libre por primer vez en la rutina principal del programa, le adicionamos el valor de 1397 ó \$575 y utilizamos el registro del comparador TOC2 para almacenar la suma. Este comparador tiene su vector de interrupción en las localidades FFE6 y FFE7 de la EPROM y transfiere el control del programa a la direccion EOEO, una vez que el contador de carrera libre alcanza el valor que tenemos guardado en el comparador. Es necesario que estas rutinas reactiven nuevamente y de inmediato el tiempo de interrupción para que continuamente se genere una interrupción en periodos lo más aproximados posible a .6983 ms.

V. EVALUACION Y RESULTADOS DEL SISTEMA

El desarrollo del sistema se inició con el armado de las tarjetas moduladoras digitales. Para facilitar el armado de estas tarjetas fue diseñado un circuito impreso de doble cara con ayuda del paquete SMART-WORK. Fueron en total 15 tarjetas las que se mandaron imprimir y para su armado y calibración contamos con el apoyo del soporte técnico de la Coordinación de Instrumentación Sísmica de este Instituto, al cual se le impartió un pequeño entrenamiento.

Mientras diseñábamos el sistema de recepción con el HC11, contruimos un sistema piloto con un microprocesador Z80 y un SIO (dispositivo de comunicación para entrada y salida serie). Este sistema nos permitió probar las tarjetas moduladoras en el laboratorio y posteriormente en el campo. Para su prueba en el campo, instalamos una estación completa en las inmediaciones del Jardín Botánico, en CU, compuesta por un sensor, una tarjeta moduladora y un radio transmisor que radiaba la señal a través de una antena hacia el Instituto de Ingeniería. Después de continuos ajustes a la tarjeta moduladora en el campo, finalmente el sistema permaneció transmitiendo durante más de 3 meses con resultados muy satisfactorios.

Después de esta primera experiencia pudimos evaluar la factibilidad del sistema de transmisión digital en el campo y su alta compatibilidad con la infraestructura de la red analógica actual.

Si bien el sistema de transmisión digital había pasado exitosamente las pruebas en el campo, el sistema de recepción final a penas estaba siendo terminado. Pese al buen desempeño del Z80 en la recepción, el sistema final debería ser capaz de decodificar no sólo una sino 6 señales simultáneamente y de la manera más óptima.

Una vez concluido el sistema con el HC11, le fueron aplicadas las primeras pruebas en el laboratorio. Después de varias pruebas y correcciones parciales al sistema, se llegó a las pruebas finales para observar su desempeño y efectividad a su capacidad total. La primera prueba consistió en evaluar la parte de conversión D/A. Para esto, el puerto de entrada del microcontrolador se conectó con las 6 salidas de 6 demoduladores FSK calibrados de tal forma que se involucraran los tres rangos de frecuencia marca-espacio asignados. La señal se simuló de 6 diferentes generadores de funciones con señales senoidales de diferente frecuencia y amplitud. Con también 6 tarjetas moduladoras ajustadas a la misma frecuencia que su correspondiente demodulador FSK, se hizo una transmisión directa modulador-demodulador.

Auxiliándonos de un osciloscopio digital de 4 trazas, pudimos imprimir la respuesta de cuatro de las 6 señales que teníamos a la salida del sistema de recepción en prueba. La figura 7.1 nos muestra la forma de estas 4 señales.

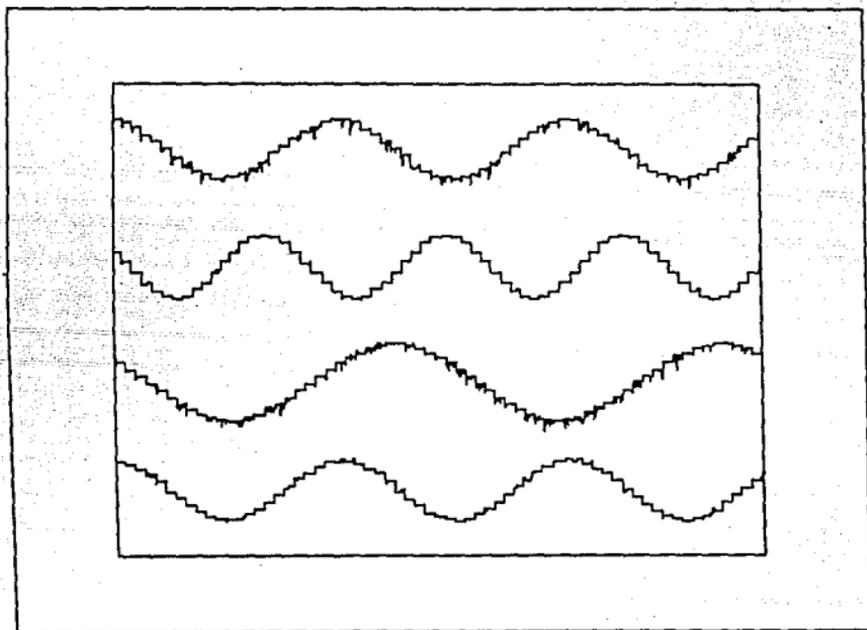


Figura 7.1 Forma de 4 señales de prueba a la salida del sistema de recepción

Observamos de la figura que la forma de las señales es bastante parecida a la senoide que les dio origen, aún con las distorsiones inherentes de la conversión D/A. Para fines prácticos no nos interesa tanto la forma, sino que la señal guarde la información de frecuencia y magnitud de la señal de origen. Además, para las agujas en los tambores es absolutamente imperceptible el escalonamiento de la forma de la señal, proporcionandole un filtrado mecánico adicional que la hace más suave.

La otra prueba importante a la que fue sometido el sistema de recepción fue su capacidad de comunicación con la PC. Con el sistema alambrado de la misma manera que para la prueba anterior, se conectó la salida del microcontrolador ya en formato RS-232 al puerto serie de una computadora AT286. Para recibir la información serie que enviaba el sistema, se diseñó un programa muy sencillo en BASIC para procesar la información en la propia PC. El programa es el siguiente

```
1 SIGUE=0
5 FILE$='CS.FIL'
9 OPEN FILE$ FOR APPEND AS 1 LEN=5000
10 OPEN 'COM1:9600,n,8,1,ds' AS 2
15 FOR I=1 TO 4000
20 N$=INPUT$(1, 2)
25 NC=ASC(N$)
26 IF NC=S THEN GOTO 34
27 IF SIGUE=1 THEN GOTO 30
28 GOTO 40
30 PRINT 1,NC
31 SIGUE=1
32 GOTO 40
34 SIGUE=1
40 NEXT I
50 CLOSE
```

Este programa lo que hace es básicamente habilitar la entrada de información serie de la PC con un formato asíncrono con 1 bit de paro y a una velocidad de 9600 baud. Continuamente está leyendo los datos que entran a la máquina y después de convertirlos a su correspondiente ASCII, pregunta por el encabezado que viene por delante del dato por medio de la variable NC que puede utilizar cualquier valor de comparación entre 1 y 6, dependiendo de la información del canal que queremos recuperar. Los datos del

canal que queremos adquirir los almacenamos en un archivo en el disco duro de la computadora. Este proceso lo llevamos a cabo para los 6 canales. Con los 6 archivos de información almacenados en el disco duro y con el auxilio de un programa graficador llamado PLOTXY, obtuvimos las gráficas de 3 de las 6 señales de prueba que mostramos en la figura 7.2.

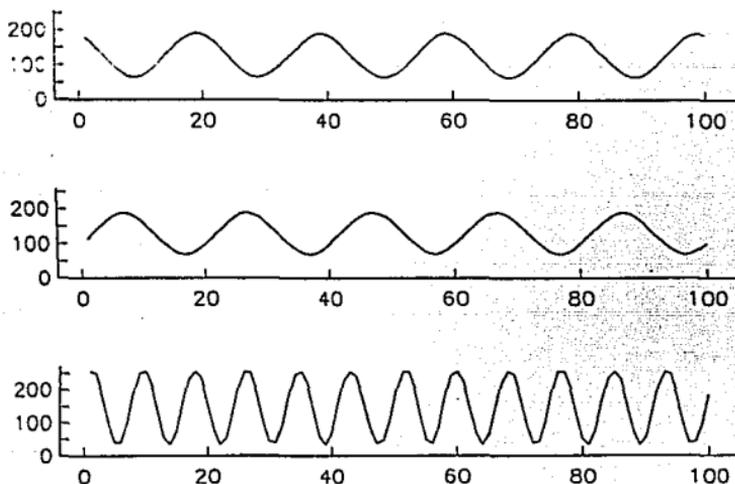


Figura 7.2 Señales de prueba procesadas por la computadora

Dado el resultado aceptable de esta última prueba como lo demuestra la figura, podemos concluir que el sistema cumple, al menos en el laboratorio, con los objetivos para los que fue diseñado.

Una vez probado el sistema de recepción en el laboratorio, lo instalamos en lugar del sistema que teníamos con el Z80. Los resultados fueron nuevamente satisfactorios como lo muestra la figura 7.3 donde fue posible registrar un sismo ocurrido en las costas de Guerrero durante los días en que ha estado operando.

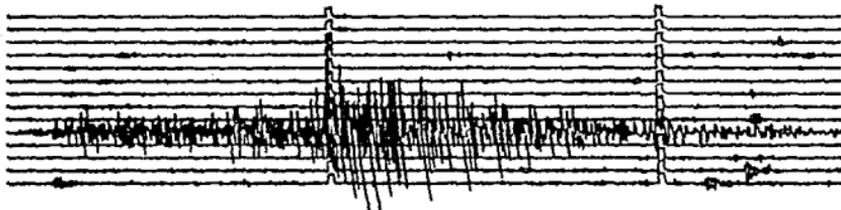


Figura 7.3 Señal sísmica registrada por el sistema digital

El registro de las señales en la computadora requerirá un poco más de tiempo mientras se instala completamente el sistema en el puesto central de registro. Además, se tiene pensado diseñar un programa de adquisición de las señales digitales más sofisticado capaz de graficar y procesar las señales únicamente cuando ocurra un sismo.

De una manera sistemática se irán instalando tarjetas moduladoras digitales en los lugares donde ahora se encuentran las analógicas. Esto, como es entendible, no puede realizarse drásticamente debido a que las actuales estaciones están muy alejadas del D.F. y no se tiene la misma facilidad de probar y corregir el comportamiento de la tarjeta en el lugar donde sea instalada. Sin embargo, se está diseñando un programa de trabajo para que la instalación de las tarjetas en el campo sea progresiva y eficiente hasta que la red analógica sea completamente sustituida por la nueva red digital.

VI. COMENTARIOS Y CONCLUSIONES FINALES

Habiendo seguido las etapas en que se fue desarrollando el trabajo que aquí presentamos desde su diseño hasta su armado y pruebas finales, es posible concluir lo siguiente:

- Las señales analógicas registradas en las estaciones de campo, pueden ser fielmente reproducidas digitalmente con 8 bits

- El canal de transmisión con que cuenta actualmente SISMEX es adecuado para transmitir señales digitales empleando modulación FSK

- Es posible recuperar 6 señales distintas en el puesto central de registro con el microcontrolador HC11 a su máxima velocidad de operación

- Es completamente factible emplear una microcomputadora para procesar las señales digitalmente

Este trabajo debe considerarse, sin embargo, como un primer inicio de hacer de SISMEX una red digital. Son muchos los cambios que pueden hacerse todavía para optimizar más el sistema. Algunos de estos cambios podrían basarse en las siguientes características:

- Digitalización en el campo a 12 bits. Esta característica nos permitirá mejorar todavía más la fidelidad de la señal muestreada

- Amplificación de la señal con un Sistema de Auto-rango. Este sistema manejaría diferentes ganancias y permitiría un análisis

más detallados de señales de pequeña amplitud. Por otro lado, señales de gran magnitud podrían ser también analizadas sin que sean recortadas en el caso de contar con una sola ganancia que saturara al sistema.

- Sistema Duplex de Comunicación. Esta podría ser quizá una de las nuevas características de mayor trascendencia, ya que si el sistema de recepción fuera capaz de comunicarse con el de transmisión se tendría un aprovechamiento mucho más óptimo del canal de transmisión del que se tiene ahora. El sistema de recepción podría preguntar continuamente a cada estación en el campo si se han registrado alguna señal sísmica de interés. Si la respuesta es afirmativa por parte de alguna estación, el canal de transmisión le será asignado en ese momento y la transmisión de la señal podrá llevarse a cabo a una mayor velocidad y con mayor precisión. Esto es un ejemplo de muchas otras ventajas adicionales que se podrían integrar a un sistema de este tipo, implicando claro, un sistema de transmisión y recepción más sofisticados.

No obstante que la instalación completa del sistema será a mediano plazo, los logros hasta ahora obtenidos han sido satisfactorios y el sistema ha probado su capacidad y su compatibilidad para sustituir la red analógica actual, que era básicamente el objetivo de este trabajo de tesis.

Además de las ventajas que pueden ahora ser aprovechadas con la nueva red digital, este trabajo ha dejado una grata experiencia y un sin número de nuevos conocimientos a todos los que de una u otra forma participamos en su desarrollo.

VII. BIBLIOGRAFIA

- 1- Torres Miguel, ''Operación de la Red SISMEEX por un año (Informe Técnico)'', Instituto de Ingeniería, UNAM, agosto 1991.
- 2- Millman, Halkias, ''Integrated Electronics'', Mc Graw Hill, Japan, 1972.
- 3- Bildstein Paul, ''Filtros Activos'', Marcombo Boixareu Editores, España, 1977.
- 4- Coughlin, Driscoll, ''Filtros Activos y Amplificadores Operacionales'', Prentice Hall, 1985.
- 5- Schwartz Mischa, ''Transmisión de Información, Modulación y Ruido'', Mc Graw Hill, México, 1990.
- 6- Intel, ''Memory'', USA, 1990.
- 7- National Semiconductor Corporation, ''Linear Databook'', vols. 1,2 y 3, USA, 1987.
- 8- RCA Solid State, ''COS/MOS Integrated Circuits'', USA, 1978.
- 9- EXAR, ''Function Generator Data Book'', USA, 1981.
- 10- EXAR, ''Data Book'', USA, 1987.

-
- 11- Texas Instruments Incorporated, "The TTL Data Book for Design Engineers", USA, 1976.
 - 12- MOTOROLA, "HC11, Programming Reference Guide", USA, 1989.
 - 13- MOTOROLA, "M68HC11, Reference Manual", USA, 1991.
 - 14- MOTOROLA, "Telecommunications Device Data", USA, 1989.
 - 15- KINEMATRICS, "Stiegler's Gorge Seismic Network for Hafslund-Norplan Instruction Manual", USA, 1978.

APENDICE

PROGRAMA COMPLETO EN ENSAMBLADOR PARA EL
SISTEMA DE RECEPCION CON EL M68HC11

..
 * LISTADO DEL PROGRAMA FINAL
 ..

** DECLARACION DE LAS LOCALIDADES DE RAM INTERNA PARA EL
 * MANEJO DE VARIABLES DE CADA CANAL.

0000	RAM1	EQU	\$0000	*Inicio de la memoria p/CANAL1
0010	RAM2	EQU	\$0010	*Inicio de la memoria p/CANAL2
0020	RAM3	EQU	\$0020	*Inicio de la memoria p/CANAL3
0030	RAM4	EQU	\$0030	*Inicio de la memoria p/CANAL4
0040	RAM5	EQU	\$0040	*Inicio de la memoria p/CANAL5
0050	RAM6	EQU	\$0050	*Inicio de la memoria p/CANAL6

** DIRECCIONAMIENTO PARA SELECCION DE DISPOSITIVOS EXTERNOS

4000	SELECTOR	EQU	\$4000	*Para manejo de los switches analog
6000	DAC	EQU	\$8000	*Para manejo del conversor D/A

** DECLARACION DE LOS REGISTROS DE CONTROL INTERNO DEL MCU

100A	PORTE	EQU	\$100A	*Puerto E de entrada de las 6 señales
100E	TIMER	EQU	\$100E	*Contador de carrera libre
1018	TOC2	EQU	\$1018	*Comparador de cuenta OC2
1020	TCTL1	EQU	\$1020	*Registro para salida de pulso
1022	THSK1	EQU	\$1022	*Registro para habilitar inter OC2
1023	TFLG1	EQU	\$1023	*Deshabilitador de comparación OC2
102B	BAUD	EQU	\$102B	*Programación de vel de trans serie
102D	SCCR2	EQU	\$102D	*Habilitador de transmisión serie
102E	SCSR	EQU	\$102E	*Control de transmisión serie
102F	SCDAT	EQU	\$102F	*Buffer de envío para comunic serie

** DECLARACION DE VARIABLES AUXILIARES

0070	CHANEL	EQU	\$0070	*Número de canal p/encabezado de TS
0071	INICIO	EQU	\$0071	*Para inicializar variables
0072	MUESTRAS	EQU	\$0072	*Buffer para almacenar lec del portE
0073	POSICION	EQU	\$0073	*Para elegir muestra parcial de canal

** INICIA PROGRAMA PRINCIPAL

E000	8E 00 F8	[3]	LDS	\$0F8	*Ubicación del apuntador de STACK
------	----------	-----	-----	-------	-----------------------------------

** RUTINA DE INICIALIZACION DE TODAS LAS VARIABLES UTILIZADAS

E003	7F 00 71	[6]	CLR	INICIO
E006	CE 00 00	[3]	LDX	RAM1
E009	6F 00	[6]	INICIA	CLR 0,X
E00B	08	[3]	INX	

E00C 7C 00 71	[6]	INC	INICIO	
E00F 96 71	[3]	LDAA	INICIO	
E011 81 75	[2]	CMPA	\$75	
E013 26 F4	[3]	BNE	INICIA	
E015 86 40	[2]	LDAA	\$40	*Habilita la salida de pulso en cada
E017 B7 10 20	[4]	STAA	TCTL1	comparacion exitosa en OC2
E01A 86 40	[2]	LDAA	\$40	*Habilita interrupción mascarable en
E01C B7 10 22	[4]	STAA	TRSK1	el registro OC2
E01F 86 30	[2]	LDAA	\$30	*Programación de la velocidad de tran
E021 B7 10 2B	[4]	STAA	BAUD	a la PC a 9600 baud
E024 86 08	[2]	LDAA	\$8	*Habilita el SCI en modo de
E026 B7 10 2D	[4]	LDD	SCCR2	transmisión
E029 FC 10 0E	[5]	LDD	TIMER	*Toma lectura del contador de carr
E02C C3 05 75	[4]	ADDD	\$575	libre y le adiciona \$575 ciclos de
E02F FD 10 18	[5]	STD	TOC2	reloj y lo guarda en OC2
E032 0E	[2]	CLI		*Habilita interrupciones mascarables

* INICIA RUTINA DE ENVIO A LA PC

ENVIO

E033 CE 00 00	[3]	ASK1	LDX	RAM1	*Coloca el apuntador en la RAM 1 de
E036 A6 0E	[4]	LDAA	14,X		variables y pregunta por CANAL.
E038 81 01	[2]	CMPA	\$1		para saber si hay un dato para
E03A 26 07	[3]	BNE	ASK2		envio a la PC
E03C 86 01	[2]	LDAA	\$1		*Carga CHANEL con el dato de enca-
E03E 97 70	[3]	STAA	CHANEL		bezado para que la PC sepa a que
E040 BD E0 96	[6]	JSR	MANDA		canal pertenece el dato de inform
E043 CE 00 10	[3]	ASK2	LDX	RAM2	*La misma rutina anterior pero
E046 A6 0E	[4]	LDAA	14,X		ahora para el canal 2
E048 81 01	[2]	CMPA	\$1		
E04A 26 07	[3]	BNE	ASK3		
E04C 86 02	[2]	LDAA	\$2		
E04E 97 70	[3]	STAA	CHANEL		
E050 BD E0 96	[6]	JSR	MANDA		
E053 CE 00 20	[3]	ASK3	LDX	RAM3	*La misma rutina anterior pero
E056 A6 0E	[4]	LDAA	14,X		ahora para el canal 3
E058 81 01	[2]	CMPA	\$1		
E05A 26 07	[3]	BNE	ASK4		
E05C 86 03	[2]	LDAA	\$3		
E05E 97 70	[3]	STAA	CHANEL		
E060 BD E0 96	[6]	JSR	MANDA		
E063 CE 00 30	[3]	ASK4	LDX	RAM4	*La misma rutina anterior pero
E066 A6 0E	[4]	LDAA	14,X		ahora para el canal 4
E068 81 01	[2]	CMPA	\$1		
E06A 26 07	[3]	BNE	ASK5		
E06C 86 04	[2]	LDAA	\$4		

E06E 97 70	[3]	STAA	CHANEL	
E070 BD E0 96	[6]	JSR	MANDA	
E073 CE 00 40	[3] ASKS	LDX	RAM5	*La misma rutina anterior pero
E076 A6 0E	[4]	LDAA	14, X	ahora para el canal 5
E078 81 01	[2]	CMPA	\$1	
E07A 26 07	[3]	BNE	ASK6	
E07C 86 05	[2]	LDAA	\$5	
E07E 97 70	[3]	STAA	CHANEL	
E080 BD E0 96	[6]	JSR	MANDA	
E083 CE 00 50	[3] ASKS	LDX	RAM6	*La misma rutina anterior pero
E086 A6 0E	[4]	LDAA	14, X	ahora para el canal 6
E088 81 01	[2]	CMPA	\$1	
E08A 26 07	[3]	BNE	ASK3	
E08C 86 03	[2]	LDAA	\$2	
E08E 97 70	[3]	STAA	CHANEL	
E090 BD E0 96	[6]	JSR	MANDA	
E093 7E E0 33	[3]	JMP	ENVIO	*Regresa cíclicamente al inicio

* INICIA SUBROUTINA PARA EL ENVIO A LA PC

E096 6F 0E	[6] MANDA	CLR	14, X	*Apaga bandera CANAL
E098 B6 10 2E	[4] ENVACAN	LDAA	SCSR	*Pregunta si el buffer para envio
E09B 84 80	[2]	ANDA	\$80	del SCI está libre para poder
E09D 81 80	[2]	CMPA	\$80	enviar el dato de encabezado
E09F 26 F7	[3]	BNE	ENVCAN	
E0A1 96 70	[3]	LDAA	CHANEL	*Envia el dato de encabezado
E0A3 B7 10 2F	[4]	STAA	SCDAT	
E0A6 B6 10 2E	[4] ENVDAT	LDAA	SCSR	*Pregunta ahora si el buffer para
E0A9 84 80	[2]	ANDA	\$80	envio está libre para enviar el
E0AB 81 80	[2]	CMPA	\$80	dato de información
E0AD 26 F7	[3]	BNE	ENVDAT	
E0AF A6 0F	[4]	LDAA	15, X	*Envia el dato de información DATO
E0B1 B7 10 2F	[4]	STAA	SCDAT	
E0B4 39	[5]	RTS		*Regresa al lugar de invocación

* INICIA RUTINA DE SERVICIO A INTERRUPCIONES

E0E0		ORG	\$E0E0	
E0E0 FC 10 0E	[5]	LDD	TIMER	*Reactiva nuevamente el periodo
E0E3 C3 05 75	[4]	ADDD	\$575	de interrupciones para que el
E0E6 FD 10 18	[5]	STD	TOC2	muestreo sea constante
E0E9 39	[3]	PSHA		*Salva en el apuntador de STACK
E0EA 3C	[4]	PSHX		el valor de los registros X y A
E0EB B6 10 0A	[4]	LDAA	PORTE	*Toma la muestra del valor presente
E0EE 97 72	[3]	STAA	MUESTRAS	a la entrada del MCU de las señales

*INICIA RUTINA PARA RECONOCIMIENTO DE UN BIT

EOFO CE 00 00	[3]	CONTROL	LDX	RAM1	*Coloca el apuntador en la RAM
EOF3 86 01	[2]		LDA	\$1	de variables del canal 1
EOF5 97 73	[3]		STAA	POSICION	*Llama a la rutina de
EOF7 BD E1 2F	[6]	JSR	DETECTA		procesamiento con la muestra a usar
EOFA CE 00 10	[3]		LDX	RAM2	*Idem lo anterior para canal 2
EOFD 86 02	[2]		LDA	\$2	
EOFF 97 73	[3]		STAA	POSICION	
E101 BD E1 2F	[6]	JSR	DETECTA		
E104 CE 00 20	[3]		LDX	RAM3	*Idem lo anterior para canal 3
E107 86 04	[2]		LDA	\$4	
E109 97 73	[3]		STAA	POSICION	
E10B BD E1 2F	[6]	JSR	DETECTA		
E10E CE 00 30	[3]		LDX	RAM4	*Idem lo anterior para canal 4
E111 86 08	[2]		LDA	\$8	
E113 97 73	[3]		STAA	POSICION	
E115 BD E1 2F	[6]	JSR	DETECTA		
E118 CE 00 40	[3]		LDX	RAM5	*Idem lo anterior para canal 5
E11B 86 10	[2]		LDA	\$10	
E11D 97 73	[3]		STAA	POSICION	
E11F BD E1 2F	[6]	JSR	DETECTA		
E122 CE 00 50	[3]		LDX	RAM6	*Idem lo anterior para canal 6
E125 86 20	[2]		LDA	\$20	
E127 97 73	[3]		STAA	POSICION	
E129 BD E1 2F	[6]	JSR	DETECTA		
E12C 7E E1 85	[3]		JMP	FIN	*Envia el control al fin de interr

*INICIA RUTINA PRINCIPAL DE PROCESAMIENTO

E12F 96 72	[3]	DETECTA	LDA	MUESTRAS	*De las muestras tomadas selecciona
E131 94 73	[3]		ANDA	POSICION	aquella del canal correspondiente
E133 A7 0D	[4]		STAA	13,X	*Guarda la muestra 5 seleccionada
E135 A8 08	[4]		LDA	8,X	*Hay que resincronizar?
E137 81 01	[2]		CMPA	1	(RESYNC=1?)
E139 27 3E	[3]		BEQ	RESYNC	
E13B A8 0C	[4]		LDA	12,X	*Es la primer muestra tomada?
E13D 81 00	[2]		CMPA	\$0	(PRIM=0?)
E13F 27 2F	[3]		BEQ	GUARDS	
E141 A6 09	[4]		LDA	9,X	*Ya estamos sincronizados?
E143 81 01	[2]		CMPA	\$1	(SINCR=1)
E145 27 16	[3]		BEQ	BUSOTRO	
E147 A6 0A	[4]		LDA	10,X	*Hay que activar la sincronización?
E149 81 01	[2]		CMPA	\$1	(ACTIVA=1)
E14B 27 0B	[3]		BEQ	BUSMITA	
E14D A6 0D	[4]		LDA	13,X	*S(1) = S(0)?

E14F A1 05	[4]	CMPA	5,X	
E151 27 04	[3]	BEQ	REGRESA	
E153 86 01	[2]	LDAA	\$1	*Activa sincronización
E155 A7 0A	[4]	STAA	10,X	ACTIVA=1
E157 39	[5]	REGRESA	RTS	*Termina proceso
E158 86 01	[2]	BUSMITA	LDAA \$1	*Ya estamos en sincronía
E15A A7 09	[4]	STAA	9,X	SINCR=1
E15C 39	[4]	RTS		
E15D A6 0B	[4]	BUSOTRO	LDAA 11,X	*Cuenta tres muestras más antes
E15F 81 03	[2]	CMPA	\$3	de tomar el bit válido CONT=3?
E161 26 0A	[3]	BNE	INCONF	
E163 A6 0D	[4]	LDAA	13,X	*Guarda la muestra S como bit
E165 A7 07	[4]	STAA	7,X	valido y la almacena en BIT y
E167 BD E1 8D	[6]	JSR	PROCESO	llama a la subrutina para procesa
E16A 8F 0B	[6]	CLR	11,X	*Reinicializa el conteo CONT=0
E16C 39	[4]	RTS		
E16D 6C 0B	[6]	INCONF	INC 11,X	*Incrementa contador CONT=CONT+1
E16F 39	[4]	RTS		
E170 A6 0D	[4]	GUARDS	LDAA 13,X	*Guarda primera muestra para
E172 A7 05	[4]	STAA	5,X	su comparación S(0)=S
E174 86 01	[2]	LDAA	\$1	*Ya fue la primera muestra
E176 A7 0C	[4]	STAA	12,X	PRIM=1
E178 39	[4]	RTS		
E179 A6 0D	[4]	RESYNC	LDAA 13,X	*Hubo ya cambio de nivel alto
E17B 81 00	[2]	CMPA	\$0	a bajo S=0?
E17D 27 01	[3]	BEQ	ACTUA	
E17F 39	[4]	RTS		
E180 6F 08	[6]	ACTUA	CLR 8,X	*Hace RESYNC=0 y SINCR=0
E182 6F 09	[6]	CLR	9,X	para ubicarse nuevamente a la
E184 39	[4]	RTS		mitad del bit
E185 86 40	[2]	FIN	LDAA \$40	*Limpia bandera de interrupción
E187 B7 10 23	[4]	STAA	TFLG1	producida para que se genere otra
E18A 38	[5]	PULX		*Regresa el valor de los registros
E18B 32	[5]	PULA		X y A que tenían antes de la inte
E18C 3B	[12]	RTI		*Regresa al programa principal

* INICIA LA RUTINA PARA DECODIFICAR EL DATO DE INFORMACION

E18D A6 01	[4]	PROCESO	LDAA 1,X	*Se detectaron ya los 2 bits de
E18F 81 01	[2]	CMPA	\$1	parada y el de inicio (LISTO=1?)
E191 26 04	[3]	BNE	SIG	
E193 BD E1 B4	[6]	JSR	CARGDAT	
E196 39	[4]	RTS		
E197 A6 07	[4]	SIG	LDAA 7,X	*BIT=0?
E199 81 00	[2]	CMPA	\$0	
E19B 26 14	[3]	BNE	INCSTOP	
E19D A6 02	[4]	LDAA	2,X	*Son los dos bits de paro?

E19F 81 02	[2]	CHPA	\$2	(STOP>=2?)
E1A1 24 03	[3]	RHS	YASINC	
E1A3 6F 02	[6]	CLR	2,X	*STOP=0
E1A5 39	[4]	RTS		
E1A6 86 01	[2]	YASINC	LDAA \$1	*Ya se detectaron los dos posibles
E1A8 A7 01	[4]	STAA	1,X	bits de paro y el de inicio LISTO=1
E1AA 36 08	[2]	LDAA	\$8	
E1AC A7 06	[4]	STAA	6,X	*CONTA=8
E1AE 0F 02	[6]	CLR	2,X	*STOP=0
E1B0 39	[4]	RTS		
E1B1 6C 02	[6]	INCSTOP	INC 2,X	*STOP:=STOP+1
E1B3 39	[4]	RTS		
E1B4 A6 06	[4]	CARGDAT	LDAA 6,X	*Ya son 8 bits recibidos?
E1B6 81 00	[2]	CHPA	\$0	(CONTA=0?)
E1B8 27 1D	[3]	BEQ	BUSC	

*UBICACION Y POSICIONAMIENTO DE LOS BITS RECIBIDOS
PARA CONFORMAR EL DATO

E1BA 6F 04	[6]	CLR	4,X	*PIVOTE=0000 0000, variable auxiliar
E1BC A6 07	[4]	LDAA	7,X	para insertar en el dato los bits
E1BE 81 00	[2]	CHPA	\$0	*BIT=0?
E1C0 27 04	[3]	BEQ	SIGUE	
E1C2 86 80	[2]	LDAA	\$80	*si el bit es '1':PIVOTE=1000 0000
E1C4 A7 04	[4]	STAA	4,X	*BIT=0
E1C6 A6 04	[4]	SIGUE	LDAA 4,X	(CONTA=0?)
E1C8 AA 03	[4]	ORAA	3,X	*DATO(K):=PIVOTE .OR. DATO(K-1)
E1CA A7 03	[4]	STAA	3,X	
E1CC A6 06	[4]	LDAA	6,X	*Es ya el penúltimo bit?
E1CE 81 01	[2]	CHPA	\$1	Si CONTA=1 ya no recorras a la
E1D0 27 02	[3]	BEQ	DECONT	derecha los nuevos bits
E1D2 64 03	[6]	LSR	3,X	*Recorre a la derecha los bits recib
E1D4 6A 06	[6]	DECON	DEC 6,X	*CONTA:=CONTA-1
E1D6 39	[4]	RTS		

*UNA VEZ RECONOCIDOS LOS 8 POSIBLES BITS DEL DATO SE BUSCAN
LOS DOS BITS DE PARO Y EL DE INICIO PARA SU CONFIRMACION

E1D7 A6 07	[4]	BUSC	LDAA 7,X	*BIT=0?
E1D9 81 00	[2]	CHPA	\$0	
E1DB 27 2A	[3]	BEQ	ERROR	
E1DD 6C 02	[6]	INC	2,X	*STOP:=STOP+1
E1DF A6 02	[4]	LDAA	2,X	
E1E1 81 02	[2]	CHPA	\$2	*STOP=2?
E1E3 26 21	[3]	BNE	FINAL	

*YA EN ESTE PUNTO PODEMOS DECIR QUE LOS 8 BITS RECIBIDOS
CORRESPONDEN EFECTIVAMENTE A UN DATO DE INFORMACION

E1E5 86 00	[2]	LDAA	\$0	*Abrimos el switch analógico
E1E7 87 40 00	[4]	STAA	SELECTOR	del canal seleccionado
E1EA A6 03	[4]	LDAA	3,X	anteriormente
E1EC B7 60 00	[4]	STAA	DAC	*Enviamos al conversor D/A el dato
E1EF A7 0F	[4]	STAA	15,X	*Almacenamos el dato en la variable
E1F1 96 73	[3]	LDAA	POSICION	DATO para su envío a la PC
E1F3 B7 40 00	[4]	STAA	SELECTOR	*Cerramos el switch analógico
E1F6 86 01	[2]	LDAA	\$1	del canal que corresponde el dato
E1F8 A7 0E	[4]	STAA	14,X	*Encendemos la bandera CANAL para
E1FA 86 08	[2]	LDAA	\$8	que se envíe DATO a la PC
E1FC A7 06	[4]	STAA	6,X	*Nuevamente CONTA=8
E1FE 6F 03	[6]	CLR	3,X	*DATA=0
E200 86 01	[2]	LDAA	\$1	*Le indica a la rutina de recono de
E202 A7 08	[4]	STAA	8,X	bit que se resincronice (RESYNC=1)
E204 6F 02	[6]	CLR	2,X	*STOP=0
E206 39	[4] FINAL	RTS		
E207 6F 01	[6] ERROR	CLR	1,X	*Una vez que no se detecta la
E209 6F 02	[6]	CLR	2,X	estructura correcta de la
E20B 6F 03	[6]	CLR	3,X	trama se inicia de nuevo el
E20D 39	[4] FINAL	RTS		proceso con: LISTO,STOP y DATA=0

*DENOTAMOS LA LOCALIDAD DE LOS VECTORES DE INTERRUPCION

FFFE	ORG	\$FFFE	*Ubicación del vector de RESET
FFFE E0 00	FDB	\$E000	
FFE6	ORG	\$FFE6	*Ubicación del vector de comparación
FFE6 E0 E0	FDB	\$E0E0	OC2 de servicio a interrupciones