

14
2 ej.

UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE CIENCIAS

SISTEMA DE ADQUISICION Y DESPLIEGUE DE IMAGENES PARA
UN DETECTOR OPTOELECTRONICO TIPO MEPSICRON

T E S I S
QUE PARA OBTENER EL TITULO DE
F I S I C O
P R E S E N T A:
JUDITH GONZALEZ RODRIGUEZ

MEXICO D.F.

1992

FALLA DE ORIGEN



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

INTRODUCCION

	Pagina
Capitulo I DESCRIPCION DEL DETECTOR	1
I.1 Fotocátodo	
I.2 Placas Microcanales	
I.3 Anodo Resistivo	
Capitulo II SISTEMA MEPSICRON	5
II.1 Preamplificación	
II.2 Conversión	
II.3 División	
Capitulo III FUNCIONAMIENTO MEMORIA	8
Capitulo IV FUNCIONAMIENTO GENERAL DEL DMA	11
IV.1 Funcionamiento del Ciclo de DMA	
IV.2 Registros de Control y Estado	
IV.3 Tiempos del Ciclo DMA	
IV.4 Memoria Extendida	
IV.5 Conteo Terminal	
Capitulo V FUNCIONAMIENTO DEL CIRCUITO	20
INTERFACE.	
V.1 Descripción General	
V.2 Descripción del Sistema y Componentes	
V.3 Filosofía de Control	
Capitulo VI PRUEBAS DE FUNCIONAMIENTO	34
Apéndice A Simulador de Pulsos Aleatorios	37
Apéndice B Programación del DMA	39
Apéndice C Deducción de Coordenadas (X,Y)	43
Glosario Términos usados en la tesis	46
Referencias	47

INTRODUCCION

En el Instituto de Astronomía dentro de los proyectos en el area de instrumentación se desarrolla un sistema de adquisición de imágenes basado en un detector tipo MEPSICRON. Este sistema consta del detector, la etapa electrónica de adecuación y procesamiento de las señales del detector para obtener las coordenadas espaciales de cada evento y la memoria ,que cuenta con un gabinete de procesamiento imágenes, donde se almacenan temporalmente los datos para desplegarlos en un monitor analógico. Si se requiere el almacenamiento permanente de las imágenes es necesario enlazar las señales de la etapa electrónica a una computadora.

Este sistema de memoria fue concebido como la primera versión en la etapa de adquisición y procesamiento de las imágenes recibidas por el detector MEPSICRON. Actualmente, debido a las ventajas que representa el avance de la tecnología en computadoras, particularmente en la velocidad de funcionamiento y capacidad de memoria, se ha pensado en el uso de una computadora personal como sistema alternativo para *adquirir, procesar, desplegar y guardar* la información de las imágenes obtenidas del detector.

De acuerdo a lo anterior y con el fin de iniciar la sustitución de la primera versión de memoria por un sistema que brinde mejores opciones para el análisis de imágenes, en este trabajo se presenta un circuito de enlace (interface) entre la electrónica asociada al detector y una computadora personal.

CAPITULO I

DESCRIPCION DEL DETECTOR MEPSICRON

Este detector fue diseñado dentro del departamento de instrumentación del IAUNAM y durante mucho tiempo de ha trabajado en su desarrollo, la descripción que se presenta aquí es de manera breve y se sugiere consultar la Ref.1 si se desea mayores detalles.

I.1 Fotocátodo

El detector [fig. 1] es de tipo fotoemisivo y esta basado en un fotocátodo multialcalino tipo S-25 depositado sobre una ventana de cuarzo cuyo factor de transmisión decae lentamente en un amplio intervalo de longitud de onda, resultando así, la ventana del fotocátodo transparente a fotones en el intervalo de $1600\text{Å} < \lambda < 9000\text{Å}$. La manera usual de cuantificar la respuesta del fotocátodo es la razón entre el número de eventos que entran (fotones) y el número de eventos que salen (foto-electrones) que no es sino la eficiencia cuántica (Q) que además siempre resulta $Q < 1$.

La eficiencia del material fotoemisivo es evaluada a partir de la función trabajo y el coeficiente de absorción. La función trabajo debe ser lo suficientemente baja para permitir que los fotones de baja energía puedan liberar electrones, pero lo suficientemente alta para que no se liberen aquellos que no provengan de un foton incidente, p ej. en temperaturas altas. Debido a esta necesidad, el material fotoemisivo fue escogido de tipo semiconductor que además de tener las características anteriores, la película depositada sobre la ventana, permite

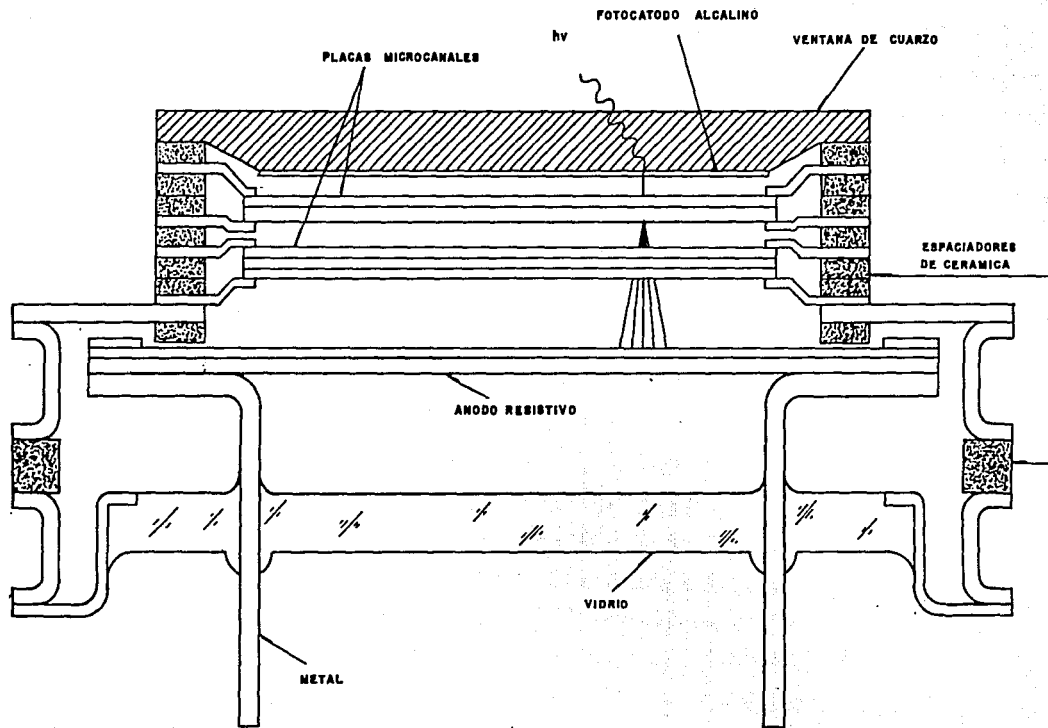


FIG. 1 DIBUJO ESQUEMATICO DEL DETECTOR MEPSICRON.

mantener el equilibrio entre la absorción de fotones y la energía necesaria para no alterar el porcentaje de la eficiencia cuantica.

I.2 Placas Microcanales

Una vez obtenidos los foto-electrones estos son acelerados hacia un arreglo de Placas Microcanales (PM) por medio de una diferencia de voltaje entre el fotocátodo y la entrada de las PM del orden de 5000V. Las Placas Microcanales son una colección de pequeños tubos de vidrio (canales) muy delgados capaces de multiplicar por un número muy grande los foto-electrones incidentes en ellos.

Los canales estan compuestos , comunmente, de 50% de PbO, 40% de SiO₂ y 10% de varios óxidos alcalinos. La composición de este material permite que, al chocar un electrón en la pared del canal, libere electrones secundarios que a su vez liberarán otros formando asi un conjunto de electrones que se multiplican a lo largo del tubo. Por razones de ganancia y tipo de distribución y, para evitar una distorsión importante en la distribución final de los electrones, por retroalimentación iónica, el arreglo de Placas Microcanales presenta una configuración V-Z. La configuración V [fig. 2a] permite frenar la retroalimentación iónica y la configuración Z [fig. 2b] obtener una distribución Gaussiana en el paquete de electrones en la salida de las placas.

I.3 anodo Resistivo

El paquete de electrones es una nube electrónica que tiene una distribución de probabilidad Gaussiana con una probabilidad máxima de ganancia de 10^8 electrones por evento. [fig. 3] y que conserva la posición del punto de impacto del foton sobre el fotocátodo.

Finalmente esta nube es acelerada hacia un ánodo resistivo (AR) de baja distorsión que actúa como codificador de la posición de los eventos al interceptar a la nube y distribuir la carga en cuatro terminales. Estas terminales están conectadas al exterior del tubo que contiene al detector. La posición espacial inicial de los fotones, sobre la ventana, es recuperada en términos de la carga medida en la terminales del AR.

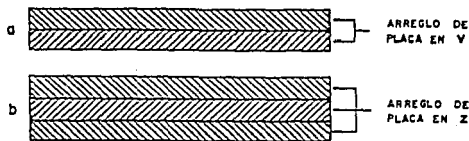
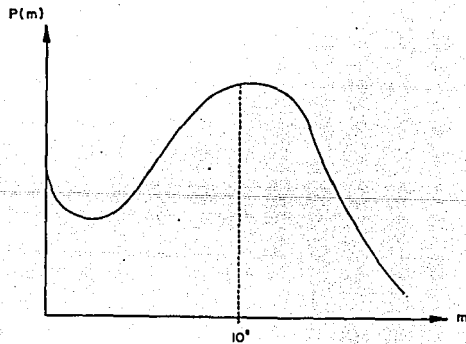


FIG. 2 ARREGLOS DE PLACAS MICROCANALES



m = NUMERO DE ELECTRONES POR EVENTO.

FIG. 3 DISTRIBUCION DE PROBABILIDAD DE GANANCIA PARA LA CONFIG. Y-Z.

CAPITULO II

ELECTRONICA ASOCIADA A EL DETECTOR.

La descripción de los circuitos electrónicos esta basada en el manejo de las siguientes ecuaciones cuya deducción esta en el [Apendice C].

$$X = 2^m + \frac{a - b}{\Sigma / 2} 2^m$$

Ecs. 2.1

$$Y = 2^m + \frac{c - d}{\Sigma / 2} 2^m$$

Sean: m: Números de bits de precisión en la división.

(a - b) o (c - d): Diferencias entre las señales digitalizadas de las posibles combinaciones de sumas de carga en las terminales del anodo, para el calculo de una coordenada.

$$\Sigma = a + b + c + d$$

II.1 Preamplificación

La electrónica asociada al detector se encarga de decodificar la posición del centro de la nube electrónica, e inicia con la transformación de las señales de carga a niveles de voltaje que puedan ser procesados.

Los preamplificadores, una para cada terminal del AR, estan basados en un circuito integrado TRA1000 fabricado por Le Croy [Ref.2] operando en el modo de integración de carga. La carga proveniente del detector se integra en un capacitor de retroalimentación que es restablecido por un FET cuya corriente de drenaje es controlada por un amplificador operacional que esta conectado como comparador.

II.2 Conversión

Las 4 señales provenientes de los amplificadores

(α , β , γ , y δ) son enviadas a cuatro sumadores idénticos que hacen las sumas de las señales de dos a dos. Esta salida esta conectada a un circuito convertidor analógico a digital que proporciona las señales de las cuatro sumas posibles de esquinas consecutivas ya digitalizadas, las cuales son enviadas a el divisor digital.

II.3 División

El circuito divisor tiene asignadas las funciones de calculo de las coordenadas X y Y, que se llevan a cabo en el siguiente orden:

- a) Se evaluan las diferencias a-b y c-d para determinar su valor absoluto y el signo asociado a la diferencia (&) y paralelamente se calcula Σ .
- b) Se lleva a cabo la división $|a - b| 2^m / (\Sigma/2)$
- c) Se cambia el origen de coordenadas, tomando en cuenta en signo de la diferencia. Si & = 1, entonces, es negativo y se niega el resultado de la división.
- d) Las coordenadas son transmitidas en serie hacia el sistema de almacenamiento externo.

En la [fig. 4] se muestra un diagrama a bloques de las operaciones realizadas por las tres etapas.

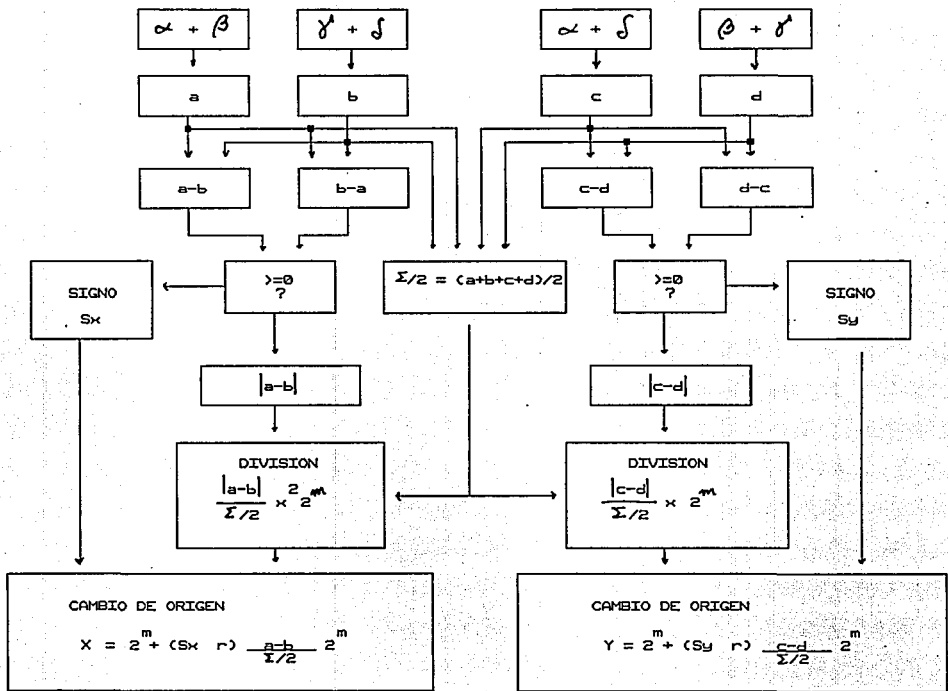


fig.4 Diagrama a bloques de las operaciones realizadas para obtener las coordenadas X y Y

CAPITULO 3

FUNCIONAMIENTO DE LA MEMORIA

Es el ultimo sistema de memoria usado para la adquisición y procesamiento los datos obtenidos del Mepsicrón.

En el sistema de memoria estan definidas las siguientes funciones:

Generación de señal de reloj

Generación de cursor

Generación de pseudocolor

Lógica de control y borrado

Despliegue de imagen

Interfaz para computadora

Interfaz para Mepsicrón

La memoria esta compuesta por 8 tarjetas Expandoram de 256 Kb cada una, lo que permite alcanzar una MW (mega palabra) de memoria. Las cuatro primeras tarjetas forman 1024 x 1024 pixeles con ocho bits de profundidad que son los bits menos significativos de la dirección donde se encuentra el dato y las cuatro posteriores los ocho bits mas significativos de la misma dirección. Estas tarjetas estan sobre una tarjeta madre para bus S-100 estandar de 18 slots. Esta memoria puede ser accesada por cualquiera de las funciones definidas en los módulos.

El sistema cuenta con un tablero de manejo encargado del control de despliegue y la integración de datos; este permite amplificar la imagen desde 1 hasta 8 pixeles por localidad (x,y), selección de tabla pseudocolor, elección de la parte del dato

que se va a desplegar (mas o menos significativa), transferir datos a mayor velocidad habilitando una computadora de tiempo completo, borrar la imagen que se esta desplegando, reestablecer el sistema, mover la ventana de la imagen y el cursor sobre la imagen, elegir la resolución de las coordenadas (x,y) de los datos y la conexión de un detector auxiliar en lugar del detector Mepsicrón.

Antes de almacenar las coordenadas de cada evento en la memoria, existe una memoria intermedia tipo FIFO (First In, First Out) que guarda los datos hasta que llega la señal de acceso a memoria. La llegada de un evento es detectada mediante una señal enviada por el APE. Cuando llega un evento, manda 11 pulsos a 10 Mhz donde cada transición positiva indica que se puede tomar un bit de la posición de X o de Y. AL final de cada tren de pulsos se genera otra señal que indica que el dato esta listo. En caso de que se este integrando y el FIFO no este lleno, entonces se generan los pulsos para almacenar la coordenada (X,Y) al FIFO.

La memoria intermedia puede descargar la información del FIFO durante el tiempo de acceso (800ns) cuya señal de "aviso" es enviada de la memoria. En caso de tener una tasa de conteo muy alta y el FIFO se llenase antes del tiempo de acceso, sería solucionado por la lógica de control dando prioridad al tiempo de acceso, aumentandolo y disminuyendo el tiempo de despliegue, provocando en la imagen del monitor, la aparición y desaparición aleatoria de puntos.

Al realizar el despliegue se debe entrelazar la memoria para poder acceder 4 localidades, con la misma dirección en las 8 tarjetas, y desplegarlas en secuencia con un retraso de 100ns

cada una, cada vez que llegue un grupo de datos, debido a la diferencia que existe entre el tiempo de acceso a memoria (400ns) y la velocidad de despliegue (100ns). Para poder entrelazar la memoria se ha modificado el ducto de esta, haciendo que de las cuatro señales de MW (Memory Write) y las 4 de OE (Output Enable) generadas por la lógica de control solo una de cada una llegue a cada tarjeta de la memoria.

Otra modificación en el ducto fue hecha, debido a que las tarjetas de memoria entregan 8 bits y el sistema trabaja con 16 bits, se hizo tomando los ductos de la cuatro primeras tarjetas y pasandolos a los mas significativos.

El tiempo total de cada línea es de 51200ns para despliegue y 14400ns en retroceso de línea. Para poder desplegar 512 localidades contiguas de memoria se debe activar la señal de despliegue durante el tiempo de cuadro cuando ha sido activada la señal de video horizontal en el tiempo de línea.

Antes de ser desplegados, los datos son muestreados a una velocidad de 10Mhz y asociados a una tabla de pseudocolor que recibe y entrega 8 bits, estos se dividen en tres partes: tres bits corresponden al color rojo, tres bits al color verde y dos bits al azul, finalmente pasan por un convertidor D/A de video, representando asi 256 colores. De los 16 bits que se tienen por datos se pueden seleccionar 8 bits para asociar a la tabla, escalando de esta manera el color de acuerdo al grado de integración. Estos bits elegidos entran a una ROM donde se pueden seleccionar hasta cuatro tablas diferentes usando el tablero de control.

CAPITULO IV

FUNCIONAMIENTO GENERAL DE DMA

Durante la ejecución normal de una computadora, su microprocesador dirige el bus del sistema, provee la información de dirección y control y, es la fuente o el destino de datos.

La función de DMA permite que una interface lea o escriba datos desde/hacia la memoria sin el uso del microprocesador de la computadora (PC) [fig 5]. Esta función es llevada a cabo por un dispositivo controlador de DMA. El controlador de DMA de la PC provee de cuatro canales (0-3) de DMA cada uno dedicado a una tarea particular, cuatro líneas de requerimiento de DMA (DRQ0-3) y cuatro líneas de reconocimiento (DACK0-3) respectivamente. Los canales cuentan con prioridad definida, asignandole al canal 0 la mas alta prioridad y al canal 3 la mas baja. De los cuatro canales solo dos (1 y 3) pueden ser usados para tareas externas a la PC.

Para llevar a cabo un ciclo operacional de DMA, es necesario especificar al controlador de DMA los siguientes datos:

- a.-)Seleccionar la función de leer o escribir a memoria.
- b.-)Tipo de transferencia (byte ó word).
- c.-)Cantidad de bytes a transferir.
- d.-)Prioridad de canales (Asignada por la PC).
- e.-)Dirección de memoria para inicio de transferencia.
- f.-)Habilitar la señal de requerimiento del canal de trabajo.

IV.1 Funcionamiento del Ciclo de DMA

Para iniciar el ciclo es necesario que la interface envíe una señal de requerimiento (DRQ) de transferencia de datos

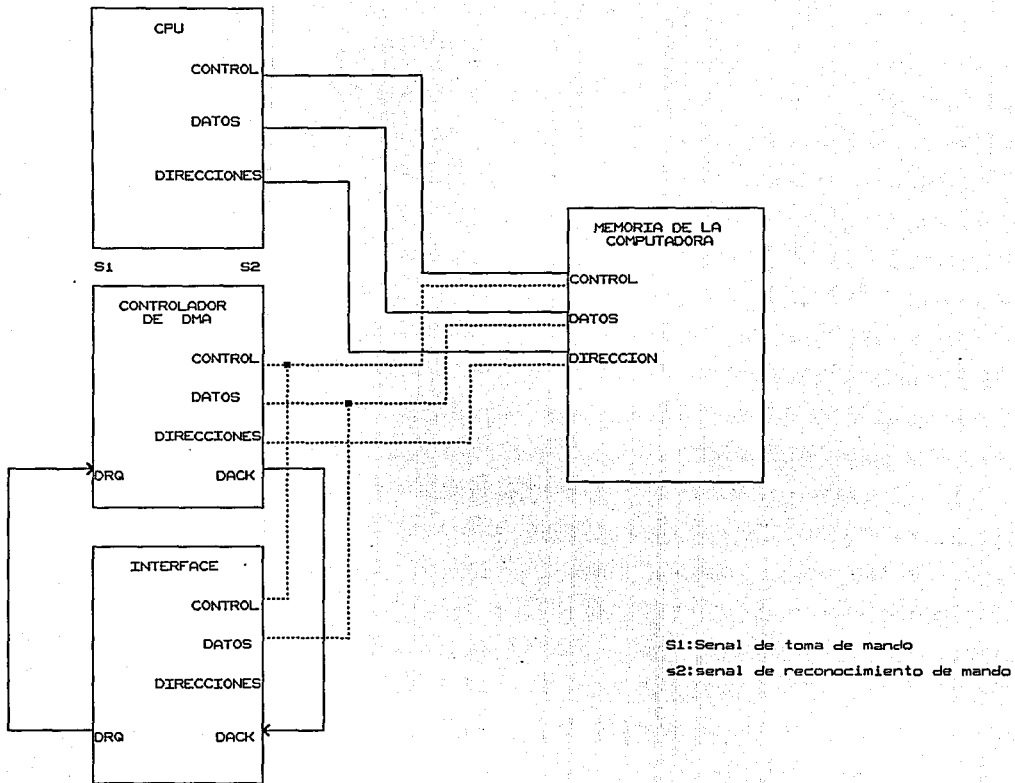


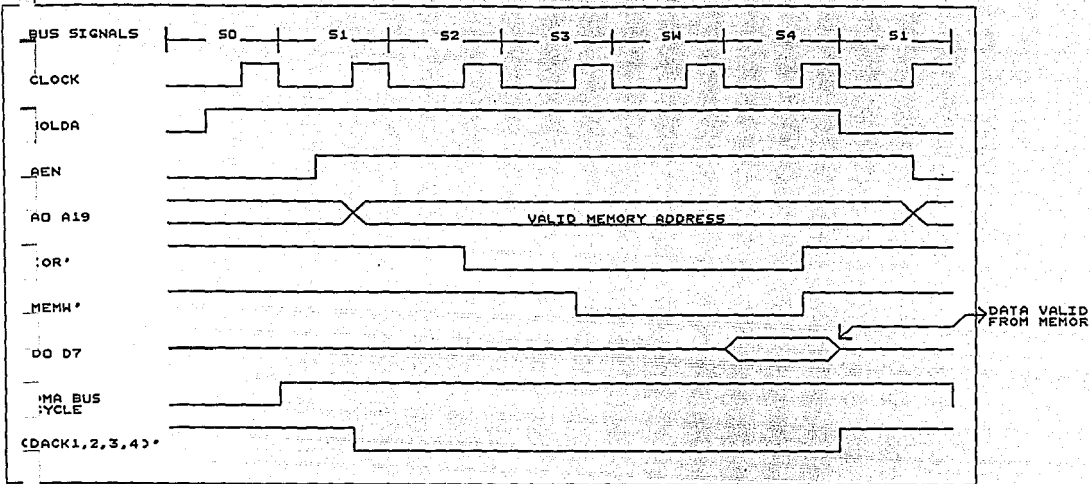
fig.5 Diagrama de flujo de la operación DMA

sobre un canal específico del controlador, al recibir esta señal el controlador la prioriza y envía una señal de respuesta (HRQ) al circuito generador de estados de espera del microprocesador y aparenta un estado de procesador-pasivo. Cuando este estado es detectado, la lógica de control envía una señal de "no-leer" al microprocesador y también es enviada una señal de reconocimiento de mando (HOLDA) para indicar que en el siguiente ciclo de reloj el bus queda libre y un ciclo de DMA puede tomar su lugar. El controlador de DMA detecta la señal de reconocimiento de mando y envía una señal de reconocimiento (DACK) al requerimiento de la interface. Esta señal actúa como un selector de circuitos para habilitar la interface en el bus del sistema.

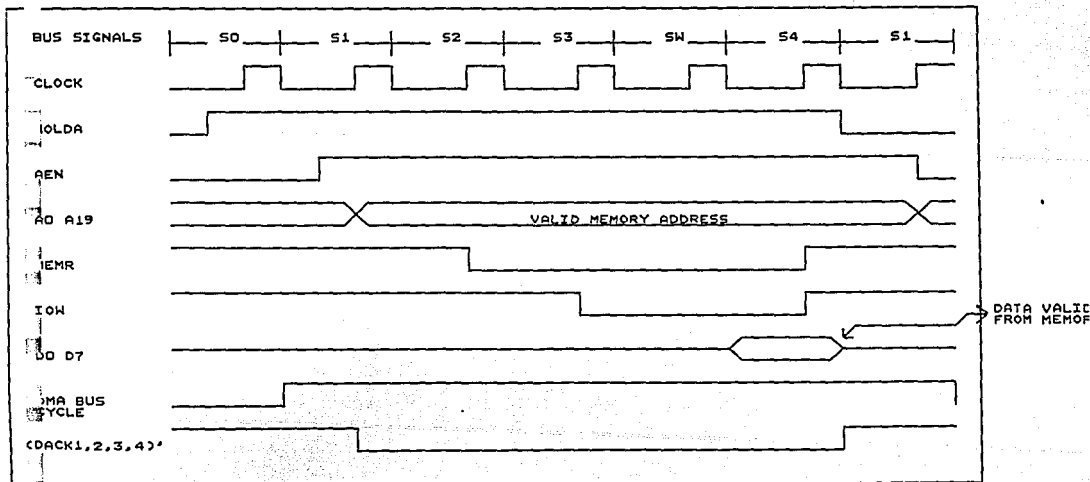
El controlador de DMA envía una dirección sobre el bus del sistema que indica la localidad de memoria donde es hecha la transferencia y también toma el control de las líneas de control del bus (MEMR, MEMW, IOR, IOW) y realiza las operaciones de lectura y escritura actuales sobre el bus.

La primera indicación sobre el bus del sistema de que un requerimiento ha sido aceptado y que un ciclo de bus DMA ha sido iniciado es cuando la señal AEN es activada, poco después de la cual, una de las señales DACKO-3 es activada para iniciar el manejo de datos [fig 6].

La interface, después de recibir la señal DACK, baja la señal DRQ al controlador. El controlador al completar el ciclo, baja la señal HRQ a la lógica de control de estado de espera. Los circuitos de estado de espera bajan la señal HOLDA al controlador indicando que el microprocesador toma nuevamente el control del



DMA memory write bus cycle



DMA I/O port write bus cycle

fig. 6 Ciclos de escritura y lectura en el bus

bus. Finalmente los circuitos de estado de espera bajan la condición de "no-leer" en el procesador y rehabilitan los buffers del bus. El ciclo de bus que quedo suspendido, es reiniciado y el microprocesador continúa su operación normal.

IV.2 Registros de Control y Estado

El controlador de DMA tiene 16 direcciones de registro de puerto I/O de leer/ escribir (R/W), ambos contienen datos de iniciación y estado del dispositivo. Ninguna de las 16 direcciones de puerto puede ser leída y escrita a la vez. La PC decodifica el controlador de tal manera que las direcciones de puerto estan en el rango de direcciones de 0000 a 000F.

Las direcciones estan divididas en dos grupos:

Las direcciones de 0000 a 0007 son registros de (R/W) que contienen la dirección inicial de memoria para cada canal, la dirección de memoria "actual" para el siguiente ciclo de DMA de cada canal, el conteo de bytes que son transferidos a cada canal y el conteo corriente de bytes de cada canal.

Las direcciones de 0008 a 000F contienen registros de control y estado que define la operación de cada canal; estas funciones son diferentes dependiendo si el puerto es leído o escrito [Tabla 1].

IV.3 Tiempos del Ciclo DMA

Cada ciclo de DMA toma, normalmente, cinco tiempos de reloj en el proceso de transferencia, pero en la PC, la lógica de la tarjeta base inserta automáticamente un tiempo extra como un tiempo de espera, esto asegura un tiempo bastante largo para el acceso desde memoria y puertos. De esta manera cada transferencia

I/O Port (Read) Address (hex)	Function
0008	Read Status Register
0009	Not used
000A	Not used
000B	Not used
000C	Not used
000D	Read Temporary Register
000E	Not used
000F	Not used

I/O Port (Write) Address (hex)	Function
0008	Write Command Register
0009	Write Request Register
000A	Write single-mask bit register
000B	Write Mode Register
000C	Clear byte pointer flip-flop
000D	Master Clear
000E	Clear mask register
000F	Write all mask registers

TABLA 1: Dirección de Registros de Estado y Control

dura seis tiempos de reloj; como cada tiempo es de aproximadamente 210ns (4.77Mhz) el ciclo total es de 1.26 μ s. Cuando el controlador es programado en el modo de transferencia de "byte-simple", entre cada ciclo de DMA hay un ciclo del bus del microprocesador; este ciclo tiene una longitud de 4 tiempos de reloj, es decir, 840ns y debe ser sumado al tiempo del ciclo de DMA. Por lo tanto, el tiempo mínimo entre ciclos DMA es de 2.1 μ s lo cual permite un rango máximo de transferencia de datos de 476Kb/seg. Es importante señalar que la dinamica de transferencia DMA depende, exclusivamente, del controlador DMA. Ningun dispositivo periferico puede alterar la velocidad máxima a la cual el controlador maneja los datos. En particular, la IBM PC/AT la cual es hasta tres veces mas rápida que una PC o una PC/XT es realmente mas lenta en la transferencia DMA ya que su controlador de DMA opera con un reloj de 3Mhz en vez de 4.77Mhz como el que opera en la PC.

IV.4 Memoria Extendida.

El controlador solo tiene 16 bits de dirección por lo que la longitud maxima de una transferencia es de 64Kb. Sin embargo la capacidad total de memoria del sistema es de 1Mb. A fin de superar el problema, dentro de la tarjeta logica de la unidad del sistema existen registros de pagina de 4 bits para los canales 1, 2 y 3, el contenido de estos registros es cargado y leído usando una dirección del puerto I/O de la PC. Cuando existe un ciclo de DMA el contenido del registro de pagina apropiado "abre" el bus de direcciones y hace que los cuatro bits de orden mas alto de la dirección de DMA sea el acceso a la memoria. De esta forma una dirección unica de 20 bits es generada cada transferencia en cada

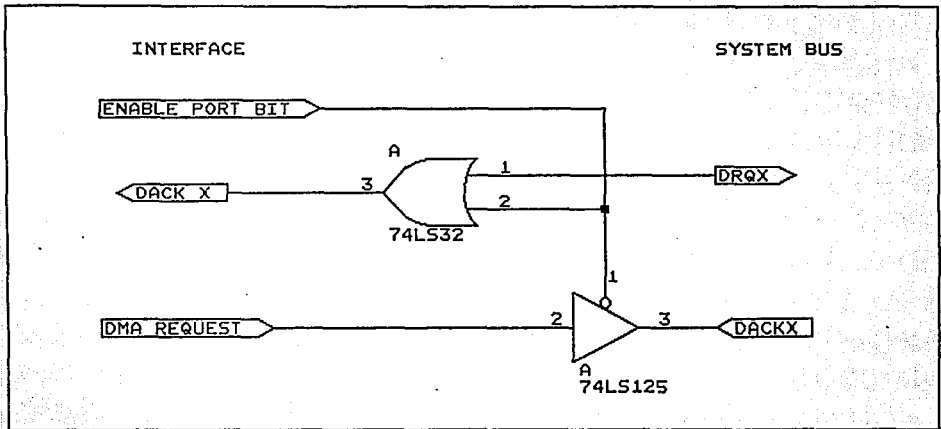


fig. 7 Circuito de acoplo entre la interface y la computadora

canal. Esto permite que una operación de DMA se haga sobre cualquier bloque de 64Kb en el espacio total de 1Mb.

IV.5 Conteo Terminal.

Cada vez que cualquiera de los cuatro canales alcanza la condición de conteo terminal (TC), es decir, cada vez que el contador de bytes transferidos decrece hasta cero el controlador genera una señal de control de salida que puede ser usada por la interface para concluir un requerimiento de DMA en un canal específico. Debido a que la señal de TC es activada para la condición de conteo terminal de cualquier canal, esta debe ser condicionada con cada señal DACK de tal forma que la condición de término de transferencia de un canal específico pueda ser detectada.

El uso de un canal, por una interface, no impide el uso del mismo por otra interface. Obviamente, ambas interfaces no pueden hacer uso del canal al mismo tiempo. En la [fig.10] se muestra un circuito de acoplo de la interface a la computadora.

CAPITULO V

FUNCIONAMIENTO DEL CIRCUITO INTERFACE

La propuesta general para la adquisición de datos en la computadora, es almacenarlos en un sistema de Memorias de Paso (MP) para poder coordinar el tiempo de llegada de cada evento y el tiempo que tarda la computadora en transferirlo a la memoria.

V.1 Descripción General.

El sistema de MP esta compuesto por dos tarjetas cada una con un arreglo de memorias RAM de 32Kb cada una. Cada arreglo consta de tres memorias con conexión en serie y paralelo en la entrada de datos I/O [fig. 8], esta ultima conexión permite almacenar hasta 24 bits de información, a la vez, en una misma dirección y una tarjeta de control que coordina los Ciclos de Lectura (CL) y Escritura (CE) de cada MP y adecúa la información de eventos recibida desde el Sistema Mepsicron (SM) para ser almacenada en las MP.

Las coordenadas (X,Y) de cada evento que recibimos del sistema Mepsicron, ya sea en serie o en paralelo, tienen una resolución de 10 bits cada una, de tal forma que para adquirir la información de cada evento es necesario almacenar 20 bits al mismo tiempo. Para ello los bits son almacenados en un arreglo que permite reconstruir las coordenadas iniciales, este arreglo consta de tres memorias en las cuales en una misma dirección se les asocia a dos de ellas los ocho bits menos significativos de cada variable (X,Y) y a la tercera los dos bits restantes de cada variable, de tal suerte, que los dos bits restantes de la variable X esten asociados a la parte baja del byte de esta memoria y los

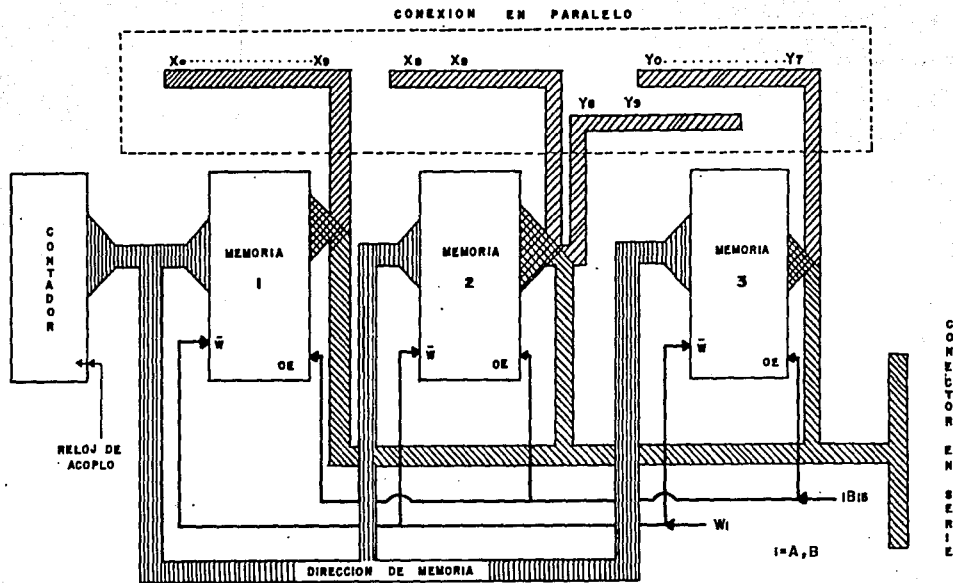


FIG. 8. DIAGRAMA GENERAL EN BLOQUES DE LAS MEMORIA DE PASO.

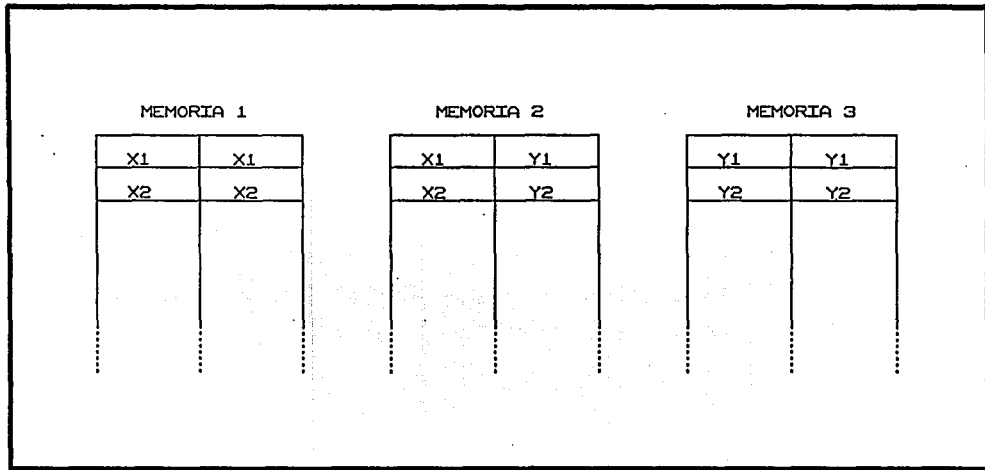


fig. 9 Ordenamiento de las coordenadas de 10 bits en tres bytes

dos bits de Y a la parte alta de este mismo byte, es decir, tener para una misma localidad en las tres memorias asignado un evento completo (X,Y). [fig. 9].

V.2 Descripción del Sistema y Componentes.

Las tarjetas de MP, como ya se ha dicho, son un arreglo de tres memorias RAM de 32Kb, estas memorias tienen 15 entradas para direcciones de localidad, 8 entradas I/O de datos, y tres entradas para bits de control para el manejo de datos ya sea para un CL o un CE [Tabla 2].

El sistema [Diagrama 1] aquí descrito fue construido pensando en datos de salida en serie del sistema Mepsicon y acceso a las MP, en paralelo; es por ello que en la tarjeta de control de acceso de datos al sistema de adquisición es por medio de un conector coaxial que permite recibir la información de cada evento en serie para ser adecuado en información en paralelo. Si en algún momento, las coordenadas de los eventos son obtenidas en forma paralela, simplemente se obviará esta parte del circuito y se hará uso del conector en paralelo instalado en la tarjeta de control. La frecuencia de llegada de cada evento es determinada por una señal de reloj, también dada por el SM, que sólo existe cada vez que hay un evento, y es conectada a un Monoestable Redisparable (MR) para poder sensar el inicio y término de llegada de un evento. Este MR, a su vez, genera un pulso al término de llegada de cada coordenada para habilitar la escritura de estos en la memoria y al término de ello incrementar la localidad de memoria en 1 y dejarla lista para la escritura de la coordenada del siguiente evento [fig 10].

Los datos recibidos en paralelo son conectados a un reforzador para inhibir su llegada al arreglo de memorias, una vez

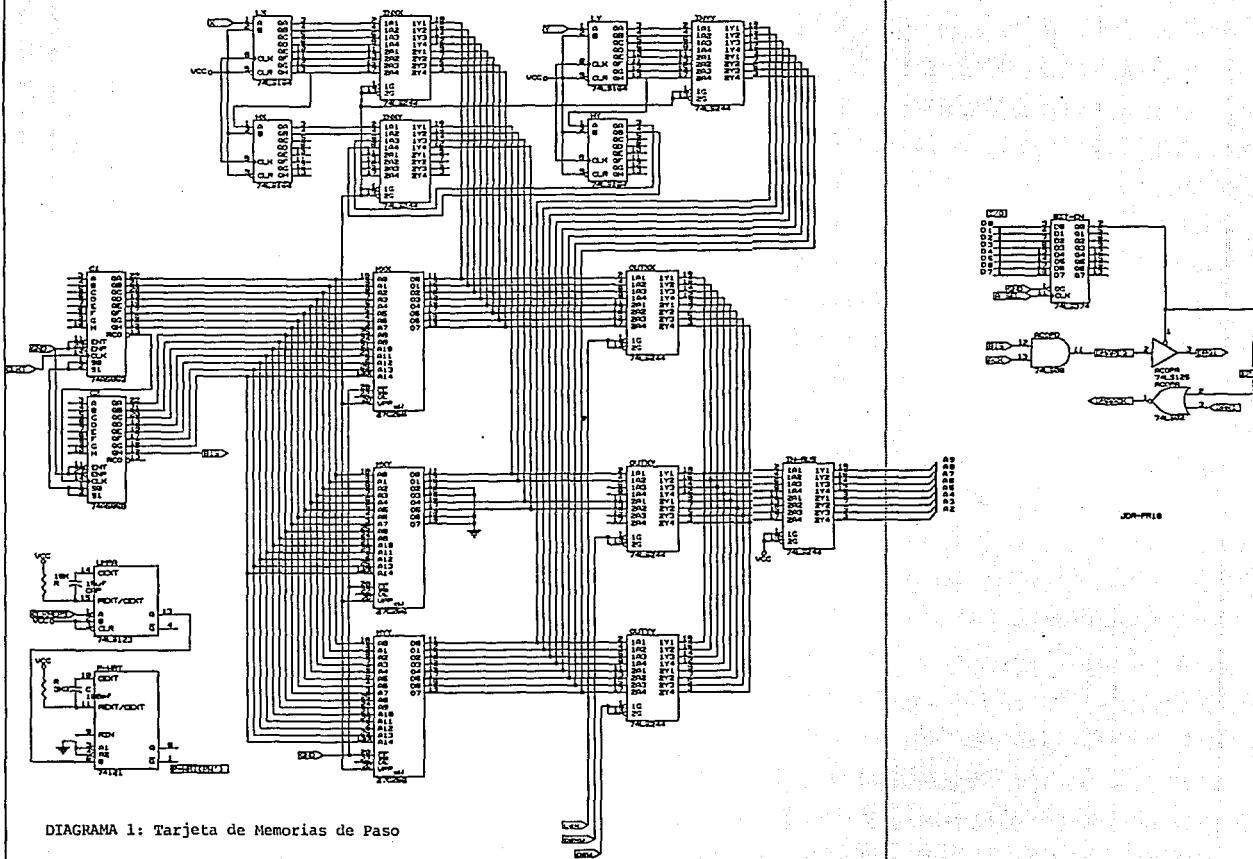


DIAGRAMA 1: Tarjeta de Memorias de Paso

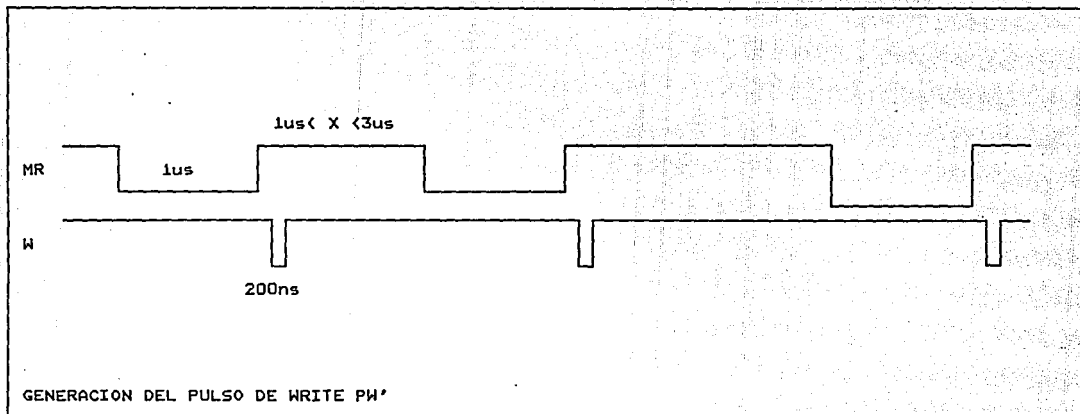


fig. 10 Generación del pulso de Write PW'

Function

CS	OE	W	DATA I/O	MODE
H	-	-	Hi-Z	Standby
L	X	L	Din	Write
L	L	H	Dout	Read
L	H	H	Hi-Z	Output disable

X: "H" o "L", -: Don't care

TABLA 2: Bits de control de los ciclos de lectura y escritura

que estas de han llenado, e iniciar su lectura para transferir esta informacion a memoria.

El direccionamiento de memoria es hecho con dos contadores conectados para obtener un conteo total de 0-32Kb y el reloj para este contador es el resultado del acoplo de la señal de escritura en la MP y la señal generada apartir de la señal obtenida de la computadora por transferencia de datos.

Por otra parte, el ultimo bit de conteo del acoplo de contadores indica cuando se ha llenado la MP y envía una señal de requerimiento a la computadora para iniciar tranferencia de datos. La computadora provee de una señal cuyo ciclo depende del tiempo en que es transferido un byte de información y que es a su vez adecuada como requerimiento de otra transferencia.

Para llevar a cabo el ciclo de lectura las entradas I/O de cada memoria estan conectadas en paralelo a reforzadores que se habilitan en forma consecutiva (en serie) en cada localidad de memoria. Las salidas de los reforzadores estan conectadas a un conector común, para poder acceder la información a la computadora y solo se diferencia la información de los eventos por la sincronía antes mencionada.

Esta sincronía en la activación de los reforzadores es dada por la tarjeta de control que es un contador de 0-2 y actúa como un interruptor para intercambiar las tarjetas de MP (A,B), para lectura o escritura, según sea el caso.

Lo que en adelante llamaremos CO-2 (contador de 0-2) esta basado en un registro de corrimiento (SR) que es "cargado" cada inicio de transferencia y cuya frecuencia de funcionamiento (reloj) esta dada por la señal REQ. Este CO-2 provee de un pulso

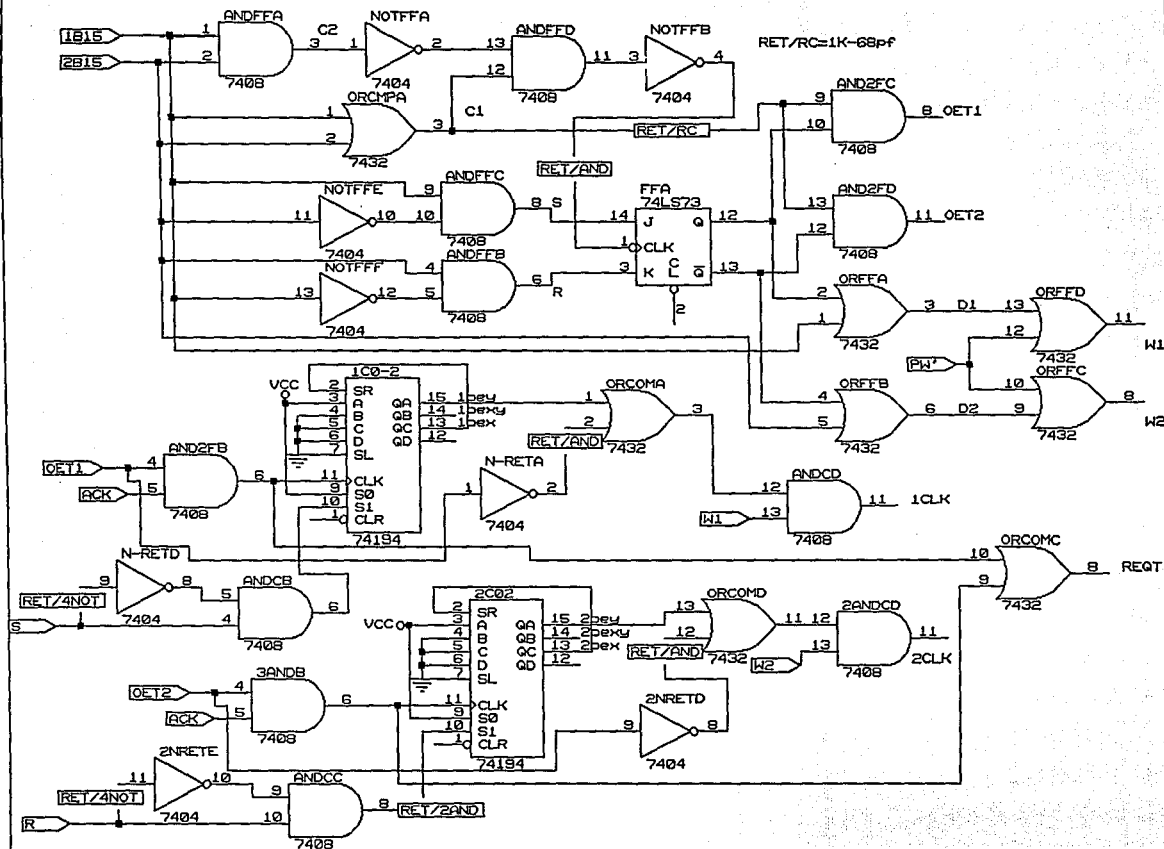


DIAGRAMA 2: Tarjeta de Control de Interrupción

cada tres ciclos de reloj, en cada una de sus salidas, una de estas salidas es la adecuada para acoplarla al reloj de direccionamiento de las MP y las otras salidas son usadas para la activación en serie de los reforzadores.

El conector común a las tres salidas de los reforzadores es conectado directamente con el ducto de la computadora, através de la tarjeta JDR-PR10, mientras que las señales de requerimiento (REQ) y reconocimiento (ACK), deben ser accesadas y respondidas respectivamente por medio de un circuito de acoplo para la interface con el sistema [fig.7], el cual es habilitado haciendo uso de la tarjeta JDR-PR10 y software [Apendice B].

La tarjeta JDR-PR10 es solo una interface que nos permite mantener un decodificador sobre el ducto para activar por software el circuito de acoplo entre la interface y la computadora.

V.3 Filosofía de Control

El sistema de control [Diagrama 2] se encarga del acoplo de las dos señales de "reloj" y el cambio de una memoria de paso a otra.

El acoplo de señales que sirven como señal de reloj en el direccionamiento de memorias, es la parte inicial del control. Por una parte tenemos la señal aleatoria de llegada de eventos que es sensada por MR y permite tener un solo período cada evento y no diez como en la salida obtenida del SM y por otra la señal ACK generada por la computadora para cada transferencia. La señal ACK mantiene el estado cero mientras transfiere un byte de información, por lo que acoplar esta señal al direccionamiento de datos implica incrementar la dirección de la MP cada vez que se

transfiere un byte. Si consideramos que se deben transferir 3 bytes por cada dirección, entonces necesitamos crear una señal cuyo período contenga 3 ciclos de transferencia, dicha señal es el contador CO-2. Dado que del direccionamiento de las memorias se encarga un contador de 16 bits y que solo se requieren 15 bits para abarcar la totalidad de localidades de las memorias en MP, el bit 16 se usa como indicador del llenado total de las MP.

La siguiente etapa de control en el cambio de una MP a otra y que es básicamente la coordinación del Ciclo de Lectura en Memoria de Paso A (MPA) con el Ciclo de Escritura de Memoria de Paso B (MPB) y viceversa.

Una vez que ha concluido el primer CE (llenado) en la MPA, se envía una señal de requerimiento de transferencia a la vez que se inicia el CE de datos subsecuentes, en la MPB. Si el tiempo de lectura (transferencia) en la MPA es menor que el tiempo de escritura en MPB, el CE de la MPA no iniciara sino hasta que el CE de la MPB concluya. De otra forma, si el tiempo de lectura en MPA es mayor que el tiempo de escritura en la MPB, el ciclo de lectura en MPB no iniciara sino hasta que termine este mismo ciclo para la MPA y viceversa.

La variabilidad en el ciclo de escritura tanto de MPA como de MPB se debe a que la llegada de eventos es aleatoria, por lo tanto, el llenado de la memoria tambien lo es, no asi el caso del ciclo de lectura que es llevado a cabo por el controlador de DMA de la computadora y que a su vez es regido por un reloj fijo, lo que hace al ciclo de lectura dependiente del tipo de computadora.

En el circuito ,cuando CE de MPA es mayor que el CL

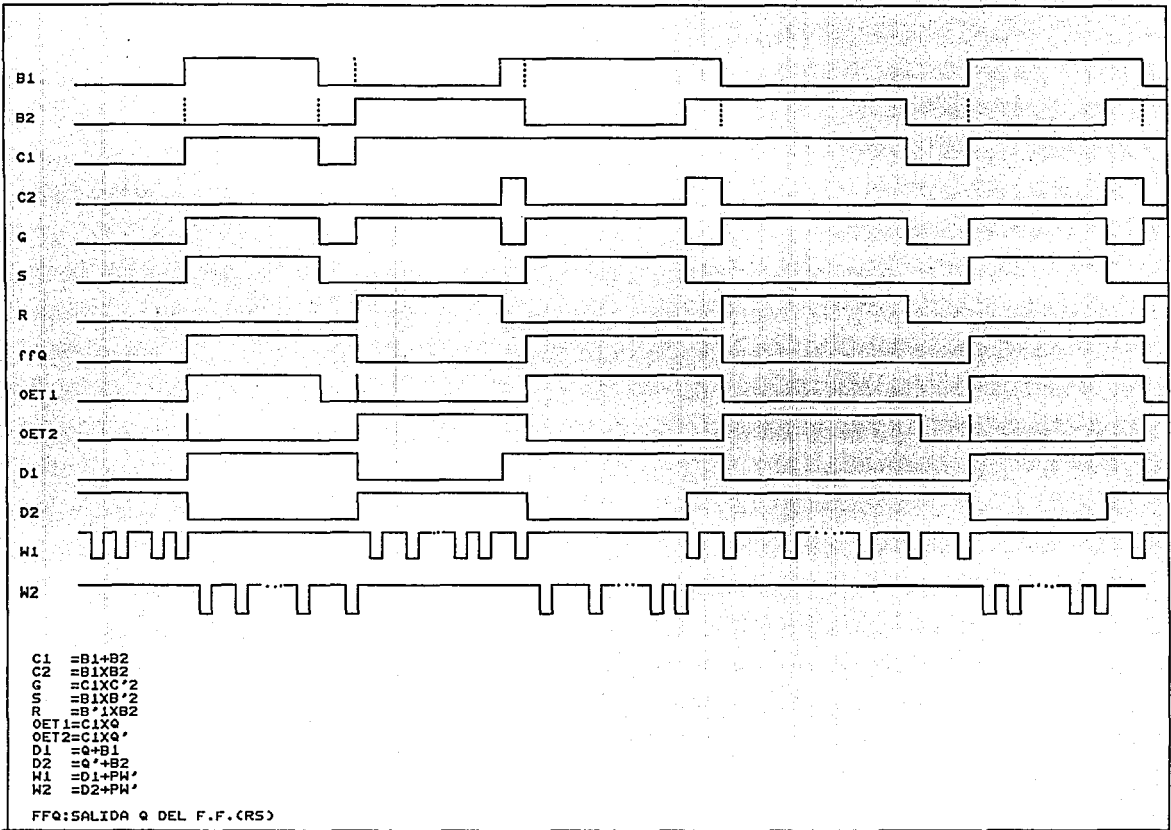


fig. 11 Manejo de las señales en la tarjeta de control

de MPB o bien, el CE de MPB es mayor que el CL de MPA en la señal C1 aparece un pulso "negativo" con un ancho igual a la diferencia entre el término del CL de MPA y el término del CE de MPB, o en su caso, la diferencia entre el término del CL de MPB y el término del CE de MPA, que permite determinar el inicio de los ciclos correspondientes en MPA y PMB.

En el caso en que el ciclo de escritura de alguna de las MP resulte menor que el ciclo de lectura de la otra MP, en la señal C2 aparece un pulso "positivo" cuyo ancho es la diferencia entre el término de CE en MPA y el término del CL en MPB, o bien, entre el término del CE de MPB y el término de CL en MPA.

A su vez el manejo de C1 y C2 [fig.11] permite establecer el inicio de cada ciclo de lectura para MPA y MPB y obtener señales para habilitar o deshabilitar el pulso de escritura en cada MP, o bien, habilitar o deshabilitar, según sea el caso, la señal de transferencia de la computadora para acoplar el reloj adecuado al direccionamiento ya sea en MPA o en MPB [fig.12].

Debido a la dificultad de armar el circuito en tarjeta de prueba los dos arreglos de memorias y el circuito de control, además de ser poco práctico en el traslado al SM, las pruebas del circuito interface se llevaron a cabo con un simulador de llegada de eventos del SM [Apendice A] y por etapas.

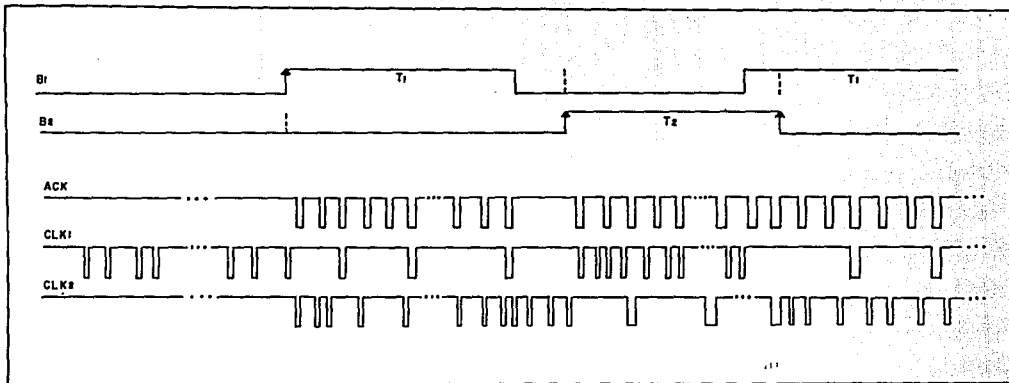


fig. 12 Señales de acoplo para la interrupción de las MP

CAPITULO VI

PRUEBAS DE FUNCIONAMIENTO DEL CIRCUITO.

El simulador utilizado en la pruebas, solo envía un pulso negativo aleatorio que sustituye al pulso procedente de MR y las coordenadas (X,Y) asociadas a cada evento son provistas por un contador cuyo reloj es el pulso simulador. El que el valor de las coordenadas sea creciente o decreciente no altera la aleatoriedad de los eventos, mas aún, nos da una referencia acerca de los datos esperados en la transferencia, facilitando así su chequeo en la memoria de la computadora.

La primera etapa en las pruebas del circuito fue respecto a la escritura de los datos en las memorias RAM de las MP's, que fue checada mediante el uso de un Analizador Lógico. Para la prueba, los datos fueron generados por un contador de 8 bits y la memoria RAM fue programada para alternar un ciclo de escritura con un ciclo de lectura en cada localidad de memoria, de esta forma, pudimos checar el tiempo de escritura de datos y si la lectura del dato recién escrito era correcta.

La siguiente etapa en las pruebas fue el acoplo de los ciclos de lectura y escritura. Como referencia a ello, una vez terminado el ciclo de escritura en las memorias, estas vuelven a la localidad \$00 cuando el bit indicador (bit 15) da la señal de requerimiento de transferencia, de tal forma, que es necesario hacer tres transferencias antes de incrementar nuevamente la dirección de la MP para evitar perder el evento en esta localidad o alterar el orden en las coordenadas X y Y. La forma en que se checó este acoplo fue escribiendo en la pantalla de la computadora, los

datos recibidos en cada localidad. Como ya se dijo los datos son generados por un contador de 8 bits, de tal forma, que al leer la computadora la misma localidad durante tres transferencias el resultado esperado era obtener en pantalla tres datos iguales en orden creciente. Para comprobar que no había traslape en la lectura de los datos, se habilitaron los reforzadores que dan la salida en serie de tres bytes, en cada localidad y se les asignó diferente dato al cambiar el orden de los bits del contador (manejo de cables) procurando mantener información "esperada"; así, debíamos obtener en la pantalla ternas de bytes relacionadas de la siguiente forma:

Para las ternas (U_i, V_i, W_i) y (U_j, V_j, W_j)

$$U_i R_1 U_j, \quad V_i R_2 V_j, \quad W_i R_3 W_j$$

donde las R_i son las relaciones que guardan cada elemento de la terna con su correspondiente elemento en la terna siguiente.

La última prueba fue la coordinación de los ciclos de lectura y escritura de la MPA y la MPB. El resultado esperado en la pantalla, tomando en cuenta que los datos son generados en orden creciente para MPA y decreciente para MPB, son todos los datos de MPA y todos los datos de MPB sin observar traslapes en los extremos, así como el buen funcionamiento de las señales indicadoras (C_1 y C_2) de la relación de los ciclos entre las MP's.

Cabe señalar que la aleatoriedad de la señal del simulador queda restringida al ciclo total de la memoria que genera los datos que dan la frecuencia al pulso de salida, esto se debe a que la memoria puede ser programada solo con un número finito de datos, de tal forma, que cada vez que regrese a la localidad \$00 iniciará el mismo ciclo de "datos aleatorios", lo que puede representar una ventaja al conocer la "aleatoriedad" del pulso y

determinar así, el funcionamiento esperado en el circuito interface.

APENDICE [A]

Simulador de Pulsos Aleatorios

El simulador basa su funcionamiento en un ciclo creado entre el dato que entrega la memoria a un contador y el pulso que este genera para habilitar el direccionamiento de las localidades de memoria, [fig.1].

La memoria es una PROM de 255 bytes que es programada con números aleatorios, o bien, con números cuya "aleatoriedad" es determinada por algún interés en las pruebas del circuito interface.

Al obtener un número aleatorio (NA) de la memoria, este se carga a un contador que inmediatamente lo decrementa a cero. Cuando se llega a cero, el contador envía un pulso de "Termino de Conteo" al contador direccionador de las localidades de memoria para que incremente en uno la localidad actual y obtener otro NA que iniciará nuevamente el ciclo. De lo anterior es facil deducir que el pulso, generado por el contador que decrementa el NA, es tan aleatorio en el tiempo como lo son los números programados en la memoria. Además hay que considerar, que de estos números, el menor valor programando puede ser \$0A debido a que la frecuencia con la que el contador decrementa el NA es de 10Mhz y tardaria solo 1µseg. en llegar a cero y generar un pulso. La frecuencia para este tipo de datos es comparable con la frecuencia máxima de llegada de datos en el Sistema Mepsicrón y para ser consecuentes con la simulación esta es la frecuencia máxima a la que podemos generar el pulso.

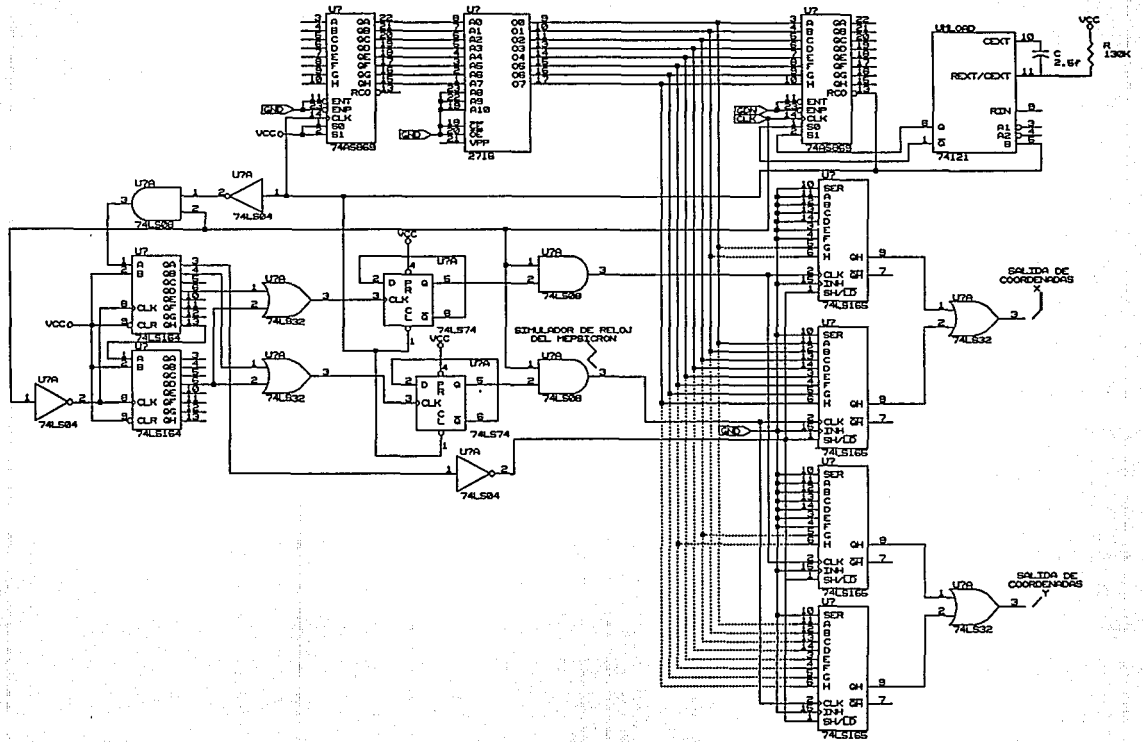


fig. 1: Tarjeta del Simulador de Pulsos Aleatorios

APENDICE [B]

PROGRAMACION DEL DMA

Un ciclo de ducto no puede permanecer dedicado a una sola tarea en forma continua, debido a que en la computadora existen funciones que dependen de su atención para el buen funcionamiento de la misma. El uso de la función DMA es una solución a la transferencia de datos provenientes del SM que necesitan de una transferencia continua debido a su velocidad de llegada. Esta función esta dedicada solo a la transferencia de datos ,de tal forma que aún cuando la longitud del ciclo DMA es comparable con la longitud del ciclo de ducto, no altera el funcionamiento en otros dispositivos de la computadora.

Como se mencionó en el capítulo 4, para iniciar un ciclo DMA, es necesario proveer al controlador DMA, por medio de software, de ciertos datos específicos.

Para escribir los datos de las MP en la memoria de la computadora, el ciclo adecuado en la función DMA, es la escritura de la que describo su programación en el orden propuesto en la tabla 1.

La primera función es WCR con la dirección de puerto \$0008, en la que se habilita o deshabilita (h/d) el controlador de DMA, se asigna prioridad a los canales y se selecciona el estado activo de las señales REQ y ACK, además de las otras funciones ya definidas por la computadora. En general la computadora inicializa con \$0000 que son los bytes de control adecuados al ciclo de escritura para nuestro sistema.

La función WRR en la dirección \$0009 permite seleccionar el canal donde se va a llevar a cabo la transferencia de DMA (canal de trabajo) y el byte de control adecuado es \$05.

La función WSMBR permite "enmascarar" sobre los canales un estado activo o no. En otras palabras, simular habilitar o deshabilitar un canal específico.

La siguiente función WMR, tienen dirección de puerto \$0008 y se refiere a la forma de transferir los datos y a las características del ciclo de escritura. Una vez que en el byte de control se ha registrado el canal de trabajo en los bytes menos significativos se selecciona los dos bits que permiten la operación de escritura, es decir, toma los datos de la interface y los escribe en la memoria. Con el siguiente bit de h/d la autoiniciación que permite que el controlador sea automáticamente programado para aceptar un requerimiento DMA después que una función DMA ha concluido. EL 6° bit es usado para elegir el incremento o decremento de los registros de dirección durante el ciclo. Por último, con las combinaciones de los bits 7° y 8° se selecciona 1 de los 4 posibles modos de escritura en la memoria. En este caso es utilizado el modo de transferencia simple, en el que debe existir una señal de requerimiento para la transferencia de cada byte.

La función asociada a la dirección \$000C limpia un Flip-Flop (FF) interno usado para anotar los bytes más y menos significativos en un registro de 16 bits que son cargados y leídos desde la dirección de los puertos de \$0000 a \$0007. Cuando el FF es limpiado la siguiente función de escritura o lectura, a la dirección del puerto carga o lee el byte menos significativo del valor de 16

bits asociado en el registro. La misma operación de lectura o escritura cambia al FF a la siguiente operación de lectura o escritura anotando , entonces, el byte mas significativo. Esta técnica es usada para leer o escribir los registros de dirección en curso de memoria y los registros de conteo de transferencia de cada canal.

Las funciones restantes, de la tabla 1, no tienen asociado control sobre acceso de datos, por lo tanto no es necesario programarlas.

La programación del número de bytes a transferir es hecha en las direcciones de \$0000 a \$0007. Esta parte de la programación requiere de la dirección de inicio en la memoria a la que se va a transferir, el registro de página de memoria y el número que van a ser transferidos.

El registro de página indica la parte de memoria (64Kb de 1Mb) en la que se van a escribir los datos y que cada canal ya tiene designada. La programación del número de transferencias y la dirección de inicio de la memoria es hecha en la forma descrita dentro de la función \$000C. Esto quiere decir que basta con programar la dirección de puerto correspondiente al canal de trabajo, con el byte menos significativo del valor asociado, ya sea al registro de conteo o de dirección en curso, y enseguida en la misma dirección con el byte mas significativo del mismo valor asociado en el registro; ya que de la diferenciación de estos datos se encarga al FF interno para los dos registros.

El registro de conteo es cargado con el número de bytes requeridos en una transferencia menos uno y el registro de dirección de inicio de memoria es cargado con la dirección \$0000

para facilitar la reconstrucción de las coordenadas X y Y.

Por último, antes de iniciar una transferencia DMA se debe deshabilitar el canal que se va a usar y posteriormente habilitar para realizar la transferencia y volver a deshabilitar dentro del programa para que no continúe en el canal de trabajo la función DMA y el uso de otros programas altere la información transferida, si es que la memoria de estos se traslapa con la memoria ocupada para la transferencia DMA. Para h/d el canal de trabajo, se hace uso de la función con dirección de puerto \$000A.

DEDUCCION DE COORDENADAS (X,Y)

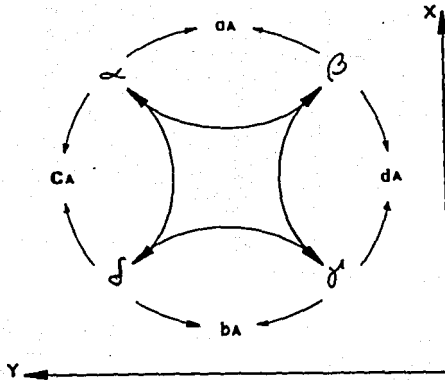


FIG.1. DEFINICION DE TERMINALES EN EL ANODO RESISTIVO

Sean α , β , γ , δ la carga que sale por cada extremo del ánodo resistivo.

Sea $Q = \alpha + \beta + \gamma + \delta$

y las siguientes cantidades analógicas:

$$A = \alpha + \beta$$

$$A = \gamma + \delta$$

$$A = \alpha + \delta$$

$$A = \beta + \gamma$$

que se obtienen en la etapa amplificadora de la electrónica asociada al detector, para luego ser digitalizadas. El proceso de digitalización con n bits da lugar a las cantidades:

$$A \times 2^n \pm \Delta$$

$$A \times 2^n \pm \Delta$$

$$A \times 2^n \pm \Delta$$

$$A \times 2^n \pm \Delta$$

donde $\Delta = \max [1/2, 2^n(R/S)]$, lo que implica que el error $\Delta = \delta a = \delta b = \delta c = \delta d$, es el máximo entre el error de digitalización (1/2) y en inverso de la razón señal a ruido de las variables analógicas.

El proceso de división que se usa en el sistema electrónico para encontrar las coordenadas X y Y del evento, es el que ha demostrado tener menor error y es:

$$X = 2^m + \frac{a - b}{\Sigma / 2} 2^m$$

$$Y = 2^m + \frac{c - d}{\Sigma / 2} 2^m$$

$$\text{donde } \Sigma = a + b + c + d = Q 2^{n+1}$$

m representa el número de bits de precisión en la división, y dado que (a - b) o (c - d) pueden ser positivos o negativos, se tiene por un lado, que el número de bits de posición será m + 1 y por otro lado, será necesario cambiar el origen (sumar 2^m) para ser compatibles con el sistema de memoria.

La razón para tomar $\Sigma/2$ como denominador, en lugar de Σ , es que Σ tiene 13 bits (si n=12), y al menos el último de

ellos es de error ($\delta\Sigma = 2\Delta$), por lo que al tomar $\Sigma/2$, permite trabajar con 12 bits (si $n=12$) en el denominador y desacoplar los errores; de tal forma que el error en la determinación de una coordenada (X por ejemplo) estaría dado por:

$$\delta X^2 = \left(\frac{X}{a}\right)^2 \delta a^2 + \left(\frac{X}{b}\right)^2 \delta b^2 + \left(\frac{X}{(\Sigma/2)}\right)^2 \delta(\Sigma/2)$$

Reduciendo esta expresión:

$$\delta X^2 = \frac{\Delta^2 2^{2n}}{(\Sigma/2)^4} (2(\Sigma/2)^2 + (a - b)^2)$$

GLOSARIO DE TERMINOS

ACK :Señal de Reconocimiento de Transferencia.

AO :Amplificadores Operacionales.

APE :Analizador de Posición de Eventos.

A/D :Conversión Analógico / Digital.

CE :Ciclo de Escritura.

CL :Ciclo de Lectura.

CyD :Conversión y División

C1 :Señales obtenidas a partir de los bits indicadores de llenado total de las MP.

CO-2:Contador de 0 a 2.

DACK:Reconocimiento de la computadora al requerimiento enviado por la interface.

DMA :Acceso Directo a Memoria.

DRQ :Requerimiento de la interface para transferencia de datos.

Mepsicron :Microcanal Electrón Posición Sensor y Cronos

MP :Memorias de Paso.

MPA :Memoria de Paso A.

MPB :Memoria de Paso B.

MR :Monoestable Redisparable.

MW :Escritura en Memoria.

OE :Habilitador de Salida

REQ :Señal de Requerimiento de Transferencia.

SM :Sistema Mepsicrón.

SR :Registro de Corrimiento.

S1 :Señales preamplificadas de cada una de las esquinas del ánodo resistivo

TC :Conteo Terminal.

REFERENCIAS

- 1.- Gutierrez, L. Sistema de adquisición de datos y manejo de imágenes para un detector bidimensional tipo Mepsicrón.
Tesis Profesional. Fac. de Ciencias UNAM (1984).
- 2.- Manual Le Croy. Circuito Integrado TRA1000.
- 3.- Angeles, F. Analizador de Posición de Eventos para un detector bidimensional tipo Mepsicrón.
Tesis Profesional. Fac. de Ciencias UNAM (1986).
- 4.- Enriquez, R. et al. Tlachialolni I Sistema para la Adquisición, Almacenamiento y Despliegue de Imágenes Bidimensionales.
Reporte Técnico núm. 20, Instituto de Astronomía. C.U. Marzo 1985.
- 5.- Eccles, M.J. Low lighth level detectors in astronomy.
Cambridge University Press, USA 1983.
- 6.- Lewis, C.E. Interfacing to the IBM Personal Computer.
Welborn Associates, USA 1983.
- 7.- Catálogo de información de los componentes TTL.