

49
3ej.



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERIA

MONITOR PORTATIL DE SIGNOS VITALES

T E S I S

Que para obtener el título de:

E Ingeniero en Computación

Presentan:

Islas Solís Abdón

Sánchez Hinojosa David Enrique



TESIS CON
FALLA DE ORIGEN



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

Introducción

I.- Descripción Funcional del sistema

- 1.1. Etapa de transducción
- 1.2. Etapa de acondicionamiento
- 1.3. Etapa de control y procesamiento
- 1.4. Etapa de entrega y manejo de datos

II.- Variables y Métodos de Medición

- 2.1. Pulso
- 2.2. Temperatura
- 2.3. Presión arterial
- 2.4. Respiración

III.- Diseño de los circuitos de medición de las variables

- 3.1. Pulso
- 3.2. Temperatura
- 3.3. Presión arterial
- 3.4. Respiración

IV.- Diseño del módulo de adquisición y procesamiento de datos

4.1. Convertidores analógicos digitales

4.2. Teclados y despliegues

4.3. Módulo de control

4.4. Transmisión de datos

4.5. Telemetría

V.- Programación del sistema

VI.- Resultados y conclusiones

Bibliografía

Apéndices

A.- Diagramas

B.- Datos característicos de los elementos

C.- Análisis de costos

INTRODUCCION

Al ser la ingeniería la rama de las ciencias que da forma a los recursos que brinda la naturaleza en beneficio del hombre, es lógico pensar que existe una relación fuerte entre los objetivos que persigue y los de la atención médica, los cuales son brindar facilidades y servicios en bienestar del hombre. Por lo tanto, se puede considerar a la ingeniería, y específicamente a la ingeniería en electrónica, como una de las herramientas más importantes con que cuenta la medicina para cumplir con su cometido.

Junto con el gran desarrollo que ha habido en los últimos años en el campo de la electrónica, se ha logrado una evolución importante en el desarrollo de instrumental médico. Así, tenemos desde microscopios electrónicos sofisticados, equipos de ultrasonido, tomografías computarizadas, hasta prótesis como brazos y piernas manejadas electrónicamente, sin olvidar las operaciones que se han venido realizando con equipo láser. Son tantos los equipos y sus usos tan diferentes que sería imposible señalar el más importante o el más sofisticado de todos.

Por otro lado, el uso de computadoras ha aportado innovaciones importantes en la atención médica, en los aspectos clínicos y de investigación. Son extremadamente útiles en el análisis de electrocardiogramas, en la regulación de equipos automáticos en los laboratorios de análisis clínicos, registros

de estadísticas, etc.

Cabe hacer mención de un nuevo método de enseñanza que últimamente se ha venido empleando en nuestro país, el cual consiste en transmitir vía satélite y en vivo una operación de un hospital a otro (u otros) ubicados a varios cientos de kilómetros de distancia. Esto permite a los interesados observar diversos tipos de cirugías, realizadas en otros estados de la República, sin necesidad de trasladarse de su ciudad de residencia, por lo que la experiencia es transmitida a un mayor número de personas de las que cabrían en un quirófano, ahorrando de esta manera tiempo y optimizando la enseñanza.

En la actualidad han surgido nuevos y sofisticados equipos de medición y por lo tanto nuevas clases de transductores, los cuales son muy útiles para el monitoreo de cambios de energía en un sistema físico y adaptándolos o construyéndolos exprefeso para un sistema biológico. La ventaja que representa un sistema de telemetría es tan importante como la de salvar una vida, ya que un médico puede atender una emergencia monitoreando el estado del paciente desde el hospital, mientras éste se encuentra en la ambulancia, dictándole los pasos a seguir al paramédico y estableciendo al mismo tiempo un diagnóstico que da como resultado un tratamiento oportuno.

La aplicación de las computadoras a las necesidades de hospitales y clínicas se ha extendido rápidamente durante los

últimos años. Actualmente, es común encontrar microcomputadoras en consultorios, pero lamentablemente, en la mayoría de los casos se emplean para llevar la contabilidad, datos clínicos y estadísticos de los pacientes o calendario de citas, siendo así desperdiciada su capacidad para realizar funciones de mayor utilidad para diagnóstico.

En los laboratorios de investigaciones médicas una computadora puede manejar simultáneamente varias señales fisiológicas, efectuar su registro y análisis de manera automática, medir el tiempo de los cambios ocurridos y los intervalos entre éstos, y dar a conocer las correlaciones entre todos los factores que intervienen. Por lo anterior, se deduce fácilmente el gran servicio que prestan actualmente la ingeniería en electrónica y la computación a la atención médica. Además, la versatilidad de la electrónica permite que se diseñen nuevos instrumentos que faciliten el trabajo a los investigadores del área de la medicina.

El presente proyecto surge de la necesidad que existe de contar con un sistema de diagnóstico de signos vitales portable, funcional, y que no resulte tan ostentoso, ni tan costoso como los que actualmente operan en algunos hospitales. Como característica adicional se brinda la versatilidad de ser usado en las ambulancias ó en un pequeño hospital. De ésta forma se tiene, en un mismo equipo, el auxilio requerido en forma rápida por los paramédicos localmente o bien en lugares distantes como

clínicas y hospitales.

Básicamente el funcionamiento sería de la manera siguiente: al paciente se le colocarían diversos transductores, los cuales sensarían sus signos vitales, éstos serían procesados por el monitor y transmitidos al hospital de tal manera que el médico pueda diagnosticar el estado del paciente para que al arribar la ambulancia al hospital tenga listo el tratamiento a seguir y así ahorrar tiempo.

A continuación se describe brevemente como está organizado este trabajo :

En el primer capítulo se muestra una descripción funcional desde un punto de vista muy general, analizando cada una de las etapas desarrolladas, las características principales que conforman dichas etapas, su presentación desde un punto de vista de bloques para visualizar cómo están relacionadas las diferentes etapas entre sí, y desde luego la secuencia que cada uno de estos bloques lleva dentro del proyecto total.

En el segundo capítulo se analiza cada una de las variables por separado que serán muestreadas por el monitor, llevando la secuencia siguiente: pulso, temperatura, presión sanguínea, respiración. Mostramos sus cualidades relevantes y los métodos empleados para su medición.

En el capítulo tres se evalúan los diferentes métodos de medición y se selecciona el más adecuado para nuestros requerimientos. Una vez seleccionado el método de medición, se elabora el diseño de los circuitos electrónicos correspondientes a cada una de las variables, se acondiciona su salida mediante diseños particulares que permitan una homogeneidad de las cuatro variables sensadas. Finalmente, se efectúan los procesos de muestreo, control y procesamiento.

En el capítulo cuatro se toman en cuenta los diversos dispositivos existentes para el manejo y control de señales y se elabora un diseño específico que abarca las siguientes fases:

- Multiplexaje de señales
- Conversión analógica-digital
- Procesamiento de los datos
- Interfaces
 - Teclado
 - Despliegue
 - Transmisión

En el capítulo cinco se muestran los diagramas de flujo y programas desarrollados, necesarios en la operación del sistema diseñado.

Por último, en el capítulo seis se muestran los resultados obtenidos y las conclusiones del presente diseño.

CAPITULO I

DESCRIPCION FUNCIONAL

DESCRIPCION DEL DIAGRAMA A BLOQUES

El diseño está dividido en cuatro etapas generales que nos permiten ubicar funciones específicas a realizar por cada una de ellas, y cuyo encadenamiento, tal y como lo muestra el diagrama siguiente, realiza toda la función del monitoreo de signos vitales.

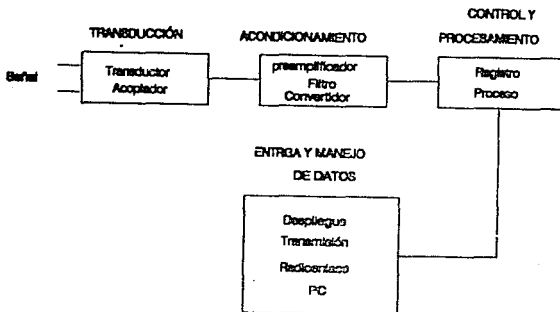


Figura 1.1. Diagrama a bloques.

Descripción de cada uno de los elementos del diagrama a bloques :

Transductor.- Transforma la variable física, química, etc., en una señal de tipo mecánica y/o eléctrica.

Acoplador.- Acondiciona la señal de tal manera que haya

compatibilidad entre la señal proveniente del transductor y la etapa de conversión analógica-digital ó digital-analógica.

Preamplificador.- Será necesario en el caso en el que se manejan señales eléctricas pequeñas.

Filtro.- Con éste se evita la interferencia de señales provenientes de fuentes externas.

Convertidor.- Transforma la señal de analógica a digital ó de digital a analógica.

Registro.- Almacena los datos en algún tipo de memoria RAM, EPROM, etc.

Procesamiento.- Modifica (ó codifica) los datos para su interpretación adecuada.

Transmisión.- Transmite la señal ya procesada a los lugares alejados ó bien a una terminal PC.

Despliegue.- Presenta la información al usuario.

1.1.- ETAPA DE TRANSDUCCION

En el caso del monitor de Signos Vitales, la función básica de la etapa de transducción es la de convertir las señales del

cuerpo humano a señales de tipo eléctrico. Esto es con la finalidad de proveer al sistema electrónico con datos que pueden ser interpretados y manejados por el sistema.

Como es sabido, los signos vitales del cuerpo humano no son de un solo tipo, por lo que es necesario el uso de diversos tipos de transductores. Dentro de los transductores existe una gama amplia de los mismos, ya que estos son fabricados de acuerdo a las características de la señal que será convertida. Podemos mencionar algunos tipos de transductores como son: de presión, de temperatura, de luz, electromagnéticos, de humedad, etc.

Debido a las características inherentes de los signos vitales del cuerpo humano, los transductores deben contar con una resolución tal que nos permita el reconocimiento y manejo en forma sencilla y confiable de éstos, para que la interpretación de los mismos sea lo más verídica posible.

La Transducción puede ser considerada como una de las etapas más importantes, que a pesar de parecer sencilla no lo es del todo, ya que de los datos obtenidos depende en gran medida la veracidad de la información, ya que ésta provee la interfaz necesaria para que los signos vitales puedan ser manejados.

Además, es necesario considerar que las señales provenientes del cuerpo humano, una vez convertidas en señales

eléctricas, son de una escala muy pequeña, y del orden de los milivolts. Por lo que es de suma importancia el evitar que cualquier tipo de ruido, por pequeño que éste sea, influya en forma muy significativa sobre las señales. Para evitar que ruidos externos distorsionen la señal adquirida, es necesario considerar una etapa de acoplamiento, cuya finalidad sería proporcionar un transporte limpio de la señal a una etapa siguiente.

Por último, es bueno mencionar que la finalidad de esta etapa no es sólo efectuar la transducción de la señal, la cual debe ser lo más fiel posible, sino que debe contar con una protección tal que las interferencias externas sean minimizadas, para que la señal entregada se acerque a la realidad lo más posible.

1.2.- ACONDICIONAMIENTO

La etapa de acondicionamiento tiene como función el adecuar las señales entregadas por la etapa de transducción, para que puedan ser utilizadas adecuadamente por la etapa de programación y control. Así, la señal de un transductor tendrá la necesidad de uno o varios aspectos de acondicionamiento, como son:

Filtrado

Amplificación ó atenuación

Acoplamiento de impedancias

Linealidad

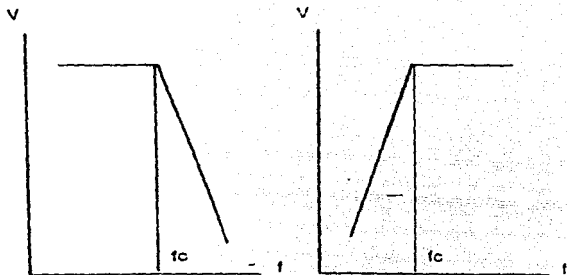
Estabilidad

Conversión analógica-digital

Filtrado.— La etapa de transducción nos entrega señales eléctricas, ya sea de voltaje o de corriente a cierta frecuencia. Frecuentemente se desea utilizar sólo un rango de frecuencias de la señal proveniente del transductor. Quizá estas frecuencias representen a la señal, mientras que otras pueden ser indeseables o bien ser ruido de algún tipo.

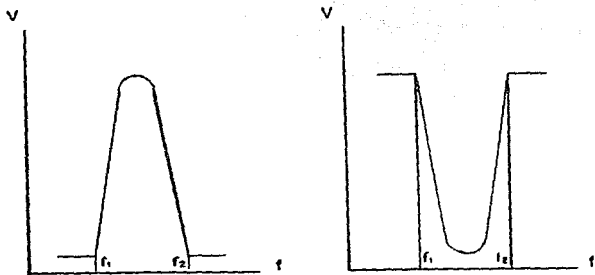
Aún cuando se pueden utilizar varias configuraciones para circuitos de filtrado, todas caen dentro de cuatro categorías: (a) filtros pasa bajas, (b) filtros pasa altas, (c) filtros pasabanda y (d) filtros supresor de banda. Estos circuitos se pueden construir con elementos pasivos o con elementos activos para disminuir las pérdidas. El filtro pasa bajas permite la transmisión de frecuencias abajo de cierto valor, con un poco o nada de atenuación, mientras que el filtro pasa altas transmite frecuencias arriba de cierto valor. Por otro lado, el filtro pasa banda permite la transmisión de cierto rango o banda de frecuencias, mientras que atenúa los que están arriba y abajo de los límites de este rango. De forma contraria el filtro supresor de banda no permite la transmisión de cierto rango o banda de frecuencias y sólo permite la transmisión de aquellas que están arriba y abajo de los límites de este rango. Las curvas de

comportamiento de estos cuatro filtros se pueden observar en la figura 1.2.



a) Filtro pasa bajas.

b) Filtro pasa altas.



c) Filtro pasabanda.

d) Filtro supresor de banda.

Fig.1.2. Curvas de comportamiento aproximado para los cuatro tipos de filtros

Amplificación o atenuación.— En muchos casos la señal que nos presenta un transductor es muy débil y debe amplificarse para compensar pérdidas de las señales de interés. La ganancia o relación de amplificación es la medición del grado de amplificación o atenuación de un circuito y se define como:

$$\text{Ganancia} = \frac{\text{señal de salida}}{\text{señal de entrada}} \quad (1.1)$$

Las cantidades de salida y de entrada pueden ser voltaje, corriente o potencia, dependiendo de la aplicación.

Acoplamiento de impedancias.— En los sistemas donde es necesario interconectar diversos dispositivos eléctricos, debe procederse con cuidado, para evitar el desbalance entre sus impedancias. A continuación se presenta un análisis de la importancia del acoplamiento de impedancias.

Un circuito eléctrico puede representarse por un voltaje E y una resistencia R_i en serie, como se muestra en la figura 1.3. Si a este circuito se le conecta otro de carga, representado por la resistencia R , figura 1.4, la potencia entregada a este circuito, entre los puntos A-B, está dada por:

$$P = \frac{E_{ab}^2}{R} \quad (1.2)$$

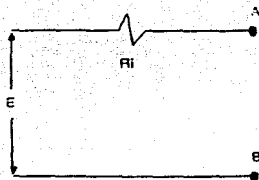


Figura 1.3. Circuito equivalente.

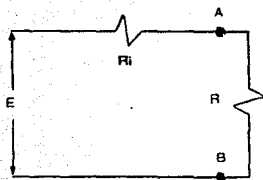


Figura 1.4. Circuito equivalente con carga R .

En este caso nos podría interesar conocer el valor de la carga externa con la cual nuestro circuito equivalente entregue la máxima potencia. Considerando constantes el voltaje E y la impedancia R_i , el voltaje E_{ab} está definido por,

$$E_{ab} = \left[\frac{R}{R + R_i} \right] E \quad (1.3)$$

sustituyendo la ecuación (1.3) en la ecuación (1.2) tenemos:

$$P = \frac{E^2}{R} \left[\frac{R}{R + R_i} \right]^2 \quad (1.4)$$

maximizamos

$$\frac{dP}{dR} = 0 \quad (1.5)$$

lo que resulta:

$$R_i - R = 0$$

$$\therefore R = R_i \quad (1.6)$$

Es decir, se puede obtener la máxima cantidad de potencia

del circuito cuando la impedancia de la carga externa es exactamente igual a la impedancia del circuito. Este es el principio esencial del acoplamiento de impedancias en circuitos eléctricos.

Linealidad.- En el diseño de los sistemas reales, el analista y diseñador también deben hacer frente al hecho de que el comportamiento de todos los fenómenos físicos o biológicos no son estrictamente lineales. Sin embargo, puede haber regiones sobre las cuales una aproximación lineal es satisfactoria, pero en general, se llegará a una región no lineal.

Analizando los sistemas, el aspecto no lineal puede identificarse generalmente por el hecho de que para ellos no es válido el principio de superposición.¹ Existen dos filosofías para analizar dichos sistemas. Primero, es posible "linealizar" un elemento no lineal y resolver después el problema resultante. Segundo, puede resolverse el problema no lineal real por medio de técnicas especiales de linealización.

La linealización de un elemento no lineal puede llevarse a cabo de varias maneras:

1

Considerando que la respuesta de un sistema a una función excitadora $f_1(t)$ es $y_1(t)$ y la respuesta de dicho sistema a otra función excitadora $f_2(t)$ es $y_2(t)$. Además, si la función excitadora para el sistema es $f_1(t)+f_2(t)$ y la respuesta, en general, es $y_1(t)+y_2(t)$, se establece que dicho sistema cumple con el principio de superposición.

a) La aproximación "para pequeñas oscilaciones" dice, que para un rango limitado del cambio de una variable, es aceptable reemplazar la curva real por su tangente en un punto particular y suponer que las variaciones ocurren a lo largo de dicha tangente.

b) Una técnica ampliamente usada por la linealización consiste en reemplazar una función no lineal por una lineal que se aproxime mucho a la función no lineal. Una relación no lineal puede reemplazarse por un desarrollo en serie.

c) Generalmente se dispone de soluciones para las ecuaciones diferenciales con términos en serie, aunque generalmente son extremadamente elaborados.

Si parece que es necesario resolver un problema particular no lineal, sin linealización, existen muchas técnicas especializadas que pueden usarse para obtener una solución específica. Estas incluyen:

Soluciones analíticas especiales y tabuladas

Solución en partes

Análisis en el plano de fase

Solución por computadora analógica

Solución usando la computadora digital

Estabilidad.- Existe otra consideración que debe hacerse

respecto al análisis de cualquier sistema, de importancia básica en el diseño de sistemas físicos, que es la estabilidad del mismo.

Un sistema estable es aquél en el cual los transitorios decaen, es decir la respuesta transitoria desaparece para valores crecientes del tiempo. Desde el punto de vista físico, es aquél en el cual los transitorios desaparecen y el sistema se estabiliza para cierta respuesta útil.

Conversión analógica-digital.- Cuando se utilizan sistemas de adquisición de datos digitales, es necesario, en la etapa de acondicionamiento, que los datos obtenidos por el sistema físico sean transformados en forma digital, para que estos sean fácilmente manejados por la etapa de control y programación, esto debido a que normalmente, las señales provenientes del acondicionador aparecen en forma eléctrica analógica. Por ello es necesario un elemento que convierta la información analógica en digital.

1.3.- ETAPA DE CONTROL Y PROCESAMIENTO

La etapa de control y procesamiento se encarga de manipular los datos obtenidos al convertir los signos vitales en señales eléctricas. Para ello debe ser capaz de elegir la señal que debe ser convertida a una forma digital, tomar el resultado de la

conversión y almacenar ese resultado.

Una vez que se tiene almacenado el valor del signo vital esta unidad puede aplicarle un procesamiento aritmético o lógico y puede efectuar la comparación con valores tipos y ser capaz de tomar una acción como resultado de esta comparación. Estos valores tipo se deben introducir al sistema en forma permanente con anterioridad y deben obtenerse estadísticamente, ya que dependiendo de la edad de cada persona esos valores cambian para cada signo vital.

Una función importante que debe realizar la etapa de control y procesamiento, es la de formatear los datos para interacciones de entradas, de manera tal que los datos puedan ser desplegados en una pantalla de visualización o ponerlos disponibles para que puedan ser utilizados en una microcomputadora local o remota, a través de conexiones vía modem, línea telefónica o radioenlace.

En general esta etapa debe controlar la operación global del sistema.

Para realizar las tareas antes mencionadas, esta etapa debe contener una sección que le permita almacenar datos de entrada así como datos tipo, y otra sección que realice las funciones propias de control y procesamiento de datos (μp).

La interacción de esta etapa con el resto de sistema se muestra en el siguiente diagrama generalizado, figura 1.5.

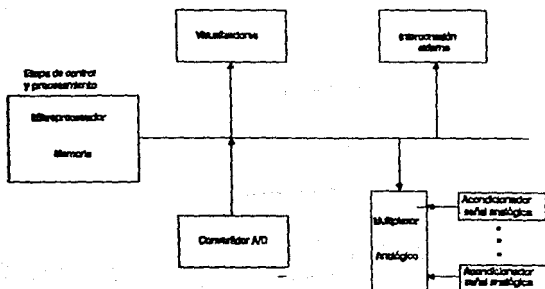


Figura 1.5. Diagrama generalizado de etapa de control y procesamiento.

1.4.- ENTREGA Y MANEJO DE DATOS

El Monitor Portátil de Signos Vitales tiene la opción de brindar tres salidas distintas para el manejo e interpretación de las muestras, dependiendo de la situación y de las posibilidades.

Forma local.- Es aquella que permite al paramédico observar directamente las lecturas de los signos vitales del paciente a través de un desplegado local con que cuenta el Monitor Portátil. Desde luego que ello tendrá que ser memorizado o anotado por el paramédico en alguna bitácora.

Forma de transmisión vía radioenlace.- Es aquella que permite al paramédico enviar los datos locales a la central remota, clínica u hospital, donde se podrá efectuar la actualización de la historia ó antecedente clínico del paciente y así establecer una preparación previa para el momento en que la ambulancia arribe al hospital.

Forma de transmisión en serie a una PC.- Es aquella en la que se conecta el Monitor Portátil directamente con una microcomputadora PC. Lo anterior permite un proceso inmediato de la información con su historia clínica ó para establecer una memoria ó un reporte continuo de algún paciente delicado. En el caso de un paciente hospitalizado, estaría monitoreado continuamente sus signos vitales y comparándolos con un patrón establecido en la microcomputadora PC, de manera que, dadas las características del paciente ó de la operación clínica, pueda conocerse en todo momento si su estado es satisfactorio ó no, así como también durante su periodo de convalecencia.

CAPITULO II

VARIABLES Y METODOS DE MEDICION

2.1.- PULSO

La circulación tiene por objeto desplazar continuamente por todos los órganos y tejidos de nuestro cuerpo el fluido denominado sangre, al cual van a parar las substancias que han sido transformadas en asimilables por la digestión.

El aparato fisiológico en que se encuentra encerrada la sangre, es también el encargado de verificar el transporte de ella y recibe el nombre de aparato circulatorio, el que se encuentra formado por:

Corazón.- Figura 2.1, se le halla situado en el centro del tórax, entre los pulmones, el cual presenta una forma cónica y su punta, vuelta hacia abajo e inclinada hacia la izquierda, se apoya por debajo en el diafragma y por delante en la pared torácica. Si se examina exteriormente se observan dos surcos que dividen su superficie en cuatro partes desiguales que corresponden a cuatro cavidades que existen en el interior separadas por tabiques. Las dos superiores llamadas aurículas y las dos inferiores ventrículos. Las aurículas se llaman, por su posición, derecha e izquierda y tienen sus paredes delgadas, mientras que los ventrículos, también llamados derecho e izquierdo, según su posición, las tienen gruesas y muy fuertes. Ni las aurículas, ni los ventrículos se comunican entre sí directamente en el hombre, haciéndolo, en cambio, cada aurícula con el ventrículo del mismo lado, por un orificio denominado

auriculoventricular. Dicho orificio de cada lado está provisto de láminas elásticas denominadas válvulas. Fijas por su base alrededor del orificio y de cuyos bordes libres salen unas prolongaciones que van a insertarse en la pared interna del ventrículo. La válvula del ventrículo izquierdo está formada por dos de estas láminas y se le llama válvula bicúspide y también mitral. La válvula del ventrículo derecho está formada por tres láminas y se denomina válvula tricúspide.

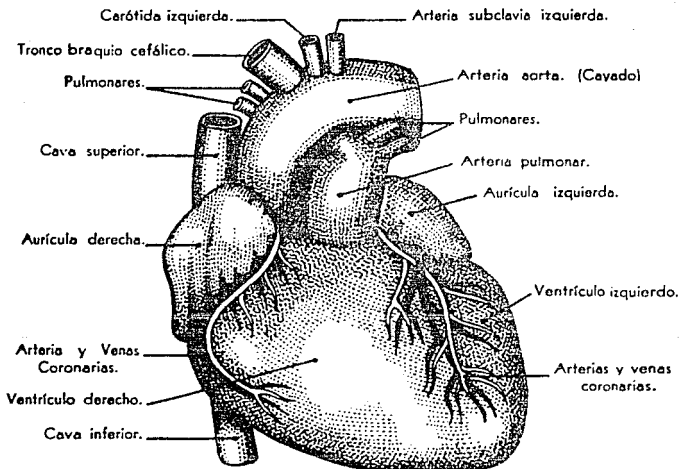


Figura 2.1. Diagrama esquemático del corazón.

Las paredes de aurículas y ventrículos están atravesadas por orificios de donde nacen o a donde van a parar los grandes vasos sanguíneos. El orificio de salida de las arterias está cerrado por tres válvulas llamadas Sigmoideas, pegado a la pared arterial. De todas las venas que terminan en las aurículas ninguna tiene válvula propiamente dichas.

El corazón produce sonidos característicos al bombear sangre al cuerpo. Los sonidos y murmullos principales que se generan por los eventos mecánicos normales que ocurren durante el ciclo cardíaco son: el movimiento de las paredes y válvulas cardíacas, el flujo sanguíneo hacia las aurículas y ventrículos, y las turbulencias que se generan al fluir la sangre hacia las arterias y de las venas hacia las aurículas. Los sonidos cardíacos viajan en forma de onda a través de los diferentes tejidos del cuerpo, existe transferencia de energía sin movimiento neto del tejido. Dentro del tórax, el medio inicial de la transmisión es un fluido en el sistema cardiovascular, después aire y líquidos en los pulmones, y finalmente a través de huesos y partes sólidas. Cuando los sonidos alcanzan la superficie, han viajado a través de diferentes medios, cada uno con características de propagación del sonido diferentes. Esto hace que los sonidos originales se alteren y atenuen en gran medida.

En la figura 2.2 se puede apreciar un corte esquemático del corazón con los ventrículos y aurículas derecha e izquierda, la

posición de las mismas y la relación que mantienen con el fluido sanguíneo. El entender estas figuras permite una mejor comprensión de cómo se originan los cuatro sonidos producidos en los párrafos posteriores.

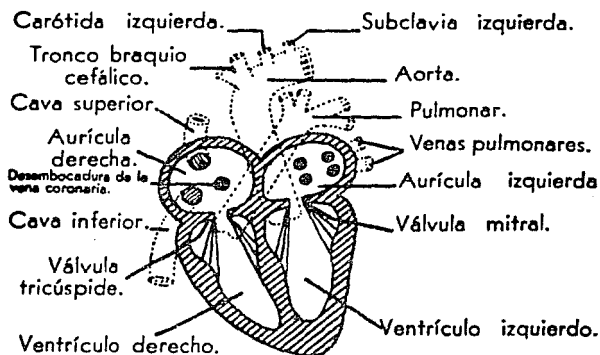


Figura 2.2. Válvulas del corazón.

Generación de sonidos cardiacos

Existen cuatro sonidos básicos, generados durante la secuencia de un ciclo cardiaco completo. La relación en tiempo de estos sonidos se muestra en la figura 2.3.

El primer sonido se produce al finalizar la contracción

auricular y comenzar la ventricular. Varios factores contribuyen a su generación, el movimiento inicial de la sangre desde los ventriculos, el cierre de la válvula auriculo-ventricular y el cese brusco del flujo sanguíneo hacia la aurícula. El cierre de las válvulas mitral y tricúspide origina las principales componentes.

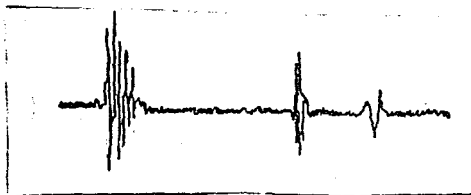


Figura 2.3. Generación de sonidos producidos por el corazón.

El segundo sonido es causado por el cierre de las válvulas aórtica y pulmonar y va precedido por dos fenómenos: a) una ligera regurgitación de la sangre hacia los ventriculos, debido a que la presión de estos disminuye por debajo de la existente en las arterias pulmonar y aórtica, y b) un cese brusco del flujo al cerrarse las válvulas que inician movimiento de las cámaras ventriculares. La sangre en la aorta y arteria pulmonar transmite estos movimientos para producir el segundo sonido.

El tercer y cuarto sonidos son producidos al final del

llenado ventricular y la contracción auricular respectivamente, son denominados sonidos diastólicos. Generalmente son inaudibles en un adulto normal pero frecuentemente se escuchan en niños. El tercer sonido se origina cuando los ventrículos se relajan y la presión interna cae por debajo de la presión auricular. Las válvulas auriculo-ventriculares se abren y la sangre fluye hacia las cavidades ventriculares, ocasionando vibraciones en las paredes de las mismas .

El cuarto sonido es producido por la contracción de la aurícula y el consecuente flujo de sangre a través de las válvulas auriculo-ventriculares, que se encuentran en ese momento parcialmente abiertas, y hacia los ventrículos ya distendidos. Este sonido precede al primer ruido cardiaco y se caracteriza por su baja frecuencia y amplitud, como puede observarse en la gráfica de la figura 2.4.



Figura 2.4. Gráfica de los sonidos cardiacos.

Métodos de medición

Hay diferentes formas de efectuar las mediciones del ritmo cardiaco, cada una de ellas permite el uso de distintos transductores, es decir, que se pueden hallar para un mismo método de medición del ritmo cardiaco varios transductores en operación, tradicionalmente sonoros y muy recientemente los ópticos, que van teniendo mayor aceptación. A continuación se describirán cuatro métodos, los más ampliamente difundidos y empleados en la medicina clínica. Cabe mencionar que básicamente la primera y la última técnica descritas pertenecen a una división mucho más extensa de técnicas de medición conocidas como técnicas no invasivas, mientras que la segunda y la tercera forman parte de las conocidas como técnicas invasivas. Su diferencia esencial estriba en que las invasivas se basan en la introducción de agentes externos para la obtención de parámetros en el cuerpo del paciente, estas técnicas requieren que los transductores tengan contacto directo con las fuentes de la señal, por lo tanto, para que un sistema invasivo opere es necesario que sus elementos sensores sean introducidos en el organismo del sujeto en estudio. Por el contrario, las no invasivas emplean técnicas y procedimientos en los cuales los elementos sensoriales no necesitan que el transductor sea aplicado directamente, esto significa que los transductores no penetran al organismo ni provocan alteraciones al mismo. Desde luego que las lecturas tomadas con una técnica invasiva serán definitivamente más confiables, a excepción de la técnica no

invasiva denominada pletismografía óptica, aplicada directamente sobre el tórax en el sitio del corazón, técnica que ha demostrado ser altamente confiable.

Auscultación.- La manera más común para detectar ruidos cardiacos es en la que se emplea el estetoscopio externo de campana, con él se recogen los ruidos a la altura del corazón. Este es un método muy empleado por su sencillez y aunque permite escuchar los sonidos relacionados con los eventos más importantes, no logran captarse en ciertos casos los murmullos asociados a algún tipo de anomalía. Ya que el sonido originado por estos es atenuado, al atravesar los distintos tipos de tejidos orgánicos que separan su punto de origen y la superficie del tórax. No obstante, para uso clínico éste es el método de auscultación por excelencia.

Fonocardiografía Intracardiaca.- En ciertos casos, los murmullos cardiacos pueden registrarse dentro de las cavidades cardiacas ó dentro de los vasos mayores mediante cateterización. Una gran ventaja de este tipo de fonocardiografía es que es menos susceptible a ruidos respiratorios y ambientales.

Detección Esofágica.- Este tipo de detección constituye la técnica intermedia entre los métodos anteriores, ya que permite estar en mayor contacto con el punto de origen de los ruidos, evitando los efectos de atenuación. Básicamente hay dos formas de detección esofágica. La primera por transmisión a través de

las capas de aire adyacentes al esófago, mediante la adaptación de una sonda a un estetoscopio convencional. Esta técnica permite escuchar los sonidos con claridad, pero no realiza ningún tipo de filtrado de la señal, incluyendo por lo tanto, a la salida, los ruidos originados en la vecindad del punto de detección. El segundo método se efectúa mediante detección, filtrado y amplificación electrónica. Mediante este método se tiene acceso a los ruidos cardiacos a través de una sonda, por cuya luz se transmite la señal sonora hasta llegar a un micrófono, en el cual es transducida en una señal eléctrica, que es susceptible de ser procesada para eliminarle las señales que no formen parte de los ruidos cardiacos.

Pletismografía de las extremidades.- Estas técnicas generalmente corresponden a las llamadas no invasivas. Por un lado se tiene una forma de medición a través del Esfigmomanómetro mercurial, el cual grafica además del pulso, la presión arterial. Es utilizado principalmente para la medición de la presión arterial, dado que para el pulso tiene demasiadas limitantes, y sólo puede ser usado una vez por oclusión arterial de la extremidad a medir, generalmente el brazo. Por otro lado se tiene con mayor uso a los pletismógrafos, los cuales son instrumentos capaces de medir gráficamente, y con la mayor exactitud posible, las variaciones de volumen de un miembro bajo la influencia de la corriente sanguínea. De estos instrumentos se tiene una variedad que será tratada en el capítulo correspondiente a transductores, simplemente habrá que decir que

como el flujo varia dependiendo de la extremidad, se cuenta con valores ya tabulados experimentalmente para mediciones típicas, máximas y mínimas según sea el caso a medir, como se muestra en la tabla 2.1.

Parte del cuerpo	Normal	Máximo	Mínimo
Dedo	15-40	90	0.2
Mano	60.5-16.5)	22	2.5(0.5-4.7)
Antebrazo	2.2(0.4-7.8)	12.6(8.7-23.4)	0.7(0.5-1.0)
Pierna	1.4(0.8-2.0)	3.6	1.2(0.3-1.8)
Pantorrilla	1.4(0.4-2.4)	---	---
Pie	2.7(0.5-7.8)	18.1(11-3.4)	---

Tabla 2.1. Fluído sanguíneo por secciones del cuerpo humano.

Transductores para la medición del pulso cardiaco

Bonoros.- Están basados en la conversión ó transmisión de los sonidos producidos por el ritmo cardiaco. El estetoscopio forma parte de este tipo de instrumentos, los micrófonos generalmente tienen un pequeño diafragma el cual utilizan para convertir la presión en movimiento. Posteriormente, este movimiento es convertido a un voltaje mediante un transductor de bobina móvil, de capacitancia variable ó de tipo piezoeléctricos. Sea cual fuere, usualmente debe tener un tubo capilar que conecte ambos lados del diafragma con el objeto de igualar la presión promedio (presión atmosférica) y prevenir las roturas del diafragma. Esta conexión es necesaria porque los cambios diarios de presión atmosférica, son mucho mayores que las fluctuaciones de la presión sonora, a la cual deben

responder estos dispositivos. Además, existen "fugas" por el capilar que determinan que los micrófonos no respondan a variaciones lentas de presión, aunque esto no es un problema grave, ya que muchas mediciones involucran la respuesta del oído humano, la cual tiene un límite inferior de rango audible de 10 a 20 KHz. Por lo tanto, la respuesta de frecuencia del micrófono debe en determinado caso llegar hasta el límite y no a "cero".

Densitométricos.- Generalmente la medición se efectúa en algún miembro, colocando el dispositivo sobre el tejido. Mediante este método se puede medir, a través de las ramificaciones cardiovasculares, el efecto de variación sanguínea que produce el ritmo cardiaco en las venas y tejidos adyacentes. En la actualidad puede hablarse del mismo principio de la pletismografía, pero a través de una impedancia colocada en algún miembro. Por ejemplo, en un transductor densitométrico de tipo mercurial, cuyo encapsulado, como lo muestra la figura 2.5, se coloca sobre la yema del dedo índice, de tal forma que un anillo pequeño de material blando, sufra deformaciones al paso del flujo sanguíneo, estas deformaciones son recibidas por el encapsulado que rodea al anillo, el cual está lleno de aire y que se conecta a un cilindro con aire calibrado a la presión atmosférica. Los movimientos son comparados con una escala mercurial, la cual sufre pequeñas oscilaciones de impedancia para una corriente eléctrica pequeña, conectada a la entrada de un amplificador con lo que se hace la medición de variaciones en impedancia. Finalmente esta señal es amplificada y procesada ya

como pulsos eléctricos en un circuito graficador.

Recientemente se ha desarrollado un método de medición similar pero a través de un transductor óptico, empleado para la detección de la frecuencia cardiaca, fig. 2.6. El transductor óptico está formado por un arreglo de diodo-emisor y transistor-receptor de luz infraroja. El diodo-emisor proyecta un haz de luz infraroja con cierto ángulo de incidencia como se muestra en la figura.

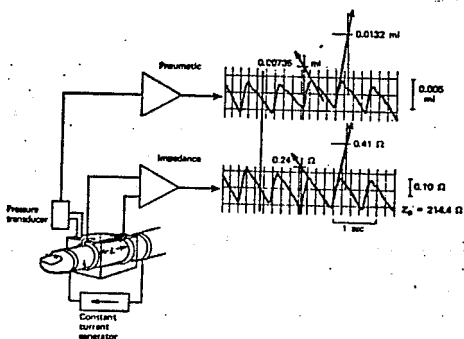


Figura 2.5. Transductor densitómetrico mercurial.

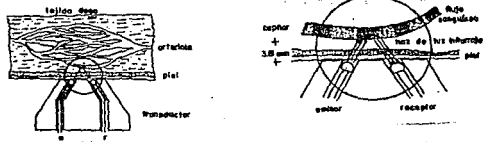


Figura 2.6. Transductor densitométrico óptico.

La forma de operación de estos últimos es que utilizan, para la *detección* del ritmo cardiaco, un haz de luz infrarroja emitido por un diodo emisor que es obligado a pasar por alguna ramificación del sistema cardiovascular de tal manera que el transistor receptor convenientemente colocado sea capaz de percibir la variaciones en el haz de luz ocasionadas por los cambios de fluctuación y de tonalidad en el fluido sanguíneo, midiendo a través de dichas variaciones la frecuencia cardiaca.

La idea principal de estos transductores, acoplados en la *falange* del paciente, obedece principalmente al tipo de encapsulado del transductor y a la comodidad que representa para el paciente.

2.2.- TEMPERATURA

La temperatura la relacionamos generalmente con la energía cinética media de las moléculas, cuando en realidad se refiere al potencial o nivel de la energía interna.

La temperatura nos informa de algo relacionado con nuestra sensación de bienestar, porque la temperatura es un número que indica en que sentido va a fluir la energía o el calor. Si la temperatura del medio ambiente es bastante inferior a la del cuerpo humano pasará energía de nuestro cuerpo al medio ambiente, si nuestro cuerpo no puede reemplazar esta energía con suficiente rapidez sentimos frío. Por otra parte, si nuestro cuerpo absorbe energía (calor) proveniente del ambiente, a una velocidad mayor que la velocidad con la cual puede ser eliminada se siente calor.

Las sustancias alimenticias absorbidas por nuestros cuerpos sufren desde su entrada en el organismo transformaciones complejas cuyo conjunto recibe el nombre de metabolismo, incluyendo su aprovechamiento o la expulsión de parte de ellas. En el transcurso de esas transformaciones se manifiestan diversos fenómenos energéticos que tienen por resultado, en particular, una producción de calor. La cantidad mínima de calor que el cuerpo humano requiere es de 1500 calorías por 24 horas, esta cantidad corresponde al mantenimiento de los fenómenos fundamentales de la vida, es decir al metabolismo basal (estado

de reposo). Además, el organismo en estado de actividad normal desprende por lo menos 2250 calorías cada 24 horas, correspondientes al metabolismo de mantenimiento. Esa cantidad de calor aumenta con el trabajo muscular en una proporción que puede ser del 40 al 70 % .

La regulación térmica es la que contribuye al mantenimiento de la temperatura del cuerpo, los seres sometidos a esa regulación son homeótermos. Esta regulación es inconsciente, pero con frecuencia interviene ayuda consciente para facilitar su conservación, en ambos casos el organismo lucha contra el frío o el calor .

La regulación térmica se puede atribuir principalmente al hipotálamo, así como también a secreciones de las glándulas suprarrenales y a la tiroides. Por lo que al presentarse un aumento o disminución de la temperatura corporal existe una alteración funcional. La temperatura en el hombre es de $35.8 \text{ }^{\circ}\text{C} \pm 0.7 \text{ }^{\circ}\text{C}$ en el transcurso del día. En la especie humana la muerte sobreviene cuando la temperatura central baja de $25 \text{ }^{\circ}\text{C}$. La temperatura central no debe sobrepasar los $45 \text{ }^{\circ}\text{C}$. Las zonas recomendadas para medición de la temperatura son, las axilas y el recto.

Determinación de la temperatura

La determinación de la temperatura consiste en asignarle un

número a la diferencia de calor entre dos cuerpos. Para esto es necesario disponer de un instrumento que permita determinar cuantitativamente la temperatura. Lo anterior se logra con los llamados termómetros, cuyo diseño depende de la propiedad física que se use. En general, la construcción de los termómetros se basa en la dilatación de un cuerpo con el aumento de la temperatura, aunque puede hacerse uso de otras propiedades físicas tales como: dispositivos resistivos térmicos (termistores), dispositivos termoeléctricos (termopares), diodos de juntura pn, circuitos resonantes sensibles a temperatura, radiación infrarroja, dispositivos químicos (cristales líquidos) y otros. La mayor parte de los principios anteriores pueden ser aplicados a sensores de estado sólido fabricados en substratos semiconductores.

Los sensores de temperatura de juntura pn están disponibles comercialmente. Para diodos de juntura normal pn, con una corriente constante fluyendo a través de él, el voltaje de la juntura pn decrece alrededor de 2 a 3 mv/°c cuando la temperatura sube. Los sensores de juntura con interfaz IC pueden dar lecturas de voltaje directo correspondiente a la temperatura en grados Fahrenheit o Centígrados. Un método no conductivo para determinar la temperatura se puede obtener mediante el uso de cristales líquidos u otros materiales, en combinación con fibras ópticas, que cambian sus características de absorción con la temperatura.

Transductores de temperatura

Transductores Termoresistivos.- Los cambios en la resistencia eléctrica de ciertos metales y semiconductores son la base de estos transductores. Para casi todos los metales, sobre un rango moderado de temperatura, los cambios en la resistencia son proporcionales a los cambios de temperatura, así que, el comportamiento de la resistencia puede ser definida por la ecuación siguiente :

$$R_T = R_0 [1 + \alpha (T - T_0)] \quad (2.1)$$

donde R_0 es la resistencia del elemento a una temperatura T_0 y α es el coeficiente de temperatura de resistencia a T_0 . Para la mayoría de los metales el coeficiente de temperatura es positivo, correspondiendo un aumento de resistencia con la temperatura. Para semiconductores α también es positivo pero decrece con el dopado. Para los semiconductores cerámicos (termistores) la característica de temperatura es altamente no lineal y α puede ser positiva o negativa.

Transductores Termoelectrónicos (termopar).- Si se conectan en un circuito cerrado dos metales distintos, con dos juntas a diferentes temperaturas, T_1 y T_2 , fluye una corriente a través de ellos. Como resultado del flujo de esta corriente se genera una fuerza electromotriz (fem). Figura 2.7.



Figura 2.7.

La Fem térmica llamada efecto de Seebeck, responsable del flujo de corriente, depende del tipo de metales involucrados y es aproximadamente proporcional a la diferencia de temperaturas de las juntas.

La Fem de Seebeck está definida en función de la temperatura absoluta de las juntas T_1 y T_2 por la ecuación 2.2:

$$V = \alpha (T_1 - T_2) + \gamma (T_1^2 - T_2^2) \quad (2.2)$$

donde α y γ son constantes para el termopar . De la ecuación anterior se deduce que la Fem depende no solamente de la diferencia de temperaturas de las juntas sino también de valores absolutos. Sin embargo, la dependencia cuadrática puede aproximarse a una relación lineal si la diferencia de temperaturas $(T_1 - T_2)$ no es muy grande.

Transductores de Junta pn (diodos).- Se ha encontrado que un diodo de junta pn cuando se le suministra una corriente constante exhibe un voltaje terminal que varía linealmente con la temperatura. El alto grado de linealidad normalmente observado es una característica particularmente atractiva de

este tipo de transductores, porque permiten ser calibrados usando solamente dos puntos fijos de temperatura.

Considerando la ecuación de voltaje-corriente para un diodo de silicio en un rango intermedio de operación en directa, donde el comportamiento de la corriente esta definido por la ecuación 2.3.

$$I = I_0 e^{qv/2kT} \quad (2.3)$$

donde I_0 es la corriente de saturación, que es por sí misma fuertemente dependiente de la temperatura. Esta ecuación puede ser escrita como:

$$I_0 = f(T) T^{2/3} \exp(-E_g / 2kT) \quad (2.4)$$

donde E_g define la banda de energía del silicio a 0 K . Típicamente, para diodos de silicio operado a 10 μ A, la sensibilidad es aproximadamente - 2.8 mV/°c, este cae hasta - 2.0 mV/°c para una corriente de 1mA .

Transductores Químicos (Cristales Líquidos).- En un arreglo molecular la fase del cristal líquido puede ser una colección de cristales organizados en una o dos dimensiones y de una manera particular, la cual es una característica del mismo. Hay tres

clases de esta organización que puede ser identificada como : la nemática, la smática y la fase colestérica. De interés particular, para la medición de la temperatura son las sustancias que pueden existir en la fase colestérica. Estos materiales exhiben algunos cambios, muy marcados en sus propiedades ópticas cuando la temperatura varía. Es tal la dependencia de la temperatura que no debería sorprender el encontrar un cambio del color rápido de las sustancias colestéricas, cuando se enfrían o calientan en cierto rango de temperaturas. Por ejemplo, ciertas mezclas de estos materiales exhiben un cambio en la irradiación a través del rojo, amarillo, verde y azul cuando la sustancia es calentada de 38 °c a 40 °c. El rango de temperaturas sobre el cual el cambio de color ocurre puede ser controlado mediante el ajuste de la mezcla de las sustancias que componen el cristal.

Transductores de Radiación.- Todos los cuerpos irradian energía en forma de ondas electromagnéticas, la longitud de onda para temperaturas moderadas esta predominantemente en el espectro de las regiones extremas del infrarrojo. La relación entre la energía emitida desde una superficie y la temperatura de la superficie forma las bases de este tipo de transductores.

La temperatura del cuerpo humano esta influenciada por factores como el flujo sanguíneo, la generación de calor de los órganos, y la pérdida de calor en la superficie.

Dentro de este tipo de transductores encontramos dos categorías : transductores térmicos y transductores infrarrojos. Los que a su vez se dividen en :

Térmicos: termopilas, bolómetros, detectores de celdas Golay y detectores piezoeléctricos.

Infrarrojos: celdas fotoconductoras, celdas fotovoltaicas .

El principio básico es el siguiente: La radiación emitida por un cuerpo a una temperatura absoluta T está dada por la ecuación de Planck multiplicada por la emisividad ϵ de la superficie .

$$W_{\lambda} = \frac{\epsilon(\lambda) C_1}{\lambda^5} \left[e^{\frac{C_2}{\lambda T}} - 1 \right] \quad (2.5)$$

donde W_{λ} es el radiante del flujo emitido por unidad de área por unidad de longitud de onda centrada en la longitud de onda λ y las constantes C_1 y C_2 están dadas por:

$$C_1 = 2\pi^5 h c^2 = 3.74 \times 10^{-12} \text{ W-cm}^2 \quad (2.6)$$

$$C_2 = \frac{hc}{k} = 1.44 \text{ cm-K} \quad (2.7)$$

la emisividad ϵ la cual expresa el grado por el cual la superficie desvía desde un cuerpo oscuro ideal ($\epsilon = 1$), es

generalmente encontrada como la longitud de onda dependiente.

2.3.- PREBION

La medición exacta de la presión es de importancia básica para muchos diagnósticos, tanto quirúrgicos como para el manejo y cuidado de pacientes. Además, proporciona información esencial para el control e interpretación de muchos experimentos de investigación fisiológica.

En el trabajo de diagnóstico, la medición de la presión arterial frecuentemente forma parte vital de un procedimiento de investigación certero. Durante una cirugía, el monitoreo continuo de la presión sistólica y diastólica es de particular importancia, esto debido a que puede advertir al cirujano o anestesista, con una lectura temprana, de una situación potencialmente irreversible.

La fase de expulsión del fluido sanguíneo del corazón hacia el resto del cuerpo se conoce como sístole y en esta fase la presión típica es de 120 mmHg. La fase de recuperación del ciclo cardiaco se conoce como diástole, en esta fase la presión típica es del orden de 80 mmHg.

Antes de plantear los diversos métodos de transducción y medición de la presión, deben definirse algunos conceptos fundamentales al respecto:

La presión es definida como la fuerza ejercida por unidad de Área. En el sistema internacional la unidad de presión es el Pascal, el cual por definición es igual a un Newton por metro cuadrado.

Una unidad de presión aceptada generalmente es el *mm*, la cual es casi igual a la presión producida por 1 mm de mercurio, aunque es raramente usada por los fisiólogos.

Se establece que para la aceleración gravitacional "estándar", de 981 cm/seg^2 , la presión hidrostática producida por 1 mm de mercurio a 0°C es de 133 Newtons/m^2 . Así, asumiendo que la densidad del mercurio es de 1.055 gm/cm^3 y la densidad salina fisiológica es de 1.04 gm/cm^3 , encontramos que:

$$1\text{mm Hg} = 12.9\text{mm sangre} = 13.1\text{mm salina} = 133 \text{ N/m}^2 = 133 \text{ Pa}$$

Las presiones fisiológicas son usualmente expresadas en milímetros de mercurio, aunque, particularmente para la presión venosa, son usados frecuentemente centímetros ó milímetros de agua.

Métodos de medición

Los métodos de medición de la presión en un organismo pueden ser divididos dentro de dos categorías:

1.- Técnicas de medición indirecta

2.- Técnicas de medición directa

La ausencia de procedimientos quirúrgicos directos hace que los métodos indirectos sean más atractivos desde un punto de vista clínico. Los métodos directos requieren de la introducción de un elemento que sense la presión del fluido, acoplado el fluido a través de un catéter seguido de un transductor externo.

La presión fisiológica es dinámica, y consiste de una presión media y una componente periódica cuyo período fundamental es igual al período del sistema cardiaco o respiratorio. La presión media puede ser expresada como:

$$\bar{P} = \frac{1}{T} \int_0^T P(t) dt \quad (2.8)$$

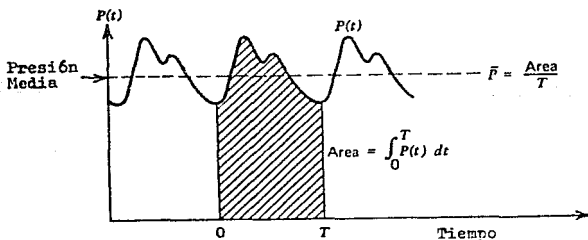


Figura 2.8. Interpretación gráfica de la presión media.

Técnicas de medición indirecta.- Para la medición clínica rutinaria de presión sanguínea, la técnica esfigmomanométrica es la más familiar. Esto hace usar un doblez oclusivo aplicado al brazo y colocado sobre la arteria braquial. En la secuencia de medición normal, primero, se infla el doblez más allá de la presión sistólica, colapsando así la arteria braquial y cortando todo flujo sanguíneo, como se muestra la figura 2.9. Posteriormente, el doblez es desinflado lentamente y empieza justamente el flujo pulsátil marcándose en forma continua (presión sistólica). Si se asume que la presión del doblez es transmitida a la arteria sin atenuación, entonces las dos presiones del doblez registradas corresponderán a la presión real sistólica y diastólica respectivamente.

Se han utilizado diversos métodos para determinar el estado del flujo en la arteria y poder así encontrar la presión sistólica y diastólica. El esquema más usado es el que se basa en el cambio en las características de los sonidos producidos por el flujo pulsátil a causa de la constricción. Los sonidos Korotkoff, nombrados así después de su descubrimiento, pueden ser detectados por un estetoscopio o un transductor piezoeléctrico colocado sobre la arteria.

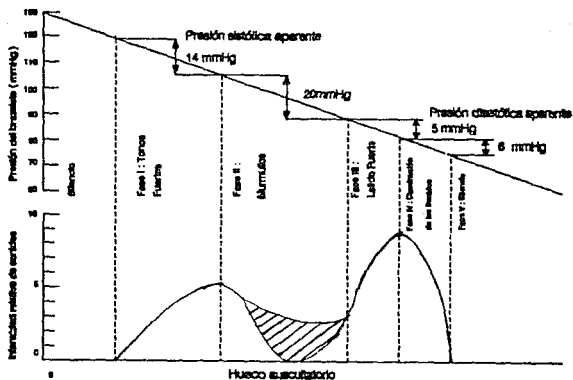


Figura 2.9. Características del método de medición auscultatorio de la presión sistólica y diastólica.

Como se muestra en la figura 2.9, el carácter y la intensidad de los sonidos varían conforme la presión disminuye. Es aceptado generalmente que el principio de la fase I y comienzo de la fase IV son usadas como el criterio para la medición de las presiones sistólica y diastólica respectivamente. la presión del doblez en el cual estos puntos ocurren serán una medición de la presión real. Geddes sugiere que si la medición es tomada cuidadosamente, con la debida consideración del tamaño del doblez en relación al diámetro del

brazo y la razón de deflación del doblez, la presión sistólica aparente será, en promedio, de 5 mmHg abajo de la presión sistólica real y la presión diastólica aparente será, en promedio, de 8 mmHg sobre la presión diastólica real.

Mientras el método auscultatorio básico es simple, el cual requiere un mínimo de equipo, y lo suficientemente exacto para la mayoría de los propósitos, sufre la desventaja de fallar en la medición de la presión sistólica y diastólica para pacientes hipertensos e infantes. Lo anterior, aunado a un medio ambiente ruidoso, o cuando existe un paciente en movimiento, hacen difícil distinguir el comienzo de las dos fases de los sonidos Korotkoff.

De los métodos que han sido propuestos para salvar estas dificultades, el uso del ultrasonido es particularmente atractivo. Como se muestra en la figura 2.10, en este sistema, dos cristales piezoeléctricos son colocados debajo del doblez del brazo. Un cristal, conectado a un oscilador de 8 Mhz., genera el ultrasonido que es reflejado afuera de las paredes de los vasos.

El otro cristal, conectado a un amplificador de banda angosta, detecta la señal reflejada. Si la pared del vaso está en movimiento, la señal reflejada estará corrida en frecuencia por una cantidad proporcional a la velocidad instantánea de la pared. Cuando se abre la arteria genera una señal bastante alta

(Δf aprox. = 200-500 Hz.), mientras que cerrada genera una señal de baja frecuencia (Δf aprox. = 30-100 Hz.).

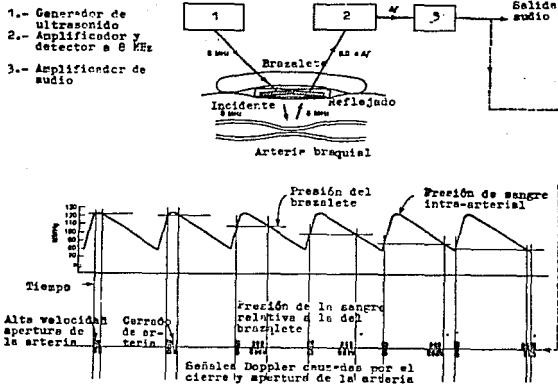


Figura 2.10. Principio indirecto de medición de la presión sanguínea usando el sistema ultrasónico de efecto Doppler.

No hay ningún corrimiento cuando la arteria es abierta durante el ciclo cardiaco. Así, como el doblez es desinflado, la presión sistólica es señalada por el comienzo de una señal de audio de alta frecuencia. Además, la deflación causa la separación entre las señales de alta y de baja frecuencia, primero crece y posteriormente decrece. La convergencia de las

dos señales es acompañada por un cambio definido en la característica audible de la señal y es usada para indicar la presión diastólica.

Con este método, Stegall reporta que en una serie de diez sujetos de presión normal (normotensos) el error, comparado con el método de medición normal para ambas presiones, fué menor de 2.5 mmHg. Además reporta mediciones acertadas de ambas presiones en ocho infantes y ocho pacientes en shock clínico, en los cuales no se dió la detección de los sonidos de Korotkoff.

Técnicas de medición directa.- Los métodos directos de medición necesitan de la introducción de algún transductor o parte del sistema de transducción dentro de la región de interés. El catéter cubierto de fluido, acoplado por un transductor de tipo membrana externa, es uno de los medios más simples para registrar la presión pulsátil y es uno de los más usados en la investigación clínica. Idealmente el fluido del catéter transmite la presión al final del mismo y a su vez al transductor externo, pero pueden aparecer ciertos errores, especialmente en un sistema con un diseño no muy bueno.

El sistema catéter-transductor acoplado hidráulicamente se muestra en la figura 2.11. En este sistema, si el transductor fuera perfectamente duro y el fluido fuera incompresible, un incremento en la presión en el catéter causaría que el fluido fluyera en la parte de abajo del catéter dentro del transductor

y desplazara el diafragma de tal manera que el volumen desplazado fuera exactamente igual a el volumen del fluido fluctante dentro del catóter.

Para propósitos prácticos el sistema catóter-transductor puede ser representado por el modelo mostrado en la figura 2.11 c. Aquí el catóter y el fluido son representados por la suma de dos capacitancias. La masa del fluido en movimiento tiene una cierta inercia representada por la inductancia L , y la viscosidad del fluido, la cual tiende a resistirse al flujo, por la resistencia R . El transductor por sí mismo puede representarse por la capacitancia C' , si la velocidad del fluido es suficientemente pequeña comparada con el catóter, así la inercia y la resistencia pueden ser ignoradas. Finalmente, se encuentra que la función de transferencia es un sistema de segundo orden y está determinada unicamente por L , R y $(C/2+C')$. Nótese que la capacitancia del lado izquierdo no afecta, por estar conectada directamente a la entrada.

2.4.- RESPIRACION.

El ritmo respiratorio puede ser monitoreado por una gran variedad de técnicas tales como las mediciones de la impedancia "transtorácica" eléctrica, el flujo de gas, el movimiento de pecho y pared abdominal, los movimientos de los músculos de la respiración y en general por los movimientos de todo el cuerpo. Mediante los circuitos electrónicos se puede determinar el pico

de cada movimiento respiratorio y calcular el ritmo.

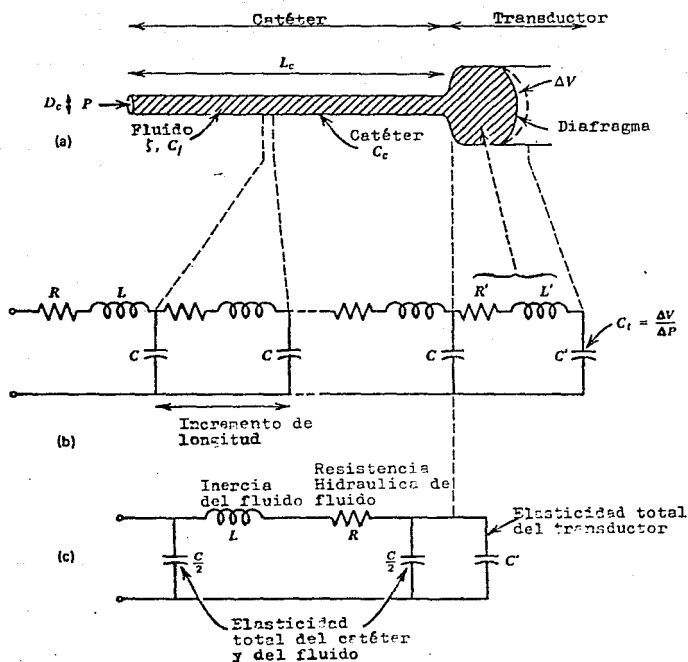


Figura 2.11. El sistema catéter-transductor acoplado hidráulicamente: (a) modelo físico; (b) analogía casi exacta con una línea de transmisión y (c) analogía eléctrica simplificada.

Algunos monitores están diseñados para detectar la ausencia de respiración en un periodo de tiempo.

Uno de los métodos que se ha empleado utiliza un principio capacitivo, funciona de la siguiente manera: se coloca una rata sobre uno de los platos que forman el capacitor y el otro plato, de 1 cm cuadrado, se coloca a 5 mm del tórax del animal. Al variar el área de separación entre placas, debido a los movimientos respiratorios, se varía la capacitancia. Este instrumento fue usado para registrar respiración maternal, contracciones uterinas y respiración fetal en una rata. Con pequeñas modificaciones a esta técnica se puede detectar la respiración humana, colocando electrodos en el tórax y empleando frecuencias entre 50 y 300 Mhz.

Otro de los métodos empleados se basa en el uso de termómetros y termistores. Por ejemplo, para medir la frecuencia de respiración, se toma en cuenta que la temperatura del aire expirado es más alta que la del aire inhalado, un sensor de temperatura colocado en el paso del aire provee una señal que permite monitorear la frecuencia respiratoria. En el caso de los termistores, estos pueden ser colocados en la trayectoria del flujo de aire respirado para detectar respiración, siendo enfriado por la inhalación y calentado por la expiración.

Para detectar la respiración se han hecho otras investigaciones en las cuales se utiliza como transductor el

cambio de impedancia entre dos o cuatro electrodos, que están en contacto directo con la pared del pecho.

Como resultado de estas investigaciones se desarrolló un sistema de medición de impedancias, para registrar respiración en los animales y el hombre, usando electrodos implantados debajo de la piel del pecho, de tal manera que los cambios de la impedancia transtorácica estaban relacionados con el volúmen de aire desplazado.

Independientemente de las consideraciones de seguridad, parece no haber ventaja en la elección de una frecuencia sobre otra para la medición de los cambios de la impedancia respiratoria. Este hecho se ilustra en la gráfica mostrada en la Figura 2.12, donde se pueden apreciar los cambios de impedancia respiratoria producidos en un humano.

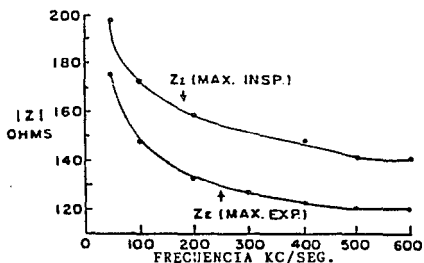


Figura 2.12. Relación entre cambios de impedancia y volumen de aire a diferentes frecuencias.

En la Figura 2:13 se presenta una gráfica continua de la relación de impedancia contra frecuencia obtenida de un perro, un generador de frecuencia variable y corriente constante conectado a electrodos transtorácicos colocados a lo largo de la línea media. El animal fué conectado a un respirador de volumen constante para mantener un cierto ritmo. En el rango de frecuencias de los 100 Hz a los 100 KHz, los cambios de impedancia para un volumen de respiración constante es esencialmente la misma.

La relación entre el cambio de impedancia (ΔZ) y el volumen de aire (ΔV) desplazado es aproximadamente lineal bajo casi todas las circunstancias. Para el humano, el coeficiente $\Delta Z/\Delta V$, depende del tamaño del sujeto y de la localización de los electrodos. En estudios llevados a cabo se obtuvo una linealidad bastante buena para casi todos los lugares donde se colocaron electrodos. En general, se encontró un rango de coeficientes que iban de los 6.0 Ω/l para adultos delgados a 1.0 Ω/l para adultos pesados.

La Figura 2.14 indica el grado de linealidad obtenido en humanos de diferentes tamaños con electrodos bipolares, colocados en las líneas medias a diferentes niveles del pecho. Esta ilustración muestra que el coeficiente $\Delta Z/\Delta V$ es mayor para adultos de complexión delgada.

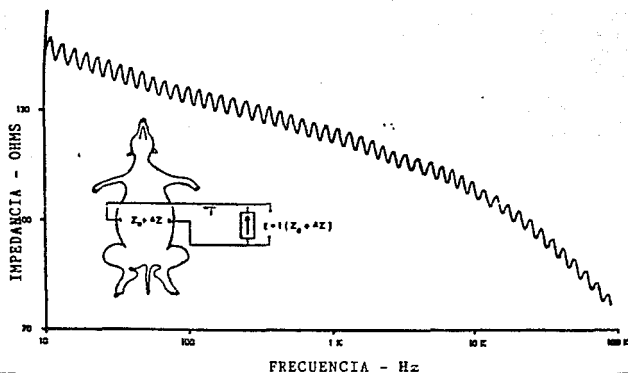


Figura 2.13. Gráfica impedancia-frecuencia de mediciones realizadas a un perro usando frecuencia variable

Para determinar la ubicación adecuada de los electrodos se han estudiado una gran variedad de áreas. Se han colocado electrodos a la altura de las axilas y se han medido los cambios respiratorios en impedancia a 50 kHz, y se han obtenido valores para la relación $\Delta Z/\Delta V$ en el rango de 2.5 Ω/l . Se reportó que la linealidad entre ΔZ y ΔV fué superior a la obtenida con los electrodos colocados en otras partes. También se llevó a cabo en humanos mediciones de la impedancia respiratoria a baja frecuencia (280 Hz) empleando 14 diferentes configuraciones y obteniendo valores para $\Delta Z/\Delta V$ del rango de 0.1 a 1.3 Ω/l .

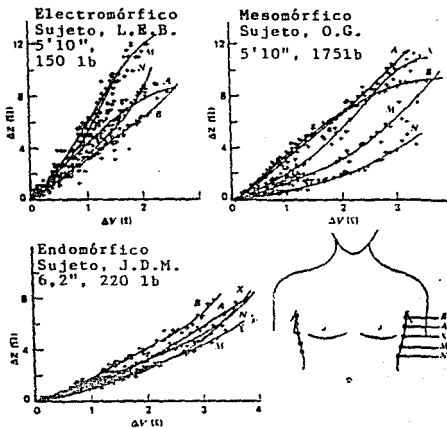


Figura 2.14. Cambios en impedancia transtorácica contra volumen de aire respirado

En la Figura 2.15 se resumen los valores para $\Delta Z/\Delta V$ obtenidos en hombres y perros usando electrodos transtorácicos. Se observa claramente que los valores para $\Delta Z/\Delta V$ dependen de la localización del electrodo y del tamaño del cuerpo; sin embargo, los datos de esta ilustración no revelan la linealidad de la relación $\Delta Z/\Delta V$. En la figura 2.15 se muestra la linealidad de los cambios de impedancia con respecto a los cambios de volumen de aire aspirado por sujetos de diferentes complejiones. Con electrodos transtorácicos y en sujetos de talla delgada

(denominados ectomorfos), se obtiene una mayor amplitud de la relación $\Delta Z/\Delta V$. La mejor linealidad es obtenida al colocar los electrodos lo más arriba del pecho, cerca de la axila.

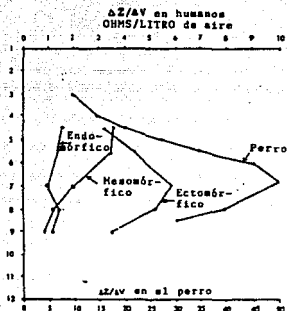


Figura. 2.15. Relación entre el coeficiente de impedancia máximo y la localización de los electrodos en sujetos con diferente complejión

Con sujetos corpulentos, llamados endomorfos, todos los valores del coeficiente de impedancia son pequeños, y la mejor linealidad es obtenida con electrodos colocados cerca de la axila.

Un estudio de cambios de impedancia por litro de aire respirado en sujetos de diferentes pesos, usando electrodos transtorácicos colocados para obtener el máximo valor de $\Delta Z/\Delta V$,

dió como resultado los datos mostrados en la Figura 2.16. Estos revelan una relación inversa entre el máximo valor del coeficiente de impedancia en ohms por litro y el peso del cuerpo. Esta relación es casi hiperbólica ($\Delta Z/\Delta V = 453/W^{1.08}$), donde W es el peso del cuerpo en kilogramos. Una relación aproximada para el máximo valor del coeficiente de impedancia en ohms por litro es de $1\ 000/W$, donde W es el peso del cuerpo en libras.

De un gran número de mediciones, se concluyó que los cambios de capacitancia contribuyen de forma insignificante a los cambios de impedancia transtorácica, porque los cambios de reactancia son menores comparados con los cambios de resistencia que acompañan a la respiración.

La característica más atractiva del método de impedancia para la medición de la respiración, es la facilidad con que se pueden sujetar electrodos a un sujeto y conectarlos a un equipo de registro. Sin embargo, este método requiere de calibración debido a la relación de la impedancia con el aire desplazado. Otro atractivo es la disponibilidad del electrocardiograma del mismo par de electrodos.

Quizás lo menos atractivo del método de medición de la respiración por impedancia, es la necesidad de calibrar a cada sujeto con un dispositivo de medición de volúmenes.

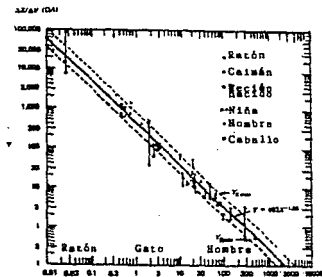


Figura 2.16. Relación inversa entre los cambios de impedancia en ohms por litro de aire respirado y el peso del cuerpo

Ningún factor de calibración puede ser especificado para cada especie o sujeto.

Como en cualquier evento fisiológico, que es medido por medio de electrodos, los movimientos causan una variación en la impedancia y produce señales indeseadas por lo que se deben tomar las precauciones para evitar estos problemas.

CAPITULO III
DISEÑO DE LOS CIRCUITOS DE MEDICION DE LAS
VARIABLES

3.1.- SELECCION Y DISEÑO DEL TRANSDUCTOR DE PULSO

Para efectuar el sensado del pulso se seleccionó un transductor del tipo densitométrico óptico transmisor-receptor que trabaja en el infrarrojo, más un arreglo electrónico capaz de asegurar una señal confiable, siendo colocado en la falange del paciente o del sujeto en estudio. El diseño funciona de la manera siguiente: El transductor óptico empleado es un arreglo de diodo-emisor que proyecta un haz de luz infrarroja con cierto ángulo de incidencia, dicho haz es reflejado por la superficie cutánea con el mismo ángulo de incidencia sobre el transistor-receptor, también en infrarrojo. Comercialmente el arreglo diodo-emisor y transistor-receptor es el TIL139, el haz es reflejado por las paredes vasculares de las arteriolas y capilares alojadas en la falange, la cantidad de flujo luminoso reflejado es proporcional a la cantidad de concentración del fluido sanguíneo y de globulos rojos que fluyen. La determinación de los componentes de polarización se calculan para obtener teóricamente la mayor intensidad de flujo luminoso emitido permisible por las características de fabricación del dispositivo opto-electrónico. El circuito electrónico utilizado en su primera etapa es el mostrado en la figura 3.1, donde $V_b=1.2V.$, ya que se desea un $V_{cc}=5V.$, se tiene entonces que $R_b=220\Omega$ cuando $I_d=17.27mA$, todos estos valores son proporcionados por el fabricante para el voltaje de polarización de 5 Volts deseado. Teniendo la mayor cantidad de flujo luminoso ahora se busca conseguir en el voltaje de colector del

transistor-receptor la mayor variación posible, y ello se logra considerando como indica el fabricante para las condiciones mínimas colocando una resistencia de colector $R_c=2.2M\Omega$, con lo que se logra tener variaciones pulsátiles de voltaje V_r de .02 a .08 Volts con un nivel de CD de 1.6 Volts. El diagrama eléctrico y gráfica de salida se muestran en la figura 3.1.

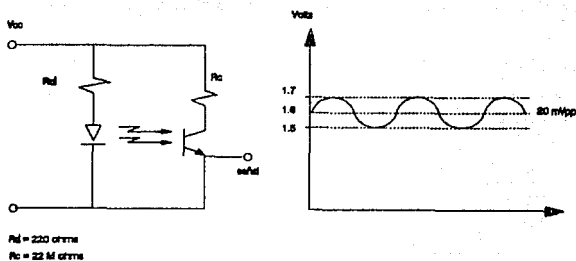


Figura 3.1. Diagrama eléctrico.

La siguiente etapa corresponde a realizar un acondicionamiento de la señal proveniente del transductor, para ser muestreada posteriormente por el controlador.

El acondicionamiento de la señal se divide en tres partes:
 1) Filtro paso banda. 2) Circuito monoestable. 3) Convertidor de

frecuencia a voltaje.

Filtro pasa banda..- Se desea un filtro paso banda entre 0 y 60 Hz. Con una frecuencia central $f_0=30$ Hz., y $Q=1/2$. La plantilla de diseño se muestra en la figura 3.2.

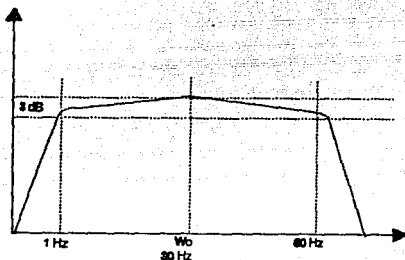


Figura 3.2. Plantilla de diseño del filtro pasa banda,

El filtro deseado tiene el siguiente arreglo, mostrado por la figura 3.3.

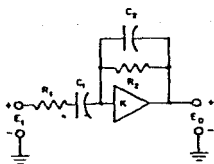


Figura 3.3. Red de filtro paso banda de fuente controlada por voltaje.

La función de transferencia de este filtro es:

$$\frac{E_0}{E_1} (S) = \frac{S \frac{K}{1-K} \frac{1}{R_1 C_2}}{S^2 + S \left[\frac{1}{R_2 C_2} + \frac{1}{R_1 C_1} + \frac{1}{R_1 C_2 (1-K)} \right] + \frac{1}{R_1 R_2 C_1 C_2}} \quad (3.1)$$

Teniendo presente que para el diseño físico real es más fácil encontrar valores de R, se escogieron C_1 y C_2 a valores comerciales, quedando como cálculo para el diseño el valor de R_2 :

$$R_2 = \frac{1}{\omega_0 C_2} = \frac{1}{30 \times 0.33 \mu F} \quad (3.3)$$

$R_2 = 100 \text{ K}\Omega$ para un valor comercial de

$C_2 = 0.33 \mu F$.

De igual modo si $C_1 = 2.2 \mu F$ entonces $R_1 = 10 \text{ K}\Omega$.

Circuito monoestable.- Un circuito monoestable es capaz de mantenerse en un estado estable permanente y conmutar a otro estable. Para que se produzca la conmutación del estado estable al semiestable requerirá de una señal de disparo adecuada. Una vez producida la transición, el circuito se mantendrá en el estado semiestable durante un tiempo tan largo como se desee, pero invariablemente al final del mismo volverá a su estado estable inicial.

El circuito monoestable seleccionado, es el integrado 74121 debido a que puede funcionar como un circuito temporizador, ya que con él se puede programar un pulso de tiempo fijo, con un origen y una terminación definidos. La idea de utilizar este circuito monoestable es debido a las variaciones de pulso que puede tener un paciente de un instante a otro, y sirve para hacer confiable el muestreo en un periodo que sea mayor al de las bajas frecuencias cardiacas típicas que son del orden de 1 a 3 Hertz. El tiempo de programación, del estado de conmutación, se calcula utilizando la fórmula siguiente dada por los fabricantes del circuito monoestable:

$$T = RC \frac{V_{cc} - V_{sat}}{V_{cc} - V_{ent}} \quad (3.4)$$

Donde el voltaje V_{cc} corresponde al voltaje de alimentación el cual es de 5 volts. El voltaje de entrada (V_{ent}) al temporizador monoestable es el voltaje de salida de la etapa de filtrado siendo del orden de 4.9 volts. El voltaje de salida (V_{sat}) del temporizador que corresponderá al de entrada al convertidor de frecuencia de 4.8 volts. Nosotros definimos un tiempo monoestable de 4 mseg. ó 250 Hertz, para poder realizar un muestreo de la señal mucho más confiable que a frecuencias tan bajas como las de 3 Hz. promedio para la frecuencia cardiaca. a partir de este tiempo monoestable definido y usando la expresión 3.4, se define el capacitor $C = 1\mu F$ entre los pines 10 y 11 del circuito integrado, y con ello se obtiene una

resistencia $R = 5 \text{ K}\Omega$ entre el pin 11 y el voltaje de entrada V_{cc} del circuito integrado.

Conversión frecuencia-voltaje.- El convertidor de frecuencia a voltaje 8402, brinda la posibilidad de tener un rango de voltaje de salida en función del rango de frecuencia definido a la entrada y viceversa. Es decir, el circuito integrado 8402 funciona tanto como convertidor de F/V como de V/F, ya que a través de un arreglo de resistencias variables conectadas entre las terminales 3 y 12 al V_{cc} , voltaje de entrada, se obtiene y determina el rango de frecuencia de entrada ó bien de salida; y por otro lado entre las terminales 13 y 8 el rango de voltaje respectivo. Para nuestro caso el voltaje de salida es requerido de 0 a 5 volts con una relación de equivalencia entre el voltaje de salida y el ritmo cardiaco sensado mínimo que será de 13.5 pulsaciones por minuto por cada 0.02 volts. Esto se determinó dividiendo el rango de voltaje (0 a 5 volts) entre los 256 pasos de muestra que podrá disponer como rango el convertidor analógico digital de 8 bits usado en el capítulo 4, el 0808. De manera que si tenemos 0.02 volts a la salida de nuestro convertidor equivaldrá a 13.5 pulsaciones por minuto, y si tenemos 2.6 volts a la salida de nuestro convertidor estaríamos sensando 130 pulsaciones por minuto. El diagrama del circuito de acondicionamiento y la etapa de transducción se muestran en la figura 3.4.

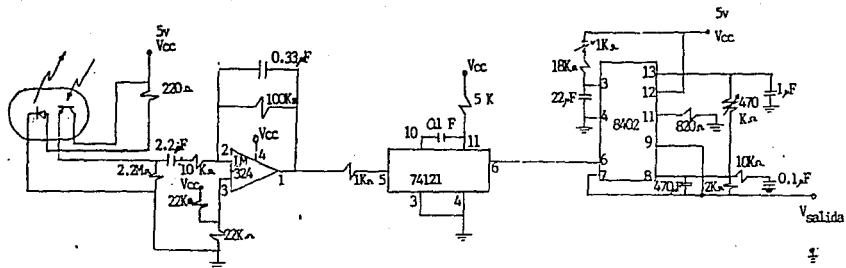


Figura 3.4. Diagrama eléctrico de las etapas de: transducción, filtrado, y acondicionamiento para el Pulso.

3.2.- SELECCION Y DISEÑO DEL TRANSDUCTOR DE TEMPERATURA

Para efectuar la medición de la temperatura del cuerpo humano a través de un transductor portátil miniatura y capaz de ser colocado de una forma rápida en cualquier parte del cuerpo, por ejemplo, el dedo índice, se seleccionó el circuito integrado LM 335 como transductor de temperatura, ya que éste circuito es ampliamente empleado para sensar diversos elementos térmicos, entre ellos en la industria clínica y médica, con un encapsulado adecuado a la falange del paciente. El diseño incluye un arreglo de los circuitos integrados siguientes: 1) el circuito integrado lineal sensor de temperatura LM335, 2) el circuito integrado lineal de referencia de tensión LM336 y, 3) el amplificador operacional LM 308.

La forma de operar es la siguiente: se coloca la yema del dedo índice directamente sobre la superficie del circuito LM335, dicho circuito traduce el nivel de temperatura sensado a un nivel de voltaje, determinado por el rango de medición del circuito, el cual es de -55 grados centígrados hasta 150 grados centígrados, proporcionando +/- 10 mV por grado Kelvin a partir de un voltaje de referencia dado de 2.95 volts a 25 grados centígrados. Todos éstos datos son proporcionados por el fabricante del dispositivo y se pueden apreciar en las hojas de datos técnicos anexos (apéndice B) en condiciones normales de operación. Para nuestro diseño en cuestión dichas variaciones son comparadas a la salida del arreglo dado por el amplificador

LM 308, proporcionando una variación lineal de voltaje más estable, en un rango de 0 a 5 volts, de la siguiente manera: como nuestro rango de medición es mucho menor que el proporcionado por el circuito LM335, se utiliza el circuito LM336 para fijar el nivel de tensión a 2.95 volts (a la entrada "+" del LM308, ver figura 3.5) y con ello lograr salidas de +/- 20 mV (0.02 volts) por cada grado centígrado dentro de un rango de 0 a 45 grados centígrados. Como se sabe, para una persona, la temperatura normal es de 36 grados centígrados, de manera que una temperatura inferior a 27 grados centígrados el paciente dejaría de estar vivo en términos clínicos, lo mismo ocurre a temperaturas mayores de 44 grados centígrados, de manera que el rango que hemos fijado para el circuito LM336 es suficiente. El diseño del circuito se toma fijando primero a la salida del amplificador operacional LM 308 un nivel fijo de 2.45 volts, ya que el circuito LM335 proporciona un nivel de 2.95 volts a 25 grados centígrados, la diferencia entre ambos niveles (2.95-2.45 = 0.5 volts) proporciona una lectura de 25 grados centígrados, esto es, al dividir 0.5 volts entre los 0.02 volts por cada grado centígrado nos da una lectura sensada de 25 grados centígrados. Esta lectura, sería clínicamente nuestra primera muestra ó lectura representativa en su nivel más bajo para nuestras necesidades y, a partir de allí, como ya vimos por cada grado centígrado sensado tendremos 20 milivolts adicionales. De manera que tenemos una diferencia de voltaje a la salida S_o del circuito (ver figura 3.5) de 0.5 volts para 25 grados centígrados, 0.52 para 26°C, 0.54 para 27°C, 0.56 para 28, y así

suscesivamente hasta 0.9 volts para 45°C. Este paso de 20 milivolts por cada muestra ó grado centigrado es necesario para el convertidor usado en la siguiente etapa (capítulo 4), que es el ADC0808.

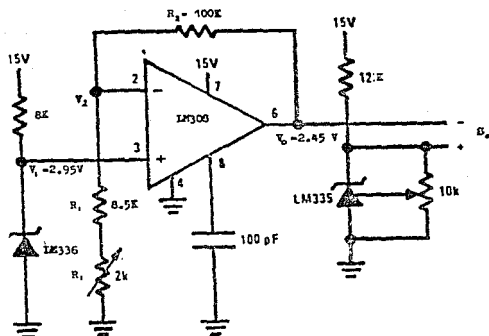


Figura 3.5

El cálculo de los componentes para el circuito presente se realiza a través de la expresión 3.5 para un operacional diferencial, que es la forma en la cual estará trabajando el circuito operacional LM308.

$$V_{out} = -\frac{R_2}{R_1} (V_2 - V_1) \quad (3.5)$$

Por conveniencia comercial hemos escogido a R_2 con un valor de $R_2=100\text{ K}\Omega$ y a R_1 mediante un arreglo de dos resistencias, una de ellas es una resistencia fija de $8.5\text{ K}\Omega$ más una resistencia variable de $2\text{ K}\Omega$ (para poder realizar una calibración más fina) ($R_1 = 8.5 + 2\text{K}\Omega$, ver figura 3.5) de ésta forma tenemos:

$$2.45 = -\frac{100\text{ K}}{10\text{ K}} (V_z - V_i)$$

$$2.45 = 10 (V_z - 2.95)$$

$$V_z = 3.195\text{ Volts}$$

El voltaje de referencia logrado por el circuito zener LM336 de la figura 3.5 se obtiene polarizando el dispositivo con las especificaciones del fabricante (ver apéndice B) y colocando una resistencia de $8\text{K}\Omega$ para lograr el divisor de voltaje deseado a la entrada "+" del operacional LM308.

Por otro lado la polarización del sensor de temperatura LM335 se efectúa de acuerdo con las especificaciones dadas por el fabricante para operar en un rango normal con ajuste fino de calibración por corrimiento de *offset*, para lo cual se introduce el potenciómetro de $10\text{ K}\Omega$ entre las terminales del circuito LM335 (ver figura 3.5), más una resistencia de $12\text{ K}\Omega$ como se aprecia en la figura para la polarización del mismo.

La siguiente fase corresponde a acondicionar la señal generada por el transductor y ser codificada por el convertidor

analógico digital ADC080B, que se verá en el capítulo IV del presente trabajo.

El diagrama completo de la etapa de transducción, sentido y acondicionamiento de la señal para la temperatura se muestra en la figura 3.6.

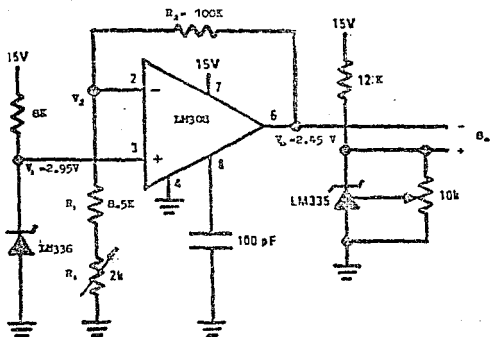


Figura 3.6. Diagrama eléctrico de las etapas de: transducción, sentido y acondicionamiento para la señal de temperatura.

3.3.- SELECCION Y DISEÑO DEL TRANSDUCTOR DE PRESION ARTERIAL

De las técnicas para medir la presión arterial la que mayores ventajas presenta, para nuestras necesidades, es aquella en la cual se usa un sensor de tipo *strain-gage*. El método empleado se describe a continuación.

Los métodos para la medición de la presión arterial se dividen básicamente en dos, los directos (invasivos) y los indirectos (no invasivos). Debido a que un método directo (invasivo) requiere de la introducción de un elemento transductor dentro de la región de interés, y de personal calificado para la introducción del mismo, y tomando en cuenta que el presente diseño está planeado para una unidad médica en movimiento, se hace evidente que ésta técnica sea descartada.

El método usado se ubica dentro de los métodos indirectos (no invasivos).

Para la obtención de la presión se decidió usar un sensor de la familia MPX de Motorola, disponible en el mercado.

El sensor de presión (MPX-50D) está diseñado empleando un piezoresistor de silicio monolítico, el cual genera cambios en el voltaje de salida directamente proporcionales a las variaciones en la presión aplicada. Este sensor se encuentra disponible en tres configuraciones diferentes que permiten la

medición de presión absoluta, diferencial y manométrica. La gráfica de la relación entrada/salida típica proporcionada por el fabricante para el sensor MPX-50D, se muestra en la figura 3.7.

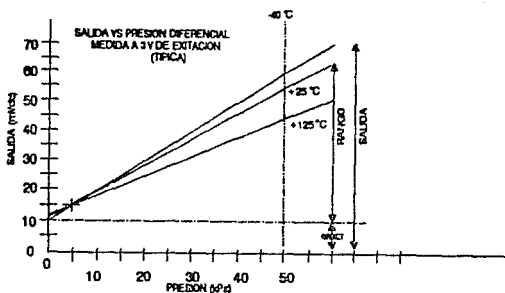


Figura 3.7. Comportamiento del sensor MPX50D.

La presión absoluta, semejante a la medida por un barómetro, es medida con respecto al vacío. Una presión diferencial es medida aplicando presión a ambos lados del sensor simultáneamente. La presión manométrica como por ejemplo, la presión sanguínea, es un caso especial de presión diferencial donde la presión atmosférica es aplicada al lado del vacío del sensor como referencia.

La elección de los componentes se hizo tomando como base el rango típico de la presión sanguínea, la cual oscila entre los 80 mmHg, para la presión diastólica, y los 120 mmHg, para la

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

sistólica, tomando esta última presión como el valor de referencia para la elección.

Considerando que 1 mmHg equivale a 133 Pascales se tiene que:

$$(120 \text{ mmHg}) (133 \text{ Pa/mmHg}) = 15\,960 \text{ Pa}$$

De las especificaciones que proporciona el fabricante (ver apéndice B) tomamos, para el rango de 0 a 50 KPa, los siguientes datos, que serán usados para el diseño del circuito de compensación de temperatura:

Voltaje a escala completa: $V_{rsc} = 90 \text{ mV}$.

Factor de sobrepresión: $F_{op} = 50 \text{ KPa}$.

Linealidad: $\pm 0.1 \%$

Con estos datos es posible calcular la sensibilidad de la siguiente manera:

$$\text{SENSITIVIDAD} = \frac{V_{rsc}}{F_{op}} = \frac{90 \text{ mV}}{50 \text{ KPa}} = 1.8 \text{ mV/KPa} \quad (3.6)$$

El circuito de compensación de temperatura es necesario porque el sensor presenta una curva de histéresis (ver apéndice B).

La histéresis se refiere a la capacidad del sensor de producir el mismo valor de salida para el mismo valor de entrada sin importar si el valor de entrada se incrementa o decrecienta. Para ello, el fabricante sugiere el diseño de una red de compensación mostrada en la figura 3.8.

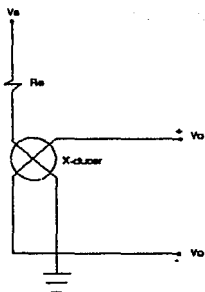


Figura 3.8. Compensación de temperatura.

El valor de la resistencia R_s , del diseño, puede ser calculada como sigue:

$$R_s = (R_x) (3.577) \quad (3.7)$$

donde:

R_s = La resistencia en serie requerida.

R_x = La resistencia del transductor a 25°C

La resistencia típica para éstos transductores de presión

oscila entre los 400 y 550 ohms. Tomando, como lo sugiere el fabricante, una resistencia del transductor R_x de 494 ohms, tenemos el rango de compensación ideal:

$$(494)(3.577) = 1\ 767\ \text{ohms.}$$

El valor comercial más cercano es de 1.8 K Ω , que será el usado.

La salida de voltaje típica a escala completa del sensor de presión es de 60 mV, por lo que se recomienda el uso de una etapa de calibración (compensación de corriente de *offset* para el dispositivo), más una etapa de ganancia, con la finalidad de obtener un nivel de salida con menor interferencia y más práctico de la señal.

El circuito propuesto para la etapa de calibración de temperatura y *offset* se ilustra en la figura 3.9.

Usando dos amplificadores de los 4 operacionales contenidos en el C.I. LM324, el cálculo de la resistencia R_T se efectúa utilizando la ecuación 3.8 (ver referencia apéndice B):

$$R_T = \frac{\left[\frac{\Delta V_i}{\Delta V_o} R_2 \right]}{\left[\frac{\Delta V_i}{\Delta V_o} \right]} - \frac{R_1 R_2}{R_1 + R_2} \quad (3.8)$$

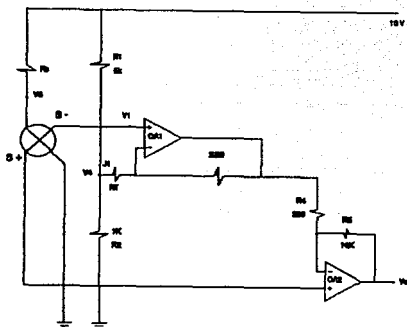


Figura 3.9. Circuito de calibración de temperatura y *offset*.

Con los datos conocidos, y sustituyendo en la expresión anterior $\Delta V_i / \Delta V_o = 0.5$, como se especifica para el rango de 0 a 80°C, tenemos:

$$R_T = \frac{\left[\frac{\Delta V_i}{\Delta V_o} \cdot 10k \right]}{\left[\frac{8k}{8k + 1k} \right]} = 4112 \text{ ohms} \quad (3.9)$$

R_T será empleada comercialmente como 4.2KΩ.

De ésta forma tenemos a las salidas del sensor de presión (S+, S-), un voltaje de aproximadamente 1 volt de corriente directa. El divisor de voltaje definido por el arreglo de las resistencias R_1/R_2 pone un voltaje de referencia V_* de aproximadamente 1.1 volt. el cual sirve de referencia al

amplificador OA1 para amplificar solamente las variaciones de la terminal S-. Este arreglo es el que da compensación de corriente de offset. La ganancia de este amplificador (OA1) es de:

$$\left(1 + \frac{200}{R_f} \right) = 1.05 \quad (3.10)$$

por lo cual básicamente opera como *buffer*. La salida de este es amplificada diferencialmente (V_b) con respecto a S+ con el amplificador OA2 con una ganancia de 50. La resistencia R_f fue calculada para compensar la temperatura y su contribución a la ganancia total es despreciable ($1.05 \times 50 = 52.5$).

Considerando que el rango de presión a sensor por nuestro dispositivo oscila entre los 80mmHg y los 120mmHg, tomaremos para el diseño una presión máxima de 150mmHg, es decir:

$$(150\text{mmHg}) (133 \text{ Pa/mmHg}) = 19\,950 \text{ Pa}$$

Por otro lado, considerando la sensibilidad calculada en la expresión 3.6 y la ganancia total de 52.5, para esta presión máxima obtendremos un voltaje máximo a la salida del circuito de:

$$(1.8 \mu\text{V/KPa}) (52.5) (19.950 \text{ KPa}) = 1.885 \text{ Volts}$$

El siguiente paso es adecuar esta señal para que sea utilizada

por el convertidor ADC 0808.

Lo anterior se logra mediante una etapa de amplificación cuya ganancia se calcula tomando en cuenta que necesitamos un voltaje de entrada de 2.92 volts al convertidor, para obtener la correspondiente lectura de 150 mmHg, que fué el rango máximo considerado.

La ganancia calculada para tal fin es:

$$AA = \frac{V_o}{V_i} = \frac{2.92}{1.88} = 1.55 \quad (3.11)$$

Fijando un valor comercial para la resistencia R_A de la figura 3.10 en 1K Ω , obtenemos el valor de la resistencia R_o , de la siguiente manera:

$$R_o = \frac{(V_o - V_i)R_A}{V_i} = \frac{1000(2.92 - 1.885)}{1.885} = 549.07 \Omega \quad (3.12)$$

La figura 3.10 muestra el diseño de la etapa de ganancia sugerido.

La etapa de amplificación se realiza con el operacional OAS, que es 1/4 del C.I. LM324 a través de una ganancia definida por la resistencia R_o . El diagrama completo de la etapa de sensado y amplificación para el transductor de temperatura se muestra en la figura 3.11.

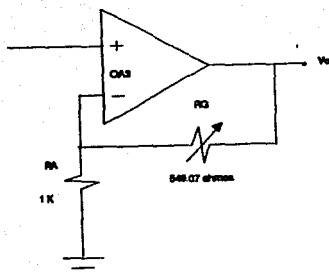


Figura 3.10. Etapa de ganancia.

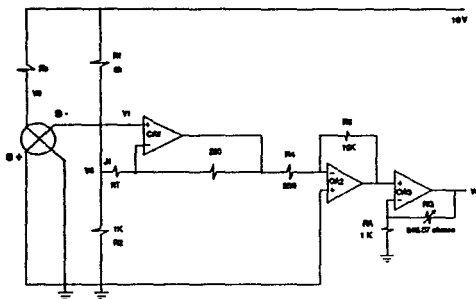


Figura 3.11. Diagrama eléctrico de la etapa de sensado, calibración, y amplificación para el transductor de presión.

En la figura 3.12 se muestra el comportamiento del transductor de presión para el presente diseño en función de la entrada-salida.

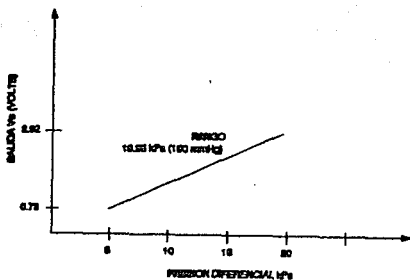


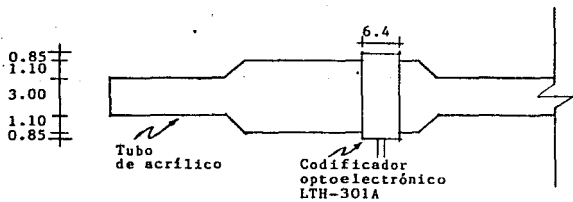
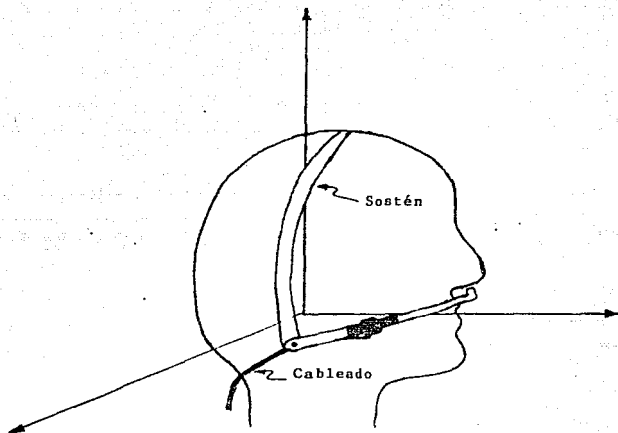
Figura 3.12. Relación entrada-salida para el transductor de presión.

3.4.- SELECCION Y DISEÑO DEL TRANSDUCTOR DE RESPIRACION

Hubo varios problemas que resolver para el diseño del sistema de medición de respiración. No se podía emplear el método de medición de la impedancia transtorácica ya que para usar éste método se necesita que el sujeto esté completamente inmóvil, lo cual es prácticamente imposible en una ambulancia. Por otro lado, se tenía la opción de medir el pico de cada movimiento respiratorio, a través de un termistor, con base en las variaciones de temperatura del flujo de gas. Sin embargo, se tuvieron problemas con la temperatura, ya que a ciertas temperaturas y en ciertas condiciones ambientales, el aire exhalado tiene una temperatura similar a la de la temperatura ambiente, por lo tanto, el termistor no podía registrar esas variaciones.

El sistema detector de respiración diseñado tiene la ventaja de que no necesita calibración, se ve afectado mínimamente por movimientos, temperatura, presión, etc., es económico, ligero, fácil y rápido de instalar. Está diseñado para detectar ausencia de respiración en un período de tiempo, y consiste de un tubo transparente de plástico, una pequeña pelota de unicel, un codificador optoelectrónico LTH-301A y un multivibrador 555. Uno de los extremos del tubo se coloca a la salida de la nariz y el otro extremo queda libre, ver figura 3.13. El tubo tiene dos reducciones entre las cuales se coloca la pelota de unicel. Sujetando el tubo se coloca el codificador optoelectrónico. A su vez toda la pieza está protegida para evitar señales indeseadas ocasionadas por la luz. Su funcionamiento es muy sencillo y consiste en lo siguiente: cuando el paciente tiene colocado el tubo en la nariz e inhala aire jala la pelota de unicel, la cual bloquea la señal del diodo emisor, por lo que el fototransistor efectúa una conmutación. En el momento de exhalar el aire empuja la pelota y por lo tanto se desbloquea la señal del diodo dejando la señal a la salida del transistor en su estado inicial.

Como se mencionó anteriormente, la función del sistema es la de detectar si el sujeto disminuye su ritmo respiratorio por debajo de un límite establecido. En el caso de una persona sana y que regularmente hace ejercicio, se tiene una frecuencia de aproximadamente doce respiraciones por minuto en estado de



Cotas en mm.

Figura 3.13. Diagrama de montaje.

reposo. Por supuesto hay variaciones de una persona a otra; por ejemplo, un fumador tiene una frecuencia respiratoria mayor a la de un no fumador, debido a su menor capacidad pulmonar al igual que la capacidad de un bebé. Una persona muy agitada tiene un ritmo de sesenta o más respiraciones por minuto.

Se decidió como límite mínimo de detección doce respiraciones por minuto lo cual implica que cada periodo respiratorio dura aproximadamente cinco segundos. A la salida del fototransistor se coloca un multivibrador monoestable, en este caso se emplea el circuito de tiempo LM555 ya que tiene la ventaja de que los periodos de tiempo pueden estar en el rango desde los microsegundos hasta muchos segundos. Este circuito mantiene la señal en estado alto durante 5.17 segundos, lo cual equivale a un poco más de un periodo de respiración a la frecuencia elegida. Los 0.17 segundos extras tienen por objeto eliminar posibles irregularidades en los datos, debido a variaciones sin importancia en el ritmo respiratorio. En la figura 3.14, muestra el circuito diseñado.

Cuando el pulso de entrada llega al flanco negativo, se dispara el multivibrador, y la salida en la pata 3 pasa al estado de alto por un periodo de tiempo igual a 5.17 segundos de tal modo que la señal siempre se mantiene alta hasta que hay una disminución a once ciclos respiratorios por minuto, lo cual implica que cada periodo respiratorio dura aproximadamente 5.45 segundos.

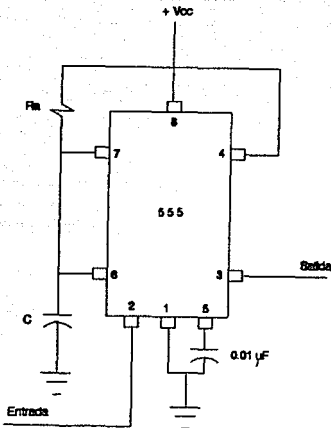


Figura 3.14. Circuito multivibrador 555.

La relación del tiempo que dura el estado alto viene dada por la siguiente fórmula:

$$T_{alto} = 1.1 R_A C \quad (3.13)$$

Si elegimos una R_A igual a 10 k Ω y un C de 470 μF entonces:

$$T_{alto} = 1.1 (10 \text{ k}\Omega) (470 \mu F)$$

$$T_{alto} = 5.17 \text{ seg.}$$

En la figura 3.15 se muestran las formas de la señal de entrada, y de salida del multivibrador para los casos de 12 y 11 respiraciones por minuto.

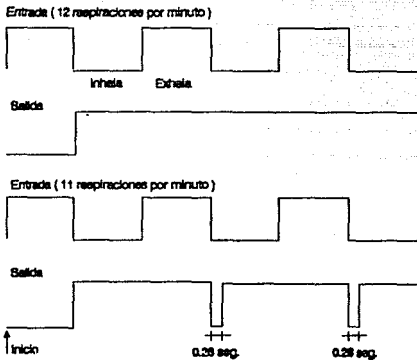


Figura 3.15. Formas de onda a la entrada y a la salida del multivibrador.

Si la respiración llega a once ciclos por minuto, entonces la salida del multivibrador permanece baja por aproximadamente 0,28 de segundos, lo cual es tiempo suficiente para ser detectado por la unidad de procesamiento.

Finalmente se muestra toda la conexión, figura 3.16:

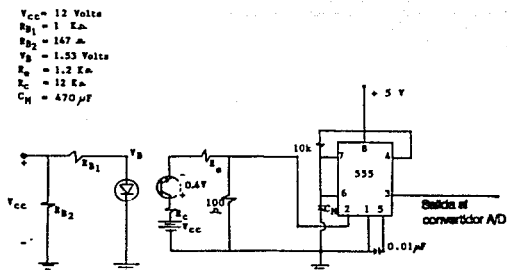


Figura 3.16. Circuito detector de respiración.

CAPITULO IV
DISEÑO DEL MODULO DE ADQUISICION Y PROCESAMIENTO DE DATOS

En el presente capítulo se describe el diseño del sistema controlador, utilizado para efectuar el muestreo de las señales provenientes de los transductores y de convertirlas en datos de tipo binario. Para la comunicación con el exterior cuenta con un puerto de comunicación serial. Esta comunicación se efectúa con una computadora personal en forma local o remota, esta última se efectúa via radio-enlace. El operario tendrá la facilidad de observar en forma automática o selectiva los valores de las señales muestreadas, a través de despliegues luminosos; para desplegar una señal en especial se contará con un teclado que permita efectuar la selección requerida.

El sistema contará con una alarma sonora que se activará cuando los valores de las señales muestreadas no se encuentren en un rango determinado, dado por valores tipo para cada una de ellas.

En la figura 4.1 se muestra un diagrama general del controlador a diseñar. Esta conformado por las etapas siguientes:

- Etapa de Conversión

El objetivo principal de ésta es la conversión de las señales provenientes de los transductores, de una señal de tipo analógica a una de tipo digital.

- Etapa de Teclado y Despliegue

Su función principal es proporcionar un medio de comunicación con el operador. Esto se logra con base en un despliegue luminoso y un teclado. Este último para facilitar la selección del tipo de muestreo deseado.

- Etapa de Transmisión

Su objetivo es la transmisión de datos, en forma serial, a una computadora central. Lo anterior permite el procesamiento de la señal adquirida.

- Etapa de Control

Esta etapa incluye toda la lógica bajo la cual se rige el sistema. Además, cuenta con las interfaces para comunicación con el exterior.

ESQUEMA GENERAL

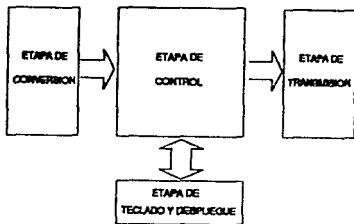


Figura 4.1. Esquema general.

4.1.- Etapa de conversión analógica - digital

Un convertidor analógico-digital (A/D) es un dispositivo que recibe una señal de entrada V_{ent} , y la transforma en una palabra digital, P_D , con una precisión y resolución dada, mediante una comparación con una señal de referencia, V_{ref} . En un convertidor analógico-digital ideal, la palabra digital está relacionada con la señal de entrada por la expresión:

$$P_D = \frac{V_{ent}}{V_{ref}} = \sum_{i=1}^n \frac{\delta_i}{2^i}; \quad \delta_i = (1,0) \quad (4.1)$$

Este cociente se realiza en binario. El resultado exacto sería de un número infinito de bits, pero se comete un error de cuantificación al tener en cuenta únicamente un número limitado de bits, el cual viene determinado por la capacidad del convertidor A/D. Si éste es de n bits, se realiza una cuantificación de la señal analógica de 2^n niveles y el error máximo (ϵ_{max}) cometido es de la mitad de la distancia entre dos niveles, o sea,

$$\epsilon_{max} = \frac{1}{2} \cdot \frac{V_{ref}}{2^n} \quad (4.2)$$

Los convertidores A/D admiten señales analógicas de entrada, de corriente o de voltaje, de una única polaridad o bipolar.

Las características generales de los distintos tipos de convertidores dependen en gran parte de la forma en que se realiza la conversión. Una primera clasificación se puede basar en si la conversión se realiza directamente o se realiza una transformación de la señal de entrada en una variable intermedia que luego se transforma en digital. A continuación se describen brevemente los principales tipos de convertidores analógicos-digitales.

Convertidor paralelo. Este compara simultáneamente la señal analógica de entrada con una serie de niveles de referencia cuantificados, correspondientes a los valores del escalado, utilizando por lo tanto, tantos comparadores como niveles se desee obtener, figura 4.2. El tiempo de conversión es muy pequeño (del orden de nanosegundos), pero el número elevado de componentes hace que el sistema sea costoso.

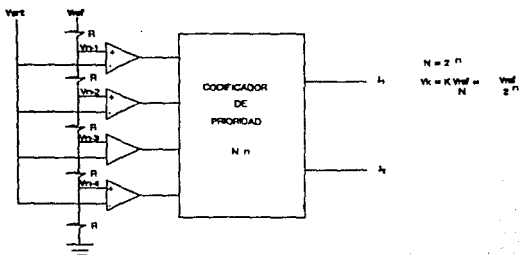


Figura 4.2. Convertidor paralelo.

Entre los convertidores indirectos, que transforman la señal de entrada en una variable temporal, los más utilizados con microprocesadores son los de simple y doble rampa y los de aproximaciones sucesivas.

Convertidor de rampa. Integra un voltaje de referencia hasta que la rampa generada alcanza un nivel igual al de la señal de entrada. Durante este tiempo un contador cuenta los impulsos generados por un oscilador base. El resultado del contador es proporcional a la señal analógica de entrada, por lo que escogiendo adecuadamente la frecuencia del oscilador y el voltaje de referencia se obtiene directamente la salida digitalizada, figura 4.3. El tiempo de conversión es largo y la precisión no es muy buena, debido a las variaciones de la capacitancia C , de la corriente I_D , y de la frecuencia del oscilador.

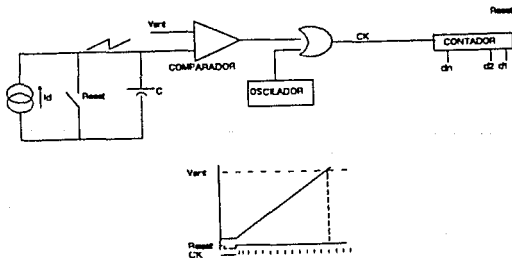


figura 4.3. Convertidor de rampa.

Convertidor de doble rampa. Soluciona en gran medida los condicionamientos de precisión anteriores, debido a que al realizar dos rampas consecutivas se compensan los errores producidos por las derivadas de la capacitancia y la frecuencia. La primera rampa, figura 4.4, se realiza integrando la señal de entrada durante un tiempo fijo; la segunda rampa se obtiene integrando una señal de referencia. El tiempo de integración de la segunda rampa depende del nivel que se ha conseguido durante la primera integración; durante este tiempo, un contador cuenta los ciclos de un oscilador base. El tiempo máximo de conversión es el necesario para contar 2×2^n ciclos de reloj siendo n el número de bits de la salida digital.

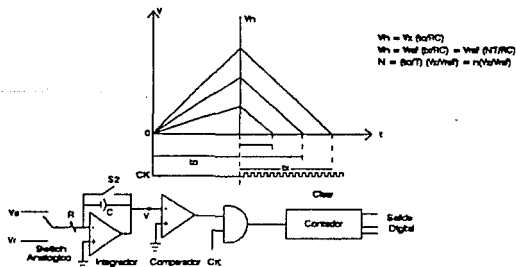


Figura 4.4. Convertidor de doble rampa.

Convertidor de aproximaciones sucesivas. Utilizando este convertidor se optimiza el tiempo de conversión, mediante la realización de un algoritmo de aproximación sucesiva. Utiliza un comparador, un convertidor digital-analógico y un registro de aproximaciones sucesivas (SAR Successive Approximation Register), figura 4.5. El algoritmo consiste en la aproximación bit por bit de la salida empezando por el bit más significativo (MSB), que corresponde a la máxima excursión de voltaje:

$$\frac{V_{ref}}{2} + V_{ent} \quad (4.3)$$

Este bit valdrá 1 ó 0 si el nivel de la señal de entrada está por encima o por debajo de este valor. A continuación se realiza la comparación de la señal de entrada con una señal que vale

$$0.1 * V_{ref} * 1/2 + V_{ref} * 1/4$$

siendo 0.1 el valor obtenido en el primer bit. Se asignará a 0.1 el valor uno o cero con el mismo criterio anterior. Se sigue realizando el algoritmo de aproximación hasta llegar al bit menos significativo. El número de iteraciones es igual al número de bits del convertidor. Este método es conceptualmente muy sencillo, permite realizar la conversión con rapidez, no exige una realización muy costosa, y su tiempo de conversión es del mismo orden que el tiempo del ciclo de los microprocesadores.

Existen otros convertidores analógico-digitales que por diversos motivos (costo, fiabilidad o aplicación específica) no son ampliamente utilizados, algunos de ellos son : convertidor analógico-digital de descarga, convertidor de seguimiento (tracking) convertidor de voltaje-frecuencia, etcétera.

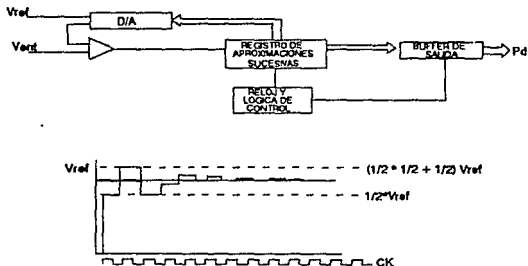


Figura 4.5. Convertidor de aproximaciones sucesivas.

En la figura 4.6 se muestra la relación que hay entre la complejidad y el tiempo de conversión en los diferentes convertidores analógico-digitales.

Especificaciones de los convertidores analógico-digitales

A continuación se da una lista de algunas de las especificaciones importantes para los convertidores A/D.

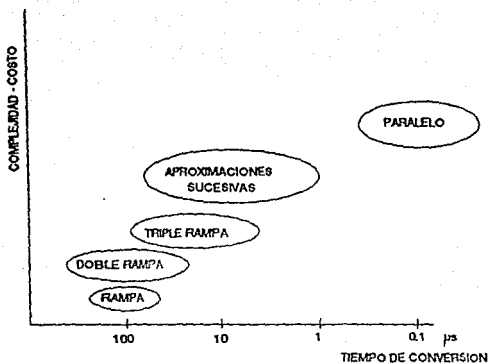


Figura 4.6. Relación complejidad-tiempo.

1. Señal de entrada. Este es el máximo margen de voltaje de entrada analógica permisible y puede ser unipolar, de 0 a 10 V, o bipolar de ± 5 , ± 10 V, etc.
2. Tiempo de conversión. Depende del tipo de convertidor. Los convertidores ultrarápidos, en paralelo, tienen tiempos de conversión comprendidos en el margen de 1 a 60 ns; los convertidores de aproximaciones sucesivas varían de 1 a 100 μs .
3. Formato de salida. Se dispone de una diversidad de formatos: el binario unipolar, binario "offset", complemento a 1, complemento a 2, y varios códigos estándar. Los circuitos de salida suelen ser diseñados

para acoplarlos directamente a TTL, ECL o CMOS.

4. Precisión. La precisión incluye errores provenientes de ambas partes, analógica y digital. El error digital, debido a la cuantificación, es usualmente de $\pm 1/2$ LSB (bit menos significativo). La fuente principal de error analógico es el comparador. Otras fuentes son el voltaje de alimentación, los resistores de escalera, etc. La precisión necesaria y el número de bits deben ser compatibles.

Selección del convertidor analógico-digital

Para cubrir los requerimientos referentes al muestreo y conversión de las diferentes señales analógicas, a utilizar en el monitor de signos vitales, se elige el convertidor analógico-digital ADC 0808 de la familia National. Este convertidor presenta las siguientes características: multiplexor de ocho canales interconstruido, maneja señales de entrada en el rango de 0 a 5 volts, tiempo de conversión de 100 μ s y una palabra de 8 bits. Este convertidor requiere de un voltaje de referencia de 5 volts, para permitir el rango de entradas antes mencionado, el cual debe ser lo más estable posible, ya que de ello depende la precisión de la conversión. Para obtener el voltaje de referencia se usa el regulador programable LM 317 que tiene una variación típica en la salida de 0.65% por efecto de la temperatura (sensibilidad térmica). El

diseño del convertidor se muestra en la figura 4.7, la cual también muestra las expresiones utilizadas para el cálculo de los elementos del regulador, estas expresiones se tomaron de las hojas de especificaciones del fabricante. En la misma figura se muestra además su integración con el elemento de control.

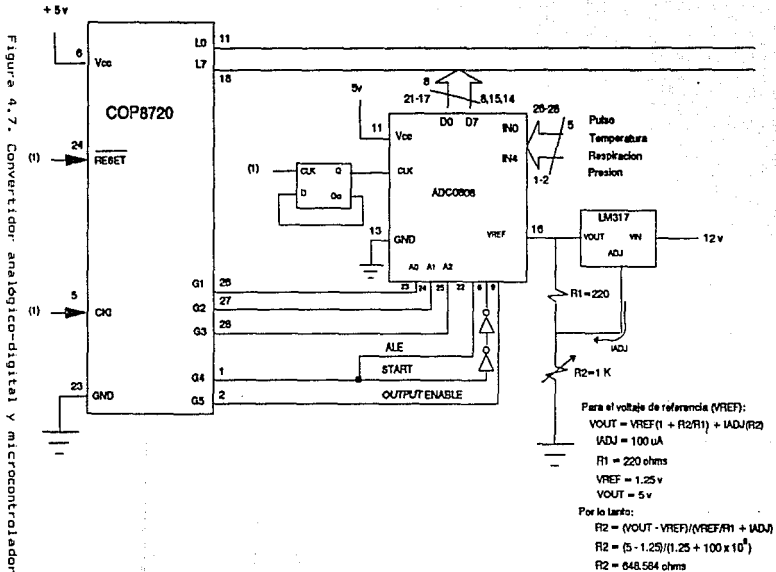
Diseño Funcional

Como se mencionó, el convertidor cuenta con un multiplexor integrado al cual se aplican las señales a muestrear. A continuación se muestra la relación entre los canales del multiplexor y las señales a muestrear :

Canal	Señal
0	pulso
1	temperatura
2	respiración
3	presión
4	presión

Para medir la presión se usan dos canales, debido a que es necesario muestrear dos tipos de presión y el transductor diseñado para tal caso las muestra en paralelo.

Para controlar el proceso de exploración de los canales analógicos se usan los primeros 3 bits del puerto 6 (E4 a E6) del microcontrolador. Estos se conectan a las entradas A0 - A2



del convertidor respectivamente. Los bits G_4 y G_5 del microcontrolador son usados para indicar el momento en que debe iniciar el muestreo y cuando los datos convertidos deben ser puestos en el bus de datos. Esto se realiza de la siguiente manera :

- En los bits G_4 - G_5 se coloca la dirección que seleccionará la señal a muestrear.
- Se coloca un 1 lógico en el bit G_4 para indicar que los datos se encuentran en la entrada analógica seleccionada.
- Se coloca un par de inversores en la señal de START, la finalidad es proporcionar un retraso de 100 ns para cubrir los requerimientos de sincronía del ADC.
- Al siguiente ciclo de máquina las señales ALE y START son puestas en 0 lógico.
- En este punto el microcontrolador debe esperar a que la conversión finalice, lo cual le lleva al convertidor 100 μ s. Para lograr la sincronización entre estos, el microcontrolador entrará en un ciclo durante el tiempo que dure la conversión.
- Al término de la conversión se habilita el bit G_5 para que el convertidor ponga en el bus la señal ya convertida. En el siguiente ciclo la señal será leída y almacenada.
- El proceso anterior es repetido para cada una de las señales a monitorear.

La señal de reloj que es usada por el convertidor es el

resultado de dividir entre 2 la señal generada por el circuito de reloj DP8224.

4.2.- Etapa de teclado y despliegue

Se denominan *teclados* al tipo de periféricos de entrada, constituidos por un conjunto de botones, de tal modo que cada botón corresponda con determinado carácter, función, instrucción o idea. El tipo de teclas, así como su número y distribución, vendrán determinados por la aplicación concreta que se desee realizar.

El componente básico de un teclado es la tecla individual. Generalmente, cada tecla controla un simple interruptor que permanece abierto mientras la tecla está en descanso y se cierra cuando la tecla es presionada. El concepto de conmutación de estado sólido se aplica a veces al describir elementos sin contactos, aunque hablando con propiedad solamente se puede aplicar a una variedad limitada, entre la que se cuentan los de efecto Hall o elementos fotosensibles.

Teclas mecánicas convencionales. Los interruptores mecánicos son usados básicamente por su economía.

El movimiento mecánico actúa directamente sobre los contactos. Permiten, sin grandes complicaciones, configuraciones

de contactos múltiples, figura 4.8.

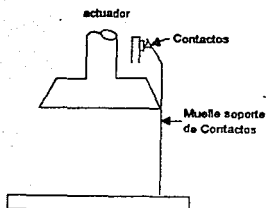


Figura 4.8. Tecla mecánica.

Tecias mecánicas de lámina flexible. Este tipo de interruptor, figura 4.9, formado por una serie de láminas sobrepuestas, se basa en la deflexión de un diafragma flexible, dorado por su cara inferior, que permite establecer contacto con un circuito impreso a través de aperturas practicadas en un separador dieléctrico.

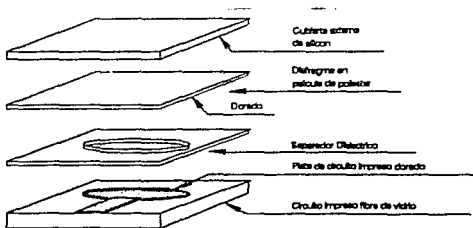


Figura 4.9. Tecla mecánica de lámina flexible.

Una cubierta de silicón protege los contactos contra los contaminantes. Algunas versiones más económicas emplean láminas de silicón conductoras, que sustituyen la cubierta protectora y el diafragma dorado. En algunos casos se emplea una base serigrafiada de tinta conductora como sustrato.

Teclas "reed". Están formadas por contactos inmersos en una atmósfera inerte, sellados por una cápsula hermética de vidrio, figura 4.10.

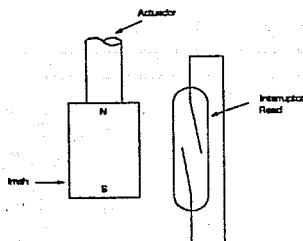


Figura 4.10. Tecla reed.

El movimiento de la tecla desplaza un pequeño imán permanente que provoca el cierre de los contactos; dada la acción indirecta sobre estos últimos, no se transmiten sobrecargas mecánicas que provoquen fatiga y desgastes prematuros. Por lo anterior y por la hermeticidad del encapsulado, que impide la contaminación de los contactos, este tipo de teclas ofrecen una vida útil 5 veces superior a la

clásica tecla mecánica.

Teclas capacitivas. Este tipo de teclas emplean un cambio en la capacitancia de un capacitor para entregar una salida. Emplean dos superficies vecinas sobre un mismo circuito impreso, figura 4.11, estando una de ellas excitada por la señal alterna de un oscilador; si se aproxima paralelamente una placa conductora sobre ambas superficies, se provoca un acoplamiento entre ellas, con lo que aparece una fracción de la señal alterna en la salida.

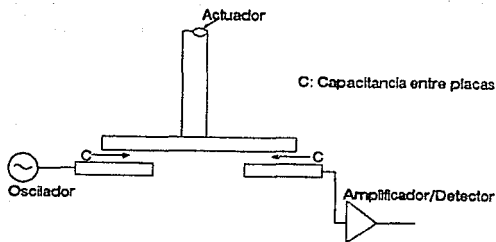


Figura 4.11. Tecla capacitiva

La señal de salida del pulsador debe ser convenientemente amplificada y convertida a niveles lógicos.

Existen múltiples variantes como los que utilizan contactos sensitivos, sin ningún elemento móvil.

Dados los bajos niveles de señal entregada por estos tipos de teclas se presenta una acusada sensibilidad a interferencias y unos serios condicionamientos en la estructura metálica soporte, trazado de pistas en el circuito impreso y electrónica de amplificación, detección y conversión. Por todo ello sólo aparecen disponibles formando parte de teclados completos producidos por fabricantes especializados.

Teclas de núcleos magnéticos. El elemento conmutador es un núcleo torodial de ferrita empleado como transformador, figura 4.12.

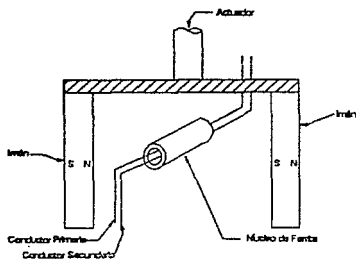


Figura 4.12. Tecla de núcleo magnético.

El núcleo es atravesado normalmente por 2 hilos; uno, energizado a alta frecuencia se emplea como primario; el segundo, como secundario. El acoplamiento es muy bajo en la posición normal de la tecla, donde el núcleo está saturado por

el campo del imán permanente. La presión de la tecla desplaza el imán, desaturando el núcleo y generando una salida. Esta última es amplificada, rectificadora y trasladada a niveles lógicos.

Su fiabilidad es comparable a las teclas capacitivas, presentando, del mismo modo que aquellas, una complejidad elevada en el trazado de las pistas del circuito impreso, por lo que generalmente se ofrece como parte integrante de un conjunto completo.

Teclas de efecto "Hall". Los sensores de efecto Hall, figura 4.13, están formados por una pastilla semiconductor, recorrida por una corriente continua, y un campo magnético perpendicular a ella, que provoca una deformación de las líneas equipotenciales sobre la superficie del semiconductor, apareciendo un voltaje de salida proporcional al producto de la corriente de polarización por la intensidad del campo magnético aplicado.

La conmutación se obtiene al aproximar un imán permanente al sensor, que desarrolla un voltaje de salida que es amplificado y convertido en digital.

Dada la ausencia de contactos, la baja impedancia de todas las señales de interconexión y la insensibilidad al polvo, suciedad y contaminantes, este tipo de teclas ofrece la mayor fiabilidad (esencialmente duración infinita), sólo limitada por

el desgaste del elemento móvil y el resorte de retorno. Este último, en algunos casos, es sustituido por un sistema magnético de retorno, que proporciona simultáneamente una realimentación al tacto.

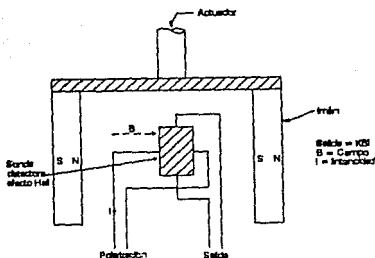


Figura 4.13. Tecla de efecto Hall.

Rebotes en contactos. Un factor a tener presente en los circuitos detectores de las teclas es la presencia de rebotes en los contactos.

Cuando se cierra un interruptor, los contactos no se detienen inmediatamente, sino que dado que el momento del establecimiento del contacto la parte móvil se desplazaba a cierta velocidad, esta energía se restituye elásticamente,

provocando una oscilación mecánica. La frecuencia de estos rebotes y el tiempo de amortiguación varían en función de las características propias del tipo de interruptor considerado. El tiempo de estabilización varía desde cero en los interruptores sin contactos, hasta 0.5 a 1 μ s en tipos más económicos. Los efectos de los rebotes en las salidas codificadas pueden ser eliminados introduciendo un retardo adecuado en la señal de validación.

Codificación. Como señales de salida de un teclado pueden utilizarse las conexiones de todas y cada una de las teclas. Esto puede ser válido para teclados simples, formados por un número reducido de teclas, pero cuando el número de teclas supera ciertos umbrales esto se vuelve engorroso.

La codificación consiste en numerar en forma binaria cada uno de los distintos códigos emitidos por el teclado. La codificación más usual para teclados numéricos es la hexadecimal (o su subconjunto BCD si nos limitamos a dígitos decimales). En el caso de teclados alfanuméricos se emplea la codificación, siendo el código más usual el ASCII de 6 ó 7 bits según sea reducido, o completo, o bien el EBCDIC de 8 bits.

Conexión matricial. Cuando el número de teclas es elevado (caso típico de teclados alfanuméricos) la técnica más usual de conectar las teclas es en forma matricial, de tal modo que el número total de teclas conectadas es igual al número de intersecciones.

Exploración secuencial. En el caso de que se estén usando teclas mecánicas o reed se tiende por lo general a realizar circuitos codificadores empleando técnicas de exploración secuencial, figura 4.14.

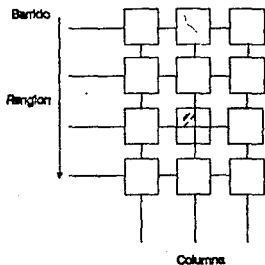


Figura 4.14. Exploración secuencial.

Esta técnica consiste en explorar cada uno de los renglones que forman la matriz, de tal forma que al pulsar una tecla se obtenga una salida en la columna correspondiente a la tecla que se pulso. De esta forma, con la intersección de renglon-columna se puede codificar la tecla presionada.

Codificación por microprocesador. Una técnica que actualmente es muy utilizada es el usar microprocesadores como elementos de lógica activa en la codificación de teclados. Esta técnica permite, con un mínimo de componentes, realizar funciones que raramente eran llevadas a cabo directamente por el teclado como periférico. Entre estas funciones cabe mencionar la

Exploración secuencial. En el caso de que se estén usando teclas mecánicas o reed se tiende por lo general a realizar circuitos codificadores empleando técnicas de exploración secuencial, figura 4.14.

Figura 4.14. Exploración secuencial.

Esta técnica consiste en explorar cada uno de los renglones que forman la matriz, de tal forma que al pulsar una tecla se obtenga una salida en la columna correspondiente a la tecla que se pulso. De esta forma, con la intersección de renglon-columna se puede codificar la tecla presionada.

Codificación por microprocesador. Una técnica que actualmente es muy utilizada es el usar microprocesadores como elementos de lógica activa en la codificación de teclados. Esta técnica permite, con un mínimo de componentes, realizar funciones que raramente eran llevadas a cabo directamente por el teclado como periférico. Entre estas funciones cabe mencionar la

exploración secuencial, la protección contra pulsaciones simultáneas, las salidas en paralelo o serie, la memoria FIFO en caso de pulsaciones más rápidas que el posible acceso por parte de la CPU, la autorepetición en teclas seleccionadas (se denomina autorepetición al hecho de que si se mantiene presionada una tecla, después de un tiempo prudente, entre 0.5 y 1 segundo, se repiten las validaciones del código asociado, a un ritmo aproximado de 10 Hz), la autorización o inhibición total o parcial del teclado, la generación de señal audible para realimentación acústica, la paridad, la detección de errores; etc.

Indicadores visuales

Indicadores visuales mediante LED's. El indicador visual más común y sencillo, utilizado con lógica de circuitos integrados, es el *diodo emisor de luz*, LED. Los LEDs son dispositivos de estado sólido, que emiten energía luminosa cuando se estimulan mediante una corriente continua de baja tensión. Se pueden diseñar LEDs que emitan luz desde el ultravioleta, pasando por el espectro visible, hasta el infrarrojo. El LED más eficiente está en el espectro visible y emite luz roja; es el más usado para despliegues LED. Existen también LEDs ámbar y verdes.

Los LEDs son dispositivos muy populares, por varias razones, debido a que se pueden operar con bajos voltajes, son

compatibles con sistemas que utilizan circuitos integrados, son pequeños y poco pesados. Por ser dispositivos de estado sólido, son altamente fiables y tienen una vida típica de operación de más de 100,000 horas. Los LEDs están disponibles como dispositivos separados o empaquetados en varias disposiciones y están diseñados para representar información binaria, numérica y alfanumérica.



Figura 4.15. Símbolo del diodo emisor de luz.

El símbolo para un LED se muestra en la figura 4.15. El LED emite luz cuando se excita en sentido directo, la intensidad de la luz es una función de la corriente que fluye a través del LED. La caída de voltaje de un LED excitado en forma directa es fija, típicamente 1.6 o 2.4 V, una resistencia R limita la corriente al valor deseado. La corriente normal de operación es típicamente de 20 mA para LEDs rojos y de 25 mA para los verdes y ámbar.

Indicadores de siete segmentos. Los dígitos decimales y algunas letras del alfabeto se pueden visualizar utilizando

siete segmentos, en la disposición mostrada en la figura 4.16. Los despliegues LED de siete segmentos utilizan un LED (y en algunas ocasiones dos) para cada segmento y se representan en la figura 4.16. Hay dos variaciones de los indicadores de siete segmentos. En una todos los ánodos se conectan en una configuración denominada ánodo común; en la otra todos los cátodos están conectados en común, configuración cátodo común. Estas variaciones permiten diferentes disposiciones de control.

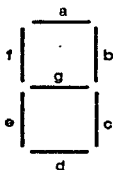


Figura 4.16. Despliegue de 7 segmentos.

Cada segmento se puede controlar mediante 1 bit de un puerto de salida, o pueden utilizarse circuitos integrados de decodificación y control.

Existen disponibles en el mercado decodificadores y amplificadores de código BCD-a-siete segmentos y hexadecimal-a-siete segmentos para el control de indicadores de siete segmentos.

Indicadores multiplexados. Para visualizar un número pequeño de dígitos cada segmento puede ser controlado directamente desde un puerto de salida o mediante un decodificador conectado a un puerto de salida. Sin embargo en esta disposición, puesto que cada dígito requiere su propio puerto y/o decodificador, el número de puertos se incrementa en proporción directa al número de dígitos que se desean desplegar.

Las técnicas de multiplexado permiten que un conjunto de circuitería de decodificación y amplificación sea compartido entre los dígitos a desplegar. En este caso un microprocesador se encarga de activar cada dígito, uno después de otro.

Cada dígito es activado, o *refrescado*, a una frecuencia denominada velocidad de refresco. Si un dígito se refresca con suficiente rapidez, aparece al ojo humano como si estuviera constantemente iluminado. La velocidad de refresco mínima práctica es usualmente de 100 Hz. Típicamente los indicadores multiplexados se refrescan a 1 KHz o más. Para N dígitos refrescados a f Hz, el tiempo máximo de activación, t_d , para cada dígito es:

$$t_d = \frac{1}{fN} \quad (4.4)$$

Selección del Controlador de Teclado y Despliegue

Debido a la necesidad que el operador tiene de conocer en forma continua los valores de las señales muestreadas, así como de la facilidad de poder elegir entre las señales muestreadas, es necesario el manejar tanto un despliegue como un teclado. Por lo anterior, se analizaron tres alternativas :

- La primera consistía en que el microcontrolador manejara totalmente tanto el teclado como el despliegue. Esta alternativa fue rechazada debido a la disponibilidad limitada de puertos del microcontrolador, ya que este no cuenta con la cantidad necesaria de puertos para manejar todos los dispositivos.
- La segunda opción consistía en usar un microcontrolador de cuatro bits como controlador de teclado y video. Las ventajas que tenía esta alternativa eran muchas, entre ellas : la de tener mayor flexibilidad para la función de despliegue, ya que este podía ser tanto de 7 segmentos como de cristal líquido, el manejo del teclado se facilitaba. El microcontrolador contaría con una mayor independencia ya que no sería interrumpido sino hasta que una tecla fuera oprimida y el código de dicha tecla estuviera listo para ser enviado. Sin embargo, existió un problema, para grabar la memoria ROM interna del microcontrolador es necesario que éste sea enviado al

fabricante. Esto retrasa mucho el tiempo de prueba así como el costo ya que este último sufre un aumento sustancial. Los microcontroladores que se adaptaban perfectamente a esta función eran los COP400 de NATIONAL SEMICONDUCTOR.

- La última alternativa consistió en usar algún controlador de teclado y despliegue existente en el mercado. El controlador que reunió las características deseadas fue el 8279 de INTEL. Este microcontrolador tiene la característica de que puede manejar despliegues luminosos de 7 segmentos, hasta 8 despliegues de este tipo, y un teclado matricial de hasta 64 teclas. El barrido que realiza sobre el teclado es secuencial, tiene dos líneas dedicadas para identificar las teclas de SHIFT y CONTROL. Cuenta además con la facilidad de autorepetición para el teclado, esto es, que identifica si una tecla es presionada continuamente. También cuenta con una estructura en la cual guarda las teclas que fueron presionadas y el orden en que estas fueron presionadas, aún cuando éstas hayan sido presionadas a la vez. Una característica muy importante del controlador es que mientras ninguna tecla sea oprimida, este puede trabajar independientemente, ya que cuenta con una memoria RAM donde almacena los datos que debe desplegar, por lo que no es necesario estar refrescando los datos de despliegue sino hasta que haya un cambio. El despliegue lo hace en

forma multiplexada para los 8 despliegues. El despliegue de datos puede ser de izquierda a derecha o viceversa.

Debido a lo anterior el diseño se hizo alrededor del controlador 8279 de INTEL, ya que este cubre con todos los requerimientos.

Diseño funcional del control de teclado y despliegue

En la figura 4.17 se muestra el esquema del diseño del controlador 8279.

Se usa el puerto D del microcontrolador para controlar el funcionamiento del 8279. El puerto G es usado para seleccionar el dispositivo. La selección del controlador se realiza poniendo un 1 en G_3 (bit 3 del puerto G) y un 0 en G_0 (bit 0 del puerto G). Para señalar que se va a efectuar un proceso de lectura se usa D_0 , para escritura se usa D_1 . Si D_0 ó D_1 tienen un valor de un 0 lógico (0 volts) se indica que el circuito se está habilitando, ya sea para lectura o escritura (no pueden ser ambas señales igual a un cero lógico a la vez); si ambas señales tienen un valor lógico de 1 el circuito está deshabilitando. El bit D_2 es usado para indicar si el dato en el bus debe ser interpretado como de control (1 lógico) o como un dato (0 lógico).

Las señales de *Reset* y el reloj son proporcionadas por el

CONTROLADOR DE TECLADO Y DESPLIEGUE

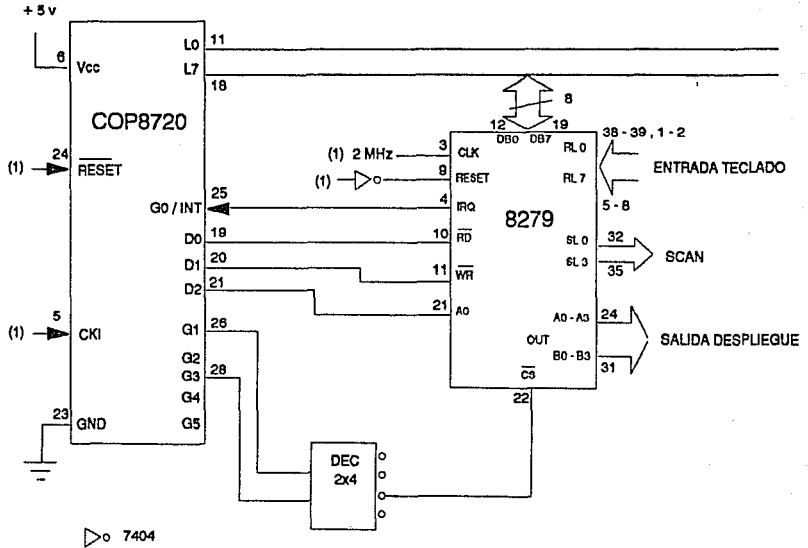


Figura 4.17. Diseño del controlador 8279

(1) señales provenientes del DP8224

DP8224. El tiempo de retardo entre las señales de selección del circuito integrado (CS), de indicación del tipo de dato (Ao) y del de indicación de escritura o lectura debe ser al menos de 50 ns, este retardo se logra de forma natural debido a que el ciclo de instrucción es de 5 μ s, y en el primer ciclo se ponen los datos en el bus, se elige el circuito integrado y se indica el tipo de dato, y en el siguiente ciclo se indica si se trata de una lectura o una escritura. Do y Di siempre permanecen en 1 cuando no se está usado el circuito integrado.

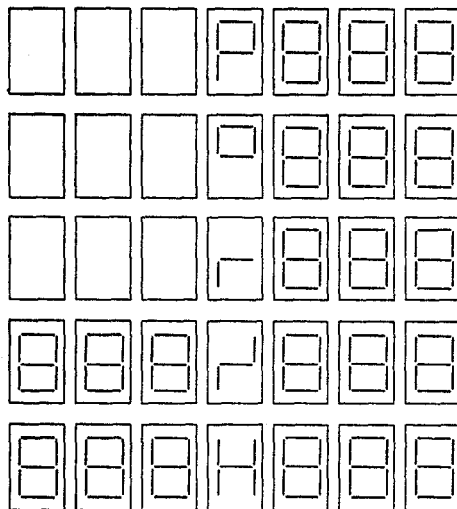
El tipo de configuración elegida para el controlador es la siguiente :

- Despliegue de derecha a izquierda
- Codificación automática del teclado
- Corrimiento automático en el despliegue
- Identificación de sólo la última tecla presionada

En la figura 4.18 se muestra el diseño para el teclado y el despliegue. En la misma figura se muestra la función de cada tecla así como el código de decodificación de las mismas. En este punto cabe destacar que el decodificador usado para manejar los despliegues es del tipo colector abierto (74LS156), ya que este proporciona la corriente necesaria para el encendido de los despliegues luminosos.

La figura 4.19 muestra como será desplega cada una de las

DESPLIEGUE



Muestra de los diferentes tipos de despliegue

Figura 4.19. Muestra de los diferentes tipos de despliegue

señales así como el carácter distintivo de cada una.

En la figura 4.20 se muestra el formato de codificación de las teclas usadas.

4.3.- Módulo de control

La proliferación de circuitos controladores que actualmente se están produciendo hace difícil la elección de uno de ellos. No obstante, es esta proliferación la que permite un avance y simplificación enorme en los diseños con microprocesadores, extendiendo el uso de estos en campos que parecían hasta hoy no pertenecerles.

Paralelamente, el precio de los controladores basados en circuitos altamente integrados ha bajado drásticamente, obteniéndose relaciones eficiencia/precio muy satisfactorias y que aconsejan a su vez el uso de tales conjuntos.

Ha medida que aumenta la complejidad y la capacidad de los circuitos de control podrán montarse estructuras más complejas y potentes con menos circuitería.

Entre los tipos de circuitos integrados de control podríamos establecer una primera clasificación según su funcionalidad de la forma siguiente:

MAPA DE LECTURA DEL TECLADO

	columna					renglón			
	0	0	0	0	0	0	0	0	pulso
	0	0	0	0	1	0	0	0	temperatura
	0	0	0	1	0	0	0	0	respiración
	0	0	0	0	0	0	0	1	presión
	0	0	0	0	0	0	1	1	automático
	0	0	0	1	0	0	1	1	transmitir

Figura 4.20. Codificación de teclas usadas.

- Controladores de interrupciones
- Controladores de acceso directo a memoria
- Controladores de memoria
- Controladores de periféricos

En el mercado se puede encontrar microprocesadores muy completos, muy baratos y de baja velocidad. Si la velocidad es un requerimiento indispensable, entonces puede elegirse la tecnología TTL Schottky, en lugar de la tecnología MOS, con la cual con detrimento de la integración se pueden cubrir los requerimientos de velocidad que se precisan.

Las aplicaciones de los microprocesadores usados como controladores se pueden agrupar en niveles funcionales. Así, según el uso a que se destinen los controladores se encuentran las siguientes categorías.

- 1.- Utilizados como sustitutos de servomecanismos de control y mando.
- 2.- Usados para controlar pequeñas unidades autónomas.
- 3.- Usados para el control de periféricos en sistemas de micro o minicomputadoras.

No obstante, a veces resulta difícil encuadrar un sistema concreto en alguno de estos tres niveles, aunque esta clasificación resulta útil para describir conceptualmente estas áreas o campos de aplicación.

Elección del Microcontrolador

Se evaluarón diversos tipos de microcontroladores, básicamente la evaluación se hizo entre los microcontroladores de las familias INTEL y NATIONAL.

De INTEL se consideraron las familias de 8 bits MCS-48 y MCS-51. Las principales características así como los cuadros comparativos de ambas familias se muestran en el apéndice B.

De NATIONAL SEMICONDUCTOR se evaluarón los microcontroladores de 8 bits de la familia COP800. Sus principales características y su cuadro comparativo se encuentran en el apéndice B.

Algunas de las características que se tomarón en cuenta para la elección del microcontrolador fueron :

- Disponibilidad : que se encontrara disponible en el mercado y su precio fuera accesible
- Ciclo de reloj por instrucción
- Velocidad
- Capacidad de memoria y expansión

El microcontrolador seleccionado es el COP8720. Algunas de las características por las cuales fue seleccionado se enueneran a continuación :

- Disponibilidad en el mercado
- Precio
- Ciclo de 1 μ s (reloj de 20 MHz)
- Sencillez en la operación y programación
- EEPROM que puede ser usada como RAM
- Programación local del EEPROM
- Cuatro puertos :
 - 2 de 8 bits de entrada - salida
 - 2 de 4 bits, uno de entrada y uno de salida
- Contador de 16 bits
- Expansión de memoria hasta 32 Kb

Debido a la necesidad de sincronizar a todos los dispositivos bajo una misma señal de reloj, y del hecho de que todos ellos manejan señales de control comunes, se eligió un circuito común para controlar las señales de reloj y de RESET, el circuito elegido fué el DPB224 de NATIONAL, ya que es compatible con los niveles de voltaje manejados por el COP8720.

Descripción funcional del circuito controlador

Un diagrama representativo del circuito controlador se muestra en la figura 4.20a.

El puerto L (8 bits de E/S) es usado como bus de datos .

El puerto G (8 bits de E/S) es usado para controlar el convertidor y para seleccionar los demás dispositivos. El bit Go

es usado sólo como entrada ya que éste es el de interrupción.

El puerto D es usado para controlar la lectura y escritura a los circuitos B251 (UART) y B279 (controlador de teclado y despliegue).

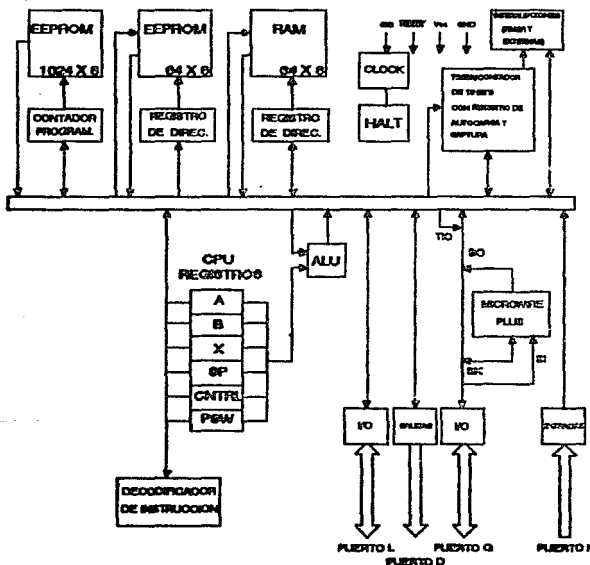


Figura 4.20a. Diagrama representativo del circuito controlador.

Las señales de reloj y de RESET son tomadas del circuito DP8224 , figura 4.21 .

Todos los puertos se encuentran mapeados en memoria, este mapa así como el mapa general de la memoria del microcontrolador se muestran en el apéndice B.

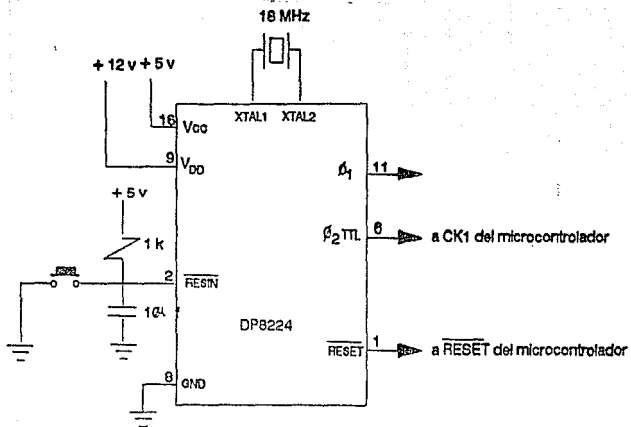
En la figura 4.22 y 4.23 se muestran los mapas de memoria para el manejo de los datos. A continuación se describe la forma de manejo de la misma. En la figura 4.22 se muestra el mapa general de la memoria de datos, al inicio de dicha memoria se cargan las variables, el *stack* es cargado a partir de la última localidad de memoria RAM volátil, en la memoria EEPROM se cargan los datos que conforman el programa de control de la operación del sistema completo.

En las localidades que van de la BEm a la BFm se encuentran los parámetros de comparación que servirán como referencia para la activación de la alarma, dependiendo de las condiciones generadas entre estos parámetros y los adquiridos.

En las localidades 01m - 07m está localizada la memoria de despliegue, ésta es transferida al controlador de teclado y despliegue cada 5 segundos. Sin embargo, la memoria de muestreo (09m - 0Dm) es actualizada con cada muestra.

El estado del despliegue se encuentra en la palabra 00m,

Figura 4.21. Manejador del reloj DP8224



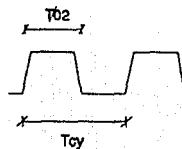
$$T_{cy} = 1 / (2 M) = 500 \text{ nseg}$$

$$T_{\alpha 1} = 91.11 \text{ ns}$$

$$T_{\alpha 2} (\text{TTL}) = 242.77 \text{ nseg}$$

$$T_{clk} = 55.55 \text{ nseg}$$

$$\text{Frecuencia del reloj} = 2 \text{ MHz}$$



MAPA DE MEMORIA

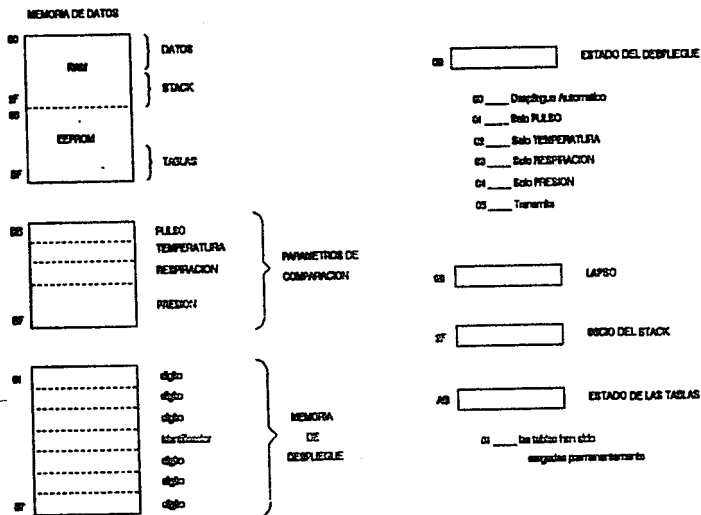


Figura 4.22. Mapa de Memoria.

ésta indica si lo que se debe desplegar es una señal en particular o un despliegue en forma automática, lo cual significa que cada señal es desplegada cada 5 segundos.

En la dirección OB_H se tiene mapeada la variable LAPSO la cual es un contador que indica el tiempo de retardo que se debe respetar para la actualización de la memoria de despliegue (cada 5 seg).

El inicio del *stack* se encuentra en la dirección 2F_H .

En la dirección AB_H se encuentra una palabra cuyo único fin es el de indicar si las tablas han sido cargadas permanentemente.

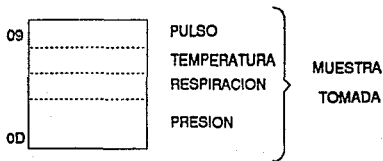
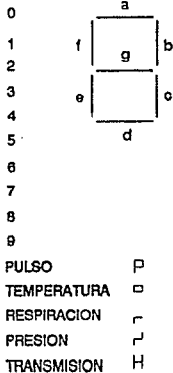
De las direcciones AC_H - BF_H, fig. 4.23, se encuentra cargada la tabla de conversión para el despliegue, ésta es cargada sólo la primera vez, ya que es almacenada en el EEPROM, cuando ésta se carga enciende un bit en la variable Estado de las Tablas (AB_H).

Cuando se enciende el sistema que conforma el monitor portátil, el controlador del reloj (DP8224) genera automáticamente una señal de RESET, ésta llega a todos los dispositivos, en el caso especial del UART, le sirve también para autoprogramarse, por lo que, para que el microcontrolador no interfiera en la misma, espera un ciclo de máquina sin hacer

MAPA DE MEMORIA

Figura 4.23. Mapa de Memoria.

AC	3F
	06
	5B
	4F
	66
	8C
	7C
	07
	7F
	67
	73
	63
	50
	52
BA	36



nada (NDP) para asegurar la correcta programación del mismo. Una vez inicializados los dispositivos, el microcontrolador tiene como siguiente función el programar todos sus puertos, verificar si las tablas de despliegue ya han sido cargadas (la primera vez éstas son cargadas en el EEPROM que funciona como RAM, por lo que una segunda carga no es necesaria), y programa el circuito controlador del despliegue y teclado.

Una vez que todo el ambiente ha sido configurado, este inicia su barrido para muestrear todas las señales, las muestrea y los valores los coloca en la memoria de las muestras tomadas, esta memoria es transformada mediante el uso de tablas para pasarla a la memoria de despliegue cada 5 segundos, ya que cada 5 segundos es refrescado el despliegue.

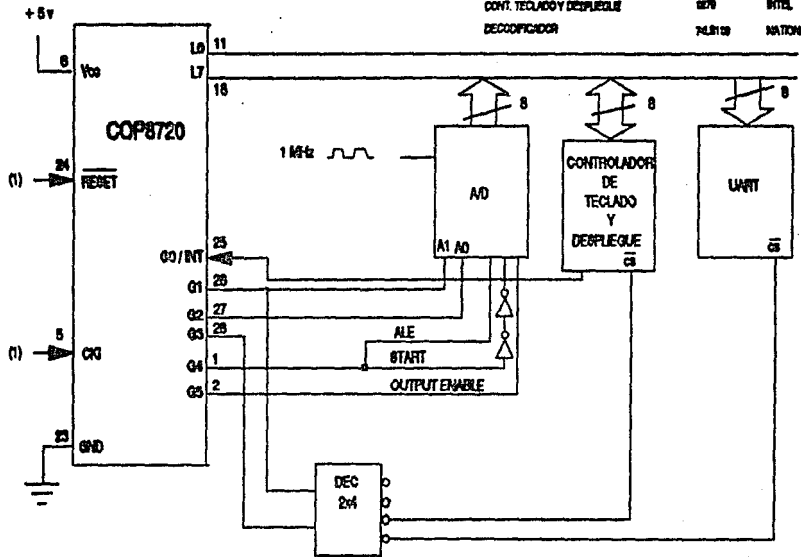
El único dispositivo capaz de interrumpir al microcontrolador es el 8279 (controlador de teclado y despliegue) ya que la interrupción sólo puede ser generada al oprimir una tecla, una vez hecho esto el DP8720 es interrumpido y lee el bus de datos para saber cual ha sido la tecla presionada (en el diagrama del 8279 se muestra la decodificación del teclado). La interrupción ocasiona un salto a la localidad FF_h en donde se determina cual es la tecla presionada y la acción que hay que tomar, además también modifica la palabra de Estado del Despliegue para indicar al operador la acción que se lleva a cabo.

ESQUEMA GENERAL

AD	ADC 888	NATIONAL
UART	825	INTEL
CONT. TECLADO Y DESPLIEGUE	8279	INTEL
DECOFIFICADOR	74LS139	NATIONAL

Figura 4.24. Diseño del Microcontrolador DP8720

139



(1) señales provenientes del DP8224

Una vez atendida la interrupción regresa al punto donde estaba anteriormente.

En la figura 4.24 se muestra el diagrama general de conexiones del controlador.

4.4.- TRANSMISION DE DATOS

La transferencia de información entre dos sistemas digitales; por ejemplo, un microcomputador y una terminal, periférico u otro microcomputador, se realiza generalmente carácter a carácter utilizando códigos binarios (ASCII, EBCDIC, BAUDOT, ...). Otras veces la información que se transfiere no corresponde a ninguna codificación de caracteres numéricos ó alfanuméricos, sino que es puramente binaria; por ejemplo, cuando se efectúan cargas de programas objeto sobre la memoria de un computador.

De una forma o de otra la información se transmite en unidades de información denominadas palabras, que suelen ser de 5 a 8 bits. Existen dos forma de realizar la transmisión de estas palabras.

Método paralelo. Transmitiendo simultáneamente, por líneas separadas, todos los bits de la palabra, junto con una señal de reloj que indica el momento en que está presente una palabra de información en las líneas de datos, figura 4.25.

Método serie. Transmitiendo en forma secuencial en el tiempo todos los bits de la palabra, uno tras otro, por una sola línea de datos.

El método paralelo es utilizado para transmisiones a alta velocidad entre dos sistemas; no obstante cuando la distancia entre ambos aumenta, el costo de la línea y el de los amplificadores de transmisión y recepción puede llegar a crecer de forma tal que, desde el punto de vista económico, sea preferible utilizar un sistema serie de comunicaciones.

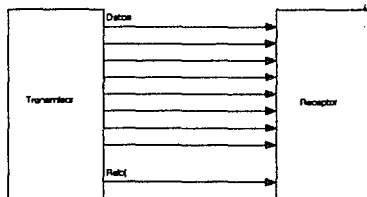


Figura 4.25. Transmisión paralela.

Existen normas universalmente aceptadas que fijan completamente todos los detalles de la comunicación, incluyendo aspectos mecánicos (tipo de conector y distribución de señales en los pines del mismo), aspectos electrónicos (niveles y formas de las señales) y aspectos lógicos (sistemas de codificación y sincronización, y descripción de todos los circuitos de datos,

control y de tiempo)

Cuando se transmiten informaciones a través de una línea serie, es necesario utilizar un sistema de codificación que permita resolver los siguientes problemas:

Sincronización de bit. El receptor necesita saber exactamente donde empieza y donde termina cada bit en la señal recibida, para efectuar el muestreo de la misma en el centro de la celda de bit.

Sincronización de carácter. La información en serie se transmite, por definición bit a bit, pero la misma tiene sentido en palabras, por ejemplo de 8 bits. El sistema de codificación usado debe permitir distinguir sin ambigüedades dentro de un tren de bits cuáles son los 8 que forman una palabra.

Sincronización de mensaje. En un sistema de comunicaciones generalmente las informaciones se transmiten en bloques de caracteres. Por sincronización de mensaje entendemos el mecanismo por el cual un conjunto de palabras es interpretado correctamente. Este problema normalmente no incumbe a los circuitos de codificación, sino al procesador que lo utiliza.

La comunicación entre terminales se hace utilizando líneas o canales de transmisión, que pueden ser implementados en los modos de transmisión:

Simplex, cuando son capaces de transmitir información en un solo sentido.

Semiduplex (half-duplex), cuando son capaces de transmitir información en ambos sentidos pero no en forma simultánea.

Duplex (full-duplex), cuando son capaces de transmitir información en forma simultánea y en ambos sentidos.

La codificación de las señales en estos sistemas se hace mediante uno de los siguientes métodos: asíncrono o síncrono.

Método asíncrono. En este método la transmisión se controla por bits de inicio y de final que enmarcan cada carácter transmitido, son los denominados bits de *start* y *stop* y son utilizados por la terminal receptor para sincronizar su reloj con el del transmisor en cada carácter.

La especificación RS404 de EIA (Electronic Industries Association) define las características del método asíncrono de transmisión serie. Esta se basa en las siguientes reglas:

- a) Cuando no se envían datos por la línea, ésta se mantiene en estado 1.
- b) Cuando se desea transmitir un carácter se envía primero un bit que pone la línea a cero durante el tiempo de 1

bit.

- c) A continuación se envían todos los bits del carácter a transmitir con los intervalos que marca el reloj de transmisión.
- d) A continuación del último bit del carácter se envía el bit de final, que hace que la línea se ponga a 1 por lo menos durante el tiempo de 1 bit.

Los datos codificados según estas reglas pueden ser detectados fácilmente por el receptor. Para ello deben seguirse los siguientes pasos:

- 1) Esperar una transición de 1 a 0 en la señal recibida.
- 2) Activar un reloj de frecuencia igual a la del transmisor.
- 3) Muestrear la señal recibida al ritmo de este reloj para formar el carácter.
- 4) Leer un bit más de la línea y comprobar si es uno para confirmar que no ha habido error de sincronización.

Método síncrono. En el método síncrono, en vez de añadirse bits de sincronía a cada palabra, lo que se hace es añadir caracteres de sincronía a cada bloque de datos. Los caracteres se transmiten en serie, bit a bit, y sin ninguna separación entre uno y otro, no obstante, delante de cada bloque de datos se colocan unos caracteres de sincronía que sirven al receptor para realizar la sincronización de carácter.

La sincronización de bit se consigue normalmente utilizando una señal externa de reloj. En una comunicación local entre dos dispositivos, el transmisor envía, por una línea independiente de la de datos, su señal de reloj, que es utilizada por el receptor como reloj de recepción.

La sincronización de bit queda de esta forma resuelta, ya que el mismo reloj que el transmisor utiliza para serializar los bits de información, sobre la línea de datos, es utilizado por el receptor para leer los datos recibidos. Será necesario únicamente tener en cuenta que el receptor debe muestrear la línea de datos con el flanco de reloj contrario al que el transmisor utilizó para enviarlos, para que así, el muestreo se efectúe en el centro de la celda de bit.

El método de comunicaciones síncrono se utiliza cuando el volumen de información a enviar es importante, debido a su mayor eficiencia respecto al método asíncrono. En modo síncrono, cada mensaje se envía precedido por unos caracteres de sincronía, normalmente dos caracteres SYN.

Selección del circuito de comunicaciones

El circuito de comunicaciones que se adapta a las necesidades del sistema es el UART (Universal Asynchronous Receiver-Transmitter), circuito 8251A de la familia Intel. Uno

de los factores que influyó en la elección fue su disponibilidad en el mercado así como su costo.

Las características de este se enumeran a continuación :

- Transmisión.
 - Síncrona y Asíncrona
 - Full-Duplex y Half-Duplex
- Longitud del carácter : 5 - 8 bits
- Salida compatible con TTL
- Detección de errores y paridad
- Modo síncrono :
 - Sincronización externa o interna
 - Hasta 64 K bauds
- Modo asíncrono :
 - Bits de parada : 1, 1.5 y 2
 - Hasta 19.2 K bauds

Descripción funcional del circuito de comunicaciones

La configuración bajo la cual se va a establecer la comunicación, utilizando el circuito UART, es la siguiente:

- Modo asíncrono, half duplex
- 1.2 K bauds
- Un bit de parada
- Longitud del carácter : 8 bits

En la figura 4.26 se muestra la conexión del circuito 8251 al monitor portátil.

El puerto D del microcontrolador es usado para controlar el UART. La señal D_0 es usada para indicar si la palabra que se encuentra en el *bus* es de control o no. La señal D_0 es un 1 lógico para indicar que la palabra en el *bus* es de control; es un 0 lógico para indicar que ésta debe ser tratada como datos.

El bit D_1 es usado para indicar cuando se deben enviar datos. Si la señal D_1 es 1 lógico se envían datos.

La terminal 9 del UART es la que indica lectura de datos, ésta es mantenida en 1 lógico, ya que la filosofía seguida por el microcontrolador es que él siempre envía datos más nunca recibe.

Las señales de RESET y el ciclo de reloj se toman del circuito DP8224 (el reloj es dividido entre 26 y usando un factor de 64 para garantizar una velocidad de transferencia de 1200).

Los bits G_1 y G_0 son usados por el microcontrolador para seleccionar el UART. Estos se conectan a un decodificador de 2 a 4 que a su vez está conectado a una compuerta XOR y a un inversor.

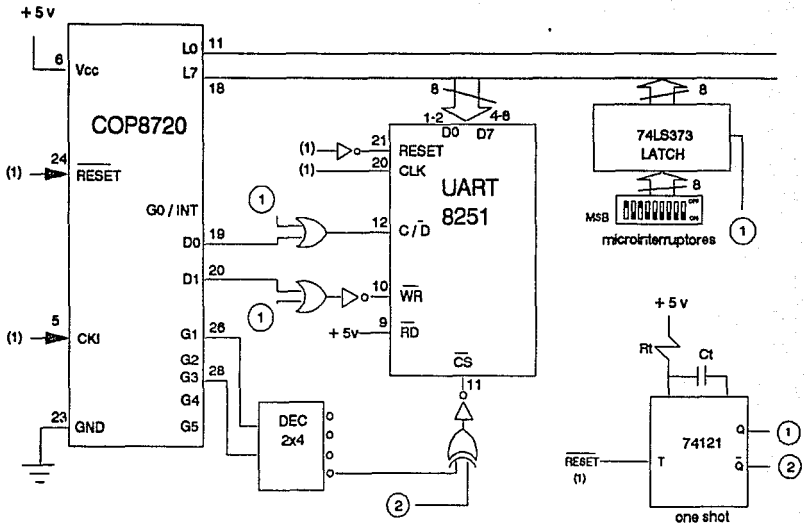
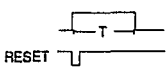
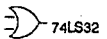
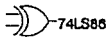


Figura 4.26. Diseño del UART 8251.

(1) señales provenientes del DP8224



$$T = .7 R_t C_t$$

si $T = 5 \text{ micro seg}$
 si $C_t = 1.5 \text{ nF}$ $R_t = 4762 \text{ ohms}$

configuración : 19200 bauds paridad impar
 1 bit de parada 8 bits de datos

La selección del circuito integrado se hace en conjunción con una señal proveniente del circuito monoestable 74121.

Para la programación inicial del UART se usa un banco de microinterruptores, un circuito de retención (latch), un circuito monoestable (one shot), un par de compuertas OR, 3 inversores y una compuerta NOR.

La programación del UART se logra de la siguiente manera : El banco de microinterruptores tiene configurada la palabra de control. Este se encuentra conectado permanentemente al circuito *latch*. Cuando el circuito manejador del reloj DP8224 genera la señal de RESET, ésta es aplicada a la terminal de RESET del UART; así como al circuito monoestable, el cual genera un pulso de $5\mu s$ (la configuración del monoestable así como las ecuaciones para el cálculo del ancho del pulso se encuentran en la figura 4.26). El pulso se encuentra en las dos salidas del monoestable Q y \bar{Q} . La salida Q entra al *latch* habilitando así la puesta de los datos en el *bus*. Las señales D_0 y D_1 provenientes del microcontrolador y la salida Q del monoestable están conectadas a un par de compuertas OR; éstas habilitan las señales de control y escritura del UART. La señal \bar{Q} del monoestable conectada a una compuerta NOR permite la selección del circuito durante la programación inicial.

Las tablas de verdad, así como los diagramas de tiempo se muestran en la figura 4.27.

Q	D ₀	C/D	Q	D ₁	\overline{WR}	X ₁	Q	CS	\overline{CS}
0	0	0	0	0	0	0	0	0	1
0	1	1	0	1	1	0	1	1	0
1	0	1	1	0	1	1	0	1	0
1	1	1	1	1	1	1	1	0	1

X₁ _ Señal proveniente del Decodificador

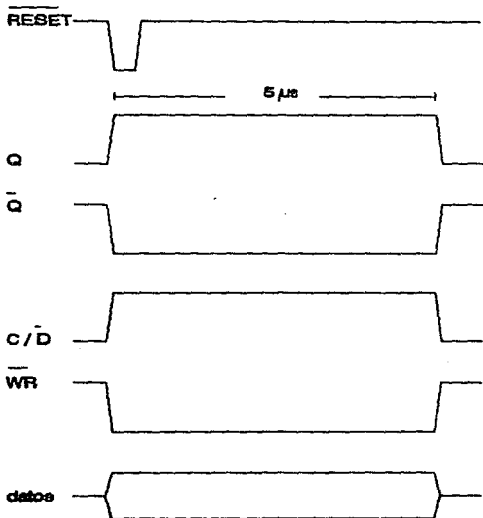


Figura 4.27. Tablas de verdad y diagramas de tiempo

Modulación digital.- En algunas aplicaciones se requiere que las señales obtenidas de los diferentes equipos sean transmitidas a larga distancia. Las señales digitales provenientes de la computadora son conocidas como señales de banda base. Para tener una transmisión de información eficiente se requiere que las señales que llevan información sean procesadas de alguna forma antes de que se transmitan, este procesamiento es conocido como modulación. En general, una modulación brinda en primera instancia un desplazamiento de las señales trabajadas en banda base hacia frecuencias superiores con la finalidad de que la transmisión y la recepción sean factibles a través de un sistema de antenas convencional, portable y de dimensiones reducidas. En segundo término, una modulación permite que el viaje de las señales se efectúe con la mayor eficacia posible, con la menor interferencia, atenuación, traslape ó pérdida de información original. Esto es, que las diferentes técnicas de modulación cuentan con ventajas afines; sin embargo, para algunas de ellas se presentan ciertas ventajas adicionales dependiendo del tipo de información requerida para transmitir y sus condiciones originales en banda base. Es por ello que, tomando en cuenta que nuestra información se encuentra en una serie de pulsos conocidas como señales digitales, la forma y manejo más eficiente de las mismas será a través de alguna modulación del tipo digital. Como dicha transmisión será efectuada a través del aire como medio de transmisión, la señal de alta frecuencia capaz de desplazar a la señal original en banda base tendrá características senoidales, de manera que

nuestra modulación se ubica dentro de las técnicas de modulación digital con portadora senoidal. Para cada caso las señales que realizan el proceso de desplazamiento hacia frecuencias superiores constituyen la señal portadora y la señal que resulta del proceso se conoce como señal modulada.

Existen tres tipos básicos de modulación de señales digitales con portadora senoidal. Una es por medio de la variación de la amplitud, otra en la frecuencia, y una última en la fase.

Tipos de modulación digital

ASK. - Este tipo de modulación realiza una conmutación entre los dos estados de una señal digital 0 ó 1. Si llamamos a la señal digital S_d , la cual tiene únicamente dos valores lógicos 0 ó 1, y a la portadora $S_z = A_0 \sin \omega_0 t$, tendremos que para el estado digital 1 se tendrá como resultado de este tipo de modulación a la señal S_z , mientras que para el estado digital 0, tendremos la ausencia de señal, como lo muestra la figura 4.2B. Hay que hacer notar que el transmisor para este sistema consistirá sencillamente de la manipulación alternativa de un oscilador, por esto se conoce a menudo al ASK como manipulación alternativa. Es importante hacer notar que esta manipulación se efectúa en sincronía con la portadora; esto es, cada vez que se envía S_d , se manipula la portadora en el mismo punto de su ciclo.

PSK.- La modulación por corrimiento de fase llamada comunmente PSK está dada por la señal modulada:

$$f_e = \pm \cos \omega_c t \quad - T/2 \leq t \leq T/2 \quad (4.5)$$

Este tipo de modulación se refiere a cambios en la fase de la señal original con referencia a la señal digital. Aquí, un 1 de la señal digital S_i corresponde a la polaridad positiva y el cero corresponde a un cambio en la fase para la polaridad negativa. La señal de PSK corresponde entonces esencialmente a una señal digital con cambios de fase en los instantes dados por la frecuencia de la señal original, un ejemplo de ello se muestra en la figura 4.28. Las transiciones discontinuas de fase al comienzo y al final de cada intervalo de bit, cada vez que tiene lugar una transición entre 1 y 0 ó entre 0 y 1, se suavizan realmente durante la transmisión gracias a la forma que se ha usado. La información, independientemente de la polaridad, es sin embargo retenida en el centro de cada intervalo, de manera que la decodificación en el receptor se lleva a cabo en las proximidades del centro de los pulsos.

FSK.- En la modulación por corrimiento de frecuencia (FSK), la portadora conmuta entre dos frecuencias predeterminadas. Una de ellas para el estado lógico 1 y otra frecuencia para el estado lógico 0. De la siguiente manera, supóngase una secuencia de pulsos binarios, como los que se muestran en la figura 4.28. El 1 corresponde a la frecuencia f_1 , y el 0 a la frecuencia f_2 .

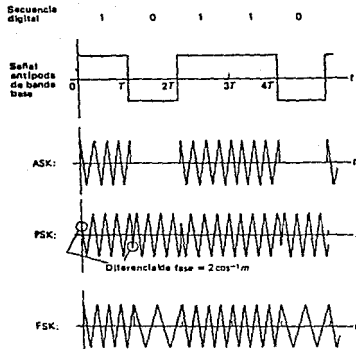
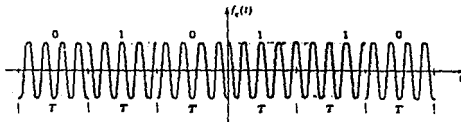


Figura 4.2B. Formas de onda para modulación ASK, PSK y FSK



Señal de manipulación por corrimiento de frecuencia.

Una representación alternativa de la onda de FSK consiste en hacer $f_1 = f_c - \Delta f$, $f_2 = f_c + \Delta f$. Las dos frecuencias difieren

entonces en $2\Delta f$ hertz. Por lo tanto:

$$f_c(t) = A \cos (\omega_c \pm \Delta\omega)t \quad -T/2 \leq t \leq T/2$$

La frecuencia entonces se desvia $\pm \Delta f$ alrededor de f_c , Δf se denomina comúnmente desviación de frecuencia. Ambas desviaciones en frecuencia son múltiplos enteros de la frecuencia binaria y están sincronizadas en fase como se ha supuesto en la ecuación anterior, la onda de FSK es la función periódica mostrada en la figura 4.2B.

El ancho de banda de esta señal periódica es entonces $2\Delta f + 2B$, donde B es el ancho de banda de la señal de banda base. Hay dos casos extremos interesantes:

1. Si $\Delta f \gg B$, el ancho de banda tiende a $2\Delta f$. Así pues, si se usa una gran separación entre los tonos en el sistema FSK, el ancho de banda es esencialmente el mismo que esa separación y es independiente del ancho de banda de la señal de banda base binaria.

2. Si $\Delta f \ll B$, el ancho de banda tiende a $2B$. En este caso el ancho de banda esta determinado por la señal de banda base.

El primer caso se llama FM de banda ancha y el segundo FM de banda angosta. Si la señal de banda base es una sucesión arbitraria de pulsos binarios, cada uno de los cuales se

encuentra conformado por una caída senoidal del factor r , el ancho de banda aproximado de la señal correspondiente FSK está dado por $2\Delta f + 2B$, con $B = (1/2T)(1+r)$, donde T es el ancho del pulso de la señal FSK y r es el factor de caída. La forma del espectro de FSK es aproximadamente igual a la que se muestra en la figura 4.29.

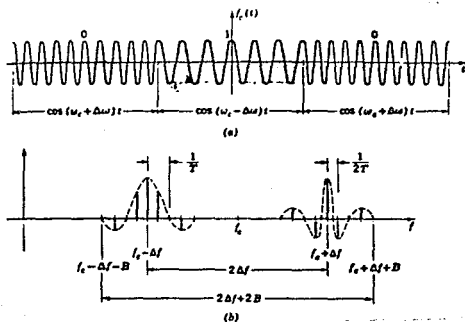


Figura 4.29. Espectro de la onda periódica de FSK
a) señal periódica de FSK. b) espectro

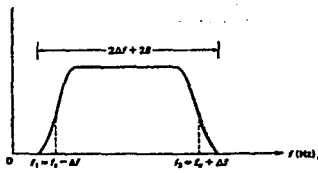


Figura 4.30. Espectro de FSK con conformación de caída senoidal

Para el caso del sistema en cuestión, de los tres métodos de modulación descritos, se seleccionó la modulación FSK, ya que es el tipo de modulación que responde mejor dentro de los sistemas de transmisión ruidosos, por ejemplo el canal de transmisión aérea, que será empleado por el presente diseño.

Circuito modulador-demodulador.- Como el transmisor empleado es el tipo de micrófono convencional para banda civil (CB), conocido como PTT, y éste transmisor empleado recibe señales en el ancho de banda de la voz (100 a 3 KHz.), entonces el circuito modulador-demodulador está condicionado a dicho rango de frecuencias. El circuito modulador-demodulador, empleado para la transmisión de los datos digitales del Monitor portátil, es un arreglo compuesto por los circuitos integrados XR-2206, que es un generador de funciones, y del XR-2211, que es un demodulador FSK, en el apéndice B se muestran las características de éstos circuitos integrados. La comunicación es full-duplex, siendo posible tener el mismo circuito en la transmisión y en la recepción. Para la modulación, el circuito 2206 genera la portadora senoidal adecuada para que los datos sean modulados a una velocidad de transmisión de 1200 bits por segundo, siendo ésta la velocidad necesaria para el ancho de banda requerido por el transmisor. Los valores de los elementos resistivos y capacitivos para que el circuito integrado 2206 trabaje a 1200 bauds se determinan utilizando la hoja de especificaciones del fabricante (tabla 2 del apéndice B), de la siguiente manera:

Para el circuito integrado 2206, la frecuencia de modulación puede ser seleccionada variando las resistencias R_{06} y R_{76} que van conectadas a las terminales 7 y 8. A su vez la frecuencia central f_0 está determinada por el capacitor C_6 .

La frecuencia f_1 para el primer estado lógico y la frecuencia f_2 para el otro estado lógico están determinadas por las expresiones:

$$f_1 = \frac{1}{R_1 C} \quad (4.6)$$

$$f_2 = \frac{1}{R_2 C} \quad (4.7)$$

siendo R_1 y R_2 las correspondientes R_{06} y R_{76} de nuestro diseño.

Para que se active la salida dada por f_1 es necesario que exista un voltaje de polarización mayor ó igual a 2 volts en la terminal 9 del circuito integrado.

Por otro lado, para que se active la salida dada por f_2 se necesita un voltaje menor ó igual a 1 volt en la misma terminal 9 del CI 2206.

Con ésto se obtienen las dos frecuencias necesarias para cada uno de los estados, de acuerdo con los siguientes cálculos, tomando como base los valores comerciales de los capacitores a

0.022 μ F:

$$f_1 = \frac{1}{(33 \text{ K}\Omega)(0.022 \text{ }\mu\text{F})} = 1377 \text{ Hz}$$

$$f_2 = \frac{1}{(47 \text{ K}\Omega)(0.022 \text{ }\mu\text{F})} = 967 \text{ Hz}$$

El circuito trabaja a una frecuencia central dada por:

$$f_0 = \frac{f_1 + f_2}{2} = \frac{1377 + 967}{2} = 1172 \text{ Hz} \quad (4.8)$$

$$\Delta f = f_1 - f_0 = 1377 - 1172 = 205 \text{ Hz} \quad (4.9)$$

Para la demodulación, el circuito demodulador FSK 2211 cuenta internamente con un circuito de detección PLL en la terminal 11. Este circuito está diseñado para comunicación de datos, especialmente para aplicación a modems en FSK. Su voltaje de alimentación oscila en el rango de 4.5 a 20 volts y el ancho de banda de operación es de 0.1 Hz. a 300 KHz. y soporta señales analógicas entre 2 mV y 3 volts para interfaces convencionales DTL, TTL y ECL. El circuito consiste de un módulo PLL para el rastreo de la señal de entrada, un comparador de voltaje y una serie de filtros para ajuste de la portadora. Los componentes externos son usados en forma independiente para poder seleccionar la frecuencia central, el ancho de banda y el tiempo de retardo.

Un circuito PLL es un circuito electrónico que consta de un detector de fase, un filtro paso baja y un oscilador controlado por voltaje (VCO).

Para nuestro caso, se utilizó el siguiente procedimiento de diseño el cual es indicado por el fabricante en su hoja de especificaciones:

Paso 1: Cálculo de la frecuencia central f_0

$$f_0 = \frac{f_1 + f_2}{2} = \frac{1377 + 967}{2} = 1172 \text{ Hz}$$

Paso 2: Se escoge R_{AB} entre 20 K Ω y 18 K Ω para 1200 baudios:

$$R_{AB} = 18 \text{ K}\Omega$$

Paso 3: Se calcula C_1 :

$$C_1 = \frac{1}{R_{AB} f_0} = \frac{1}{(18 \text{ K}\Omega)(1172 \text{ Hz})} = 47 \text{ nF}$$

Paso 4: Se calcula R_B :

$$R_B = (R_{AB}) \frac{f_0}{f_1 - f_2} = (18 \text{ 000}) \frac{1172}{1377 - 967} = 51 \text{ K}\Omega$$

Paso 5: Se calcula C_2 :

$$C_2 = \frac{C_1}{4} = \frac{47 \text{ nF}}{4} = 11.75 \text{ nF}$$

El circuito completo modulador-demodulador se muestra en la figura 4.31.

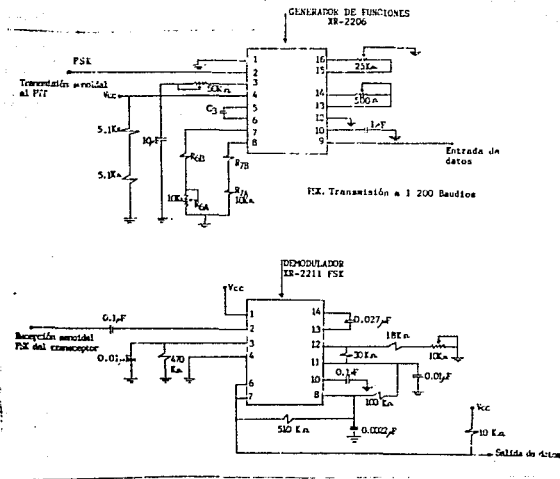


Figura 4.31. Circuito modulador-demodulador.

Circuito para comunicaciones via radiconlinea.- Para la

transmisión de las señales ya moduladas vía radioenlace, se hará uso de un radio que actualmente es utilizado por las ambulancias de una compañía de televisión particular, dicho transmisor tiene un alcance de 60 Kilómetros y trabaja en banda civil (CB). El diagrama completo y especificaciones del mismo se encuentran en el apéndice E. Las señales moduladas, son recibidas por el transmisor al momento de seleccionar la posición de *datos*, figura 4.32 colocado expresamente para deshabilitar el micrófono y permitir el envío de datos, en forma similar que al transmitir los mensajes de voz por dicho micrófono.

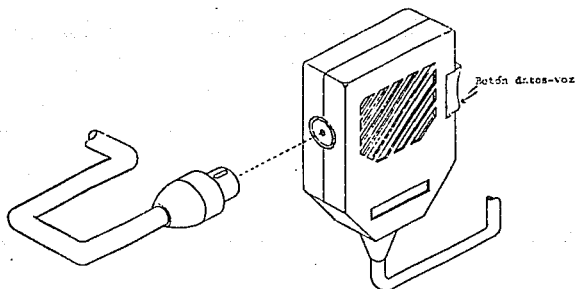


Figura 4.32. Dibujo de un PTI comercial.

De ésta forma, el transmisor podrá enviar mensajes de voz,

ó bien datos del Monitor, dependiendo de la posición que haya sido seleccionada del botón *datos-voz*, ya que, al oprimir una de las dos posiciones se inhibe la otra sin permitir la interferencia de los datos con la voz. Esto es, no se puede enviar simultáneamente voz y datos. La conexión eléctrica adicional que será instalada al dispositivo PTT¹ del transmisor original que se muestra en la figura 4.33.

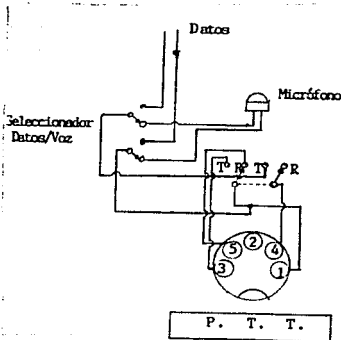


Figura 4.33. Diagrama de conexión eléctrica al PTT.

¹ Dispositivo para comunicarse manualmente oprimiendo el botón transmisor y acercando la voz a las ranuras del microfono.

CAPITULO V
PROGRAMACION DEL SISTEMA

No Flay

Hojas

No. 164-167

En el presente capítulo se describe y desarrolla la lógica que el controlador debe seguir para realizar sus funciones.

Debido a la multiplicidad de funciones que el controlador debe realizar, la programación fue dividida en módulos para facilitar su desarrollo y mantenimiento.

El módulo central tiene dos funciones básicas, una de configuración y otra de muestreo y despliegue.

La función de configuración tiene dos objetivos; el primero es cargar las tablas que contienen los valores tipo así como los códigos usados para despliegue. El segundo objetivo consiste en inicializar los dispositivos conectados al controlador.

La segunda función es un ciclo en el que se muestrean y despliegan las señales. Este ciclo sólo puede ser interrumpido por una entrada en el teclado.

B.1.- SUBROUTINA DE CARGA DE TABLAS

Una de las primera tareas que el sistema debe realizar al inicio de operación es verificar si, las tablas que contienen los valores tipos de las diferentes variables a monitorear, así como los códigos que se usarán para desplegar las mismas, están cargadas o no. El estado de las tablas está dado por el indicador que se encuentra en la localidad AB₈, si este indicador tiene un valor de 1, entonces las tablas ya están cargadas; en caso contrario, se ejecuta la subrutina CARGA_TABLAS que se encarga de hacerlo. Las tablas se cargan en la memoria permanente (EEPROM), es por esto que la subrutina CARGA_TABLAS pone el indicador en la localidad AB₈ con un valor de 1, para que la próxima vez que el sistema entre en operación ya no se vuelvan a cargar estas tablas.

El diagrama de flujo para esta subrutina se muestra en la figura 5.1. En este puede verse que de la localidad BB₈ a la BF₈ se cargan los valores de comparación para la activación de la alarma. En seguida, de la localidad AC₈ a la BS₈ se cargan los códigos para representar cada uno de los digitos despliegue. Las localidades B6₈ a BA₈ son usadas para cargar el código del caracter indentificador de cada una de las variables a desplegar (ver figuras 4.19 , 4.22 y 4.23 capítulo 4). Por último se carga un 1 en la localidad AB₈ que es donde se almacena el estado de las tablas.

CARGA TABLAS

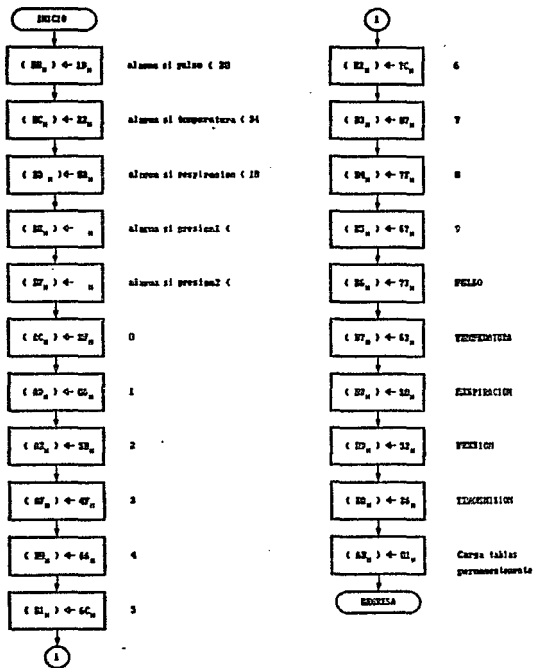


Figura 5.1. Diagrama de flujo de la subrutina CARGA_TABLAS.

CARGA_TABLAS :

LD BBH, #1D ;alarma si pulso < 30
LD BCH, #22H ;alarma si temperatura < 34
LD BDH, #25H ;alarma si temperatura > 37
LD BEH, #32H ;alarma si presión < 50
LD BFH, #64H ;alarma si presión > 100
LD ACH, #3FH ;código para desplegar un cero
LD ADH, #06H ;código para desplegar un uno
LD AEH, #5BH ;código para desplegar un dos
LD AFH, #4FH ;código para desplegar un tres
LD B0H, #66H ;código para desplegar un cuatro
LD B1H, #6CH ;código para desplegar un cinco
LD B2H, #7CH ;código para desplegar un seis
LD B3H, #07H ;código para desplegar un siete
LD B4H, #7FH ;código para desplegar un ocho
LD B5H, #67H ;código para desplegar un nueve
LD B6H, #73H ;código para indicar pulso
LD B7H, #63H ;código para indicar temperatura
LD B8H, #50H ;código para indicar respiración
LD B9H, #52H ;código para indicar presión
LD BAH, #36H ;código para indicar transmisión
LD ABH, #01H ;1 -> tablas en memoria permanente
RET

3.2.- SUBROUTINA PARA CONFIGURAR EL CONTROLADOR DE TECLADO Y DESPLIEGUE

Cada vez que el sistema sea encendido o reestablecido tanto el controlador de teclado como el de despliegue deben ser configurados. Esto se hace a través de los parámetros que son puestos por la subrutina CONF_TEC_DESP.

En el diagrama de flujo (figura 5.2) puede verse que en la localidad D0x (puerto L) se carga el valor de 11x, este valor indica al controlador de teclado y despliegue la configuración que debe tomar, en este caso es decodificación automática del teclado y que el corrimiento de los números en el despliegue sea de derecha a izquierda. Para indicar que la información que se encuentra en el puerto L es de control se escribe un 05x en la localidad D0x (puerto D), una vez que se ejecutó lo anterior se debe activar el circuito controlador de teclado y despliegue, esto se hace cargando un 08x en la localidad D4x (puerto G). En forma similar a la descrita anteriormente se le indica al circuito controlador de teclado y despliegue que divida la señal de reloj entre 20 siendo este resultado el periodo que usará para refrescar el despliegue. Siguiendo la secuencia anterior un 90x es colocado en el puerto L para indicar que el desplazamiento de derecha a izquierda será automático y que inicie en la localidad 0x de la memoria RAM del controlador de teclado y despliegue.

CONFIGURACION
TECLADO Y DESPLIEGUE

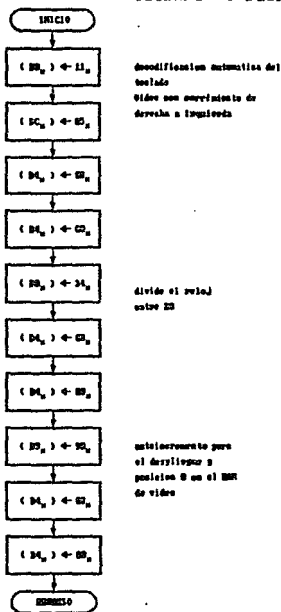


Figura 5.2. Diagrama de flujo para la subrutina que configura al controlador de teclado y despliegue.

CONF_TEC_DESP:

LD D0w, @11w ;decodificación del teclado y

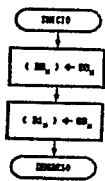
```

LD D0x, #05x ;video con corrimiento der. a izq.
LD D4x #08x ;activa al circuito integrado
LD D4x #00x ;desactiva al circuito integrado
LD D0x, #34x ;divide el reloj entre 20
LD D4x #08x ;activa al circuito integrado
LD D4x #00x ;desactiva al circuito integrado
LD D0x, #90x ;autoincremento para el despliegue
                ;y posición 0 en el RAM de video.
LD D4x #08x ;activa al circuito integrado
LD D4x #00x ;desactiva al circuito integrado
RET

```

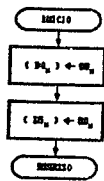
B.3. - SUBROUTINAS PARA CONFIGURAR LOS PUERTOS L Y G

En ciertos puntos de la operación del sistema tales como, inicialización del mismo, configuración de controladores, etcétera, se necesita que los puertos G ó L queden en estado *TRI-STATE*, así que las subrutinas CONF_L y CONF_G se encargan de hacerlo. Como se muestra en la figura 5.3, que corresponde a los diagramas de flujo para estas rutinas, basta con almacenar un 00x en las localidades D0x y D1x, para configurar el puerto L, D4x y D5x, para configurar el puerto G.



**CONFIGURACION
PUERTO L**

Configuracion de
puerto L para que
sea TRI - STATE



**CONFIGURACION
PUERTO G**

Configuracion de
puerto G para que
sea TRI - STATE

Figura 5.3. Diagramas de flujo para las subrutinas CONF_G y CONF_L.

CONF_L :

```

LD D04, 001 ;configura el puerto L para
LD D14, 001 ;que pase a estado TRI-STATE
RET
  
```

CONF_G :

```

LD D4, 001 ;configura el puerto G para
  
```

LD DS₁₆, 00h

¡que pase a estado TRI-STATE

RET

3.4. - SUBROUTINA DE MUESTREO

El programa principal opera en forma cíclica, durante cada ciclo ejecuta la rutina que se encarga de muestrear las variables médicas. Esta rutina muestrea secuencialmente cada una de las variables, para ello necesita generar las señales de control y sincronía que necesita el convertidor analógico-digital. La rutina toma una muestra aproximadamente cada 150 μ s; los datos son almacenados en la tabla de muestras (de la dirección 09h a la dirección 0Dh). Cuando se van a leer los datos provenientes del convertidor las interrupciones se inhiben para evitar posibles pérdidas de información.

La rutina lleva un contador que se encuentra almacenado en el puerto G, figura 3.4, este indica la variable que se está muestreando (0 para pulso, 1 para temperatura, 2 para respiración, 3 y 4 para presión), si el contador es mayor a 4 es inicializado a cero. La variable a muestrear es especificada antes de activar las señales ALE y START, cuando las señales anteriores son establecidas se inicia la conversión, entonces el microcontrolador entra a un ciclo de espera de 150 μ s suficiente para que el convertidor finalice la conversión. Las interrupciones son deshabilitadas para asegurar la lectura del

LD DS_n, 00_n

que pase a estado TRI-STATE

RET

B.4. - SUBROUTINA DE MUESTREO

El programa principal opera en forma cíclica, durante cada ciclo ejecuta la rutina que se encarga de muestrear las variables médicas. Esta rutina muestrea secuencialmente cada una de las variables, para ello necesita generar las señales de control y sincronía que necesita el convertidor analógico-digital. La rutina toma una muestra aproximadamente cada 150 μ s; los datos son almacenados en la tabla de muestras (de la dirección 09_n a la dirección 0D_n). Cuando se van a leer los datos provenientes del convertidor las interrupciones se inhiben para evitar posibles pérdidas de información.

La rutina lleva un contador que se encuentra almacenado en el puerto G, figura 5.4, este indica la variable que se está muestreando (0 para pulso, 1 para temperatura, 2 para respiración, 3 y 4 para presión), si el contador es mayor a 4 es inicializado a cero. La variable a muestrear es especificada antes de activar las señales ALE y START, cuando las señales anteriores son establecidas se inicia la conversión, entonces el microcontrolador entra a un ciclo de espera de 150 μ s suficiente para que el convertidor finalice la conversión. Las interrupciones son deshabilitadas para asegurar la lectura del

dato convertido, el dato convertido es almacenado en la tabla de muestras tomadas, al término de la lectura de datos las interrupciones se habilitan nuevamente y se incrementa el contador para muestrear a la siguiente variable.

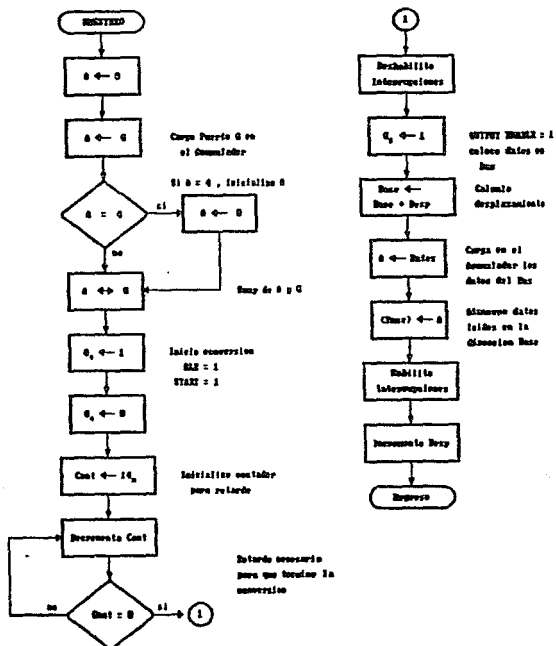


Figura 5.4. Diagrama de flujo de la subrutina de muestreo

MUESTREO :

LD A, #00H

X A, D4H

IFEQ A, #04H ;si a = 4 entonces

JMP M1 ;se reestablece A

JMP M2

M1 :

CLR A ;A = 0

M2 :

X A, D4H ;Gs direcciones activas

SBIT 4, D4H ;Gs = 1, inicia conversión, ALE=1

;START = 1

RBIT 4, D4H ;ALE Y START igual a cero

LD OF3, 14H ;inicializo contador con 20

DRSZ OF3 ;decrementa hasta que es cero para dar
;tiempo a que finalice la conversión

RBIT 1, EFH ;deshabilito interrupciones

SBIT 5, D4H ;OUTPUT ENABLE = 1, los datos son
;puestos en el bus

LD A, #09H ;dirección base para muestra tomada

ADD A, D4H ;calculo desplazamiento para tabla
;de muestras tomadas

X A, FE ; A (-) B

LD A, D2H ;leo datos de bus y los dejo en A

X A, [B] ;datos en memoria de muestra tomada

RBIT 5, 04H ;OUTPUT ENABLE = 0

```

BBIT 1, EF      ;se habilitan interrupciones
X   A, D4m     ; A <-> G
INC  A         ;se elige sig. dato a muestrear
X   A, D4m     ; A <-> G
RET

```

5.5.- RUTINA DE ATENCION A INTERRUPCIONES

El único dispositivo que puede interrumpir al microcontrolador es el controlador de teclado y despliegue. Cuando una tecla es presionada, el microcontrolador es interrumpido y salta a la localidad 00FFh, en ésta se encuentra el llamado a la subrutina que atiende a la interrupción. Cuando la rutina de atención de interrupciones es invocada realiza los siguientes pasos, como se muestra en los diagramas de flujo de las figuras 5.5 y 5.6 :

- Salva los registros A y B en las localidades de memoria 10h y 11h respectivamente.
- Llama a la subrutina que lee el teclado (LEO_TECLADO), esta rutina habilita al controlador de teclado y despliegue encendiendo los bits 3 y 1 del puerto G y apagando los bits 1 y 2 del puerto D, para que el controlador de teclado y despliegue ponga el código de la tecla presionada en el bus se enciende el bit 0 del puerto D, a continuación los

datos del bus son cargados en el acumulador, una vez realizada la lectura se deshabilita el controlador de teclado y despliegue (figura 5.5).

- En base al código regresado por la rutina de lectura del teclado se llama a la rutina de transmisión (TRANSMITIR) o se modifica la localidad 00h que es usada para indicar el tipo de despliegue solicitado.

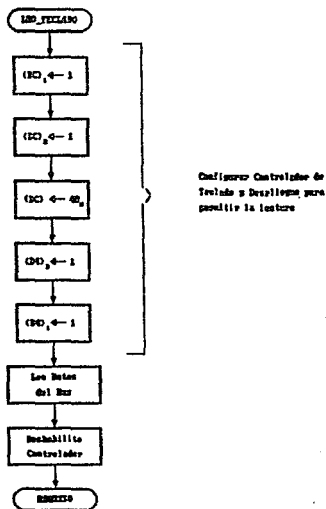


Figura 5.5. Diagrama de flujo de la subrutina de lectura del teclado

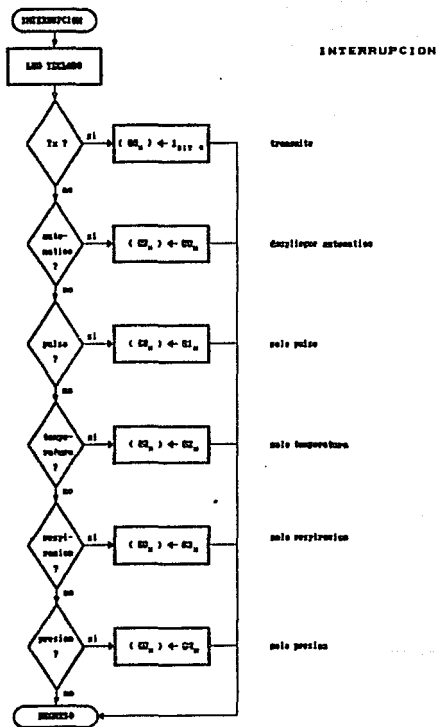


Figura 5.6. Diagrama de flujo de la subrutina de atención de interrupciones.

INTERRUPCION:

X A, 10H	;salva A en localidad 10H
LD 11H, FEH	;salva B en localidad 11H
JSR LEO_TECLADO	
IFEQ A, 013H	;es transmisión ?
JBR TRANSMITE	
IFEQ A, 003H	;es despliegue automático ?
LD 00H, 000H	;tipo desp. = automático
IFEQ A, 000H	;es sólo pulso ?
LD 00H, 001H	;tipo desp. = sólo pulso
IFEQ A, 008H	;es sólo temperatura ?
LD 00H, 002H	;tipo desp. = sólo temp.
IFEQ A, 010H	;es sólo respiración ?
LD 00H, 003H	;tipo desp. = sólo resp.
IFEQ A, 001H	;es sólo presión ?
LD 00H, 004H	;tip desp. = sólo presión.
LD FEH, 11H	;restaura B
X A, 10H	;restaura A
RETI	

LEO_TECLADO:

SBIT 1, DCH	;indica escritura palabra
SBIT 2, DCH	;control
LD DCH, 040H	;lectura buffer teclado
SBIT 3, D4H	;habilita el controlador
SBIT 1, D4H	;de teclado y despliegue

RBIT 1, DCx	
RBIT 2, DCx	
SBIT 0, DCx	pleo el bus
LD A, D2x	pleo el teclado y cargo en A
RBIT 0, DCx	deshabilita lectura
RBIT 3, D4x	deshabilita controlador
RBIT 1, D4x	de teclado y despliegue
RET	

5.6. - SUBROUTINA DE TRANSMISION

La forma en que el sistema se entera de que se desean transmitir datos es cuando se presiona la tecla que indica transmisión. Una vez que se presionó la tecla de transmisión el microprocesador es interrumpido, así que la rutina de atención de interrupciones es invocada y ésta a su vez invocará a la rutina de transmisión. La rutina de transmisión sólo transmite una muestra de cada uno de los datos, esto es, que se necesita presionar nuevamente la tecla de transmisión para enviar los valores más recientes de las variables sensadas.

Durante el proceso de transmisión no se atenderá a ninguna interrupción. El alcance del diseño no contempla la recepción de datos es por ello no que nunca se leera del UART.

Como se muestra en el diagrama de flujo de la figura 5.7,

la rutina empieza por apuntar a la tabla que contiene los datos muestreados (dirección 09H), mediante los bits D0 y D1 se indica el tipo de datos y la acción a tomar, D0 indica si los datos que leerá el UART son de control o no y D1 habilita la escritura (siempre); habilita el UART con los bits G1 y G2 y se ponen los datos en el bus. A continuación el microcontrolador queda en un ciclo de 150ns para esperar a que los datos sean transmitidos y la rutina asume que los datos fueron recibidos exitosamente. Este proceso es repetido para cada una de las variables monitoreadas en el siguiente orden :

- Pulso
- Respiración
- Temperatura
- Presión

TRANSMITE:

```
LD FEm, #09H      ;se carga dirección de tabla de
                  ;variables
```

T1:

```
RBIT 0, D0m      ;se indica que siguen datos
SBIT 1, D0m      ;se indica escritura
LD A, [B]        ;se carga variable a enviar
X A, D0m         ;se ponen datos en el bus
SBIT 1, D4m      ;se habilita el
SBIT 3, D4m      ;UART
```

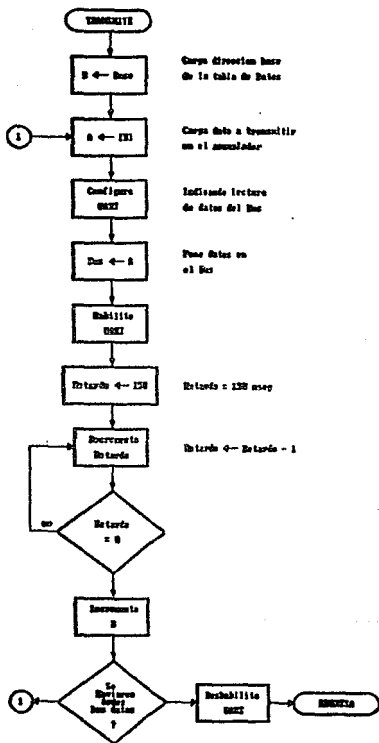


Figura 5.7. Diagrama de flujo de la rutina de transmisión

```

NOP                                ;se asegura que el UART lee
RBIT 1, DC#                         ;se deshabilita escritura
LD A, #04#
T2:                                  ;inicia ciclo de espera
LD F0#, #FF#
DRSZ F0#
DEC A
IFEQ A, #00#
JMP T4
JMP T2

T4:
X A, FE#                            ; A <-> B
INC A
X A, FE#                            ; A <-> B
LD A, FE#                            ; A <- B
IFEQ A, #0E#                         ;se enviaron todas ?
JMP TFIN
JMP T1

TFIN:
RBIT 3, D4#                          ;deshabilito el
RBIT 1, D4#                          ;UART
RET

```

5.7.- SUBROUTINA DE DESPLIEGUE

Esta subrutina tiene la función de refrescar los datos a

desplegar, esto se hace cada 5 segundos, para cumplir con su función esta subrutina se auxilia de otras dos subrutinas, (DISP1 y DISP2) como se muestra en las figuras 5.8 y 5.9. Como se muestra en el diagrama de flujo de la figura 5.8 la subrutina DEBPLIEGA deshabilita las interrupciones, para asegurar que los datos a desplegar sean transferidos completamente al controlador de despliegue, a continuación se ejecutan las subrutinas DISP1 y DISP2 y antes de terminar habilita las interrupciones.

La subrutina DISP1 (figura 5.9) es la encargada de traducir los datos muestreados en símbolos que pueden ser desplegados en un despliegue de 7 segmentos, para esto se auxilia de un conjunto de variables y apuntadores. La primera acción que realiza la subrutina es colocar el carácter identificador de la variable a desplegar (figuras 4.19 y 4.22) en la memoria de despliegue, inmediatamente después checa el estado del despliegue para determinar si se trata de la modalidad de despliegue automático o de alguna variable en especial. A continuación se realiza una comparación para determinar si el valor a desplegar es mayor a 99, esto con el fin de separar el dígito más significativo, de forma tal, que los dos dígitos menos significativos puedan ser ajustados a código BCD. El resultado del ajuste a código BCD es colocado en la memoria de despliegue. Si la variable que se está desplegando es la presión se repite el proceso descrito anteriormente, de lo contrario la

rutina DISP1 finaliza.

El objetivo de la subrutina DISP2 es tomar los datos que se encuentran en la memoria de despliegue (colocados por DISP1) y enviarlos a la memoria RAM del controlador de despliegue y que este se encargue de desplegarlos, figura 5.8.

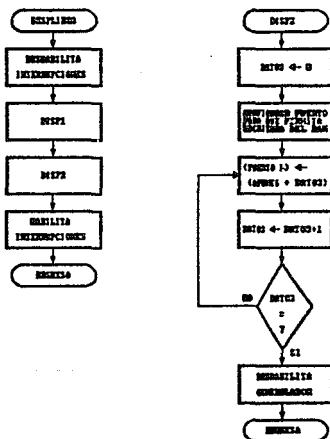


Figura 5.8. Diagramas de flujo de las subrutinas DESPLIEGA y DISP2

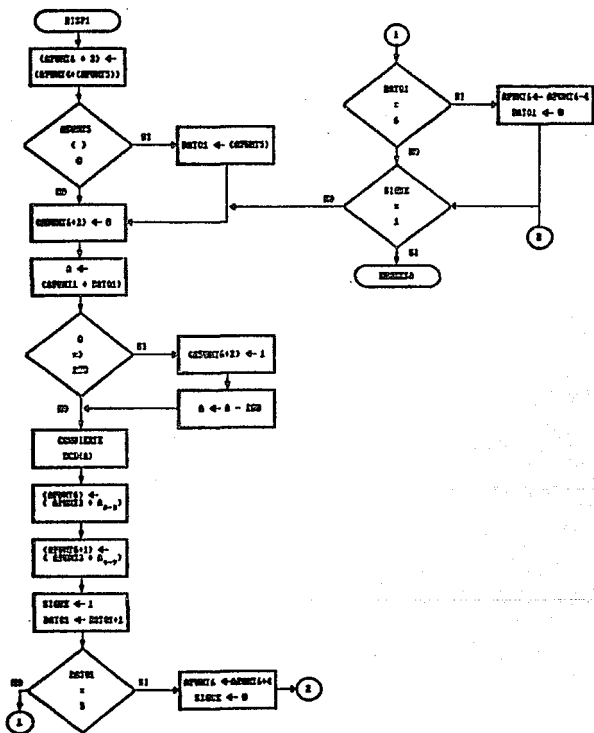


Figura 5.9. Diagrama de flujo de la subrutina DISP1

DISP1 :

```
      ;APLUNT1 = 09H      apuntador tabla de muestras
      ;APLUNT2 = 8BH      apuntador tabla de parámetros de
      ;                comparación
      ;APLUNT3 = ACx      apuntador tabla de Digitos
      ;APLUNT4 = 86x      apuntador tabla de ident.
      ;APLUNT5 = 00x      apuntador estado del despliegue
      ;APLUNT6 = 01x      apuntador tabla de despliegue
```

;Variables de trabajo

```
      ;DATO1 = 10x
      ;DATO2 = 11x
      ;DATO3 = 12x
      ;SIGUE = 13x
      ;DATO5 = 14x
      ;DATO6 = 15x
```

```
LD   A, 00x      ;
ADD  A, 886x     ; APUNT4 + (APLUNT5)
X    A, FEx     ; A <-> B
LD   A, EBx     ; A <- (APUNT4+(APLUNT5))
X    A, 04x     ; A <-> APUNT6 + 3
      ; (APUNT6 + 3) <- (APUNT4 + (APLUNT5))
LD   A, 00x     ; IF APLUNT5 = 0 THEN
IFEQ A, 800x    ;     GOTO DISPOO
GOTO DISPOO    ; ELSE
X    A, X      ;     DATO1 <- (APUNT4)
```

DISPOO:

```

LD   A, 01M      ; A ← (APUNT6)
ADD  A, #02H     ; A ← A + 2
X    A, FEH      ; A ←→ B
      ; (APUNT6 + 2)
LD   A, #00M     ; A ← 00
X    A, [B]      ; A ←→ [B]
      ; (APUNT6 + 2) ← 00M
LD   A, 09M     ; A ← APUNT1
ADD  A, 10M     ; A ← A + DAT01
      ; APUNT1 + DAT01
X    A, FEH      ; A ←→ B
LD   A, [B]      ; A ← [B]
      ; A ← ( APUNT1 + DAT01 )
IFGT A, #63M    ; IF A > 99 THEN
GOTO DISPO1     ; GOTO DISPO1
      ; ELSE
GOTO DISPO2     ; GOTO DISPO2
DISPO1 :
X    A, 14M     ; A ←→ DAT05
LD   A, 01M     ; A ← APUNT6
ADD  A, #02M    ; APUNT6 + 2
X    A, FEH     ; A ←→ B
      ; ( APUNT6 + 2 )
LD   A, #01M    ; A ← 1
X    A, [B]     ; A ←→ [B]
      ; ( APUNT6 + 2 ) ← 1

```



```

X    A, 14H      ; A ← DAT05
SUBC A, 064H     ; A ← A - 10010

```

DISPO2 :

```

DCORA                ; BCD ( A ) ajuste decimal de A
LD    A, 14H        ; A ← DAT05
AND   A, 00FH       ; A ← A0-8
ADD   A, AC0H       ; A ← A + APUNT3
                ; APUNT3 + A0-8
X    A, FEH         ; A ← B
LD    A, [B]        ; A ← ( APUNT3 + A0-8 )
X    A, 15H         ; A ← DAT06
LD    A, 01H        ; A ← APUNT6
X    A, FEH         ; A ← B
                ; ( APUNT6 )
LD    A, 15H        ; A ← DAT06
                ; A ← ( APUNT3 + A0-8 )
X    A, [B]         ; A ← [B]
                ; ( APUNT6 ) ← ( APUNT3 + A0-8 )
LD    A, 14H        ; A ← DAT05
AND   A, 0F0H       ; A ← A4-7
ADD   A, AC0H       ; A ← A + APUNT3
                ; APUNT3 + A4-7
X    A, FEH         ; A ← B
LD    A, [B]        ; A ← ( APUNT3 + A4-7 )
X    A, 15H         ; A ← DAT06
LD    A, 01H        ; A ← APUNT6

```

```

ADD  A, #01H      ; A ← A + 1
      ; APUNTE + 1
X    A, FEH      ; A ← B
LD   A, 15H      ; A ← DAT06
      ; A ← ( APUNTE + APUNTE3 + A4-7 )
X    A, EBH      ; A ← EBH
      ; ( APUNTE + 1 ) ← ( APUNTE3 + A4-7 )
LD   13H, #01H   ; SIGUE ← 1
LD   A, 10H      ; A ← DAT01
INC  A           ; A ← A + 1
X    A, 10H      ; A ← DAT01
      ; DAT01 ← DAT01 + 1
LD   A, 10H      ; A ← DAT01
IFEQ A, #05H     ; IF A = 5 THEN
GOTO DISPO3      ; GOTO DISPO3
IFED A, #06H     ; ELSE IF A = 6 THEN
GOTO DISPO4      ; GOTO DISPO4 ;
DISPO3 :
LD   A, 01H      ; A ← APUNTE
ADD  A, #04H     ; A ← A + 4
X    A, 01H      ; A ← APUNTE
      ; APUNTE ← APUNTE + 4
LD   13H, #00H   ; SIGUE ← 0
GOTO DISPO5
DISPO4 :
LD   A, 01H      ; A ← APUNTE

```

```

SUBC A,#04H      ; A ← A - 4
X      A, 01H    ; A ←→ APUNTE
          ; APUNTE ← APUNTE - 4
LD 10H,#00H     ; DATO1 ← 0
DISPOS :
LD      A, 13H   ; A ← SIGUE
IFEQ   A,#01H   ; IF A = 01 THEN
RET                                ; RETURN      ; fin subrutina
          ; ELSE
GOTO   DISPOO   ;      GOTO DISPOO

DISP2 :          ; inicia subrutina DISP2
LD 12H,#00H    ; DATO3 ← 0
SBIT 0, DC#    ; deshabilita lectura ( Do ← 1 )
SBIT 2, DC#    ; habilita palabra de control
          ; Ao ← 1
RBIT 1, DC#    ; habilita escritura ( Ds ← 0 )
LD D0H,#03H   ; PUERTO L ← D3H , borra buffer
LD D4H,#08H   ; selecciona controlador B279
LD D0H,#90H   ; PUERTO L ← 90H , escritura del
          ;          buffer
LD D4H,#00H   ; deselecciona controlador
RBIT 2, DC#   ; Ao ← 0 , permite escritura de
          ;          datos en el buffer
LD 12H,#00H   ; DATO3 ← 0

```

DISP06 :

```

LD   A, 01H      ; A ← APUNTE
ADD  A, 12H      ; A ← A + DAT03
      ; APUNTE + DAT03
X    A, FEH      ; A ←> B
LD   A, [B]      ; A ← [B]
      ; A ← ( APUNTE + DAT03 )
X    A, 00H      ; A ← PUERTO L
      ; PUERTO L ← ( APUNTE + DAT03 )
LD   D4H, 00BH   ; selecciona controlador
LD   D4H, 000H   ; deselecciona controlador
LD   A, 12H      ; A ← DAT03
INC  A           ; A ← A + 1
X    A, 12H      ; A ←> DAT03
      ; DAT03 ← DAT03 + 1
LD   A, 12H      ; A ← DAT03
IFEQ A, 007H     ; IF A = 7 THEN
GOTO DISP07      ; GOTO DISP07
      ; ELSE
GOTO DISP06      ; GOTO DESIPOS

```

DISP07 :

```

RBIT 1, DC      ; escritura deshabilitada
RET

```

```

DEBPLIEGA :           ; inicia subrutina despliega
                    ;
                    RBIT 1, EFM           ; deshabilita interrupciones
                    JSR DISP1           ; llama DISP1
                    JSR DISP2           ; llama DISP2
                    SBIT 1, EFM         ; habilita interrupciones
                    RET

```

B.8. - PROGRAMA PRINCIPAL

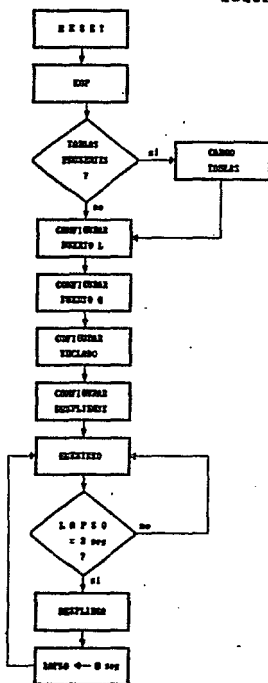
El programa principal empieza con un NOP, diagrama de flujo de figura 5.10, para dar tiempo suficiente al UART para que se configure (ver Descripción funcional del circuito de comunicaciones, Capítulo 4). A continuación se verifica si las tablas están cargadas en la memoria permanente (EEPROM), si no es así se invoca a la subrutina apropiada para que las cargue. El siguiente paso es configurar los puertos y demás controladores. Después de esto se habilitan las interrupciones y el programa principal entra en un ciclo de operación, en el cual atiende al muestreo y al despliegue únicamente.

```

PROG_PRIN :
                    NOP                   ;espera configuración de UART
                    LD  A, ABM           ;se carga ind. de tablas cargadas
                    IFEQ A, 00          ;si a = 0
                    LD  OF0, 0FFM       ;inicialización de variables para
                    LD  OF1, 0FFM       ;contar hasta 5 seg.

```

ESQUEMA GENERAL



NOTA : el RESET se configura mediante
el comando tablas.

Figura 5.10. Diagrama de flujo del programa principal

```

LD    OF2, #02H
LD    D4H, #00H
JRS   CARGA_TABLAS
JBR   CONF_L
JBR   CONF_B
JBR   CONF_TEC_DESP
SBIT  1,EFH           ;se habilitan interrupciones

CUATRO :
JBR   MUESTREO
X     A, OF0           ;A < - > X
DEC   A               ;empieza retardo de 5 segundos
IFEQ  A, #0
JMP   LIND
JMP   CUATRO

LIND :
LD    OF0, #FF
X     A, OF1H
DEC   A
IFEQ  A, #0
JMP   DOS
JMP   CUATRO

DOS :
LD    OF1, #FF
X     A, OF2H
DEC   A
IFEQ  A, #0

```

JMP TRES

JMP CUATRO

termina retardo de 5 segundos

TRES ;

JBR DESPLIEGUE

JMP CUATRO

JMP TRES

JMP CUATRO

termina retardo de 5 segundos

TRES :

JSR DESPLIEGUE

JMP CUATRO

CAPITULO VI

RESULTADOS Y CONCLUSIONES

Se lograron los objetivos preestablecidos en el presente trabajo, al diseñar los dispositivos necesarios para la medición de signos vitales, pulso, temperatura, respiración y presión arterial. Los cuales fueron definidos con su marco teórico, así como las diferentes técnicas para su medición.

Se evaluaron, en cada uno de los signos vitales, las diferentes técnicas de medición. Se eligieron aquellas que cumplieran con las necesidades del presente diseño, como fueron funcionalidad, confiabilidad, costo, y de fácil manejo para poder adaptarlas a un equipo portátil, en una unidad móvil. Con el cuidado también de que la técnica seleccionada, no tuviera problema alguno al aplicarse a cualquier paciente con diversos problemas traumatológicos.

Las técnicas seleccionadas en todos los casos fueron no invasivas, esto debido a que su aplicación es más sencilla y no requieren de personal muy capacitado que presenten problemas al ser utilizados en una unidad móvil.

Los transductores seleccionados no fueron totalmente convencionales, por ejemplo, en la medición del pulso se utilizó un sensor óptico y en la medición de la presión arterial se usó un dispositivo basado en el principio de *strain-gage*.

Se plantearon las diferentes etapas a las que tienen que ser sometidas las variables a medir, las cuales fueron: transducción, acondicionamiento, control, procesamiento, y por último entrega y manejo de datos. Teniendo la opción en la última etapa de poder transmitir las señales ya procesadas a lugares alejados o almacenarlos en una computadora.

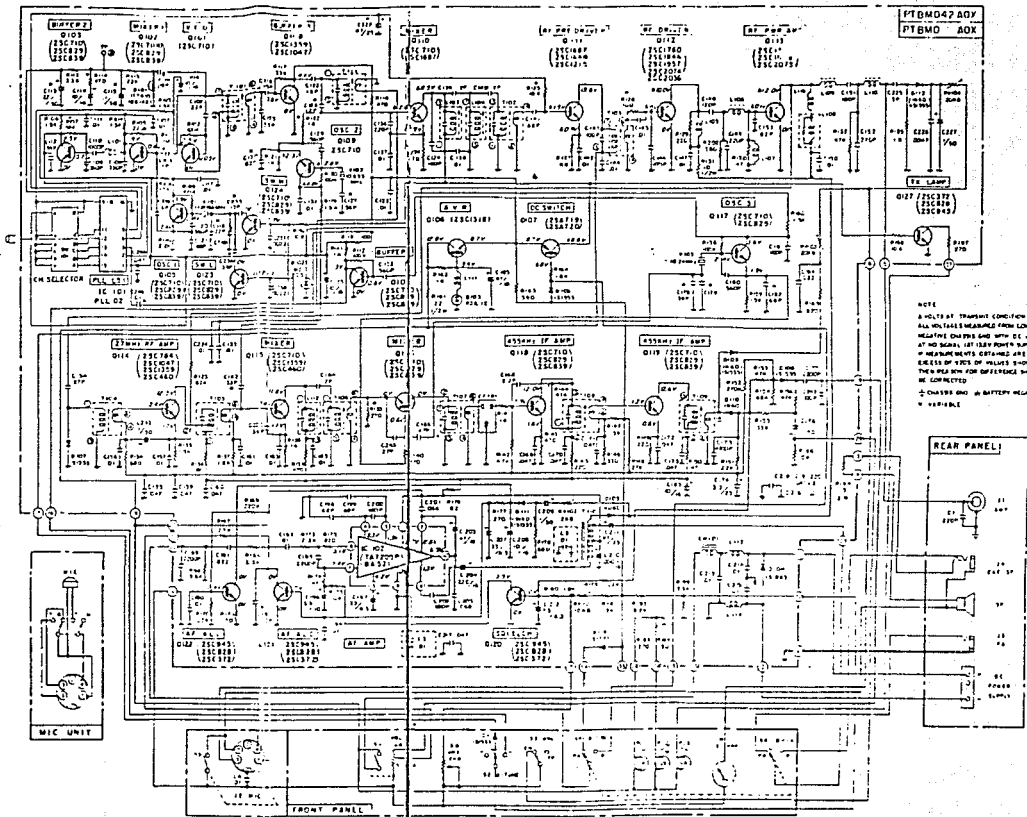
Por otro lado, con el presente estudio y análisis del proyecto, es factible su realización, ya que la parte teórica está completamente elaborada y justificada, de manera que se puede concluir que su implementación física es factible.

Si adicionamos a su factibilidad de implementación, el hecho de que su costo no excede las posibilidades económicas de un hospital de características modestas, la fabricación en serie por alguna sociedad quizás con mayor capacidad económica y de mercado (por ejemplo una compañía de instrumentación médica), resultaría de mucho mayor interés. Sin embargo, aún si algún particular deseara realizar físicamente el presente proyecto, su costo con respecto al beneficio obtenido por el monitor resulta ser comparativamente muy económico. Del apéndice C, podemos obtener una idea general de su costo total en dólares, adquiriendo los componentes por separado y en tiendas comunes de electrónica sin tener problemas por la adquisición de alguna de sus partes. Todos los datos fueron tomados dentro del lapso de elaboración de la presente tesis, esperamos que el brindar los costos en dólares pueda darle aún mayor vigencia a nuestro

trabajo, además de su vigencia teórica presentada y elaborada por nosotros, deseando así que nuestra tesis sea una importante fuente de consulta para todos aquellos profesionales interesados en el campo de la ingeniería biomédica para trabajos teóricos ó prácticos posteriores.

APENDICE A

WIRING SCHEMATIC



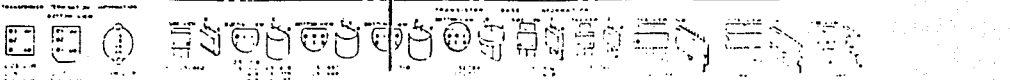
"10" CODE

Reduced for your convenience.
Cut out on dotted line and carry
or tape near CB for immediate
use

"10 CODE"

- 10- 1 — Signal weak
- 10- 2 — Signal good
- 10- 3 — Stop transmitting
- 10- 4 — Affirmative (OK)
- 10- 5 — Relay (to)
- 10- 6 — Busy
- 10- 7 — Out of service
- 10- 8 — In service
- 10- 9 — Say again
- 10- 10 — Negative
- 10- 11 — On duty
- 10- 12 — Stand by (stand)
- 10- 13 — Existing conditions
- 10- 14 — Message information
- 10- 15 — Message received
- 10- 16 — Reply to message
- 10- 17 — Enroute
- 10- 18 — Urgent
- 10- 19 — (In) Contact
- 10- 20 — Location
- 10- 21 — Call by phone
- 10- 22 — D regard
- 10- 23 — Arrived at scene
- 10- 24 — Assignment completed
- 10- 25 — Report to (meet)
- 10- 26 — Estimated time of arrival
- 10- 27 — License Permit information
- 10- 28 — Ownership information
- 10- 29 — Records check
- 10- 30 — Danger Caution
- 10- 31 — Pick Up
- 10- 32 — Units needed
 Spec# Number Type
- 10- 33 — Help me quick
- 10- 34 — Time

NOTE:
A HOLD BY TRANSFER CONDITION
AND HOLD BY TRANSFER CONDITION
MEANS THAT THE UNIT IS NOT TO
BE USED UNTIL THE HOLD BY TRANSFER
IS RELEASED. HOLD BY TRANSFER IS
RELEASED BY THE HOLD BY TRANSFER
UNIT. THE HOLD BY TRANSFER UNIT
IS RELEASED BY THE HOLD BY TRANSFER
UNIT.



NOTE: Service Manual with Parts List may be obtained for \$2.00 by using the ACCESSORY ORDER FORM (specify model number) or write to: General Electric Co., P. O. Box 831, Utica, New York 13501

APENDICE B

INTEL

FAMILIA MCS - 51

CONTROLADOR	ROM	RAM	INST.	CICLOS X INST.	CAP. BCD	LINEAS E/S	PUERTOS	INT. FUERTE / VECTOR	NIVEL INTERRUPCION	CONTADOR	UART	CICLO <i>μs</i>		
83C51 FA	8K X 8	256 X 8	111	1 60%	SI	32	4	14 / 7	2	3	SI		(4)	
80C51 FA	NO	256 X 8	111	1 60%	SI	32	4	14 / 7	2	3	SI		(4)	
87C51 FA	8K X 8 EPROM	256 X 8	111	1 60%	SI	32	4	14 / 7	2	3	SI		(4)	
83C51 FB	16K X 8	256 X 8	111	1 60%	SI	32	4	14 / 7	2	3	SI		(4)	
80C51 FB	NO	256 X 8	111	1 60%	SI	32	4	14 / 7	2	3	SI		(4)	
87C51 FB	16K X 8 EPROM	256 X 8	111	1 60%	SI	32	4	14 / 7	2	3	SI		(4)	
87C51 FC	32K X 8 EPROM	256 X 8	111	1 60%	SI	32	4	14 / 7	2	3	SI		(4)	
83C152 JA	8K X 8	256 X 8	111	1 60%	SI	32	5	19 / 11	2	2	SI			
80C152 JA	NO	256 X 8	111	1 60%	SI	32	6	19 / 11	2	2	SI			
80C152 JB	NO	256 X 8	111	1 60%	SI	32	7	19 / 11	2	2	SI			
83C152 JC	8K X 8	256 X 8	111	1 60%	SI	32	6	19 / 11	2	2	SI			
80C152 JC	NO	256 X 8	111	1 60%	SI	32	5	19 / 11	2	2	SI			
80C152 JD	NO	256 X 8	111	1 60%	SI	32	7	19 / 11	2	2	SI			
83C452	8K X 8	256 X 8	111	1 60%	SI	32	5	9 / 8	2	2	SI			
80C452	NO	256 X 8	111	1 60%	SI	32	5	9 / 8	2	2	SI			
87C452 P	8K X 8 EPROM	256 X 8	111	1 60%	SI	32	5	9 / 8	2	2	SI			
(1) solo 4k x 8 ROM			(4) Incluye PCA (Programatic Counter Array)											
Memoria expansible hasta			compatible con CMOS y TTL									Los contadores son de 16 bits		
84k x 8 ROM y RAM			Procesador 80c51									Todos los puertos son de 8 bits		

INTEL

FAMILIA MCS - 48

CONTROLADOR	ROM	RAM	INST.	CICLOS X INST.	CAP. BCD	LINEAS E/S	PUERTOS	INT. PUENTE / VECTOR	NIVEL INTERRUPCION	CONTADOR	UART	CICLO μ s			
8050 AH	4K X 8	256 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.38			
8048 AH	2K X 8	128 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.38			(1)
8049 AH	1K X 8	64 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.38			(1)
8040 AHL	NO	256 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.38			
8039 AHL	NO	128 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.38			(1)
8035 AHL	NO	64 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.38			(1)
P8749 H	2K X 8 EPROM	128 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.38			(1)
P8748 H	1K X 8 EPROM	64 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.38			(1)
D8748 H	2K X 8 EPROM	128 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.35			
D8749 H	1K X 8 EPROM	64 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.35			
P8049 KB	2K X 8 EPROM	128 X 8	96	1 90%	SI	27	2	1 / 1		1 8 BITS	NO	1.87			

(1) Permite Configuración Expendida

hasta + 2k ROM

+ 256 RAM

 $V_{CC} = 5v$ $V_{DD} = 21v$

CONTROLADOR	ROM	RAM	INST.	CICLOS X INST.	CAP. BCD	LINEAS E/S	PUERTOS	INT. FUENTE / VECTOR	NIVEL INTERRUPCION	CONTADOR	UART	CICLO μ s		
8051	4K X 8	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
8031	NO	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
8051 AH	4K X 8	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
8031 AH	NO	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
8751 H	4K X 8 EPROM	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
8751 BH	4K X 8 EPROM	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
8052 AH	8K X 8	256 X 8	111	1 80%	SI	32	4	8 / 8	2	3	SI			
8032 AH	NO	256 X 8	111	1 80%	SI	32	4	8 / 8	2	3	SI			
8752 BH	8K X 8 EPROM	256 X 8	111	1 80%	SI	32	4	8 / 8	2	3	SI			
80C51 BH	4K X 8	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
80C31 BH	NO	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
87C51	4K X 8 EPROM	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI			
80C52	8K X 8	256 X 8	111	1 80%	SI	32	4	8 / 8	2	3	SI			
80C32	NO	256 X 8	111	1 80%	SI	32	4	8 / 8	2	3	SI			
8051 AHP	4K X 8	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI		(1)	
80C51 BHP	4K X 8	128 X 8	111	1 80%	SI	32	4	8 / 5	2	2	SI		(1)	
(1) solo 4k x 8 ROM													(4) Incluye PCA (Programatic Counter Array)	
Memoria expandible hasta			compatible con CMOS y TTL						Los controladores son de 16 bits					
8k x 8 ROM y RAM			Procesador Booleano						Todos los puertos son de 8 bits					

NATIONAL SEMICONDUCTOR

FAMILIA COP800

CONTROLADORES	MEMORIA		CARACTERISTICAS						
	ROM bytes	RAM bytes	I/O		INTERRUPCION	STACK	CONTADORES	TAMAÑO PINES	OTRAS
			I/O pines	SERIAL I/O					
COP820 C	1.0k	64	24	SI	3 FUENTES	en RAM	1	28	
COP821 C	1.0k	64	20	SI	3 FUENTES	en RAM	1	24	
COP822 C	1.0k	64	16	SI	3 FUENTES	en RAM	1	20	
COP8640	2.0k	64	24	SI	3 FUENTES	en RAM	1	28	64 x 8
COP8641	2.0k	64	20	SI	3 FUENTES	en RAM	1	24	EEPROM
COP8642	2.0k	64	16	SI	3 FUENTES	en RAM	1	20	en RAM
COP8620	1.0k	64	24	SI	3 FUENTES	en RAM	1	28	64 x 8
COP8621	1.0k	64	20	SI	3 FUENTES	en RAM	1	24	EEPROM
COP8622	1.0k	64	10	SI	3 FUENTES	en RAM	1	20	en RAM
COP8720 C	1.0k EE	64	24	SI	3 FUENTES	en RAM	1	28	64 x 8 EEPROM en RAM
COP8721 C	1.0k EE	64	20	SI	3 FUENTES	en RAM	1	24	64 x 8 EEPROM en RAM
COP8722 C	1.0k EE	64	16	SI	3 FUENTES	en RAM	1	20	64 x 8 EEPROM en RAM
COP840 C	2.0k	128	24	SI	3 FUENTES	en RAM	1	28	
COP841 C	2.0k	128	20	SI	3 FUENTES	en RAM	1	24	
COP842 C	2.0k	128	16	SI	3 FUENTES	en RAM	1	20	

CONTROLADORES	MEMORIA		CARACTERISTICAS						
	ROM bytes	RAM bytes	I/O		INTERRUPCION	STACK	CONTADORES	TAMAÑO PINES	OTRAS
			I/O pins	SERIAL I/O					
COP884 CF	4.0k	128	21	6I	10 FUENTES	en RAM	2	28	2 PWM & A/D
COP884 CG	4.0k	192	23	6I	12 FUENTES	en RAM	3	28	3 PWM & UART
COP884 CL	4.0k	128	23	6I	10 FUENTES	en RAM	2	28	2PWM
COP888 CF	4.0k	128	33/37	6I	10 FUENTES	en RAM	2	40/44	2 PWM & A/D
COP888 CG	4.0k	192	35/39	6I	14 FUENTES	en RAM	3	40/44	3 PWM & UART
COP888 CL	4.0k	128	33/39	6I	10 FUENTES	en RAM	2	40/44	2 PWM

TODOS PUEDEN TRABAJAR CON ROM EXTERNA
 HASTA 1 μ s TIEMPO DE CICLO DE INSTRUCCION
 70 % DE LAS INSTRUCCIONES DE UN CICLO



National
Semiconductor

Operational Amplifiers/Buffers

LM108/LM208/LM308 Operational Amplifiers

General Description

The LM108 series are precision operational amplifiers having specifications a factor of ten better than FET amplifiers over a -55°C to $+125^{\circ}\text{C}$ temperature range. Selected units are available with offset voltages less than 1.0 mV and drifts less than 5 $\mu\text{V}/^{\circ}\text{C}$, again over the military temperature range. This makes it possible to eliminate offset adjustments, in most cases, and obtain performance approaching chopper stabilized amplifiers.

The devices operate with supply voltages from 12V to 120V and have sufficient supply rejection to use unregulated supplies. Although the circuit is interchangeable with and uses the same compensation as the LM101A, an alternate compensation scheme can be used to make it particularly insensitive to power supply noise and to make supply bypass capacitors unnecessary. Outstanding characteristics include

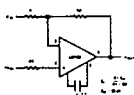
- Maximum input bias current of 3.0 nA over temperature
- Offset current less than 400 pA over temperature
- Supply current of only 300 μA , even in saturation
- Guaranteed drift characteristics

The low current error of the LM108 series makes possible many designs that are not practical with conventional amplifiers. In fact, it operates from 10 M Ω source resistances, introducing less error than devices like the 709 with 10 k Ω sources. Integrators with drifts less than 500 $\mu\text{V}/\text{sec}$ and analog time delays in excess of one hour can be made using capacitors no larger than 1 μF .

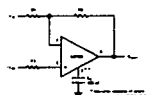
The LM108 is guaranteed from -55°C to $+125^{\circ}\text{C}$, the LM208 from -25°C to $+85^{\circ}\text{C}$, and the LM308 from 0°C to $+70^{\circ}\text{C}$.

Compensation Circuits

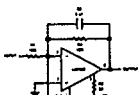
Standard Compensation Circuit



Alternate Frequency Compensation

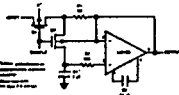


Feedforward Compensation

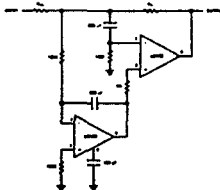


Typical Applications

Sample and Hold



High Speed Amplifier with Low Drift and Low Input Current



Absolute Maximum Ratings

	LM108/LM208	LM308
Supply Voltage	±20V	±18V
Power Dissipation (Note 1)	500 mW	500 mW
Differential Input Current (Note 2)	±10 mA	±10 mA
Input Voltage (Note 3)	±18V	±18V
Output Short-Circuit Duration	Indefinite	Indefinite
Operating Temperature Range (LM108)	-55°C to +125°C	0°C to +70°C
(LM208)	-25°C to +85°C	
Storage Temperature Range	-65°C to +160°C	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C

Electrical Characteristics (Note 4)

PARAMETER	CONDITIONS	LM108/LM208			LM308			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25^\circ\text{C}$	0.7	2.0		2.0	7.5	mV	
Input Offset Current	$T_A = 25^\circ\text{C}$	0.05	0.7		0.7	1	nA	
Input Bias Current	$T_A = 25^\circ\text{C}$	0.8	2.0		1.5	7	nA	
Input Resistance	$T_A = 25^\circ\text{C}$	30	70		10	40	M Ω	
Supply Current	$T_A = 25^\circ\text{C}$	0.3	0.6		0.7	0.8	mA	
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$, $R_L \geq 10\text{k}\Omega$	50	300		25	300	V/mV	
Input Offset Voltage			3.0			10	mV	
Average Temperature Coefficient of Input Offset Voltage		3.0	15		8.0	30	$\mu\text{V}/^\circ\text{C}$	
Input Offset Current			0.4			1.5	nA	
Average Temperature Coefficient of Input Offset Current		0.5	2.5		2.0	10	$\mu\text{A}/^\circ\text{C}$	
Input Bias Current			3.0			10	nA	
Supply Current	$T_A = 125^\circ\text{C}$		0.15	0.4			mA	
Large Signal Voltage Gain	$V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$, $R_L \geq 10\text{k}\Omega$	25			15		V/mV	
Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$	±13	±14		±13	±14	V	
Input Voltage Range	$V_S = \pm 15\text{V}$	±13.5			±14		V	
Common-Mode Rejection Ratio		85	100		85	100	dB	
Supply Voltage Rejection Ratio		80	95		85	95	dB	

Note 1: The maximum junction temperature of the LM108 is 180°C, for the LM208 100°C and for the LM308 85°C. For operating at elevated temperatures, devices in the TO-8 package must be derated based on a thermal resistance of 180°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 2: The inputs are shielded with back-to-back diodes for overvoltage protection. Therefore, excessive current will flow if a differential-mode voltage in excess of 1V is applied between the inputs unless some limiting resistance is used.

Note 3: If an excess voltage less than ±18V, the absolute maximum input voltage is equal to the supply voltage.

Note 4: These specifications apply for $\pm 15\text{V} \leq V_S \leq \pm 20\text{V}$ and $-65^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$, unless otherwise specified. With the LM308, however, all temperature specifications are limited to $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$, and for the LM308 they are limited to $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$.



**National
Semiconductor**

Operational Amplifiers/Buffers

**LM108A/LM208A/LM308A, LM308A-1, LM308A-2
Operational Amplifiers**

General Description

The LM108/LM108A series are precision operational amplifiers having specifications about a factor of ten better than FET amplifiers over their operating temperature range. In addition to low input currents, these devices have extremely low offset voltage, making it possible to eliminate offset adjustments, in most cases and obtain performance approaching chopper stabilized amplifiers.

The devices operate with supply voltages from $\pm 2V$ to $\pm 18V$ and have sufficient supply rejection to use unregulated supplies. Although the circuit is interchangeable with and uses the same compensation as the LM101A, an alternate compensation scheme can be used to make it particularly insensitive to power supply noise and to make supply bypass capacitors unnecessary. Outstanding characteristics include:

- Offset voltage guaranteed less than 0.5 mV
- Maximum input bias current of 30 nA over temperature

- Offset current less than 400 pA over temperature
- Supply current of only 300 μA even in saturation
- Guaranteed 5 $\mu V/^\circ C$ drift
- Guaranteed 1 $\mu V/^\circ C$ for LM308A-1

The low current error of the LM108A series makes possible many designs that are not practical with conventional amplifiers. In fact, it operates from 10 M Ω source resistances, introducing less error than devices like the 709 with 10 k Ω sources. Integrators with drifts less than 500 $\mu V/sec$ and analog time delays in excess of one hour can be made using capacitors no larger than 1 μF .

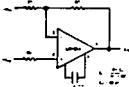
The LM208A is identical to the LM108A, except that the LM208A has its performance guaranteed over a $-25^\circ C$ to $85^\circ C$ temperature range, instead of $-55^\circ C$ to $125^\circ C$. The LM308A devices have slightly relaxed specifications and performance guaranteed over a $0^\circ C$ to $70^\circ C$ temperature range.

LM108A/LM208A/LM308A,
LM308A-1, LM308A-2

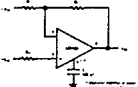
3

Compensation Circuits

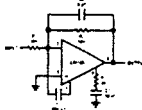
Standard Compensation Circuit



Alternate* Frequency Compensation

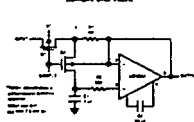


Passive* Frequency Compensation

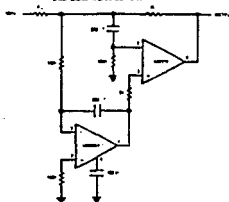


Typical Applications

Sample and Hold



High Band Amplifier with Low Drift and Low Input Current



LM108A/LM208A

Absolute Maximum Ratings

Supply Voltage	±120V
Power Dissipation (Note 1)	500 mW
Differential Input Current (Note 2)	±10 mA
Input Voltage (Note 3)	±15V
Output Short-Circuit Duration	Indefinite
Operating Temperature Range	LM108A -55°C to 125°C
	LM208A -25°C to 85°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

Electrical Characteristics (Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage	$T_A = 25^\circ\text{C}$		0.3	0.5	mV
Input Offset Current	$T_A = 25^\circ\text{C}$		0.05	0.2	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		0.8	2.0	nA
Input Resistance	$T_A = 25^\circ\text{C}$	30	70		M Ω
Supply Current	$T_A = 25^\circ\text{C}$		0.3	0.6	mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$ $V_{OUT} = \pm 10\text{V}$, $R_L > 10\text{ k}\Omega$	80	300		V/mV
Input Offset Voltage				1.0	mV
Average Temperature Coefficient of Input Offset Voltage			1.0	5.0	$\mu\text{V}/^\circ\text{C}$
Input Offset Current				0.4	nA
Average Temperature Coefficient of Input Offset Current			0.5	2.5	$\mu\text{A}/^\circ\text{C}$
Input Bias Current				3.0	nA
Supply Current	$T_A = +125^\circ\text{C}$		0.15	0.4	mA
Large Signal Voltage Gain	$V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$ $R_L \geq 10\text{ k}\Omega$	40			V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 10\text{ k}\Omega$	±13	±14		V
Input Voltage Range	$V_S = \pm 15\text{V}$	±13.5			V
Common Mode Rejection Ratio		95	110		dB
Supply Voltage Rejection Ratio		95	110		dB

Note 1: The maximum junction temperature of the LM108A is 150°C, while that of the LM208A is 100°C. For operation at elevated temperatures, derate in the TO-8 package must be derated based on a thermal resistance of 180°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 160°C/W, junction to ambient.

Note 2: The inputs are shunted with back-to-back diodes for overvoltage protection. Therefore, excessive current will flow if a differential input voltage in excess of 1V is applied between the inputs unless some limiting resistance is used.

Note 3: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 4: These specifications apply for 25V ≤ V_S ≤ 120V and -50°C ≤ T_A ≤ 125°C, unless otherwise specified. Both the LM208A, however, all temperature specifications are limited to -20°C ≤ T_A ≤ 85°C.

LM308A, LM308A-1, LM308A-2

Absolute Maximum Ratings

Supply Voltage	±15V
Power Dissipation (Note 1)	500 mW
Differential Input Current (Note 2)	±10 mA
Input Voltage (Note 3)	±15V
Output Short-Circuit Duration	Indefinite
Operating Temperature Range	0°C to 70°C
Storage Temperature Range	-45°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

Electrical Characteristics (Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage	$T_A = 25^\circ\text{C}$		0.3	0.5	mV
Input Offset Current	$T_A = 25^\circ\text{C}$		0.2	1	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		1.5	7	nA
Input Resistance	$T_A = 25^\circ\text{C}$	10	40		MΩ
Supply Current	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$		0.3	0.8	mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$, $R_L = 10\text{k}\Omega$	60	300		V/mV
Input Offset Voltage	$V_S = \pm 15\text{V}$, $R_S = 100\Omega$				
LM308A				0.73	mV
LM308A-1				0.54	mV
LM308A-2				0.59	mV
Average Temperature Coefficient of Input Offset Voltage	$V_S = \pm 15\text{V}$, $R_S = 100\Omega$				
LM308A			2.0	5.0	$\mu\text{V}/^\circ\text{C}$
LM308A-1			0.6	1.0	$\mu\text{V}/^\circ\text{C}$
LM308A-2			1.3	2.0	$\mu\text{V}/^\circ\text{C}$
Input Offset Current				1.5	nA
Average Temperature Coefficient of Input Offset Current			2.0	10	$\text{pA}/^\circ\text{C}$
Input Bias Current				10	nA
Large Signal Voltage Gain	$V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$, $R_L = 10\text{k}\Omega$	60			V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$	±13	±14		V
Input Voltage Range	$V_S = \pm 15\text{V}$				V
Common Mode Rejection Ratio		96	110		dB
Supply Voltage Rejection Ratio		96	110		dB

Note 1: The maximum junction temperature of the LM308A, LM308A-1 and LM308A-2 is 85°C. For operating at elevated temperatures, devices in the TO-3 package must derate their power dissipation according to 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the surface-mount package is 100°C/W, junction to ambient.

Note 2: The inputs are shunted with back-to-back diodes for over-voltage protection. Therefore, excessive current will flow if a differential input voltage in excess of 1V is applied between the inputs unless some limiting resistance is used.

Note 3: For input voltages less than ±15V, the absolute maximum output voltage is equal to the supply voltage.

Note 4: These specifications apply for $15\text{V} > V_S \geq 15\text{V}$ and $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$, unless otherwise specified.

LM308A, LM308A-1, LM308A-2

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Note 1)	500 mW
Differential Input Current (Note 2)	±10 mA
Input Voltage (Note 2)	±15V
Output Short-Circuit Duration	Indefinite
Operating Temperature Range	0°C to 70°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering 10 sec)	300°C

Electrical Characteristics (Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage	$T_A = 25^\circ\text{C}$		0.3	0.5	mV
Input Offset Current	$T_A = 25^\circ\text{C}$		0.2	1	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		1.5	7	nA
Input Resistance	$T_A = 25^\circ\text{C}$	10	40		M Ω
Supply Current	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$		0.3	0.8	mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$, $R_L = 10 \times \Omega$	80	300		V/mV
Input Offset Voltage	$V_S = -15\text{V}$, $R_S = 100\Omega$			0.73	mV
LM308A				0.54	mV
LM308A 1				0.59	mV
LM308A 2					
Average Temperature Coefficient of Input Offset Voltage	$V_S = -15\text{V}$, $R_S = 100\Omega$				$\mu\text{V}/^\circ\text{C}$
LM308A		2.0	5.0		$\mu\text{V}/^\circ\text{C}$
LM308A 1		0.6	1.0		$\mu\text{V}/^\circ\text{C}$
LM308A 2		1.3	2.0		$\mu\text{V}/^\circ\text{C}$
Input Offset Current				1.5	nA
Average Temperature Coefficient of Input Offset Current		2.0	10		$\text{pA}/^\circ\text{C}$
Input Bias Current				10	nA
Large Signal Voltage Gain	$V_S = -15\text{V}$, $V_{OUT} = \pm 10\text{V}$, $R_L = 10 \text{ k}\Omega$	60			V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 10 \text{ k}\Omega$	± 13	± 14		V
Input Voltage Range	$V_S = \pm 15\text{V}$	± 14			V
Common Mode Rejection Ratio		95	110		dB
Supply Voltage Rejection Ratio		95	110		dB

Note 1: The maximum junction temperature of the LM308A, LM308A-1 and LM308A-2 is 85°C. For operation at elevated temperatures devices in the TO-9 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to lead. The thermal resistance of the dual in-line package is 100°C/W, junction to ambient.

Note 2: The inputs are protected with back-to-back diodes for over-voltage protection. Therefore, excessive currents will flow if a differential input voltage in excess of 15V is applied between the inputs unless some limiting resistance is used.

Note 3: For supply voltages less than $\pm 15\text{V}$, the absolute maximum input voltage is equal to the supply voltage.

Note 4: These specifications apply for $\pm 15\text{V}$, $V_S = \pm 15\text{V}$ and $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$, unless otherwise specified.

LM308A/LM208A/LM308A,
LM308A-1, LM308A-2

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or excitation. Additional terminals are provided for triggering or resetting if desired. In the same delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

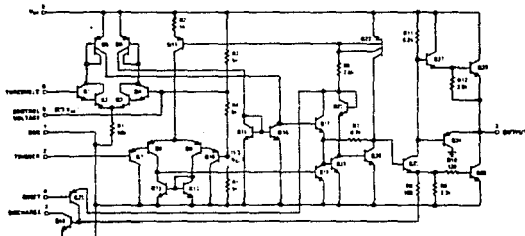
Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

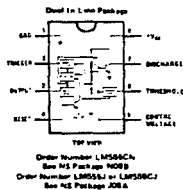
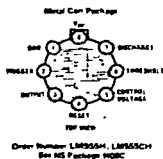
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

Schematic Diagram



Connection Diagrams



Absolute Maximum Ratings

Supply Voltage	-15V
Power Dissipation (Note 1)	600 mW
Operating Temperature Range	
LM555C	0°C to +70°C
LM555	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics ($T_A = 25^\circ\text{C}$, $V_{CC} = +5\text{V}$ to $+15\text{V}$, unless otherwise specified)

PARAMETER	CONDITIONS	LIMITS						UNITS
		LM555			LM555C			
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5	18	V	
Supply Current	$V_{CC} = 5\text{V}$, $R_1 = R_2 = 10\text{k}\Omega$, $R_3 = 10\text{k}\Omega$, $R_4 = 10\text{k}\Omega$, $R_5 = 10\text{k}\Omega$, $R_6 = 10\text{k}\Omega$, $R_7 = 10\text{k}\Omega$, $R_8 = 10\text{k}\Omega$, $R_9 = 10\text{k}\Omega$, $R_{10} = 10\text{k}\Omega$, $R_{11} = 10\text{k}\Omega$, $R_{12} = 10\text{k}\Omega$, $R_{13} = 10\text{k}\Omega$, $R_{14} = 10\text{k}\Omega$, $R_{15} = 10\text{k}\Omega$, $R_{16} = 10\text{k}\Omega$, $R_{17} = 10\text{k}\Omega$, $R_{18} = 10\text{k}\Omega$, $R_{19} = 10\text{k}\Omega$, $R_{20} = 10\text{k}\Omega$, $R_{21} = 10\text{k}\Omega$, $R_{22} = 10\text{k}\Omega$, $R_{23} = 10\text{k}\Omega$, $R_{24} = 10\text{k}\Omega$, $R_{25} = 10\text{k}\Omega$, $R_{26} = 10\text{k}\Omega$, $R_{27} = 10\text{k}\Omega$, $R_{28} = 10\text{k}\Omega$, $R_{29} = 10\text{k}\Omega$, $R_{30} = 10\text{k}\Omega$, $R_{31} = 10\text{k}\Omega$, $R_{32} = 10\text{k}\Omega$, $R_{33} = 10\text{k}\Omega$, $R_{34} = 10\text{k}\Omega$, $R_{35} = 10\text{k}\Omega$, $R_{36} = 10\text{k}\Omega$, $R_{37} = 10\text{k}\Omega$, $R_{38} = 10\text{k}\Omega$, $R_{39} = 10\text{k}\Omega$, $R_{40} = 10\text{k}\Omega$, $R_{41} = 10\text{k}\Omega$, $R_{42} = 10\text{k}\Omega$, $R_{43} = 10\text{k}\Omega$, $R_{44} = 10\text{k}\Omega$, $R_{45} = 10\text{k}\Omega$, $R_{46} = 10\text{k}\Omega$, $R_{47} = 10\text{k}\Omega$, $R_{48} = 10\text{k}\Omega$, $R_{49} = 10\text{k}\Omega$, $R_{50} = 10\text{k}\Omega$, $R_{51} = 10\text{k}\Omega$, $R_{52} = 10\text{k}\Omega$, $R_{53} = 10\text{k}\Omega$, $R_{54} = 10\text{k}\Omega$, $R_{55} = 10\text{k}\Omega$, $R_{56} = 10\text{k}\Omega$, $R_{57} = 10\text{k}\Omega$, $R_{58} = 10\text{k}\Omega$, $R_{59} = 10\text{k}\Omega$, $R_{60} = 10\text{k}\Omega$, $R_{61} = 10\text{k}\Omega$, $R_{62} = 10\text{k}\Omega$, $R_{63} = 10\text{k}\Omega$, $R_{64} = 10\text{k}\Omega$, $R_{65} = 10\text{k}\Omega$, $R_{66} = 10\text{k}\Omega$, $R_{67} = 10\text{k}\Omega$, $R_{68} = 10\text{k}\Omega$, $R_{69} = 10\text{k}\Omega$, $R_{70} = 10\text{k}\Omega$, $R_{71} = 10\text{k}\Omega$, $R_{72} = 10\text{k}\Omega$, $R_{73} = 10\text{k}\Omega$, $R_{74} = 10\text{k}\Omega$, $R_{75} = 10\text{k}\Omega$, $R_{76} = 10\text{k}\Omega$, $R_{77} = 10\text{k}\Omega$, $R_{78} = 10\text{k}\Omega$, $R_{79} = 10\text{k}\Omega$, $R_{80} = 10\text{k}\Omega$, $R_{81} = 10\text{k}\Omega$, $R_{82} = 10\text{k}\Omega$, $R_{83} = 10\text{k}\Omega$, $R_{84} = 10\text{k}\Omega$, $R_{85} = 10\text{k}\Omega$, $R_{86} = 10\text{k}\Omega$, $R_{87} = 10\text{k}\Omega$, $R_{88} = 10\text{k}\Omega$, $R_{89} = 10\text{k}\Omega$, $R_{90} = 10\text{k}\Omega$, $R_{91} = 10\text{k}\Omega$, $R_{92} = 10\text{k}\Omega$, $R_{93} = 10\text{k}\Omega$, $R_{94} = 10\text{k}\Omega$, $R_{95} = 10\text{k}\Omega$, $R_{96} = 10\text{k}\Omega$, $R_{97} = 10\text{k}\Omega$, $R_{98} = 10\text{k}\Omega$, $R_{99} = 10\text{k}\Omega$, $R_{100} = 10\text{k}\Omega$	3	5	10	3	6	15	mA
Timing Error, Monostable			0.5			1	%	
Initial Accuracy			30			50	ppm/°C	
Drift with Temperature	$R_1, R_2 = 10\text{k}\Omega$, $C = 0.1\mu\text{F}$ (Note 2)		1.5			1.5	%	
Accuracy over Temperature			0.05			0.1	%	
Drift with Supply							%	
Timing Error, Astable			1.6			2.25	%	
Initial Accuracy			90			150	ppm/°C	
Drift with Temperature			2.5			3.0	%	
Accuracy over Temperature			0.15			0.30	%	
Drift with Supply							%	
Threshold Voltage			0.647			0.647	V	
Trigger Voltage	$V_{CC} = 15\text{V}$	4.8	5	5.2	5	5	V	
	$V_{CC} = 5\text{V}$	1.45	1.61	1.8	1.67	1.8	V	
Trigger Current			0.2	0.5	0.5	0.9	mA	
Reset Voltage		0.4	0.5	1	0.4	0.5	V	
Reset Current			0.1	0.4	0.1	0.4	mA	
Threshold Current	(Note 4)		0.1	0.25	0.1	0.25	mA	
Control Voltage Level	$V_{CC} = 15\text{V}$	9.6	10	10.4	9	10	V	
	$V_{CC} = 5\text{V}$	2.9	3.33	3.8	2.6	3.33	V	
Pin 7 Leakage Output High			1	100	1	100	nA	
Pin 3 Set (Note 5)								
Output Low	$V_{CC} = 15\text{V}$, $I_L = 15\text{mA}$		150			180	mV	
Output Low	$V_{CC} = 4.5\text{V}$, $I_L = 4.5\text{mA}$		70	100	80	200	mV	
Output Voltage Drop (Low)	$V_{CC} = 15\text{V}$							
	$I_{OL} = 10\text{mA}$		0.1	0.15	0.1	0.25	V	
	$I_{OL} = 50\text{mA}$		0.4	0.5	0.4	0.75	V	
	$I_{OL} = 100\text{mA}$		2	2.2	2	2.5	V	
	$I_{OL} = 200\text{mA}$		2.5		2.5		V	
	$V_{CC} = 5\text{V}$							
	$I_{OL} = 8\text{mA}$		0.1	0.25			V	
	$I_{OL} = 8\text{mA}$				0.25	0.35	V	
	$I_{OL} = 8\text{mA}$						V	
Output Voltage Drop (High)	$I_{OH} = 200\text{mA}$, $V_{CC} = 15\text{V}$		12.5			12.5	V	
	$I_{OH} = 100\text{mA}$, $V_{CC} = 15\text{V}$	13	13.3		12.75	13.3	V	
	$V_{CC} = 5\text{V}$		3	3.3	2.75	3.3	V	
Rise Time of Output			100			100	nS	
Fall Time of Output			100			100	nS	

Note 1: For operating at elevated temperatures the device must be derated based on a $+150^\circ\text{C}$ maximum junction temperature and a thermal resistance of $+45^\circ\text{C/W}$ junction to case for TO-9 and $+150^\circ\text{C/W}$ junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at $V_{CC} = 5\text{V}$.

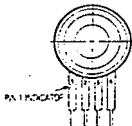
Note 3: Tested at $V_{CC} = 5\text{V}$ and $V_{CC} = 15\text{V}$.

Note 4: This test determines the maximum value of $R_1 + R_2$ for 15V operation. The maximum total ($R_1 + R_2$) is 20 M Ω .

Note 5: No protection against excessive pin 7 current is necessary provided the package dissipation rating ($P_{D(100^\circ\text{C})}$) is not exceeded.

Differential		Gage				Absolute		
Case 344-01	Case 352-01	Case 350-01	Case 350-02	Case 371-04	Case 371-03	Case 344-01	Case 370-01	Case 371-03
D	DP	GP	GVP	GVS	GS	A	AP	AS
MPX10D	MPX10DF	MPX10GP	MPX10GVP	MPX10GVS	MPX10GS	Consult Factory for Absolute Version		
MPX11D	MPX11DP	MPX11GP	MPX11GVP	MPX11GVS	MPX11GS			
MPX12D	MPX12DP	MPX12GP	MPX12GVP	MPX12GVS	MPX12GS			
MPX50D	MPX50DP	MPX50GP	MPX50GVP	MPX50GVS	MPX50GS			
MPX51D	MPX51DP	MPX51GP	MPX51GVP	MPX51GVS	MPX51GS			
MPX52D	MPX52DP	MPX52GP	MPX52GVP	MPX52GVS	MPX52GS			
MPX100D	MPX100DP	MPX100GP	MPX100GVP	MPX100GVS	MPX100GS	MPX100A	MPX100AP	MPX100AS
MPX200D	MPX200DP	MPX200GP	MPX200GVP	MPX200GVS	MPX200GS	MPX200A	MPX200AP	MPX200AS
MPX2050D	MPX2050DP	MPX2050GP	MPX2050GVP	MPX2050GVS	MPX2050GS	Consult Factory for Absolute Version		
MPX2051D	MPX2051DP	MPX2051GP	MPX2051GVP	MPX2051GVS	MPX2051GS			
MPX2100D	MPX2100DP	MPX2100GP	MPX2100GVP	MPX2100GVS	MPX2100GS	MPX2100A	MPX2100AP	MPX2100AS
MPX2101D	MPX2101DP	MPX2101GP	MPX2101GVP	MPX2101GVS	MPX2101GS	MPX2101A	MPX2101AP	MPX2101AS
MPX2200D	MPX2200DP	MPX2200GP	MPX2200GVP	MPX2200GVS	MPX2200GS	MPX2200A	MPX2200AP	MPX2200AS
MPX2201D	MPX2201DP	MPX2201GP	MPX2201GVP	MPX2201GVS	MPX2201GS	MPX2201A	MPX2201AP	MPX2201AS
MPX3100D	MPX3100DP	MPX3100GP	MPX3100GVP	MPX3100GVS	MPX3100GS	Absolute Not Available		

Pinout Information



	Pin Number			
	1	2	3	4
MPX3100D	- Output	Ground	- Supply	N/C
MPX2000 Series	Ground	- Output	Supply	- Output
MPX50,100,200 Series	Ground	- Output	Supply	- Output

Operating Characteristics

Measurement Configuration
Package

Pressure Range		Over Pressure		Offset	Full Scale Span (mV)		Sensitivity (mV)		Linearity	Temperature Coefficient of Span (%/°C)		Temperature Coefficient of Offset (mV/°C)
PSI	kPa	PSI	kPa	mV	Min	Max	PSI	kPa	% FS Span	Min	Max	mV Typ

UNCOMPENSATED $V_S = 5 \text{ Vdc}$, $T_A = 0^\circ\text{C}-85^\circ\text{C}$

0-1.5	10	15	100	35	20	50	23	3.5	± 1.0	-19	-14	± 1.3
					30	60	33	5	-0.05 -3.0			
					45	70	37	5.5	-5.0			
0-7.5	50	30	700	35	45	90	7	1.2	± 0.1	-19	-14	± 1.3
					30	60	6	1.2	± 0.1			
					30	90	7	0.9	± 0.5			
0-15	100	30	200	35	45	90	4	0.6	± 0.25	-19	-14	± 1.3
0-30	200	60	400	35	45	90	2	0.3	± 0.25	-19	-14	± 1.3

COMPENSATED $V_S = 10 \text{ Vdc}$, $T_A = 0^\circ\text{C}-85^\circ\text{C}$

0-7.5	50	30	700	± 1	38.5	41.5	5.3	0.8	± 0.25	-	± 1	± 1
				± 2	37.5	42.5		± 0.50				
0-15	100	30	700	± 1	38.5	41.5	2.7	0.4	± 0.25	-	± 1	± 1
				± 2	37.5	42.5		± 0.50				
0-30	200	60	400	± 1	38.5	41.5	1.3	0.2	± 0.25	-	± 1	± 1
				± 2	37.5	42.5		± 0.50				

INTEGRATED $V_S = 5 \text{ Vdc}$, $T_A = 0^\circ\text{C}-85^\circ\text{C}$

0-15	100	30	200	0.6	2.5 V	175	25	2				± 50
------	-----	----	-----	-----	-------	-----	----	---	--	--	--	----------

Packaging



Basic Element
Chip Carrier

344-01



Pressure or Vacuum (Stovepipe) Port
(consult factory)

371-02
371-04



Pressure or Vacuum
Side Ported

350-01
350-02



Pressure and Vacuum
Side Ported

352-01

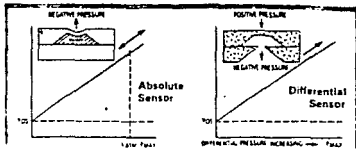
Case Number

Operation

Motorola pressure sensors support three types of pressure measurements: Absolute Pressure, Differential Pressure and Gauge Pressure.

Absolute Pressure Sensors measure an external pressure relative to a zero pressure reference (vacuum) sealed inside the reference chamber of the die during manufacture. This corresponds to a deflection of the diaphragm equal to approximately 15 PSI (one atmosphere), generating a quiescent full-scale output for the MPX100A (15 PSI) sensor, and a half-scale output for the MPX200A (30 PSI) device. Measurement of external pressure is accomplished by applying a relative negative pressure to the "Pressure" side of the sensor.

Differential Pressure Sensors measure the difference between pressures applied simultaneously to opposite sides of the diaphragm. A positive pressure applied to the "Pressure" side generates the same (positive) output as an equal negative pressure applied to the "Vacuum" side.



Microflex sensing elements can withstand pressure inputs as high as four times their rated capacity, although accuracy at pressures exceeding the rated pressure will be reduced. When excessive pressure is reduced, the previous linearity will almost totally be restored.

Figure 6. Pressure Measurements

Gage Pressure readings are a special case of differential measurements in which the pressure applied to the Pressure side is measured against the ambient atmospheric pressure applied to the Vacuum side through the vent hole in the chip of the differential pressure sensor elements.

Temperature Compensation

The Motorola MPX series of pressure sensors is available in three forms: uncompensated or temperature compensated and calibrated or fully signal-conditioned.

The standard, uncompensated sensing elements permit manufacturers to design and add their own external compensating and signal conditioning networks. Compensation techniques are simplified because of the predictability of Motorola's single-element strain-gage design. In addition, temperature compensation can be accomplished without the need to characterize each MPX sensor over temperature.

In the compensated MPX2000 series, the strain-gage

element is ion implanted onto the silicon diaphragm. Standard bipolar IC processing techniques combined with state-of-the-art metallization are used to add the appropriate passive elements on the unetched portion of the die. This consists of a diffused thermistor which compensates the offset for the effects of temperature, and 8 thin-film resistors which calibrate the offset voltage and adjust the voltage span. The thin film resistors are laser trimmed, on-chip, to insure accuracy of calibration and temperature compensation.

The output characteristics of both compensated and uncompensated devices are shown in the illustration.

Fully compensated pressure sensor chip adds a diffused thermistor and thin-film resistors to the basic chip. Differences in performance are given in the graph below. Output voltage versus pressure at two values as a function of temperature for compensated and uncompensated pressure sensors. Below: Schematic diagram of compensated device, as right.

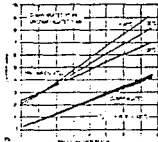
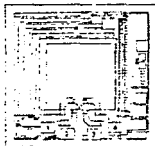
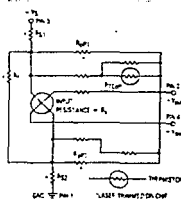


Figure 7. Differences in Performance



Sensor Glossary

A. FULL SCALE SPAN:

The span of a device is the output voltage variation given between 0 pressure and any given pressure. Full scale span is the output variation when maximum recommended operating pressure is applied.

Min and max are guaranteed limits for all pressure sensors.

B. HYSTERESIS:

Hysteresis refers to a transducer's ability to reproduce the same output for the same input, regardless of whether the input is increasing or decreasing. Pressure hysteresis is measured at a constant temperature while temperature hysteresis is measured at a constant pressure in the operating pressure range (see Figure 8).

1. Pressure Hysteresis

The difference in the output at any given pressure in the operating pressure range when this pressure is approached from the minimum operating pressure and when approached from the maximum operating pressure at room temperature.

Pressure hysteresis is given as a percentage of the full scale span.

Example: an MPX200 having a ± 0.1 pressure hysteresis with V_{SS} of 90 mV should have, at 100 kPa, a maximum pressure hysteresis of: $\pm 0.1\% \times 90 \text{ mV} = \pm 0.09 \text{ mV}$.

(The extremely low pressure hysteresis is related to inherent elasticity of the silicon diaphragm.)

2. Temperature Hysteresis

The difference in the output at any temperature in the operating temperature range when this temperature is approached from the minimum operating temperature (-40°C) and when approached from the maximum operating temperature ($+125^\circ\text{C}$) at zero pressure applied.

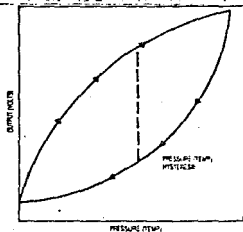


Figure 8. Hysteresis

Temperature hysteresis is given as a percentage of full scale span.

It is related to the stress-absorbing capabilities of each constituent in the sensor package.

Motorola's pressure sensor die is mounted in a highly compliant silicone elastomer which is resistant to thermal fatigue.

C. RATIOMETRICITY

Ratiometricity refers to the ability of the transducer to maintain a constant sensitivity, at a constant pressure, over a range of supply voltage values.

Ratiometricity Error

The maximum variation in sensitivity over a range of supply voltage relative to a mid-point voltage sensitivity reference.

EXAMPLE: The data below represents sensitivity measurements taken on an MPX2100 Series device at a constant pressure of 15 PSI, and supply voltages of 2 V, 6 V and 10 V. (Sensitivity in this example is expressed in units of $\mu\text{V}/\text{mm Hg}$.)

	(Low Voltage Point)	(Mid-Point)	(High Voltage Point)
	2 V	6 V	10 V
Sensitivity	5.295	5.3	5.31

Using the formula: $\text{Error} = \left(\frac{\Delta S_{\text{max}} - S_{\text{mid}}}{S_{\text{mid}}} \right) \times 100$

Where: R_{error} = maximum ratiometricity error
 ΔS_{max} = the high (or low) sensitivity value representing the maximum differential from the mid-point sensitivity reference.

S_{mid} = Sensitivity value at the mid-point voltage reference.

You arrive at: $\left(\frac{5.31 - 5.3}{5.3} \right) \times 100 = .18\%$ max ratiometricity error

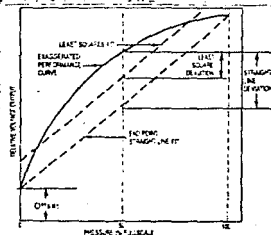


Figure 9. Linearity Specification Comparison

Sensor Glossary (continued)

D. INPUT IMPEDANCE (RESISTANCE):

The impedance (resistance) measured between the positive and negative (ground) input terminals at a specified frequency with the output terminals open. For Motorola X-ducers this is a resistance measurement only.

E. LINEARITY:

Linearity refers to how well a transducer's output follows the equation: $V_{out} = V_{off} + (\text{sensitivity} \times P)$ over the operating pressure range. There are two basic methods for calculating nonlinearity: (1) end point straight line fit or (2) a least squares best line fit (see Figure 4). While a least squares fit gives the "best case" linearity error (lower numerical value), the calculations required are burdensome.

Conversely, an end point fit will give the "worst case" error (often more desirable in order budget calculations) and the calculations are more straightforward for the user. Motorola's specified pressure sensor linearities are based on the end point straight line method measured at the midrange pressure.

F. LINEARITY ERROR:

The maximum deviation of the output from a straight line relationship over the operating pressure range.

An MPX200, with max linearity of 0.25%, with $V_{FSS} = 50$ mV would have a maximum linearity adjustment of $\pm 1 \mu\text{V}$ regardless of the pressure applied in the specified operating range.

This extremely good linearity allows the assumption that the same value of sensitivity occurs at any point of the operating pressure range.

G. OPERATING PRESSURE RANGE:

The min and max pressures at which the output will meet the specified operating characteristics.

H. REPEATABILITY/STABILITY:

Repeatability

The maximum difference in the output at any pressure in the operating pressure range when this pressure is applied consecutively under the same conditions and from the same direction.

Stability

The maximum change in output under fixed operating conditions over a specified period of time.

Repeatability refers to a transducer's ability to reproduce the same output with the same applied pressure while stability is measured after long term cycling or aging. Motorola's long term cycle is defined as 1000 temperature cycles from -40°C to $+125^\circ\text{C}$ and 1 B x 10⁵ pressure cycles from zero to 100% of the full scale operating pressure range.

I. RESPONSE TIME:

The time required for the incremental change in the

output to go from 10% to 90% of its final value when subjected to a specified step change in pressure.

J. SENSITIVITY:

Is the full scale span divided by the maximum operating pressure

$$\text{SENSITIVITY} = \frac{V_{FSS}}{POP}$$

Values given are typical. However, minimum and maximum values can be easily obtained. Example: an MPX200 having $V_{FSS} = 90$ mV at 200 kPa input will have a sensitivity of

$$\frac{90 \text{ mV}}{200 \text{ kPa}} = 0.45 \text{ mV/kPa}$$

The sensitivity is assumed to be the same whatever the pressure inside operating pressure range. (See LINEARITY.)

K. SUPPLY CURRENT:

Is a function of the input resistance and the supply voltage.

In a case where constant current excitation mode is used, care must be given to the limit of the current level such that corresponding excitation voltage is less than 6V.

L. SUPPLY VOLTAGE:

Also called EXCITATION VOLTAGE.

The output signal of the device is directly proportional to excitation voltage at a given pressure.

Because of this ratio-metric behavior a regulated power supply is recommended. Devices must be powered by constant current or constant voltage.

M. TEMPERATURE EFFECTS:

1. Temperature Coefficient of Full Scale Span —

TCV_{FSS}

The percent change in full scale span (in mV) per unit change in temperature (in °C) relative to the full scale span at a specified temperature (25°C).

The variation of V_{FSS} versus temperature is linear. The temperature coefficient of full scale span is given by:

$$\text{TCV}_{FSS} = \left(\frac{\Delta V_{FSS}}{\Delta T} \right) \times \frac{1}{V_{FSS}(25^\circ\text{C})}$$

Example: an MPX200 with $V_{FSS} = 45$ mV at 25°C and $\text{TCV}_{FSS} = -0.22\%/^\circ\text{C}$ would have:

$$V_{FSS} = 45 \text{ mV} + [45 \text{ mV} \times (-0.22\%/^\circ\text{C}) \times 100] = 35.1 \text{ mV at } 125^\circ\text{C}$$

$$V_{FSS} = 45 \text{ mV} + [45 \text{ mV} \times (-0.22\%/^\circ\text{C}) \times (-65^\circ\text{C})] = 51.4 \text{ mV at } -40^\circ\text{C}$$

Note that the slope is always negative and for this reason, the MPX pressure sensors can be easily temperature compensated for span by using a series resistor technique (see Application Note AN922).

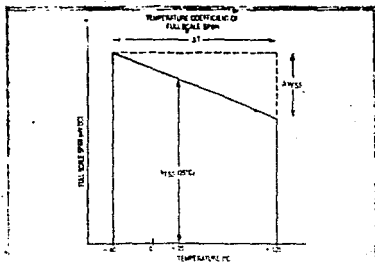


Figure 10. Example: Full Scale Span versus Temperature

2. Temperature Coefficient of Offset — TC_{V_{off}}

The change in zero pressure offset per unit change in temperature at a specified supply voltage or current.

The variation of V_{off} versus temperature is linear.

The temperature coefficient of offset is given by:

$$TC_{V_{off}} = \left(\frac{\Delta V_{off}}{\Delta T} \right) \times \frac{1}{V_{off}(25^{\circ}\text{C})}$$

Calculation: The same as for TC_{V_{FSS}}.

Figure 7 shows the typical output characteristics of an MPX200D pressure transducer. Note from the figure that both the zero pressure offset and the full scale span are temperature sensitive thus having associated temperature coefficients.

3. Temperature Coefficient of Resistance

The variation of input resistance versus temperature is linear.

The temperature coefficient of resistance is given by:

$$TCR = \left(\frac{\Delta R}{\Delta T} \right) \times \frac{1}{R(25^{\circ}\text{C})}$$

This coefficient is determined by the doping level and the material resistivity.

NOTE: Temperature Error (in General) The maximum change in output at any pressure in the operating pressure range when the temperature is changed over a specified temperature range.

N. ZERO PRESSURE OFFSET:

This is the signal level given by a sensor with 0 applied pressure.

Min and max are guaranteed limits for all pressure sensors.

(The output of the sensor is given as $V_{off} - \text{span}$.)

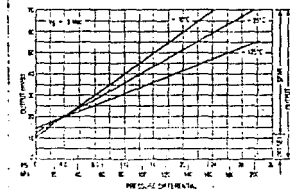


Figure 11. Output versus Pressure Differential



National
Semiconductor

Operational Amplifiers/Buffers

LM124/LM224/LM324, LM124AJ/LM224AJ/LM324A, LM2902 Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high gain, internally frequency-compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard ± 5 V_{DC} power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ± 15 V_{DC} power supplies.

Unique Characteristics

- In the linear mode the input common mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

Advantages

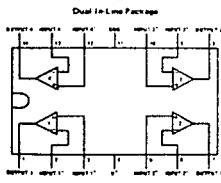
- Eliminates need for dual supplies
- Four internally compensated op amps in a single package
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

- Internally frequency compensated for unity gain
- Large dc voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range

Single supply	3 V _{DC} to 30 V _{DC}
or dual supplies	± 1.5 V _{DC} to ± 15 V _{DC}
- Very low supply current drain (800 μ A – essentially independent of supply voltage (1 mW/op amp at ± 5 V_{DC})
- Low input biasing current 45 nA_{DC} (temperature compensated)
- Low input offset voltage 2 mV_{DC} and offset current 5 nA_{DC}
- Input common mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage 0 V_{DC} to V⁺ – 1.5 V_{DC} swing

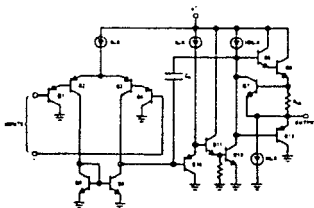
Connection Diagram



Order Number LM124J, LM124AJ,
LM224J, LM224AJ, LM324J,
LM324AJ or LM2902J
See NS Package J14A

Order Number LM324N, LM324AN
or LM2902N
See NS Package M14A

Schematic Diagram (Each Amplifier)



LM124/LM224/LM324, LM124A/
LM224A/LM324A, LM2902

Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM124A		LM224A		LM324A		LM124/LM224		LM224		LM2902		UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	(Note 5)	0		0		0		±2		±8		±10		mV _{DC}
Input Offset Voltage	$R_g = 8k\Omega$	±20		±20		±20		±20		±20		±20		mV/°C
Input Offset Current	(Notes 1, 2)	±20		±20		±20		±100		±100		±100		nA _{DC}
Input Offset Current	(Note 1)	±10		±10		±10		±10		±10		±10		nA/°C
Input Bias Current	(Notes 1, 2)	±40		±40		±40		±40		±40		±40		nA _{DC}
Input Common-Mode Voltage Range (Note 7)	$V^+ = 20 V_{DC}$	0 to $V^+ - 2$		0 to $V^+ - 2$		0 to $V^+ - 2$		0 to $V^+ - 2$		0 to $V^+ - 2$		0 to $V^+ - 2$		V _{DC}
Large Signal Voltage Gain	$V^+ = 15 V_{DC}$ (For Large V_{GS} Swing) $R_L \leq 2k\Omega$	≥26		≥26		≥18		≥26		≥18		≥16		V/mV
Closed Voltage Swing V_{OH}	$V^+ = 20 V_{DC}, R_L = 7k\Omega$	≥26		≥26		≥26		≥26		≥26		≥22		V _{DC}
	$R_L \leq 10k\Omega$	≥22		≥22		≥22		≥22		≥22		≥22		V _{DC}
	$V^+ = 5 V_{DC}, R_L \leq 10k\Omega$	≥5		≥5		≥5		≥5		≥5		≥5		mV _{DC}
Output Current Source	$V_{OH}^+ = 11 V_{DC}, V_{OH}^- = 0 V_{DC}, V^+ = 15 V_{DC}$	±10		±10		±10		±10		±10		±10		mA _{DC}
	Sink	±10		±10		±10		±10		±10		±10		mA _{DC}
Differential Input Voltage	(Note 7)	±32		±32		±32		±32		±32		±32		V _{DC}

124

Note 1: For operation at high temperatures, the LM324/LM324A, LM2902 must be derated based on a 125°C maximum junction temperature and a thermal resistance of 175°C/W which applies for the device installed on a printed circuit board, operating in a still air ambient. The LM224/LM224A and LM124/LM124A can be derated based on a 150°C maximum junction temperature. The derating is the total of all four amplifiers per part number, unless specified, to allow the amplifier to dissipate 10 mW of power which is dissipated in the integrated circuit.

Note 2: Short-circuiting from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 40 mA independent of the magnitude of V^+ . All values of supply voltage in excess of 15 V_{DC}, continuous short-circuit currents can exceed the power dissipation ratings and cause eventual destruction. Destruction can result from simultaneous shorts on all amplifiers.

Note 3: The input current and only one when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode strings. In addition to the diode action, there is also local NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltage of the op amp to go to the V^+ voltage level (or to ground for a large impedance) for the same duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than -0.3 V_{DC} (at 25°C).

Note 4: These specifications apply for $V^+ = 15 V_{DC}$ and -65°C ≤ T_A ≤ 125°C, unless otherwise stated. With the LM224/LM224A, all temperature specifications are limited to -25°C ≤ T_A ≤ 165°C, the LM324/LM324A temperature specifications are limited to 0°C ≤ T_A ≤ 170°C, and the LM2902 specifications are limited to -40°C ≤ T_A ≤ 185°C.

Note 5: $V_{GS} = 1.4 V_{DC}, R_g = 8k\Omega$ with V^+ from 6 V_{DC} to 30 V_{DC}, and over the full output common-mode range (0 V_{DC} to $V^+ - 1.5 V_{DC}$).

Note 6: The direction of the input current is out of the IC due to the PNP output stage. This current is essentially constant, independent of the state of the output as long as no loading change exists on the output load.

Note 7: The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than 0.3 V (at 25°C). The upper end of the common-mode voltage range is $V^+ - 1.5 V_{DC}$, but either or both inputs can go to +22 V_{DC} without damage (±20 V_{DC} for LM2902).

Note 8: Due to proximity of external components, users should employ a not separating the any distance between these external parts. This typically can be detected in the type of capacitive increase of higher frequencies.

LM317L 3-Terminal Adjustable Regulator

General Description

The LM317L is an adjustable 3-terminal positive voltage regulator capable of supplying 100 mA over a 1.2V to 37V output range. It is exceptionally easy to use and requires only two external resistors to set the output voltage. Further, both line and load regulation are better than standard fixed regulators. Also, the LM317L is packaged in a standard TO-92 transistor package which is easy to use.

In addition to higher performance than fixed regulators, the LM317L offers full overload protection, included on the chip are current limit, thermal overload protection and safe area protection. All overload protection circuitry remains fully functional even if the adjustment terminal is disconnected.

Features

- Adjustable output down to 1.2V
- Guaranteed 100 mA output current
- Line regulation typically 0.01%/V
- Load regulation typically 0.1%
- Current limit constant with temperature
- Eliminates the need to stock many voltages
- Standard 3-lead transistor package
- 80 dB ripple rejection

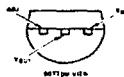
Normally, no capacitors are needed unless the device is situated far from the input filter capacitors in which case an input bypass is needed. An optional output capacitor can be added to improve transient response. The adjustment terminal can be bypassed to achieve very high ripple rejection ratios which are difficult to achieve with standard 3-terminal regulators.

Besides replacing fixed regulators, the LM317L is useful in a wide variety of other applications. Since the regulator is "floating" and sees only the input-to-output differential voltage, supplies of several hundred volts can be regulated as long as the maximum input-to-output differential is not exceeded.

Also, it makes an especially simple adjustable switching regulator, a programmable output regulator, or by connecting a fixed resistor between the adjustment and output, the LM317L can be used as a precision current regulator. Supplies with electronic shutdown can be achieved by clamping the adjustment terminal to ground which programs the output to 1.2V where most loads draw little current.

The LM317L is packaged in a standard TO-92 transistor package. The LM317L is rated for operation over a -25°C to 125°C range.

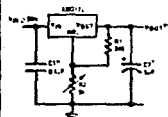
Connection Diagram



Order Number LM317LZ
See NS Package Z03A

Typical Applications

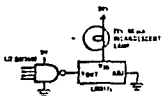
1.2V-25V Adjustable Regulator



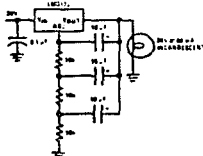
† Output — load regulation —
1000%/100mA
* Resistor of 100Ω to 1kΩ may
improve capacitor

$$V_{OUT} = 1.25V \left(1 + \frac{R_2}{R_1} \right)$$

Fully Protected (Bulletproof) Lamp Driver



Lamp Flasher



Output rate — 4 flashes per sec. at 25°C, duty cycle

Absolute Maximum Ratings

Power Dissipation	Internally Limited
Input-Output Voltage Differential	40V
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature	-55°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (Note 1)

Parameter	Conditions	Min	Typ	Max	Units
Line Regulation	$T_A = 25^\circ\text{C}$, $3V \leq (V_{IN} - V_{OUT}) \leq 40V$, (Note 2)		0.01	0.04	%/V
Load Regulation	$T_A = 25^\circ\text{C}$, $5\text{ mA} \leq I_{OUT} \leq I_{MAX}$, (Note 2)		0.1	0.5	%
Thermal Regulation	$T_A = 25^\circ\text{C}$, 10 ms Pulse		0.04	0.2	%/W
Adjustment Pin Current			50	100	μA
Adjustment Pin Current Change	$5\text{ mA} \leq I_A \leq 100\text{ mA}$		0.2	5	μA
Reference Voltage	$3V \leq (V_{IN} - V_{OUT}) \leq 40V$, $P \leq 625\text{ mW}$ $5\text{ mA} \leq I_{OUT} \leq 100\text{ mA}$, $P \leq 625\text{ mW}$	1.20	1.25	1.30	V
Line Regulation	$3V \leq (V_{IN} - V_{OUT}) \leq 40V$, (Note 2)		0.02	0.07	%/V
Load Regulation	$5\text{ mA} \leq I_{OUT} \leq 100\text{ mA}$, (Note 2)		0.3	1.5	%
Temperature Stability	$T_{MIN} \leq T_A \leq T_{MAX}$		0.85		%
Minimum Load Current	$(V_{IN} - V_{OUT}) \leq 40V$		3.5	5	mA
	$3V \leq (V_{IN} - V_{OUT}) \leq 15V$		1.5	2.5	mA
Current Limit	$3V \leq (V_{IN} - V_{OUT}) \leq 13V$	100	200	300	mA
	$(V_{IN} - V_{OUT}) = 40V$	25	50	150	mA
Rms Output Noise, % of V_{OUT}	$T_A = 25^\circ\text{C}$, $10\text{ Hz} \leq f \leq 10\text{ kHz}$		0.003		%
Ripple Rejection Ratio	$V_{OUT} = 10V$, $f = 120\text{ Hz}$, $C_{ADJ} = 0$ $C_{ADJ} = 10\text{ }\mu\text{F}$	68	80		dB
Long-Term Stability	$T_A = 125^\circ\text{C}$, 1000 Hours		0.3	1	%

Note 1: Unless otherwise specified, these specifications apply to $25^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ for the LM317L. $V_{IN} - V_{OUT} = 5V$ and $I_{OUT} = 40\text{ mA}$. Although power dissipation is internally limited, these specifications are not valid for power dissipation up to 625 mW, $I_{OUT} \leq 100\text{ mA}$.

Note 2: Regulation is measured at constant junction temperature using pulse testing with a low duty cycle. Changes in output voltage due to heating effects are covered under the specification for thermal regulator.

Note 3: Thermal resistance of the TO-18 package is 180°C/W junction to ambient with 0.1" leads from a PC board and 180°C/W junction to ambient with 0.125" lead length to PC board.



8279/8279-5 PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

- Simultaneous Keyboard Display Operations
- Scanned Keyboard Mode
- Scanned Sensor Mode
- Strobed Input Entry Mode
- 8-Character Keyboard FIFO
- 2-Key Lockout or N-Key Rollover with Contact Debounce
- Dual 8- or 16-Numerical Display
- Single 16-Character Display
- Right or Left Entry 16-Byte Display RAM
- Mode Programmable from CPU
- Programmable Scan Timing
- Interrupt Output on Key Entry
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8279 is a general purpose programmable keyboard and display I/O interface device designed for use with Intel® microprocessors. The keyboard portion can provide a scanned interface to a 64-contact key matrix. The keyboard portion will also interface to an array of sensors or a strobed interface keyboard, such as the hall effect and inertia variety. Key depressions can be 2-key lockout or N-key rollover. Keyboard entries are debounced and strobed in an 8-character FIFO. If more than 8 characters are entered, keyboard status is set. Key entries set the interrupt output line to the CPU.

The display portion provides a scanned display interface for LED, incandescent, and other popular display technologies. Both numeric and alphanumeric segment displays may be used as well as simple indicators. The 8279 has 16x8 display RAM which can be organized into dual 16x4. The RAM can be loaded or interrogated by the CPU. Both right entry, calculator and left entry typewriter display formats are possible. Both read and write of the display RAM can be done with auto-increment of the display RAM address.

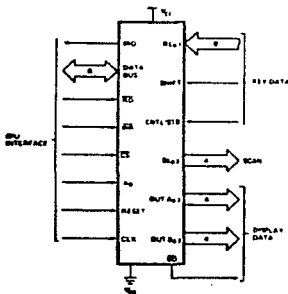


Figure 1. Logic Symbol

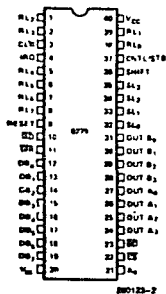


Figure 2. Pin Configuration

**HARDWARE DESCRIPTION**

The 8279 is packaged in a 40 pin DIP. The following is a functional description of each pin.

Table 1. Pin Description

Symbol	Pin No.	Name and Function
DB ₀ -DB ₇	19-12	BI-DIRECTIONAL DATA BUS: All data and commands between the CPU and the 8279 are transmitted on these lines.
CLK	3	CLOCK: Clock from system used to generate internal timing.
RESET	9	RESET: A high signal on this pin resets the 8279. After being reset the 8279 is placed in the following mode: 1) 16 8-bit character display—left entry. 2) Encoded scan keyboard—2 key lockout. Along with this the program clock prescaler is set to 31.
CS	22	CHIP SELECT: A low on this pin enables the interface functions to receive or transmit.
A ₀	21	BUFFER ADDRESS: A high on this line indicates the signals in or out are interpreted as a command or status. A low indicates that they are data.
RD, WR	10-11	INPUT/OUTPUT READ AND WRITE: These signals enable the data buffers to either send data to the external bus or receive it from the external bus.
I/O	4	INTERRUPT REQUEST: In a keyboard mode, the interrupt line is high when there is data in the FIFO/Sensor RAM. The interrupt line goes low with each FIFO/Sensor RAM read and returns high if there is still information in the RAM. In a sensor mode, the interrupt line goes high whenever a change in a sensor is detected.
V _{SS} , V _{CC}	20, 40	GROUND AND POWER SUPPLY PINS.
SL ₀ -SL ₃	32-35	SCAN LINES: Scan lines which are used to scan the key switch or sensor matrix and the display digits. These lines can be either encoded (1 of 16) or decoded (1 of 4).
RL ₀ -RL ₇	38, 39, 1, 2, 5-8	RETURN LINE: Return line inputs which are connected to the scan lines through the keys or sensor switches. They have active internal pullups to keep them high until a switch closure puts one low. They also serve as an 8-bit input in the Strobed Input mode.
SHIFT	36	SHIFT: The shift input status is stored along with the key position on key closure in the Scanned Keyboard modes. It has an active internal pullup to keep it high until a switch closure puts it low.
CNTL/STB	37	CONTROL/STROBED INPUT MODE: For keyboard modes this line is used as a control input and stored the status on a key closure. The line is also the strobe line that enters the data into the FIFO in the Strobed Input mode. (Rising Edge). It has an active internal pullup to keep it high until a switch closure puts it low.
OUT A ₀ -OUT A ₃ OUT B ₀ -OUT B ₃	27-24 31-28	OUTPUTS: These two ports are the outputs for the 16 x 4 display refresh registers. The data from these outputs is synchronized to the scan lines (SL ₀ -SL ₃) for multiplexed digit displays. The two 4 bit ports may be blanked independently. These two ports may also be considered as one 8-bit port.
BD	23	BLANK DISPLAY: The output is used to blank the display during digit switching or by a display blanking command.

FUNCTIONAL DESCRIPTION

Since data input and display are an integral part of many microprocessor designs, the system designer needs an interface that can control these functions without placing a large load on the CPU. The 8279 provides this function for 8-bit microprocessors.

The 8279 has two sections: keyboard and display. The keyboard section can interface to regular typewriter style keyboards or random toggle or thumb switches. The display section drives alphanumeric displays or a bank of indicator lights. Thus the CPU is relieved from scanning the keyboard or refreshing the display.

The 8279 is designed to directly connect to the microprocessor bus. The CPU can program all operating modes for the 8279. These modes include:

Input Modes

- Scanned Keyboard—with encoded (8×8 key keyboard) or decoded (4×8 key keyboard) scan lines. A key depression generates a 6-bit encoding of key position. Position and shift and control status are stored in the FIFO. Keys are automatically debounced with 2-key lockout or N-key rollover.
- Scanned Sensor Matrix—with encoded (8×8 matrix switches) or decoded (4×8 matrix switches) scan lines. Key status (open or closed) stored in RAM, addressable by CPU.
- Strobed Input—Data or return lines during control line strobe is transferred to FIFO.

Output Modes

- 8 or 16 character multiplexed displays that can be organized as dual 4-bit or single 6-bit ($B_7 = D_7, A_7 = D_7$).
- Right entry or left entry display formats.

Other features of the 8279 include:

- Mode programming from the CPU.
- Data Prescaler.
- Internal output to signal CPU when there is keyboard or sensor data available.
- An 8 byte FIFO to store keyboard information.
- 16 byte internal Display RAM for display refresh. This RAM can also be read by the CPU.

PRINCIPLES OF OPERATION

The following is a description of the major elements of the 8279 Programmable Keyboard/Display Interface device. Refer to the block diagram in Figure 5.

I/O Control and Data Buffers

The I/O control section uses the \overline{CS} , A_0 , RD and WR lines to control data flow to and from the various internal registers and buffers. All data flow to and from the 8279 is enabled by \overline{CS} . The character of the information, given or desired by the CPU, is identified by A_0 . A logic one means the information is a command or status. A logic zero means the information is data. RD and WR determine the direction of data flow through the Data Buffers. The Data Buffers are bi-directional buffers that connect the internal bus to the external bus. When the chip is not selected ($\overline{CS} = 1$), the devices are in a high impedance state. The drivers input during WR + \overline{CS} and output during RD + \overline{CS} .

Control and Timing Registers and Timing Control

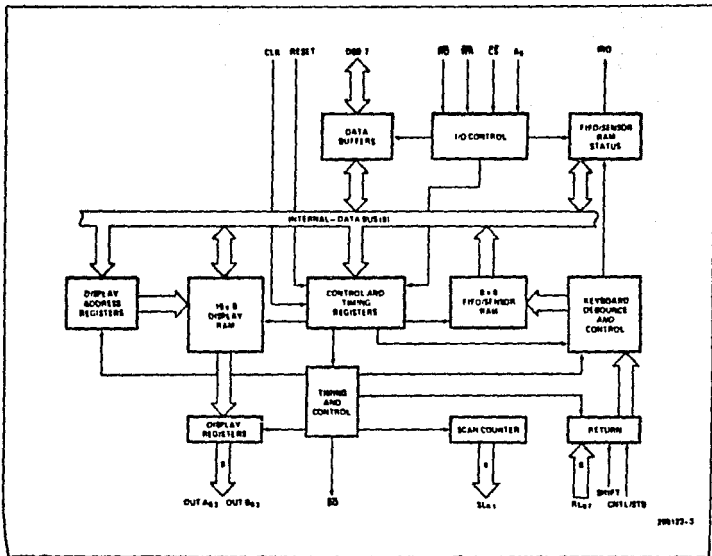
These registers store the keyboard and display modes and other operating conditions programmed by the CPU. The modes are programmed by presenting the proper command on the data lines with $A_0 = 1$ and then sending a WR. The command is latched on the rising edge of WR. The command is then decoded and the appropriate function is set. The timing control contains the basic timing counter chain. The first counter is a $1 - N$ prescaler that can be programmed to yield an internal frequency of 100 kHz which gives a 5.1 ms keyboard scan time and a 10.3 ms debounce time. The other counters divide down the basic internal frequency to provide the proper key scan, row scan, keyboard matrix scan, and display scan times.

Scan Counter

The scan counter has two modes. In the encoded mode, the counter provides a binary count that must be externally decoded to provide the scan lines for the keyboard and display. In the decoded mode, the scan counter decodes the least significant 2 bits and provides a decoded 1 of 4 scan. Note that when the keyboard is in decoded scan, so is the display. This means that only the first 4 characters in the Display RAM are displayed.

In the encoded mode, the scan lines are active high outputs. In the decoded mode, the scan lines are active low outputs.

Figure 2. Internal Block Diagram
2-218



Intel

8278/8279-5

980127-3

Return Buffers and Keyboard Bounce and Control

The 8 return lines are buffered and latched by the Return Buffers. In the keyboard mode, these lines are scanned, looking for key closures in that row. If the debounce circuit detects a closed switch, it waits about 10 ms to check if the switch remains closed. If it does, the address of the switch in the matrix plus the status of SHIFT and CONTROL are transferred to the FIFO. In the scanned Sensor Matrix modes, the contents of the return lines is directly transferred to the corresponding row of the Sensor RAM (FIFO) each key scan time. In Strobed Input mode, the contents of the return lines are transferred to the FIFO on the rising edge of the CNTL/STB line pulse.

FIFO/Sensor RAM and Status

This block is a dual-function 8 x 8 RAM. In Keyboard or Strobed Input modes, it is a FIFO. Each new entry is written into successive RAM positions and each is then read in order of entry. FIFO status keeps track of the number of characters in the FIFO and whether it is full or empty. Too many reads or writes will be recognized as an error. The status can be read by an RD with CS low and A₀ high. The status logic also provides an IRQ signal when the FIFO is not empty. In Scanned Sensor Matrix mode, the memory is a Sensor RAM. Each row of the Sensor RAM is loaded with the status of the corresponding row of sensor in the sensor matrix. In this mode, IRQ is high if a change in a sensor is detected.

Display Address Registers and Display RAM

The Display Address Registers hold the address of the word currently being written or read by the CPU and the two 4-bit nibbles being displayed. The read/write addresses are programmed by CPU command. They also can be set to auto-increment after each read or write. The Display RAM can be directly read by the CPU after the correct mode and address is set. The addresses for the A and B nibbles are automatically updated by the 8279 to match data entry by the CPU. The A and B nibbles can be entered independently or as one word, according to the mode that is set by the CPU. Data entry to the display can be set to either left or right entry. See Interface Considerations for details.

SOFTWARE OPERATION

8279 Commands

The following commands program the 8279 operating modes. The commands are sent on the Data Bus with CS low and A₀ high and are loaded to the 8279 on the rising edge of WR.

Keyboard/Display Mode Set

	MSB				LSB			
Code	C	D	D	D	K	K	K	K

Where DD is the Display Mode and KKK is the Keyboard Mode.

DD

- 0 0 0 8-bit character display—Left entry
- 0 1 16-bit character display—Left entry*
- 1 0 8-bit character display—Right entry
- 1 1 16-bit character display—Right entry

For description of right and left entry, see Interface Considerations. Note that when decoded scan is set in keyboard mode, the display is reduced to 4 characters independent of display mode set.

KKK

- 0 0 0 Encoded Scan Keyboard—2 Key Lock-out*
- 0 0 1 Decoded Scan Keyboard—2 Key Lock-out
- 0 1 0 Encoded Scan Keyboard—N-Key Roll-over*
- 0 1 1 Decoded Scan Keyboard—N-Key Roll-over*
- 1 0 0 Encoded Scan Sensor Matrix
- 1 0 1 Decoded Scan Sensor Matrix
- 1 1 0 Strobed Input, Encoded Display Scan
- 1 1 1 Strobed Input, Decoded Display Scan

*Default after reset.

Program Clock

Code	0	0	1	P	P	P	P	P	P
------	---	---	---	---	---	---	---	---	---

All timing and multiplexing signals for the 8279 are generated by an internal prescaler. This prescaler divides the external clock (pin 3) by a programmable integer. Bits P[7:0] determine the value of this integer which ranges from 2 to 31. Choosing a divisor that yields 100 kHz will give the specified scan and

debounce times. For instance, if Pin 3 of the 8279 is being clocked by a 2 MHz signal, PPSPP should be set to 10100 to divide the clock by 20 to yield the proper 100 kHz operating frequency.

Read FIFO/Sensor RAM

Code:

0	1	0	Ai	X	A	A	A
---	---	---	----	---	---	---	---

 X = Don't Care

The CPU sets the 8279 for a read of the FIFO/Sensor RAM by first writing this command. In the Scan Keyboard Mode, the Auto-Increment flag (Ai) and the RAM address bits (AAA) are irrelevant. The 8279 will automatically drive the data bus for each subsequent read (A₀ = 0) in the same sequence in which the data first entered the FIFO. All subsequent reads will be from the FIFO until another command is issued.

In the Sensor Matrix Mode, the RAM address bits AAA select one of the 8 rows of the Sensor RAM. If the Ai flag is set (Ai = 1), each successive read will be from the subsequent row of the sensor RAM.

Read Display RAM

Code:

0	1	1	Ai	A	A	A	A
---	---	---	----	---	---	---	---

The CPU sets up the 8279 for a read of the Display RAM by first writing this command. The address bits AAAA select one of the 16 rows of the Display RAM. If the Ai flag is set (Ai = 1), this row address will be incremented after each following read or write to the Display RAM. Since the same counter is used for both reading and writing, this command sets the next read or write address and the sense of the Auto-Increment mode for both operations.

Write Display RAM

Code:

1	0	0	Ai	A	A	A	A
---	---	---	----	---	---	---	---

The CPU sets up the 8279 for a write to the Display RAM by first writing this command. After writing the command with A₀ = 1, all subsequent writes with A₀ = 0 will be to the Display RAM. The addressing and Auto-Increment functions are identical to those for the Read Display RAM. However, this command does not affect the source of subsequent Data Reads: the CPU will read from whichever RAM (Display FIFO/Sensor) which was last specified. If, indeed, the Display RAM was last specified, the Write Display RAM will, nevertheless, change the next Read location.

Display Write Inhibit/Blanking

Code:

1	0	1	X	IW	IW	BL	BL
---	---	---	---	----	----	----	----

The IW Bits can be used to mask nibble A and nibble B in applications requiring separate 4-bit display ports. By setting the IW flag (IW = 1) for one of the ports, the port becomes masked so that entries to the Display RAM from the CPU do not affect that port. Thus, if each nibble is input to a BCD decoder, the CPU may write a digit to the Display RAM without affecting the other digit being displayed. It is important to note that bit B₀ corresponds to bit D₀ on the CPU bus, and that bit A₃ corresponds to bit D₃.

If the user wishes to blank the display, the BL flags are available for each nibble. The last Clear command issued determines the code to be used as a "blank." This code defaults to all zeros after a reset. Note that both BL flags must be set to blank a display formatted with a single 8-bit port.

Clear

Code:

1	1	0	C ₀	C ₀	C ₀	C _F	C _A
---	---	---	----------------	----------------	----------------	----------------	----------------

The C₀ bits are available in this command to clear all rows of the Display RAM to a selectable blanking code as follows:

C ₀	C _F	C _A	End of Clear
1	0	0	Blank (FF - Don't Care)
1	0	1	Blank (20-0C10 2000)
1	1	0	Blank (0000)

End of Clear is set after a 1 μs by C_A = 1
790173-13

During the time the Display RAM is being cleared (~160 μs), it may not be written. The most significant bit of the FIFO status word is set during the time. When the Display RAM becomes available again, it automatically resets.

If the C_F bit is asserted (C_F = 1), the FIFO status is cleared and the interrupt output line is reset. Also, the Sensor RAM pointer is set to row 0.

C_A, the Clear All bit, has the combined effect of C₀ and C_F; it uses the C₀ clearing code on the Display RAM and also clears FIFO status. Furthermore, it resynchronizes the internal timing chain.

End Interrupt/Error Mode Set

Code **1111E|X|X|X|X** X = Don't care

For the sensor matrix modes this command lowers the IRQ line and enables further writing into RAM. (The IRQ line would have been raised upon the detection of a change in a sensor value. This would have also inhibited further writing into the RAM until reset.)

For the N-key rollover mode—if the E bit is programmed to "1" the chip will operate in the special Error mode. (For further details, see Interface Considerations Section.)

Status Word

The status word contains the FIFO status, error, and display unavailable signals. This word is read by the CPU when A₀ is high and CS and RD are low. See Interface Considerations for more detail on status word.

Data Read

Data is read when A₀, CS and RD are all low. The source of the data is specified by the Read FIFO or Read Display commands. The trailing edge of RD will cause the address of the RAM being read to be incremented if the Auto-Increment flag is set. FIFO reads always increment (if no error occurs) independent of AI.

Data Write

Data that is written with A₀, CS and WR low is always written to the Display RAM. The address is specified by the latest Read Display or Write Display command. Auto-Incrementing on the rising edge of WR occurs if AI is set by the latest display command.

INTERFACE CONSIDERATIONS

Scanned Keyboard Mode, 2-Key Lockout

There are three possible combinations of conditions that can occur during debounce scanning. When a key is depressed the debounce logic is set. Other depressed keys are looked for during the next two scans. If none are encountered, it is a single key depression and the key position is entered into the

FIFO along with the status of CNTL and SHIFT lines. If the FIFO was empty, IRQ will be set to signal the CPU that there is an entry in the FIFO. If the FIFO was full, the key will not be entered and the error flag will be set. If another closed switch is encountered, no entry to the FIFO can occur. If all other keys are released before the one, then it will be entered to the FIFO. If this key is released before any other, it will be entirely ignored. A key is entered to the FIFO only once per depression, no matter how many keys were pressed along with it or in what order they were released. If two keys are depressed within the debounce cycle, it is a simultaneous depression. Neither key will be recognized until one key remains depressed alone. The last key will be treated as a single key depression.

Scanned Keyboard Mode, N-Key Rollover

With N-key Rollover each key depression is treated independently from all others. When a key is depressed the debounce circuit waits 2 keyboard scans and then checks to see if the key is still down. If it is, the key is entered into the FIFO. Any number of keys can be depressed and another can be recognized and entered into the FIFO. If a simultaneous depression occurs, the keys are recognized and entered according to the order the keyboard scan found them.

Scanned Keyboard—Special Error Modes

For N-key rollover mode the user can program a special error mode. This is done by the "End Interrupt/Error Mode Set" command. The debounce cycle and key-validity check are as in normal N-key mode. If during a single debounce cycle, two keys are found depressed, this is considered a simultaneous multiple depression, and sets an error flag. This flag will prevent any further writing into the FIFO and will set interrupt (if not yet set). The error flag could be read in this mode by reading the FIFO STATUS word. (See "FIFO STATUS" for further details.) The error flag is reset by sending the normal CLEAR command with CF = 1.

Sensor Matrix Mode

In Sensor Matrix mode, the debounce logic is inhibited. The status of the sensor switch is inputted directly to the Sensor RAM. In this way the Sensor RAM keeps an image of the state of the switches in the sensor matrix. Although debouncing is not provided, this mode has the advantage that the CPU knows how long the sensor was closed and when it

was released. A keyboard mode can only indicate a validated closure. To make the software easier, the designer should functionally group the sensors by row since this is the format in which the CPU will read them.

The IRO line goes high if any sensor value change is detected at the end of a sensor matrix scan. The IRO line is cleared by the first data read operation if the Auto-Increment flag is set to zero, or by the End Interrupt command if the Auto-Increment flag is set to one.

NOTE:

Multiple changes in the matrix Addressed by (SL₀₋₃ = 0) may cause multiple interrupts. (SL₀ = 0 in the Decoded Mode.) Reset may cause the 8279 to see multiple changes.

Data Format

In the Scanned Keyboard mode, the character entered into the FIFO corresponds to the position of the switch in the keyboard plus the status of the CNTL and SHIFT lines (non-inverted). CNTL is the MSB of the character and SHIFT is the next most significant bit. The next three bits are from the scan counter and indicate the row the key was found in. The last three bits are from the column counter and indicate to which return line the key was connected.

MSB			LSB		
CNTL/SHIFT	SCAN	RETURN			

SCANNED KEYBOARD DATA FORMAT

In Sensor Matrix mode, the data on the return lines is entered directly in the row of the Sensor RAM that corresponds to the row in the matrix being scanned. Therefore, each switch position maps directly to a Sensor RAM position. The SHIFT and CNTL inputs are ignored in this mode. Note that switches are not necessarily the only thing that can be connected to the return lines in this mode. Any logic that can be triggered by the scan lines can enter data to the return line inputs. Eight multiplexed input ports could be tied to the return lines and scanned by the 8279.

MSB							LSB
RL ₇	RL ₆	RL ₅	RL ₄	RL ₃	RL ₂	RL ₁	RL ₀

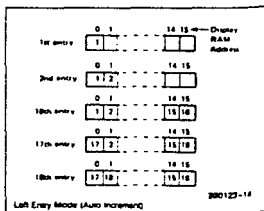
In Strobed input mode, the data is also entered to the FIFO from the return lines. The data is entered

by the rising edge of a CNTL/STB line pulse. Data can come from another encoded keyboard or simple switch matrix. The return lines can also be used as a general purpose strobed input.

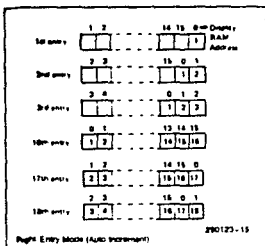
MSB							LSB
RL ₇	RL ₆	RL ₅	RL ₄	RL ₃	RL ₂	RL ₁	RL ₀

Display
Left Entry

Left Entry mode is the simplest display format in that each display position directly corresponds to a byte (or nibble) in the Display RAM. Address 0 in the RAM is the left-most display character and address 15 (or address 7 in 8 character display) is the right most display character. Entering characters from position zero causes the display to fill from the left. The 17th (9th) character is entered back in the left most position and filling again proceeds from there.


Right Entry

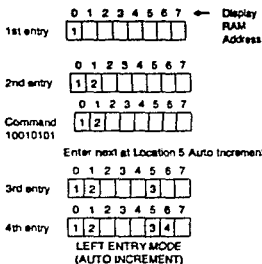
Right entry is the method used by most electronic calculators. The first entry is placed in the right most display character. The next entry is also placed in the right most character after the display is shifted left one character. The left most character is shifted off the end and is lost.



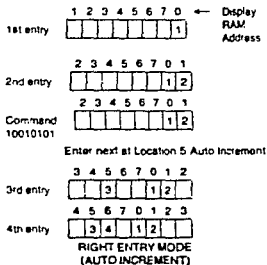
Note that now the display position and register address do not correspond. Consequently, entering a character to an arbitrary position in the Auto Increment mode may have unexpected results. Entry starting at Display RAM address 0 with sequential entry is recommended.

Auto Increment

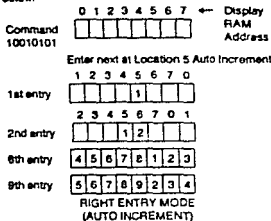
In the Left Entry mode, Auto Incrementing causes the address where the CPU will next write to be incremented by one and the character appears in the next location. With non-Auto Incrementing the entry is both to the same RAM address and display position. Entry to an arbitrary address in the Auto Increment mode has no undesirable side effects and the result is predictable.



In the Right Entry mode, Auto Incrementing and non Incrementing have the same effect as in the Left Entry except if the address sequence is interrupted.



Starting at an arbitrary location operates as shown below:



Entry appears to be from the initial entry point.

8/16 Character Display Formats

If the display mode is set to an 8 character display, the on duty-cycle is double what it would be for a 16 character display (e.g., 5.1 ms scan time for 8 characters vs. 10.3 ms for 16 characters with 100 kHz internal frequency).

G. FIFO Status

FIFO status is used in the Keyboard and Strobed Input modes to indicate the number of characters in

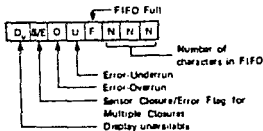
the FIFO and to indicate whether an error has occurred. There are two types of errors possible: overrun and underrun. Overrun occurs when the entry of another character into a full FIFO is attempted. Underrun occurs when the CPU tries to read an empty FIFO.

The FIFO status word also has a bit to indicate that the Display RAM was unavailable because a Clear Display or Clear All command had not completed its cleaning operation.

In a Sensor Matrix mode, a bit is set in the FIFO status word to indicate that at least one sensor closure indication is contained in the Sensor RAM.

In Special Error Mode the S/E bit is showing the error flag and serves as an indication to whether a simultaneous multiple closure error has occurred.

FIFO STATUS WORD



290123-6

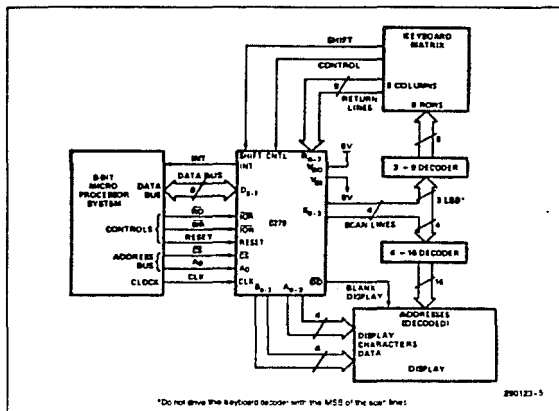


Figure 4. System Block Diagram

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature	0°C to 70°C
Storage Temperature	-65°C to 125°C
Voltage on any Pin with Respect to Ground	-0.5V to +7V
Power Dissipation	1 Watt

*Notice: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{SS} = 0\text{V}$ (Note 3)*

Symbol	Parameter	Min	Max	Unit	Test Conditions
V_{IL1}	Input Low Voltage for Return Lines	-0.5	1.4	V	
V_{IL2}	Input Low Voltage for All Others	-0.5	0.8	V	
V_{IH1}	Input High Voltage for Return Lines	2.2		V	
V_{IH2}	Input High Voltage for All Others	2.0		V	
V_{OL}	Output Low Voltage		0.45	V	(Note 1)
V_{OH1}	Output High Voltage on Interrupt Line	2.5		V	(Note 2)
V_{OH2}	Other Outputs	2.4			$I_{OH} = -400 \mu\text{A}$ 8279-5 $-100 \mu\text{A}$ 8279
I_{IL1}	Input Current on Shift, Control and Return Lines		+10 -100	μA	$V_{IN} = V_{CC}$ $V_{IN} = 0\text{V}$
I_{IL2}	Input Leakage Current on All Others		± 10	μA	$V_{IN} = V_{CC}$ to 0V
I_{OFL}	Output Float Leakage		± 10	μA	$V_{OUT} = V_{CC}$ to 0.45V
I_{CC}	Power Supply Current		120	mA	
C_{IN}	Input Capacitance		10	pF	$f_C = 1$ MHz Unmeasured Pins Returned to $V_{SS}^{(4)}$
C_{OUT}	Output Capacitance		20	pF	

A.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{SS} = 0\text{V}$ (Note 3)*

Bus Parameters
READ CYCLE

Symbol	Parameter	8279		8279-5		Unit
		Min	Max	Min	Max	
t_{AS}	Address Stable Before READ	50		0		ns
t_{AH}	Address Hold Time for READ	5		0		ns
t_{RP}	READ Pulse Width	420		250		ns
$t_{DC}^{(4)}$	Data Delay from READ		300		150	ns
$t_{AC}^{(4)}$	Address to Data Valid		450		250	ns
t_{DF}	READ to Data Floating	10	100	10	100	ns
t_{RCY}	Read Cycle Time	1		1		μs
t_{ASW}	Address Stable Before WRITE	50		0		ns
t_{AHW}	Address Hold Time for WRITE	20		0		ns

A.C. CHARACTERISTICS (Continued)
WRITE CYCLE

Symbol	Parameter	8279		8279-S		Unit
		Min	Max	Min	Max	
t_{wv}	WRITE Pulse Width	400		250		ns
t_{ov}	Data Set Up Time for WRITE	300		150		ns
t_{wp}	Data Hold Time for WRITE	40		0		ns
t_{wcy}	Write Cycle Time	1		1		μ s

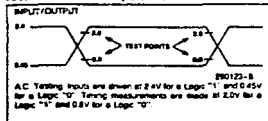
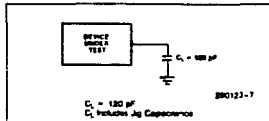
OTHER TIMINGS

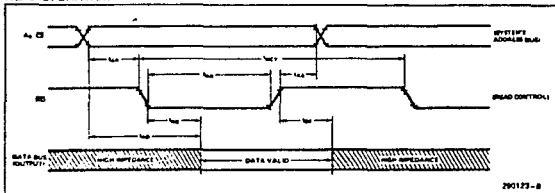
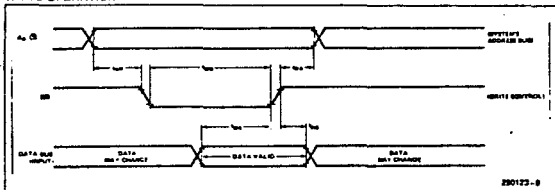
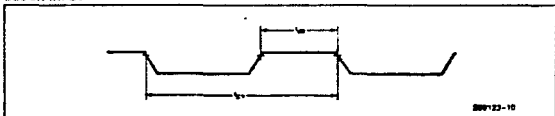
Symbol	Parameter	8279		8279-S		Unit
		Min	Max	Min	Max	
t_{pw}	Clock Pulse Width	230		120		ns
t_{cy}	Clock Period	500		320		ns

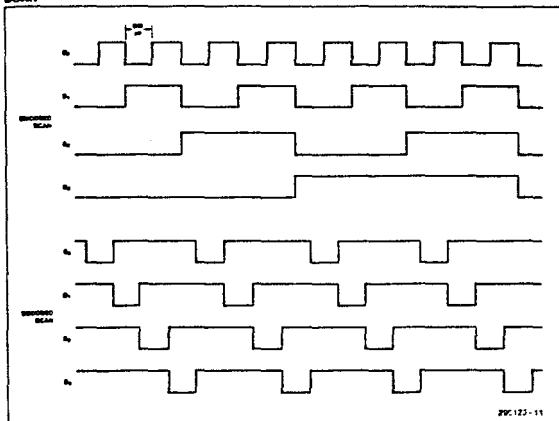
Keyboard Scan Time	5.1 ms	Digit-on Time	480 μ s
Keyboard Debounce Time	10.3 ms	Blanking Time	160 μ s
Key Scan Time	80 μ s	Internal Clock Cycle ⁽¹⁾	10 μ s
Display Scan Time	10.3 ms		

NOTES:

- 8279, $I_{OL} = 1.8$ mA; 8279-S, $I_{OL} = 2.2$ mA
- $I_{OH} = -100$ μ A
- 8279, $V_{CC} = +5V \pm 5\%$; 8279-S, $V_{CC} = +5V \pm 10\%$
- 8279, $C_L = 100$ pF; 8279-S, $C_L = 150$ pF
- The Prescaler should be programmed to provide a 10 μ s external clock cycle.
- Sampled not 100% tested. $T_A = 25^\circ$ C
- For Extended Temperature EXPRESS, use M8279A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM

A.C. TESTING LOAD CIRCUIT


WAVEFORMS
READ OPERATION

WRITE OPERATION

CLOCK INPUT


WAVEFORMS (Continued)
SCAN




M8251A PROGRAMMABLE COMMUNICATION INTERFACE

Military

- Synchronous and Asynchronous Operation
- Synchronous 5-8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous 5-8 Bit Characters; Clock Rate—1, 16, or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2 Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Synchronous Baud Rate—DC to 64K Baud
- Asynchronous Baud Rate—DC to 19.2K Baud
- Full-Duplex, Double-Buffered Transmitter and Receiver
- Error Detection—Parity, Overrun, and Framing
- Compatible with an Extended Range of Intel Microprocessors
- Military Temperature Range: -55°C to +125°C (Tc)
- All Inputs and Outputs are TTL Compatible
- Single +5V Supply
- Single TTL Clock
- Available in 28 Pin DIP or 28LCC Packages

The Intel M8251A is the enhanced version of the industry standard, Intel M8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's microprocessor families such as MCS-48, 80, 85, and M8085, M8086, M8088, M80185. The M8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM "bi-sync"). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is fabricated using N-channel silicon gate technology.

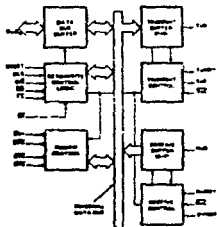


Figure 1. Block Diagram

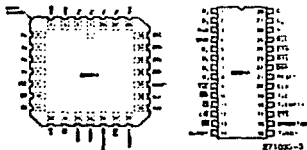


Figure 2. Pin Configurations

FEATURES AND ENHANCEMENTS

The 8251A is an advanced design of the industry standard USART, the Intel 8251. The 8251A operates with an extended range of Intel microprocessors and maintains compatibility with the 8251. Familiarization time is minimal because of compatibility and involves only knowing the additional features and enhancements, and reviewing the AC and DC specifications of the 8251A.

The 8251A incorporates all the key features of the 8251 and has the following additional features and enhancements:

- 8251A has double-buffered data paths with separate I/O registers for control, status, Data In, and Data Out, which considerably simplifies control programming and minimizes CPU overhead.
- In asynchronous operations, the Receiver detects and handles "break" automatically, relieving the CPU of this task.
- A refined Rx initialization prevents the Receiver from starting when in "break" state, preventing unwanted interrupts from a disconnected USART.
- At the conclusion of a transmission, TxD line will always return to the marking state unless SBRK is programmed.
- Tx Enable logic enhancement prevents a Tx Disable command from halting transmission until all data previously written has been transmitted. The logic also prevents the transmitter from turning off in the middle of a word.
- When External Sync Detect is programmed, Internal Sync Detect is disabled, and an External Sync Detect status is provided via a flip-flop which clears itself upon a status read.
- Possibility of false sync detect is minimized by ensuring that if double character sync is programmed, the characters be conspicuously detected and also by clearing the Rx register to all ones whenever Enter Hunt command is issued in Sync mode.
- As long as the 8251A is not selected, the RD and WR do not affect the internal operation of the device.
- The 8251A Status can be read at any time but the status update will be inhibited during status read.
- The 8251A is free from extraneous glitches and has enhanced AC and DC characteristics, providing higher speed and better operating margins.
- Synchronous Baud rate from DC to 84K.

FUNCTIONAL DESCRIPTION

General

The 8251A is a Universal Synchronous/Asynchronous Receiver/Transmitter designed for a wide range of Intel microcomputers such as 8008, 8080, 8085, 8086, 8088 and 860180. Like other I/O devices in a microcomputer system, its functional configuration is programmed by the system's software for maximum flexibility. The 8251A can support most serial data techniques in use, including IBM "bi-sync."

In a communication environment an interface device must convert parallel format system data into serial format for transmission and convert incoming serial format data into parallel system data for reception. The interface device must also delete or insert bits or characters that are functionally unique to the communication technique. In essence, the interface should appear "transparent" to the CPU, a simple input or output of byte-oriented system data.

Data Bus Buffer

The 3-state, bidirectional, 8-bit buffer is used to interface the 8251A to the system Data Bus. Data is transmitted or received by the buffer upon exposure of input or output instructions of the CPU. Control words, Command words and Status information are also transferred through the Data Bus Buffer. The Command Status, Data-In and Data-Out registers are separate, 8-bit registers communication with the system bus through the Data Bus Buffer.

This functional block accepts inputs from the system Control bus and generates control signals for overall device operation. It contains the Control Word Register and Command Word Register that store the various control formats for the device functional definition.

RESET (Reset)

A "high" on this input forces the 8251A into an "idle" mode. The device will remain at "idle" until a new set of control words is written into the 8251A to program its functional definition. Minimum RESET pulse width is 6 t_{cy} (clock must be running).

A command reset operation also puts the device into the "idle" state.

**CLK (Clock)**

The CLK input is used to generate internal device timing and is normally connected to the Phase 2 (TTL) output of the Clock Generator. No external inputs or outputs are referenced to CLK but the frequency of CLK must be greater than 30 times the Receiver or Transmitter data bit rate.

WR (Write)

A "low" on this input informs the 88251A that the CPU is writing data or control words to the 88251A.

RD (Read)

A "low" on this input informs the 88251A that the CPU is reading data or status information from the 88251A.

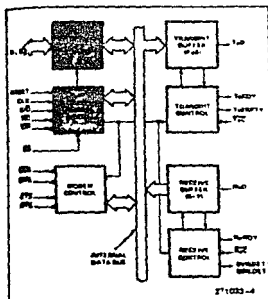


Figure 3. 88251A Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

C/S RD WR CS

0	0	1	0	88251A DATA → DATA BUS
0	1	0	0	DATA BUS → 88251A DATA
1	0	1	0	STATUS → DATA BUS
1	1	0	0	DATA BUS → CONTROL
X	1	1	0	DATA BUS → 3-STATE
X	X	X	1	DATA BUS → 3-STATE

C/D (Control/Data)

This input, in conjunction with the WR and RD inputs, informs the 88251A that the word on the Data Bus is either a data character, control word or status information.

1 = CONTROL/STATUS; 0 = DATA

CS (Chip Select)

A "low" on this input selects the 88251A. No reading or writing will occur unless the device is selected. When CS is high, the Data Bus is in the float state and RD and WR have no effect on the chip.

Modem Control

The 88251A has a set of control inputs and outputs that can be used to simplify the interface to almost any modem. The modem control signals are general purpose in nature and can be used for functions other than modem control, if necessary.

DSR (Data Set Ready)

The DSR input signal is a general-purpose, 1-bit inverting input port. Its condition can be tested by the CPU using a Status Read operation. The DSR input is normally used to test modem conditions such as Data Set Ready.

DTR (Data Terminal Ready)

The DTR output signal is a general-purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The DTR output signal is normally used for modem control such as Data Terminal Ready.

RTS (Request to Send)

The RTS output signal is a general-purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The RTS output signal is normally used for modem control such as Request to Send.

CTS (Clear to Send)

A "low" on this input enables the 88251A to transmit serial data if the Tx Enable bit in the Command byte is set to a "one." If either a Tx Enable off or CTS off condition occurs while the Tx is in operation,

the Tx will transmit all the data in the USART, written prior to Tx Disable command before shutting down.

Transmitter Buffer

The Transmitter Buffer accepts parallel data from the Data Bus Buffer, converts it to a serial bit stream, inserts the appropriate characters or bits (based on the communication technique) and outputs a composite serial stream of data on the Tx/D output pin on the falling edge of Tx̄C. The transmitter will begin transmission upon being enabled if CTS = 0. The Tx/D line will be held in the marking state immediately upon a master Reset or when Tx Enable or CTS is off or the transmitter is empty.

Transmitter Control

The Transmitter Control manages all activities associated with the transmission of serial data. It accepts and issues signals both externally and internally to accomplish this function.

TxDY (Transmitter Ready)

This output signals the CPU that the transmitter is ready to accept a data character. The TxDY output pin can be used as an interrupt to the system, since it is masked by TxEnable, or, for Polled operation, the CPU can check TxDY using a Status Read operation. TxDY is automatically reset by the leading edge of WR when a data character is loaded from the CPU.

Note that when using the Polled operation, the TxDY status bit is *not* masked by TxEnable, but will only indicate the Empty/Full Status of the Tx Data Input Register.

TxE (Transmitter Empty)

When the 8251A has no characters to send, the TxEEMPTY output will go "high." It resets upon receiving a character from the CPU if the transmitter is enabled. TxEEMPTY remains high when the transmitter is disabled. TxEEMPTY can be used to indicate the end of a transmission mode, so that the CPU "knows" when to "turn the line around" in the half-duplex operational mode.

In the Synchronous mode, a "high" on this output indicates that a character has not been loaded and the SYNC character or characters are about to be or are being transmitted automatically as "fills." TxEEMPTY does not go low when the SYNC characters are being shifted out.

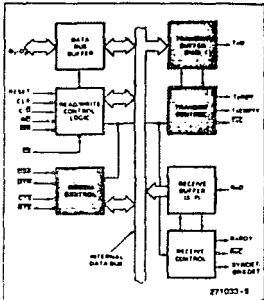


Figure 3. 8251A Block Diagram Showing Modem and Transmitter Buffer and Control Functions

TxC (Transmitter Clock)

The Transmitter Clock controls the rate at which the character is to be transmitted. In the Synchronous transmission mode, the Baud Rate (11x) is equal to the TxC frequency. In Asynchronous transmission mode, the baud rate is a fraction of the actual TxC frequency. A portion of the mode instruction selects this factor; it can be 1, 1/16 or 1/64 the TxC.

For Example:

- If Baud Rate equals 110 Baud,
- TxC equals 110 Hz in the 1x mode.
- TxC equals 1.72 KHz in the 15x mode.
- TxC equals 7.04 KHz in the 64x mode.

The falling edge of Tx̄C shifts the serial data out of the 8251A.

Receiver Buffer

The Receiver accepts serial data, converts this serial input to parallel format, checks for bits or characters that are unique to the communication technique and sends an "assembled" character to the CPU. Serial data is input to Rx/D pin, and is clocked in on the rising edge of RZC.

Receiver Control

The functional block manages all receiver-related activities which consists of the following features.

The RxD Initialization circuit prevents the M8251A from mistaking an unused input line for an active low data line in the "break condition." Before starting to receive serial characters on the RxD line, a valid "1" must first be detected after a chip master Reset. Once this has been determined, a search for a valid low (Start bit) is enabled. This feature is only active in the asynchronous mode, and is only done once for each master Reset.

The False Start bit detection circuit prevents false starts due to a transient noise spike by first detecting the falling edge and then strobing the nominal center of the Start bit (RxD = low).

Parity error detection sets the corresponding status bit.

The Framing Error status bit is set if the Stop bit is absent at the end of the data byte (asynchronous mode).

RxRDY (Receiver Ready)

This output indicates that the M8251A contains a character that is ready to be input to the CPU. RxRDY can be connected to the interrupt structure of the CPU or, for polled operation, the CPU can check the condition of RxRDY using a Status Read operation.

RxEnable, when off, holds RxRDY in the Reset Condition. For Asynchronous mode, to set RxRDY, the Receiver must be enabled to sense a Start Bit and a complete character must be assembled and transferred to the Data Output Register. For Synchronous mode, to set RxRDY, the Receiver must be enabled and a character must finish assembly and be transferred to the Data Output Register.

Failure to read the received character from the Rx Data Output Register prior to the assembly of the next Rx Data character will set overrun condition error and the previous character will be written over and lost. If the Rx Data is being read by the CPU when the internal transfer is occurring, overrun error will be set and the old character will be lost.

RxC (Receiver Clock)

The Receiver Clock controls the rate at which the character is to be received. In Synchronous Mode,

the Baud Rate (1x) is equal to the actual frequency of RxC. In Asynchronous Mode, the Baud Rate is a fraction of the actual RxC frequency. A portion of the mode instruction selects the factor: 1, 1/4, or 1/8 the RxC.

For example:

Baud Rate equals 300 Baud, if
RxC equals 300 kHz in the 1x mode,
RxC equals 4800 Hz in the 1/4 mode,
RxC equals 19.2 KHz in the 1/8 mode.

Baud Rate equals 2400 Baud, if
RxC equals 2400 Hz in the 1x mode,
RxC equals 38.4 KHz in the 1/4 mode,
RxC equals 153.6 KHz in the 1/8 mode.

Data is sampled into the M8251A on the rising edge of RxC.

NOTE:

In most communications, the M8251A will be handling both the transmission and reception operation of a single link. Consequently, the Receive and Transmit Baud Rates will be the same. Both RxC and RxC will require identical frequencies for this operation and can be tied together and connected to a single frequency source (Baud Rate Generator) to simplify the interface.

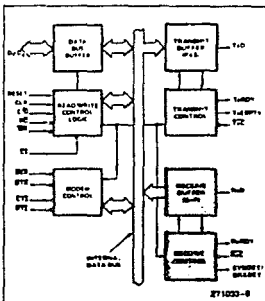


Figure 8. M8251A Block Diagram Showing Receiver Buffer and Control Functions

**SYNDET (SYNC Detect)/
BRKDET (Break Detect)**

This pin is used in Synchronous Mode for SYNDET and may be used as either input or output, programmable through the Control Word. It is reset to output mode low upon RESET. When used as an output (Internal Sync mode), the SYNDET pin will go "high" to indicate that the M8251A has located the SYNC character in the Receive mode. If the M8251A is programmed to use double Sync characters (bi-async), then SYNDET will go "high" in the middle of the last bit of the second Sync character. SYNDET is automatically reset upon a Status Read operation.

When used as an input (external SYNC detect mode), a positive going signal will cause the M8251A to start assembling data characters on the rising edge of the next RxC. Once in SYNC, the "high" input signal can be removed. When External SYNC Detect is programmed, Internal SYNC Detect is disabled.

BREAK (Async Mode Only)

This output will go high whenever the receiver remains low through two consecutive stop bit sequences (including the start bits, data bits, and parity bits). Break Detect may also be read as a Status bit. It is reset only upon a master chip Reset or Rx Data returning to a "one" state.

DETAILED OPERATION DESCRIPTION
General

The complete functional definition of the M8251A is programmed by the system's software. A set of con-

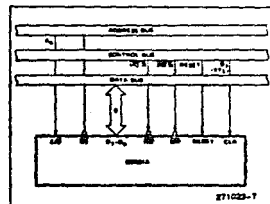


Figure 6. M8251A Interface to M8086 Standard Systems Bus

trol words must be sent out by the CPU to initialize the M8251A to support the desired communications format. These control words will program the : BAUD RATE, CHARACTER LENGTH, NUMBER OF STOP BITS, SYNCHRONOUS or ASYNCHRONOUS OPERATION, EVEN/ODD/OFF PARITY, etc. In the Synchronous Mode, options are also provided to select either internal or external character synchronization.

Once programmed, the M8251A is ready to perform its communication functions. The TxRDY output is raised "high" to signal the CPU that the M8251A is ready to receive a data character from the CPU. This output (TxRDY) is reset automatically when the CPU enters a character into the M8251A. On the other hand, the M8251A receives serial data from the MODEM or I/O device. Upon receiving an entire character, the RxRDY output is raised "high" to signal the CPU that the M8251A has a complete character ready for the CPU to fetch. RxRDY is reset automatically upon the CPU data read operation.

The M8251A cannot begin transmission until the Tx Enable (Transmitter Enable) bit is set in the Command Instruction and it has received a Clear To Send (CTS) input. The TxO output will be held in its marking state upon Reset.

Programming the M8251A

Prior to starting data transmission or reception, the M8251A must be loaded with a set of control words generated by the CPU. These control signals define the complete functional definition of the M8251A and must immediately follow a Reset operation (internal or external).

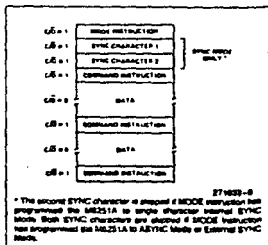


Figure 7. Typical Data Block

The control words are split into two formats:

1. Mode Instruction
2. Command Instruction

Mode Instruction

This instruction defines the general operational characteristics of the M8251A. It must follow a Reset operation (internal or external). Once the Mode Instruction has been written into the M8251A by the CPU, SYNC characters or Command Instructions may be written.

Command Instruction

This instruction defines a word that is used to control the actual operation of the M8251A.

Both the Mode and Command Instructions must conform to a specified sequence for proper device operation (see Figure 7). The Mode Instruction must be written immediately following a Reset operation, prior to using the M8251A for data communication.

All control words written into the M8251A after the Mode Instruction will load the Command Instruction. Command Instructions can be written into the M8251A at any time in the data block during the operation of the M8251A. To return to the Mode Instruction format, the master Reset bit in the Command Instruction word can be set to initiate an internal Reset operation which automatically places the M8251A back into the Mode Instruction format. Command Instructions must follow the Mode Instructions or Sync characters.

Mode Instruction Definition

The M8251A can be used for either Asynchronous or Synchronous data communication. To understand how the Mode Instruction defines the functional operation of the M8251A, the designer can best view the device as two separate components, one Asynchronous and the other Synchronous, sharing the same package. The format definition can be changed only after a master chip Reset. For explanation purposes the two formats will be isolated.

NOTE:

When parity is enabled it is not considered as one of the data bits for the purpose of programming the word length. The actual parity bit received on the Rx Data Line cannot be read on the Data Bus in the case of a programmed character length of less than 8 bits; the least significant Data Bus bits will

hold the data; unused bits are "don't care" when writing data to the M8251A, and will be "zeros" when reading the data from the M8251A.

Asynchronous Mode (Transmission)

Whenever a data character is sent by the CPU the M8251A automatically adds a Start bit (low level) followed by the data bits (least significant bit first), and the programmed number of Stop bits to each character. Also, an even or odd Parity bit is inserted prior to the Stop bit(s), as defined by the Mode Instruction. The character is then transmitted as a serial data stream on the Tx/D output. The serial data is shifted out on the falling edge of Tx/D at a rate equal to 1, 1/2, or 1/4 that of the TxC, as defined by the Mode Instruction. BREAK characters can be continuously sent to the Tx/D if commanded to do so.

When no data characters have been loaded into the M8251A the Tx/D output remains "high" (marking) unless a Break (continuously low) has been programmed.

Asynchronous Mode (Receive)

The Rx/D line is normally high. A falling edge on this line triggers the beginning of a START bit. The validity of this START bit is checked by again strobing this bit at its nominal center (16X or 64X mode only). If a low is detected again, it is a valid START bit, and the bit counter will start counting. The bit counter thus locates the center of the data bits, the parity bit (if it

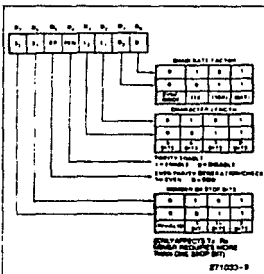


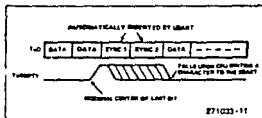
Figure 8. Mode Instruction Format, Asynchronous Mode

exists) and the stop bits. If parity error occurs, the parity error flag is set. Data and parity bits are sampled on the RxD pin with the rising edge of RxC. If a low level is detected as the STOP bit, the Framing Error flag will be set. The STOP bit signals the end of a character. Note that the receiver requires only one stop bit, regardless of the number of stop bits programmed. This character is then loaded into the parallel I/O buffer of the 8251A. The RxDYD pin is raised to signal the CPU that a character is ready to be fetched. If a previous character has not been fetched by the CPU, the present character replaces it in the I/O buffer, and the OVERRUN Error flag is raised (thus the previous character is lost). All of the error flags can be reset by an Error Reset Instruction. The occurrence of any of these errors will not affect the operation of the 8251A.

Synchronous Mode (Transmission)

The Tx0 output is continuously high until the CPU sends its first character to the 8251A which usually is a SYNC character. When the CTS line goes low, the first character is serially transmitted out. All characters are shifted out on the falling edge of Tx0. Data is shifted out at the same rate as the Tx0.

Once transmission has started, the data stream at the Tx0 output must continue at the Tx0 rate. If the CPU does not provide the 8251A with a data character before the 8251A Transmitter Buffers become empty, the SYNC characters (or character if in single SYNC character mode) will be automatically inserted in the Tx0 data stream. In this case, the TxEMPTY pin is raised high to signal that the 8251A is empty and SYNC characters are being sent out. TxEMPTY does not go low when the SYNC is being shifted out (see figure below). The TxEMPTY pin is internally reset by a data character being written into the 8251A.



Synchronous Mode (Receive)

In this mode, character synchronization can be internally or externally achieved. If the SYNC mode has been programmed, ENTER HUNT command should be included in the first command instruction word written. Data on the RxD pin is then sampled on the rising edge of RxC. The content of the Rx buffer is compared at every bit boundary with the first SYNC character until a match occurs. If the 8251A has been programmed for two SYNC characters, the subsequent received character is also compared when both SYNC characters have been detected. The USART ends the HUNT mode and is in character synchronization. The SYNDET pin is then set high, and is reset automatically by a STATUS READ. If parity is programmed, SYNDET will not be set until the middle of the parity bit instead of the middle of the last data bit.

In the external SYNC mode, synchronization is achieved by applying a high level on the SYNDET pin, thus forcing the 8251A out of the HUNT mode. The high level can be removed after one RxC cycle. An ENTER HUNT command has no effect in the asynchronous mode of operation.

Parity error and overrun error are both checked if the same way as in the Asynchronous Rx mode. Parity is checked when not in Hunt, regardless of whether the Receiver is enabled or not.

The CPU can command the receiver to enter the HUNT mode if synchronization is lost. This will set all the used character bits in the buffer to 0.

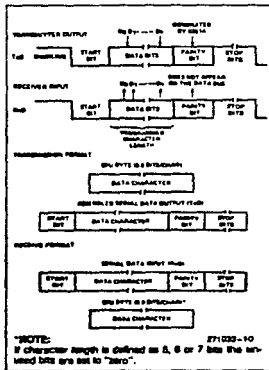


Figure 8. Asynchronous Mode

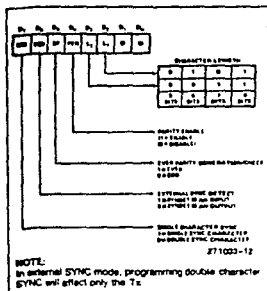


Figure 10. Mode Instruction Format,
Synchronous Mode

"one," thus preventing a possible false SYNDET caused by data that happens to be in the Rx Buffer at ENTER HUNT time. Note that the SYNDET F/F is reset at each Status Read, regardless of whether internal or external SYNC has been programmed. This does not cause the 8251A to return to the HUNT mode when in SYNC mode, but not in HUNT. Sync Detection is still functional, but only occurs at the "known" word boundaries. Thus, if one Status Read also indicated SYNDET and a second programmed SYNDET characters have been received since the previous Status Read, (if double character sync has been programmed, then both sync characters have been contiguously received to gate a SYNDET indication.) When external SYNDET is selected, internal Sync Detect is disabled, and the SYNDET F/F may be set at any bit boundary.

COMMAND INSTRUCTION DEFINITION

Once the functional definition of the 8251A has been programmed by the Mode Instruction and the sync characters are loaded (if in Sync Mode) then the device is ready to be used for data communication. The Command Instruction controls the actual operation of the selected format. Functions such as Enable Trans/Receive, Error Reset and Modem Controls are provided by the Command Instruction.

Once the Mode Instruction has been written into the 8251A and Sync characters inserted, if necessary,

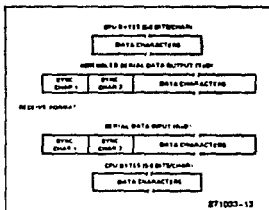


Figure 11. Data Format, Synchronous Mode

then all further "control writes" (C/D = 1) will load a Command Instruction. A Reset Operation (internal or external) will return the 8251A to the Mode Instruction format.

Note:

Internal Reset on Power-up

When power is first applied, the 8251A may come up in the Mode, Sync character or Command format. To guarantee that the device is in the Command Instruction format before the Reset command is issued, it is safest to execute the worst-case initialization sequence (sync mode with two sync characters) Loading three 00Hs consecutively into the device with C/D = 1 configures sync operation and writes two dummy 00H sync characters. An Internal Reset command (40H) may then be issued to return the device to the "idle" state.

STATUS READ DEFINITION

In data communication systems it is often necessary to examine the "status" of the active device to ascertain if errors have occurred or other conditions that require the processor's attention. The 8251A has facilities that allow the programmer to "read" the status of the device at any time during the functional operation (Status update is inhibited during status read).

A normal "read" command is issued by the CPU with C/D = 1 to accomplish this function.

Some of the bits in the Status Read Format have identical meanings to external output pins so that the 8251A can be used in a completely polled or interrupt-driven environment. TxRDY is an exception.

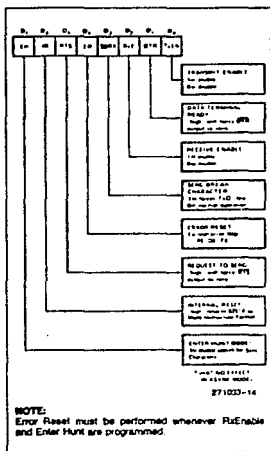


Figure 12. Command Instruction Format

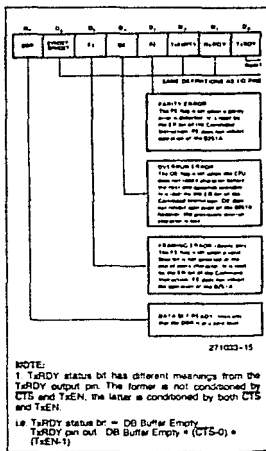


Figure 13. Status Read Format

**ABSOLUTE MAXIMUM RATINGS***

Case Temperature Under Bias ⁽¹⁾	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground.....	-0.5V to +7V
Power Dissipation.....	1.0W

*Notes: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS $T_C^{(2)} = -55^\circ\text{C}$ to $+125^\circ\text{C}$; $V_{CC} = 5.0\text{V} \pm 5\%$; $GND = 0\text{V}$

Symbol	Parameter	Min	Max	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.2	V_{CC}	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{Ox} = 2.2\text{mA}$
V_{OH}	Output High Voltage	2.4		V	$I_{Ox} = -400\text{ }\mu\text{A}$
I_{OL}	Output Load Leakage		± 10	μA	$V_{OUT} = V_{CC}$ to 0.45V
I_{IL}	Input Leakage		± 10	μA	$V_{IN} = V_{CC}$ to 0.45V
I_{CC}	Power Supply Current		120	mA	All Outputs = High

CAPACITANCE⁽¹⁰⁾ $T_C = 25^\circ\text{C}$; $V_{CC} = GND = 0\text{V}$

Symbol	Parameter	Min	Max	Unit	Test Conditions
C_{IN}	Input Capacitance		10	pF	$f_c = 1\text{MHz}$ Unmeasured Pins Returned to GND
$C_{I/O}$	I/O Capacitance		20	pF	

A.C. CHARACTERISTICS $T_C^{(2)} = -55^\circ\text{C}$ to $+125^\circ\text{C}$; $V_{CC} = 5.0\text{V} \pm 5\%$; $GND = 0\text{V}$ **BUS PARAMETERS** (Note 1)
READ CYCLE

Symbol	Parameter	Min	Max	Unit	Test Conditions
t_{AC}	Address Stable Before READ (CS, C/D)	0		ns	(Note 2)
t_{AH}	Address Hold Time for READ (CS, C/D)	0		ns	(Note 2)
t_{RC}	READ Pulse Width	250		ns	
t_{PC}	Data Delay from READ		200	ns	(Note 3)
t_{FR}	READ \uparrow to Data Floating	10	150	ns	

WRITE CYCLE

Symbol	Parameter	Min	Max	Unit	Test Conditions
t_{AW}	Address Stable Before WRITE	0		ns	
t_{AH}	Address Hold Time for WRITE	20		ns	
t_{WR}	WRITE Pulse Width	250		ns	
t_{WC}	Data Set-Up Time for WRITE	150		ns	
t_{WH}	Data Hold Time for WRITE	20		ns	
t_{R}	Recovery Time Between WRITES	6		t_{CV}	(Note 4)

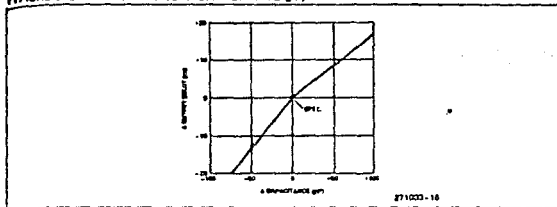
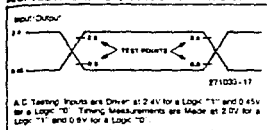
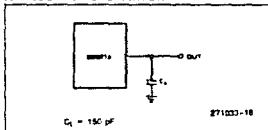
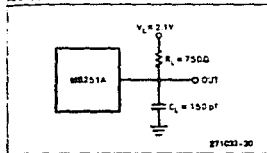
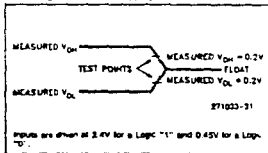

A.C. CHARACTERISTICS $T_C^{(1)} = -55^{\circ}\text{C}$ to $+125^{\circ}\text{C}$; $V_{CC} = 5.0\text{V} \pm 5\%$; $GND = 0\text{V}$ (Continued)

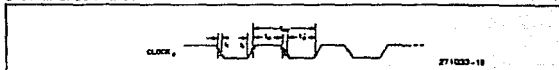
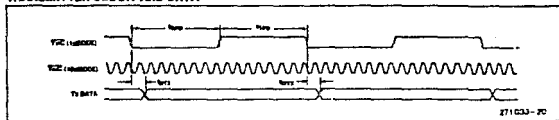
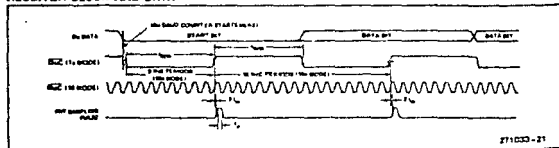
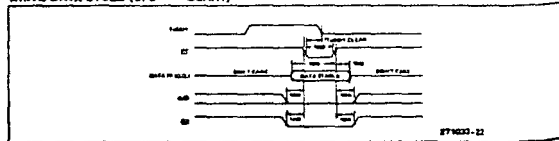
OTHER TIMINGS

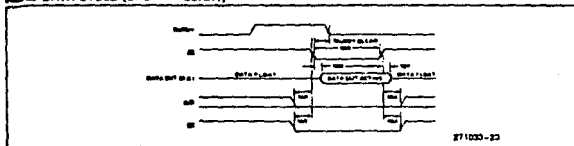
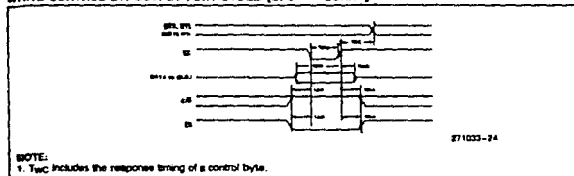
Symbol	Parameter	Min	Max	Unit	Test Conditions
t_{CY}	Clock Period	320	1350	ns	(Notes 5, 6)
t_{pH}	Clock High Pulse Width	140	$t_{CY}/2$	ns	
t_{pL}	Clock Low Pulse Width	90		ns	
$t_{r, f}$	Clock Rise and Fall Time		20	ns	
t_{DZ}	TxD Delay from Falling Edge of TxC		1	μs	
f_{r1}	Transmitter Input Clock Frequency 1x Baud Rate 16x Baud Rate 64x Baud Rate	DC DC DC	64 310 615	KHz KHz KHz	
t_{TPW}	Transmitter Input Clock Pulse Width 1x Baud Rate 16x and 64x Baud Rate	12 1		t_{CY} t_{CY}	
t_{TPD}	Transmitter Input Clock Pulse Delay 1x Baud Rate 16x and 64x Baud Rate	15 3		t_{CY} t_{CY}	
f_{r2}	Receiver Input Clock Frequency 1x Baud Rate 16x Baud Rate 64x Baud Rate	DC DC DC	64 310 615	KHz KHz KHz	
t_{RPW}	Receiver Input Clock Pulse Width 1x Baud Rate 16x and 64x Baud Rate	12 1		t_{CY} t_{CY}	
t_{RPD}	Receiver Input Clock Pulse Delay 1x Baud Rate 16x and 64x Baud Rate	15 3		t_{CY} t_{CY}	
t_{TRDY}	$TxRDY$ Pin Delay from Center of Last Bit		14	t_{CY}	(Note 7)
$t_{TRDY, CLEAR}$	$TxRDY \downarrow$ from Leading Edge of WR		400	ns	(Note 7)
t_{RRDY}	$RxRDY$ Pin Delay from Center of Last Bit		26	t_{CY}	(Note 7)
$t_{RRDY, CLEAR}$	$RxRDY \downarrow$ from Leading Edge of RD		400	ns	(Note 7)
t_S	Internal SYNDET Delay from Rising Edge of RxC		26	t_{CY}	(Note 7)
t_{ES}	External SYNDET Set-Up Time After Rising Edge of RxC	16	(Note 9)	t_{CY}	(Note 7, 11)
$t_{T, EMPTY}$	$TxEEMPTY$ Delay from Center of Last Bit		20	t_{CY}	(Note 7)
t_{WC}	Control Delay from Rising Edge of WRITE ($TxE\overline{N}$, DTR , RTS)		8	t_{CY}	(Note 7)
t_{CS}	Control to READ Set-Up Time (DSR , CTS)	20		t_{CY}	(Note 7)

NOTES:

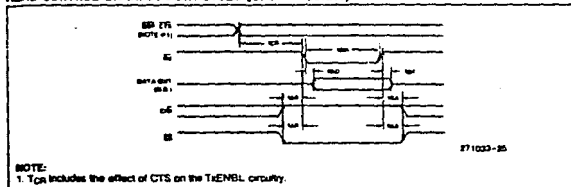
- AC timings measured $V_{OH} = 2.0$, $V_{OL} = 0.8$, and with load circuit shown on following page.
- Chip Select (\overline{CS}) and Command/Data ($\overline{C/D}$) are considered as Addresses.
- Assumes that Address is valid before $\overline{P_0} \downarrow$.
- This recovery time is for Mode Initialization only. Write Data is allowed only when $TxRDY = 1$. Recovery Time between Writes for Asynchronous Mode is 8 t_{CY} and for Synchronous Mode is 16 t_{CY} .
- The TxC and RxC frequencies have the following limitations with respect to CLK:
For 1x Baud Rate, f_{r1} or $f_{r2} \leq 1/(90 t_{CY})$;
For 16x and 64x Baud Rate, f_{r1} or $f_{r2} \leq 1/(4.8 t_{CY})$.
- Reset Pulse Width = 8 t_{CY} minimum; System Clock must be running during Reset.
- Status update can have a maximum delay of 26 clock periods from the event affecting the status.
- Case temperatures are "internal air".
- Before falling edge of RxC .
- Sample tested only on Intel lot and periodically thereafter.
- In external synchron mode the t_{CS} spec. requires the ratio of the system clock (CLK) to receive or transmit bit period to be greater than 34.

A.C. CHARACTERISTICS (Continued)
TYPICAL Δ OUTPUT DELAY VS. Δ CAPACITANCE (pF)

A.C. TESTING INPUT, OUTPUT WAVEFORM

A.C. TESTING LOAD CIRCUIT

A.C. FLOAT TIMING LOAD CIRCUIT

A.C. FLOAT TIMING WAVEFORM


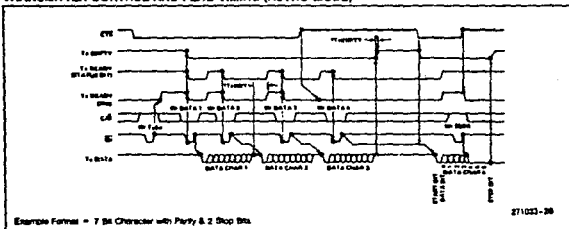
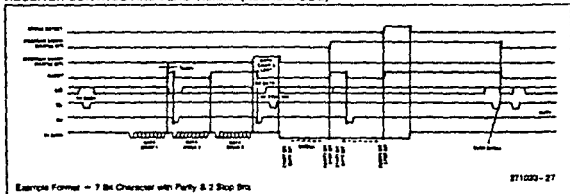
WAVEFORMS
SYSTEM CLOCK INPUT

TRANSMITTER CLOCK AND DATA

RECEIVER CLOCK AND DATA

WRITE DATA CYCLE (CPU → USART)


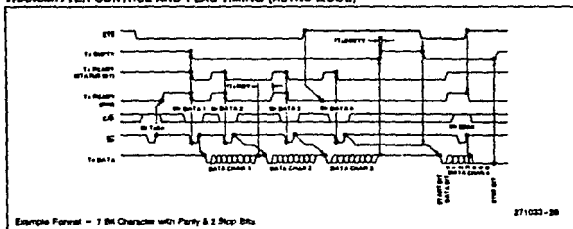
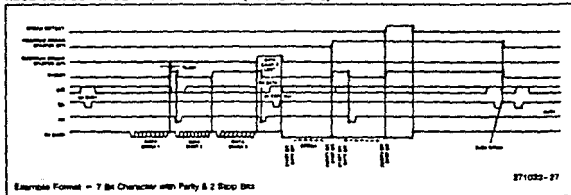
WAVEFORMS (Continued)
READ DATA CYCLE (CPU ← USART)

WRITE CONTROL OR OUTPUT PORT CYCLE (CPU → USART)

NOTE:

 1. T_{WD} includes the response timing of a control byte.

READ CONTROL OR INPUT PORT CYCLE (CPU ← USART)

NOTE:

 1. T_{RD} includes the effect of CTS on the TRXENBL output.

WAVEFORMS (Continued)
TRANSMITTER CONTROL AND FLAG TIMING (ASYNC MODE)

RECEIVER CONTROL AND FLAG TIMING (ASYNC MODE)


WAVEFORMS (Continued)
TRANSMITTER CONTROL AND FLAG TIMING (ASYNC MODE)

RECEIVER CONTROL AND FLAG TIMING (ASYNC MODE)




A to D, D to A

ADC0808, ADC0809 8-Bit μ P Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8 single-ended analog signals.

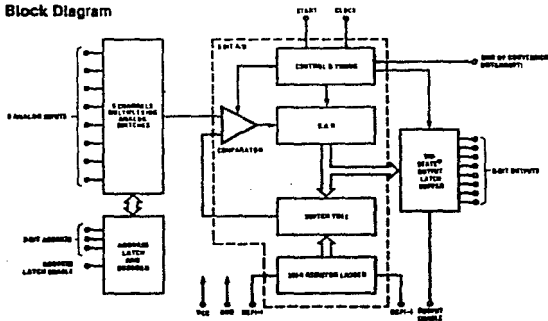
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

Features

- Resolution — 8-bits
- Total unadjusted error — $\pm 1/2$ LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μ s
- Single supply — $5V_{CC}$
- Operates ratiometrically or with $5V_{CC}$ or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operate "stand alone"
- Outputs meet TTL voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range — -80°C to $+85^{\circ}\text{C}$ or -55°C to $+125^{\circ}\text{C}$
- Low power consumption — 15 mW
- Latched TRI-STATE® output

Block Diagram



TRI-STATE® is a registered trademark of National Semiconductor Corp.

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V_{CC}) (Notes 2)	5.5V
Voltage at Any Pin	-0.5V to ($V_{CC} + 0.5V$)
Except Control Inputs	
Voltage at Control Inputs	-0.5V to +16V
(START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	
Storage Temperature Range	-55°C to +125°C
Package Dissipation at $T_A = 25^\circ\text{C}$	675 mW
Lead Temperature Soldering, 10 seconds	250°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	$T_{min} = T_A = T_{MAX}$
ADC0808CJ	-55°C to +125°C
ADC0808CCJ, ADC0808CCN,	
ADC0808CJ	-40°C to $T_A = +85^\circ\text{C}$
Range of V_{CC} (Note 1)	4.5V to 5.5V V_{CC}

Electrical Characteristics

Operating Specifications: $V_{CC} = 5V$, $V_{REF(+)} = V_{REF(-)} = \text{GND}$, $T_{MIN} = T_A = T_{MAX}$ and $f_{CLK} = 840 \text{ kHz}$ unless otherwise stated

Parameter	Conditions	Min	Typ	Max	Units
ADC0808 Total Unadjusted Error (Note 5)	25°C T_{MIN} to T_{MAX}			$\pm 1/2$	LSB
				$\pm 3/4$	LSB
ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C T_{MIN} to T_{MAX}			± 1	LSB
				$\pm 1.1/4$	LSB
Input Resistance	From $\text{Ret}(-)$ to $\text{Ret}(-)$	1.0	2.5		k Ω
Analog Input Voltage Range	(Note 4) $V(+)$ or $V(-)$	GND-0.10		$V_{CC} \pm 0.10$	V_{CC}
$V_{REF(+)}$ Voltage, Top of Ladder	Measured at $\text{Ret}(+)$		V_{CC}	$V_{CC} \pm 0.1$	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$ Voltage, Center of Ladder		$V_{CC}/2 - 0.1$	$V_{CC}/2$	$V_{CC}/2 + 0.1$	V
$V_{REF(-)}$ Voltage, Bottom of Ladder	Measured at $\text{Ret}(-)$	-0.1	0		V
Comparator Input Current	$f_{CLK} = 840 \text{ kHz}$, (Note 6)	-2	± 0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V $\leq V_{CC} \leq 5.5V$, $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ unless otherwise noted
ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75V $\leq V_{CC} \leq 5.25V$, $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER					
$I_{OFF(+)}$ OFF Channel Leakage Current	$V_{CC} = 5V$, $V_{IN} = 5V$, $T_A = 25^\circ\text{C}$ T_{MIN} to T_{MAX}		10	200	μA
$I_{OFF(-)}$ OFF Channel Leakage Current	$V_{CC} = 5V$, $V_{IN} = 0$, $T_A = 25^\circ\text{C}$ T_{MIN} to T_{MAX}	-20C	-10		μA
CONTROL INPUTS					
V_{HIGH} Logical "1" Input Voltage			$V_{CC} - 1.5$		V
V_{LOW} Logical "0" Input Voltage				1.5	V
I_{HIGH} Logical "1" Input Current (The Control Inputs)	$V_{IN} = 15V$			1.0	μA
I_{LOW} Logical "0" Input Current (The Control Inputs)	$V_{IN} = 0$	-1.0			μA
I_{CC} Supply Current	$f_{CLK} = 840 \text{ kHz}$		0.3	3.0	mA

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ 4.5V \pm V_{CC} \pm 5.5V, -55°C \leq T_A \leq 125°C unless otherwise noted
 ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 \pm V_{CC} \pm 3.25V, -40°C \leq T_A \leq 85°C unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)					
V _{OH(1)}	Logical "1" Output Voltage	I _O = -360 μ A	V _{CC} -0.4		V
V _{OH(2)}	Logical "0" Output Voltage	I _O = 1.6 mA		0.45	V
V _{OL(2)}	Logical "0" Output Voltage EOC	I _O = 1.2 mA		0.45	V
I _{OUT}	TRI-STATE [®] Output Current	V _O = 5V V _O = 0	-3	3	μ A μ A

Electrical Characteristics

Timing Specifications: V_{CC} = V_{REF(+)} = 5V, V_{REF(-)} = GND, t_r = t_f = 20 ns and T_A = 25°C unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{SETUP}	Minimum Start Pulse Width	(Figure 5)		100	200	ns
t _{SETUP, ALE}	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
t _S	Minimum Address Set-Up Time	(Figure 5)		25	90	ns
t _H	Minimum Address Hold Time	(Figure 5)		25	50	ns
t _D	Analog MUX Delay Time From ALE	R _S = 0 Ω (Figure 5)		1	2.5	μ s
t _{EN, t_{EO}}	OE Control to Q Logic State	C _L = 50 pF, R _L = 10k (Figure 6)		125	250	ns
t _{EN, t_{EO}}	OE Control to HI-Z	C _L = 10 pF, R _L = 10k (Figure 6)		125	250	ns
t _C	Conversion Time	f _C = 640 kHz, (Figure 5) (Note 7)	90	100	118	μ s
t _S	Clock Frequency		10	640	1200	kHz
t _{EOC}	EOC Delay Time	(Figure 5)	0		8 + 2 μ s	Clock Period
C _{IN}	Input Capacitance	All Control Inputs		10	15	pF
C _{OUT}	TRI-STATE [®] Output Capacitance	All TRI-STATE [®] Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A power shade symbol, wherever, from V_{CC} to GND and has a typical maximum voltage of 7 V_{CC}.

Note 4: Two shielded cables are tied to each analog input which will have an inductance for analog input voltages one decade below those ground or one decade above those the V_{CC} supply. The spec allows 100 mV forward bias of either shade. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0 V_{CC} to 5 V_{CC} input voltage range and therefore requires a minimum supply voltage of 4.25 V_{CC} over temperature variations, initial tolerance and loading.

Note 5: Total equivalent error includes offset, gain, scale, linearity, and nonlinearity errors. See Figure 5. Some of these A/Ds require a trim or substrate adjust. However, if an all zero code is desired for an analog input other than 0.5V, or if a precise full-scale span is desired (for example 0.5V to 4.5V) has-state the reference voltage can be adjusted to achieve this. See Figure 12.

Note 6: Conversion time is measured to a time during which is end of the processor significant comparison. The time cannot exceed directly with clock frequency and has time temperature dependencies (Figure 6). See paragraph A.2.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Functional Description

Multiplexer: The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network (Figure 1) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in Figure 1 are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached $+1/2$ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n iterations are required for an n -bit converter. Figure 2 shows a typical example of a 3-bit converter. In the ADC0806, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

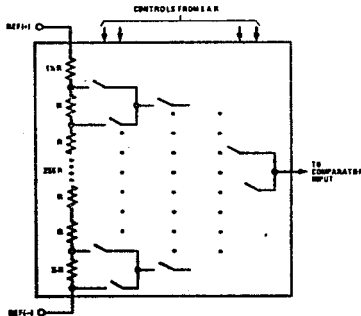


FIGURE 1. Resistor Ladder and Switch Tree

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the

comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

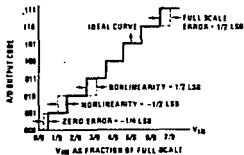


FIGURE 2. 3-Bit A/D Transfer Curve

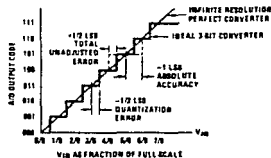


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

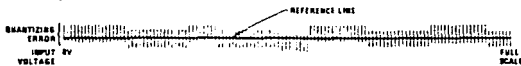


FIGURE 4. Typical Error Curve

Typical Performance Characteristics

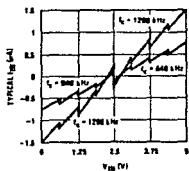


FIGURE 6. Comparator I_{ML} vs V_{ML}
($V_{CC} = V_{REF} = 5V$)

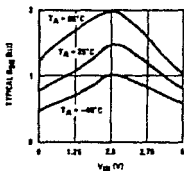


FIGURE 7. Multiplexer R_{ON} vs V_{ML}
($V_{CC} = V_{REF} = 5V$)

TRI-STATE[®] Test Circuits and Timing Diagrams

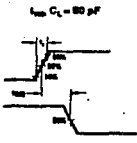
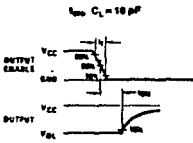
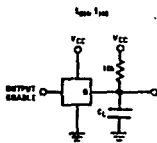
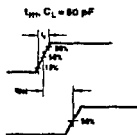
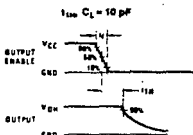
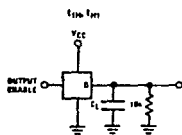


FIGURE 8

Applications Information

OPERATION

1.0 Ratiometric Conversion

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{FS}} = \frac{D_X}{D_{MAX} - D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{FS} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs. (Figure 8)

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC} = V_{REF} = 5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, $Ref(+)$, should not be more positive than the supply, and the bottom of the ladder, $Ref(-)$, should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

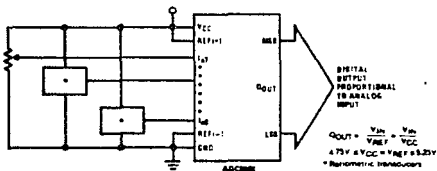


FIGURE 8. Ratiometric Conversion System

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In Figure 11 a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in Figure 12. The LM301 is overcompensated to insure stability when loaded by the 10 μ F output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 13, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

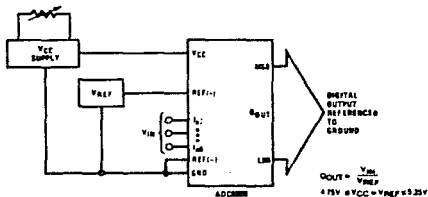


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

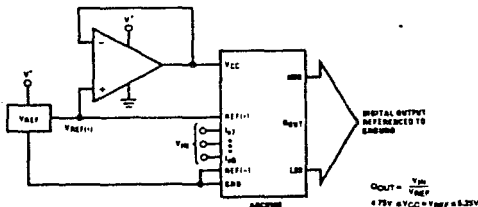
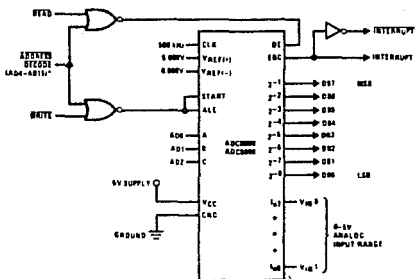


FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

Typical Application



* Address latches needed for 8085 and 8086 interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERUP (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit Mode 0)
8086	MEMR	MEMW	INTA (Thru Sense A)
8088	VMA +2 RW	VMA +2 RW	INTA or INT2 Thru PIA

Ordering Information

TEMPERATURE RANGE		-40°C to +85°C		-85°C to +125°C
Error	± 1/2 Bit Unadjusted	ADC0808CCN	ADC0808CCJ	ADC0808CJ
	± 1 Bit Unadjusted	ADC0809CCN		
Package Outline		N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic DIP

COP8720C/COP8721C/COP8722C Single-Chip microCMOS Microcontrollers

General Description

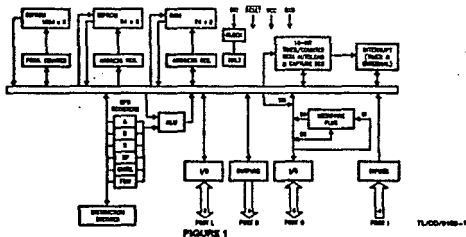
The COP8720C/COP8721C/COP8722C are members of the COP8™ microcontroller family featuring on-chip EEPROM modules. They are fully static parts, fabricated using double-metal silicium gate microCMOS technology. This low cost microcontroller is a complete microcomputer containing all systems timing, interrupt logic, ROM, RAM, and I/O necessary to implement dedicated control functions in a variety of applications. Features include an 8-bit memory mapped architecture, MCROWIRE/PLUSTM serial I/O, a 16-bit timer/counter with capture register and a multi-sourced interrupt. Each I/O pin has software selectable options to adapt the COP8720C to the specific application. The part operates over a voltage range of 2.5V to 6.0V. High throughput is achieved with an efficient, register instruction set operating at a 1 microsecond per instruction rate. The COP8720 is totally compatible with the ROM based COP820C microcontroller. It serves as a form, fit and function emulator device for the COP820 microcontroller family.

Features

- Low Cost 8-bit CORE microcontroller
- Fully static CMOS
- 1 μ s instruction time (20 MHz clock)
- Low current drain (2.2 mA at 3 μ A instruction rate)
- Low current static HALT mode (Typically < 10 μ A)

- Single supply operation: 2.5V to 6.0V
- 1024 bytes EEPROM program memory
- 64 bytes of RAM
- 64 bytes EEPROM data memory
- 16-bit read/write timer operates in a variety of modes
 - Timer with 16-bit auto reload register
 - 16-bit external event counter
 - Timer with 16-bit capture register (selectable edge)
- MUIS-source interrupt
 - Reset master clear
 - External interrupt with selectable edge
 - Timer interrupt or capture interrupt
 - Software interrupt
- 8-bit stack pointer (stack in RAM)
- Powerful instruction set, most instructions single byte
- BCD arithmetic instruction
- MCROWIRE/PLUSTM serial I/O
- 28 pin package (optionally 24 or 20 pin package)
- 24 input/output pins
- Software selectable I/O options (TRI-STATE®, push-pull, weak pull-up)
- Schmitt trigger inputs on Port G
- Form, fit and function EEPROM emulator device for COP820C/COP821C/COP822C
- Fully supported by National's MOLETM development system

Block Diagram



Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	7V
Voltage at any Pin	-0.5V to V_{CC} + 0.5V
ESD Susceptibility (Note 4)	2000V
Total Current into V_{CC} Pin (Source)	80 mA

Total Current out of GND Pin (Sink) 80 mA
Storage Temperature Range -85°C to +140°C

Note: Absolute maximum ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications are not ensured when operating the device at absolute maximum ratings.

DC Electrical Characteristics -40°C ≤ T_A ≤ +85°C unless otherwise specified

Parameter	Condition	Min	Typ	Max	Units
Operating Voltage		2.5		6.0	V
Power Supply Ripple (Note 1)	Peak to Peak			0.1 V_{CC}	V
Operating Voltage during EEPROM Write (Note 7)		4.5		6.0	V
Supply Current (see page 10)					
High Speed Mode, CLK = 20 MHz	$V_{CC} = 5V, t_c = 1 \mu s$			13	mA
Normal Mode, CLK = 8 MHz	$V_{CC} = 5V, t_c = 2 \mu s$			7	mA
Normal Mode, CLK = 2 MHz	$V_{CC} = 2.5V, t_c = 5 \mu s$			2	mA
(Note 2)					
MALT Current (Note 3)	$V_{CC} = 5V, CLK = 0$ MHz		<10	30	μA
Input Levels					
RESET, CIO			0.8 V_{CC}		V
Logic High				0.1 V_{CC}	V
Logic Low					V
All Other Inputs			0.7 V_{CC}		V
Logic High				0.2 V_{CC}	V
Logic Low					V
H-Z Input Leakage	$V_{CC} = 6.0V$	-2		+2	μA
Input Pullup Current	$V_{CC} = 6.0V$	40		250	μA
Q Port Input Hysteresis			0.05 V_{CC}		V
Output Current Levels					
D Outputs					
Source	$V_{CC} = 4.5V, V_{OH} = 3.8V$	0.4			mA
Sink	$V_{CC} = 2.5V, V_{OH} = 1.8V$	0.2			mA
	$V_{CC} = 4.5V, V_{OL} = 1.0V$	10			mA
	$V_{CC} = 2.5V, V_{OL} = 0.4V$	2.0			mA
All Others					
Source (Weak Pull-Up)	$V_{CC} = 4.5V, V_{OH} = 3.2V$	10		100	μA
Source (Push-Pull Mode)	$V_{CC} = 2.5V, V_{OH} = 1.8V$	2.5		30	μA
Sink (Push-Pull Mode)	$V_{CC} = 4.5V, V_{OH} = 3.8V$	0.4			mA
	$V_{CC} = 2.5V, V_{OH} = 1.8V$	0.2			mA
	$V_{CC} = 4.5V, V_{OL} = 0.4V$	1.8			mA
	$V_{CC} = 2.5V, V_{OL} = 0.4V$	0.7			mA
TRU-STATE Leakage		-2.0		+2.0	μA
Allowable Sink/Source Current Per Pin					
D Outputs (Sink)				15	mA
All Others				5	mA
Maximum Input Current (Room Temp) without Latchup (Note 6)				±100	mA
RAM Retention Voltage, V_R	800 ns Rise and Fall Time (Min)	2.0			V
Input Capacitance				7	pF
Load Capacitance on D2				1000	pF

AC Electrical Characteristics - 40°C < T _A < +85°C unless otherwise specified					
Parameter	Condition	Min	Typ	Max	Units
Instruction Cycle Time (t _c)					
High Speed Mode (Div-by 20)	V _{CC} ≥ 4.5V	1		DC	μs
	2.5V ≤ V _{CC} < 4.5V	2.5		DC	μs
Normal Mode (Div-by 10)	V _{CC} ≥ 4.5V	2		DC	μs
	2.5V ≤ V _{CC} < 4.5V	5		DC	μs
R/C Oscillator Mode (Div-by 10)	V _{CC} ≥ 4.5V	3		DC	μs
	2.5V ≤ V _{CC} < 4.5V	7.5		DC	μs
CKI Clock Duty Cycle (Note 6)	f _r = Max (+20 Mode)	33		66	%
Rise Time (Note 6)	f _r = 20 MHz Ext Clock			12	ns
Fall Time (Note 6)	f _r = 20 MHz Ext Clock			9	ns
Inputs					
t _{SETUP}	V _{CC} ≥ 4.5V	200			ns
	2.5V ≤ V _{CC} < 4.5V	600			ns
t _{HOLD}	V _{CC} ≥ 4.5V	80			ns
	2.5V ≤ V _{CC} < 4.5V	160			ns
Output Propagation Delay (t _{PD} , t _{POD} , t _{SO} , t _{SK})	P _L = 2.2k, C _L = 100 pF				
	V _{CC} ≥ 4.5V			0.7	μs
	2.5V ≤ V _{CC} < 4.5V			1.75	μs
All Others	V _{CC} ≥ 4.5V			1	μs
	2.5V ≤ V _{CC} < 4.5V			2.5	μs
MICROWIRE™ Setup Time (t _{WS})		20			ns
MICROWIRE Hold Time (t _{WH})		66			ns
MICROWIRE Output Propagation Delay (t _{WPO})				220	ns
Input Pulse Width					
Interrupt Input High Time		t _c			
Interrupt Input Low Time		t _c			
Timer Input High Time		t _c			
Timer Input Low Time		t _c			
Reset Pulse Width		1.0			μs
Note 1: Rate of voltage change must be less than 0.5V/ns. Note 2: Supply current is measured after turning 8052 system with a square wave: CKI input, CKO open, inputs at rail and outputs open. Note 3: The t _{SETUP} mode will show CKI bus loading to the PIC and the Crystal oscillators. Test conditions: All inputs tied to V _{CC} , I and O pins are at TRI-STATE and tied to ground, all outputs low and tied to ground. Note 4: Human body model, 100 pF through 1000Ω. Note 5: Except pins CH, 07, RESET pins CH, RESET: +50 mA pins 02: -50 mA. Note 6: Parameter complied but not 100% tested. Note 7: The temperature range for which operation is 0°C to 70°C.					
EEPROM Characteristics					
Parameter	Condition	Min	Typ	Max	Units
EEPROM Write Cycle Time	4.5V ≤ V _{CC} ≤ 6.0V	15	20	25	ms
EEPROM Number of Writes				10000	Cycles
V _{CC} Level for Write Lock Out	V _{LKO}	3.9		4.4	V
Programming Voltage to RESET Pin	V _{PS} 4.5V ≤ V _{CC} ≤ 6.0V	11.5	12	12.5	V

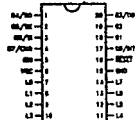
Timing Diagrams



FIGURE 2. MICROWIRE/PLUS Timing Diagram

Connection Diagrams

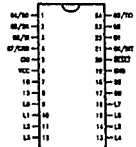
30-Pin Dual-In-Line Package



TU/DO/9188-2

Order Number COP8722CN
See NS Molded Package
Number N20A

24-Pin Dual-In-Line Package



TU/DO/9188-4

Order Number COP8721CN
See NS Molded Package
Number N24A

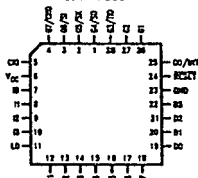
28-Pin Dual-In-Line Package



TU/DO/9188-8

Order Number COP8720CN
See NS Molded Package
Number N28B

28-Pin PLCC

Order Number COP8730CY
See NS PLCC Package
Number Y28A

TU/DO/9188-24

FIGURE 3

Connection Diagrams (Continued)

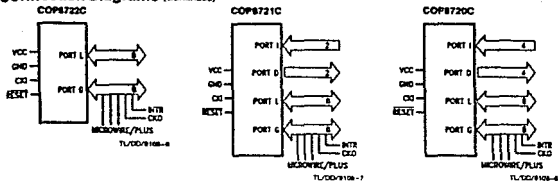


FIGURE 3 (Continued)

Pin Descriptions

VCC and GND are the power supply pins.

CKI is the clock input. This can come from an external source, a I/O generated oscillator or a crystal (in conjunction with CKO). See Oscillator description.

RESET is the master reset input. See Reset description.

PORT I is a four bit Hi-Z input port.

PORT L is an 8-bit I/O port.

There are two registers associated with each L I/O port: a data register and a configuration register. Therefore, each L I/O bit can be individually configured under software control as shown below:

Port L Config.	Port L Data	Port L Setup
0	0	Hi-Z Input (TRI-STATE)
0	1	Input With Weak Pull-Up
1	0	Push-Pull "0" Output
1	1	Push-Pull "1" Output

Three data memory address locations are allocated for these ports, one for data register, one for configuration register and one for the input pins.

PORT G is an 8-bit port with 6 I/O pins (G0-G5) and 2 input pins (G6, G7). All eight G-pins have Schmitt Triggers on the inputs. The G7 pin functions as an input pin under normal operation and as the continue pin to exit the HALT mode. There are two registers with each I/O port: a data register and a configuration register. Therefore, each I/O bit can be individually configured under software control as shown below.

Port G Config.	Port G Data	Port G Setup
0	0	Hi-Z Input (TRI-STATE)
0	1	Input With Weak Pull-Up
1	0	Push-Pull "0" Output
1	1	Push-Pull "1" Output

Three data memory address locations are allocated for these ports, one for data register, one for configuration register and one for the input pins. Since G6 and G7 are input only pins, any attempt by the user to set them up as outputs by setting a one to the configuration register will be disregarded. Reading the G6 and G7 configuration bits will

return zeros. Note that the chip will be placed in the HALT mode by setting the G7 data bit.

Six bits of Port G have alternate features:

G0 INTR (an external interrupt)

G3 TIO (timer/counter input/output)

G4 SO (MICROWIRE serial data output)

G5 SK (MICROWIRE stack I/O)

G6 SI (MICROWIRE serial data input)

G7 CKO crystal oscillator output (selected by mask option) or HALT reset input (general purpose input)

Pins G1 and G2 currently do not have any alternate functions.

PORT D is a four bit output port that is set high when RESET goes low.

The D2 pin is sampled at reset. If it is held low at reset the COP8720C enters the ROMless mode of operation.

Functional Description

Figure 1 shows the block diagram of the internal architecture. Data paths are illustrated in simplified form to depict how the various logic elements communicate with each other in implementing the instruction set of the device.

ALU and CPU REGISTERS

The ALU can do an 8-bit addition, subtraction, logical or shift operation in one cycle time.

There are five CPU registers:

A is the 15-bit Program Counter register

PU is the upper 7 bits of the program counter (PC)

PL is the lower 8 bits of the program counter (PC)

B is the 8-bit address register, can be auto incremented or decremented.

X is the 8-bit alternate address register, can be incremented or decremented.

SP is the 8-bit stack pointer, points to subroutine stack (in RAM).

B, X and SP registers are mapped into the on chip RAM. The B and X registers are used to address the on chip RAM.

The SP register is used to address the program counter stack in RAM during subroutine calls and returns.

Functional Description (Continued)

MEMORY

The COP8720C contains 1 Kbyte of Program EEPROM, 64 bytes of on-chip RAM and Registers, I/O, 64 bytes of Data EEPROM and 256 bytes of firmware ROM.

PROGRAM MEMORY

Program memory for the COP8720C consists of two modules—the 1 Kbyte program EEPROM and the 256 byte ROM which contains the firmware routines for reading and programming the EEPROM.

Memory locations in the 1 Kbyte program EEPROM module are accessed by the address register, EEAR, and the data register, EROMDR. The EEAR is mapped into the address locations E2 and E3. The EROMDR register is located at the address E1.

Under normal conditions, the program EEPROM and the ROM are addressed by the PC and their contents go to the instruction bus. During the EEPROM program and verify cycles, the EEPROM is treated as data memory while the COP8720C is executing out of the firmware ROM. The EEPROM is addressed through the EEAR register. The EROMDR register holds the data read back from the EEPROM location during a verify cycle and holds the data to be written into the EEPROM location during a program cycle. The verify cycle takes 1 instruction cycle and the write cycle takes 20 ms.

Accesses to the program EEPROM is controlled by two flags, AEN and PEN, in the control register, EECR.

AEN	PEN	Access Type
0	0	Normal
0	1	Normal
1	0	EEPROM Read Cycle
1	1	EEPROM Write Cycle

To prevent accidental erasures and over-writes situations the application program should not set the AEN and PEN flags in the EECR register. The COP8720C supports application accesses to the EEPROM module via two subroutines in the firmware ROM—an EEPROM read and an EEPROM write subroutine. To program an EEPROM memory location, the user loads the EECR and EROMDR registers and invokes the write subroutine at the address 40C0 Hex. To read an EEPROM location the user loads the EEAR register with the address of the EEPROM memory location and invokes the read subroutine at the address 40D4 Hex. The read subroutine returns the contents of the addressed EEPROM location in the EROMDR register.

DATA MEMORY

The data memory for the COP8720C consists of on-chip RAM, EEPROM, I/O and registers. Data memory is accessed directly by the instruction or indirectly by the B, X and SP registers.

RAM

The COP8720C has 64 bytes of RAM. Sixteen bytes of RAM are mapped as "registers" that can be loaded efficiently, decremented and tested. Three specific registers: B, X and SP are mapped into this space, the other bytes are available for general use.

The instruction set of the COP8720C permits any bit in the data memory to be set, reset or tested. All I/O and the registers (except the B and PC) are memory mapped; therefore, I/O bits and register bits in addition to the normal data RAM can be directly and individually set, reset and tested.

DATA EEPROM

The COP8720C provides 64 bytes of EEPROM for nonvolatile data memory. The data EEPROM can be read and programmed in exactly the same way as the RAM. All instructions that perform read and write operations on the RAM work similarly upon the data EEPROM.

A data EEPROM programming cycle is initiated by an instruction such as X, LD, SBIT or RBIT. The EE memory support circuitry sets the BayERAM flag in the EECR register immediately upon beginning a data EEPROM write cycle. It will be automatically reset by the hardware at the end of the data EEPROM write cycle. The application program should test the BayERAM flag before attempting a write operation to the data EEPROM. A second EEPROM write operation while a write operation is in progress will be ignored. The Warn flag in the EECR register is set to indicate the error status.

SIGNATURE AND OPTION REGISTERS

The COP8720C provides a set of six additional registers implemented with EEPROM cells—the Signature and Option registers.

The Signature register is a four-byte register provided for storing ROM code/rev. numbers or other application specific information. The Signature register is shadowed behind the data EEPROM cells at addresses 0C to 0F Hex. Two test modes are provided to allow the Signature register to be read or programmed.

The Option register consists of two bytes shadowed behind the addresses 09 and 0B Hex. The Option register allows the COP8720C to be programmed to accurately emulate the different mask options available on the COP820C.

---	---	---	---	ROMemr	x	0		89 Hex
---	---	---	HS	RC	XTAL	x		8B Hex

ROMemr: When set, the Data EEPROM and all the EE related registers become inaccessible. Thus, the EE registers look like non-existent memory locations when addressed by the application program and the Program EEPROM behaves just like ordinary ROM. Thus, setting the ROMemr bit allows the COP8720C to emulate the ROM based COP820C with 100% accuracy.

HS, RC, XTAL: These three bits allow the COP8720C to emulate the clock options of the COP820C. Note that only five out of the possible eight combinations are legal—the combinations 0E, 0C and 0B are illegal combinations.

EECR and EE SUPPORT CIRCUITS

The EEPROM program and data modules share a common set of EE support circuits to generate all necessary N/C

Functional Description (Continued)

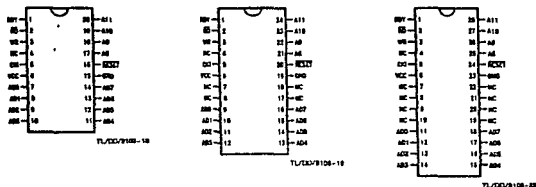


FIGURE 4. Pinouts for the COP8720C in Programming Mode

voltage programming pulses. Each programming cycle consists of a 10 ms erase cycle followed by a 10 ms write cycle for each byte. An EEPROM cell in the erase state is read out as a 0 and the written state is read out as a 1. Since the two EE modules share the support circuitry, programming the two modules at the same time is not allowed.

The EECR register provides control, status and test mode functions for the EE modules.

The EECR register bit assignments are shown below.

EECR Register Bit Assignment

Bit	Test Mode Codes						
	Test Mode Codes	Byte/ROM	Byte/ROM	AEN	V _{LOCK}	Warr	PEN
Bit 7	6	5	4	3	2	1	0

Warr While Error. Writing to data EEPROM while a previous write cycle is still busy, that is Byte/ROM is not 0, causes Warr to be set to 1. Indicates error status. Warr is cleared by writing a 0 into it.

PEN A program EEPROM programming cycle is started by setting PEN and AEN to 1 at the same time. PEN is "write en", it is not latched.

V_{LOCK} EECR bit 1 is read as the lock out indicator. A low V_{CC} detector is enabled at the start of the EE programming cycle. If it finds V_{CC} less than V_{LOCK}, the V_{LOCK} status bit is set and the write cycle is aborted. The V_{LOCK} status bit stays latched until the start of another EE programming cycle.

AEN AEN controls the program EEPROM address/data interface. When AEN is 0, the EEPROM is in program memory. It is addressed by PC, and its output data goes onto the instruction bus. When AEN is set to 1, the EEPROM becomes data memory. It is addressed by the EARL, and it is accessed from the EPROMR.

Byte/ROM Set to 1 when data EEPROM is being written, it is automatically reset by the hardware upon completion of the write operation.

Byte/ROM Set to 1 when program EEPROM is being written, it is automatically reset by the hardware upon completion of the write operation.

Bits 3 to 7 of the EECR are used for encoding various EEPROM module test modes, most of which are for factory manufacturing tests. Two of the test mode used for accessing the signature and option registers are described in a previous section. The EE test modes are activated by applying high voltage to the RESET pin. Some of the test modes, if activated improperly, can make the part inoperable. These test modes are reserved for use by the manufacturer only. The EECR register is cleared by RESET. EECR is mapped into address location E0.

When either Byte/ROM or Byte/ROM is set to 1, that is an EEPROM programming cycle is in progress, the AEN bit is locked up and cannot be changed by the processor.

EXTERNALLY PROGRAMMING THE PROGRAM EEPROM

As shown in the previous section, the COP8720C permits the program EEPROM memory module to be entered under program control via the EECR register. To facilitate ease of development the COP8720C also provides an external mode of loading executable code into the program EEPROM module.

This section describes the programming method for the COP8720C EEPROM.

Programming the COP8720C EEPROM or the special registers is initiated by applying V_{PRG} to the RESET pin. Control signals transferred to the firmware ROM when V_{PRG} is applied to the RESET pin. The program contained in the firmware ROM sets up the I/O of the COP8720C to simulate the I/O requirements of a 24-byte memory device. This is done by setting up the COP8720C I/O as eight bits of address/data lines, three address lines, read/write control and a ready signal.



Functional Description (Continued)

Figure 4 shows the three packages and the associated I/O. The pin descriptions are as follows:

V _{CC}	Positive 5V Power Supply
GND	Ground
RESET	Active Low Reset Input
CKI	Clock Input
ADD-AD7	Multiplexed Address/Data Lines
A8-A11	Address Lines
RD	Active Low Read Strobe
WR	Active High Write Strobe
RDY	Active High Ready Output

The firmware ROM program allows the user to reference the special registers as EEPROM memory locations in the address range 2048-2070 decimal. The following mapping is used:

Signature Register #1	at EEPROM address 800 Hex
Signature Register #2	at EEPROM address 801 Hex
Signature Register #3	at EEPROM address 802 Hex
Signature Register #4	at EEPROM address 803 Hex
Option Register #1	at EEPROM address 804 Hex
Option Register #2	at EEPROM address 805 Hex

Note that in order to reference these registers the user must come in with addresses in the range 800 Hex to 805 Hex.

PROGRAMMING STEPS

The programming host has to go through the following steps for the write and verify cycles. (See Figure 2)

WRITE:

1. Power is applied with the RESET and WR pins low and the RD high.
2. RESET is then brought up to V_{CC} within 1 μ s.
3. The lower byte of the address to be written into is applied to the pins ADD-AD7 and the upper 3 bits of the address applied to the pins A8-A11.
4. Observing the setup time, WR is brought high.
5. The data to be programmed is applied to the pins ADD-AD7.
6. The RDY signal from the COP8720C goes low. This indicates that the WR and data on ADD-AD7 have been accepted and these inputs can be removed.
7. The programming host must now either wait for the RDY signal to go high or wait at least 20 ms before initiating a new programming cycle.

VERIFY:

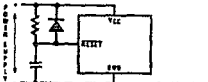
1. Power is applied with RESET and WR pins held low and the RD high.
2. The RESET pin is brought up to V_{CC} within 1 μ s.
3. The lower byte of the address to be read is applied to the pins ADD-AD7 and the upper three bits to the pins A8-A11.
4. Observing setup times the RD pin is brought low.
5. After a time T₁, the RDY signal from the COP8720C goes low and data is ready for the host on the pins ADD-AD7. The data stays until the RD signal goes back high after which the RDY signal will go back high.
6. The host must wait for the RDY signal to go back high before the next read cycle is initiated.

RESET

The RESET input when pulled low initializes the microcontroller. Initialization will occur whenever the RESET input is pulled low. Upon initialization, the ports L and G are placed

in the TRI-STATE mode and the Port D is set high. The PC, PSW and CNTRL registers are cleared. The data and configuration registers for Ports L & G are cleared.

The external RC network shown in Figure 5 should be used to ensure that the RESET pin is held low until the power supply to the chip stabilizes.



RC \geq 5X Power Supply Rise Time
FIGURE 5. Recommended Reset Circuit

OSCILLATOR CIRCUITS

Figure 6 shows the three clock oscillator configurations available for the COP8720C.

A. CRYSTAL OSCILLATOR

The COP8720C can be driven by a crystal clock. The crystal network is connected between the pins CKI and CKO.

Table 1 shows the component values required for various standard crystal values.

B. EXTERNAL OSCILLATOR

CKI can be driven by an external clock signal. CKO is available as a general purpose input and/or HALT restart control.

C. R/C OSCILLATOR

CKI is configured as a single pin RC controlled Schmitt trigger oscillator. CKO is available as a general purpose input and/or HALT restart control.

Table 1 shows the variation in the oscillator frequencies as functions of the component (R and C) values.

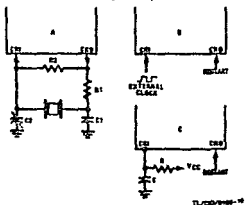


FIGURE 6. Crystal and R-C Connection Diagrams

OSCILLATOR OPTIONS

The COP8720C can be driven by clock inputs between 0C and 20 MHz. For low input clock frequencies (\leq 5 MHz) the instruction cycle frequency can be selected to be the input clock frequency divided by 10. This mode is known as the Normal Mode.

Functional Description (Continued)

TABLE I. Crystal Oscillator Configuration, $T_A = 25^\circ\text{C}$

R1 (k Ω)	R2 (M Ω)	C1 (pF)	C2 (pF)	CKI Freq (MHz)	Conditions
0	1	30	30-36	20	$V_{CC} = 5V$
0	1	30	30-36	10	$V_{CC} = 5V$
0	1	30	30-36	4 (+20)	$V_{CC} = 2.5V$
0	1	200	100-150	0.455	$V_{CC} = 2.5V$

TABLE II. R/C Oscillator Configuration, $T_A = 25^\circ\text{C}$

R (k Ω)	C (pF)	CKI Freq. (MHz)	Intsr. Cycle (μs)	Conditions
3.3	82	2.8-2.2	3.6-4.5	$V_{CC} = 5V$
5.6	100	1.5-1.1	8.7-9	$V_{CC} = 5V$
0.8	100	1.1-0.9	9-12.5	$V_{CC} = 2.5V$

For oscillator frequencies that are greater than 5 MHz the chip must run with a divide by 20. This is known as the High Speed mode.

The COP820C microcontroller has five mask options for configuring the clock input. To emulate these mask options 3 bits must be set in the Option register.

MSB	PC	XTAL	Mask Option
1	0	1	High Speed Crystal
0	0	1	Normal Mode Crystal
1	0	0	High Speed External
0	0	0	Normal Mode External
0	1	0	R/C Oscillator

The CKI and CKO pins are automatically configured upon selecting a particular option.

- High Speed Crystal (CKI/20) CKO for crystal configuration
- Normal Mode Crystal (CKI/10) CKO for crystal configuration
- High Speed External (CKI/20) CKO available as G7 input
- Normal Mode External (CKI/10) CKO available as G7 input
- R/C (CKI/10) CKO available as G7 input

Where, G7 can be used either as a general purpose input or as a control input to continue from the HALT mode.

CURRENT DRAIN

The total current drain of the chip depends on:

- 1) Oscillator operating mode—I1
- 2) Internal switching current—I2
- 3) Internal leakage current—I3
- 4) Output source current—I4
- 5) DC current caused by external input not at V_{CC} or GND—I5

Thus the total current drain, I_t is given as

$$I_t = I_1 + I_2 + I_3 + I_4 + I_5$$

To reduce the total current drain, each of the above components must be minimum.

The chip will draw the least current when in the normal mode. The high speed mode will draw additional current. The R/C mode will draw the most. Operating with a crystal network will draw more current than an external square-wave. Switching current, governed by the equation below, can be reduced by lowering voltage and frequency. Leakage current can be reduced by lowering voltage and temperatures. The other two items can be reduced by carefully designing the end-user's system.

$$I_2 = C \times V \times f$$

Where

C = equivalent capacitance of the chip. (pF)

V = operating voltage

f = CKI frequency

The typical capacitance for the COP820C is TBD pF.

Some sample current drain values at $V_{CC} = 5V$ are:

CKI (MHz)	Intsr. Cycle (μs)	I (mA)
20	1	13
3.58	3	2.2
2	5	1.2
0.3	33	0.2
0 (HALT)	—	<0.01

HALT MODE

The COP820C supports a power saving mode of operation: HALT. The controller is placed in the HALT mode by setting the G7 data bit. Alternatively the user can stop the clock input. In the HALT mode all internal processor activities including the clock oscillator are stopped. The latched architecture freezes the state of the controller and retains all information until continuing. In the HALT mode, power requirements are minimal as it draws only leakage currents and output current. The applied voltage (V_{CC}) may be decreased down to V_I (minimum RAM retention voltage) without altering the state of the machine.

There are two ways to exit the HALT mode: via the RESET or by the CKO pin. A low on the RESET line reinitializes the

Functional Description (Continued)

microcontroller and starts executing from the address 0000H. A low to high transition on the CKO pin causes the microcontroller to continue with no reinitialization from the address following the HALT instruction. This also resets the Q7 data bit.

INTERRUPTS

The COP8720C has a sophisticated interrupt structure to allow easy interface to the real world. There are three possible interrupt sources, as shown below.

A maskable interrupt on external GO input (positive or negative edge sensitive under software control).

A maskable interrupt on timer carry or timer capture.

A non-maskable software/error interrupt on opcode zero.

INTERRUPT CONTROL

The GIE (global interrupt enable) bit enables the interrupt function. This is used in conjunction with ENI and ENTI to select one or both of the interrupt sources. This bit is reset when interrupt is acknowledged.

ENI and ENTI bits select external and timer interrupt respectively. Thus the user can select either or both sources to interrupt the microcontroller when GIE is enabled.

IEDG selects the external interrupt edge (0 = rising edge, 1 = falling edge). The user can get an interrupt on both rising and falling edges by toggling the state of IEDG bit after each interrupt.

IPND and IPND bits signal which interrupt is pending. After interrupt is acknowledged, the user can check these two bits to determine which interrupt is pending. This permits the interrupts to be prioritized under software. The pending flags have to be cleared by the user. Setting the GIE bit high inside the interrupt subroutine allows nested interrupts.

The software interrupt does not reset the GIE bit. This means that the controller can be interrupted by other interrupt sources while servicing the software's interrupt.

INTERRUPT PROCESSING

The interrupt, once acknowledged, pushes the program counter (PC) onto the stack and the stack pointer (SP) is decremented twice. The Global Interrupt Enable (GIE) bit is reset to disable further interrupts. The microcontroller then vectors to the address 00FFH and resumes execution from that address. This process takes 7 cycles to complete. At the end of the interrupt subroutine, any of the following three instructions return the processor back to the main program: RET, RETSK or RETI. Either one of the three instructions will pop the stack into the program counter (PC). The stack pointer is then incremented twice. The RETI instruction additionally sets the GIE bit to re-enable further interrupts.

Any of the three instructions can be used to return from a hardware interrupt subroutine. The RETSK instruction

should be used when returning from a software interrupt subroutine to avoid entering an infinite loop.

DETECTION OF ILLEGAL CONDITIONS

The COP8720C incorporates a hardware mechanism that allows it to detect illegal conditions which may occur from coding errors, noise and 'brown out' voltage drop situations. Specifically it detects cases of executing out of undefined ROM areas and unbalanced stack situations.

Reading an undefined ROM location returns 00 (hexadecimal) as its contents. The opcode for a software interrupt is also '00'. Thus a program accessing undefined ROM will cause a software interrupt.

Reading an undefined ROM location returns a FF (hexadecimal). The subroutine stack on the COP8720C grows down for each subroutine call. By initializing the stack pointer to the top of RAM, the first unbalanced return instruction will cause the stack pointer to address undefined RAM. As a result the program will attempt to execute from FFFF (hexadecimal), which is an undefined ROM location and will trigger a software interrupt.

MICROWIRE/PLUS™

MICROWIRE/PLUS is a serial synchronous bidirectional communications interface. The MICROWIRE/PLUS capability enables the COP8720C to interface with any of National Semiconductor's Microwire peripherals (i.e. A/D converters, display drivers, etc.) and with other microcontrollers which support the MICROWIRE interface. It consists of an 8-bit serial shift register (SIO) with serial data input (SI), serial data output (SO) and serial shift clock (SCK). Figure 4 shows the block diagram of the MICROWIRE/PLUS interface.

The shift clock can be selected from either an internal source or an external source. Operating the MICROWIRE/PLUS arrangement with the internal clock source is called the Master mode of operation. Similarly, operating the MICROWIRE/PLUS arrangement with an external shift clock is called the Slave mode of operation.

The CNTRL register is used to configure and control the MICROWIRE/PLUS mode. To use the MICROWIRE/PLUS, the MSEL bit in the CNTRL register is set to one. The SCK clock rate is selected by the two bits, S0 and S1. In the CNTRL register, Table III details the different clock rates that may be selected.

S1	S0	SCK Cycle Time
0	0	2 τ C
0	1	4 τ C
1	x	8 τ C

where,
 τ is the instruction cycle clock.

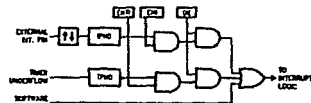


FIGURE 7. Interrupt Block Diagram

TC80PH8-11

Functional Description (Continued)

MICROWIRE/PLUS OPERATION

Setting the **BUSY** bit in the **PSW** register causes the **MICROWIRE/PLUS** arrangement to start shifting the data. It gets reset when eight data bits have been shifted. The user may reset the **BUSY** bit by software to allow less than 8 bits to shift. The **COP8720C** may enter the **MICROWIRE/PLUS** mode either as a Master or as a Slave. Figure 8 shows how two **COP8720C** microcontrollers and several peripherals may be interconnected using the **MICROWIRE/PLUS** arrangement.

Master MICROWIRE/PLUS Operation

In the **MICROWIRE/PLUS** Master mode of operation the shift clock (**SK**) is generated internally by the **COP8720C**. The **MICROWIRE/PLUS** Master always initiates all data exchange. (See Figure 8.) The **MSEL** bit in the **CNTRL** register must be set to enable the **SO** and **SK** functions onto the **Q** Port. The **SO** and **SK** pins must also be selected as outputs by setting appropriate bits in the Port **G** configuration register. Table IV summarizes the bit settings required for Master mode of operation.

SLAVE MICROWIRE/PLUS OPERATION

In the **MICROWIRE/PLUS** Slave mode of operation the **SK** clock is generated by an external source. Setting the **MSEL** bit in the **CNTRL** register enables the **SO** and **SK** functions onto the **Q** Port. The **SK** pin must be selected as an input and the **SO** pin is selected as an output pin by appropriately setting up the Port **G** configuration register. Table IV summarizes the settings required to enter the Slave mode of operation.

The user must set the **BUSY** flag immediately upon entering the Slave mode. This will ensure that all data bits sent by the Master will be shifted properly. After eight clock pulses the **BUSY** flag will be cleared and the sequence may be repeated. (See Figure 9.)

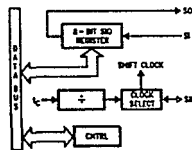


FIGURE 8. MICROWIRE/PLUS Block Diagram

7L001188-12

TABLE IV

G4 Config. Bit	G3 Config. Bit	G4 Fun.	G3 Fun.	G4 Fun.	Operation
1	1	SO	HL SK	SI	MICROWIRE/PLUS Master
0	1	TRU-STATE	HL SK	SI	MICROWIRE/PLUS Master
1	0	SO	Ext. SK	SI	MICROWIRE/PLUS Slave
0	0	TRU-STATE	Ext. SK	SI	MICROWIRE/PLUS Slave

TIMER/COUNTER

The **COP8720C** has a powerful 16-bit timer with an associated 16-bit register enabling them to perform extensive timer functions. The timer **T1** and its register **R1** are each organized as two 8-bit read/write registers. Control bits in the register **CNTRL** allow the timer to be started and stopped under software control. The timer-register pair can be operated in one of three possible modes. Table V details various timer operating modes and their requisite control settings.

MODE 1. TIMER WITH AUTO-LOAD REGISTER

In this mode of operation the timer **T1** counts down at the instruction cycle rate. Upon underflow the value in the register **R1** gets automatically reloaded into the timer which continues to count down. The timer underflow can be programmed to interrupt the microcontroller. A bit in the control register **CNTRL** enables the **TIO** (**G3**) pin to toggle upon timer underflows. This allows the generation of square-wave outputs or pulse width modulated outputs under software control. (See Figure 10.)

MODE 2. EXTERNAL COUNTER

In this mode, the timer **T1** becomes a 16-bit external event counter. The counter counts down upon an edge on the **TIO** pin. Control bits in the register **CNTRL** program the counter to decrement either on a positive edge or on a negative edge. Upon underflow the contents of the register **R1** are automatically copied into the counter. The underflow can also be programmed to generate an interrupt. (See Figure 10.)

MODE 3. TIMER WITH CAPTURE REGISTER

Timer **T1** can be used to precisely measure external frequencies or events in this mode of operation. The timer **T1** counts down at the instruction cycle rate. Upon the occurrence of a specified edge on the **TIO** pin the contents of the timer **T1** are copied into the register **R1**. Bits in the control register **CNTRL** allow the trigger edge to be specified either as a positive edge or as a negative edge. In this mode the user can select to be interrupted on the specified trigger edge. (See Figure 11.)

Functional Description (Continued)

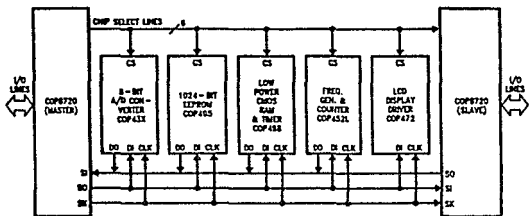


FIGURE 9. MICROWIRE/PLU3 Application

TL/CD/9108-13

TABLE V. Timer Operating Modes

CTRL Bits T86	Operation Mode	T Interrupt	Timer Counts On
0 0 0	External Counter W/Auto-Load Reg.	Timer Carry	TIO Pos. Edge
0 0 1	External Counter W/Auto-Load Reg.	Timer Carry	TIO Neg. Edge
0 1 0	Not Allowed	Not Allowed	Not Allowed
0 1 1	Not Allowed	Not Allowed	Not Allowed
1 0 0	Timer W/Auto-Load Reg.	Timer Carry	t_c
1 0 1	Timer W/Auto-Load Reg./Toggle TIO Out	Timer Carry	t_c
1 1 0	Timer W/Capture Register	TIO Pos. Edge	t_c
1 1 1	Timer W/Capture Register	TIO Neg. Edge	t_c

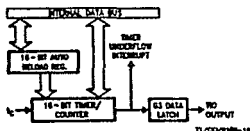


FIGURE 10. Timer/Counter Auto Reload Mode Block Diagram

TL/CD/9108-14

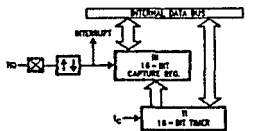


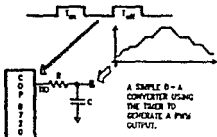
FIGURE 11. Timer Capture Mode Block Diagram

TL/CD/9108-14

Functional Description (Continued)

TIMER PWM APPLICATION

Figure 12 shows how a minimal component D/A converter can be built out of the Timer-Register pair in the Auto-Reload mode. The timer is placed in the "Timer with auto reload" mode and the TIO pin is selected as the timer output. At the outset the TIO pin is set high; the timer T1 holds the on time and the register R1 holds the signal off time. Setting TRUN bit starts the timer which counts down at the instruction cycle rate. The underflow toggles the TIO output and copies the off time into the timer, which continues to run. By alternately loading in the on time and the off time at each successive interrupt a PWM frequency can be easily generated.



TU000108-18

FIGURE 12. Timer Application

Control Registers

CTRL REGISTER (ADDRESS X'00EE)

The Timer and MICROWIRE/PLUS control register contains the following bits:

- S1 & S0** Select the MICROWIRE/PLUS clock divide-by
- IEDG** External interrupt edge polarity select
(0 = rising edge, 1 = falling edge)
- MSEL** Enable MICROWIRE/PLUS functions S0 and SK
- TRUN** Start/Stop the Timer/Counter (1 = run, 0 = stop)
- TC3** Timer input edge polarity select (0 = rising edge, 1 = falling edge)
- TC2** Selects the capture mode
- TC1** Selects the timer mode

TC1	TC2	TC3	TRUN	MSEL	IEDG	S1	S0
-----	-----	-----	------	------	------	----	----

BIT 0

PSW REGISTER (ADDRESS X'00EF)

The PSW register contains the following select bits:

- GIE** Global interrupt enable
- ENI** External interrupt enable
- BUSY** MICROWIRE/PLUS busy shifting
- IPND** External interrupt pending
- ENTI** Timer interrupt enable
- TPND** Timer interrupt pending
- C** Carry Flag
- HC** Half carry Flag

HC	C	TPND	ENTI	IPND	BUSY	ENI	GIE
----	---	------	------	------	------	-----	-----

BIT 7

BIT 0

Operating Modes

These controllers have two operating modes: Single Chip mode and the ROMless mode. The operating mode is determined by the state of the D2 pin at power on reset.

SINGLE CHIP MODE

In the Single Chip mode, the controller functions as a self-contained microcontroller. It can address internal RAM and ROM. A2 ports configured as memory mapped I/O ports.

ROMLESS MODE

The COP8720C will enter the ROMless mode of operation if the D2 pin is held at logical "0" at reset. In this case the internal PROGRAM EEPROM is disabled and the controller can now address up to 32 kbytes of external program memory. It continues to use the on board RAM, and DATA EEPROM.

Memory Map

All RAM, ports and registers (except A and PC) are mapped into data memory address space.

Address	Contents
00 to 2F	On Chip RAM Bytes
30 to 7F	Unused RAM Address Space (Reads as all Ones)
80 to BF	64 Bytes DATA EEPROM
CD to CF	Expansion Space for I/O and Registers
00 to DF	On Chip I/O and Registers
D0	Port L Data Register
D1	Port L Configuration Register
D2	Port L Input Pins (Read Only)
D3	Reserved for Port L
D4	Port G Data Register
D5	Port G Configuration Register
D6	Port G Input Pins (Read Only)
D7	Port I Input Pins (Read Only)
D8-D9	Reserved for Port C
DC	Port D Data Register
DD-DF	Reserved for Port D
E0 to EF	On Chip Functions and Registers
E0	ECC0
E1	EROMDR
E2	EEAR Low Byte
E3	EEAR High Byte
E4-E8	Reserved
E9	MICROWIRE/PLUS Shift Register
EA	Timer Lower Byte
EB	Timer Upper Byte
EC	Timer Autoload Register Lower Byte
ED	Timer Autoload Register Upper Byte
EE	CTRL Control Register
EF	PSW Register
F0 to FF	On Chip RAM Mapped as Registers
FC	X Register
FD	SP Register
FE	B Register



Memory Map (Continued)

Reading unused memory locations below 7FH will return all ones. Reading other unused memory locations will return undefined data.

Addressing Modes**REGISTER INDIRECT**

This is the "normal" mode of addressing for the COP8720C. The operand is the memory addressed by the B register or X register.

DIRECT

The instruction contains an 8-bit address field that directly points to the data memory for the operand.

IMMEDIATE

The instruction contains an 8-bit immediate field as the operand.

REGISTER INDIRECT**(AUTO INCREMENT AND DECREMENT)**

This is a register indirect mode that automatically increments or decrements the B or X register after executing the instruction.

RELATIVE

This mode is used for the JP instruction. The instruction field is added to the program counter to get the new program location. JP has a range of from -31 to +32 to allow a one byte relative jump (JP + 1 is implemented by a NOP instruction).

tion). There are no "pages" when using JP, all 15 bits of PC are used.

Instruction Set**REGISTER AND SYMBOL DEFINITIONS****Registers**

A	8-bit Accumulator register
B	8-bit Address register
X	8-bit Address register
SP	8-bit Stack pointer register
PC	15-bit Program counter register
PU	upper 7 bits of PC
PL	lower 8 bits of PC
C	1-bit of PSW register for carry
HC	Half Carry
GE	1-bit of PSW register for global interrupt enable

Symbols

[B]	Memory indirectly addressed by B register
[X]	Memory indirectly addressed by X register
Mem	Direct address memory or [B]
Mem	Direct address memory or [X] or immediate data
Imm	8-bit immediate data
Reg	Register memory; addresses F0 to FF (includes B, X and SP)
Ba	Bit number (0 to 7)
←	Loaded with
↔	Exchanged with

Instruction Set (Continued)

Instruction Set

ADD ADC	add add with carry	A ← A + Memt A ← A + Memt + C, C ← Carry HC ← Half Carry
SUBC	subtract with carry	A ← A + Memt + C, C ← Carry HC ← Half Carry
AND OR XOR	Logical AND Logical OR Logical Exclusive-OR	A ← A and Memt A ← A or Memt A ← A xor Memt
IFEQ	If equal	Compare A and Memt, Do next if A = Memt
IFGT	If greater than	Compare A and Memt, Do next if A > Memt
IFBNE	If B not equal	Do next if lower 4 bits of B ≠ Memt
DRSZ	Decrement Reg, skip if zero	Reg ← Reg - 1, skip if Reg goes to 0
SBIT	Set bit	1 to bit, Mem (bit = 0 to 7 Immediate)
RBIT	Reset bit	0 to bit, Mem
IFBIT	If bit	N bit, Mem is true, do next instr.
X LD A LD mem LD Reg	Exchange A with memory Load A with memory Load Direct memory Immed. Load Register memory Immed.	A ↔ Mem A ← Memt Mem ← Memt Reg ← Memt
X X LD A LD A LD M	Exchange A with memory [B] Exchange A with memory [X] Load A with memory [B] Load A with memory [X] Load Memory Immediate	A ↔ [B] (B ← B ± 1) A ↔ [X] (X ← X ± 1) A ← [B] (B ← B ± 1) A ← [X] (X ← X ± 1) [B] ← Memt (B ← B ± 1)
CLRA INCA DECA LAD DCORR RRCA SWAPA BC PC IFC IFNC	Clear A Increment A Decrement A Load A Indirect from FROM DECIMAL CORRECT A ROTATE A RIGHT THRU C Swap nibbles of A Set C Reset C If C If not C	A ← 0 A ← A + 1 A ← A - 1 A ← ROM(PU,A) A ← BCD correction (follows ADC, SUBC) C → A7 → ... → A0 → C A7...A4 ↔ A3...A0 C ← 1, HC ← 1 C ← 0, HC ← 0 If C is true, do next instruction If C is not true, do next instruction
JMPL JMP JP JSPL JSR JSD JRET RETRK RETI INTR NOP	Jump absolute long Jump absolute Jump relative short Jump subroutine long Jump subroutine Jump indirect Return from subroutine Return and skip Return from interrupt Generate an interrupt No operation	PC ← # (0 = 15 bits, 0 to 32k) PC11,LO ← (# = 12 bits) PC ← PC + r (r = -31 to +32, not 1) [SP] ← PL, [SP-1] ← PU, SP-2, PC ← # [SP] ← PL, [SP-1] ← PU, SP-2, PC11..0 ← 1 PL ← ROM(PU,A) SP + 2, PL ← [SP], PU ← [SP-1] SP + 2, PL ← [SP], PU ← [SP-1], skip next instruction SP + 2, PL ← [SP], PU ← [SP-1], OIE ← 1 [SP] ← PL, [SP-1] ← PU, SP-2, PC ← OFF PC ← PC + 1

Bios 7-4

F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
JP-15	JP-31	LD OF0, #1	DRSZ OF0	RRCR	RC	ADC A, #1	ADC A, [B]	IFBIT 0, [B]	*	LD B, OF	IFBNE 0	JSR 0000-00FF	JMP 0000-00FF	JP + 17	INTR	0
JP-14	JP-30	LD OF1, #1	DRSZ OF1	*	SC	SUBCA, #1	SUBC A, [B]	IFBIT 1, [B]	*	LD B, OE	IFBNE 1	JSR 0100-01FF	JMP 0100-01FF	JP + 18	JP + 2	1
JP-13	JP-29	LD OF2, #1	DRSZ OF2	X A, [X+]	X A, [B+]	IFEQA, #1	IFEO A, [B]	IFBIT 2, [B]	*	LD B, OD	IFBNE 2	JSR 0200-02FF	JMP 0200-02FF	JP + 19	JP + 3	2
JP-12	JP-28	LD OF3, #1	DRSZ OF3	X A, [X-]	X A, [B-]	IFGTA, #1	IFGT A, [B]	IFBIT 3, [B]	*	LD B, OC	IFBNE 3	JSR 0300-03FF	JMP 0300-03FF	JP + 20	JP + 4	3
JP-11	JP-27	LD OF4, #1	DRSZ OF4	*	LAUD	ADD A, #1	ADD A, [B]	IFBIT 4, [B]	CLR A	LD B, OB	IFBNE 4	JSR 0400-04FF	JMP 0400-04FF	JP + 21	JP + 5	4
JP-10	JP-26	LD OF5, #1	DRSZ OF5	*	JD	AND A, #1	AND A, [B]	IFBIT 5, [B]	SWAPA	LD B, OA	IFBNE 5	JSR 0500-05FF	JMP 0500-05FF	JP + 22	JP + 6	5
JP-9	JP-25	LD OF6, #1	DRSZ OF6	X A, [X]	X A, [B]	XORA, #1	XOR A, [B]	IFBIT 6, [B]	DCORA	LD B, B	IFBNE 6	JSR 0600-06FF	JMP 0600-06FF	JP + 23	JP + 7	6
JP-8	JP-24	LD OF7, #1	DRSZ OF7	*	*	ORA, #1	OR A, [B]	IFBIT 7, [B]	*	LD B, 8	IFBNE 7	JSR 0700-07FF	JMP 0700-07FF	JP + 24	JP + 8	7
JP-7	JP-23	LD OF8, #1	DRSZ OF8	NOP	*	LD A, #1	IFC	SBIT 0, [B]	RBIT 0, [B]	LD B, 7	IFBNE 8	JSR 0800-08FF	JMP 0800-08FF	JP + 25	JP + 9	8
JP-6	JP-22	LD OF9, #1	DRSZ OF9	*	*	*	IFNC	SBIT 1, [B]	RBIT 1, [B]	LD B, 6	IFBNE 9	JSR 0900-09FF	JMP 0900-09FF	JP + 26	JP + 10	9
JP-5	JP-21	LD OFA, #1	DRSZ OFA	LD A, [X+]	LD A, [B+]	LD [B+], #1	INCA	SBIT 2, [B]	RBIT 2, [B]	LD B, 5	IFBNE 0A	JSR 0A00-0AFF	JMP 0A00-0AFF	JP + 27	JP + 11	A
JP-4	JP-20	LD OFB, #1	DRSZ OFB	LD A, [X-]	LD A, [B-]	LD [B-], #1	DECA	SBIT 3, [B]	RBIT 3, [B]	LD B, 4	IFBNE 0B	JSR 0B00-0BFF	JMP 0B00-0BFF	JP + 28	JP + 12	B
JP-3	JP-19	LD OFC, #1	DRSZ OFC	LD M4, #1	JMPL	X A, M4	*	SBIT 4, [B]	RBIT 4, [B]	LD B, 3	IFBNE 0C	JSR 0C00-0CFF	JMP 0C00-0CFF	JP + 29	JP + 13	C
JP-2	JP-18	LD OFD, #1	DRSZ OFD	DR	JSR	LD A, M4	RETSK	SBIT 5, [B]	RBIT 5, [B]	LD B, 2	IFBNE 0D	JSR 0D00-0DFF	JMP 0D00-0DFF	JP + 30	JP + 14	D
JP-1	JP-17	LD OFE, #1	DRSZ OFE	LD A, [X]	LD A, [B]	LD [B], #1	RET	SBIT 6, [B]	RBIT 6, [B]	LD B, 1	IFBNE 0E	JSR 0E00-0EFF	JMP 0E00-0EFF	JP + 31	JP + 15	E
JP-0	JP-16	LD OFF, #1	DRSZ OFF	*	*	*	RETI	SBIT 7, [B]	RBIT 7, [B]	LD B, 0	IFBNE 0F	JSR 0F00-0FFF	JMP 0F00-0FFF	JP + 32	JP + 16	F

COP8720C LIST

Bios 7-5

where, 1 is the instruction data

M4 is a globally addressed memory location

* is an unused register (see following table)

Instruction Execution Time

Most instructions are single byte (with immediate addressing mode instruction taking two bytes).

Most single instructions take one cycle time (1 μ s at 20 MHz) to execute.

See the BYTES and CYCLES per INSTRUCTION table for details.

Bytes and Cycles per Instruction

The following table shows the number of bytes and cycles for each instruction in the format of byte/cycle (a cycle is 1 μ s at 20 MHz).

	[B]	Direct	Immed.
ADD	1/1	3/4	2/2
ADC	1/1	3/4	2/2
SUBC	1/1	3/4	2/2
AND	1/1	3/4	2/2
OR	1/1	3/4	2/2
XOR	1/1	3/4	2/2
IFEQ	1/1	3/4	2/2
IFGT	1/1	3/4	2/2
IFBNE	1/1		
DNFSZ		1/3	
SBIT	1/1	3/4	
RBIT	1/1	3/4	
FBIT	1/1	3/4	

Memory Transfer Instructions

	Register Indirect		Direct	Immed.	Register Indirect Auto Incr & Decr		
	[B]	[X]			[B+, B-]	[X+, X-]	
XA*	1/1	1/3	2/3		1/2	1/3	
LD A*	1/1	1/3	2/3	2/2	1/2	1/3	
LD B,imm				1/1			(if B < 16)
LD D,imm				2/3			(if B > 16)
LD Mem,imm	2/2		3/3		2/2		
LD Reg,imm				2/3			

* -> Memory location addressed by B or X or direct.

Instructions Using A & C

CLRA	1/1
INCA	1/1
DECA	1/1
LAD	1/3
DCORA	1/1
RRCA	1/1
SWAPA	1/1
SC	1/1
RC	1/1
IFC	1/1
IFNC	1/1

Transfer of Control Instructions

JMPL	2/4
JMP	2/3
JP	1/3
JSRL	3/5
JSR	2/5
JD	1/3
RET	1/5
RETK	1/5
RETI	1/5
INTR	1/7
NOP	1/1

2

Bytes and Cycles per Instruction (Continued)

The following table shows the instructions assigned to unused opcodes. This table is for information only. The operations performed are subject to change without notice. Do not use these opcodes.

Unused Opcode	Instruction	Unused Opcode	Instruction
00	NOP	A8	NOP
01	NOP	AF	LD A, [B]
02	NOP	B1	C → HC
03	NOP	B4	NOP
07	NOP	B5	NOP
0C	RET	B7	X A, DQ
09	NOP	B8	NOP
0F	LD [B], #I	BF	LD A, DQ
A7	X A, [B]		
A8	NOP		

Development Support

MOLE DEVELOPMENT SYSTEM

The MOLE (Microcomputer On Line Emulator) is a low cost development system and emulator for all microcontroller

products. These include COPs, and the HPC family of products. The MOLE consists of a BRAIN Board, Personality Board and optional host software.

The purpose of the MOLE is to provide the user with a tool to write and assemble code, emulate code for the target microcontroller and assist in both software and hardware debugging of the system.

It is a self contained computer with its own firmware which provides for all system operation, emulation control, communication, PROM programming and diagnostic operations. To program the COP8720C, a special adapter board is provided. This adapter board contains a socket for the COP8720C and plugs directly into the MOLE prom programmer.

It contains three serial ports to optionally connect to a terminal, a host system, a printer or a modem, or to connect to other MOLEs in a multi-MOLE environment.

MOLE can be used in either a stand alone mode or in conjunction with a selected host system using PC-DOS communicating via a RS-232 port.

How to Order

To order a complete development package, select the section for the microcontroller to be developed and order the parts listed.

Development Tools Selection Table

Microcontroller	Order Part Number	Description	Includes	Manual Number
COP820/ COP840	MOLE-BRAIN	Brain Board	Brain Board Users Manual	420406188-001
	MOLE-COP8-PB1	Personality Board	COP820/840 Personality Board Users Manual	420410806-001
	MOLE-COP8-IBM	Assembler Software for IBM	COP800 Software Users Manual and Software Disk, PC-DOS Communications Software Users Manual	424410527-001 420040418-001
	420410703-001	Programmer's Manual		420410703-001

Development Support (Continued)

DIAL-A-HELPER

Dial-A-Helper is a service provided by the Microcontroller Applications group. The Dial-A-Helper is an Electronic Bulletin Board Information System and additionally, provides the capability of remotely accessing the MOLE development system at a customer site.

INFORMATION SYSTEM

The Dial-A-Helper system provides access to an automated information storage and retrieval system that may be accessed over standard dial-up telephone lines 24 hours a day. The system capabilities include a MESSAGE SECTION (electronic mail) for communications to and from the Microcontroller Applications Group and a FILE SECTION which consists of several file areas where valuable application software and utilities could be found. The minimum requirement for accessing the Dial-A-Helper is a Hayes Compatible modem.

If the user has a PC with a communications package then files from the FILE SECTION can be down loaded to disk for later use.

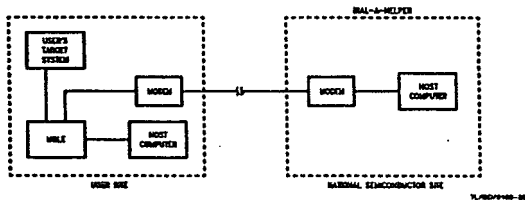
ORDER P/N: MOLE-DIAL-A-HLP

Information System Package Contains:
Dial-A-Helper User's Manual P/n
Public Domain Communications Software

FACTORY APPLICATIONS SUPPORT

Dial-A-Helper also provides immediate factory applications support. If a user is having difficulty in operating a MOLE, he can leave messages on our electronic bulletin board, which we will respond to, or under extraordinary circumstances he can arrange for us to actually take control of his system via modem for debugging purposes.

Voice: (408) 721-6582
Modem: (408) 729-1162
Baud: 300 or 1200 Baud
Setup: Length: 8-Bit
Parity: None
Stop Bit: 1
Operator: 24 Hours, 7 Days



Absolute Maximum Ratings (Note 2)

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
V _{CC}	15V
V _{DD}	-1V to +5.5V
Input Voltage	-65°C to +150°C
Storage Temperature Range	

Maximum Power Dissipation* at 25°C

Cavity Package	1500 mW
Molded Package	1476 mW

Lead Temperature (Soldering, 4 seconds) 260°C

*Derate cavity package 10.1 mW/°C above 25°C, derate molded package 11.8 mW/°C above 25°C.

Operating Conditions

	Min	Max	Units
Supply Voltage	4.75	5.25	V
V _{CC}	11.4	12.6	V
V _{DD}	0	+70	°C
Temperature (T _A)			

Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
I _C	Input Current Leakage	V _I = 0.45V			-0.25	mA
I _{IL}	Input Leakage Current	V _I = 5.25V			10	µA
V _{IC}	Input Forward Bias Voltage	I _C = -5 mA			-1.0	V
V _{IL}	Input "Low" Voltage	V _{CC} = 5V			0.8	V
V _{IH}	Input "High" Voltage	RESIN Input	2.0			V
		All Other Inputs	2.0			V
V _{EH} - V _{IL}	RESIN Input Hysteresis	V _{CC} = 5V	0.25			V
V _{OL}	Output "Low" Voltage (#1, #2), Ready, Reset STSTB Osc., #2 (TTL) Osc., #2 (TTL)	I _{OL} = 2.5 mA I _{OL} = 10 mA I _{OL} = 15 mA			0.45 0.45 0.45	V V V
V _{OH}	Output "High" Voltage #1, #2 Ready, Reset Osc., #2 (TTL), STSTB	I _{OH} = -100 µA I _{OH} = -100 µA I _{OH} = -1 mA	9.4 3.6 2.4			V V V
I _{SC}	Output Short-Circuit Current (All Low Voltage Outputs Only). (Note 1)	V _O = 0V, V _{CC} = 5V	-10		-60	mA
I _{CC}	Power Supply Current				115	mA
I _{DD}	Power Supply Current				12	mA

Note 1: Currents -#1 and #2 output drivers do not have short circuit protection.

Note 2: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides limitations for actual device operation.

Note 3: Unless otherwise specified, test results apply across the 0°C to +70°C range for the DP9224. All typical values are for T_A = 25°C, V_{CC} = 5V, and V_{DD} = 12V.

Crystal Requirements*

Tolerance	0.005% at 0°C to +70°C	Equivalent Resistance	75Ω to 20Ω
Resonance	Fundamental	Power Dissipation (Max)	4 mW
Load Capacitance	20 pF to 30 pF		

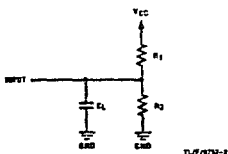
*It is good design practice to ground the case of the crystal.

**With open circuit, see 2nd invention notice.

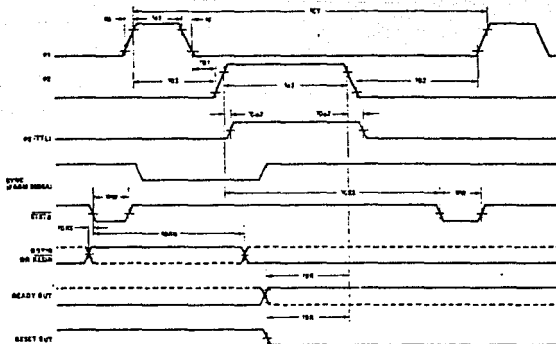
Switching Characteristics (Note 3)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{p1}	$\phi 1$ Pulse Width	$C_L = 20 \text{ pF to } 50 \text{ pF}$	$\frac{2V_{CC}}{9} - 20$			ns
t_{p2}	$\phi 2$ Pulse Width		$\frac{5V_{CC}}{9} - 35$			ns
t_{d1}	$\phi 1$ to $\phi 2$ Delay		0			ns
t_{d2}	$\phi 2$ to $\phi 1$ Delay		$\frac{2V_{CC}}{9} - 14$			ns
t_{d3}	$\phi 1$ to $\phi 2$ Delay		$\frac{2V_{CC}}{9}$		$\frac{2V_{CC}}{9} + 20$	ns
t_r	$\phi 1$ and $\phi 2$ Rise Time				20	ns
t_f	$\phi 1$ and $\phi 2$ Fall Time			20	ns	
$t_{o\phi 2}$	$\phi 2$ to $\phi 2$ (TTL) Delay	$\phi 2$ TTL, $C_L = 30 \text{ pF}$, $R_1 = 300 \Omega$, $R_2 = 600 \Omega$	-5		15	ns
t_{oss}	$\phi 2$ to STSTB Delay	STSTB, $C_L = 15 \text{ pF}$ $R_1 = 2 \text{ k}\Omega$, $R_2 = 4 \text{ k}\Omega$	$\frac{5V_{CC}}{9} - 30$		$\frac{5V_{CC}}{9}$	ns
t_{pw}	STSTB Pulse Width		$\frac{V_{CC}}{9} - 15$			ns
t_{osd}	RDYIN Set-Up Time to Status Strobe		$50 - \frac{4V_{CC}}{9}$			ns
t_{ohd}	RDYIN Hold Time After STSTB		$\frac{4V_{CC}}{9}$			ns
t_{on}	READY or RESET to $\phi 2$ Delay	Ready and Reset, $C_L = 10 \text{ pF}$, $R_1 = 2 \text{ k}\Omega$, $R_2 = 4 \text{ k}\Omega$	$\frac{4V_{CC}}{9} - 25$			ns
t_{CLK}	CLK Period			$\frac{V_{CC}}{9}$		ns
f_{MAX}	Maximum Oscillating Frequency		27			MHz
C_{in}	Input Capacitance	$V_{CC} = 5V$, $V_{DD} = 12V$, $V_{bias} = 2.5V$, $f = 1 \text{ MHz}$			8	pF

Test Circuit



Waveforms



Voltage Measurement Points: a1, a2 Logic "0" = 1.5V, Logic "1" = 5.0V. All other signals measured at 1.5V.

TL P.8752-3

Switching Characteristics (For $t_{CY} = 428.25$ ns)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{P1}	a1 Pulse Width		89			ns
t_{P2}	a2 Pulse Width		238			ns
t_{D1}	Delay a1 to a2		0			ns
t_{D2}	Delay a2 to a1		95			ns
t_{D2T}	Delay a1 to a2 Leading Edges		109		129	ns
t_r	Output Rise Time	a1 and a2 Loaded to $C_L = 70$ to 50 pF Ready and Reset Loaded to 2 mA/10 pF			20	ns
t_f	Output Fall Time	All Max. elements Referenced to 1.5V unless Specified Otherwise			20	ns
t_{D2S}	a2 to STSB Delay		296		326	ns
t_{D2T}	a2 to a2 (TTL) Delay		-5		15	ns
t_{RST}	Status Strobe Pulse Width		40			ns
t_{RSTH}	RDYIN Set-Up Time to STSB		-167			ns
t_{RSTH}	RDYIN Hold Time after STSB		217			ns
t_{RST}	READY or RESET to a2 Delay		192			ns
f_{MAX}	Oscillator Frequency				18 432	MHz



Functional Pin Definitions

The following describes the function of each of the DP8224 input/output pins. Some of these descriptions reference internal circuits.

INPUT SIGNALS

Crystal Connections (XTAL 1 and XTAL 2): Two inputs that connect an external crystal to the oscillator circuit of the DP8224. Normally, a fundamental mode crystal is used to determine the basic operating frequency of the oscillator. However, overtone mode crystals may also be used. The crystal frequency is 9 times the desired microprocessor speed (that is, crystal frequency equals $9(\text{CPU} \times 8)$). When the crystal frequency is above 10 MHz, a selected capacitor (3 to 10 pF) may have to be connected in series with the crystal to produce the exact desired frequency. *Figure A.*

Tank: Allows the use of overtone mode crystals with the oscillator circuit. When an overtone mode crystal is used, the tank input connects to a parallel LC network that is connected to ground. The formula for determining the resonant frequency of the LC network is as follows:

$$F = \frac{1}{2\pi\sqrt{LC}}$$

Synchronizing (SYNC) Signal: When high indicates the beginning of a new machine cycle. The 8080A microprocessor outputs a status word (which denotes the current machine cycle) onto its data bus during the first state (SYNC interval) of each machine cycle.

Reset In (RESIN): Provides an automatic system reset and start-up upon application of power as follows. The RESIN input, which is obtained from the junction of an external RC network that is connected between V_{CC} and ground, is routed to an internal Schmitt Trigger circuit. This circuit converts the slow transition of the power supply rise into a sharp clean edge when its output reaches a programmed value. When this occurs, an internal D-type flip-flop is synchronously reset, thereby providing the RESET output signal as detailed below.

For manual system reset, a momentary contact switch that provides a low (ground) when closed is also connected to the RESIN input.

Ready In (RDYIN): An asynchronous READY signal that is received by a D-type flip-flop of the DP8224 to provide the synchronous READY output discussed below.

- 8 Volts: V_{CC} supply
 + 12 Volts: V_{DD} supply
 Ground: 0 volt reference.

OUTPUT SIGNALS

Oscillator (OSC): A buffered oscillator signal that can be used for external timing purposes.

ϕ_1 and ϕ_2 Clocks: Two non-TTL compatible clock phases that provide nonoverlapping timing references for internal storage elements and logic circuits of the 8080A microprocessor. The two clock phases are produced by an internal clock generator that consists of a divide-by-nine counter and a 4 associated decade gating logic. *Figure B.*

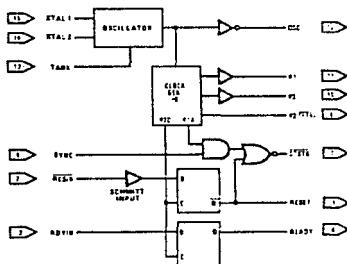
ϕ_3 (TTL) Clock: A TTL ϕ_3 clock phase that can be used for external timing purposes.

Status Strobe (STSTB): Activated (low) at the start of each new machine cycle. The STSTB signal is generated by gating a high-level SYNC input with the ϕ_1 timing signal from the internal clock generator of the DP8224. The STSTB signal is used to clock status information into the status latch of the DP8228 system controller and bus driver.

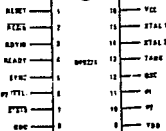
Reset: When the RESET signal is activated, the content of the program counter of the 8080A is cleared. After RESET, the program will start at location 0 in memory.

Ready: The READY signal indicates to the 8080A that valid memory or input data is available. This signal is used to synchronize the 8080A with slower memory or input/output devices.

Logic and Connection Diagrams



Dual-In-Line Package



Top View

Order Number DP8224J or DP8224N
 See NS Package Number
 J16A or N16A

Applications information

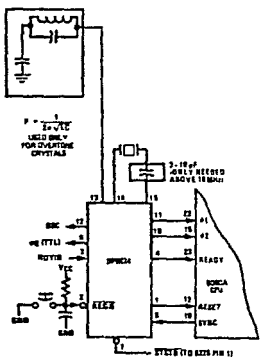
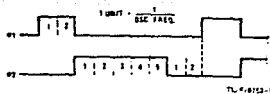


FIGURE A. DP8224 Connection Diagram
 TLV7874-4



EXAMPLE: 1000 kHz = 100 ns
 OSC = 10 MHz/10 ns
 A₁ = 110 ns (2 = 55 ns)
 A₂ = 275 ns (5 = 55 ns)
 A₂ - A₁ = 110 ns (2 = 55 ns)

FIGURE B. DP8224 Clock Generator Waveforms

APENDICE C

COSTO DE LA ETAPA DE SENSADO Y ACONDICIONAMIENTO DE PULSO

ELEMENTO	COSTO EN DOLARES
TIL-139	0.42
LM324	0.50
74121	1.02
8402	0.70
11 Resistencias	1.10
2 Potencioetros	0.40
7 Capacitores	0.84
TOTAL	4.98

COSTO DE LA ETAPA DE SENSADO Y ACONDICIONAMIENTO DE TEMPERATURA

ELEMENTO	COSTO EN DOLARES
LM308	0.50
LM336	0.38
LM335	0.36
6 Resistencias	0.60
2 Potencioetros	0.40
3 Capacitores	0.36
TOTAL	2.60

COSTO DE LA ETAPA DE SENSADO Y ACONDICIONAMIENTO DE RESPIRACION

ELEMENTO	COSTO EN DOLARES
LTH-301A	0.43
Tubo acrílico	0.13
Sostén de aluminio	1.20
LM555	0.43
2 Capacitores	0.24
5 Resistencias	0.50
Pelota de unicel (5mm ϕ)	0.10
TOTAL	3.03

COSTO DE LA ETAPA DE SENSADO Y ACONDICIONAMIENTO DE PRESION

ELEMENTO	COSTO EN DOLARES
MPX50D	7.20
LH324	0.50
16 Resistencias	1.40
2 Potenciometros	0.40
TOTAL	9.50

COSTOS DE LA ETAPA DE CONTROL Y PROCESAMIENTO

ELEMENTO	COSTO EN DOLARES
COP8720C	25.00
DP8224	3.26
XTAL	3.40
8251A	2.65
8279	3.40
7 DISPLAYS	7.00
TECLADO	3.00
ADC0808	11.90
LH317	0.95
MICROINTERRUPTORES	1.74
2 74LS156	1.62
2 74121	2.04
74LS373	1.36
4 7404	3.20
2 7474	1.80
7432	0.80
7486	0.95
10 Resistencias	1.00
3 Capacitores	0.66
TOTAL	75.73

BIBLIOGRAFIA

Alloca, Jhon A.

Electronic instrumentation.

Reston Virginia, USA, Reston, 1983.

American National Standard.

IEEE recommended practice for electric systems in health care facilities.

New York, American National Standard IEEE, 1986. 424p. ilus.

Barry B. Goldberg, et. al.

Diagnostics uses of ultrasound

New York, Grune and Stratton, 1975. 468p. ilus.

Boylestad, Robert y Louis Nashelsky.

Electrónica, teoría de circuitos.

México, Prentice-Hall, 1983. p. ilus.

Geddes, Leslie Alexander and L.E. Bakker.

Principles of applied biomedical instrumentation.

New York, Wiley, 1968. 479p. ilus.

Geddes, L.E. Baker.

Principles of applied biomedical instrumentation. A
Wiley-interscience publication.

2 ed. New York, J. Wiley, 1975. II t. 1. Electrónica media.
2. Fisiología. ilus.

King, Donald L.

Diagnostic ultrasound.

Saint Louis, C.V. Mosby, 1974. 311p. ilus.

Millman, Jacob.

Microelectronics: digital and analog circuits and systems.

Hong Kong, Mc Graw Hill, 1984.

R. Neuman, et. al.

Physical sensors for biomedical applications.

Boca Raton, Fla. USA, Editors Michael, 1980. 160p.

Richard A. Normann.

Principles of bioinstrumentation.

Utah USA, John Wiley and Sons, 1988, 562p.

Richard S.C. Cobbold.

Transducers for biomedical measurements: principles and applications.

Washington, John Wiley and Sons, 1974. 484p.

Strong, Peter.

Biophysical measurements.

Beavertron USA, Textronix, 1970. 499p. ilus.

Thomas, Harry Elliot.

Handbook of biomedical instrumentation and measurement.

Reston Virginia, USA., Reston, 1974. 550p.

Tobey, Genev E., Jerald G. Graeme, Lawrence P. Huelsman.

Amplificadores operacionales, diseño y aplicación.

México, Diana, 1985. p. ilus.

Winsberg, Fred.

Clinical ultrasound review.

New York, Wiley, 1981. 2v. ilus.

Yanof, Howard H.

Biomedical electronics.

Philadelphia, F.A. Davis, 1965. 361p. illus.