

31
2ej.



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

**DISEÑO E IMPLEMENTACION DE UNA
TARJETA DE PUERTO PARALELO
COMPATIBLE CON EQUIPOS
IBM PC XT Y AT.**

T E S I S
QUE PARA OBTENER EL TITULO DE:
INGENIERO EN COMPUTACION
P R E S E N T A :
MANUEL ECHEVERRIA GARCIDUEÑAS

Director de Tesis: Ing. Rodolfo Heredia Vázquez

MEXICO, D. F.

1992

**TESIS CON
FALLA DE ORIGEN**



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

Indice.

P A R T E 1 INTRODUCCION

CAPITULO I INTRODUCCION

I.1 Organización de la tesis.....	2
I.2 Estructuración de los capítulos.....	2
I.3 Consideraciones generales.....	4

P A R T E 2 FUNDAMENTOS TEORICOS

CAPITULO II FUNDAMENTOS DE MICROCOMPUTADORAS.

II.1 Arquitectura básica de una microcomputadora IBM PC.....	6
II.2 Características generales de los microprocesadores de Intel para Computadoras Personales (PC's).....	11
II.2.1 Microprocesadores 8088 y 8086.....	13
II.2.2 Microprocesador 80286.....	21
II.3 Subsistemas de soporte a la arquitectura de la microcomputadora.....	28
II.3.1 Controlador Programable de Interrupciones.....	29
II.3.2 Controlador de Acceso Directo a Memoria.....	32
II.3.3 Sistema Temporizador.....	34
II.3.4 Sistema de Video.....	36
II.4 Sistema de Bus.....	41
II.4.1 Bus de Direcciones.....	42
II.4.2 Bus de Datos.....	43
II.5 Sistema de Memoria.....	44
II.5.1 Memoria ROM.....	46
II.5.2 Memoria RAM.....	46
II.5.3 Organización Lógica de la Memoria.....	47
II.5.3.1 Memoria Base.....	51
II.5.3.2 Memoria Extendida.....	51
II.5.3.3 Memoria Expandida.....	52
II.6 Bibliografía.....	54

CAPITULO III FUNDAMENTOS DEL PUERTO PARALELO.

III.1 Definición de Puerto.....	56
III.2 Tipos de Puertos.....	56
III.3 Interacción entre la Unidad Central de Procesamiento (UCP ó CPU), el Puerto de E/S y los subsistemas de la microcomputadora.....	57
III.4 Señales que intervienen en el funcionamiento del Puerto Paralelo.....	58
III.4.1 Descripción de las señales del protocolo de acceso del Puerto Paralelo.....	61
III.4.2 Descripción de las señales de control del Puerto Paralelo.....	62
III.5 Funcionamiento de los Bloques Puerto Paralelo.....	66
III.6 Bibliografía.....	72

Indice.

P A R T E 3 DISEÑO

CAPITULO IV DISEÑO.

IV.1 Elementos de diseño.....	74
IV.1.1 Bus de Expansión.....	74
IV.1.2 Señales del Bus de Expansión utilizadas por el Puerto Paralelo.....	82
IV.1.3 Diseño de las Tarjetas Expansoras del Bus de Expansión.....	84
IV.2 Diseño del Puerto Paralelo.....	89
IV.2.1 Descripción de los circuitos integrados del Bloque Decodificador de Control y del Bloque de Transferencia de Datos del Puerto Paralelo.....	90
IV.2.2 Descripción del Bloque Decodificador de Control.....	95
IV.2.3 Funcionamiento del Bloque Decodificador de Control.....	101
IV.2.4 Descripción de los circuitos integrados de los Bloques del Puerto Paralelo.....	104
IV.2.5 Descripción de los Bloques del Puerto Paralelo.....	112
IV.2.6 Funcionamiento del Puerto Paralelo.....	119
IV.2.6.1 Circuitos de Control y de Transferencia de las Líneas de Datos.....	120
IV.2.6.2 Operación OUT generada por la señal PRINT DATA WRITE (-PDW).....	123
IV.2.6.3 Operación IN generada por la señal PRINT DATA READ (-PDR).....	126
IV.2.6.4 Operación OUT generada por la señal PRINT CONTROL WRITE (-PCW).....	128
IV.2.6.5 Operación IN generada por la señal PRINT CONTROL READ (-PCR).....	130
IV.2.6.6 Operación IN generada por la señal PRINT STATUS (-PS).....	131
IV.3 Diseño de la Tarjeta de Puerto Paralelo.....	133
IV.4 Bibliografía.....	138

P A R T E 4 PRUEBAS Y COSTOS

CAPITULO V PRUEBAS Y COSTOS DEL PROYECTO.

V.1 Pruebas.....	140
V.1.1 Programa de prueba del Puerto Paralelo.....	140
V.1.2 Pruebas de operación bajo el sistema operativo MS-DOS.....	146
V.2 Costos.....	150
V.2.1 Descripción del modelo de producción.....	151
V.2.2 Costo de producción.....	160
V.2.3 Costo de distribución (gastos de venta).....	189
V.2.4 Costo de administración.....	189
V.2.5 Costo total.....	191
V.2.5 Analisis de costos.....	195
V.3 Bibliografía.....	201

Indice.

P A R T E 5 CONCLUSIONES

CAPITULO VI CONCLUSIONES

VI.1 Conclusiones.....203

A P E N D I C E S

A. Diagramas completos del circuito del Puerto Paralelo.....207
B. Manual de instalación210
C. Manual de mantenimiento.....215

CAPITULO I

INTRODUCCION

I.1 ORGANIZACION DE LA TESIS.

El presente trabajo de tesis ha sido dividido en cinco partes.

La **primera parte**, compuesta por el presente capítulo, describe la organización y estructura de este trabajo escrito.

La **segunda parte**, compuesta por los capítulos II y III, expone los fundamentos teóricos necesarios para el diseño y desarrollo del circuito de la tarjeta de puerto paralelo.

La **tercera parte**, formada por el capítulo IV, trata del diseño del circuito de la tarjeta de puerto paralelo.

La **cuarta parte**, formada por el capítulo V, detalla las pruebas de operación y los costos totales generados por el puerto paralelo.

Finalmente en la **quinta parte**, formada por el capítulo VI, se exponen las conclusiones obtenidas a lo largo de este trabajo de tesis.

Al final se incluyen tres apéndices, en el apéndice A se muestran los diagramas lógicos completos del circuito, implementado, en el apéndice B se anexa el manual de instalación y, finalmente, el apéndice C contiene el manual de mantenimiento de la tarjeta de puerto paralelo.

I.2 ESTRUCTURACION DE LOS CAPITULOS.

En esta sección se hace una breve descripción del contenido de los capítulos, del II al VI, de este trabajo.

En el capítulo II se exponen los fundamentos teóricos de una microcomputadora, haciendo una descripción de los

elementos básicos empleados en la arquitectura de una microcomputadora IBM PC.

Se describen los aspectos generales de los microprocesadores 8088, 8086 y 80286, utilizados en las microcomputadoras IBM PC XT y AT. Se detallan además los subsistemas de soporte principales de la arquitectura de la microcomputadora, como el controlador programable de interrupciones, el sistema de video, el sistema temporizador, etc. También son descritos el sistema de bus, el sistema de memoria y su organización lógica.

En el capítulo III se exponen los fundamentos teóricos del puerto paralelo, describiéndose las señales que intervienen en su funcionamiento, así como los bloques que lo componen.

El capítulo IV se divide en dos partes. En la primera se expone la teoría del bus de expansión como medio de conexión y comunicación entre el microprocesador y los subsistemas de la microcomputadora, incluido el puerto paralelo. También se describe el diseño e implementación de un juego de tarjetas de expansión utilizadas para accesar las señales del bus de expansión de la microcomputadora en la etapa experimental de diseño.

En la segunda parte se detalla el diseño del puerto paralelo, describiéndose los circuitos que conforman cada uno de sus bloques así como su funcionamiento.

En el capítulo V se detallan, en primer lugar, las pruebas a las que fue sometido el circuito de la tarjeta de puerto paralelo, entre las cuales se diseñó un programa de verificación escrito en lenguaje BASIC. También se describen las pruebas de operación bajo el ambiente del sistema operativo MS-DOS.

En segundo lugar se describe el diseño del modelo de producción propuesto para la fabricación en serie de los

puertos paralelos, así como los costos que intervienen en la cristalización de este proyecto de tesis.

En el capítulo VI se consignan las conclusiones finales de este trabajo de tesis.

Se incluye al final de cada capítulo una sección bibliográfica.

I.3 CONSIDERACIONES GENERALES.

A lo largo de los capítulos II, III, IV y V, se hace referencia a nombres de señales anteceditos por un signo negativo (-), como por ejemplo -IOR, -IOW, -INIT, etc., lo cual indica que estas señales se activan con niveles bajos. La notación estándar de los nombres de éstas señales es mediante una testa, como se muestra a continuación:

IOR IOW INIT

Sin embargo, por limitaciones de espacio utilizamos la convención del signo negativo.

En donde fue posible se empleó la notación con testa.

Algunas veces se hace referencia a señales anteceditas por la letra **x**, de señales como -IOR, -IOW, etc. en este caso -XIOR, -XIOW. Para efectos de análisis y comprensión deben de tomarse como iguales, ya que lo único que se quiere indicar es que dichas señales han pasado por algún circuito buffer, sin cambiar su naturaleza lógica ni su concepto.

CAPITULO II

FUNDAMENTOS DE MICROCOMPUTADORAS

II.1 ARQUITECTURA BASICA DE UNA MICROCOMPUTADORA IBM PC.

Actualmente se han desarrollado muchos diseños alrededor de la microcomputadora IBM PC por compañías en el ramo de la electrónica y computación como Hewlett Packard, Unisys, NEC, etc. A pesar de la diversidad de diseños y tecnologías empleadas, se ha tratado de mantener un estándar en la organización de los subsistemas y unidades de la microcomputadora IBM PC.

Las unidades fundamentales de una microcomputadora son :

I Unidad de Procesamiento: Esta unidad está compuesta por un microprocesador de la familia de Intel, el cual, según el modelo de computadora varía, como se muestra en la Tabla II.1.

La unidad de procesamiento se encarga de ejecutar los programas almacenados en la unidad de memoria mediante una serie de operaciones, las cuales están comprendidas en el ciclo de ejecución de instrucciones. A este ciclo se le conoce como Fetch-Defer-Execute (Obtención-Decodificación-Ejecución de la instrucción) el cual se detalla a continuación.

Tabla II.1 Microprocesadores usados en Pc's IBM y PS/2's.

TIPO	MODELO	MICROPROCESADOR
PC	-	8088
PC/XT	-	8088
PC/AT	-	80286
PS/2	25,30	8086
PS/2	50,60	80286
PS/2	80	80386

a) **Subciclo Fetch:** Este subciclo obtiene la instrucción a ejecutar, referenciada por el registro PC (Program Counter) en la unidad de memoria, y la almacena temporalmente en

alguno de los registros internos de la cola de instrucciones de la unidad central de procesamiento.

Hecha esta operación, la dirección almacenada en el registro PC es actualizada, apuntando a la siguiente instrucción.

b) Subciclo Defer: Se encarga de decodificar la instrucción obtenida en el subciclo anterior, dentro de todo el set de instrucciones que la microcomputadora puede ejecutar.

c) Subciclo Execute: La instrucción decodificada es ejecutada mediante la realización de una serie de operaciones, las cuales se encargan de la activación de las señales de control requeridas para la ejecución de dicha instrucción. Según sea el tipo de instrucción, aritmética o lógica, son afectados ciertos atributos predefinidos, los cuales constituyen en su conjunto un status de control.

Este status sirve, entre otras cosas, para detectar errores al momento de ejecución, como por ejemplo una división entre cero o un rebosamiento (overflow) en alguna operación aritmética. Este status se encuentra almacenado en un registro especial del microprocesador. Dicho registro denominado **Registro de Status**, varía en longitud dependiendo del tipo de microprocesador. En el caso de los microprocesadores 8088 y 8086 el registro de status es de 16 bits y presenta el siguiente formato:

REGISTRO DE STATUS.

No. de Bit.

15 ... 12 11 10 09 08 07 06 05 04 03 02 01 00

-	-	-	-	O	D	I	T	S	Z	-	A	-	P	-	C
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

Número de bit	Descripción del atributo
0	Bit de Acarreo (Carry).
1,3,5	Son bits reservados.
2	Bit de Paridad.
4	Bit de Acarreo Auxiliar.
6	Bit de Cero (Zero).
7	Bit de Signo.
8	Bit de Rastreo (Trap).
9	Bit de Activar/Desactivar Interrupciones.
10	Bit de Sentido (Dirección) de las operaciones sobre strings.
11	Bit de Rebosamiento (Overflow).
15,14,13 y 12	Son bits reservados

Los atributos de los bits de Acarreo, Acarreo Auxiliar, Rebosamiento y Signo son estándares en cualquier arquitectura de microprocesadores de la familia de Intel.

En una operación de substracción, realizada con aritmética de complemento a dos, el estado del bit de Acarreo es invertido, ya que si al efectuar esta operación se presenta un acarreo en el bit de mayor orden, entonces el bit de Acarreo se habilita en '0'. En caso contrario se habilita en '1'.

Para la operación de adición el funcionamiento del bit de Acarreo es opuesto al descrito en la operación substracción.

El bit de Paridad sirve para verificar que la información que se transmite o recibe, de un subsistema a otro sea correcta, es decir, sin modificaciones por ruido.

El bit de Paridad es '1' cuando el número de bits en estado '1' de la información es par, si el número es impar entonces el bit de Paridad será '0'.

El bit de Cero (Zero) es completamente estándar. Se habilita en '1' cuando el resultado de alguna operación sobre datos es cero, en caso contrario se habilita en '0'.

El bit de Sentido o Dirección determina el sentido en el que se harán las operaciones, por ejemplo lectura y escritura, sobre los strings, esto es, si se autoincrementan

o autodecrementan los contenidos de los registros de índice para el manejo de strings. Si el bit de Dirección es '1', entonces los registros internos SI(Source Index) y DI(Destination Index) del microprocesador decrementarán sus contenidos en una unidad, pero si el bit es '0' el contenido de los registros se incrementarán en una unidad.

El bit de Activación/Desactivación de interrupciones debe habilitarse en '1' para disponer del mecanismo de interrupciones, el cual es utilizado por la microcomputadora para que el microprocesador atienda a todos los subsistemas y dispositivos. Si el estado de este bit es '0', entonces ninguna interrupción, excepto la NMI (Interrupción No EnMascarable), podrá interrumpir al microprocesador.

El bit de Rastreo (Trap) es una adición especial para la ejecución de un programa instrucción por instrucción (Debugging). Cuando el bit de Rastreo es '1' se habilita al microprocesador en el modo "solo-un-paso".

II Unidad de Memoria: Esta unidad está compuesta por dos tipos de memoria, conocidas genéricamente como memoria de Solo-Lectura o ROM y memoria de Acceso-Aleatorio o RAM.

Estos nombres se deben al nombre del dispositivo físico que las conforma, en el caso de la memoria ROM, los dispositivos físicos pueden ser PROM (Programmable-Read-Only-Memory), EPROM (Eraseble-Programmable-Read-Only-Memory), o EAPROM (Electrically-Alterable-Programmable-Read-Only-Memory).

En la memoria ROM se encuentran almacenados los programas y rutinas fijas en lenguaje ensamblador que constituyen el Sistema Básico de Entrada/Salida o BIOS (Basic Input/Output System). Este sistema es el que permite el acceso a todos los dispositivos de hardware de la microcomputadora. Sin estas rutinas, el acceso a cada uno de los subsistemas de la microcomputadora sería engorroso, ya que se tendría que programar en lenguaje ensamblador dichas rutinas. Cada fabricante de microcomputadoras diseña e implementa la

programación del BIOS y la hace accesible en la memoria ROM de la microcomputadora.

La memoria RAM o memoria de acceso aleatorio tiene como característica que es una memoria volátil, esto es, que necesita ser energizada constantemente durante su utilización.

Esta memoria juega un papel muy importante dentro de la microcomputadora, ya que es el lugar en donde se almacenan los programas del usuario para ser ejecutados. En esta memoria también se almacenan parte de las rutinas y archivos del sistema operativo, como lo son el IBMBIO.COM, IBMDOS.COM y COMMAND.COM, que intervienen en el control y administración los recursos de la máquina.

III Unidad de Entrada/Salida: Esta unidad está compuesta por una serie de controladores de entrada/salida que sirven para acceder y controlar a todos los subsistemas de la microcomputadora.

Las microcomputadoras IBM PC poseen en su arquitectura numerosas unidades de control (controladores) de Entrada/Salida, las cuales están compuestas por una circuitería especializada que sirve como interfase entre la Unidad Central de Procesamiento (UCP) y todas las partes de la microcomputadora. Como ejemplo se puede mencionar el controlador del teclado, en cuyo caso, se tiene un circuito integrado de control que transforma las señales eléctricas sensadas de la matriz, o arreglo de teclas, a un código de 8 bits para la representación de cada una de las teclas. En el caso de las unidades de disco se tiene también un controlador exclusivo de Entrada/Salida para que se ejecuten, a través de ellas, las operaciones de Lectura y Escritura sobre disco.

Las comunicaciones seriales y en paralelo se hacen a través de dos controladores de Entrada/Salida denominados Puerto Serial y Puerto Paralelo, respectivamente.

Nuestro trabajo de tesis se centra precisamente en el Puerto Paralelo, cuya teoría se desarrolla en el siguiente capítulo.

Para el manejo del sistema de video, de la familia de computadoras IBM PC XT y AT, se dispone de un controlador de video, cuyo hardware y organización están en función del estándar gráfico que se empleó en el monitor.

La Unidad de Entrada/Salida es, en resumen, la unidad que comunica todas las partes de la microcomputadora, mediante la generación y distribución de todas las señales de control requeridas por cada subsistema, con el microprocesador.

Las tres unidades antes descritas son muy generales, ya que dentro de cada una de ellas se tienen sistemas completos que constituyen, en sí, otras unidades.

Para visualizar mejor en su conjunto los elementos más representativos de la arquitectura de una microcomputadora IBM PC, es necesario tratarlos a cada uno por separado, lo cual se hace en los siguientes subtemas de este capítulo.

II.2 CARACTERISTICAS GENERALES DE LOS MICROPROCESADORES DE INTEL PARA COMPUTADORAS PERSONALES.

Como se detalló en el subtema anterior, la Unidad de Procesamiento es la encargada de controlar a todos los subsistemas de la microcomputadora para la ejecución de programas. El núcleo de la Unidad de Procesamiento es un circuito integrado llamado microprocesador.

En el caso de la computadora personal IBM PC XT, se tiene el microprocesador 8088, y para la IBM PC AT el 80286, ambos de Intel como se muestra en la Tabla II.1.

El microprocesador 8088 nació del diseño del 8086, el cual es un microprocesador de 16 bits, mientras que el 8088 es de 8 bits en cuanto al bus de datos. Sin embargo, tanto los registros internos del 8088 como los del 8086 son de 16 bits, permitiendo con esto manejar el mismo set de instrucciones.

Una de las características más significativas del 8088 es su organización de memoria ofrece la posibilidad de direccionar hasta 1 megabyte de memoria.

Además divide la memoria en 4 segmentos, cuyas direcciones base se encuentran almacenadas en 4 registros conocidos como:

CS : Code Segment (Segmento de Código)
DS : Data Segment (Segmento de Datos)
ES : Extra Segment (Segmento Extra)
SS : Stack Segment (Segmento de Pila)

El registro CS es un apuntador al inicio del segmento en donde se almacena el código de los programas a ejecutar.

El registro DS apunta al inicio del segmento en donde se almacenan los datos que son requeridos por los programas.

El registro ES apunta al inicio del segmento Extra que puede usarse como una extensión del área de datos.

El registro SS se utiliza para direccionar localidades de memoria en donde se almacena la información relativa a direcciones de programa anteriores a la ocurrencia de una operación de pila, como lo son las operaciones Push, Pop, o a una llamada o retorno a una subrutina mediante las instrucciones Call y Return.

El microprocesador 80286 es posterior al 8088 y posee un set de instrucciones más extenso, con el cual la ejecución de programas es más rápida. La cantidad de memoria direccionable por el 80286 es mayor que la del 8088, ya que

éste posee 4 líneas adicionales, con lo cual se disponen de 24 líneas para direccionar hasta 16.3 megabytes.

Una de las características importantes de este microprocesador es que fue diseñado para soportar procesamiento Multitarea (Multitasking).

Multitarea es el término que se le da al hecho de que más de un proceso sea atendido casi al mismo tiempo por la Unidad Central de Procesamiento. Por ejemplo, se puede estar imprimiendo un archivo y calculando, casi simultáneamente, una operación aritmética. Esto se logra mediante un switcheo instantáneo entre la UCP y el proceso a atender.

El microprocesador 80286 tiene dos modos de operación llamados modo real y modo protegido. Cuando el modo de operación es el modo real, el 80286 trabaja exactamente como un microprocesador 8086, direccionando solo hasta 1 megabyte de memoria.

En el modo protegido, el 80286 reserva áreas exclusivas de memoria para cada programa ejecutable, con el fin de eliminar el riesgo de que un programa se almacene en un área ya ocupada por otro.

II.2.1 MICROPROCESADORES 8088 Y 8086.

La compañía de microprocesadores Intel lanzó al mercado en 1978 su microprocesador 8086, el cual fue el sucesor del microprocesador 8080. El 8086 revolucionó la arquitectura de microprocesadores de 16 bits, ya que cuando apareció, la mayoría de las arquitecturas desarrolladas eran de 8 bits.

Por esta razón, las microcomputadoras de ese tiempo estaban orientadas hacia los microprocesadores de 8 bits, como el Z-80, y dado que la aparición del 8086 fue bastante prematura, la compañía Intel tuvo que rediseñar un nuevo

microprocesador de 8 bits, creando así el microprocesador 8088 en 1979.

El microprocesador 8088 heredó todas las características de su antecesor, el 8086, excepto las 8 líneas adicionales del bus de datos. Cabe mencionar que la distribución de las salidas de las señales en el 8088 es distinta, aunque ambos microprocesadores manejen las mismas.

En la figura 2.1 se muestra la distribución física de las señales del microprocesador 8086.

La descripción de las señales del microprocesador 8086 es la siguiente :

Nombre de las señales: A0 - A15.

Descripción: Las líneas de estas señales tienen una doble función ya que a través de ellas se manejan direcciones y datos. De A0 a A15 se maneja parte del bus de direcciones.

De D0 a D15 se maneja el bus de datos.

Tipo de Líneas: Bidireccionales y Tri-estado.

Nombre de las señales: A16/S3 y A17/S4.

Descripción: Las señales A16 y A17 son las líneas 16 y 17 del bus de direcciones. Las señales S3 y S4 se utilizan para identificar los segmentos de código, datos, pila y extra.

Tipo de Líneas: Salidas Tri-estado.

Nombre de la señal: A18/S5.

Descripción: La señal A18 es la línea 18 del bus de direcciones. La señal S5 es la bandera que detecta si hay habilitación de interrupción.

Tipo de Línea: Salida Tri-Estado.

Nombre de la señal: A19/S6.

Descripción: La señal A19 es la línea 19 del bus de direcciones. La señal S6 es una señal de status que interviene en el control del uso del sistema del bus.

Tipo de Línea: Salida Tri-Estado.

Nombre de la señal: BHE/S7.

Descripción: La señal BHE se utiliza cuando se desea hacer una transferencia de información en la parte alta del bus de datos (D8 - D15). La señal S7 es una señal de status para seleccionar, junto con la señal A0, bancos de memoria.

Tipo de Línea: Salida Tri-estado.

Nombre de la señal: RD.

Descripción: Es la señal de control de la operación de Lectura (Read Control).

Tipo de Línea: Salida tri-estado.

Nombre de la señal: **READY.**

Descripción: Es la señal de requerimiento de un estado de espera.

Tipo de Línea: Entrada.

Nombre de la señal: **TEST.**

Descripción: Esta señal genera un estado de espera para la prueba de Control.

Tipo de Línea: Entrada.

Nombre de la señal: **INTR.**

Descripción: Señal para requerimiento de interrupción al microprocesador.

Tipo de Línea: Entrada.

Nombre de la señal: **NMI.**

Descripción: Señal para requerimiento de Interrupción No enMascarable al microprocesador.

Tipo de Línea: Entrada.

Nombre de la señal: **RESET.**

Descripción: Señal para efectuar la reinicialización o restauración del sistema.

Tipo de Línea: Entrada.

Nombre de la señal: **CLK.**

Descripción: Señal de Reloj del sistema (Sincronización).

Tipo de Línea: Entrada.

Señales de Control en Configuración Máxima del 8086.

Nombre de la señal: **MN/MX.**

Descripción: Cuando la línea MX es referenciada a Tierra se habilita al microprocesador a operar en modo máximo.

Nombre de las señales: $\overline{S0}$, $\overline{S1}$ y $\overline{S2}$.

Descripción: Estas señales constituyen el Status del ciclo de máquina.

Tipo de Líneas: Salida Tri-estado.

Nombre de las señales: $\overline{RQ/GT0}$ y $\overline{RQ/GT1}$.

Descripción: Son las señales del Control de Prioridades del Sistema del Bus Local.

Tipo de Líneas: Bidireccionales.

Nombre de las señales: Q80 y Q81.

Descripción: Son señales del status de la cola de instrucción.

Tipo de Líneas: Salida Tri-estado.

Nombre de la señal: $\overline{\text{LOCK}}$.

Descripción: Es la señal de Control del Bus (Bus Hold Control).

Tipo de Línea: Salida Tri-estado.

Señales de Control en Configuración Mínima del 8086.

Nombre de la señal: $\overline{\text{MN/MX}}$.

Descripción: Cuando la línea MN es referenciada a Vcc se habilita al microprocesador a operar en modo mínimo.

Nombre de la señal: $\overline{\text{M/IO}}$.

Descripción: La señal M es la señal que permite tener acceso a la memoria. La señal IO es la señal que permite el acceso a los puertos de Entrada/Salida.

Tipo de Línea: Salida Tri-estado.

Nombre de la señal: $\overline{\text{WR}}$.

Descripción: Es la señal de Control de la operación de Escritura (Write Control).

Tipo de Línea: Salida Tri-estado.

Nombre de la señal: $\overline{\text{ALE}}$.

Descripción: Es la señal habilitadora del latch de direcciones que se activa en nivel alto cuando está presente una dirección válida de memoria en el bus de Direcciones/Datos.

Tipo de Línea: Salida Tri-estado.

Nombre de la señal: $\overline{\text{DT/R}}$.

Descripción: La señal DT se utiliza para indicar que el sentido de la transferencia de datos es del microprocesador hacia afuera, o sea que se están transmitiendo datos.

La señal R es el complemento de la señal anterior, con la cual se indica que el microprocesador está recibiendo datos.

Tipo de Línea: Salida Tri-estado.

Nombre de la señal: $\overline{\text{DEN}}$.

Descripción: Esta señal se utiliza para controlar los buffers de los circuitos 8286/8287 en la transferencia de datos (Data Enable).

Tipo de Línea: Salida Tri-estado.

Nombre de la señal: INTA.

Descripción: Esta señal (Interrupt Acknowledge) se utiliza para indicar que se ha reconocido un requerimiento de interrupción al microprocesador.

Tipo de Línea: Salida.

Nombre de la señal: HOLD.

Descripción: Esta señal se utiliza para requerir el uso del sistema del bus.

Tipo de Línea: Entrada.

Nombre de la señal: HLDA.

Descripción: Esta señal se utiliza para indicar que el requerimiento del uso del sistema del bus ha sido recibido.

Tipo de Línea: Salida.

Nombre de las señales: Vcc y GND.

Descripción: La línea Vcc es la línea de polarización y la línea GND es la línea de tierra.

Registros Programables del Microprocesador 8086.

La Unidad Central de Procesamiento del 8086 posee 14 registros internos (ver figura 2.2), entre los cuales se tienen 4 registros de propósito general llamados AX, BX, CX y DX. Los registros de propósito general son de 16 bits y pueden dividirse, a su vez, en dos registros de 8 bits como se muestra a continuación:

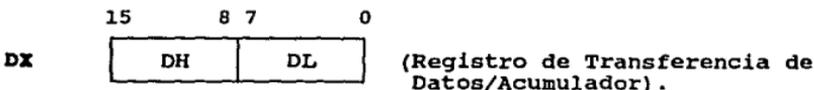
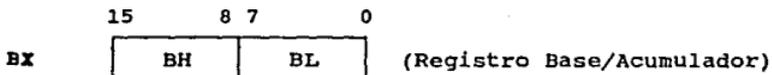


FIGURA 2.1 LINEAS Y SEÑALES DEL MICROPROCESADOR 8086.

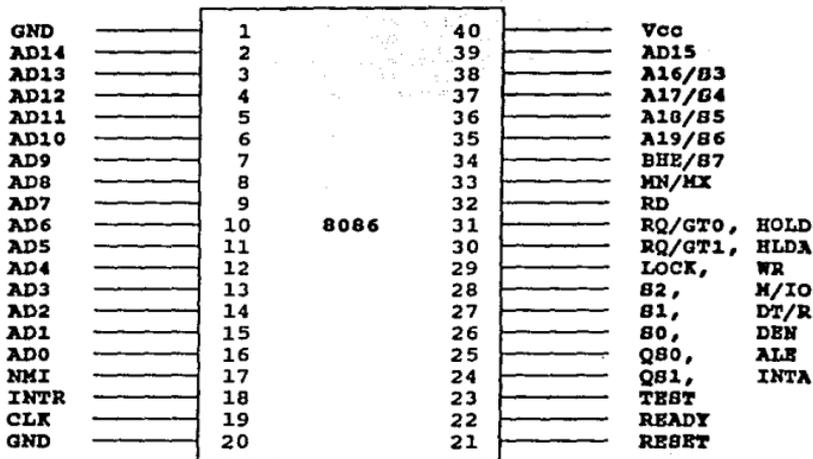


FIGURA 2.2 REGISTROS PROGRAMABLES DEL MICROPROCESADOR 8086.

REGISTROS DE PROPOSITO GENERAL

15	8	7	0	Regs.16 bits	Regs.8 bits	Descripción
AH		AL		AX	:	AH,AL Acumulador Primario.
BH		BL		BX	:	Registro Base/Acumulador.
CH		CL		CX	:	Registro Contador/Acumulador.
DH		DL		DX	:	Registro de Transferencia de Datos de puertos E/S / Acumulador.

REGISTROS INDICES

15	0	
SP		Stack Pointer
BP		Base Pointer

15	0	
SI		Source Index
DI		Destination Index

REGISTROS CONTADOR DE PROGRAMA

15	0	
PC		Program Counter

REGISTROS DE SEGMENTOS

15	0	
CS		Code Segment
DS		Data Segment
SS		Stack Segment
ES		Extra Segment

REGISTROS DE STATUS (BANDERAS)

15	0	
		Status

El registro AX se usa como registro acumulador primario, en el cual se ejecutan la gran mayoría de las operaciones del set de instrucciones del microprocesador, sin embargo, AX no es el único registro acumulador.

El registro BX, además de servir como acumulador, se utiliza como registro base cuando se computan datos de direcciones de memoria.

El registro CX se usa como contador de instrucciones de iteraciones múltiples, las cuales terminan su ejecución cuando el contenido de este registro se incrementa o decrementa hasta el valor de cero. También este registro es un acumulador.

El registro DX es utilizado por algunas instrucciones de Entrada/Salida que efectúan transferencias de datos de algún puerto de Entrada/Salida a alguna localidad de memoria. Al igual que los registros anteriores, DX es también un acumulador.

Arquitectura de la Unidad Central de Procesamiento.

La Unidad Central de Procesamiento del microprocesador 8086 se ha dividido en dos unidades independientes, las cuales interactúan entre sí en la ejecución de instrucciones.

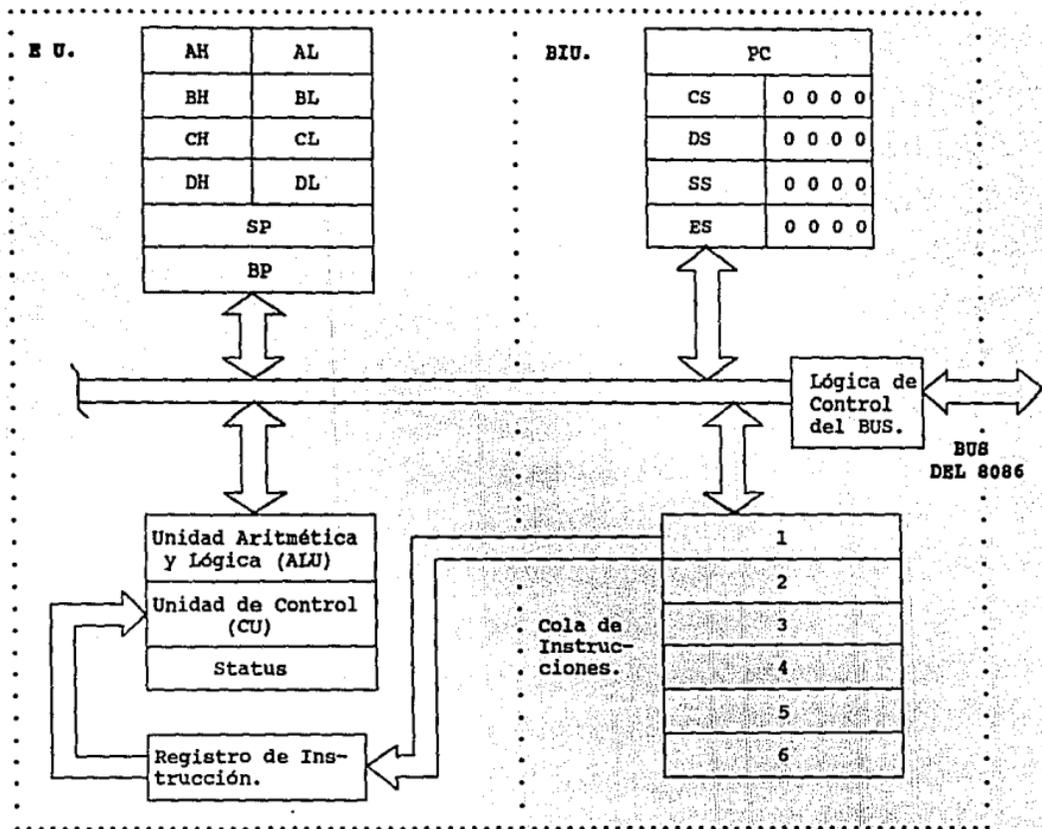
Estas unidades se conocen como la Unidad de Ejecución (EU, por sus siglas en inglés) y la Unidad de Interfase del Bus (BIU, por sus siglas en inglés).

La Unidad de Ejecución esta compuesta por los registros de propósito general, los registros de direcciones, la Unidad Aritmética Lógica y por la Unidad de Control.

La Unidad de Interfase del Bus se compone de la lógica de la interfase del bus, los registros de segmento, de la lógica de direccionamiento de memoria y de una cola de instrucciones de 6 bytes como se muestra en la figura 2.3.

Dado que las unidades EU y BIU son independientes éstas operan de manera asíncrona. Cada vez que la EU está

FIGURA 2.3 ARQUITECTURA INTERNA DE LA UNIDAD CENTRAL DE PROCESAMIENTO.



disponible para ejecutar una instrucción, ésta obtiene la instrucción del inicio de la cola de instrucciones de la BIU.

Después de que la EU obtuvo la instrucción, ésta la ejecuta en algunos ciclos de reloj que no tienen relación con los ciclos del bus. Si la cola de instrucciones esta vacía, entonces la BIU realiza un ciclo de máquina para obtener una instrucción (ciclo fetch), mientras que la EU espera a que la instrucción sea transferida a la cola de instrucciones.

La cola de instrucciones raramente se encuentra vacía por lo que la EU no interrumpe por lo regular su operación.

Si al momento de ejecutarse una instrucción se requiere de algún acceso a memoria o algún dispositivo de Entrada/Salida, la EU solicita dicho acceso a la BIU. La BIU ejecuta entonces un ciclo de máquina para realizar el acceso externo solicitado por la EU.

La BIU, por su parte, trata de mantener llena la cola de instrucciones con el código objeto de las instrucciones. Si dos o más de los seis bytes de la cola de instrucciones están vacíos, entonces la BIU ejecuta ciclos de máquina fetch para obtener instrucciones, logrando con esto que la EU no tenga que solicitar accesos pendientes al bus. Si la EU solicita un acceso al bus cuando la BIU se encuentra a la mitad de un ciclo de máquina fetch, la BIU primero completará su ciclo y después atenderá la solicitud de acceso al bus de la EU.

II.2.2 MICROPROCESADOR 80286.

El núcleo de la microcomputadora IBM PC AT es el microprocesador 80286. Este, a comparación del 8086, posee 24 líneas de direcciones, con lo cual se rompe el esquema tradicional de 1 megabyte de memoria direccionable, ofreciendo la capacidad de direccionar 16.3 megabytes de memoria total. Otra de las ventajas que ofrece el 80286 es su velocidad de operación, ya que desde un

principio, la PC AT trabajaba 25% más rápido que la PC original. Después fueron desarrollándose microprocesadores 80286 que operan a 6, 8, 10, 12.5, 16 y 20 MHz.

Una de las características que hace único al microprocesador 80286 es su esquema de administración de memoria, ya que se implementa el manejo de memoria virtual.

La memoria virtual no está físicamente implementada por circuitos integrados de memoria, sino que se maneja a través de un sistema de memoria de almacenamiento masivo, el cual puede ser transferido a memoria real cada que se requiera.

Para esto, es necesario contar con una circuitería adicional, con la cual el microprocesador reconoce y maneja los bytes que pertenecen a la memoria real o a la memoria virtual. El microprocesador 80286 puede manejar 1 giga byte de memoria total, siendo 16 megabytes de memoria física y 1008 megabytes de memoria virtual.

Como se ha mencionado anteriormente, el microprocesador 80286 posee dos modos de operación conocidos como modo real y modo protegido. Para mantener compatibilidad con las aplicaciones desarrolladas para las microcomputadoras basadas en los microprocesadores 8088 y 8086, Intel creó el modo real, bajo el cual el 80286 trabaja exactamente como un 8086, restringiéndose a direccionar solo 1 megabyte de memoria.

En el modo protegido se disponen de todas las ventajas que proporciona la arquitectura del microprocesador 80286.

Aunque los programas escritos para los microprocesadores 8088 y 8086 no puedan ser ejecutados en este modo, se permite en cambio disponer de 1 giga byte de memoria total en los programas de usuario. Dado que el sistema operativo DOS fue diseñado para operar en modo real, IBM tuvo que diseñar un nuevo sistema operativo, al que llamó OS/2, el cual se encarga de administrar todos los recursos que ofrece el microprocesador 80286.

Registros Internos del Microprocesador 80286.

El microprocesador 80286 contiene ocho registros de propósito general de 16 bits, al igual que los registros del 8086 mostrados en la figura 2.2, y son:

AX, BX, CX, DX, SP, BP, SI y DI

El microprocesador 80286 posee cuatro registros de segmento de 16 bits y son:

- Registro CS :** Este registro contiene la dirección base del segmento de código en memoria.
- Registro DS :** Este registro apunta a la dirección base del segmento de datos.
- Registro SS :** Este registro apunta a la dirección base del segmento de pila, la cual se utiliza comunmente para almacenar resultados intermedios y llamadas a subrutinas.
- Registro ES :** Este registro apunta a la dirección base del segundo segmento extra de datos.

Para direccionar un elemento dentro de alguno de los cuatro segmentos, se hace referencia al registro de segmento correspondiente y después se proporciona una dirección de desplazamiento de 16 bits de la dirección base. La dirección del registro segmento y la dirección del desplazamiento se combinan para formar las dos mitades, inferior y superior, de un apuntador de dirección virtual de 32 bits. Ya que ha sido seleccionado el segmento, es necesario especificar en una instrucción la dirección de desplazamiento de 16 bits de la mitad inferior del apuntador de dirección virtual.

Las direcciones de segmento se interpretan de manera distinta dependiendo del modo de operación en el que esté trabajando el 80286. En el modo real los registros segmento contienen las direcciones físicas reales, mientras que en el modo protegido los registros segmento contienen direcciones

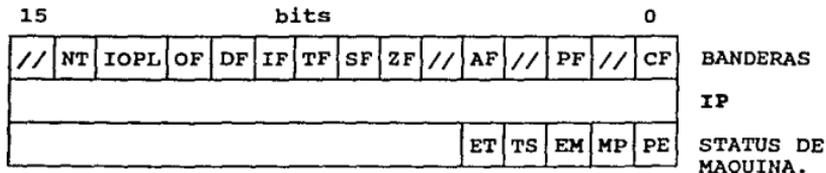
de memoria virtual y requieren de traducción para transformarse de dirección lógica a dirección de memoria física.

Existen otros registros como el **SP** (Stack Pointer) y el **BP** (Base pointer), los cuales se coordinan junto con el registro **SS** para realizar las operaciones sobre la pila.

Los desplazamientos en los segmentos de datos (**DS**) y extra (**ES**) se obtienen del registro base (**BX**). Para operaciones sobre datos más complejas se pueden utilizar los registros **SI** (Source Index o Índice Fuente) y **DI** (Destination Index o Índice Destino).

Como en el microprocesador 8086, el 80286 posee un registro de control o de banderas, y además un registro separado llamado registro de palabra del status de la máquina, en los que cada bit representa una bandera o señal de control que se afecta según las condiciones y operaciones que se presentan y ejecutan.

El formato del registro de control y del registro de status es el siguiente:



donde **IP** es el registro apuntador de instrucción, el cual contiene el desplazamiento o dirección de la siguiente instrucción a ejecutarse dentro del segmento de código.

El microprocesador 80286 posee once bits de control, o banderas, dentro del registro de control, de la cuales seis son denominadas señales de status, las cuales proporcionan la información necesaria para las decisiones aritméticas y de control lógico. Estas banderas o señales de status son:

CF (Carry Flag): Esta bandera representa el bit de Acarreo, el cual se habilita en '1' cuando se genera un acarreo en alguna operación aritmética, en caso contrario, el bit de acarreo será '0'. También se utiliza esta bandera en las instrucciones de desplazamiento y rotación, ya que contiene el bit que ha sido rotado o desplazado fuera del registro.

PF (Parity Flag): Esta bandera representa el bit de Paridad, la cual se utiliza en las comunicaciones de datos con objeto de verificar que las transferencias sean correctas. En el caso de que la bandera **PF** sea '1' se tendrá paridad impar y si es '0' paridad par.

AF (Auxiliary Carry Flag): Esta bandera representa el bit de Acarreo Auxiliar, el cual se utiliza en la aritmética BCD para indicar si ha existido algún acarreo en los dígitos correspondientes a los cuatro bits menos significativos de un valor en BCD.

ZF (Zero Flag): Esta bandera representa el bit de Cero, el cual se habilita en '1' cuando el resultado de alguna operación es cero.

SF (Sign Flag): Esta bandera representa el bit de Signo, el cual se habilita en '1' si se trata de algún resultado o dato negativo, y es '0' cuando el resultado o dato es positivo.

OF (Overflow Flag): Esta bandera representa el bit de Sobreflujo o Rebosamiento, el cual indica si ha ocurrido algún acarreo en el bit más significativo del resultado, con lo cual se ha rebasado el límite de representación de un resultado.

Las banderas o bits de control **TF**, **IF**, y **DF** son utilizadas para el control de ciertas operaciones del microprocesador.

Estas banderas se describen a continuación:

TF (Trap Flag): Este bit de control es el bit de Rastreo, el cual habilita al microprocesador a operar en el modo de paso simple ("solo-un-paso") cuando se inicializa. Este modo de operación se emplea cuando se desea depurar un programa.

IF (Interrupt Flag): Este es el bit de control de habilitación de interrupciones, mediante el cual se habilita al microprocesador para que reconozca las interrupciones externas. Esto ocurre cuando el bit es '1', si este bit es '0' el microprocesador no reconocerá interrupciones externas.

DF (Direction Flag): Este bit de control se encarga de indicar el sentido en el que se efectuarán las operaciones sobre los strings o cadenas. Cuando este bit es '1' los registros índices de datos **SI** y **DI** son decrementados automáticamente, si el bit es '0' entonces los registros **SI** y **DI** son incrementados automáticamente.

Las banderas de control **IOPL** y **NT** son dos bits de control nuevos que no aparecen en el microprocesador 8086. Estos bits de control solo son utilizados cuando el 80286 opera en modo protegido.

IOPL (Privilege Input/Output Level): Este bit de control se denomina Nivel de Privilegio de Entrada/Salida y se utiliza para garantizar que cada instrucción realice solo aquellas operaciones que está autorizada a realizar.

NT (Bandera de Tareas Anidadas): Este bit de control se emplea para indicar si la ejecución de la tarea actual está anidada en otra tarea. Si **NT** es '1' se dice que la tarea actual anidada tiene un enlace válido a la tarea previa.

En cuanto al registro de la palabra de status de la máquina se tienen los siguientes bits :

PE (bit 0): Este es el bit de habilitación de protección, el cual se utiliza para activar el modo protegido del microprocesador. Cuando PE es '0' el microprocesador opera en modo real, si es '1' se activa el modo protegido.

MP (bit 1): Este es el bit monitor de coprocesador, el cual es utilizado junto con el bit TS para determinar si el código de operación WAIT generará un fallo de coprocesador no disponible cuando TS = 1.

EM (bit 2): Es el bit de emulación de coprocesador, el cual se inicializa en '1' para indicar que el sistema no cuenta con coprocesador matemático. Si EM es '0' todos los códigos de operación serán ejecutados en el coprocesador matemático 80287.

TS (bit 3): Es el bit de conmutación de tareas el cual se inicializa automáticamente en '1' cuando se realiza una operación de conmutación de tareas. Este bit se utiliza para indicar que el coprocesador matemático se encuentra realizando alguna operación.

ET (bit 4): Es el bit del tipo de extensión de procesador.

II.3 SUBSISTEMAS DE SOPORTE A LA ARQUITECTURA DE LA MICROCOMPUTADORA.

Debido a que el microprocesador no es capaz de ejercer control directamente sobre todos los componentes de la computadora, éste se apoya en subsistemas de soporte, compuestos por otros circuitos integrados, a los que les delega ciertas funciones de control.

Esto se hace para que la Unidad Central de Procesamiento se libere de tareas que no le corresponde atender directamente y pueda realizar las funciones para las que fue diseñado.

Los subsistemas de soporte son los encargados de ejecutar ciertos tipos de operaciones y procesos, tales como

la transferencia de información a nivel interno y/o externo de la microcomputadora, además de otras, para auxiliar al microprocesador.

En las microcomputadoras IBM PC, los subsistemas de soporte se encuentran montados en tarjetas de circuito impreso conectadas a los slots de expansión de la microcomputadora.

Como ejemplo de subsistemas de soporte se tienen el controlador de video, el controlador de acceso directo a memoria (DMA), los puertos serial y paralelo, etc.

La mayoría de los circuitos integrados de los subsistemas de soporte son programables, lo cual facilita su manipulación en tareas específicas.

En los siguientes subtemas se expondrán de manera concreta los subsistemas de soporte más importantes en una microcomputadora IBM PC.

II.3.1 CONTROLADOR PROGRAMABLE DE INTERRUPCIONES.

El Controlador Programable de Interrupciones (PIC, por sus siglas en inglés) es uno de los subsistemas de soporte más importantes, ya que por medio de él el microprocesador puede atender a todos los sistemas, tanto internos como externos, de la microcomputadora.

Los microprocesadores de Intel reconocen dos tipos de interrupciones, las de hardware y las de software (usuario).

Las interrupciones de software se realizan a través de instrucciones especiales que tienen control sobre el microprocesador, haciendo que éste cambie temporalmente la ejecución normal de un programa a alguna sección de código (rutina de servicio) residente en alguna parte de la memoria para después regresar al punto de donde partió.

Las interrupciones de hardware tienen el mismo efecto que las de software, solo que éstas son activadas por una

serie de señales de control que poseen cada uno de los componentes de hardware de la microcomputadora.

El mecanismo de interrupción es el siguiente, cuando un componente de hardware o alguna instrucción de interrupción de un programa, requieren de la atención del microprocesador, se genera una señal de interrupción, la cual es detectada por el PIC. El PIC se encarga entonces de identificar que componente de hardware solicitó la interrupción mediante un número. En el caso de una interrupción de usuario, se detecta un número de interrupción específico que indica el tipo de servicio que se quiere ejecutar. Después el PIC le avisa al microprocesador, mediante la señal INTR, que se requiere de su atención. El microprocesador procede entonces a atender al componente de hardware identificado o a la interrupción solicitada vía software a través del Sistema Manejador de Interrupciones.

Este sistema se encuentra formado por una Tabla en memoria RAM, llamada Vector de Interrupciones, y un conjunto de rutinas de servicio, previamente programadas, residentes en la memoria ROM del BIOS de la microcomputadora y otras pertenecientes al sistema operativo.

El microprocesador, con el número de interrupción solicitado, busca en la Tabla del Vector de Interrupciones la dirección de la rutina de servicio requerida para ejecutarla, dando con esto servicio al elemento interruptor.

El PIC es un circuito integrado, con número de matrícula 8259A, capaz de manejar múltiples interrupciones, tanto de software como de hardware, a través de la señal INTR del microprocesador.

En la arquitectura de la IBM PC XT, se tiene un PIC para manejar hasta 8 señales de interrupción, las cuales se ordenan en función de su prioridad. Estas señales se muestran en la Tabla II.2.

En la arquitectura de la IBM PC AT, se tiene un arreglo de dos circuitos integrados PIC en configuración

Maestro/Esclavo, conectados en cascada, que permite manejar 16 señales de interrupción, como se aprecia en la Tabla II.3.

TABLA II.2 ASIGNACION DE INTERRUPTONES EN LA IBM PC XT.

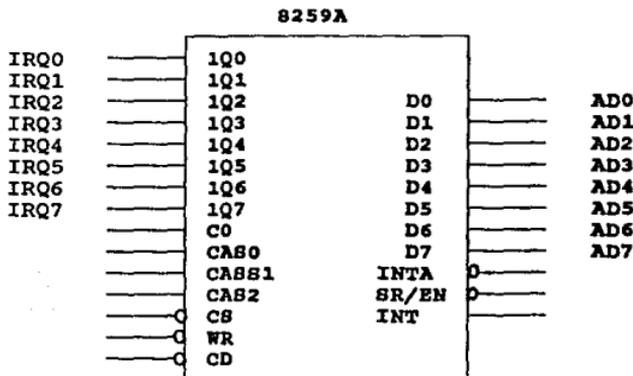
Línea Intr.	Número de Prioridad	F U N C I O N
IRQ0	0	Sistema Temporizador.
IRQ1	1	Teclado.
IRQ2	2	Monitor EGA, PC Network, Adaptador 3278/79.
IRQ3	3	COM2, PC Network (alternado), Adaptador 3278/79 (alternado), Comunicaciones SDLC y BSC, Adaptador de Cluster.
IRQ4	4	COM1, Comunicaciones SDLC y BSC.
IRQ5	5	Disco Duro.
IRQ6	6	Diskette.
IRQ7	7	Impresora y Adaptador de Cluster (alternado).

TABLA II.3 ASIGNACION DE INTERRUPTONES EN LA IBM PC AT.

Línea Intr.	Número de Prioridad	F U N C I O N
IRQ0	0	Sistema Temporizador.
IRQ1	1	Teclado.
IRQ2	2	Entrada en cascada del segundo PIC.
IRQ3	3	COM2, PC Network (alternado), Adaptador 3278/79 (alternado), Comunicaciones SDLC y BSC.
IRQ4	4	COM1, Comunicaciones SDLC y BSC.
IRQ5	5	LPT2.
IRQ6	6	Controladora de Disco Duro y Discos flexibles.
IRQ7	7	LPT1, Adaptador de Adquisición de datos, Adaptador de la interfase del Bus de propósito general.
IRQ8	8	Interrupción para el Reloj Interno.
IRQ9	9	Redirección por Software a la Interrupción 0A Hex.
	10,11 y 12	Reservadas.
IRQ13	13	Coprocador Matemático.
IRQ14	14	Controladora de Disco Duro.
IRQ15	15	Reservada.

En la figura 2.4 se muestran las señales que maneja el Controlador Programable de Interrupciones PIC.

FIGURA 2.4 LINEAS Y SEÑALES DEL PIC 8259A EN LA IBM PC XT.



II.3.2 CONTROLADOR DE ACCESO DIRECTO A MEMORIA.

Una de la operaciones que consume más tiempo del microprocesador es la de acceso a memoria para la Lectura y/o Escritura de datos y la transferencia de datos de un subsistema a otro. Es por esta razón, que se diseñó un controlador que llevase a cabo la transferencia de datos desde la unidad de memoria a cualquier subsistema de la microcomputadora que los requiera. Este controlador se denomina Controlador de Acceso Directo a Memoria (DMA, por sus siglas en inglés).

La función principal del Controlador DMA, es el de permitir a las unidades de disco Leer o Escribir información sin tener que involucrar al microprocesador.

Debido a que las operaciones de Entrada/Salida de las unidades de disco se efectúan a velocidades relativamente

bajas, comparadas con la velocidad de operación de la UCP, el uso del Controlador DMA optimiza la velocidad de operación de la microcomputadora, permitiendo aumentar el desempeño global de todo el sistema.

El Controlador DMA es un circuito integrado especializado que para operar solo necesita saber la dirección base en donde residen los bytes de información, la dirección destino y el número de bytes a transferir. Una vez que esta información ha sido recibida del microprocesador, el Controlador DMA toma el mando y realiza todas las operaciones necesarias para la transferencia de datos, liberando con esto la atención del microprocesador, para que éste ejecute otras operaciones.

El Controlador DMA utilizado en las microcomputadoras IBM es completamente programable y operable a través de una serie de registros de Entrada/Salida.

En el caso de las IBM PC XT, el Controlador DMA empleado es el circuito integrado 8237A-5, en el que el número 5 del número de matrícula, indica que puede operar a 5 MHz.

Este controlador transfiere 1 byte en 5 ciclos del sistema temporizador (que opera a 4.77 MHz en el caso de la IBM PC original) tardando un total de 1050 nano segundos.

El circuito 8237A-5 posee cuatro canales separados que pueden ser utilizados en forma independiente en las operaciones de transferencia de datos en memoria. Uno de estos cuatro canales se reserva para la operación de refresco del sistema de memoria. Otro de los tres canales restantes está disponible para el Bus de Entrada/Salida.

En las microcomputadoras IBM PC AT y XT 286 se usa el mismo circuito Controlador DMA que en la IBM PC XT, solo que se disponen de dos circuitos DMA conectados en cascada.

Cada Controlador DMA posee cuatro canales, con lo que se dispondrían para esta microcomputadora de ocho canales, pero uno de ellos se utiliza para el enlace en cascada entre ambos controladores, dejando al sistema siete canales. Cada uno de estos canales puede direccionar un rango de 16 megabytes

de memoria, que es el mismo rango que accesa el microprocesador 80286. En las IBM PC XT el Controlador DMA direcciona solo 1 megabyte de memoria.

Cuatro de los siete canales del Controlador DMA de la IBM PC AT, tienen una longitud de 8 bits, y los tres restantes son de 16 bits. Cada uno de los Controladores DMA trabaja a la mitad de la velocidad de operación del microprocesador, lo cual significa que en una microcomputadora AT de 8 MHz los Controladores DMA trabajan a 4 MHz.

II.3.3 SISTEMA TEMPORIZADOR.

Los subsistemas de una microcomputadora están diseñados para trabajar en sincronía. Para que cada subsistema realice sus funciones, en forma correcta, debe ejecutarlas en un orden específico y en coordinación con el resto de los subsistemas de la microcomputadora.

El sistema temporizador o sistema de reloj es el que proporciona la señal de sincronía (señales multifase de pulsos de reloj) bajo la cual se rigen todos los elementos de la microcomputadora. Este sistema genera sus señales de sincronía a través de un circuito electrónico denominado oscilador. Los circuitos osciladores trabajan bajo el principio de retroalimentación positiva. El oscilador toma su señal de salida como entrada y la amplifica para después volver a retroalimentarla a través de un lazo cerrado de control. Agregando componentes electrónicos especiales al lazo cerrado de control es posible controlar a voluntad la frecuencia de oscilación. El elemento usado para realizar este tipo de control es un cristal de cuarzo, cuya característica fundamental es que es un material piezo eléctrico. La propiedad de los materiales piezo eléctricos consiste en que cuando se comprimen mecánicamente las caras

de este material, se presenta una diferencia de potencial en las caras opuestas de éste. Similarmente, un voltaje aplicado entre las caras del material produce una distorsión mecánica en la estructura interna del cristal. Con esto se tiene la capacidad de hacer resonar el cristal a una frecuencia de oscilación específica y constante, dándole gran estabilidad al sistema temporizador.

En las microcomputadoras IBM PC XT se dispone de un circuito oscilador que utiliza un cristal cuya frecuencia de oscilación es de 14.318 MHz. La elección del valor de esta frecuencia de oscilación no fue un mero capricho, sino que los ingenieros que diseñaron la IBM PC consideraron que sería provechoso mantener compatibilidad con la frecuencia con la que trabajan los televisores, la cual se obtiene al dividir a un cuarto el valor de la frecuencia base (que son 14.318 MHz) obteniendo una frecuencia de 3.57 MHz.

No todos los subsistemas de la microcomputadora trabajan a la misma frecuencia o velocidad, por lo que éstos obtienen su frecuencia natural dividiendo la frecuencia base del sistema por una constante para realizar adecuadamente sus funciones.

Por ejemplo, la IBM PC original, con un microprocesador 8088, opera con una frecuencia de 4.77 MHz, la cual es un tercio de la frecuencia base. El bus interno y el temporizador de intervalos programables trabajan con una frecuencia de 1.193 MHz, o sea, una doceava parte de la frecuencia base.

El núcleo del sistema temporizador es el circuito integrado 8284A, en el que una de sus salidas es dirigida al bus. Otra salida se dirige a un circuito integrado auxiliar que divide la frecuencia base del sistema temporizador a una frecuencia de 1.19 MHz, que se utiliza para alimentar al circuito Timer/Counter. El circuito auxiliar produce también una frecuencia de 4.77 MHz que es la frecuencia en la que trabaja la IBM PC original.

II.3.4 SISTEMAS DE VIDEO.

La función del sistema de video es producir imágenes en la pantalla del monitor de la computadora. Este sistema está compuesto por circuitos especializados diseñados para generar todas las señales eléctricas que controlan la pantalla del sistema de video.

En las microcomputadoras IBM PC XT y AT, el sistema de video no se encuentra integrado en las tarjetas principales del equipo, como en el caso de las microcomputadoras PS/2, sino que se encuentra implementado en una tarjeta separada que se conecta a uno de los slots de expansión de la microcomputadora.

El sistema de video, a través de sus circuitos, controla las señales de sincronía (vertical y horizontal), colores y la generación de caracteres de texto.

Existen diferentes sistemas de video desarrollados por IBM, pero todos se caracterizan por tener un área de memoria principal denominada buffer de video. En esta área de memoria, se almacena toda la información referente a los atributos que maneja el sistema en el despliegado de caracteres tipo texto o tipo gráfico. El sistema de video se encarga de leer y traducir estos atributos, contenidos en el buffer de video, en señales de control del monitor en la producción de imágenes.

Originalmente, IBM desarrolló dos sistemas de video para sus equipos PC y se llamaron:

- I. Sistema MDA o Adaptador de Despliegado Monocromático.
- II. Sistema CGA o Adaptador de Gráficos a Color.

A partir de éstos sistemas de video, se desarrollaron otros que fueron la respuesta a los nuevos requerimientos de imágenes más complejas, con patrones gráficos cada vez más sofisticados.

El tercer sistema de video de IBM fue el:

III. Sistema EGA o Adaptador de Gráficos Realizados.

Cuando los sistemas PS/2 aparecieron en el mercado, IBM implantó dos nuevos sistemas de video para estos equipos, y fueron:

IV. Sistema MCGA o Arreglo de Gráficos Multi-Color.

V. Sistema VGA o Arreglo de Gráficos en Video.

El sistema VGA se desarrolló originalmente para los modelos 50, 60 y 80 de los equipos PS/2, pero se adaptó para ser también utilizado por los equipos PC AT.

Los sistemas de video antes mencionados, excepto el sistema MDA, pueden operarse en dos modos fundamentales llamados:

1. Modo Texto.
2. Modo Gráfico.

En el modo texto solamente pueden manejarse caracteres de tipo texto, aunque se disponen de algunos caracteres especiales para dibujar líneas.

El modo gráfico se utiliza para producir dibujos más complejos y también caracteres tipo texto en diferentes formas, tamaños y colores.

El sistema original CGA opera tanto en modo texto como modo gráfico, en cambio, el sistema MDA opera únicamente en modo texto a través de un conjunto de caracteres alfanuméricos y algunos gráficos, del código ASCII, y los maneja en un solo color. Ante esta limitación, se desarrolló un sistema de video alternativo denominado Tarjeta de Gráficos de Video Hercules, el cual no fue diseñado por IBM.

La tarjeta de gráficos Hercules emula el modo texto del sistema MDA y soporta el modo gráfico.

Uso de la memoria por los sistemas de video.

Todos los caracteres que se despliegan en la pantalla del monitor se encuentran almacenados en una porción de la memoria principal exclusiva para el uso del sistema de video.

Como se mencionó anteriormente, el sistema de video lee del buffer de video repetidamente la información del carácter a desplegar junto con sus atributos, como lo son el color, la forma y el tamaño. La Unidad Central de Procesamiento direcciona esta área de memoria según se requiera. Se tienen disponibles 128 Kbytes de memoria para ser utilizada por el sistema de video, a través del buffer de video, desde la dirección A000:0000H hasta la dirección B000:FFFFH. Los sistemas de video originales, MDA y CGA, solo utilizan dos pequeñas porciones de la memoria de video. En el caso del sistema MDA se ocupan 4 Kbytes, comenzando en la dirección B000H, mientras que el sistema CGA utiliza 16 Kbytes de memoria desde la dirección B800H.

La dirección inicial de la memoria de video que emplean los otros sistemas no es fija, sino que depende de la forma en que se configure el sistema. En el caso del sistema EGA se tiene que si opera con un monitor monocromático, el buffer de video para modo texto inicia en la dirección B000H, como lo hace el sistema MDA. Si el sistema EGA se habilita para operar a color, el buffer de video inicia desde la dirección B800H. Los sistemas MCGA y VGA manejan sus direcciones sobre el buffer de video de manera similar al sistema EGA.

Modos de Video.

El sistema CGA original puede operar en siete modos de video, como se muestra en la Tabla II.4, mientras que el sistema MDA solo opera en un modo. Al desarrollarse los

sistemas EGA, MCGA y VGA se implementaron nuevos modos de video. En total, IBM desarrolló doce modos de video para modo texto y modo gráfico. A pesar de la diversidad de modos de video, se decidió que los nuevos sistemas de video soportaran los modos de video originales de los sistemas MDA y CGA para mantener compatibilidad. De esta forma, los sistemas EGA y VGA soportan el modo texto de 80 columnas por 25 renglones del sistema MDA, a excepción del sistema MCGA que solo soporta, junto con los sistemas EGA y VGA, los modos de video del sistema CGA.

En la Tabla II.4 se muestran los modos de video operables por los sistemas de video. Cada modo de video es identificado por el BIOS mediante un número. En el caso de los modos 0H y 1H del primer renglón de la Tabla, hacen referencia al modo texto con resolución de 40 X 25 a 16 colores, y la diferencia entre éstos es que el modo 0H hace uso de una señal especial para monitores monocromáticos compuestos derivada de la señal de color compuesta usada en el sistema CGA, aunque se trate del mismo modo texto. Lo mismo ocurre para los modos 2H-3H y 4H-5H.

Resolución

Las imágenes de video están formadas por un conjunto de puntos diminutos, denominados pixels, separados infinitesimalmente uno de otro. La resolución de una imagen se define como el número de pixels que conforman una fila, o líneas de rastreo, y el número de líneas de rastreo por pantalla, desde la parte superior a la inferior.

Tanto la resolución vertical como la horizontal dependen del monitor de video y del sistema de video de la microcomputadora.

La calidad de la imagen es una de las características más notorias e importantes en un sistema de video. Cuando aparecieron los sistemas MDA y CGA se disponía de una

resolución de imagen muy pobre, en caso del sistema MDA, y regular en el caso del sistema CGA. Los nuevos sistemas de video mejoraron la calidad de la imagen en sus sistemas, como lo es el caso del sistema VGA, el cual posee el modo de video con mayor resolución de la familia de sistemas de video de IBM, el cual es de 640 x 480 pixels y 16 colores.

TABLA II.4 MODOS DE VIDEO DE LOS SISTEMAS DE VIDEO DE IBM

Número de Modo del BIOS (Hex)	Tipo	Resolución	Colores	Sistemas de Video de IBM
00H, 01H	Texto	40x25	16	CGA, EGA, MCGA, VGA
02H, 03H	Texto	80x25	16	CGA, EGA, MCGA, VGA
04H, 05H	Gráfico	320x200	4	CGA, EGA, MCGA, VGA
06H	Gráfico	640x200	2	CGA, EGA, MCGA, VGA
07H	Texto	80x25	Mono	MDA, EGA, VGA
08H, 09H, 0AH				(Solo PCjr)
0BH, 0CH	Usados internamente por el BIOS para el sistema de Video EGA			
0DH	Gráfico	320x200	16	EGA, VGA
0EH	Gráfico	640x200	16	EGA, VGA
0FH	Gráfico	640x350	Mono	EGA, VGA
10H	Gráfico	640x350	16	EGA, VGA
11H	Gráfico	640x480	2	MCGA, VGA
12H	Gráfico	640x480	16	VGA
13H	Gráfico	320x200	256	MCGA, VGA

II.4 SISTEMA DE BUS.

Como se ha detallado anteriormente, los diferentes subsistemas que integran a la microcomputadora hacen transferencias de señales de un subsistema a otro. Estas señales pueden ser datos, direcciones de memoria o de puertos y señales de control. El medio por el cual se envían estas señales es un conjunto de líneas compartidas por todos los componentes de la microcomputadora. A este conjunto de líneas compartidas se le denomina Bus del sistema y al conjunto de circuitos que controlan el uso del bus se les denomina Sistema de bus.

Debido al tipo de señales que se manejan a través del bus, se ha subdividido o clasificado el bus en las siguientes categorías:

- a) Bus de Datos.
- b) Bus de Direcciones.
- c) Bus de Control.

Las denominaciones anteriores son a nivel conceptual o lógico, pero dentro de la arquitectura de la microcomputadora se tiene que el bus de datos y el bus de direcciones se encuentran físicamente integrados en uno solo, formando un bus multiplexado. Esto significa que este bus en ciertos periodos de tiempo maneja exclusivamente datos y en otros direcciones.

Tanto el número de líneas de datos y direcciones del bus es un número fijo, mientras que en el caso del bus de control, el número de líneas varía para cada subsistema de la microcomputadora, ya que, por ejemplo, el sistema de Teclado utiliza ciertas señales de control que no tienen nada que ver con las señales de control del sistema de video. Cada subsistema posee señales de control exclusivas, aunque estas

interactúen en la ejecución de alguna tarea o proceso específico.

El bus también posee líneas de energía (power lines), las cuales son accesibles a todos los dispositivos de la microcomputadora.

Uno de los usos más comunes del bus se presenta cuando se pretende utilizar alguna localidad de memoria para almacenar algún dato. En este caso, la localidad de memoria posee una dirección exclusiva para su uso. Cuando la información está disponible para ser transferida, se obtiene la dirección destino y se transmite por el bus. Después, son transferidos los datos por el bus para ser almacenados en la localidad de memoria referenciada por la dirección enviada.

II.4.1 BUS DE DIRECCIONES.

Según sea el tipo de equipo y modelo de las microcomputadoras IBM, es el tamaño del bus de direcciones.

En el caso de las PC, PC XT y PS/2 modelos 25 y 30, el bus de direcciones cuenta con 20 líneas, con las que se puede direccionar hasta 1 megabyte de memoria.

Para los equipos PC AT y PS/2 modelos 50 y 60, basados en el microprocesador 80286, el bus de direcciones posee 24 líneas.

Las microcomputadoras basadas en los microprocesadores 8088 y 8086 poseen 4 líneas multiplexadas con el bus de direcciones, y se utilizan en el manejo del sistema del bus.

Estas líneas son:

A16/S3

A17/S4

A18/S5

A19/S6

Las señales **S3** y **S4** se utilizan para identificar el segmento de memoria que se quiera manejar o que se esté utilizando. Por esto, las líneas **S3** y **S4** son líneas de status. La información que proporcionan estas líneas se detalla en la Tabla II.5.

La señal **S5** se utiliza para detectar el estado de la bandera de Habilitación de Interrupción del microprocesador 8088 u 8086.

TABLA II.5 INFORMACION DE STATUS DE LAS SEÑALES S3 Y S4.

S3	S4	DESCRIPCION
0	0	Acceso al Segmento Extra.
0	1	Acceso al Segmento de Pila.
1	0	Acceso al Segmento de Código o No Acceso
1	1	Acceso al Segmento de Datos.

La señal **S6** se utiliza para indicar a todos los subsistemas de la microcomputadora que se está haciendo uso del Sistema de Bus, con el fin de impedir que otro subsistema haga uso de él.

II.4.2 BUS DE DATOS.

El bus de datos es la trayectoria física a través de la cual viajan los datos dentro y fuera de la microcomputadora.

En la transferencia de la información, el bus de direcciones trabaja junto con el bus de datos.

El tamaño o número de líneas del bus de datos está en función del microprocesador que se empleó en la microcomputadora. En el caso de las PC basadas en el microprocesador 8088 el bus de datos es de 8 bits, ya que el

microprocesador hace la transferencia de datos bajo este formato.

Las microcomputadoras PC AT, con microprocesador 80286, manejan un bus de datos de 16 bits. Ya antes del 80286 se tenía el 8086, el cual fue el primer microprocesador de 16 bits de Intel. Sin embargo, debido a que los elementos y dispositivos para arquitecturas de 8 bits eran más comunes, se logró el abatimiento de los costos de producción de las microcomputadoras basadas en el 8088 y por ello, fue solo hasta que el 80286 ofreció mayor funcionalidad que su predecesor, junto con la disponibilidad cada vez mayor de elementos para arquitecturas de 16 bits a menor costo, se decidió dar mayor auge a los sistemas de 16 bits.

Actualmente, existen sistemas que manejan un bus de datos de 32 bits, combinando elementos y dispositivos de 16 y 8 bits en estas arquitecturas.

II.5 SISTEMA DE MEMORIA.

La memoria de una microcomputadora es el lugar o dispositivo físico, en donde reside la información que utiliza la computadora.

La información que reside en la memoria puede ser de dos tipos:

- a) Datos.
- b) Instrucciones.

Los datos son las entidades lógicas o elementos a los que se les desea aplicar alguna transformación mediante el uso de alguna instrucción. La instrucción constituye la regla de transformación que se le aplica a los datos. Al conjunto o grupo de instrucciones secuenciales se le denomina programa.

Al ejecutarse un programa, la microcomputadora lee las instrucciones del programa, contenidas en la memoria principal, y las ejecuta, guardando los resultados parciales y finales en memoria. Como se desprende de la situación anterior, el sistema de memoria es fundamental en la arquitectura de la microcomputadora.

El sistema de memoria se divide en dos partes:

- a) Memoria Principal o Primaria.
- b) Memoria de almacenamiento masivo o Secundaria.

Se denomina memoria principal a aquella que es directamente accesible al microprocesador en la ejecución de instrucciones, pudiéndose ejecutar a discreción las operaciones de Lectura y Escritura, según se requiera. Este tipo de memoria se le conoce como memoria de almacenamiento en línea, ya que se encuentra conectada directamente al microprocesador. La memoria principal es también utilizada por los puertos de Entrada/Salida, además del microprocesador.

El dispositivo físico empleado para formar la memoria principal es un circuito integrado de memoria denominado RAM (Random-Access-Memory) o memoria de acceso aleatorio. Este nombre obedece al hecho de que es posible acceder cualquier localidad de memoria en cualquier instante, con lo que se dice que es un proceso de acceso aleatorio o indistinto. Sin embargo, esta característica no es exclusiva de este tipo de memoria, ya que existen otros tipos que operan de la misma forma.

Se denomina memoria secundaria o de almacenamiento masivo, a aquella que se destina a almacenar grandes volúmenes de información por largos periodos de tiempo y que no siempre se utiliza. Cuando se requiere hacer uso de la información contenida en la memoria secundaria, ésta se lee y transfiere, por un subsistema independiente del microprocesador como el DMA, a la memoria principal, para que

ésta pueda ser manipulada por el microprocesador de manera directa.

II.5.1 MEMORIA ROM.

Dentro de la microcomputadora, existe una porción de memoria cuyo contenido permanece fijo, aún cuando la máquina esté apagada. Este tipo de memoria se denomina estática ya que la información que contiene nunca cambia. El dispositivo físico que cumple con esta característica es un circuito integrado llamado memoria ROM (Read-Only-Memory) o memoria de solo lectura.

La memoria ROM, como se mencionó anteriormente, contiene una serie de programas o rutinas que conforman el sistema BIOS, el cual opera todo el hardware de la microcomputadora.

En realidad, el dispositivo que se emplea como memoria es la memoria EPROM (Ereasable-Programmable-Read-Only-Memory) o memoria borrable y programable de solo lectura. Este dispositivo, como su nombre lo indica, ofrece la ventaja de poderse borrar y reprogramar, siendo por esto de gran flexibilidad, a comparación de las memorias ROM que solo pueden programarse una sola vez.

La memoria ROM, al igual que la memoria RAM, puede accesarse de manera aleatoria, aunque solo sea para ser leída.

II.5.2 MEMORIA RAM.

La memoria principal de la microcomputadora está formada por circuitos integrados de memoria RAM. La característica de los circuitos de memoria RAM es que son memorias dinámicas y volátiles. Esto es, que están diseñadas para que se

ejecuten sobre ellas un sin número de accesos, para lecturas y escrituras, a altas velocidades. Debido a esto, este tipo de memorias almacenan la información en forma de cargas eléctricas, contenidas internamente en circuitos capacitivos hechos a base de transistores, y es por esto, que cuando se interrumpe el suministro de energía a la microcomputadora se pierde la información contenida en la memoria RAM, por lo que es una memoria volátil.

En un principio, la capacidad de almacenamiento de los circuitos de memoria RAM era muy reducida y su costo alto.

Cuando IBM lanzó su primer microcomputadora PC, el circuito de memoria RAM estándar tenía una capacidad de 16 Kbytes. En la PC XT se utilizaron circuitos RAM de 64 Kbytes, los cuales son cuatro veces menos caros que los circuitos RAM de 16 kbytes. Conforme se fue evolucionando en la tecnología de las memorias RAM la capacidad de éstas fue aumentando y su costo disminuyendo. Actualmente se disponen de memorias RAM con capacidad de 256 Kbytes y hasta de 1 megabyte.

II.5.3 ORGANIZACION LOGICA DE LA MEMORIA.

La unidad de memoria de una microcomputadora está compuesta por una serie de dispositivos de memoria, los cuales se organizan en subunidades que aunque estén compuestas de los mismos dispositivos, tienen una función diferente. No todos los elementos de memoria se accesan de la misma manera y no toda la memoria está destinada al uso exclusivo de los programas. Esto es debido a que en el diseño de la IBM PC se tomaron ciertas decisiones en cuanto al diseño del esquema de memoria, o sea, la organización lógica de la unidad de memoria.

Parte de estas decisiones fueron el resultado de las limitaciones de los microprocesadores de Intel, el 8088 y

8086, con los que se empezó a construir las primeras PC de IBM. La primera limitante de los microprocesadores 8088 y 8086 es que solo pueden direccionar un megabyte de memoria, la cual era considerada excesiva. De esta área total de memoria se asignó la mitad, 512 Kbytes, para los programas del usuario, mientras que la segunda mitad se dispuso para el uso exclusivo del sistema BIOS y del sistema de video.

Tiempo después se redujo el área destinada al sistema BIOS y al sistema de video dejando al usuario 640 Kbytes libres.

Los ingenieros que desarrollaron la IBM PC, decidieron asignar y reservar algunas secciones de la memoria total disponible para ciertos propósitos específicos, requeridos en la arquitectura de la microcomputadora. Estas áreas de memoria reservadas se detallaron en un esquema de memoria que recibe el nombre de mapa de memoria, el cual se muestra en la figura 2.5.

La organización lógica del mapa de memoria es la siguiente:

a) Sistema de memoria RAM.

El sistema de memoria RAM está comprendido desde la dirección de memoria 00000H hasta la 9FFFFH. Dentro de este rango de memoria se encuentran definidas las siguientes áreas de memoria:

AREA	DESCRIPCION
00000H-00080H	Vector de interrupciones del sistema BIOS.
00081H-00400H	Vector de interrupciones del DOS y del usuario.
00401H-00500H	Area de datos para el sistema BIOS y para el ROM BASIC.
00501H-9FFFFH	Area del DOS para la ejecución de programas.

b) Sistema de memoria de video.

A pesar de que el sistema de memoria de video, o buffer de video, está comprendido dentro del rango direccionable del sistema de memoria RAM, éste es considerado aparte. Dado que los diferentes sistemas de video, utilizan un área propia de memoria, éstas se definen y asignan de la siguiente manera:

AREA	DESCRIPCION
A0000H-AFFFFH	Sistemas de video EGA y VGA.
B0000H-B0400H	Sistema de video MDA.
BS000H-BC000H	Sistema de video CGA.

(c) Sistema de memoria ROM.

La memoria ROM comienza a partir de la dirección F4000H y termina en la dirección es 100000H. Dentro de esta área de memoria están contenidas todas las rutinas que conforman el sistema BIOS, y también se encuentra almacenado una versión corta o primaria del lenguaje BASIC (ROM BASIC).

El rango de direcciones que rebasa el límite de 1 megabyte de memoria pertenece a otros sistemas de memoria, los cuales no pueden ser accesados de manera directa por los microprocesadores 8088 y 8086, ya que rebasan su capacidad de direccionamiento, por lo cual se hace necesario la introducción de nuevos elementos de hardware para tal propósito, o un microprocesador que rebase el direccionamiento límite de 1 megabyte. Tales sistemas de memoria se exponen al final de este capítulo.

FIGURA 2.5 MAPA DE MEMORIA DE LA PC XT.

Dirección	Area	Sistema
00000H	Vector de Interrupciones del BIOS.	Sistema de Memoria RAM.
00080H	Vector de Interrupciones del usuario y del DOS.	
00400H	Area de datos para el sistema BIOS y el ROM BASIC.	
00500H	Area del DOS para la ejecución de programas. (Memoria Base)	
A0000H	Memoria de Video para los sistemas EGA y VGA.	Sistema de Memoria de Video.
B0000H	Memoria de Video para el sistema MDA.	
B4000H		
B8000H	Memoria de Video para el sistema CGA.	
F4000H	Reservado para la ROM BIOS y el ROM BASIC.	Sistema de Memoria ROM
100000H		

II.5.3.1 MEMORIA BASE.

En el diseño original de la IBM PC, se reservó la mitad de la memoria total disponible, es decir 512 Kbytes, para el uso exclusivo del BIOS y otros subsistemas de la microcomputadora como el sistema de video. El tamaño de ésta área asignada no parecía alarmar a los diseñadores, ya que cuando la PC se lanzó no existían grandes aplicaciones que requirieran un rango de memoria mayor a los 512 Kbytes disponibles para los programas. Sin embargo, pronto se rebasó este límite, y los ingenieros de IBM tuvieron que reducir el área de la memoria reservada, logrando rescatar un área de 128 Kbytes, con lo que la memoria disponible para la ejecución de los programas del usuario aumentó a:

$$512 \text{ K} + 128 \text{ K} = \underline{640 \text{ Kbytes}}$$

Esta cantidad de memoria es el área de memoria máxima contigua que administra el sistema operativo DOS en la ejecución de programas.

Aún persiste esta área de memoria en las microcomputadoras IBM, por lo que si se quiere tener una microcomputadora compatible con IBM se debe de mantener este tamaño de memoria. A esta memoria de 640 Kbytes, en la cual se ejecutan los programas, se le llama **memoria base**, la cual es un estándar en el diseño de sistemas compatibles con IBM.

II.5.3.2 MEMORIA EXTENDIDA.

Cuando la compañía Intel diseñó y liberó sus microprocesadores 80286 y 80386, el límite del rango de 1 megabyte de direccionamiento impuesto por los microprocesadores 8088 y 8086, fué superado, ya que tanto el 80286 como el 80386 pueden direccionar, en modo protegido, 15 megabytes y 4 gigabytes respectivamente.

El esquema de memoria tradicional impuesto por el 8088 y el 8086 no fué eliminado, sino que se dió la opción de manejarlo dentro de un modo de operación denominado **modo real**, con el fin de mantener compatibilidad y soporte con las aplicaciones desarrolladas para el 8088 y el 8086. Cuando los microprocesadores 80286 y 80386 se habilitan para trabajar en modo real, éstos, a pesar de su gran capacidad de direccionamiento, se limitan a manejar una memoria base de 640 kbytes, direccionando solo 1 megabyte de memoria.

En el **modo protegido**, la memoria direccionable más allá de un megabyte se le denomina **memoria extendida**.

Aún cuando los microprocesadores operando en modo real no pueden acceder la memoria extendida en forma directa, existe la posibilidad de direccionar esta memoria vía software para almacenar datos. Como ejemplo de este tipo de acceso, se tiene el programa VDISK, el cual se incluye en el sistema operativo desde la versión 3.0, con el que se permite ejecutar, en la memoria base manejada por el DOS, los programas en el modo real, pudiéndose acceder la memoria extendida solo para almacenar datos.

II.5.3.3 MEMORIA EXPANDIDA.

Dado que las microcomputadoras basadas en los microprocesadores 8088 y 8086 estaban restringidas a una memoria base de 640 Kbytes, las compañías Lotus Development Corporation, Intel Corporation y Microsoft Corporation, decidieron desarrollar juntas un nuevo sistema de memoria, con el fin de romper la barrera impuesta de los 640 Kbytes disponibles en la ejecución de programas. Este sistema de memoria se llamó **Especificación de la Memoria Expandida o EMS**. El sistema de memoria EMS difiere de la memoria base y de la memoria extendida en su direccionamiento, ya que éste no se realiza dentro del rango normal de direcciones del

microprocesador central, sino que se direcciona a través de dispositivos de hardware, los cuales constituyen una serie de bancos de memoria direccionables. Esta técnica de bancos de memoria direccionables ya era conocida, y se utilizaba en las computadoras con sistema CP/M basadas en el microprocesador Z-80.

El sistema de memoria EMS original estaba implementado por bancos de memoria expandida de 16 Kbytes cada uno. Se podía direccionar un rango de 64 Kbytes de memoria no perteneciente al área del DOS, antes de alcanzar el rango de memoria destinada al sistema de video. Se direccionaban cuatro bancos de memoria a la vez dentro del rango direccionable del 8088. Hasta ocho megabytes, formados en bancos de 16 kbytes de memoria expandida, podían ser instalados en el sistema.

El sistema de memoria EMS incluía la definición de muchas rutinas predefinidas de software, contenidas en un sistema llamado Administrador de la Memoria Expandida (Expanded Memory Manager), las cuales son utilizadas por los programas que hacen uso de la memoria expandida.

Debido a que las áreas de memoria más allá del rango de la memoria base de 640 Kbytes, que maneja el DOS, han sido asignadas por IBM para diversos propósitos, se presenta un conflicto potencial con la operación de otro sistema de expansión. En consecuencia, las especificaciones de este sistema de memoria permiten que muchas direcciones de los bancos de memoria estén en el rango de 784 Kbytes a 960 Kbytes.

Los programas que requieren hacer uso de la memoria **expandida**, deben ser especialmente diseñados y escritos para hacer uso de las funciones y rutinas del Administrador de la Memoria Expandida, ya que de otra forma no es posible hacer uso esta memoria.

Desafortunadamente, la memoria **expandida** solo podía ser utilizada para almacenar datos y no para ejecutar programas.

Diseños y mejoras posteriores permitieron al sistema de memoria expandida ser utilizada para ejecutar programas.

II.6 BIBLIOGRAFIA.

1. Murray, H. Willian., & Pappas, H. Chris, "80386/80286 Programación en lenguaje ensamblador". Editado por Osborne/Mc Graw-Hill, 1987.
2. Norton, Peter., & Wilton, Richard, "The new Peter Norton programmers guide to the IBM PC & PS/2". Editado por Microsoft Press, 1985.
3. Rector, Russell., & Alexy, George, "The 8086 Book" Editado por Osborne/Mc Graw-Hill. Berkeley California, 1980
4. Winn, L. Rosch, "The Winn Rosch Hardware Bible". Editado por Brady, New York.

CAPITULO III

FUNDAMENTOS DEL PUERTO PARALELO.

III.1 DEFINICION DE PUERTO.

Los puertos son las unidades básicas de acceso a las diferentes partes o subsistemas de una computadora. Estas unidades de acceso han sido denominadas puertos de Entrada/Salida ó E/S.

Los puertos de E/S también sirven como puentes de acceso a dispositivos periféricos, como lo son las impresoras, plotters, ratones, etc., con el fin de controlarlos y disponer de ellos.

Debido a que existen varios tipos de puertos de E/S es necesario identificarlos separadamente, y esto se realiza mediante un número de puerto. Este número se representa por un número de 16 bits que va desde el valor 00H hasta el FFFFH con lo cual se pueden manejar hasta 65,535 puertos.

III.2 TIPOS DE PUERTOS.

Los puertos de E/S se clasifican en dos grupos:

- 1) Puertos Seriales.
- 2) Puertos Paralelos.

Se denominan puertos seriales a aquellos que manejan su transferencia de información de manera secuencial, esto es que transmiten y reciben sus señales a través de un solo canal de comunicación.

Se denominan puertos paralelos a aquellos que efectúan su transferencia de información de manera simultánea, esto es

que se pueden transmitir y recibir varias señales al mismo tiempo, teniendo por cada señal un canal de comunicaciones.

III.3 INTERACCION ENTRE LA UNIDAD CENTRAL DE PROCESAMIENTO (UCP o CPU), EL PUERTO DE E/S Y LOS SUBSISTEMAS DE LA MICROCOMPUTADORA.

La Unidad Central de Procesamiento (UCP o CPU por sus siglas en inglés) es la parte encargada de controlar todos los subsistemas y partes de la computadora a través de los puertos de E/S. Se tienen puertos para comunicar el CPU con el Controlador Programable de Interrupciones, el Sistema de Temporización, el Controlador del Teclado, el Coprocesador Matemático, etc.

El CPU debe reconocer a todos los puertos de E/S que existen dentro del sistema mediante los números de puerto, para lo cual utiliza el bus de datos y direcciones.

El proceso para la detección o acceso a un puerto es el siguiente:

Primero el CPU manda una señal al Sistema de Bus para notificar a todos los dispositivos de E/S que la dirección que se va a enviar corresponde a un número de puerto específico. Después, el CPU genera la dirección del puerto (número de puerto) que quiere acceder y la envía al Sistema de Bus. El dispositivo que corresponda al puerto que se quiere acceder responde al CPU de su existencia con otra señal.

El número de puerto direcciona una localidad de memoria que se asocia a un dispositivo de E/S, por lo que esta dirección no corresponde a la memoria principal.

El uso específico de los puertos de E/S es determinado por los diseñadores de hardware y en general el rango en el que se definen los diferentes números de puerto se ha respetado para conservar "compatibilidad" en diseños posteriores que involucren el uso de puertos.

En la Tabla III.1 se muestran los rangos de los números de puerto y el subsistema o dispositivo que accesan.

III.4 SEÑALES QUE INTERVIENEN EN EL FUNCIONAMIENTO DEL PUERTO PARALELO.

El puerto paralelo es aquel que permite al CPU el acceso y control del dispositivo periférico llamado impresora.

Como se observa en la Tabla III.1, el rango de direcciones para este tipo de puertos es el siguiente:

Puerto	Rango
Puerto Paralelo 3 : lpt3	278H a 27BH
Puerto Paralelo 2 : lpt2	378H a 37BH
Puerto Paralelo 1 : lpt1	3BCH a 3BFH

Es necesario que la dirección de puerto paralelo se encuentre comprendida dentro de los rangos válidos para hacer uso de él.

Además de la dirección de puerto se tiene un conjunto de señales para controlar y coordinar las operaciones que se ejecutan dentro del puerto. Dichas señales se denominan Señales de Control, las cuales son generadas por el microprocesador.

TABLA III.1 DIRECCIONES UTILIZADAS POR LOS PUERTOS DE E/S.

DESCRIPCION	RANGO DE DIRECCIONES DE LOS PUERTOS DE E/S.
Controlador Programable de Interrupciones (Maestro). Sistema Temporizador.	20H - 3FH 40H - 5FH
Controlador de Teclado.	60H - 6FH (1)
Sistema de Control del Puerto B.	61H (2)
Reloj-Interno, Máscara NMI.	70H - 7FH (3)
Sistema de Control del Puerto A.	92H (4)
Controlador Programable de Interrupciones (Esclavo). Reloj-Interno.	A0H - BFH (5) B0H - BFH (6) E0H - EFH
Borrado del estado de la señal de Busy del Coprocesador matemático Inicialización del Coprocesador Matemático	F0H F1H
Coprocesador Matemático.	F8H - FFH
Controladora de Disco Duro.	1F0H - 1F8H
Adaptador de Control de Juego.	200H - 207H
Puerto Paralelo 3 (lpt3).	278H - 27BH
Puerto Serial de Comunicaciones 2.	2F8H - 2FFH
Controladora de Disco Duro.	320H - 32FH (7)
PC network.	360H - 363H 368H - 36BH
Puerto Paralelo 2 (lpt2).	378H - 37BH
Adaptador de monitor Monocromático.	3B0H - 3BBH (8)
Puerto Paralelo 1 (lpt1).	3BCH - 3BPH
Adaptador de Gráficos Realzados (EGA)	3C0H - 3CFH

**TABLA III.1 DIRECCIONES UTILIZADAS POR LOS PUERTOS DE E/S
(continuación).**

DESCRIPCION	RANGO DE DIRECCIONES DE LOS PUERTOS DE I/O.
Arreglo de Gráficos para Video (VGA).	Igual al EGA
Adaptador para Gráficos en Color (CGA).	3D0H - 3DFH ⁽⁹⁾
Arreglo para Gráficos Multi-Color (MCGA).	Igual al CGA
Controladora de Unidad de Disco.	3F0H - 3F7H
Puerto Serial de Comunicaciones 1.	3F8H - 3FFH

Notas :

- (1) En los equipos PS/2 modelo 30 los puertos 60H-6FH son reservados para el Sistema de control del panel y el status.
- (2) Solo para los modelos 50, 60 y 80 de PS/2.
- (3) Para los equipos PC, PC/XT y PS/2 modelo 30 la máscara NMI se accesa en la dirección de puerto A0H.
- (4) Solo disponible para los equipos PS/2 modelos 50, 60 y 80
- (5) En los equipos PS/2 modelo 30 el rango es A0H - AFH.
- (6) Solo disponible para el equipo PS/2 modelo 30.
- (7) Solo para los equipos PC/XT y PS/2 modelo 30.
- (8) También se utilizan para EGA y VGA en el modo de video monocromático.
- (9) También se utilizan para EGA y VGA en el modo de video color.

Dado que el diseño e implementación de nuestra tarjeta de puerto paralelo está orientada a equipos IBM PC XT y AT es necesario conocer y comprender la estructura básica de la familia de los microprocesadores de Intel 8088/8086 y 80286, la cual se detalla en el capítulo II : Fundamentos de Microcomputadoras.

Además de las Señales de Control, se disponen de otras que tienen como función primordial monitorear el estado actual del dispositivo periférico al momento en que se ejecuta una operación dentro del puerto. Dependiendo del estado de las señales de monitoreo y de la operación que se desee realizar, el CPU puede habilitar a la impresora en algún estado específico a través de señales denominadas Selectoras de Estado.

Para que el CPU pueda controlar y hacer uso de la impresora, a través del puerto paralelo, se utiliza un Protocolo de Acceso en el que intervienen las señales de :

- Control
- Monitoreo del Estado Actual de la Impresora
- Selectoras de Estado de la Impresora.

III.4.1 DESCRIPCION DE LAS SEÑALES DEL PROTOCOLO DE ACCESO DEL PUERTO PARALELO.

El Protocolo de acceso se encarga de dirigir, a través de las señales de control, la secuenciación de señales que se establece al accesar y manejar la impresora. Dichas señales se dividen, por sus funciones, en dos grupos :

- (1) Señales del Estado Actual de la Impresora o de Monitoreo :

-ACKNLG
BUSY
PE
SLCT

(2) Señales Selectoras del Estado de la Impresora:

-STROBE
-AUTOFEEDXT
-INIT
-SLCTIN

La descripción de las funciones de las señales de los grupos (1) y (2) se desglosan en la Tabla III.2.

III.4.2 DESCRIPCION DE LAS SEÑALES DE CONTROL DEL
PUERTO PARALELO.

Además de las señales del Protocolo de acceso, se tienen las señales de control, las cuales se encargan de administrar todas las operaciones que se ejecutan en el puerto paralelo.

Estas señales son:

PRINT CONTROL	READ	-PCR
PRINT CONTROL	WRITE	-PCW
PRINT DATA	READ	-PDR
PRINT DATA	WRITE	-PDW
PRINT STATUS		-PS

Las señales de control se generan a partir de un bloque decodificador que recibe como entrada la dirección del puerto y las señales -XIOW, -XIOR, A1 y A0, como se muestra en la Figura 3.1.

TABLA III.2 SEÑALES EMPLEADAS POR EL PUERTO PARALELO.

SEÑAL	SENTIDO	DESCRIPCION
<u>Strobe</u>	In	Pulso de Lectura de Datos: Esta señal generalmente se mantiene en nivel alto, y solo cuando se requiere hacer una transmisión de datos de la computadora a la impresora la señal pasa a nivel bajo.
Data1 Data2 Data3 Data4 Data5 Data6 Data7 Data8	In In In In In In In In	Estas señales representan la información desde el bit 1 al bit 8 (dato en paralelo) que se desea transmitir a la impresora. Cada señal está en nivel alto cuando se tiene un '1' lógico y en bajo cuando se presenta un '0' lógico.
<u>ACKNLG</u>	Out	Esta señal es una de las más importantes ya que nos indica, cuando tiene un nivel bajo, que los datos han sido recibidos y que la impresora está lista para recibir más datos.
BUSY	Out	Cuando esta señal está en nivel alto, indica que la impresora no puede recibir más datos. Esto ocurre cuando se presentan los siguientes casos: <ol style="list-style-type: none"> 1. Durante la recepción de datos. 2. Durante la operación de Impresión. 3. En el estado OFF-LINE (fuera de Línea). 4. Durante el periodo o status de Error en la impresora.
PE (Paper Empty)	Out	Si la señal está en nivel alto indica que la impresora no tiene papel en el cual imprimir.
SLCT (Select)	Out	Esta señal indica que la impresora está en el estado de Selección.

Nota: El 'SENTIDO' (In) va del CPU a la Impresora.

TABLA III.2 SEÑALES EMPLEADAS POR EL PUERTO PARALELO
(continuación).

SEÑAL	SENTIDO	DESCRIPCION
<u>AUTOFEED- XT</u>	In	Si el nivel de esta señal es bajo el papel es automáticamente alimentado 1 línea después de imprimir.
<u>INIT</u>	In	Si el nivel de la señal es bajo entonces el controlador de la impresora se deshabilita (reset), se 'limpia' el buffer y la impresora pasa al Estado Inicial. El nivel de esta señal es normalmente alto.
<u>ERROR</u>	Out	Esta señal presenta un nivel bajo cuando: 1. Se termina el papel. 2. Se presenta el estado OFF-LINE. 3. Ocurre el estado de Error.
<u>SLCTIN</u>	In	La recepción de datos solo es posible cuando el nivel de esta señal es bajo.

Nota: El 'SENTIDO' (In) va del CPU a la Impresora.

Dirección de puerto: Es el número de puerto que se quiere acceder, en nuestro caso será la dirección 37BH, la cual corresponde al puerto paralelo lpt2.

-XIOW : Esta señal se activa cuando se desea realizar la operación de escritura o transferencia de datos del CPU hacia la impresora.

-XIOR : Esta señal se utiliza para efectuar la operación de lectura de las señales que determinan en qué estado se encuentra la impresora. Las señales que reportan el estado de la impresora son: -ERROR, SLCT, PE, -ACK, BUSY, las cuales se detallan en la Tabla III.2.

Las señales -XIOR y -XIOW se generan a partir de las señales:

\overline{RD}	(READ CONTROL)
\overline{WD}	(WRITE CONTROL)
I/O \overline{M}	(MEMORY, I/O ACCESS)

las cuales provienen del microprocesador, como se muestra en la figura 3.2.

Figura 3.1 Bloque Decodificador para la señales de control.

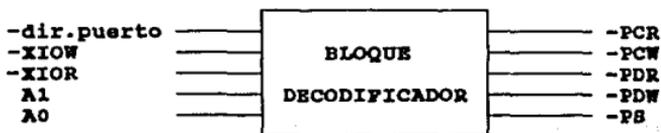
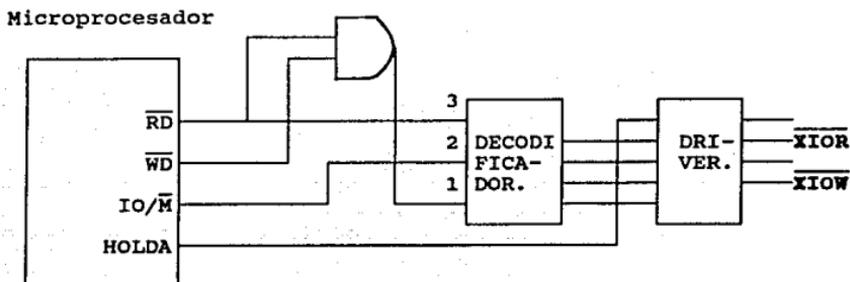


Figura 3.2 Origen de las señales -XIOR y -XIOW.



Como se observa en el diagrama de la figura 3.2, las señales del microprocesador RD y WD son complementarias ya que una habilita la operación de Lectura y otra la de Escritura. Estas operaciones no pueden ocurrir al mismo tiempo, por lo que para que solo una de ellas se active se envían a una compuerta AND, y de ahí, pasan a un bloque decodificador, en el que además entran las señales IO/M y RD. La señal IO/M es la que permite realizar las operaciones de Lectura y/o Escritura en Memoria o en los Puertos de E/S de los diferentes subsistemas de la microcomputadora.

A1 y A0 : Son señales del bus de direcciones que se utilizan para seleccionar subfunciones de las señales -XIOR y -XIOW, las cuales se detallan en la Tabla III.3.

III.5 FUNCIONAMIENTO DE LOS BLOQUES DEL PUERTO PARALELO.

El puerto paralelo está compuesto por cuatro bloques que son coordinados por un quinto llamado Bloque de Control

(figura 3.1). En el Diagrama de Bloques de la figura 3.3 se muestra la distribución de todos los bloques.

Cada bloque realiza sus propias funciones, y éstas son :

BLOQUE 1: BLOQUE DE CONTROL.

Función: Se encarga de controlar y coordinar todas las operaciones que se ejecutan dentro del puerto paralelo a través de las señales -PDR,-PCR,-PDW,-PCW y -PB, las cuales controlan a los bloques 2,3,4 y 5, como se ve en la figura 3.3.

BLOQUE 2: BLOQUE DE PUERTO DE SALIDA DE DATOS.

Función: Se encarga de recibir los datos (D₀ - D₇) provenientes del CPU para transmitirlos al Puerto de Salida de datos y al Bloque 3 de localización de Puerto. Este bloque se activa cuando el bloque de control habilita la señal -PDW (PRINT DATA WRITE).

BLOQUE 3: BLOQUE DE LOCALIZACION DE PUERTO (LECTOR DE DATOS).

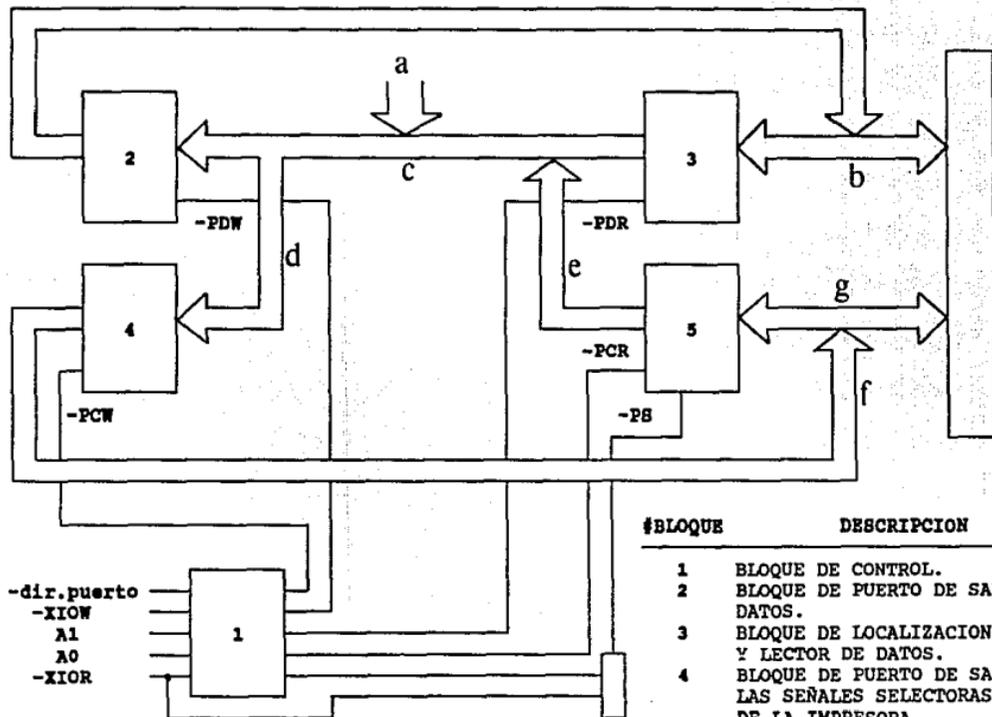
Función: Este bloque se utiliza para detectar la existencia del puerto paralelo mediante una lectura de datos. La función básica de este bloque es la de leer datos cuando la señal -PDR (PRINT DATA READ) del bloque de control es activada.

BLOQUE 4: BLOQUE DE PUERTO DE SALIDA DE LAS SEÑALES SELECTORAS DE ESTADO DE LA IMPRESORA.

Función: Se encarga de recibir y transmitir a la salida del puerto las señales de Selección de Estado de la impresora provenientes del CPU. Este bloque realiza su función cuando el bloque de control activa la señal -PCW (PRINT CONTROL WRITE).

FIGURA 3.3

DIAGRAMA DE BLOQUES DEL PUERTO PARALELO.



#BLOQUE	DESCRIPCION
1	BLOQUE DE CONTROL.
2	BLOQUE DE PUERTO DE SALIDA DE DATOS.
3	BLOQUE DE LOCALIZACION DE PUERTO Y LECTOR DE DATOS.
4	BLOQUE DE PUERTO DE SALIDA DE LAS SEÑALES SELECTORAS DE ESTADO DE LA IMPRESORA.
5	BLOQUE RECEPTOR DEL ESTADO ACTUAL DE LA IMPRESORA Y DE LAS SEÑALES SELECTORAS DEL ESTADO DE LA IMPRESORA.

**FIGURA 3.3 DESCRIPCION DE LOS BUSES DEL DIAGRAMA DE BLOQUES
PUERTO DEL PUERTO PARALELO.**

BUS	DESCRIPCION
(a)	Bus de Transmisión de Datos y Señales de Selección de Estado de la Impresora provenientes del CPU. En este bus también se reciben Datos y Señales de Monitoreo de la Impresora provenientes del puerto de salida para enviarlos al CPU.
(b)	Bus de Salida de Datos (D0-D7) a la impresora y al Bloque 3.
(c)	Bus de Recepción de Datos y Señales de Selección de Estado de la Impresora.
(d)	Bus de Recepción de Señales de Selección de Estado de la Impresora.
(e)	Bus de Transmisión de Señales de Monitoreo de la Impresora provenientes del Bloque 5.
(f)	Bus de Transmisión de la Señales de Selección de Estado de la Impresora provenientes del Bloque 4 y dirigidas al puerto de salida.
(g)	Bus de Entrada de Señales de Monitoreo de la Impresora y de Salida de las Señales de Selección de Estado de la Impresora.

BLOQUE 5: BLOQUE RECEPTOR DEL ESTADO ACTUAL DE LA IMPRESORA Y LECTOR DE LAS SEÑALES SELECTORAS DE ESTADO DE LA IMPRESORA.

Función: Este bloque tiene dos funciones. Cuando recibe la señal -PCR (PRINT CONTROL READ) lee del puerto de salida las señales Selectoras del Estado de la Impresora (-Strobe,-Init,-AutoFeedXT y -Slctin) enviadas desde el CPU. Esto tiene como fin verificar que las señales enviadas sean correctas.

Cuando el bloque de control activa la señal -PS (PRINT STATUS) este bloque se efectua la lectura de las señales del Estado Actual de l. Impresora (Señales de Monitoreo: -ACK, BUSY, SLCT y PE) para que éstas sean enviadas al CPU.

Todas las funciones que se pueden ejecutar dentro del puerto paralelo están definidas en la Tabla III.3 del Bloque de Decodificación de las señales de control.

TABLA III.3 ACCIONES DE CONTROL SOBRE EL PUERTO PARALELO.

N	Dir. Puerto	XIOW XIOR	A1 A0	PCR PCW PS	PDR PDW
1	H	X X	X X	H H H	H H H
2	L	H L	H L	L H H	H H H
3	L	L H	H L	H L H	H H H
4	L	H L	L H	H H L	H H H
5	L	H L	L L	H H H	L H H
6	L	L H	L L	H H H	H H L

Estados de la Tabla III.3 de Acciones de Control :

Estado 1: Puerto Paralelo en deshabilitación.

Estado 2: La señal de control -PCR es generada, con lo cual el Bloque 5 del puerto paralelo es activado para Leer el estado de las señales : -STROBE, -INIT, -AUTOFEEDXT y

-SLCTIN. Esta operación verifica que las señales Selectoras del Estado de la Impresora enviadas por el CPU se han transmitido correctamente.

Estado 3: La señal de control **-PCW** es generada, y habilita al Bloque 4 para que las señales **-STROBE**, **-INIT**, **-AUTOFEEDXT** y **-SLCTIN**, sean enviadas a la impresora por el puerto de salida.

Estado 4: Se genera la señal de control **PS**, con la cual el Bloque 5 es activado para efectuar la Lectura de las señales del Estado Actual de la Impresora, **-ACK**, **BUSY**, **SLCT** y la señal de **-ERROR** si es que ocurre.

Estado 5: La señal de control **-PDR** es generada, lo cual activa al Bloque 3 para leer los datos (**D₀** a **D₇**) que se encuentran en el puerto de salida.

Estado 6: La señal de control **-PDW** es activada, permitiendo la transferencia de las líneas de datos (**D₀** a **D₇**) del Bloque 2 hacia el puerto de salida de datos.

III.6 BIBLIOGRAFIA.

1. CITIZEN AMERICA CORPORATION, " 180-D User's Manual "
Editado por CITIZEN AMERICA CORPORATION, 1987.
2. NEC CORPORATION, "The UltraLite 286F Service Manual"
Editado por NEC CORPORATION, 1990.
3. Norton, Peter., & Wilton, Richard, "The new Peter Norton
programmers guide to the IBM PC & PS/2".
Editado por Microsoft Press, 1985.
4. Winn, L. Rosch, "The Winn Rosch Hardware Bible".
Editado por Brady, New York.

CAPITULO IV

DISEÑO.

IV.1 ELEMENTOS DE DISEÑO.

El sistema del puerto paralelo, al igual que otros, se integra a la microcomputadora a través del conector del bus de expansión.

El bus de expansión se encuentra formado por un conjunto de señales, a través de las cuales se ejerce el control y coordinación de todos los subsistemas de la microcomputadora.

Es evidente que no todas las señales del bus de expansión son utilizadas por un solo subsistema. En el caso del puerto paralelo se tiene que éste solo utiliza una parte de estas señales, las cuales se describirán en la sección IV.1.2 de este capítulo.

En la fase experimental se requirió tener acceso a las señales del bus de expansión. Para esto, fue necesario diseñar un juego de tarjetas expansoras, con las cuales se tuvo la facilidad de transportar, al exterior de la microcomputadora, las líneas de las señales que alimentaron el sistema prototipo del puerto paralelo.

Para el diseño de las tarjetas expansoras y la tarjeta del puerto paralelo se utilizó, como herramienta, el programa SmartWork, el cual permite trazar y distribuir las pistas en un área determinada para la formación de una tarjeta de circuito impreso. El proceso del diseño e implementación de las tarjetas de circuito impreso se detalla en la sección IV.1.3 de este capítulo.

IV.1.1 BUS DE EXPANSION.

El bus de expansión de la microcomputadora tiene como fin principal el de servir como un medio de conexión y comunicación entre el microprocesador y los sistemas electrónicos de la microcomputadora.

El bus de expansión es uno de los elementos más importantes en el diseño de la microcomputadora, ya que éste determinará el tipo de características que los sistemas y productos, con los que se trabajarán, deberán cubrir para ser compatibles y utilizables con la microcomputadora.

Una de las funciones principales que cubre el bus de expansión es la transferencia de datos, direcciones y señales de control que se establece entre el microprocesador y el resto de la microcomputadora, y que interviene además, en la sincronización de todo el sistema.

El bus de expansión se encuentra disponible a través de un conector, que varía según el tipo de microcomputadora, en el que se han distribuido todas las líneas de las señales que se manejan.

En el caso de las microcomputadoras IBM PC XT, los conectores del bus de expansión disponibles son de 62 pines o líneas de conexión. Dado que el microprocesador de la PC XT es el 8088 se tienen en el bus de expansión 8 líneas de datos y 20 líneas de direcciones, además de las líneas de las señales de control. La distribución de las señales del bus de expansión líneas se presenta en la Tabla IV.1.

TABLA IV.1 DISTRIBUCION DE LAS LINEAS Y SEÑALES DEL BUS DE EXPANSION DE UNA IBM PC XT.

Nombre de la Línea	Nombre de la señal
B1	Ground (Tierra).
B2	Reset Driver.
B3	+ 5 VDC.
B4	Interrupt Request 2
B5	- 5 VCD
B6	DMA Request 2
B7	- 12 VDC
B8	Tarjeta Seleccionada.

TABLA IV.1 DISTRIBUCION DE LAS LINEAS Y SEÑALES DEL BUS DE EXPANSION DE UNA IBM PC XT (Continuación).

Nombre de la Línea	Nombre de la señal
B9	+ 12 VDC. (Solo en modelo XT).
B10	Ground (Tierra).
B11	Memory Write.
B12	Memory Read.
B13	Input/Output Write.
B14	Input/Output Read.
B15	DMA Acknowledge 3.
B16	DMA Request 3.
B17	DMA Acknowledge 1.
B18	DMA Request 1.
B19	DMA Acknowledge 0.
B20	Clock.
B21	Interrupt Request 7.
B22	Interrupt Request 6.
B23	Interrupt Request 5.
B24	Interrupt Request 4.
B25	Interrupt Request 3.
B26	DMA Acknowledge 2.
B27	Terminal Counter T/C.
B28	Address Latch Enable.
B29	+ 5 VDC.
B30	Oscillator.
B31	Ground (Tierra).
A1	Input/Output Channel Check.
A2	Data 7.
A3	Data 6.
A4	Data 5.
A5	Data 4.
A6	Data 3.

TABLA IV.1 DISTRIBUCION DE LAS LINEAS Y SEÑALES DEL BUS DE EXPANSION DE UNA IBM PC XT (Continuación).

Nombre de la Línea	Nombre de la señal
A7	Data 2.
A8	Data 1.
A9	Data 0.
A10	Input/Output Channel Ready.
A11	Address Enable.
A12	Address 19.
A13	Address 18.
A14	Address 17.
A15	Address 16.
A16	Address 15.
A17	Address 14.
A18	Address 13.
A19	Address 12.
A20	Address 11.
A21	Address 10.
A22	Address 9.
A23	Address 8.
A24	Address 7.
A25	Address 6.
A26	Address 5.
A27	Address 4.
A28	Address 3.
A29	Address 2.
A30	Address 1.
A31	Address 0.

El conector del bus de expansión presenta sus señales en sus dos extremos, llamando a un extremo **A** y al otro **B**. Cada

línea, según su ubicación en A o B, se enumera desde A0 / B0 hasta A31 / B31.

En el caso de la IBM PC AT, el bus de expansión presenta más líneas de datos, direcciones y señales de control que el bus de expansión de la IBM PC XT, ya que el microprocesador empleado en la PC AT es el 80286.

Los diseñadores de la IBM PC AT solo modificaron cinco líneas en el conector principal de 62 líneas del bus de expansión. Con esto se pretendió que las modificaciones en la distribución de las señales del conector principal fueran mínimas, con el fin de que algunos de los subsistemas de la microcomputadora y productos de hardware no sufrieran grandes cambios en su estructura. De esta manera, algunos subsistemas y productos de hardware podían ser compatibles en su uso, tanto en una PC XT como en una PC AT, lo cual es el caso de la tarjeta de puerto paralelo desarrollada en este trabajo de tesis.

Las señales adicionales que se manejan en el bus de expansión de la IBM PC AT se añadieron en un segundo conector llamándose sus lados C y D. De esta forma, los subsistemas exclusivos de la PC AT hacen uso de ambos conectores.

La distribución de las señales del conector principal, del bus de expansión, es casi idéntica a la de la PC XT ya que solo cinco líneas son diferentes. La distribución de señales del conector principal se muestra en la Tabla IV.2.

TABLA IV.2 DISTRIBUCION DE LAS LINEAS Y SEÑALES DEL BUS DE EXPANSION DE UNA IBM PC AT.

Nombre de la Línea	Nombre de la señal
B1	Ground (Tierra).
B2	Reset Driver.
B3	+ 5 VDC.
B4	Interrupt Request 9.
B5	- 5 VCD.

**TABLA IV.2 DISTRIBUCION DE LAS LINEAS Y SEÑALES DEL BUS DE
EXPANSION DE UNA IBM PC AT (Continuación).**

Nombre de la Línea	Nombre de la señal
B6	DMA Request 2.
B7	- 12 VDC.
B8	Zero Wait State.
B9	+ 12 VDC.
B10	Ground (Tierra).
B11	Real Memory Write.
B12	Real Memory Read.
B13	Input/Output Write.
B14	Input/Output Read.
B15	DMA Acknowledge 3.
B16	DMA Request 3.
B17	DMA Acknowledge 1.
B18	DMA Request 1.
B19	Refresh.
B20	Clock.
B21	Interrupt Request 7.
B22	Interrupt Request 6.
B23	Interrupt Request 5.
B24	Interrupt Request 4.
B25	Interrupt Request 3.
B26	DMA Acknowledge 2.
B27	Terminal Counter T/C.
B28	Address Latch Enable.
B29	+ 5 VDC.
B30	Oscillator.
B31	Ground (Tierra).
A1	Input/Output Channel Check.
A2	Data 7.
A3	Data 6.

TABLA IV.2 DISTRIBUCION DE LAS LINEAS Y SEÑALES DEL BUS DE EXPANSION DE UNA IBM PC AT (Continuación).

Nombre de la Línea	Nombre de la señal
A4	Data 5.
A5	Data 4.
A6	Data 3.
A7	Data 2.
A8	Data 1.
A9	Data 0.
A10	Input/Output Channel Ready.
A11	Address Enable.
A12	Address 19.
A13	Address 18.
A14	Address 17.
A15	Address 16.
A16	Address 15.
A17	Address 14.
A18	Address 13.
A19	Address 12.
A20	Address 11.
A21	Address 10.
A22	Address 9.
A23	Address 8.
A24	Address 7.
A25	Address 6.
A26	Address 5.
A27	Address 4.
A28	Address 3.
A29	Address 2.
A30	Address 1.
A31	Address 0.

La distribución de señales del segundo conector del bus de expansión de la IBM PC AT se muestra en la Tabla IV.3.

TABLA IV.3 DISTRIBUCION DE LAS LINEAS Y SEÑALES DEL BUS DE EXPANSION DE UNA IBM PC AT (Continuación).

Nombre de la Línea	Nombre de la señal
D1	Memory 16-bit Chip Select.
D2	I/O 16-bit Chip Select.
D3	Interrupt Request 10
D4	Interrupt Request 11.
D5	Interrupt Request 12.
D6	Interrupt Request 13.
D7	Interrupt Request 14.
D8	DMA Acknowledge 0.
D9	DMA Request 0.
D10	DMA Acknowledge 5.
D11	DMA Request 5.
D12	DMA Acknowledge 6.
D13	DMA Request 6.
D14	DMA Acknowledge 7.
D15	DMA Request 7.
D16	+ 5 VCD.
D17	Master.
D18	Ground (Tierra).
C1	System Bus High Enable.
C2	Unlatched Address 23.
C3	Unlatched Address 22.
C4	Unlatched Address 21.
C5	Unlatched Address 20.
C6	Unlatched Address 19.
C7	Unlatched Address 18.
C8	Unlatched Address 17.
C9	Memory Read.

TABLA IV.3 DISTRIBUCION DE LAS LINEAS Y SEÑALES DEL BUS DE EXPANSION DE UNA IBM PC AT (Continuación).

Nombre de la Línea	Nombre de la señal
C10	Memory Write.
C11	Data 8.
C12	Data 9.
C13	Data 10.
C14	Data 11.
C15	Data 12.
C16	Data 13.
C17	Data 14.
C18	Data 15.

IV.1.2 SEÑALES DEL BUS DE EXPANSION UTILIZADAS POR EL PUERTO PARALELO.

El sistema de puerto paralelo requiere del uso de algunas líneas y señales del bus de expansión para su funcionamiento. Estas líneas y señales se dividen en cuatro grupos:

I. Líneas de Dirección

Este grupo está integrado por las líneas **A31** hasta la **A12** del bus de expansión. Estas líneas corresponden a las líneas de dirección del microprocesador que van desde **A0** a la **A19**, las cuales son utilizadas para direccionar el sistema de puerto paralelo a través del número de puerto.

II. Líneas de Datos.

Este grupo está integrado por las líneas A02 a la A09 del bus de expansión, correspondientes a las líneas de datos D0 a D7, a través de las cuales se envían los caracteres al puerto paralelo, para que más tarde sean enviados a la impresora. Estas líneas también se usan para la recepción de algunas señales de control del puerto paralelo.

III. Señales de Control.

Las señales de control del bus de expansión utilizadas por el sistema de puerto paralelo son:

Línea del bus de expansión : B13.

Nombre de la señal : \overline{IOW} .

Descripción: Esta señal proviene del microprocesador, y se utiliza para indicarle al sistema de puerto paralelo que se va a efectuar una operación de Escritura. La señal \overline{IOW} es una de las entradas del decodificador de control del puerto paralelo.

Línea del bus de expansión : B14.

Nombre de la señal : \overline{IOR} .

Descripción: Esta señal proviene del microprocesador, y se utiliza para indicarle al sistema de puerto paralelo que se va a efectuar una operación de Lectura. La señal \overline{IOR} es una de las entradas del decodificador de control del puerto paralelo.

Línea del bus de expansión : B02.

Nombre de la señal : RESET DRV.

Descripción: Esta señal proviene del microprocesador, y se utiliza para inicializar al sistema de puerto paralelo junto con todos los sistemas de la microcomputadora.

Línea del bus de expansión : B21.

Nombre de la señal : IRQ7.

Descripción : Esta señal es generada por el sistema de puerto paralelo para solicitar la atención del microprocesador, a través de la interrupción 7.

IV. Líneas de alimentación y de referencia a tierra.

Este grupo de líneas se utiliza para alimentar a los sistemas de la microcomputadora conectados al slot (ranura) del bus de expansión. Las líneas disponibles son:

Línea del bus de expansión : B09.

Descripción : Esta línea proporciona + 12 volts DC.

Línea del bus de expansión : B07.

Descripción : Esta línea proporciona - 12 volts DC.

Línea del bus de expansión : B05.

Descripción : Esta línea proporciona - 5 volts DC.

Líneas del bus de expansión : B03 y B29.

Descripción : Estas líneas proporcionan + 5 volts DC.

Líneas del bus de expansión : B01, B10 y B31.

Descripción : Estas líneas son las líneas de tierra (GND).

IV.1.3 DISEÑO DE LAS TARJETAS EXPANSORAS DEL BUS DE EXPANSION

Antes de empezar a diseñar el circuito del puerto paralelo fue necesario tener acceso a todas las líneas y señales del bus de expansión.

Dado que los primeros prototipos del puerto paralelo se ensamblaron en tabletas experimentales se tuvo que resolver el problema de transportar las señales del bus de expansión

al exterior de la microcomputadora. Para esto se diseñaron un juego de dos tarjetas expansoras.

La primer tarjeta expansora se diseñó para conectarse directamente al slot (ranura) del bus de expansión. Esta tarjeta prolonga cada una de las líneas del bus de expansión hacia uno de dos conectores disponibles en el extremo superior de la tarjeta. Estos conectores pueden conducir 34 señales cada uno, por lo que se disponen de 68 líneas, de las cuales solo se utilizan 62 correspondientes al bus de expansión.

De ambos conectores parten un par de listones de cable plano de 34 hilos cada uno, de 50 centímetros de longitud, los cuales se soldaron a una tira de alfileres de conexión que se conectó a las tabletas experimentales del circuito prototipo del puerto paralelo.

La segunda tarjeta se diseñó para complementarse con la primera, de tal forma que se dispusiera de un conector externo de 62 líneas, para que en él se incrustará la tarjeta de circuito impreso del sistema de puerto paralelo.

La metodología seguida para la elaboración de las tarjetas expansoras puede resumirse en los siguientes pasos:

M E T O D O L O G I A .

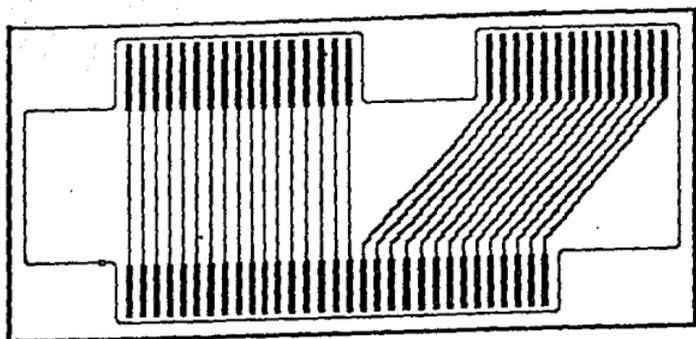
I. Realización de las caras de las tarjetas expansoras utilizando el programa diseñador SmartWork.

En este primer paso se utilizó como herramienta de diseño el programa SmartWork, mediante el cual se diseñaron dos caras para la tarjeta 1 y una cara para la tarjeta 2.

Los esquemas de las caras de las tarjetas 1 y 2 se muestran en las figuras 4.1 y 4.2 respectivamente.

FIGURA 4.1

CARA A



CARA B

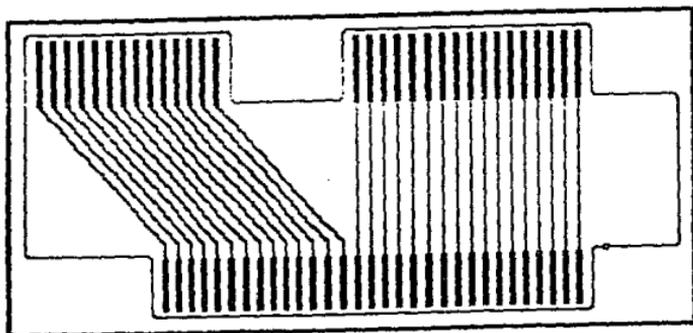
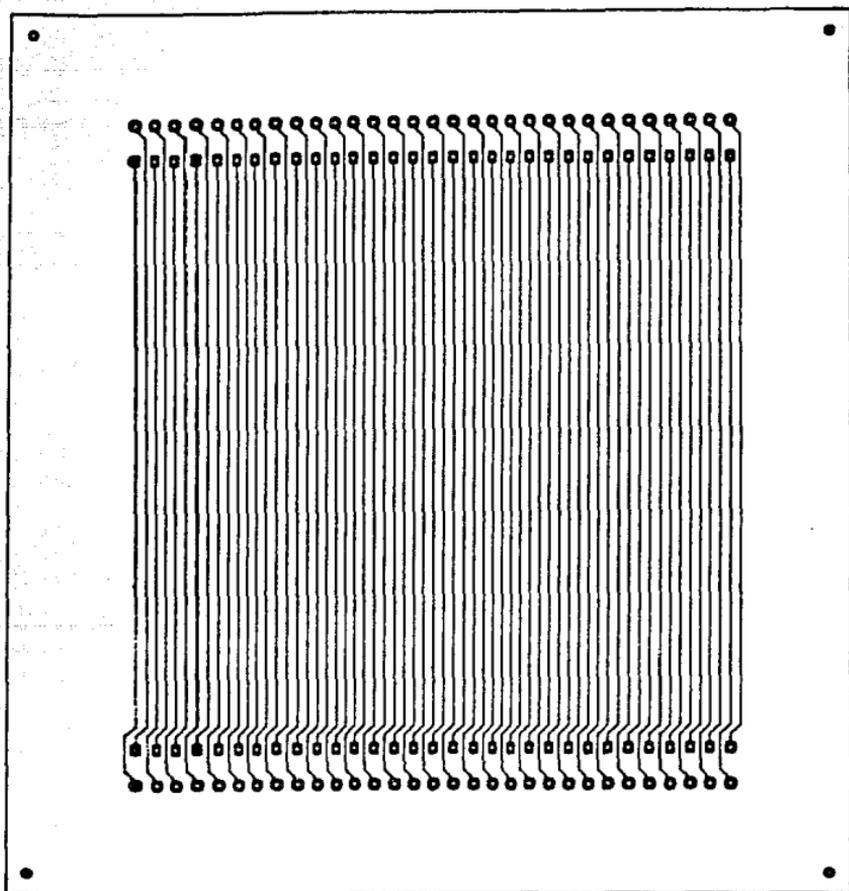


FIGURA 4.2 DISEÑO DE LA CARA DE LA TARJETA EXPANSORA NO.2



II. Impresión de las caras de las tarjetas expansoras en papel albanene en tamaño doble (2 X 1).

En este paso se imprimieron las caras de las tarjetas expansoras en una impresora de matriz de puntos en papel albanene a tamaño doble. Esto se hizo con el fin de tener un mayor espacio para detallar, de la mejor manera, cada una de las pistas de las tarjetas, eliminando el riesgo de invadir unas con otras.

III. Realizado de las pistas y puntos de conexión de las caras impresas en papel albanene.

Debido a que la calidad de impresión de las caras de las tarjetas no es del todo óptima, se tuvo que remarcar cada una de las pistas con tinta china. Esto se hace con el fin de asegurar que exista continuidad a lo largo de todas las trayectorias de las pistas, evitando puntos de interrupción en el circuito impreso. Además de las pistas, en cada punto de conexión se sobrepuso una calcomanía especial (Rapid Circuit) para resaltarlos aún más.

IV. Reducción fotográfica, a tamaño normal, de las caras de las tarjetas expansoras, obteniendo sus negativos y positivos fotográficos.

Una vez que se tuvieron las caras detalladas de las tarjetas en papel albanene, se procedió a tomarles una reducción fotográfica a tamaño normal. Los negativos y positivos fotográficos se obtuvieron para el proceso de fabricación de las tarjetas.

V. Fabricación de los circuitos impresos mediante los negativos y positivos fotográficos de las tarjetas expansoras.

Con los negativos y positivos fotográficos, obtenidos en el paso anterior, se recurrió a un fabricante de circuitos impresos, el cual se encargó de la elaboración final de las tarjetas expansoras.

IV.2 DISEÑO DEL PUERTO PARALELO.

El diseño de la circuitería que conforma el puerto paralelo se dividió en dos partes:

- 1) **Circuitería de Control.**
- 2) **Circuitería de transferencia de datos y señales a los puertos de Entrada/Salida.**

La primer parte está integrada en un decodificador de control, el cual genera cinco señales, a través de las cuales gobierna el comportamiento de los bloques del puerto paralelo.

La segunda parte está integrada por cuatro bloques (ver figura 3.3), los cuales constituyen en sí el puerto paralelo.

Estos bloques se denominan:

- I. Bloque de puerto de salida de datos.**
- II. Bloque de localización de puerto y lector de datos.**
- III. Bloque de puerto de salida de las señales selectoras de estado de la impresora.**
- IV. Bloque receptor de las señales del estado actual de la impresora.**

Existe un bloque adicional que interactúa con el decodificador de control y el puerto paralelo, el cual es controlado por la señal de escritura **-XIOW** del microprocesador. Este bloque, denominado **bloque de transferencia de datos**, se encarga de controlar el sentido de la transferencia de las líneas de datos, es decir, conduce los datos en un sentido para realizar una operación de **escritura** y en otro para la operación de **lectura**. Además de la transferencia de datos, también se transfieren las señales del estado actual de la impresora al microprocesador, a través de las líneas de datos controladas por este bloque.

La descripción y el funcionamiento de este bloque se detalla en las secciones IV.2.1, IV.2.3 y IV.2.7.

IV.2.1 DESCRIPCIÓN DE LOS CIRCUITOS INTEGRADOS DEL BLOQUE DECODIFICADOR DE CONTROL Y DEL BLOQUE DE TRANSFERENCIA DE DATOS DEL PUERTO PARALELO.

Los circuitos integrados que constituyen el **bloque de control**, como puede observarse en el diagrama lógico No. 1 del apéndice A, son los siguientes:

1. Circuito **AND 74LS08.**
2. Circuito **NOT 74LS04.**
3. Circuito decodificador **74LS155.**

En el caso del **bloque de transferencia de datos** se emplea el circuito integrado:

4. Circuito Octal Bus Transceiver **74LS245.**

A continuación se describen estos circuitos integrados :

1. Circuito AND 74LS08.

Este circuito integrado contiene cuatro compuertas independientes que ejecutan la función lógica AND.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.3.

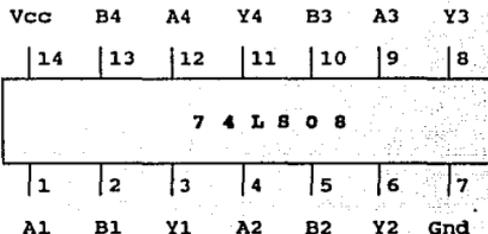
Este tipo de compuertas se utilizaron en la implementación del circuito combinacional decodificador de la señal de dirección del puerto paralelo **dir.puerto**, como se muestra en el diagrama lógico No.1 del apéndice A.

FIGURA 4.3 TABLA DE FUNCION Y DIAGRAMA DE CONEXION DEL CIRCUITO INTEGRADO 74LS08.

Tabla de función.

$$Y = A \cdot B$$

Entrada		Salida
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H



H = Nivel lógico alto.

L = Nivel lógico bajo.

2. Circuito Inversor 74LS04.

Este circuito integrado contiene seis compuertas independientes que ejecutan la función lógica NOT.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.4.

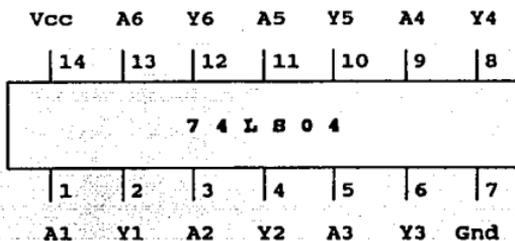
Este tipo de compuertas se utilizaron en la implementación del circuito combinacional para la generación de las señales de dirección de puerto paralelo **dir.puerto** y **-dir.puerto**, como se muestra en el diagrama lógico No.1 del apéndice A.

FIGURA 4.4 TABLA DE FUNCION Y DIAGRAMA DE CONEXION DEL CIRCUITO INTEGRADO 74LS04.

Tabla de función.

$Y = \bar{A}$

Entrada	Salida
A	Y
L	H
H	L



H = Nivel lógico alto.
L = Nivel lógico bajo.

3. Circuito decodificador 74LS155.

El circuito integrado 74LS155 es un circuito decodificador/demultiplexor dual con dos líneas de strobe individuales y líneas de entradas comunes de dirección binaria.

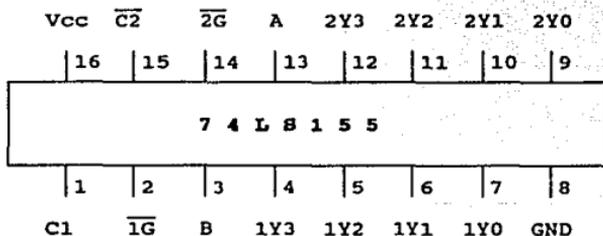
Las líneas de salida del decodificador se dividen en dos secciones, las cuales son habilitadas por separado mediante sus respectivas líneas de strobe. las entradas comunes de direcciones seleccionan secuencialmente, a través de la ruta asociada con las líneas de datos,

Para activar una salida específica es necesario direccionarla a través de las líneas de entrada y las líneas de strobe, -1G y -2G, tal como se muestra en la tabla de función de la figura 4.5.

FIGURA 4.5 TABLA DE FUNCION Y DIAGRAMA DE CONEXION DEL CIRCUITO INTEGRADO 74LS155.

ENTRADAS		S A L I D A S							
C B A	*G	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X X X	H	H	H	H	H	H	H	H	H
L L L	L	L	H	H	H	H	H	H	H
L L H	L	H	L	H	H	H	H	H	H
L H L	L	H	H	L	H	H	H	H	H
L H H	L	H	H	H	L	H	H	H	H
H L L	L	H	H	H	H	L	H	H	H
H L H	L	H	H	H	H	H	L	H	H
H H L	L	H	H	H	H	H	H	L	H
H H H	L	H	H	H	H	H	H	H	L

C = Entradas C1 y -C2 conectadas.
 G* = Líneas de Strobe -1G y -2G conectadas.
 L = Nivel lógico bajo.
 H = Nivel lógico alto.
 X = No importa nivel lógico.



4. Circuito de bus octal Transceiver 74LS245.

El circuito 74LS245 está diseñado para efectuar transferencias bidireccionales asincrónicas de datos para la comunicación entre buses de datos. La implementación de la función de control de este circuito, minimiza los

requerimientos externos de tiempo en la transferencia de datos.

El sentido de la transferencia de los datos depende del nivel lógico a la entrada de la línea de control de dirección DIR. La entrada habilitadora \bar{G} se emplea para desactivar el circuito, permitiendo así aislar los buses A y B completamente.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.6.

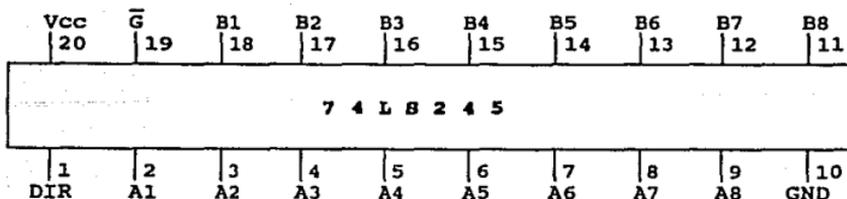
FIGURA 4.6 TABLA DE FUNCION Y DIAGRAMA DE CONEXION DEL CIRCUITO INTEGRADO 74LS244.

Tabla de Función

Enable \bar{G}	Control de Dirección DIR	OPERACION Sentido
L	L	B → A
L	H	B ← A
H	X	Z

Donde:

H = Nivel lógico alto.
 L = Nivel lógico bajo.
 X = No importa nivel.
 Z = Estado de aislamiento.
 → = Sentido de transmisión de datos de B a A.
 ← = Sentido de transmisión de datos de A a B.



Nota: Para mayor información sobre las características eléctricas de estos circuitos, referirse al manual de Texas Instruments TTL LOGIC.

IV.2.2 DESCRIPCION DEL BLOQUE DECODIFICADOR DE CONTROL.

El bloque decodificador de control se encuentra implementado por el circuito integrado 74LS155. Este circuito decodificador se rige bajo la siguiente tabla:

TABLA IV.4

Número de Estado	ENTRADAS				SALIDAS						
	C1	C2	1G	2G	B	A	1Y1	2Y2	1Y1	1Y0	2Y0
1	L	H	X	X	X	X	H	H	H	H	H
2	H	L	H	L	H	L	L	H	H	H	H
3	H	L	L	H	H	L	H	L	H	H	H
4	H	L	H	L	L	H	H	H	L	H	H
5	H	L	H	L	L	L	H	H	H	L	H
6	H	L	L	H	L	L	H	H	H	H	L

Como se observa en el diagrama lógico No. 1 del apéndice A, las señales de entrada y de salida del circuito decodificador de control, 74LS155, corresponden a las que se muestran en la siguiente tabla:

TABLA IV.5 LINEAS DE E/S DEL DECODIFICADOR 74LS155.

LINEAS DE ENTRADA		
LINEAS DEL DECODIFICADOR	LINEAS ASIGNADAS	
C1	pin no.1	Dirección de puerto en nivel alto
-C2	pin no.15	Dirección de puerto en nivel bajo
-1G	pin no.2	Señal de lectura -XIOR
-2G	pin no.14	Señal de escritura -XIOW
B	pin no.3	Línea de dirección A1
A	pin no.13	Línea de dirección A0

TABLA IV.5 LINEAS DE E/S DEL DECODIFICADOR 74LS155.

LINEAS DE SALIDA	
LINEAS DEL DECODIFICADOR	SEÑALES DE CONTROL
1Y2 pin no.5	PRINT CONTROL READ (-PCR)
2Y2 pin no.11	PRINT CONTROL WRITE (-PCW)
1Y1 pin no.6	PRINT STATUS (-PS)
1Y0 pin no.7	PRINT DATA READ (-PDR)
2Y0 pin no.9	PRINT DATA WRITE (-PDW)

Las líneas de entrada del decodificador C1 y -C2, mostradas en la Tabla IV.5, se encuentran alimentadas por la señal de dirección de puerto en nivel alto y bajo respectivamente. Las líneas C1 y -C2 activan al decodificador cuando se presenta la dirección de puerto y su complemento. En el caso de que no esté presente la dirección del puerto paralelo, la señal C1 permanecerá en nivel bajo y -C2 en nivel alto, con lo que el circuito integrado 74LS155 está fuera de operación.

La señal que representa la dirección o número de puerto no se encuentra disponible en forma directa, sino que se decodifica a través de las líneas de dirección del bus de expansión. Supongamos que deseamos asignarle al puerto paralelo la dirección 378h (Lpt2). En este caso, las líneas de dirección provenientes del microprocesador se presentarán en la siguiente forma:

LINEAS DE DIRECCION.

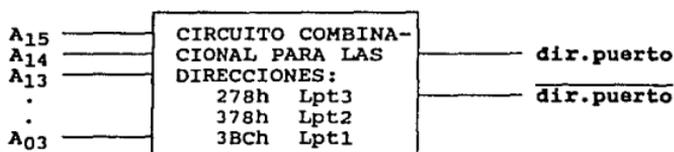
A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	0	0	1	1	0	1	1	1	1	0	0	0
0				3				7				8			

Dado que el estado de las líneas A00 - A15 constituyen la señal de la dirección del puerto paralelo, es necesario

llevarlas a un circuito combinacional decodificador (figura 4.7) para obtener una sola señal.

El circuito combinacional que se implementó se muestra en el diagrama lógico No.1 del apéndice A, el cual a través de jumpers, puede fijarse en una de tres direcciones válidas de los puertos paralelos, denominadas Lpt1, Lpt2 y Lpt3.

FIGURA 4.7 Diagrama de bloque de la señal de dirección del puerto paralelo.



Como una primera opción de diseño para este circuito, se consideró la implementación de un circuito con lógica alambrada, empleando circuitos integrados con salida de colector abierto, lo cual permite reducir el número de componentes electrónicos.

Este tipo de circuitos requieren de una resistencia de pull-up para operar, y su valor se calcula mediante las siguientes expresiones:

Para el límite máximo del rango :

$$R_{\text{máx}} = \frac{V_{O(\text{mín})} - V_{OH}}{N_1(I_{OH}) + N_2(I_{IH})}$$

Para el límite mínimo del rango :

$$R_{\text{mín}} = \frac{V_{O(\text{máx})} - V_{OL}}{I_{OL} - N_3(I_{IL})}$$

donde:

N_1 es el número de total de salidas de dispositivos (compuertas) conectadas a la resistencia de pull-up.

I_{OH} es el valor máximo de la corriente de salida en nivel alto de los dispositivos conectados a la resistencia de pull-up.

N_2 es el número total de dispositivos que hacen carga sobre la resistencia de pull-up.

I_{IH} es el valor máximo de la corriente de entrada en nivel alto de los dispositivos conectados a la resistencia de pull-up.

N_3 es el número de total de dispositivos que hacen carga sobre la resistencia de pull-up.

I_{IL} es el valor mínimo de la corriente de entrada en nivel bajo de los dispositivos conectados a la resistencia de pull-up.

El cálculo del rango para la resistencia de pull-up R_1 de la figura 4.8 es:

$$R_{\text{máx}} = \frac{5 - 2.4}{14 * (0.25) + 2*(0.04)} = 1 \text{ Kilo Ohm}$$

$$R_{\text{mín}} = \frac{5 - 0.7}{40 - 2*(1.6)} = 116.7 \text{ Ohms}$$

El valor de diseño que se adoptó para la resistencia R_1 de pull-up fué de 560 ohms. El diagrama lógico del circuito con lógica alamburada se muestra en la figura 4.8.

Una vez alamburado el circuito, se puso a prueba.

Las pruebas consistieron en enviar y leer datos y señales de control a través del puerto paralelo. El circuito presentó un comportamiento inestable, ya que en algunas ocasiones efectuaba la transferencia de datos y señales

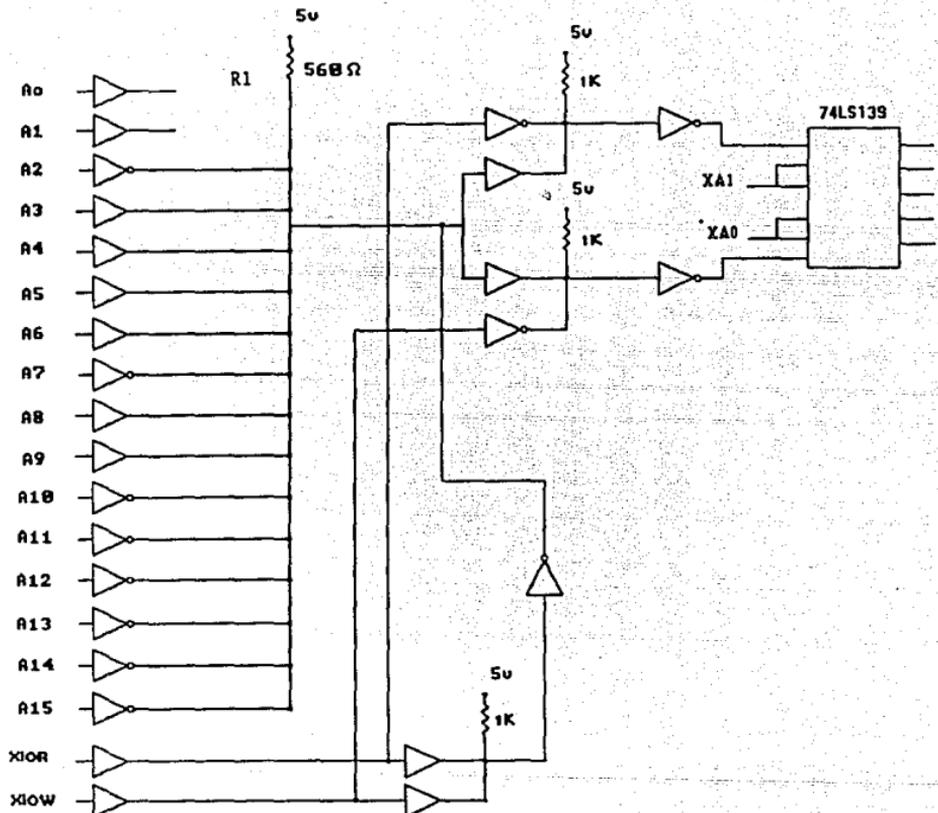


FIGURA 4.8

correctamente, y en otras no se obtenía la respuesta esperada. Se detectó un alto nivel de ruido en ciertas líneas del circuito, de las cuales unas correspondían al bus de datos y otras a las señales de control como la señal de selección -INIT. Mediante un rastreo con el osciloscopio se detectó que el comportamiento inestable del circuito se originaba en la etapa de decodificación, a través de las líneas que conducían la señal de dirección del puerto paralelo. Fue por esta razón que se optó por decodificar la señal de dirección de puerto paralelo mediante un circuito combinacional compuesto de compuertas AND (C.I. 74LS08) e inversores NOT (C.I. 74LS04), evitando el uso de lógica alambrada con circuitos con salida de colector abierto.

Las líneas -1G y -2G del circuito decodificador de control 74LS155, como se muestra en la Tabla IV.5, se utilizan para seleccionar uno de dos grupos de las señales salidas. El primer grupo está formado por las salidas 1Y0, 1Y1 y 1Y2, y es seleccionado cuando -1G está en nivel bajo y -2G en nivel alto. El segundo grupo, compuesto por las salidas 2Y0, 2Y1 y 2Y2, se selecciona cuando se presenta un nivel alto en -1G y un nivel bajo en -2G. Las señales que controlan la selección de los grupos de las líneas de salida del decodificador de control son -XIOW y -XIOR.

Las líneas de entrada A y B seleccionan, dependiendo del estado de las líneas de habilitación -1G y -2G, cada una de las líneas de salida del decodificador de control.

Las señales que controlan las entradas A y B son las líneas de dirección A0 y A1 respectivamente.

IV.2.3 FUNCIONAMIENTO DEL BLOQUE DECODIFICADOR DE CONTROL.

La función del decodificador de control consiste en activar, dependiendo del estado de las entradas, una de las cinco señales de control, las cuales activan una operación específica. Estas operaciones se dividen en dos grupos:

1. Operaciones OUT.
2. Operaciones IN.

Las operaciones OUT activan al puerto paralelo para la transferencia de datos y señales hacia el exterior (a un dispositivo periférico) de la microcomputadora. Las únicas señales del decodificador de control que habilitan este tipo de operación son : PRINT DATA WRITE (-PDW) y PRINT CONTROL WRITE (-PCW). Las señales -PDW y -PCW son coordinadas por las señales de lectura y escritura -IOR e -IOW, junto con la señal de dirección de puerto para que la operación OUT se realice, como se detalla en la Tabla IV.6.

Las operaciones IN activan al puerto paralelo para leer los datos y señales presentes en su puerto de entrada, provenientes de algún dispositivo periférico como una impresora. Mediante esta operación los datos y señales son transferidos hacia el interior de la microcomputadora, con lo cual el microprocesador detecta su estado y toma una acción determinada.

Existen tres tipos de operaciones IN, las cuales son activadas por las señales de control del decodificador: PRINT DATA READ (-PDR), PRINT CONTROL READ (-PCR) y PRINT STATUS (-PS). Estas señales son coordinadas por las señales de lectura y escritura, -IOR e -IOW, junto con la señal de dirección de puerto para que la operación IN se realice, como se detalla en la Tabla IV.6.

TABLA IV.6 ESTADOS DE LAS SEÑALES PARA LA HABILITACION DE LAS OPERACIONES IN Y OUT DEL PUERTO PARALELO.

OPERACION	D12	H02	A15	A14	A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00	IOW	IOR	SEÑAL
OUT	378	0	0	0	0	0	0	0	1	1	0	1	1	1	1	0	0	0	L	H	-PDM
IN	378	0	0	0	0	0	0	0	1	1	0	1	1	1	1	0	0	0	H	L	-PDR
IN	379	0	0	0	0	0	0	0	1	1	0	1	1	1	1	0	0	1	H	L	-PS
OUT	37A	0	0	0	0	0	0	0	1	1	0	1	1	1	1	0	1	0	L	H	-PCW
IN	37A	0	0	0	0	0	0	0	1	1	0	1	1	1	1	0	1	0	H	L	-PCR

0: 0 'L': Nivel lógico bajo.

1: 0 'H': Nivel lógico alto.

Las operaciones IN y OUT son complementarias, ya que la primera hace una operación de lectura y la segunda efectúa una operación de escritura. El sentido de transferencia de señales y datos, para estas dos operaciones, es controlado por el bloque de transferencia de datos y señales (C.I.74LS245) a través de las señales -IOR e -IOW, cuyos estados, en cada operación, se muestran en la tabla IV.6.

La descripción de operaciones IN y OUT, conforme al estado de las señales de la tabla IV.6, es la siguiente:

OPERACION : OUT activada mediante la señal -PDW.

FUNCION : Esta operación se utiliza para transferir datos a través de las líneas de datos D0 a D7 del bus de expansión, provenientes del microprocesador, hacia el puerto de salida de datos del puerto paralelo. Mediante esta operación se envían los datos a la impresora.

OPERACION : OUT activada mediante la señal -PCW.

FUNCION : Esta operación se emplea para transferir el contenido de las líneas D0, D1, D2, D3 y D4, por medio de las cuáles se envían las señales de selección de estado de la impresora (-STROBE, -AUTOFEEDXT, -SLCTIN e -INIT) hacia la impresora a través del puerto de salida de señales del puerto paralelo.

OPERACION : IN activada mediante la señal -PDR.

FUNCION : Esta operación tiene como fin leer las líneas de datos del puerto de salida de datos del puerto paralelo, transfiriéndolas al microprocesador a través del bus de expansión.

OPERACION : IN activada mediante la señal -PCR.

FUNCION : Esta operación permite leer las señales de selección de estado de la impresora, enviadas previamente por el microprocesador, hacia el interior de la microcomputadora a través del bus de expansión.

OPERACION : IN activada mediante la señal -PS.

FUNCION : Esta operación permite leer las señales del estado actual de la impresora enviadas desde el exterior.

Mediante esta operación se monitorea el estado de operación de la impresora en cualquier momento, con lo cual el microprocesador toma las acciones necesarias en el proceso de impresión.

Las cinco operaciones, antes detalladas, hacen que los bloques del puerto paralelo ejecuten una tarea determinada.

En la sección IV.2.6 se explican los efectos que producen cada una de estas operaciones o comandos de control sobre los circuitos que integran el puerto paralelo.

IV.2.4 DESCRIPCION DE LOS CIRCUITOS INTEGRADOS DE LOS BLOQUES DEL PUERTO PARALELO.

El puerto paralelo, como se detalló en el capítulo III sección III.5, ha sido dividido en cuatro bloques principales coordinados por un quinto bloque de control.

Cada uno de estos bloques está formado por uno o más circuitos integrados, los cuales se describen en esta sección.

1. BLOQUE DE PUERTO DE SALIDA DE DATOS.

Este bloque se implementó con el circuito integrado 74LS273, el cual es un circuito de ocho flip-flops D con disparo de flanco-positivo.

2. BLOQUE DE LOCALIZACION DE PUERTO Y LECTOR DE DATOS.

En este bloque se empleó el circuito integrado 74LS244, el cual es un circuito line driver tri-estado con ocho buffers.

3. BLOQUE DE PUERTO DE SALIDA DE LAS SEÑALES SELECTORAS DE ESTADO DE LA IMPRESORA.

Los circuitos integrados que conforman este bloque son el circuito 74LS174, el 7406 y el 74LS125. El circuito integrado 74LS174 contiene seis flip-flops D con disparo de flanco-positivo controlados por una línea común clear y una línea de reloj clock. El circuito integrado 7406 está formado por seis buffers inversores con salida colector abierto y el circuito integrado 74LS125, el cual contiene cuatro buffers tri-estado con salida colector abierto, de los cuales solo se emplea uno en este bloque.

4. BLOQUE RECEPTOR DE LAS SEÑALES DEL ESTADO ACTUAL DE LA IMPRESORA.

Los circuitos integrados que conforman este bloque son el circuito 74LS240, el cual es un line driver inversor tri-estado de ocho líneas, el circuito 74LS04, formado por seis inversores, y el circuito 74LS125, el cual consta de cuatro buffers no inversores tri-estado.

La descripción de los circuitos integrados, antes mencionados, es la siguiente:

1. Circuito 74LS273.

Este circuito integrado contiene ocho flip-flops D con disparo de flanco positivo, unidos a través de una línea clear común de entrada y una línea de reloj clock común.

La información a las entradas D de los flip-flops se transfiere a las salidas Q con el flanco positivo de un pulso de reloj. Los disparos (triggers) de los flip-flops ocurren en un nivel específico de voltaje, el cual no tiene relación con el tiempo de transición del flanco positivo del pulso.

Cuando la entrada de reloj (clock) está en nivel alto o bajo, la señal de entrada en D no tiene ningún efecto sobre la salida.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.9.

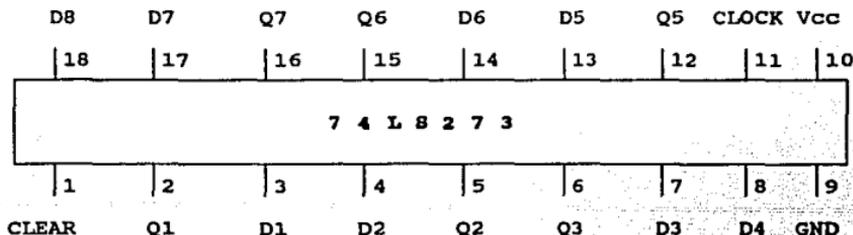
FIGURA 4.9 TABLA DE FUNCION DEL CIRCUITO INTEGRADO 74LS273.

Tabla de Función
por cada flip-flop.

Entradas			Salidas
Clear	Clock	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Qo

donde:

- H = Nivel lógico alto.
- L = Nivel lógico bajo.
- X = No importa nivel.
- ↑ = Transición de nivel de bajo a alto.
- Qo = Nivel Q antes de las nuevas condiciones de entrada establecidas.



2. Circuito Line-Driver 74LS244.

Este circuito integrado es un circuito conductor de líneas (line driver), diseñado para optimizar el desempeño y la densidad de las tarjetas de la PC con buffers empleados como conductores de direcciones de memoria, de señales de reloj y de buses de transmisión/recepción.

Este circuito presenta un voltaje de histéresis de 400 mV en cada línea de entrada de datos PNP de baja corriente.

Se tiene un gran rechazo al ruido y se pueden conectar un gran número de dispositivos (fanout outputs) a las salidas de este circuito.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.10.

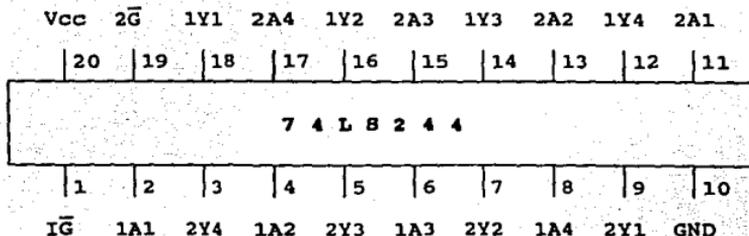
FIGURA 4.10 TABLA DE FUNCION CIRCUITO INTEGRADO 74LS244.

Tabla de Función

Entradas		Salida
-G	A	Y
L	L	L
L	H	H
H	X	Hi-Z

donde:

- H = Nivel lógico alto.
- L = Nivel lógico bajo.
- X = No importa nivel.
- Hi-Z = Alta impedancia.



3. Circuito 74LS174.

Este circuito integrado contiene seis flip-flops D con disparo de flanco positivo, unidos a través de una línea clear común de entrada y una línea de reloj clock común.

La información a las entradas D de los flip-flops se transfieren a las salidas Q con el flanco positivo de un pulso de reloj. Los disparos (triggers) de los flip-flops ocurren en un nivel específico de voltaje, el cual no tiene relación con el tiempo de transición del flanco positivo del pulso. Cuando la entrada de reloj (clock) está en nivel alto o bajo, la señal de entrada en D no tiene ningún efecto sobre la salida.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.11.

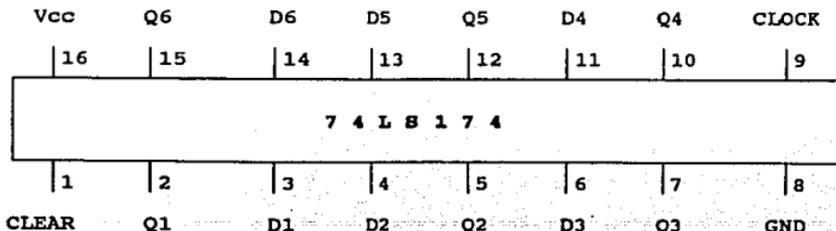
FIGURA 4.11 TABLA DE FUNCION Y DIAGRAMA DE CONEXION DEL CIRCUITO INTEGRADO 74LS174.

Tabla de Función por cada flip-flop.

Entradas			Salidas
Clear	Clock	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q ₀

donde:

- H = Nivel lógico alto.
- L = Nivel lógico bajo.
- X = No importa nivel.
- ↑ = Transición de nivel de bajo a alto.
- Q₀ = Nivel Q antes de las nuevas condiciones de entrada establecidas.



4. Circuito 7406.

Este circuito integrado está formado por seis buffers independientes, los cuales realizan la función lógica NOT.

Las salidas de este circuito son de colector abierto por lo que se necesita adicionar una resistencia de pull-up, la cual se calcula mediante las siguientes fórmulas:

Para el límite máximo del rango :

$$R_{\text{máx}} = \frac{V_{O(\text{mín})} - V_{OH}}{N_1(I_{OH}) + N_2(I_{IH})}$$

Para el límite mínimo del rango :

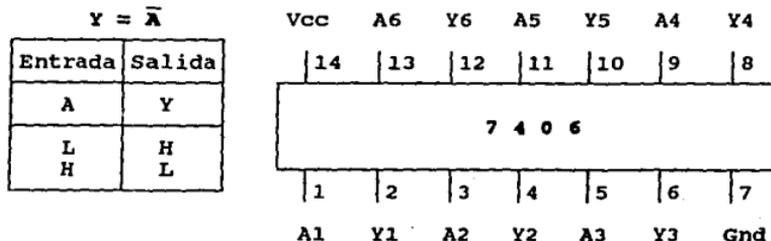
$$R_{\text{mín}} = \frac{V_{O(\text{máx})} - V_{OL}}{I_{OL} - N_3(I_{IL})}$$

las cuales fueron descritas en la sección IV.2.2.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.12.

FIGURA 4.12 TABLA DE FUNCION Y DIAGRAMA DE CONEXION DEL CIRCUITO INTEGRADO 7406.

Tabla de función.



H = Nivel lógico alto.

L = Nivel lógico bajo.

5. Circuito Line-Driver 74LS240.

Este circuito integrado es un circuito conductor de líneas (line driver), a través de buffers, diseñado para optimizar el desempeño y la densidad de las tarjetas de la PC.

Cada buffer efectúa la función lógica NOT, y son empleados como conductores de direcciones de memoria, de señales de reloj y de buses de transmisión/recepción.

Este circuito presenta un voltaje de histéresis de 400 mV en cada línea de entrada de datos PNP de baja corriente.

Se tiene un gran rechazo al ruido y se pueden conectar un gran número de dispositivos (fanout outputs) a las salidas de este circuito.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.13.

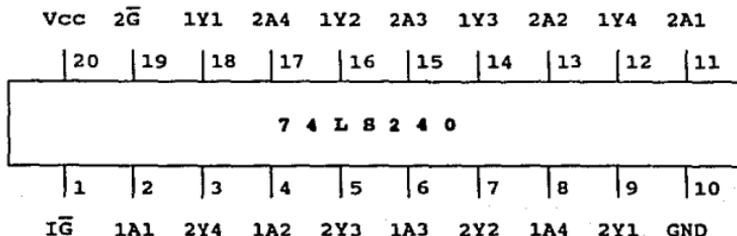
FIGURA 4.13 TABLA DE FUNCION Y DIAGRAMA DE CONEXION DEL CIRCUITO INTEGRADO 74LS240.

Tabla de Función

Entradas		Salida
-G	A	Y
L	L	L
L	H	H
H	X	Hi-Z

donde:

- H = Nivel lógico alto.
- L = Nivel lógico bajo.
- X = No importa nivel.
- Hi-Z = Alta impedancia.



6. Circuito Inversor 74LS04.

Este circuito integrado se encuentra descrito en la sección IV.2.1 de este capítulo.

7. Circuito 74LS125.

Este circuito integrado contiene cuatro buffers independientes, los cuales realizan la función lógica de No inversión. Las salidas de estos buffers están controladas por las líneas habilitadoras C, ya que éste es un circuito tri-estado. Las líneas de habilitación C activan la operación de los buffers del circuito cuando se presenta un nivel bajo en ellas, en caso contrario se tiene un estado de alta impedancia, aislando completamente el circuito.

La tabla de función y el diagrama de conexión de este circuito se muestran en la figura 4.14.

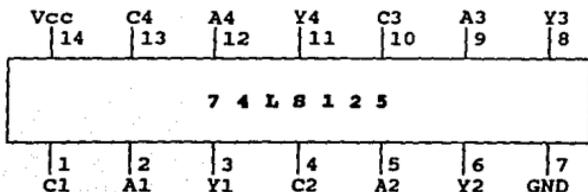
FIGURA 4.14 TABLA DE FUNCIÓN Y DIAGRAMA DE CONEXIÓN DEL CIRCUITO INTEGRADO 74LS125.

Tabla de Función
Y = A.

Entradas		Salida
A	C	Y
L	L	L
H	L	H
X	H	Hi-Z

donde:

- H = Nivel lógico alto.
- L = Nivel lógico bajo.
- X = No importa nivel.
- Hi-Z = Alta impedancia (Tercer estado).



IV.2.5 DESCRIPCION DE LOS BLOQUES DEL PUERTO PARALELO.

La función de cada uno de los bloques del puerto paralelo se detalló en el capítulo III sección III.5. En esta sección se describen las líneas de entrada y de salida que maneja cada bloque y su relación con los otros bloques.

Es importante señalar que las líneas del bus de datos, D0 - D7, tienen una doble función, ya que por una parte sirven para enviar datos al puerto paralelo, y por otra sirven para transmitir/recibir las señales de selección del estado de la impresora y las señales del estado actual de la impresora.

La descripción de los bloques del puerto paralelo es la siguiente:

1. Bloque de Puerto de Salida de Datos.

Como se detalló en la sección anterior, este bloque está formado por el circuito integrado 74LS273. Las líneas de entrada D de los flip-flops reciben las líneas de datos provenientes del bloque de transferencia de datos (formado por el circuito de bus octal transceiver 74LS245).

La asignación de líneas del circuito 74LS273 se muestra en la siguiente tabla:

TABLA IV.7 LINEAS ASIGNADAS AL C.I. 74LS273.

LINEAS DE ENTRADA		
Líneas de Entrada del CI. 74LS273	Líneas asignadas provenientes del CI. 74LS245	Señales que representan
D1 pin no.3	A8 pin no.2	XD0
D2 pin no.4	A7 pin no.3	XD1
D3 pin no.7	A6 pin no.4	XD2
D4 pin no.8	A5 pin no.5	XD3
D5 pin no.13	A4 pin no.6	XD4
D6 pin no.14	A3 pin no.7	XD5
D7 pin no.17	A2 pin no.8	XD6
D8 pin no.18	A1 pin no.9	XD7

TABLA IV.7 LINEAS ASIGNADAS AL C.I. 74LS273 (Continuación).

LINEAS DE CONTROL	
Líneas del CI 74LS273	Señal asignada
Clock pin no.11 Clear pin no.1	PRINT DATA WRITE (-PDW) + 5 volts dc.

Este bloque se encarga de almacenar los datos enviados por el bloque de transferencia de datos, provenientes del bus de expansión. Cuando la señal del decodificador de control -PDW pasa de nivel bajo a alto los datos son enviados al puerto de salida de datos para ser transferidos a la impresora y/o al bloque de localización de puerto y lector de datos (C.I. 74LS244).

La línea Clear de este bloque se encuentra alimentada a un voltaje constante de 5 volts, lo que hace que el circuito 74LS273 siempre esté en operación y sea controlado por la señal-PDW conectada en la línea Clock.

2. Bloque de Localización de Puerto y Lector de Datos.

Este bloque, como se detalló en la sección anterior, está formado por el circuito integrado tri-estado 74LS244.

Este circuito recibe en sus líneas de entrada las líneas de salida del Bloque de Puerto de Salida de Datos, compuesto por el circuito integrado 74LS273. Debido a esto, se dice que este bloque lee los datos provenientes del circuito 74LS273 con el fin de verificar la existencia del puerto paralelo. Esta operación se realiza de la siguiente forma, primero el microprocesador genera una dirección de puerto y envía un dato a través del bus de expansión. Si la dirección de puerto es correcta, entonces el puerto paralelo es direccionado y lee el dato presente en el bus de expansión, el cual es enviado al microprocesador para ser

comparado con el dato original. Si el resultado de la comparación es correcto, el microprocesador asume que la dirección que generó en esta operación es la dirección de puerto, la cual es almacenada en memoria para ser utilizada en las futuras operaciones sobre el puerto paralelo.

La asignación de líneas del circuito 74LS244 se muestra en la siguiente tabla:

TABLA IV.8 LINEAS ASIGNADAS AL C.I. 74LS244.

Líneas de Entrada del CI. 74LS244	Líneas asignadas provenientes del CI. 74LS273	Señales que representan
1A1 pin no.2	Q1 pin no.2	XD0
1A2 pin no.4	Q2 pin no.5	XD1
1A3 pin no.6	Q3 pin no.6	XD2
1A4 pin no.8	Q4 pin no.9	XD3
2A1 pin no.11	Q5 pin no.12	XD4
2A2 pin no.13	Q6 pin no.15	XD5
2A3 pin no.15	Q7 pin no.16	XD6
2A4 pin no.17	Q8 pin no.19	XD7
Líneas de habilitación	Señal proveniente de decodificador de control.	
-1G,-2G = - G pines 1,19	PRINT DATA READ	(-PDR)

Este bloque es controlado a través de las líneas habilitadoras -1G y -2G, las cuales se conectan entre sí formando la línea común -G, la cual a su vez es conectada a la señal -PDR del decodificador de control. Si la señal -PDR se activa, el circuito 74LS244 transfiere el estado de sus líneas de entrada a sus líneas de salida, mientras que si el estado de la señal -PDR es alto, el circuito estará en alta impedancia, aislándose completamente de los demás bloques del puerto paralelo.

3. Bloque de Puerto de Salida de las Señales Selectoras de Estado de la impresora.

Este bloque consta de los circuitos integrados 74LS174, 7406 y 74LS125, descritos en la sección anterior.

Como puede verse en el diagrama lógico No.2, el circuito integrado 74LS174 recibe en sus líneas de entrada las líneas de datos D0, D1, D2 y D3, provenientes del bus de expansión, como se muestra en la Tabla IV.8. Este circuito almacena el estado de las líneas de entrada que recibe del bus de expansión, siendo estas las **señales selectoras de estado de la impresora**. Estas señales son las transferidas a los inversores del circuito integrado 7406 cuando la señal de control -PCW es activada.

TABLA IV.8 LINEAS ASIGNADAS AL C.I. 74LS174.

Líneas de Entrada	Líneas asignadas provenientes del Bus de expansión.	Señales que representan
1D pin 3	D0	STROBE
2D pin 4	D1	AUTOFEEDXT
3D pin 6	D2	-INIT
4D pin 11	D3	SLCTIN
5D pin 13	D4	H_IRQ7

Líneas de Control	Líneas asignadas
Clock pin 9	-PCW
Clear pin 1	XRESET

La función del circuito integrado 7406 consiste en invertir el nivel de las señales que provienen del circuito integrado 74LS174, como se muestra en la Tabla IV.9.

La señal -H_IRQ7, de la Tabla IV.9, se encarga de habilitar el paso de la señal IRQ7, a través de uno de los buffers del circuito integrado tri-estado 74LS125, perteneciente al Bloque receptor de las señales del estado actual de la impresora y de las señales selectoras de estado de la impresora.

TABLA IV.9 LINEAS ASIGNADAS AL C.I. 7406.

Líneas de Entrada	Líneas asignadas provenientes del C.I. 74LS174	Señales que representan
A1 pin 1	Q1	-STROBE
A2 pin 3	Q2	-AUTOFEEDXT
A3-A4 pin 5, 6	Q3	-INIT
A5 pin 9	Q4	-SLCTIN
A6 pin 11	Q5	-H_IRQ7

Una vez que las señales selectoras de estado de la impresora han pasado a través del circuito integrado 7406, éstas son transferidas a la impresora y al Bloque receptor del estado actual de la impresora y de las señales selectoras de estado de la impresora.

4. Bloque Receptor de las Señales del Estado Actual de la Impresora y de las Señales Selectoras de Estado de la Impresora.

Este bloque está compuesto por los circuitos integrados 74LS240, 74LS125 y 74LS04.

El circuito integrado 74LS240 es el núcleo del bloque, ya que a través de él se ejecutan las operaciones de lectura de las señales del estado actual de la impresora y de las señales selectoras de estado de la impresora.

Para dichas operaciones se tienen dos secciones de líneas independientes, una por cada grupo de señales, controladas por las líneas de habilitación -1G y -2G.

La primer sección de líneas está formada por las señales del estado actual de la impresora (señales de monitoreo).

Estas señales son enviadas al bus de expansión para ser transferidas al microprocesador cuando la línea de habilitación -1G es activada. Esto ocurre al activarse la señal de lectura -XIOR y la señal de control -PS.

La segunda sección de líneas está destinada a las señales selectoras de la impresora, las cuales son leídas por el microprocesador cuando la línea de habilitación -2G es activada por la señal de control -PCR.

La asignación de líneas y señales del circuito 74LS240 se muestra en la tabla IV.10.

TABLA IV.10 LINEAS ASIGNADAS AL C.I. 74LS240.

Líneas de Entrada	Líneas asignadas provenientes del C.I. 74LS04	Señales que representan
1A1 pin 11	Y6	-SLCT
1A2 pin 13	Y4	-PE
1A3 pin 16	Y2	ACK
1A4 pin 17	--	BUSY
Línea de habilitación	-1G	(Sección 1)

Líneas de Entrada	Señales asignadas provenientes del Bloque 3.	Señales de Salida a la impresora.
2A1 pin 2	-STROBE	-STROBE
2A2 pin 4	-AUTOFEEDXT	-AUTOFEEDXT
2A3 pin 6	-INIT	-INIT
2A4 pin 8	-SLCTIN	-SLCTIN
Línea de habilitación	-2G	(Sección 2)

Cuatro inversores del circuito integrado 74LS04 son utilizados para las líneas de las señales de estado de la

impresora (SLCT,-INIT, PE y -ACK), antes de que éstas ingresen al circuito integrado 74LS240.

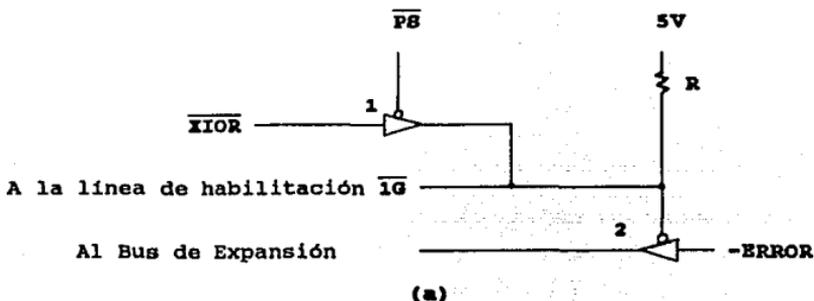
En el caso del circuito integrado 74LS125 se utilizan cuatro buffers tri-estado en tres arreglos, los cuales ejecutan tres funciones distintas, como se muestra en la figura 4.15.

El primer arreglo de buffers, figura 4.15 (a), tiene como función activar la línea de habilitación -1G del circuito 74LS240, con lo cual las señales del estado actual de la impresora son enviadas al bus de expansión, incluyendo la señal de -ERROR en caso de que ésta sea activada por la impresora. La línea -1G se activa bajo cuando la señal de lectura -XIOR y la señal de control -PB son activadas, lo cual hace que la línea de habilitación del buffer 2 reciba también un nivel bajo, permitiendo así que el estado de la señal de -ERROR pase al bus de expansión y sea detectada por el microprocesador.

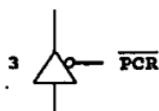
En la figura 4.15 (b) se muestra el buffer 3, cuya función consiste en enviar el estado de la señal H_IRQ7, proveniente del circuito integrado 74LS174 del bloque 3, al bus de expansión. Esto ocurre cuando la señal de control -PCR es activada.

Finalmente, la función del buffer 4, figura 4.15 (c), consiste en transferir el estado de la señal -ACK, convertida en la señal de interrupción -IRQ7 a la salida del buffer, al circuito manejador de interrupciones, lo cual ocurre cuando el estado de la señal habilitadora -H_IRQ7 es bajo.

FIGURA 4.15 ARREGLO DE BUFFERS DEL C.I. 74LS125 DEL BLOQUE 4.



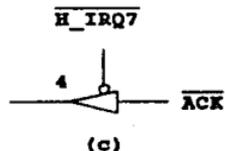
Al Bus de Expansión



H_IRQ7

(b)

Al Bus de Expansión



IV.2.6 FUNCIONAMIENTO DEL PUERTO PARALELO.

En esta sección se describe el funcionamiento de los circuitos que integran al puerto paralelo, en la ejecución de las operaciones o comandos de control tratados en la sección IV.2.3 de este capítulo.

En la sección III.5 del capítulo III se explicó el funcionamiento del puerto paralelo a nivel bloque, ahora se detallará el funcionamiento haciendo referencia a los circuitos, líneas y señales que intervienen en las diferentes operaciones que realiza el puerto paralelo. Debido a esto

será necesario consultar constantemente el diagrama lógico completo del puerto paralelo incluido en el apéndice A.

IV.2.6.1 CIRCUITOS DE CONTROL Y DE TRANSFERENCIA DE LAS LINEAS DE DATOS.

La función del circuito de control 74LS155 es la de activar una de las cinco líneas de control, correspondientes a las señales -PCR, -PCW, -PS, -PDR y -PDW, en forma selectiva mediante la decodificación de sus líneas de entrada. Como puede observarse en el diagrama lógico No.1 del apéndice A, las líneas de entrada del decodificador 74LS155 son las siguientes:

Línea de Entrada del C.I. 74LS155	Señal/Línea conectada a la entrada
-2C pin no.15	-dir.puerto
-2G pin no.14	-XIOW
A pin no.13	A0 (Línea de dir. 0)
B pin no.3	A1 (Línea de dir. 1)
1C pin no.1	dir.puerto
-1G pin no.2	-XIOR

Las señales de control son generadas mediante la tabla IV.11 de decodificación del C.I. 74LS155.

Siguiendo los renglones de la tabla de decodificación IV.11 se tiene que para la activación de la señal -PS (Print Status) la línea de entrada 1C, correspondiente a la señal -dir.puerto, debe estar en nivel bajo, con lo cual se selecciona la sección de salidas 1Y0, 1Y1, 1Y2 y 1Y3.

La línea de habilitación -1G, correspondiente a la señal de lectura -XIOW, deberá estar activada en nivel bajo, y finalmente, las líneas selectoras B y A, conectadas a las

TABLA IV.11 TABLA DE DECODIFICACION DEL C.I. 74LS155

ENTRADAS					SALIDA	
-1C -dir.puerto	-2C -dir.puerto	-2G -XIOW	-1G -XIOR	B A A01 A00	LINEA	SEÑAL
H	L	L	H	L L	2Y0	-PDW
L	H	H	L	L L	1Y0	-PDR
L	H	H	L	L H	1Y1	-PS
H	L	L	H	H L	2Y2	-PCW
L	H	H	L	H L	1Y2	-PCR

L : Nivel lógico bajo.

H : Nivel lógico alto.

líneas de dirección A01 y A00, deben estar en nivel bajo y alto respectivamente, para que la línea 1Y1 sea seleccionada.

De manera similar se desprenden de la tabla IV.11, el estado de las señales de entrada del decodificador para la activación de cada una de las señales de control.

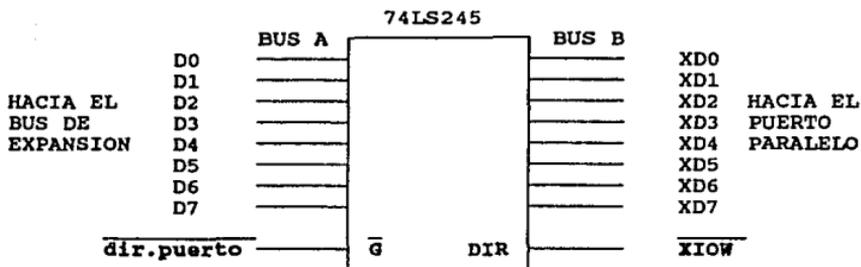
La señal -dir.puerto se activa mediante la decodificación de la dirección del puerto paralelo generada por el microprocesador a través de las líneas de dirección A02 - A15, las cuales entran a un circuito combinacional decodificador compuesto por compuertas AND y circuitos inversores, como se muestra en el diagrama lógico No.1 del apéndice A.

Debido a que el puerto paralelo puede tener una de tres direcciones lógicas, lpt1, lpt2 o lpt3 se implementaron tres jumpers llamados J2, J3 y J4 en el circuito combinacional decodificador. Estos jumpers permiten mantener cualquiera de las tres direcciones lógicas de el puerto paralelo según se requiera. La ubicación de estos jumpers se encuentra en las líneas de dirección A02, A06, A07 y A08 de la tarjeta del puerto paralelo. La posición de los jumpers para la

habilitación del puerto en alguna de las tres direcciones se detalla en el manual de instalación de la tarjeta en el apéndice B.

Dependiendo del tipo de operación que realice el puerto paralelo, la transferencia de las líneas de datos D0 - D7 se realiza a través del circuito 74LS245, el cual se muestra en la figura 4.16.

FIGURA 4.16 BLOQUE DE TRANSFERENCIA DE LAS LINEAS DE DATOS C.I. 74LS245



El estado de la señal de escritura -XIOW , conectada a la línea DIR del circuito integrado 74LS245, determina el sentido de transferencia de los datos cuando el puerto paralelo es direccionado. Esto se detalla en la tabla IV.12.

TABLA IV.12 LINEA DE CONTROL Y HABILITACION DEL C.I. 74LS245

Línea de habilitación \bar{G}	Línea de control del sentido de la transferencia. DIR	OPERACION
-dir.puerto	-XIOW	
L	L	B \rightarrow A
L	H	A \leftarrow B
H	X	Hi-Z

L : Nivel lógico bajo H : Nivel lógico bajo.

Si el tipo de operación que se pretende realizar dentro del puerto paralelo es OUT, entonces la señal -XIOW se activará, haciendo que el sentido de transferencia de datos vaya del bus de expansión hacia el bus de datos del puerto paralelo. Si la operación es IN, se tendrá que el nivel de la señal -XIOW será alto, con lo que el sentido de transferencia de los datos será del bus de datos del puerto paralelo hacia el bus de expansión.

Siguiendo los estados de las líneas de entrada de la tabla de decodificación IV.12, los estados de las señales de lectura y escritura, -XIOR y -XIOW, y el sentido de transferencia de los datos del C.I. 74LS245, se obtienen las condiciones que deben cumplirse para la activación de cada una de las cinco señales de control que coordinan el funcionamiento del puerto paralelo a través de las operaciones IN y OUT.

En las siguientes secciones de este capítulo son detalladas cada una de estas operaciones.

IV.2.6.2 OPERACION OUT GENERADA POR LA SEÑAL PRINT DATA WRITE (-PDW).

Esta operación se encarga de transferir (escribir) el contenido de las líneas de datos D0 - D7, provenientes del bus de expansión, a las líneas del puerto de salida de datos y al circuito del bloque de lectura de datos del puerto paralelo.

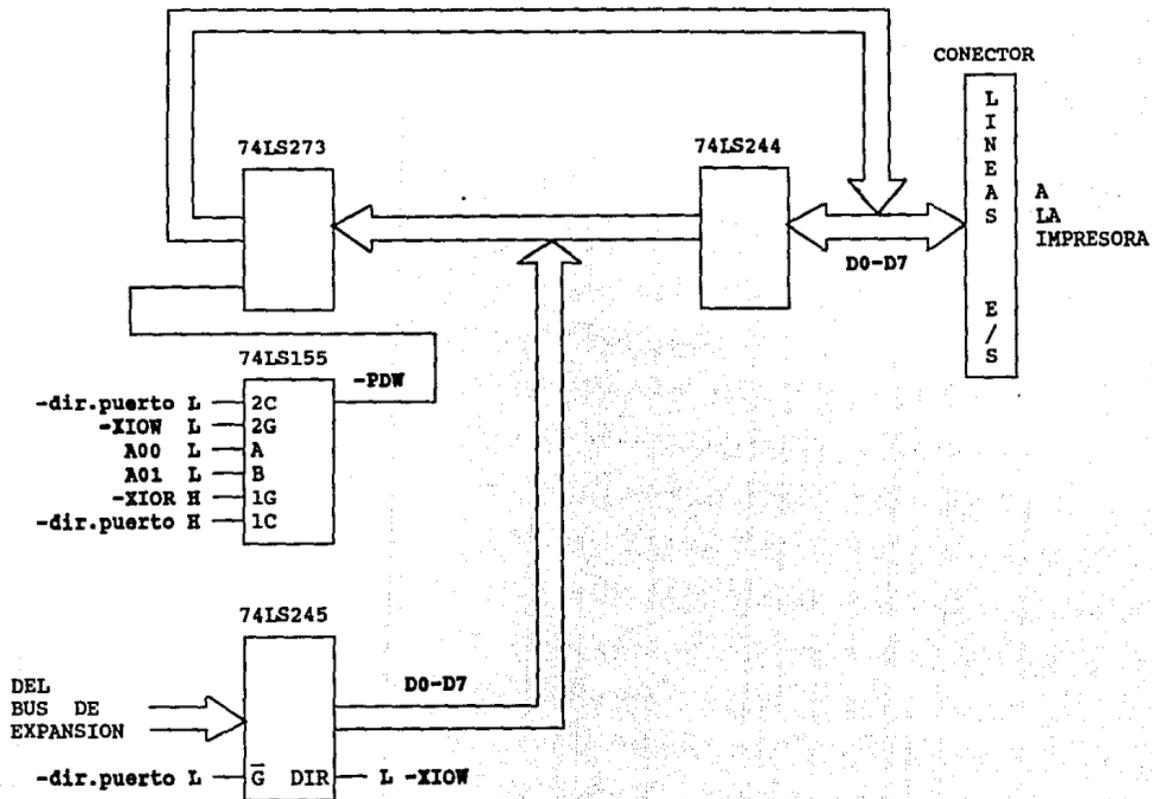
Los circuitos integrados involucrados en esta operación son el circuito decodificador de control 74LS155, el circuito de transferencia de datos 74LS245 y el circuito del bloque de puerto de salida de datos 74LS273, como se muestra en el esquema de la figura 4.17.

Para la realización de esta operación, el dato a escribir es puesto en las líneas **A2 - A9** del bus de expansión, correspondientes a las líneas de datos **D0 - D7** (ver tabla IV.1). Con esto, el dato es conducido al circuito de transferencia de datos **74LS245**, en donde activarse la señal **-dir.puerto** y la señal de escritura **-XIOW**, ingresa al puerto paralelo y es transferido al circuito del bloque de puerto de salida de datos **74LS273**.

Como puede observarse en la figura 4.17, y en base a la tabla de decodificación IV.11, una vez que el dato se encuentra presente dentro del puerto, las señales **-dir.puerto**, **-XIOW** y las líneas de selección **A00** y **A01** del decodificador de control son activadas y generan la señal de control **-PDW**, la cual provoca una transición de nivel, de alto a bajo en la línea de reloj **CLOCK** del circuito **74LS273**, haciendo que el dato presente a la entrada de este circuito sea transferido a un bus común de datos compartido por el bloque de lectura de datos (C.I. **74LS244**) y el conector de salida de datos del puerto paralelo.

Hasta este punto, la operación **OUT** generada por la señal **-PDW** ha concluido, dejando el dato o caracter en las líneas de datos del conector de salida para ser enviado a la impresora o para ser leído por el bloque de lectura de datos (C.I. **74LS244**). La acción que a continuación tome lugar dependerá de cual de las otras operaciones del puerto se haya activado.

FIGURA 4.17 CIRCUITOS INTEGRADOS INVOLUCRADOS EN LA OPERACION OUT ACTIVADA POR LA SEÑAL -PDW



IV.2.6.3 OPERACION IN GENERADA POR LA SEÑAL PRINT DATA READ (-PDR).

Esta operación se encarga de transferir (leer) el contenido de las líneas de datos del conector del puerto de salida al circuito de transferencia de datos, 74LS245, para que más tarde sea conducido al bus de expansión de la microcomputadora y de ahí al microprocesador.

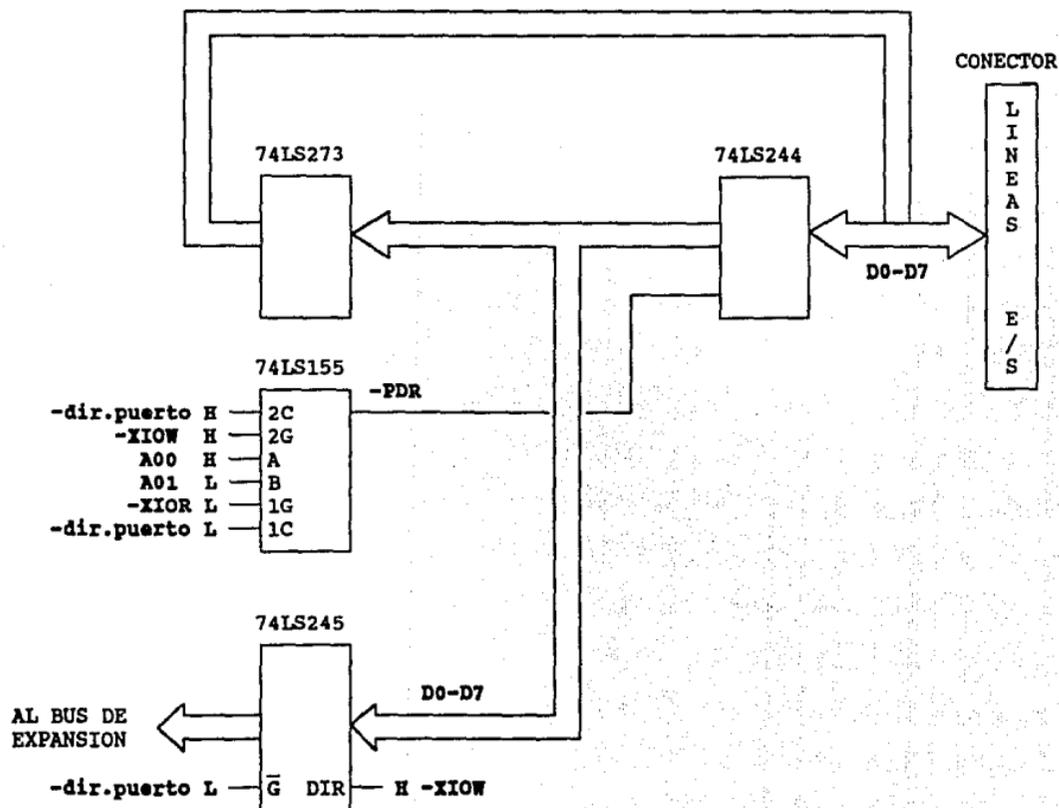
Los circuitos integrados que intervienen en esta operación son el circuito decodificador de control 74LS155, el circuito de transferencia de datos 74LS245 y el circuito del bloque lector de datos 74LS244, como se muestra en el esquema de la figura 4.18.

Como puede apreciarse, esta operación es el complemento de la anterior, ya que su función es leer un dato.

De la figura 4.18, y en base a la tabla de decodificación IV.11, se tiene que para la realización de esta operación es necesario que a la entrada del decodificador de control se activen las señales -XIOR y -dir.puerto, y que las líneas de selección A00 y A01 presenten un nivel alto y bajo respectivamente, haciendo que la señal -PDR se active.

La señal de control -PDR, como puede observarse en el diagrama lógico No.2 del apéndice A, se encuentra conectada a las líneas de habilitación -1G y -2G del circuito 74LS244. Al activarse dicha señal, provoca que el estado de las líneas de datos del conector de salida del puerto paralelo se conduzca al circuito de transferencia de datos 74LS244, el cual a su vez, dejará pasar el dato hacia al bus de expansión cuando la señal -dir.puerto este presente y el estado de la señal de escritura -XIOW sea alto.

FIGURA 4.18 CIRCUITOS INTEGRADOS INVOLUCRADOS EN LA OPERACION IN ACTIVADA POR LA SEÑAL -PDR



IV.2.6.4 OPERACION OUT GENERADA POR LA SEÑAL PRINT CONTROL WRITE (-PCW).

Esta operación es utilizada por el microprocesador para enviar a la impresora el nivel adecuado de las señales de selección de estado de la impresora y el de la señal de habilitación H_IRQ7 de la interrupción -IRQ7, a través de las líneas de datos D0, D1, D2, D3 y D4 del bus de datos del sistema del bus de expansión de la microcomputadora.

En la tabla IV.13 se muestran las líneas de datos del puerto paralelo asignadas a las señales de selección de estado de la impresora y a la señal de habilitación H_IRQ7.

TABLA IV.13 LINEAS DE DATOS ASIGNADAS A LAS SEÑALES DE SELECCION DE ESTADO DE LA IMPRESORA Y DE HABILITACION H_IRQ7

Línea de dato del Puerto Paralelo	Señal asignada
D0	-Strobe
D1	-Autofeedxt
D2	-Init
D3	-Slctin
D4	H_IRQ7

Las señales de selección de estado de la impresora son empleadas por el microprocesador para indicarle a la impresora que debe prepararse para recibir un caracter o que debe de ponerse en su estado inicial (reset), si es que el proceso de impresión va a empezar.

Como se expuso en el capítulo III, sección III.4.1, las señales de selección de estado de la impresora son las siguientes:

1. **-STROBE** : Esta señal es activada por el microprocesador cuando se efectúa la transferencia de un carácter a la impresora. Por esto, a esta señal se le denomina como **pulso de lectura de datos**. Cuando no se está realizando ninguna transferencia de datos esta señal se mantiene en nivel alto.

2. **-SLCTIN** : La entrada de datos a la impresora solo es posible cuando esta señal está activa en nivel bajo. En algunas impresoras esta señal es conectada directamente a tierra.

3. **-INIT** : Esta señal, como su nombre lo indica, se emplea para indicarle al controlador de la impresora que debe poner a la impresora en estado de inicialización o de reset, borrando los datos que pudieran existir en el buffer.

4. **-AUTOFEEDIT** : Esta señal se emplea cuando la impresora no permite la alimentación automática de papel al terminar de imprimir una línea. Al activarse esta señal, se alimenta una línea de carro o rodillo de la impresora.

Los circuitos integrados involucrados en esta operación son el circuito decodificador de control 75LS155, el circuito de transferencia de datos 74LS245 y el circuito del bloque de salida de señales de selección del estado de la impresora 74LS174.

Para la realización de esta operación, primero se establece el estado adecuado de las señales de selección de estado de la impresora, junto con el estado de la señal **H_IRQ7**, y se envía a las líneas **A5, A6, A7, A8 y A9** del bus de expansión, correspondientes a las líneas de datos **D4, D3, D2, D1 y D0** respectivamente (ver tabla IV.1). Después, el estado de estas señales es conducido a las líneas de datos del circuito de transferencia de datos, 74LS245. Debido a que éstas señales deben de ingresar al puerto paralelo, la señal de escritura **-XIOW** se activa junto con la señal de dirección

de puerto -dir.puerto, haciendo que el circuito 74LS245 permita el paso de éstas señales y lleguen hasta las líneas de entrada (pines) 3, 4, 6, 11 y 13, del circuito 74LS174, como puede verse en los diagramas lógicos del apéndice A.

Una vez que las señales de selección de estado de la impresora y la señal H_IRQ7 se encuentran disponibles a la entrada del circuito 74LS174, se genera la señal de control -PCW, conforme a las condiciones de la tabla de decodificación IV.11, lo cual produce una transición de nivel, de alto a bajo, en la línea de reloj CLOCK del circuito 74LS174 haciendo que las señales sean conducidas a través de un circuito integrado inversor 7406 con salida de colector abierto, y después a las líneas del conector de salida de señales del puerto paralelo, para que sean enviadas hacia la impresora.

IV.2.6.5 OPERACION IN GENERADA POR LA SEÑAL PRINT CONTROL READ (-PCR).

Esta operación es el complemento de la operación OUT generada por la señal PRINT CONTROL WRITE (-PCW), ya que su función consiste en leer las señales de selección de estado de la impresora, enviadas previamente por el microprocesador.

Los circuitos integrados que intervienen en esta operación son el circuito decodificador de control 74LS155, el circuito del bloque receptor de las señales del estado actual de la impresora y de las señales de selección de estado de la impresora 74LS240, y el circuito de transferencia de datos 74LS245, los cuales se muestran en los diagramas lógicos del apéndice A.

En esta operación de lectura se requiere la generación de la señal de control -PCR del decodificador de control, lo

cual ocurre al activarse la señal de dirección de puerto, -dir.puerto, y la señal de lectura -XIOR, permaneciendo las señales de escritura -XIOW y de la línea de dirección A01 en nivel alto, y la señal de la línea de dirección A00 en nivel bajo, como se especifica en la tabla de decodificación IV.11.

Cuando la señal -PCR es activada, provoca que se presente un transición de nivel, de alto a bajo, en la línea de habilitación -2G del circuito 74LS240, lo cual permite la transferencia (lectura) de las señales de selección de estado de la impresora al interior del puerto paralelo, y de ahí son conducidas al circuito de transferencia de datos 74LS245, utilizándose las líneas de datos D0, D1, D2 y D3.

Ya que el nivel de la señal de escritura -XIOW, en esta operación es alto, el circuito de transferencia de datos 74LS245 permite que las señales leídas ingresen a las líneas del bus de expansión y de ahí al microprocesador para ser procesadas.

IV.2.6.6 OPERACION IN GENERADA POR LA SEÑAL PRINT STATUS (-PS).

Esta operación es similar a la operación IN generada por la señal PRINT CONTROL READ (-PCR), solo que las líneas de las señales que se leen corresponden a las señales del estado actual de la impresora y a la señal de -ERROR.

Como se expuso en el capítulo III, sección III.4.1, las señales del estado actual de la impresora, o de monitoreo, son las siguientes:

1. **-ACKNLG** : Esta señal es activada por la impresora para indicar que los datos enviados a través del puerto paralelo han sido recibidos y que se encuentra disponible para recibir más.

2. **BUSY** : Esta señal es activada por la impresora para indicar que no puede recibir más datos en ese momento.

Esta señal es activada cuando ocurre uno de cuatro casos posibles:

- a) Durante la recepción de datos.
- b) Durante la operación de impresión.
- c) En el estado OFF-LINE (Fuera de línea) de la impresora.
- d) Durante la activación de la señal de -ERROR (ocurrencia del estatus de error) de la impresora.

3. **PE** : Esta señal es utilizada por la impresora para indicar que no tiene papel en donde imprimir (Paper Empty).

4. **SLCT** : Mediante esta señal la impresora indica que se encuentra en el estado de selección.

Los circuitos integrados que intervienen en esta operación son el circuito decodificador de control 74LS155, el circuito del Bloque receptor de las señales del estado actual de la impresora y de las señales de selección de estado de la impresora 74LS240, el circuito de transferencia de datos 74LS245 y dos buffers 74LS125 con salida de colector abierto, los cuales se muestran en los diagramas lógicos del apéndice A.

Como se observa en el diagrama lógico No.2 del apéndice A, la señal de control -PS se encuentra conectada a la línea de habilitación de uno de los buffers del circuito 74LS125 mientras que la señal de lectura -XIOR se encuentra conectada a la entrada. La salida de este buffer está conectada a la línea de habilitación -1G del circuito 74LS240 y a la línea de habilitación de un segundo buffer cuya entrada recibe a la línea de la señal de -ERROR de la impresora.

Para la realización de esta operación de lectura, es necesario la activación de la señal -PS, conforme a la tabla de decodificación IV.11, y de la señal de lectura -XIOR, lo

cual permite que línea de habilitación del circuito 74LS240, -1G reciba un nivel bajo, haciendo que solo se efectúe la transferencia de las líneas de entrada 1A1, 1A2, 1A3 y 1A4, correspondientes a las señales del estado actual de la impresora, hacia el circuito de transferencia de datos 74LS245, y de ahí al microprocesador a través del bus de expansión.

El estado de la señal de -ERROR de la impresora es transferido hacia el microprocesador, junto con las señales del estado de la impresora, ya que al activarse las señales -PB y -XIOR la línea de habilitación del segundo buffer recibe un nivel bajo permitiendo el paso de la señal.

Las operaciones IN y OUT del puerto paralelo se coordinan para ejecutar, junto con la impresora el proceso de impresión de caracteres. Estas operaciones se encuentran disponibles a través de instrucciones en lenguaje ensamblador de los microprocesadores 8088, 8086 y 80286, y en algunos lenguajes de programación de alto nivel como BASIC, o en lenguajes de programación que permitan hacer interface con instrucciones en lenguaje ensamblador como PASCAL y C.

En el capítulo V se describe el programa de verificación desarrollado para las pruebas de la tarjeta del puerto paralelo, escrito en lenguaje BASIC, el cual hace uso de las instrucciones IN y OUT detalladas en este capítulo.

IV.3 DISEÑO DE LA TARJETA DE PUERTO PARALELO.

El circuito lógico del puerto paralelo, mostrado en el apéndice A, se implementó en tabletas experimentales con el fin de probarlo y modificarlo según se requiriese. Al tenerse la versión definitiva del circuito se diseñó el circuito impreso de la tarjeta, buscándose la distribución

más adecuada de los circuitos integrados y componentes electrónicos. Dicha distribución aparece en la figura 4.19.

Para el diseño del circuito impreso, al igual que en el de las tarjetas expansoras, se empleó el programa SmartWork, siguiendo la metodología descrita en la sección IV.1.3.

La tarjeta de puerto paralelo consta de dos superficies denominadas lado de componentes y lado de soldadura. Cada superficie posee sus propias conexiones y trayectorias, sin embargo, existen también conexiones comunes.

En las figuras 4.20 y 4.21 se muestran los diagramas de las superficies de componentes y soldadura de la tarjeta de puerto paralelo diseñada.

1X checkplot 21 Mar 92 18:34:54

v1.4 r1 holes: 576 silkscreen
approximate size: 7.55 by 4.30 inches

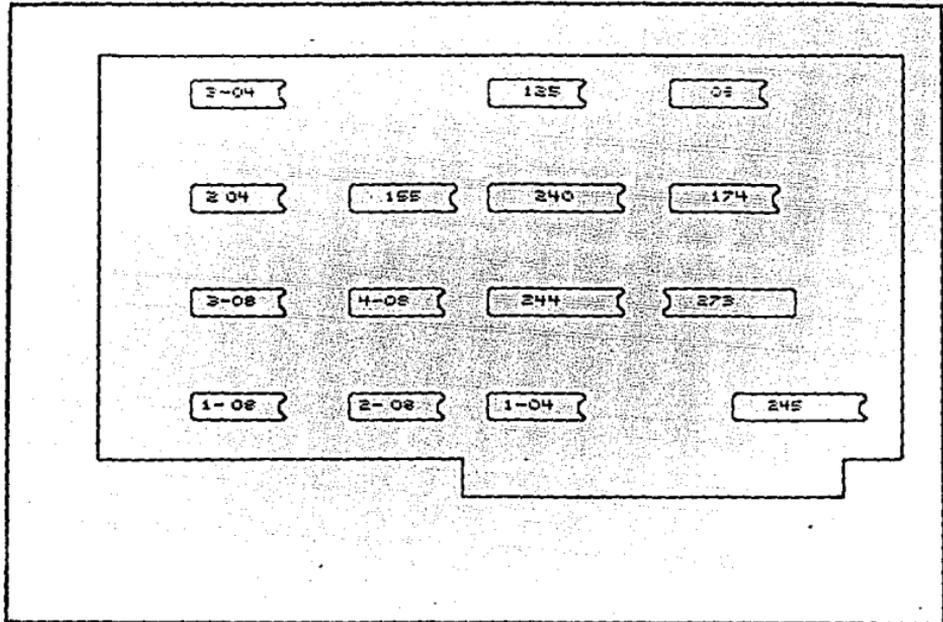


FIGURA 4.19

1X checkplot 21 Mar 92 18:26:08
b:cec12.pc
vl.4 rl holes: 576 component side
approximate size: 7.55 by 4.30 inches

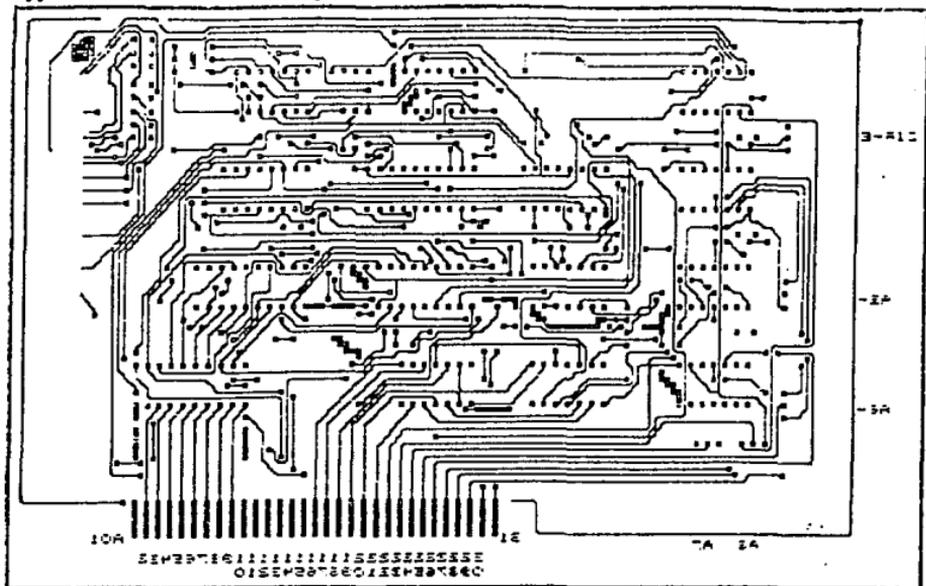


FIGURA 4.20

1X checkplot 21 Mar 92 18:19:16
b:cecil.pc
v1.4 rl holes: 576 solder side
approximate size: 7.55 by 4.30 inches

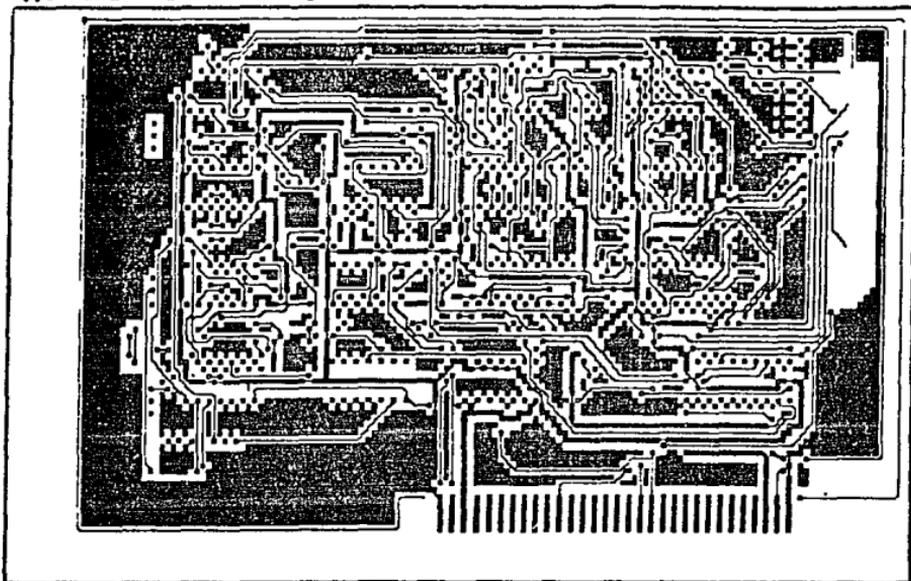


FIGURA 4.21

IV.4 BIBLIOGRAFIA.

1. CITIZEN AMERICA CORPORATION, " 180-D User's Manual ".
Editado por CITIZEN AMERICA CORPORATION, 1987.
2. NEC CORPORATION, "The UltraLite 286F Service Manual".
Editado por NEC CORPORATION, 1990.
3. Norton, Peter., & Wilton, Richard, "The new Peter Norton
programmers guide to the IBM PC & PS/2".
Editado por Microsoft Press, 1985.
4. Winn, L. Rosch, "The Winn Rosch Hardware Bible".
Editado por Brady, New York.
5. Texas Instruments, "TTL Logic".
Editado por Texas Instruments, 1988.

CAPITULO V

PRUEBAS Y COSTOS DEL PROYECTO

V.1 PRUEBAS.

En la primera parte de este capítulo, se describen las pruebas a las que fue sometido el puerto paralelo. En la segunda parte, correspondiente a los costos del proyecto, se proponen pruebas adicionales contempladas en el modelo de producción diseñado para la fabricación de los puertos paralelos. Dichas pruebas adicionales forman parte del proceso de control de calidad.

Las pruebas que se establecieron, descritas en las secciones V.1.1 y V.1.2, son las siguientes:

1. Programa de Lectura/Escritura de datos del puerto paralelo.
2. Impresión y direccionamiento del puerto paralelo bajo el sistema operativo MS DOS.

V.1.1 PROGRAMA DE PRUEBA DEL PUERTO PARALELO.

Como se detalló en la sección IV.2.3 del capítulo IV, el puerto paralelo puede ejecutar dos tipos de operaciones:

1. Operaciones OUT (Escritura).
2. Operaciones IN (Lectura).

Dado que el puerto paralelo, a través de su conector externo, posee líneas de datos y señales, se tienen implementadas dos operaciones de escritura (OUT) y tres operaciones de lectura (IN).

En el caso de las líneas de datos se tiene una operación de **escritura**, realizada por el circuito integrado 74LS273 del puerto paralelo, y una operación de **lectura**, ejecutada por el

circuito integrado 74LS244, ambos circuitos mostrados en el diagrama No.2 del apéndice A.

Para las líneas de señales de selección de estado de la impresora se cuentan también con una operación de **escritura**, realizada por el circuito integrado 74LS174, y con una operación de **lectura** efectuada por el circuito integrado 74LS240, ambos circuitos mostrados en el diagrama lógico No.2 del apéndice A.

Existe una quinta operación de **lectura**, encargada de recibir el estado de las señales provenientes de la impresora, siendo esta operación realizada también por el circuito integrado 74LS240.

Cada una de las operaciones anteriores se encuentran disponibles en el set de instrucciones del lenguaje **ensamblador** y también en el lenguaje de programación **BASIC**.

Dadas las facilidades de programación y disponibilidad ofrecidas por el lenguaje **BASIC**, el programa de prueba fue elaborado en este lenguaje. Este programa fue diseñado para enviar y recibir (lectura/escritura) datos a través de los puertos de Entrada/Salida de datos.

Mediante este programa, se verifica que los datos que se envíen a través del puerto paralelo no sufran modificación alguna durante su trayecto, a través de los circuitos y dispositivos del puerto paralelo.

En el programa de prueba se ha contemplado la introducción de un **factor de retardo** variable entre la ejecución de las operaciones de **lectura/escritura**, con el fin de determinar si es posible mantener intactos los datos enviados a través del puerto paralelo por periodos prolongados y periodos cortos.

Al concluir la etapa de elaboración del circuito de puerto paralelo en tabletas experimentales, el programa de prueba fue de gran utilidad, ya que a través de él se detectó con facilidad las líneas o trayectorias en las que el estado o nivel lógico de los datos enviados sufrían modificaciones,

facilitando el proceso de corrección de fallas en el circuito.

En la figura 5.1 se muestra el diagrama de flujo del programa de prueba.

El código del programa fuente de prueba es el siguientes:

```
10 REM *****
11 REM *** UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO ***
12 REM *** FACULTAD DE INGENIERIA ***
13 REM *** ***
14 REM *** PROGRAMA: PRUEBA.BAS ***
15 REM *** ***
16 REM *** PROPOSITO: Enviar datos a través de los puertos***
17 REM *** de entrada/salida de datos del puerto parale-***
18 REM *** lo, verificando que éstos no se alteren al ser ***
19 REM *** recibidos nuevamente. ***
20 REM *** ***
21 REM *** ***
22 REM *** CREADORES : ***
23 REM *** ***
24 REM *** - ECHEVERRIA GARCIDUEÑAS MANUEL ***
25 REM *** - OROZCO PERALTA LUIS ALBERTO ***
26 REM *****

30 REM *** MENU PRINCIPAL
40 OPCION = 1
50 WHILE (OPCION >= 1) AND (OPCION <= 2)
60 CLS
70 PRINT " [1] Escritura/Lectura por el puerto E/S de datos"
80 PRINT " [2] Salida
90 INPUT OPCION
100 ON OPCION GOSUB 1000,500
110 IF OPCION = 2 THEN 500
120 WEND
500 END

1000 REM *** Rutina de escritura/lectura de datos a través de
LAS LINEAS DE DATOS DEL PUERTO PARALELO. ***
1010 CLS
1020 INPUT "Proporcione el factor de retardo : "; FAC
1030 DATO = 1
1035 REM OPERACION DE ESCRITURA SOBRE EL CIRCUITO 74LS273
1040 OUT &H378,DATO
1050 FOR I = 1 TO FAC
1060 NEXT I
1065 REM OPERACION DE LECTURA SOBRE EL CIRCUITO 74LS244
```

```

1070  RX = INP(&H378)
1080  IF DATO <> RX THEN 1130
1090  PRINT " DATO ENVIADO TX = ";DATO," DATO LEIDO RX = ";RX
1100  DATO = DATO + 1
1110  IF DATO >= 256 THEN 1180
1120  GOTO 1040
1130  PRINT " E R R O R : TX = ";DATO,"RX = ";RX
1140  DATO = DATO + 1
1150  IF DATO >= 256 THEN 1180
1160  INPUT PAUSA
1170  GOTO 1040
1180  RETURN

```

FIGURA 5.1 DIAGRAMA DE FLUJO DEL PROGRAMA DE PRUEBA

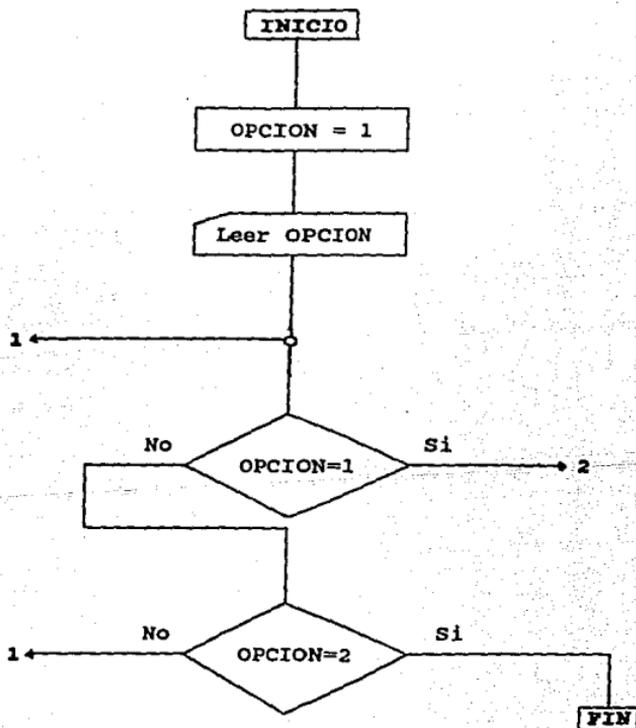
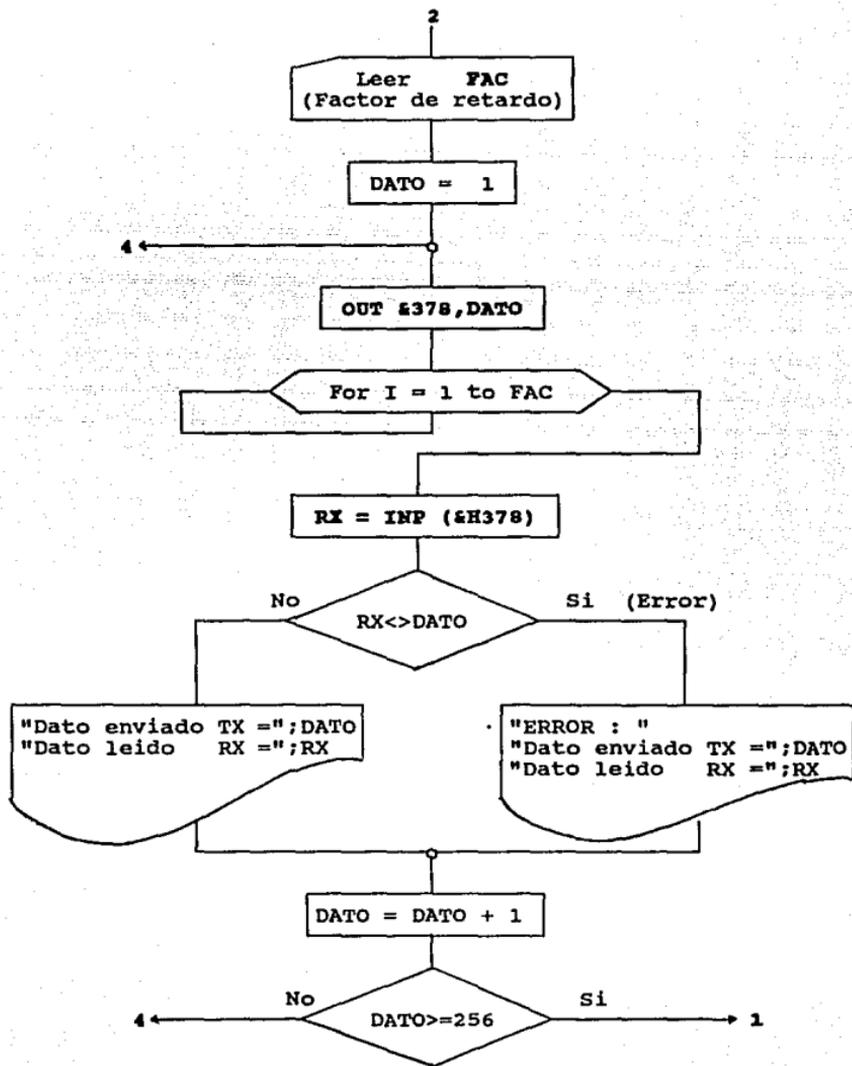


FIGURA 5.1 DIAGRAMA DE FLUJO DEL PROGRAMA DE PRUEBA
(Continuación).



Para operar el programa de prueba es necesario seguir los siguientes pasos:

- Primero invoque desde el sistema operativo el intérprete GW-BASIC: `A\> gwbasic`
- Una vez dentro del intérprete, proceda a cargar el programa de prueba mediante el comando LOAD:
`LOAD "prueba.bas"`
- En seguida ejecute el programa mediante el comando RUN.

Al ejecutar el programa se despliega un menú con 2 opciones:

OPCION 1

Mediante esta opción se realizan las operaciones de Escritura y Lectura de datos sobre las 8 líneas de datos (D0-D7) del puerto paralelo. Dado que se tienen 8 líneas es posible generar 2 a la 8 (256) datos para ser enviados y leídos por el puerto paralelo.

Al elegir esta opción se le pide al usuario que proporcione un dato numérico denominado **factor de retardo**, cuyo único fin consiste en retardar un determinado número de veces la operación de lectura antecedida de la operación de escritura efectuada.

El programa de prueba genera datos consecutivos , del 0 al 255 y los envía al puerto de salida, después, por cada dato enviado, ejecuta el retardo proporcionado y efectúa la operación de lectura a través del puerto de entrada.

Tanto el dato enviado como el recibido son comparados, y si existe alguna diferencia se despliega un mensaje de error mostrándose ambos datos:

"E R R O R : TX = "; dato enviado, " RX = "; dato recibido

En programa despliega la siguiente salida:

DATO ENVIADO TX = 0	DATO LEIDO RX = 0
DATO ENVIADO TX = 1	DATO LEIDO RX = 1
DATO ENVIADO TX = 2	DATO LEIDO RX = 2
DATO ENVIADO TX = 3	DATO LEIDO RX = 3
DATO ENVIADO TX = 4	DATO LEIDO RX = 4
DATO ENVIADO TX = 5	DATO LEIDO RX = 5
DATO ENVIADO TX = 6	DATO LEIDO RX = 6
...	
DATO ENVIADO TX = 254	DATO LEIDO RX = 254
DATO ENVIADO TX = 255	DATO LEIDO RX = 255

OPCION 2

Esta opción permite el fin de la ejecución del programa.

V.1.2 PRUEBAS DE OPERACION BAJO EL SISTEMA OPERATIVO MS-DOS.

En el ambiente del sistema operativo existen diversas maneras, por medio de comandos o instrucciones, para direccionar el puerto paralelo y enviar a través de él archivos o datos a la impresora.

Para la realización de las pruebas es necesario que la impresora de la microcomputadora se encuentre encendida y en línea.

Las pruebas de impresión que se eligieron para el puerto paralelo son cuatro, las cuales se detallan a continuación:

**PRUEBA 1 IMPRESION DEL ARCHIVO DE PRUEBA POR MEDIO DEL
COMANDO : TYPE archivo > PRN.**

Al encenderse la microcomputadora y cargarse el sistema operativo, se establece por defecto la dirección del puerto paralelo lpt1, la cual queda registrada bajo PRN.

Esta prueba consiste en enviar, mediante la dirección PRN, un archivo de prueba llamado test.txt, el cual contiene caracteres en código ASCII, mediante el siguiente comando:

```
A\> type test.txt >prn
```

El caracter " > " indica que el archivo de prueba test.txt es direccionado o remitido hacia el dispositivo de impresión dado por defecto, lpt1, a través de PRN.

PRUEBA 2 IMPRESION DEL ARCHIVO DE PRUEBA POR MEDIO DEL COMANDO : PRINT.

El comando print permite enviar un archivo de texto a la impresora creando un proceso de "trasfondo" o "background", haciendo que la microcomputadora se libere de esta tarea y pueda ejecutar otros comandos.

Mediante este comando es posible direccionar cualquiera de los tres puertos lpt1, lpt2 o lpt3, o si se desea enviar la impresión al puerto por defecto lpt1, dado por PRN.

En nuestro caso, enviaremos el archivo de prueba al puerto lpt1 mediante la siguiente instrucción:

```
B\> print a:text.txt
```

PRUEBA 3 IMPRESION A TRAVES DEL CARACTER DE CONTROL CTRL+P DEL SISTEMA OPERATIVO.

El caracter de control Ctrl+P permite direccionar la salida de datos hacia el puerto paralelo, activándose la

impresora como si fuera una máquina de escribir, imprimiendo caracter por caracter hasta encontrar el caracter de Carriage Return (CR) y el caracter Line Feed (LF) para continuar otra línea.

Para esta prueba se realizan las siguientes acciones:

1. Oprima el caracter de control CTRL+P, compuesto por las teclas de CTRL y P.

Con esto se ha direccionado a la impresora para que ésta reciba, a partir de este momento, cualquier dato que se proporcione a través del teclado o cualquier salida generada al ejecutar algún comando del sistema operativo.

2. Tecleé el comando `dir` del sistema operativo:

```
A\> dir
```

Al efectuar esta acción la palabra `dir` es impresa por la impresora junto con la lista de archivos que despliega este comando.

3. Tecleé el comando `type`:

```
A\> type texto.txt
```

Al igual que en el punto 2, el letrero "`type texto.txt`" será impreso, junto con el contenido del archivo de prueba.

4. Oprima de nuevo el caracter de control CTRL+P.

Mediante esta acción se deshabilita la salida de datos hacia la impresora, volviéndose al estado normal en donde la salida de datos es dirigida hacia la pantalla de la microcomputadora.

Para comprobar este estado se repiten las acciones 2 y 3, observándose que dichos comandos se ejecutan solamente en pantalla.

PRUEBA 4 IMPRESION A TRAVES DE LA FUNCION DE SERVICIO PRINT SCREEN.

La función de servicio PRINT-SCREEN, activada por la interrupción 05H, mantiene la posición actual del cursor en la pantalla e imprime los caracteres imprimibles desplegados en ella, ya sea en modo texto o modo gráfico. Esta función de servicio no puede imprimir imágenes dibujadas en pantalla.

Para la ejecución de esta prueba se realizan las siguientes acciones:

1. Tecleé el comando type del sistema operativo para desplegar en pantalla el contenido del archivo de prueba texto.txt:

A\> type texto.txt

2. Oprima las teclas Shift-FrtSc para activar la función de servicio PRINT-SCREEN.

3. Una vez que la impresora haya terminado de imprimir compare la hoja impresa contra la información desplegada por la pantalla de la microcomputadora.

V.2 COSTOS.

En esta segunda parte se hace una estimación de los costos que se generan en la fabricación y venta de los puertos paralelos. Esta estimación esta basada en un análisis de costos derivados del modelo de producción propuesto para la elaboración de puertos paralelos como único producto.

Para la realización de este análisis fue necesario plantear un modelo de producción, formado por procesos perfectamente definidos que permiten identificar y cuantificar los recursos consumidos en la fabricación de los puertos paralelos.

A través del modelo de producción se determinó el costo de producción de cada puerto paralelo como producto terminado.

Una vez que se tiene el producto terminado se incurren en otros gastos, los cuales se clasifican como costo de distribución y costo de administración.

El costo de distribución o gastos de venta son los costos en los que se incurre para efectuar la venta del producto terminado.

El costo de administración o gastos de administración son los costos generados por las operaciones habidas después de la entrega del producto terminado hasta que se reciba en la Caja o se deposite en el Banco el importe del producto terminado.

Una vez determinados los costos de producción, distribución y de administración, se calcula el costo total del producto terminado sumando los tres costos anteriores.

Para el análisis de costos-volumen-utilidad es necesario obtener el precio de venta de cada volumen de producción en base a los costos totales calculados, en este caso, empleamos la técnica del punto de equilibrio, la cual nos permite establecer una gráfica de costos e ingresos contra volumen de

unidades producidas, mediante la cual se puede determinar cuantas unidades deben ser vendidas para no tener pérdidas ni ganancias.

V.2.1 DESCRIPCION DEL MODELO DE PRODUCCION.

Para la elaboración de los puertos paralelos es necesario contar con una infraestructura que permita sostener una producción en serie. Para esto se ha diseñado un modelo de producción, como se muestra en la figura 5.2. En este modelo los procesos B, C, D y E constituyen el proceso de fabricación o producción. El estado A del modelo de producción se ha contemplado aparte porque no pertenece al proceso de fabricación, sin embargo se considera porque éste genera costos. En el caso del estado F se creó porque es necesario cuantificar, a lo largo de la línea de producción de los puertos paralelos, las pérdidas que se generan por errores en alguno de los procesos y/o material defectuoso o dañado.

A continuación se describen los estados y procesos del modelo de producción:

Estado A

En este estado se efectúan todas las operaciones necesarias para el abastecimiento de los materiales directos e indirectos que intervienen en la fabricación de los puertos paralelos

Proceso B

En este proceso se realiza el ensamblado de los componentes sobre la tarjeta de circuito impreso del puerto paralelo.

FIGURA 5.2 MODELO DE PRODUCCION DE PUERTOS PARALELOS.

PROCESOS DE PRODUCCION

ESTADO A

Abastecimiento
de materiales
directos e
indirectos.

PROCESO B 12 min.

Ensamblado de
componentes
sobre la
tarjeta

PROCESO C 6 min.

Soldado y recor-
te de los compo-
nentes sobre la
tarjeta

PROCESO D 28 min.

Control
de
Calidad
y Correcciones

PROCESO E 3 min.

Empacado
de los
puertos
paralelos

ESTADO F

Perdidas
y
Desechos

Los componentes , o material directo, utilizados en este proceso se muestran en la tabla V.1.

TABLA V.1 MATERIAL DIRECTO DEL PROCESO B.

DESCRIPCION DE COMPONENTES	CANTIDAD/ TARJETA
Circuitos Integrados	
74LS04 Inversores	3
7406 Inversores con colector abierto	1
74LS08 Compuertas AND	4
74LS125 Buffers tri-estado	1
74LS155 Dec/mux dual 2-4	1
74LS174 Flip-flops "D" (6) clear y clock comunes	1
74LS240 Buffers inversores tri-estado	1
74LS244 Buffers line-drivers	1
74LS245 Bus transceiver 8 líneas	1
74LS273 Flip-flops "D" (8) clear y clock comunes	1
Conector DB25 hembra para tarjeta	1
Resistencias de 4.7 kilo ohms a 1/4 de watt	6
Capacitores de 0.01 micro faradios a 50 volts	13
Capacitores de 2.2 nano faradios a 50 volts	8

El equipo que interviene en este proceso es el siguiente:

- Juego de pinzas.
- Estanteria para componentes.
- Mesa de trabajo de 1.30 X 1.70 m de madera de 1/2 pulgada con banco de trabajo.

Proceso C

En este proceso se lleva a cabo el soldado de los componentes sobre la tarjeta de circuito impreso del puerto paralelo. Para esto se recibe la tarjeta con los componentes, ensamblados en el proceso B, y se aplica una capa de pasta para soldadura sobre la superficie a soldar.

Después, la capa a soldar es pasada a través de un crisol en donde los componentes son soldados. Se dejan enfriar las soldaduras y se procede a eliminar los residuos de soldadura y pasta.

Una vez que los componentes han sido soldados se recortan las puntas sobrantes de los componentes.

El material directo empleado en este proceso es el siguiente:

- Soldadura.

El material indirecto y equipo que interviene en este proceso es el siguiente:

- Pastas para soldadura.
- Juego de pinzas.
- Mesa de trabajo de 1.30 X 1.70m de madera de 1/2 pulgada con banco de trabajo.
- Crisol

Proceso D

Este es el proceso más importante del modelo de producción, ya que en éste se lleva a cabo la verificación y liberación de puertos paralelos como productos terminados para su venta.

En este proceso se realiza el control de calidad de los puertos paralelos provenientes del proceso C, para lo cual se han establecido una serie de pruebas con el fin de detectar las fallas y errores que se presenten en algunos de los puertos paralelos y realizar las correcciones necesarias, siempre y cuando esto sea posible, de no ser así, la tarjeta es desechada y remitida al estado F del modelo de producción.

Las pruebas establecidas son las siguientes:

1. Inspección visual de la tarjeta de puerto paralelo.

Esta prueba consiste en observar a simple vista las tarjetas recibidas del proceso C, con el fin de detectar si existen componentes mal colocados o con soldaduras defectuosas (frías).

2. Prueba de no continuidad entre las líneas de polarización.

En esta prueba, el puerto paralelo es conectado a un circuito detector de cortos o continuidad entre las líneas de polarización. En caso de que exista un corto se procede a la corrección de la falla.

3. Prueba de operación.

En esta prueba, el puerto paralelo es conectado a uno de los slots de una microcomputadora PC XT y a una impresora.

La prueba consiste en imprimir un archivo de datos con alguno de los comandos de impresión del sistema operativo MS DOS. Después se manda imprimir el contenido de la pantalla de la microcomputadora utilizando la función PRINT-SCREEN.

Son revisadas las hojas impresas para detectar si hubo algún error en el proceso de impresión.

4. Prueba final.

Esta prueba consiste en poner en operación el puerto paralelo de manera continua durante un periodo de tiempo.

El conector de salida del puerto paralelo se conecta a un sistema digital de verificación. Este sistema tiene como fin comparar los datos que se envían a través del puerto paralelo contra datos previamente almacenados en el sistema digital.

En caso de que exista alguna discrepancia entre el dato almacenado y el dato enviado se activa una alarma indicadora.

Los puertos paralelos que no satisfacen esta prueba son sometidos a un programa de verificación, mediante el cual se realiza el envío y recepción de datos en las líneas del puerto paralelo.

El programa de verificación se encuentra descrito en la sección V.1.1 de este capítulo.

Las pruebas del proceso de control de calidad y correcciones se realizan bajo el algoritmo mostrado en el diagrama de flujo de la figura 5.3.

Como se ha mencionado, dentro del proceso de control de calidad se llevan a cabo las correcciones de los puertos paralelos defectuosos.

En caso de que la falla se deba a alguna soldadura defectuosa, o algún componente o dispositivo con daño físico visible, o exista continuidad entre las líneas de polarización, se procede a su corrección. Una vez concluida, el puerto paralelo es etiquetado y se regresa al lote de puertos que recibe este proceso.

Si la falla no fue plenamente identificada, se efectúa la prueba del programa verificador para detectar que parte del puerto paralelo esta fallando, y así proceder a su reparación. Una vez reparado, el puerto paralelo es etiquetado y enviado nuevamente al lote de puertos que recibe este proceso, como en el caso anterior.

Si al inicio de este proceso se recibe un puerto paralelo con más de una revisión, este es desechado y se remite al estado F del modelo de producción.

El equipo empleado en este proceso es el siguiente:

- Juego de pinzas.
- Cautín de calor regulable.

FIGURA 5.3. DIAGRAMA DE FLUJO DEL ALGORITMO DEL PROCESO DE CONTROL DE CALIDAD.

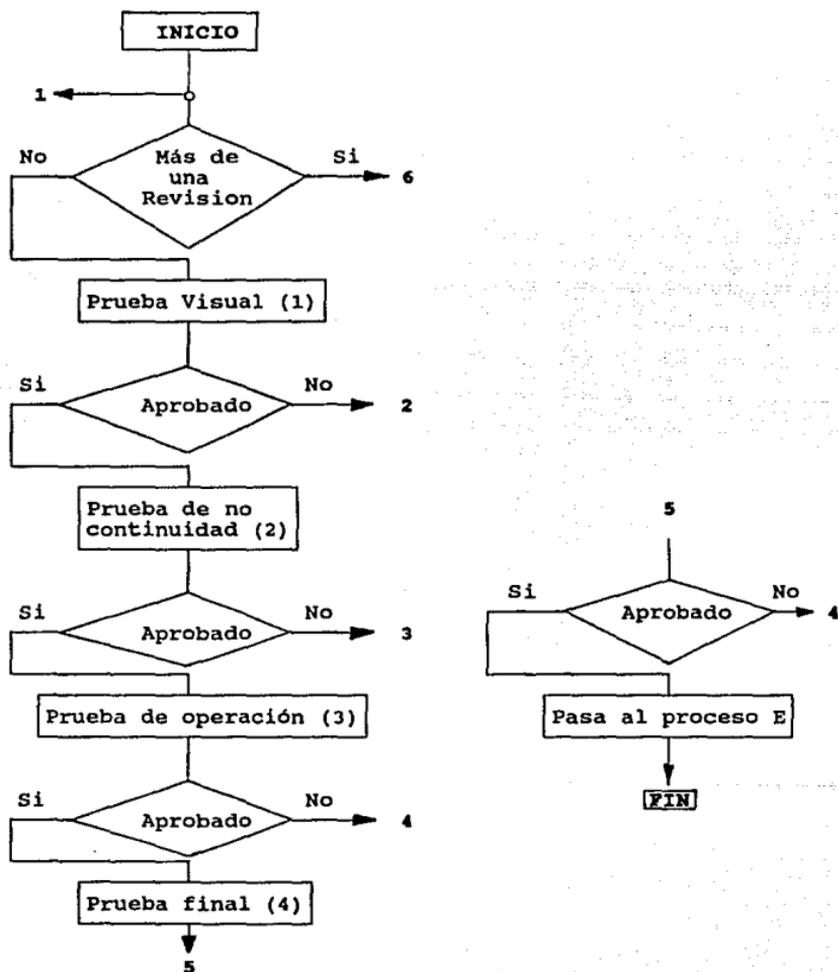
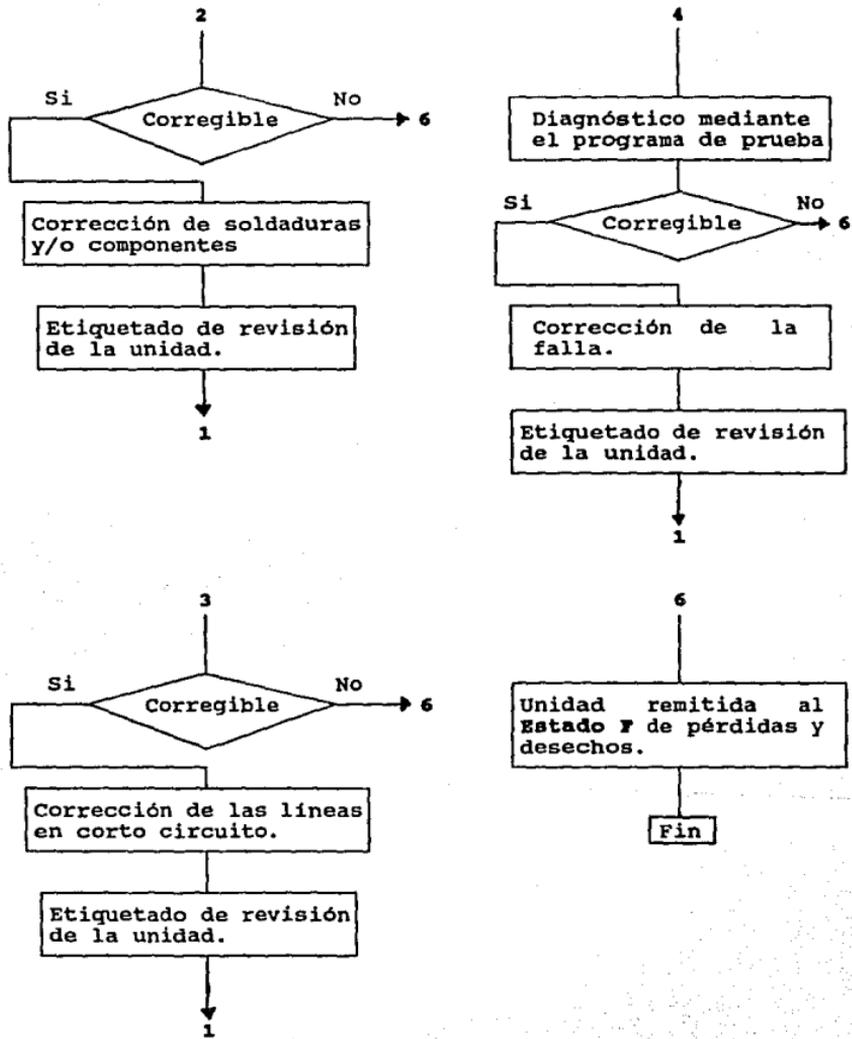


FIGURA 5.3. DIAGRAMA DE FLUJO DEL ALGORITMO DEL PROCESO DE CONTROL DE CALIDAD (continuación).



- Succionador.
- Mesa de trabajo de 1.30 X 1.70 m de madera de 1/2 pulgada con banco de trabajo.
- Lampara con lupa.
- Fuente de poder regulada de 5 volts, a 2 amperios.
- Microcomputadora PC XT
- Impresora de matriz de puntos.
- Sistema digital verificador.

Proceso E

En este proceso se reciben los puertos paralelos liberados por el proceso de control de calidad para ser empaquetados en bolsas de plástico, junto con su manual de instalación.

El equipo y material necesario para este proceso es el siguiente:

- Máquina selladora de plástico.
- Bolsa de plástico de 15 x 30 cm.

ESTADO F

Este estado fue creado para contabilizar, a futuro, las pérdidas y desechos de material que se presenten en todo el proceso de producción.

Se ha considerado un local para todo el proceso de producción con un área de 30 metros cuadrados, haciendo las siguientes divisiones por proceso:

Procesos B y C	15 metros cuadrados.
Proceso D	10 metros cuadrados.
Proceso E	5 metros cuadrados.

V.2.2 COSTO DE PRODUCCION.

Con base en el modelo de producción, propuesto y descrito en la sección V.2.1, se determina el costo de producción, el cual es la suma del costo indirecto de producción y el costo primo de todo el proceso de producción.

El costo primo está formado por los costos de los materiales directos y por los costos de la mano de obra directa que intervienen en la producción.

El costo indirecto de producción es aquél que está integrado por los costos de la materia prima indirecta, la mano de obra indirecta y los gastos indirectos de producción.

En la presente sección se calculan varios costos de producción para distintos volúmenes de producción. El modelo de producción variará en las cantidades de los recursos que se requieran para los distintos volúmenes de producción, pero la estructura del proceso productivo será la misma.

Los volúmenes de producción que se consideran son los siguientes:

1. 150 unidades por mes.
2. 300 unidades por mes.
3. 500 unidades por mes.
4. 1000 unidades por mes.

Para cada uno de los volúmenes anteriores se hace el desglose de costos por cada proceso del modelo de producción de la figura 5.2.

Para el cálculo del costo de producción se toman los costos generados por los procesos B-C, el proceso D y el proceso E. Los procesos B y C se consideran como uno solo para evitar tiempos de holgura en el modelo de producción.

Volumen 1: Orden de 150 unidades mensuales.

Procesos B y C.

- Consideraciones Generales:

Para los procesos B y C se contará con un operario soldador y ensamblador.

CALCULO DEL COSTO PRIMO:

a) Costo del material directo.

MATERIAL	COSTO UNITARIO	CANTIDAD	COSTO POR TARJETA	COSTO TOTAL DE LA ORDEN
74LS04	566.95	3	1700.85	255,127.50
7406	722.50	1	722.50	108,375.00
74LS08	566.95	4	2267.80	340,170.00
74LS125	929.05	1	929.05	139,357.50
74LS155	1360.00	1	1360.00	204,000.00
74LS174	2230.40	1	2230.40	334,560.00
74LS240	1156.85	1	1156.85	173,527.50
74LS244	1208.70	1	1208.70	181,305.00
74LS245	1253.75	1	1253.75	188,062.50
74LS273	1253.75	1	1253.75	188,062.50
Cap. 0.01 micro f.	73.10	13	950.30	142,545.00
Cap. 2.2 nano f.	119.85	5	599.25	89,887.50
Resist. 4.7K Ohms	23.80	6	142.80	21,420.00
Conector DB25 Hem	3500.00	1	3500.00	525,000.00
Soldadura	1000.00	1.2 m	1200.00	180,000.00
Circuito Impreso	15000.00	1	15000.00	2250,000.00

T O T A L

\$35,476.00 \$5,321,400.00

b) Costo de la mano de obra directa.

OPERARIO	SALARIO DIARIO	SALARIO POR MIN	MIN TRAB.	COSTO POR TARJETA	COSTO POR ORDEN
1 ensamblador y soldador.	13,600	28.33	18	510.00	76,500.00

T O T A L

\$510.00 \$76,500.00

Costo Primo = Material directo + Mano de Obra directa

Costo Primo por orden de B y C = \$ 5,397,900.00

Costo Primo por tarjeta de B y C = \$ 35,986.00

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo del material indirecto.

MATERIAL	COSTO UNITARIO	CANTIDAD/TARJETA	COSTO POR TARJETA	COSTO POR ORDEN
Pasta para soldar	600.00	1	600.00	90,000.00
T O T A L			\$600.00	\$90,000.00

b) Gastos Indirectos de producción.

- Cálculo de depreciaciones.

EQUIPO Y HERRAMIENTA	COSTO UNITARIO	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
1 Jgo.de pinzas	52,000.00	1	4,333.33
1 Estanteria	200,000.00	5	3,333.33
2 Mesas trabajo	700,000.00	5	11,666.67
1 Crisol	5,000,000.00	10	41,666.67
T O T A L			\$61,000.00

Renta mensual \$ 225,000.00

Energía Eléctrica mensual \$ 180,000.00

Impuestos \$ 40,000.00

T O T A L \$ 445,000.00

Gasto indirecto mensual de los procesos B y C:

\$61,000.00 + \$445,000.00 = \$506,000.00

Finalmente, el costo indirecto de producción, para los procesos B y C, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	TOT.DIA TRABAJO	COSTO /MIN.	MIN/ TAR.	MIN/ ORDEN	COSTO/ TARJETA	COSTO / ORDEN
Mat.Ind.	90,000	22	8.52	18	2700	153.40	23011.36
Gasto Indirec.	506,000	22	47.91	18	2700	862.50	129,375

T O T A L **\$1015.90 \$152,386.36**

Costo Indirecto de Producción por orden de los procesos B C :
\$ 152,386.36

Costo Indirecto de Producción por tarjeta de los
procesos B C:

\$ 1,015.90

Proceso D

- Consideraciones Generales:

Para la ejecución de este proceso se requiere de un técnico en electrónica. Ya que en este proceso se lleva a cabo el control de calidad de los puertos paralelos producidos, no se tienen costos directos sino indirectos.

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo de la mano de obra indirecta.

OPERARIO	DIAS LAB.	SALARIO DIARIO	SALARIO POR MIN	MIN. TRAB.	COSTO / TARJETA	COSTO POR ORDEN
1 técnico electrónico	22	55,909.10	116.47	28	3261.36	489,204.62

T O T A L **\$3,261.36 \$489,204.62**

b) Gastos Indirectos de Producción.
- Cálculo de depreciaciones.

HERRAMIENTA	COSTO
Mallas de soldadura	18,000.00
1 cautín	600,000.00
1 jgo. de pinzas	52,000.00
1 succionador	80,000.00
T O T A L	\$750,000.00

MOBILIARIO	COSTO
1 Mesa de trabajo	350,000.00
1 Lámpara con lupa	800,000.00
T O T A L	\$1,150,000.00

EQUIPO	COSTO
1 Microcomputadora PC XT	1,200,000.00
1 Impresora de 9 puntos	350,000.00
1 Sistema digital	120,000.00
1 Fuente de poder	350,000.00
T O T A L	\$2,020,000.00

Para las depreciaciones tenemos:

CONCEPTO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
Herramienta	750,000.00	1	62,500.00
Mobiliario	1,150,000.00	5	19,166.66
Equipo	2,020,000.00	5	33,666.67

T O T A L **\$115,333.33**

Renta mensual	\$ 150,000.00
Energía eléctrica mensual	\$ 130,000.00
Impuestos	\$ 26,666.67
T O T A L	\$ 306,666.67

Gasto Indirecto mensual del proceso D :
 $\$115,333.33 + \$306,666.67 = \$422,000.00$

Finalmente, el costo indirecto de producción, para el proceso D, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	DIAS LAB.	COSTO MIN.	MIN/TARJ.	MIN/ORDEN	COSTO/TARJETA	COSTO / ORDEN
Mano de Obr. Ind.	489204.62	22	46.33	28	4200	1297.13	194570.02
Gastos Indirec.	422000.00	22	39.96	28	4200	1118.94	167840.92

T O T A L **\$2416.07 \$362,410.94**

Costo Indirecto de Producción por orden del proceso D :

\$ 362,410.94

Costo Indirecto de Producción por tarjeta del proceso D :

\$ 2,416.07

Proceso E

- Consideraciones Generales:

Para la ejecución de este proceso se requiere de una persona que se encargue del empaclado de los puertos paralelos liberados por el proceso D.

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo de la mano de obra indirecta.

OPERARIO	SALARIO DIARIO	SALARIO POR MIN.	MIN. TRAB.	COSTO POR TARJETA	COSTO POR ORDEN
1 ayudante emparador	13,600	28.33	3	85.00	12,750.00

T O T A L **\$85.00 \$12,750.00**

b) Costo del material indirecto

MATERIAL	COSTO UNITARIO	CANTIDAD/TARJETA	COSTO POR TARJETA	COSTO POR ORDEN
Bolsa de plástico de 15x30 cm.	110.00	1	110.00	16,500.00
Manual de instal.	2000.00	1	2000.00	300,000.00
T O T A L			\$2110.00	\$316,500.00

c) Gastos Indirectos de Producción.

- Cálculo de depreciaciones.

EQUIPO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
1 Máquina selladora de plástico.	295,000.00	5	4,916.66
T O T A L			\$ 4,916.66

Renta mensual	\$ 75,000.00
Energía eléctrica mensual	\$ 95,000.00
Impuestos	\$ 13,333.33
T O T A L	\$ 183,333.33

Gasto Indirecto mensual del proceso E :
 $\$4,916.66 + \$183,333.33 = \$188,249.99$

Finalmente, el costo indirecto de producción, para el proceso E, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	DIAS LAB.	COSTO MIN.	MIN/TARJ.	MIN/ORDEN	COSTO/TARJETA	COSTO / ORDEN
Mano de Obr. Ind.	12,750.00	22	1.21	3	450	3.62	543.32
Material Indirec.	316,500.00	22	29.97	3	450	89.91	13487.22
Gastos Indirec.	188,249.99	22	17.83	3	450	53.48	8022.01

T O T A L

\$147.01 \$22,052.55

Costo Indirecto de Producción por orden del proceso E:

\$22,052.55

Costo Indirecto de Producción por tarjeta del proceso E :

\$147.01

Finalmente el costo de producción total de todos los procesos de producción, para un volumen de 150 unidades mensuales es:

COSTO PRIMO COSTO INDIRECT. DE PROD.

PROCESOS B y C	5,397,900.00	152,386.36
PROCESO D	0.00	362,410.94
PROCESO E	0.00	22,052.55

T O T A L

\$5,397,900.00

\$536,849.85

COSTO DE PRODUCCION PARA EL VOLUMEN 1 (150 unidades)

\$ 5,397,900.00 + \$ 536,849.85 = \$ 5,934,749.85 pesos

COSTO DE PRODUCCION POR UNIDAD

\$ 39,564.99 pesos

Volumen 2: Orden de 300 unidades mensuales.

Procesos B y C.

- Consideraciones Generales:

Para los procesos B y C se contará con un operario soldador y ensamblador.

CALCULO DEL COSTO PRIMO:

a) Costo del material directo.

MATERIAL	COSTO UNITARIO	CANTIDAD	COSTO POR TARJETA	COSTO TOTAL DE LA ORDEN
74LS04	566.95	3	1700.85	510,255.00
7406	722.50	1	722.50	216,750.00
74LS08	566.95	4	2267.80	680,340.00
74LS125	929.05	1	929.05	278,715.00
74LS155	1360.00	1	1360.00	408,000.00
74LS174	2230.40	1	2230.40	669,120.00
74LS240	1156.85	1	1156.85	347,055.00
74LS244	1208.70	1	1208.70	362,610.00
74LS245	1253.75	1	1253.75	376,125.00
74LS273	1253.75	1	1253.75	376,125.00
Cap. 0.01 micro f.	73.10	13	950.30	285,090.00
Cap. 2.2 nano f.	119.85	5	599.25	179,775.00
Resist. 4.7K Ohms	23.80	6	142.80	42,840.00
Conector DB25 Hem	3500.00	1	3500.00	1,050,000.00
Soldadura	1000.00	1.2 m	1200.00	360,000.00
Circuito Impreso	10000.00	1	10000.00	3,000,000.00

T O T A L

\$30,476.00 \$9,142,800.00

b) Costo de la mano de obra directa.

OPERARIO	SALARIO DIARIO	SALARIO POR MIN	MIN TRAB.	COSTO POR TARJETA	COSTO POR ORDEN
1 ensamblador y soldador.	13,600	28.33	18	510.00	153,000.00

T O T A L

\$510.00 \$153,000.00

Costo Primo = Material directo + Mano de Obra directa

Costo Primo por orden de B y C = \$ 9,295,800.00

Costo Primo por tarjeta de B y C = \$ 30,986.00

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo del material indirecto.

MATERIAL	COSTO UNITARIO	CANTIDAD/TARJETA	COSTO POR TARJETA	COSTO POR ORDEN
Pasta para soldar	600.00	1	600.00	180,000.00
T O T A L			\$600.00	\$180,000.00

b) Gastos Indirectos de producción.

- Cálculo de depreciaciones.

EQUIPO Y HERRAMIENTA	COSTO UNITARIO	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
1 Jgo. de pinzas	52,000.00	1	4,333.33
1 Estanteria	200,000.00	5	3,333.33
2 Mesas trabajo	700,000.00	5	11,666.67
1 Crisol	5,000,000.00	10	41,666.67
T O T A L			\$61,000.00

Renta mensual \$ 225,000.00

Energía Eléctrica mensual \$ 360,000.00

Impuestos \$ 40,000.00

T O T A L \$ 625,000.00

Gasto indirecto mensual de los procesos B y C:

\$61,000.00 + \$625,000.00 = \$ 686,000.00

Finalmente, el costo indirecto de producción, para los procesos B y C, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	TOT.DIA TRABAJO	COSTO /MIN.	MIN/ TAR.	MIN/ ORDEN	COSTO/ TARJETA	COSTO/ ORDEN
Mat.Ind.	180,000	22	17.04	18	5400	306.82	92045.45
Gasto Indirec.	686,000	22	64.96	18	5400	1169.31	350795.47

T O T A L **\$ 1476.13 \$442,840.92**

Costo Indirecto de Producción por orden de los procesos B C :
\$ 442,840.92

Costo Indirecto de Producción por tarjeta de los procesos B C:

\$ 1,476.13

Proceso D

- Consideraciones Generales:

Para la ejecución de este proceso se requiere de un técnico en electrónica. Ya que en este proceso se lleva a cabo el control de calidad de los puertos paralelos producidos, no se tienen costos directos sino indirectos.

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo de la mano de obra indirecta.

OPERARIO	DIAS LAB.	SALARIO DIARIO	SALARIO POR MIN	MIN. TRAB.	COSTO / TARJETA	COSTO POR ORDEN
1 técnico electrónico	22	55,909.10	116.47	28	3261.36	978,409.25

T O T A L **\$3,261.36 \$978,409.25**

b) Gastos Indirectos de Producción.

- Cálculo de depreciaciones.

HERRAMIENTA	COSTO
Mallas de soldadura	18,000.00
1 cautín	600,000.00
1 jgo. de pinzas	52,000.00
1 succionador	80,000.00
T O T A L	\$750,000.00

MOBILIARIO	COSTO
1 Mesa de trabajo	350,000.00
1 Lámpara con lupa	800,000.00
T O T A L	\$1,150,000.00

EQUIPO	COSTO
1 Microcomputadora PC XT	1,200,000.00
1 Impresora de 9 puntos	350,000.00
1 Sistema digital	120,000.00
1 Fuente de poder	350,000.00
T O T A L	\$2,020,000.00

Para las depreciaciones tenemos:

CONCEPTO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
Herramienta	750,000.00	1	62,500.00
Mobiliario	1,150,000.00	5	19,166.66
Equipo	2,020,000.00	5	33,666.67

T O T A L **\$115,333.33**

Renta mensual	\$ 150,000.00
Energía eléctrica mensual	\$ 260,000.00
Impuestos	\$ 26,666.67
T O T A L	\$ 436,666.67

Gasto Indirecto mensual del proceso D :
 $\$ 115,333.33 + \$ 436,666.67 = \$ 552,000.00$

Finalmente, el costo indirecto de producción, para el proceso D, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	DIAS LAB.	COSTO MIN.	MIN/TARJ	MIN/ORDEN	COSTO/TARJETA	COSTO / ORDEN
Mano de Obr. Ind.	978,408.00	22	92.65	28	8400	2594.26	778280.08
Gastos Indirec.	552,000.01	22	52.27	28	8400	1463.64	439090.91

T O T A L **\$4057.90 \$1217,370.99**

Costo Indirecto de Producción por orden del proceso D :

\$ 1,217,370.99

Costo Indirecto de Producción por tarjeta del proceso D :

\$ 4,057.90

Proceso E

- Consideraciones Generales:

Para la ejecución de este proceso se requiere de una persona que se encargue del empaclado de los puertos paralelos liberados por el proceso D.

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo de la mano de obra indirecta.

OPERARIO	SALARIO DIARIO	SALARIO POR MIN.	MIN. TRAB.	COSTO POR TARJETA	COSTO POR ORDEN
1 ayudante empaclador	13,600	28.33	3	85.00	25,500.00

T O T A L **\$85.00 \$25,500.00**

b) Costo del material indirecto

MATERIAL	COSTO UNITARIO	CANTIDAD/TARJETA	COSTO POR TARJETA	COSTO POR ORDEN
Bolsa de plástico de 15x30 cm.	110.00	1	110.00	33,000.00
Manual de instal.	2000.00	1	2000.00	600,000.00
T O T A L			\$2110.00	\$633,000.00

c) Gastos Indirectos de Producción.

- Cálculo de depreciaciones.

EQUIPO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
1 Máquina selladora de plástico.	295,000.00	5	4,916.66
T O T A L			\$ 4,916.66

Renta mensual	\$ 75,000.00
Energía eléctrica mensual	\$ 190,000.00
Impuestos	\$ 13,333.33
T O T A L	\$ 278,333.33

Gasto Indirecto por orden del proceso E :
 $\$ 4,916.66 + \$ 278,333.33 = \$ 283,249.99$

Finalmente, el costo indirecto de producción, para el proceso E, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	DIAS LAB.	COSTO MIN.	MIN/TARJ.	MIN/ORDEN	COSTO/TARJETA	COSTO / ORDEN
Mano de Obr. Ind.	25,500.00	22	2.41	3	900	7.24	2173.30
Material Indirec.	633,000.00	22	59.94	3	900	179.84	53948.86
Gastos Indirec.	283,250.00	22	26.82	3	900	80.46	24140.62

T O T A L

\$267.54 \$80,262.78

Costo Indirecto de Producción por orden del proceso E:

\$ 80,262.78

Costo Indirecto de Producción por tarjeta del proceso E :

\$ 267.54

Finalmente el costo de producción total de todos los procesos de producción, para un volumen de 300 unidades mensuales es:

COSTO PRIMO COSTO INDIRECT. DE PROD.

PROCESOS B y C	9,295,800.00	442,840.92
PROCESO D	0.00	1,217,370.99
PROCESO E	0.00	80,262.78

T O T A L

\$ 9,295,800.00

\$ 1,740,474.69

COSTO DE PRODUCCION PARA EL VOLUMEN 2 (300 unidades)

\$ 9,295,800.00 + \$ 1,740,474.69 = \$ 11,036,274.69 pesos

COSTO DE PRODUCCION POR UNIDAD

\$ 36,787.58 pesos

Volumen 3: Orden de 500 unidades mensuales.

Procesos B y C.

- Consideraciones Generales:

Para los procesos B y C se contará con un operario soldador y ensamblador.

CALCULO DEL COSTO PRIMO:

a) Costo del material directo.

MATERIAL	COSTO UNITARIO	CANTIDAD	COSTO POR TARJETA	COSTO TOTAL DE LA ORDEN
74LS04	566.95	3	1700.85	850,425
7406	722.50	1	722.50	361,250
74LS08	566.95	4	2267.80	1,133,900
74LS125	929.05	1	929.05	464,525
74LS155	1360.00	1	1360.00	680,000
74LS174	2230.40	1	2230.40	1,115,200
74LS240	1156.85	1	1156.85	578,425
74LS244	1208.70	1	1208.70	604,350
74LS245	1253.75	1	1253.75	626,875
74LS273	1253.75	1	1253.75	626,875
Cap.0.01 micro f.	73.10	13	950.30	475,150
Cap. 2.2 nano f.	119.85	5	599.25	299,625
Resist. 4.7K Ohms	23.80	6	142.80	71,400
Conector DB25 Hem	3500.00	1	3500.00	1,750,000
Soldadura	1000.00	1.2 m	1200.00	600,000
Circuito Impreso	10000.00	1	10000.00	5,000,000

T O T A L

\$30,476.00 \$15,238,000.00

b) Costo de la mano de obra directa.

OPERARIO	SALARIO DIARIO	SALARIO POR MIN	MIN TRAB.	COSTO POR TARJETA	COSTO POR ORDEN
1 ensamblador y soldador.	13,600	28.33	18	510.00	255,000.00

T O T A L

\$510.00 \$255,000.00

Costo Primo = Material directo + Mano de Obra directa

Costo Primo por orden de B y C = \$ 15,493,000.00

Costo Primo por tarjeta de B y C = \$ 30,986.00

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo del material indirecto.

MATERIAL	COSTO UNITARIO	CANTIDAD/TARJETA	COSTO POR TARJETA	COSTO POR ORDEN
Pasta para soldar	600.00	1	600.00	300,000.00
T O T A L			\$600.00	\$300,000.00

b) Gastos Indirectos de producción.

- Cálculo de depreciaciones.

EQUIPO Y HERRAMIENTA	COSTO UNITARIO	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
1 Jgo.de pinzas	52,000.00	1	4,333.33
1 Estanteria	200,000.00	5	3,333.33
2 Mesas trabajo	700,000.00	5	11,666.67
1 Crisol	5,000,000.00	10	41,666.67
T O T A L			\$61,000.00

Renta mensual \$ 225,000.00

Energia Eléctrica mensual \$ 600,000.00

Impuestos \$ 40,000.00

T O T A L \$ 865,000.00

Gasto indirecto mensual de los procesos B y C:

\$ 61,000.00 + \$ 865,000.00 = \$ 926,000.00

Finalmente, el costo indirecto de producción, para los procesos B y C, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	TOT. DIA TRABAJO	COSTO /MIN.	MIN/ TAR.	MIN/ ORDEN	COSTO/ TARJETA	COSTO/ ORDEN
Mat. Ind.	300,000	22	28.40	18	9000	511.37	255681.82
Gasto Indirec.	926,000	22	87.68	18	9000	1578.40	789204.55

T O T A L **\$2089.77 \$1044,886.37**

Costo Indirecto de Producción por orden de los procesos B C :

\$ 1,044,886.37

Costo Indirecto de Producción por tarjeta de los procesos B C:

\$ 2,089.77

Proceso D

- Consideraciones Generales:

Para la ejecución de este proceso se requiere de dos técnicos en electrónica, así como de doble equipo. Ya que en este proceso se lleva a cabo el control de calidad de los puertos paralelos producidos no hay costos directos.

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo de la mano de obra indirecta.

OPERARIO	DIAS LAB.	SALARIO DIARIO	SALARIO POR MIN	MIN. TRAB.	COSTO / TARJETA	COSTO POR ORDEN
1 técnico electrónico	22	55,909.10	116.47	28	3261.36	1,630,680

T O T A L DE 2 TECNICOS (doble) **\$6,552.72 \$3,261,364.16**

- b) Gastos Indirectos de Producción.
 - Cálculo de depreciaciones.

HERRAMIENTA	COSTO
Mallas de soldadura	36,000.00
2 cautines	1,200,000.00
2 jgo. de pinzas	104,000.00
2 succionadores	160,000.00
T O T A L	\$1,500,000.00

MOBILIARIO	COSTO
2 Mesas de trabajo	700,000.00
2 Lámparas con lupa	1,600,000.00
T O T A L	\$2,300,000.00

EQUIPO	COSTO
2 Microcomputadoras PC XT	2,400,000.00
2 Impresoras de 9 puntos	700,000.00
2 Sistemas digitales	240,000.00
2 Fuentes de poder	700,000.00
T O T A L	\$4,040,000.00

Para las depreciaciones tenemos:

CONCEPTO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
Herramienta	1,500,000.00	1	125,000.00
Mobiliario	2,300,000.00	5	38,333.33
Equipo	4,040,000.00	5	67,333.33

T O T A L **\$230,666.66**

Renta mensual	\$ 150,000.00
Energía eléctrica mensual	\$ 433,333.33
Impuestos	\$ 26,666.67
T O T A L	\$ 610,000.00

Gasto Indirecto por orden del proceso D :
 \$ 230,666.66 + \$ 610,000.00 = \$ 840,666.66

Finalmente, el costo indirecto de producción, para el proceso D, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	DIAS LAB.	COSTO MIN.	MIN/TARJ	MIN/ORDEN	COSTO/TARJETA	COSTO / ORDEN
Mano de Obr. Ind.	3,261,364.16	22	308.84	28	14000	8647.55	4323778.24
Gastos Indirec.	840,666.66	22	79.61	28	14000	2229.04	1114520.21

T O T A L **\$10,876.59 \$5,438,298.45**

Costo Indirecto de Producción por orden del proceso D :
\$ 5,438,298.45

Costo Indirecto de Producción por tarjeta del proceso D :
\$ 10,876.59

Proceso E

- Consideraciones Generales:

Para la ejecución de este proceso se requiere de una persona que se encargue del empaclado de los puerto paralelos liberados por el proceso D.

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo de la mano de obra indirecta.

OPERARIO	SALARIO DIARIO	SALARIO POR MIN.	MIN. TRAB.	COSTO POR TARJETA	COSTO POR ORDEN
1 ayudante empaclador	13,600	28.33	3	85.00	42,500.00

T O T A L **\$85.00 \$42,500.00**

b) Costo del material indirecto

MATERIAL	COSTO UNITARIO	CANTIDAD/TARJETA	COSTO POR TARJETA	COSTO POR ORDEN
Bolsa de plástico de 15x30 cm.	110.00	1	110.00	55,000.00
Manual de instal.	2000.00	1	2000.00	1,000,000.00
T O T A L			\$2110.00	\$1,055,000.00

c) Gastos Indirectos de Producción.

- Cálculo de depreciaciones.

EQUIPO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
1 Máquina selladora de plástico.	295,000.00	5	4,916.66
T O T A L			\$ 4,916.66

Renta mensual	\$ 75,000.00
Energía eléctrica mensual	\$ 316,666.67
Impuestos	\$ 13,333.33
T O T A L	\$ 405,000.00

Gasto Indirecto por orden del proceso E :
 $\$ 4,916.66 + \$ 405,000.00 = \$ 409,916.66$

Finalmente, el costo indirecto de producción, para el proceso E, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	DIAS LAB.	COSTO MIN.	MIN/TARJ	MIN/ORDEN	COSTO/TARJETA	COSTO / ORDEN
Mano de Obr. Ind.	42,500	22	4.02	3	1500	12.07	6036.94
Material Indirec.	1,055,000	22	99.91	3	1500	299.72	149857.95
Gastos Indirec.	409,916.67	22	38.82	3	1500	116.45	58226.79

T O T A L

\$428.24 \$214,121.68

Costo Indirecto de Producción por orden del proceso E:

\$ 214,121.68

Costo Indirecto de Producción por tarjeta del proceso E :

\$ 428.24

Finalmente el costo de producción total de todos los procesos de producción, para un volumen de 500 unidades mensuales es:

COSTO PRIMO COSTO INDIRECT. DE PROD.

PROCESOS B y C	15,493,000.00	1,044,886.37
PROCESO D	0.00	5,438,298.45
PROCESO E	0.00	214,121.68

T O T A L

\$ 15,493,000.00

\$ 6,697,306.50

COSTO DE PRODUCCION PARA EL VOLUMEN 3 (500 unidades)

\$ 15,493,000.00 + \$ 6,697,306.50 = \$ 22,190,306.50 pesos

COSTO DE PRODUCCION POR UNIDAD

\$ 44,380.61 pesos

Volumen 4: Orden de 1000 unidades mensuales.

Procesos B y C.

- Consideraciones Generales:

Para los procesos B y C se contará con dos operarios para soldar y ensamblar.

CALCULO DEL COSTO PRIMO:

a) Costo del material directo.

MATERIAL	COSTO UNITARIO	CANTIDAD	COSTO POR TARJETA	COSTO TOTAL DE LA ORDEN
74LS04	566.95	3	1700.85	1,700,850
7406	722.50	1	722.50	722,500
74LS08	566.95	4	2267.80	2,267,800
74LS125	929.05	1	929.05	929,050
74LS155	1360.00	1	1360.00	1,360,000
74LS174	2230.40	1	2230.40	2,230,400
74LS240	1156.85	1	1156.85	1,156,850
74LS244	1208.70	1	1208.70	1,208,700
74LS245	1253.75	1	1253.75	1,253,750
74LS273	1253.75	1	1253.75	1,253,750
Cap.0.01 micro f.	73.10	13	950.30	950,300
Cap. 2.2 nano f.	119.85	5	599.25	599,250
Resist. 4.7K Ohms	23.80	6	142.80	142,800
Conector DB25 Hem	3500.00	1	3500.00	3,500,000
Soldadura	1000.00	1.2 m	1200.00	1,200,000
Circuito Impreso	10000.00	1	10000.00	10,000,000

T O T A L \$30,476.00 \$30,476,000.00

b) Costo de la mano de obra directa.

OPERARIO	SALARIO DIARIO	SALARIO POR MIN	MIN TRAB.	COSTO POR TARJETA	COSTO POR ORDEN
1 ensamblador y soldador.	13,600	28.33	18	510.00	510,000.00

T O T A L DE DOS OPERARIOS \$1020.00 \$1,020,000

Costo Primo = Material directo + Mano de Obra directa

Costo Primo por orden de B y C = \$ 31,496,000.00

Costo Primo por tarjeta de B y C = \$ 31,496.00

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo del material indirecto.

MATERIAL	COSTO UNITARIO	CANTIDAD/TARJETA	COSTO POR TARJETA	COSTO POR ORDEN
Pasta para soldar	600.00	1	600.00	600,000.00
T O T A L			\$600.00	\$600,000.00

b) Gastos Indirectos de producción.

- Cálculo de depreciaciones.

EQUIPO Y HERRAMIENTA	COSTO UNITARIO	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
1 Jgo.de pinzas	52,000.00	1	4,333.33
1 Estanteria	200,000.00	5	3,333.33
2 Mesas trabajo	700,000.00	5	11,666.67
1 Crisol	5,000,000.00	10	41,666.67
T O T A L			\$61,000.00

Renta mensual	\$ 225,000.00
Energía Eléctrica mensual	\$ 1,200,000.00
Impuestos	\$ 40,000.00
T O T A L	\$ 1,465,000.00

Gasto indirecto mensual de los procesos B y C:

\$ 61,000.00 + \$ 1,465,000.00 = \$ 1,526,000.00

Finalmente, el costo indirecto de producción, para los procesos B y C, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	TOT. DIAS	COSTO /MIN.	MIN/ TAR.	MIN/ ORDEN	COSTO/ TARJETA	COSTO / ORDEN
Mat. Ind.	600,000.00	22	56.81	18	18000	1022.72	1022727.26
Gasto Indirec.	1526000.00	22	144.50	18	18000	2601.14	2601136.35

T O T A L **§3,623.86 §3,623,863.61**

Costo Indirecto de Producción por orden de los procesos B C :

§ 3,623,863.61

Costo Indirecto de Producción por tarjeta de los procesos B C:

§ 3,623.86

Proceso D

- Consideraciones Generales:

Para la ejecución de este proceso se requiere de dos técnicos en electrónica, así como de doble equipo. Ya que en este proceso se lleva a cabo el control de calidad de los puertos paralelos producidos no hay costos directos.

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo de la mano de obra indirecta.

OPERARIO	DIAS LAB.	SALARIO DIARIO	SALARIO POR MIN	MIN. TRAB.	COSTO / TARJETA	COSTO POR ORDEN
1 técnico electrónico	22	55,909.10	116.47	28	3276.36	3261364.16

T O T A L DE 2 TECNICOS (doble) **§6,552.72 §6,522,728.33**

b) Gastos Indirectos de Producción.

- Cálculo de depreciaciones.

HERRAMIENTA	COSTO
Mallas de soldadura	36,000.00
2 cautines	1,200,000.00
2 jgo. de pinzas	104,000.00
2 succionadores	160,000.00
T O T A L	\$1,500,000.00

MOBILIARIO	COSTO
2 Mesas de trabajo	700,000.00
2 Lámparas con lupa	1,600,000.00
T O T A L	\$2,300,000.00

EQUIPO	COSTO
2 Microcomputadoras PC XT	2,400,000.00
2 Impresoras de 9 puntos	700,000.00
2 Sistemas digitales	240,000.00
2 Fuentes de poder	700,000.00
T O T A L	\$4,040,000.00

Para las depreciaciones tenemos:

CONCEPTO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
Herramienta	1,500,000.00	1	125,000.00
Mobiliario	2,300,000.00	5	38,333.33
Equipo	4,040,000.00	5	67,333.33

T O T A L **\$230,666.66**

Renta mensual	\$ 150,000.00
Energía eléctrica mensual	\$ 866,666.66
Impuestos	\$ 26,666.67

T O T A L **\$ 1,043,333.33**

Gasto Indirecto mensual del proceso D :
 $\$ 230,666.66 + \$ 1,043,333.33 = \$ 1,273,999.99$

Finalmente, el costo indirecto de producción, para el proceso D, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	DIAS LAB.	COSTO MIN.	MIN TARJ	MIN/ ORDEN	COSTO/ TARJETA	COSTO / ORDEN
Mano de Obr. Ind.	6522728.33	22	617.68	28	28000	17295.11	17295113.04
Gastos Indirec.	1273999.99	22	120.64	28	28000	3378.03	3378030.29

T O T A L **\$20,673.14 \$20,673,143.33**

Costo Indirecto de Producción por orden del proceso D :

\$ 20,673,143.33

Costo Indirecto de Producción por tarjeta del proceso D :

\$ 20,673.14

Proceso E

- Consideraciones Generales:

Para la ejecución de este proceso se requiere de una persona que se encargue del empacado de los puerto paralelos liberados por el proceso D.

CALCULO DEL COSTO INDIRECTO DE PRODUCCION:

a) Costo de la mano de obra indirecta.

OPERARIO	SALARIO DIARIO	SALARIO POR MIN.	MIN. TRAB.	COSTO POR TARJETA	COSTO POR ORDEN
1 ayudante empacador	13,600	28.33	3	85.00	85,000.00

T O T A L **\$85.00 \$85,000.00**

b) Costo del material indirecto

MATERIAL	COSTO UNITARIO	CANTIDAD/TARJETA	COSTO POR TARJETA	COSTO POR ORDEN
Bolsa de plástico de 15x30 cm.	110.00	1	110.00	110,000.00
Manual de instal.	2000.00	1	2000.00	2,000,000.00

T O T A L **\$2110.00 \$2,110,000.00**

c) Gastos Indirectos de Producción.

- Cálculo de depreciaciones.

EQUIPO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
1 Máquina selladora de plástico.	295,000.00	5	4,916.66

T O T A L **\$ 4,916.66**

Renta mensual	\$ 75,000.00
Energía eléctrica mensual	\$ 633,333.34
Impuestos	\$ 13,333.33
T O T A L	\$ 721,666.67

Gasto Indirecto mensual del proceso E :
 $\$ 4,916.66 + \$ 721,666.67 = \$ 726,583.33$

Finalmente, el costo indirecto de producción, para el proceso E, se calcula mediante la siguiente tabla:

CONCEPTO	COSTO	DIAS LAB.	COSTO MIN.	MIN/TARJ.	MIN/ORDEN	COSTO/TARJ.	COSTO / ORDEN
Mano de Obr. Ind.	85,000.00	22	8.05	3	3000	24.14	24147.72
Material Indirec.	2,110,000.00	22	199.81	3	3000	599.43	599431.82
Gastos Indirec.	726,583.33	22	68.81	3	3000	206.42	206415.72

T O T A L

\$829.99 \$829,995.26

Costo Indirecto de Producción por orden del proceso E:

\$ 829,995.26

Costo Indirecto de Producción por tarjeta del proceso E :

\$ 829.99

Finalmente el costo de producción total de todos los procesos de producción, para un volumen de 1000 unidades mensuales es:

COSTO PRIMO COSTO INDIRECT. DE PROD.

PROCESOS B y C	31,496,000.00	3,623,863.61
PROCESO D	0.00	20,673,143.33
PROCESO E	0.00	829,995.26

T O T A L

\$ 31,496,000.00

\$ 25,127,002.20

COSTO DE PRODUCCION PARA EL VOLUMEN 4 (1000 unidades)

\$ 31,496,000.00 + \$ 25,127,002.20 = \$ 56,623,002.20 pesos

COSTO DE PRODUCCION POR UNIDAD

\$ 56,623.00 pesos

V.2.3 COSTO DE DISTRIBUCION (GASTOS DE VENTA).

Como se detalló en la sección V.2, el costo de distribución está formado por todos los gastos originados por la distribución física y venta de las unidades producidas.

En este caso, debido a que los volúmenes de producción serán solicitados directamente por un distribuidor no se contempla la labor de un vendedor, con lo que no se generan gastos por concepto de un sueldo base ni por comisiones sobre las ventas.

Solamente se considerará una renta telefónica promedio para todos los volúmenes de producción.

COSTO DE DISTRIBUCION PARA LOS VOLUMENES 1, 2 , 3 y 4:

Renta mensual de 1 línea telefónica	\$ 200,000.00
-------------------------------------	---------------

V.2.4 COSTO DE ADMINISTRACION.

Como se detalló en la sección V.2, el costo de administración está formado por los gastos generados por las operaciones habidas después de la entrega del producto terminado, así como los costos administrativos no incluidos en el costo de producción.

Para este caso, se ha contemplado una oficina de 3 x 5 metros cuadrados para la atención a clientes y control administrativo de toda la empresa.

Se considerará el mismo costo de administración para todos los volúmenes de producción.

COSTO DE ADMINISTRACION PARA LOS VOLUMENES 1, 2 , 3 Y 4:

a) Personal:

1 Secretaria. Sueldo mensual \$ 1,300,000.00

b) Mobiliario:

1 Escritorio ejecutivo \$ 300,000.00

1 Mesa para computadora \$ 180,000.00

5 Sillas de oficina \$ 225,000.00

1 Archivero \$ 200,000.00

T O T A L \$ 905,000.00

Para la depreciación tenemos:

CONCEPTO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
MOBILIARIO	950,000.00	5	15,833.33

T O T A L \$15,833.33

c) Equipo de oficina:

Una Microcomputadora PC AT,

un regulador de voltaje,

y una impresora de 132 columnas \$ 8,000,000.00

Una máquina de escribir eléctrica \$ 630,000.00

T O T A L 8,630,000.00

Para la depreciación tenemos:

CONCEPTO	COSTO TOTAL	AÑOS A DEPRECIAR	DEPRECIACION MENSUAL
EQUIPO OFNA.	8,630,000.00	5	143,833.33

T O T A L \$143,833.33

d) Papelería	\$ 300,000.00 mensuales
e) Energía eléctrica	\$ 35,000.00 mensuales
f) Impuestos	\$ 40,000.00 mensuales

Finalmente, sumando todos los totales de los incisos anteriores tenemos:

Personal	\$ 1,300,000.00
Mobiliario	\$ 15,833.33
Equipo de oficina	\$ 143,833.33
Papelería	\$ 300,000.00
Energía eléctrica	\$ 30,000.00
Impuestos	\$ 40,000.00
T O T A L	\$ 1,833,916.66

COSTO DE ADMINISTRACION

\$ 1,833,916.66 pesos mensuales

V.2.5 COSTO TOTAL.

El costo total para cada uno de los volúmenes de producción se obtiene sumando el costo de producción más el costo de distribución más el costo de administración.

**COSTO TOTAL PARA EL VOLUMEN DE PRODUCCION 1
150 unidades mensuales**

Costo de Producción	\$ 5, 934, 749 .85
Costo de Distribución	\$ 200, 000 .00
Costo de Administración	\$ 1, 833, 916 .66
COSTO TOTAL	\$ 7, 968, 666 .51

COSTO TOTAL PARA EL VOLUMEN DE PRODUCCION 2
300 unidades mensuales

Costo de Producción	\$ 11, 036, 274 .69
Costo de Distribución	\$ 200, 000 .00
Costo de Administración	\$ 1, 833, 916 .66
<hr/>	
COSTO TOTAL	\$ 13, 070, 191 .35

COSTO TOTAL PARA EL VOLUMEN DE PRODUCCION 3
500 unidades mensuales

Costo de Producción	\$ 22, 190, 306 .50
Costo de Distribución	\$ 200, 000 .00
Costo de Administración	\$ 1, 833, 916 .66
<hr/>	
COSTO TOTAL	\$ 24, 224, 223 .16

COSTO TOTAL PARA EL VOLUMEN DE PRODUCCION 4
1000 unidades mensuales

Costo de Producción	\$ 56, 623, 002 .20
Costo de Distribución	\$ 200, 000 .00
Costo de Administración	\$ 1, 833, 916 .66
<hr/>	
COSTO TOTAL	\$ 58, 656, 918 .86

Resumiendo la información anterior, se forma la tabla V.2, en donde se muestran los costos totales por volumen y por unidad en pesos mexicanos y en dólares americanos. La paridad del dolar con respecto al peso mexicano utilizada fue la expedida por el Diario Oficial de la Federación del 7 de febrero de 1992, la cual es de

§ 1 dolar (EUA) = § 3,064.83 pesos mexicanos.

TABLA V.2 COSTOS TOTALES POR VOLUMEN Y POR UNIDAD

VOLUMEN MENSUAL	COSTO TOTAL EN (M/N).	COSTO EN DOLARES.	COSTO TOTAL POR UNIDAD EN (M/N)	COSTO EN DOLARES.
150	7,968,666.51	2,600.03	53,124.44	17.33
300	13,070,191.35	4,264.57	43,567.30	14.21
500	24,224,223.16	7,903.93	48,448.44	15.80
1000	58,656,918.86	19,138.71	58,6565.91	19.13

El precio de venta se determina agregándole un porcentaje de utilidad al costo total:

Precio de Venta = Costo Total + % de utilidad

Para la determinación de un precio de venta competitivo, se obtuvieron los precios de puertos paralelos que actualmente se comercializan con mayoristas de equipo de cómputo, encontrándose los siguientes:

1. Sahuaro Paralell Interface § 25.00 dólares.
2. Springtec Paralell Interface § 30.00 dólares.

En base a los precios anteriores, se tomó el precio menor, siendo este de \$25.00 dólares, por lo que se consideró

fijar el precio de venta a \$25.00 dólares por unidad, con lo cual, para cada volumen de producción propuesto se tendrá una variación en el porcentaje de utilidad.

En la tabla V.3 se muestran las utilidades y el porcentaje de utilidad por unidad para los distintos volúmenes de producción propuestos.

TABLA V.3 PRECIO DE VENTA Y PORCENTAJE DE UTILIDAD EN DOLARES

VOLUMEN MENSUAL	COSTO TOTAL POR UNIDAD	PRECIO DE VENTA	UTILIDAD NETA POR UNIDAD.	PORCENTAJE UTILIDAD
150	17.33	25.00	7.67	30.68 %
300	14.21	25.00	10.79	43.16 %
500	15.80	25.00	9.2	38.8 %
1000	19.13	25.00	5.87	23.48 %

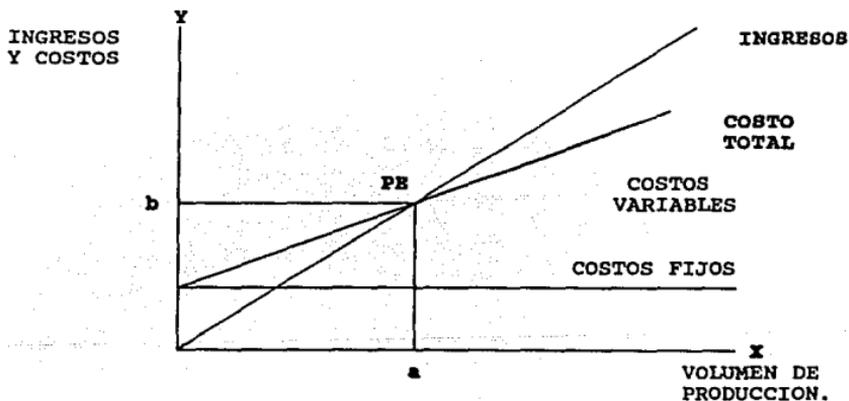
V.2.6 ANALISIS DE COSTOS.

Como se mencionó en la sección V.2 el análisis que aquí aplicaremos es el del punto de equilibrio. Mediante este análisis es posible observar el comportamiento de los costos y la variación de las utilidades con respecto al volumen de producción.

El análisis del punto de equilibrio es un método que proporciona una comprensión rápida de las relaciones entre el ingreso, costo total, el volumen y las utilidades.

El tipo de gráfica que se obtiene al aplicar este método, se muestra en la figura 5.4.

FIGURA 5.4 GRAFICA DEL ANALISIS PUNTO DE EQUILIBRIO.



De la gráfica de este análisis, se obtiene el punto de equilibrio $PE(a,b)$, el cual se localiza en la intersección de las rectas de INGRESOS y COSTO TOTAL. El punto $PE(a,b)$ determina el número de las "a" unidades producidas que deben ser vendidas en "b" unidades monetarias como mínimo para no tener pérdidas ni ganancias.

A partir del punto de equilibrio PE(a,b), el área a la izquierda comprendida entre las rectas de INGRESOS, COSTO TOTAL y el eje Y se denomina **área de pérdidas**, y el área a la derecha del punto de equilibrio PE(a,b) comprendida entre las dos rectas anteriores se le denomina **área de utilidades**.

Para la realización de este análisis es necesario obtener el valor de los **costos fijos** y el valor de los **costos variables** por cada volumen de producción.

Los volúmenes de producción que se considerarán para este análisis serán de 30, 40, 50, 60, 100, 150 y 300 unidades mensuales, con el fin de que la evaluación sea mas ilustrativa.

De los distintos costos del modelo de producción de la sección V.2.1 se tienen como **costos fijos** los siguientes:

1. Depreciaciones de equipo y herramienta.
2. Renta.
3. Impuesto.
4. Costo de Distribución.
5. Costo de Administración.

El cálculo del costo fijo, en moneda nacional, es el siguiente:

1. Depreciaciones de equipo y herramienta.

PROCESOS B y C	\$ 61,000.00	
PROCESO D	\$ 115,333.33	
PROCESOS E	\$ 4,916.66	
<hr/>		
T O T A L	\$ 181,249.99	mensuales

2. Renta. \$ 450,000.00 mensuales

3. Impuesto. \$ 80,000.00 mensuales
4. Costo de Distribución. \$ 200,000.00 mensuales
5. Costo de Administración. \$ 1,833,916.66 mensuales

Sumando los totales de los puntos anteriores se obtiene el COSTO FIJO:

\$ 181,249.99
 \$ 530,000.00
 \$ 200,000.00
 \$ 1,833,916.66

COSTO FIJO \$ 2,745,166.65

En base a los costos totales calculados para los volúmenes de producción, y el costo fijo, se integra la tabla V.4, en dólares, para la determinación de la gráfica del punto de equilibrio.

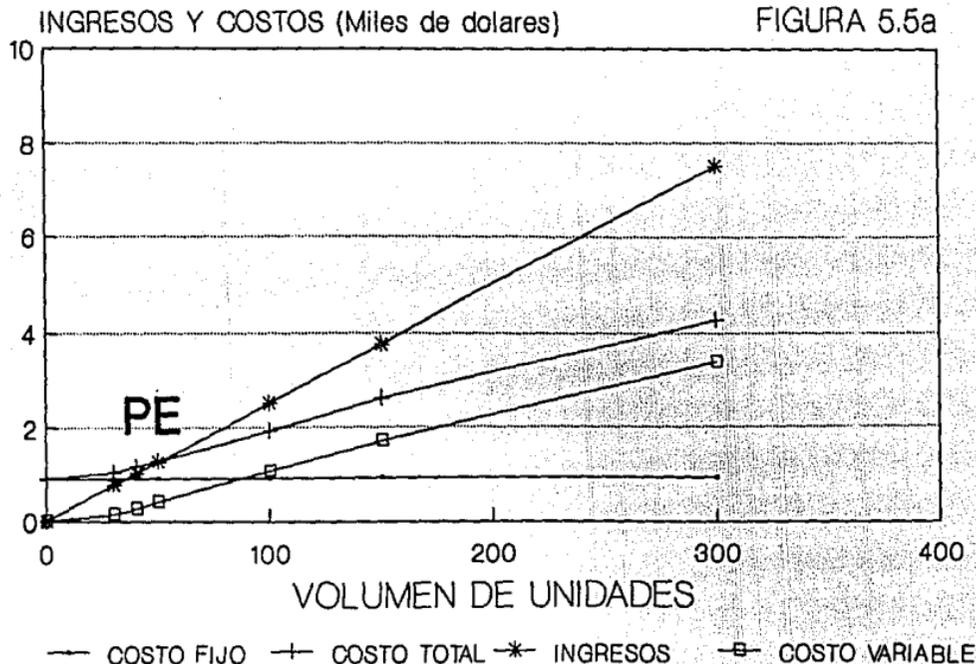
TABLA V.4 COSTOS, INGRESOS Y UTILIDADES EN DOLARES

VOLUMEN MENSUAL VENDIDO	COSTO VARIABLE	COSTO FIJO	COSTO TOTAL	INGRESOS POR VENTAS	UTILIDAD NETA (PERDIDAS)
30	137.81	895.69	1,033.50	750	(283.50)
40	263.04	895.69	1,158.73	1,000	(158.73)
50	389.23	895.69	1,284.92	1,250	(34.92)
60	516.39	895.69	1,412.08	1,500	87.91
100	1034.70	895.69	1,930.39	2,500	569.61
150	1704.34	895.69	2,600.03	3,750	1,149.97
300	3368.88	895.69	4,264.57	7,500	3,235.43

Con la información de la tabla V.4, se construyeron las gráficas que se muestran en las figuras 5.5a y 5.5b. En la gráfica 5,5a se ha considerado todo el rango de los volúmenes de producción de 0 a 300 unidades, situándose el punto de equilibrio PE entre el intervalo de 0 a 100 unidades. En la

PUNTO DE EQUILIBRIO

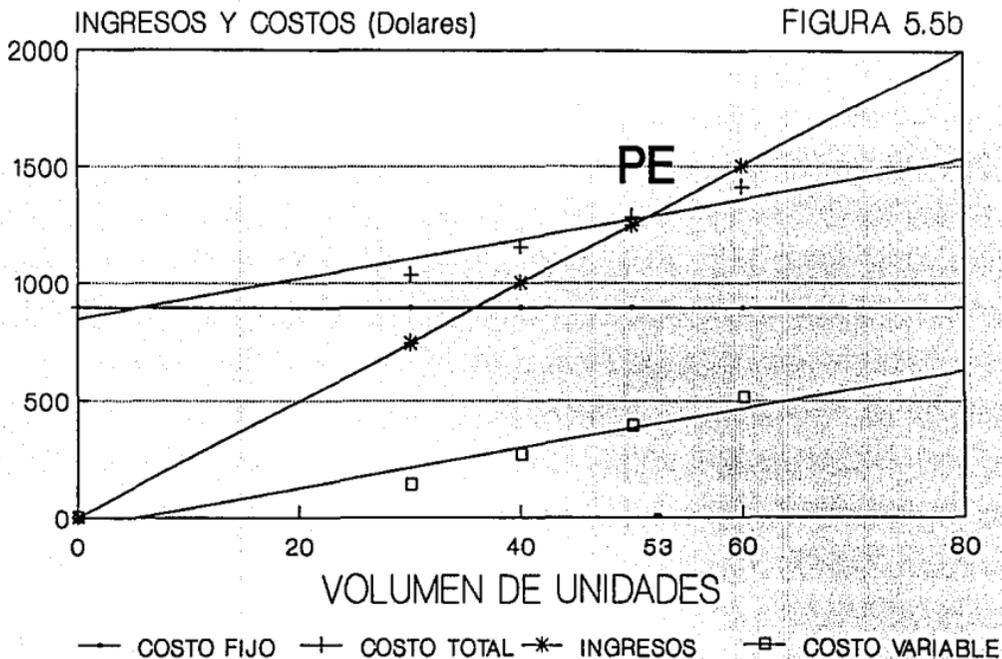
PRODUCCION MENSUAL DE UNIDADES



COTIZACION EN DOLARES (EUA) 7/FEB/92

PUNTO DE EQUILIBRIO

PRODUCCION MENSUAL DE UNIDADES



COTIZACION EN DOLARES (EUA) 7/FEB/1992

gráfica 5.5b se toma un intervalo más pequeño, de 0 a 60 unidades, situándose el punto de equilibrio en PE(53,1325), o sea en 53 unidades mensuales a un costo de \$1325.00 dólares.

Para comprobar la validez de el punto PE, se muestra a continuación, en la tabla V.5, el cálculo de los costos para los volúmenes de producción de 52 y 53 unidades mensuales:

TABLA V.5 COSTOS, INGRESOS Y UTILIDADES EN DOLARES

VOLUMEN MENSUAL VENDIDO	COSTO VARIABLE	COSTO FIJO	COSTO TOTAL	INGRESOS POR VENTAS	UTILIDAD NETA (PERDIDAS)
52	414.59	895.69	1,310.28	1,300	(-10.28)
53	427.28	895.69	1,322.97	1,325	2.03

De la tabla V.5 se tiene que cuando se producen 52 unidades al mes, éstas generan un costo total mayor al ingreso total por ventas, por lo que se obtiene una pérdida de \$10.28 dólares. En el caso de una producción de 53 unidades mensuales el costo total es ligeramente menor que el ingreso total, por lo que la diferencia obtenida de \$2.03 dólares es la utilidad neta mínima alcanzada en la venta de todo el volumen de producción.

De esta forma, se concluye que la producción y venta de un volumen de 53 unidades es el margen mínimo que se debe cubrir para no tener pérdidas y si un nivel infimo de ganancia.

En la gráfica 5.5a se observa que la utilidad, la diferencia entre las rectas de ingreso y costo total, después del punto de equilibrio se incrementa rápidamente, alcanzando su nivel máximo en las 300 unidades, lográndose un porcentaje de utilidad del 43.16%, como se consigné en la tabla V.3.

V.3 BIBLIOGRAFIA.

1. Microsoft Corporation, "GW-BASIC, Guía y referencia del usuario".
Microsoft Corporation, 1989.
2. Microsoft Corporation, "MS-DOS, Guía y referencia del usuario".
Microsoft Corporation, 1989.
3. Río del, Gonzales C, "Introducción al estudio de la Contabilidad y Control de los Costos Industriales".
Editorial ECASA, 1986.
4. Velázquez Mastretta G, "Técnicas de la producción".
Editorial LIMUSA, 1986.

CAPITULO VI

CONCLUSIONES

VI. CONCLUSIONES.

El objetivo de este trabajo de tesis fue el diseñar e implementar una parte de la electrónica o hardware de una microcomputadora.

El sistema de puerto paralelo, aunque pequeño, nos ofreció una alternativa viable de realizar.

Nuestra inquietud por este trabajo nació del hecho de aplicar los conocimientos adquiridos a lo largo de nuestras carreras, ingeniería en electrónica e ingeniería en computación, en un proyecto que nos permitiera converger y desarrollar un diseño completo. Además se nos ofreció el reto de enfrentarnos a un medio desconocido, como lo es la elaboración en serie y comercialización de nuestro producto, teniendo que aprender conocimientos nuevos y prácticos.

En base al plan de trabajo establecido y a la naturaleza del proyecto de tesis, las conclusiones que se plantean se han dividido en dos partes, una correspondiente a la etapa de diseño y otra a la etapa de implementación.

DISEÑO

- En la etapa de investigación documental y recolección de información, relacionada con el tema tratado en esta tesis, se encontró con que el acceso a ésta es difícil, y en algunos casos no es muy representativa o explícita, siendo esta sesgada debido a las normas de protección de cada fabricante. Esto se da mucho en manuales, diagramas y literatura sobre algún equipo en particular. El enfoque dado se centra más en aspectos genéricos y operativos.
- En la etapa de diseño del puerto paralelo, y en general en el diseño de cualquier proyecto, es necesario que el

investigador elabore u obtenga sus propias herramientas de trabajo que le faciliten su tarea. En este punto cabe mencionar que existe carencia de productos de software nacionales que brinden soporte a las necesidades de diseño, como lo es el análisis de circuitos y la elaboración de tarjetas de circuito impreso.

- Otro factor importante es el hecho de que la producción nacional de circuitos impresos no ha logrado el nivel de calidad adecuado para una producción competitiva a nivel internacional.
- Tomando en cuenta el rezago tecnológico en México, se denota a primera vista que el puerto paralelo propuesto en esta tesis nunca llegará a ser competitivo. Para que así lo fuera habría que crear una tecnología propia, lo cual implica hacer una fuerte inversión con resultados favorables a largo plazo, desafortunadamente actualmente nuestro país no ha alcanzado el desahogo económico que se lo permita. Por otro lado, el desarrollo de una tecnología propia no es el único medio para vencer este rezago, se cuenta también con la posibilidad de la importación de tecnología, la cual nos ahorraría muchos años penosos de estudio, desarrollo y sobre todo de inversión económica.

El escoger una u otra opción tiene sus ventajas y desventajas, es por esta razón que pensamos que una combinación adecuada entre ambas sería lo más benéfico para nuestro país. Habrá que tomar cartas en el asunto ya que día tras día nuestro atraso crece y podría llegar al punto en que la dependencia tecnológica sea total, y lo más crítico será saber que en México se cuenta con el recurso humano capaz de asimilar y desarrollar tecnología propia, y que de una u otra forma no se le ha brindado una oportunidad.

- Concluimos que si en México se creara el entorno adecuado para la investigación y el desarrollo de la tecnología sería posible producir productos de alta calidad y competitivos mundialmente.

Con esto se crearía una imagen tecnológica nacional que permitiría incursionar paulatinamente en el contexto internacional.

IMPLEMENTACION

Para la difusión masiva del producto diseñado, fue necesario implementar un modelo de producción junto con la estimación de costos, obteniéndose las siguientes conclusiones:

- No es conveniente tener un proceso de producción para un solo producto, si es que éste no es muy demandado.

En este caso es más conveniente subrogar el ensamblado del producto a otra empresa, con lo cual es posible abatir los costos de producción.

- Se detectó que el punto crítico o "cuello de botella" en el modelo de producción fue el proceso de control de calidad, siendo éste el que consume más tiempo, ocasionando tiempos de holgura muy significativos en la línea de producción. Debido a esto, es conveniente diseñar pruebas de verificación más representativas y que sean ejecutables en el menor tiempo posible.

Finalmente, retomando los objetivos planteados en la propuesta de tesis, sometida al seminario de tesis de la facultad de ingeniería, llegamos a las siguientes conclusiones:

1. El diseño propuesto del puerto paralelo es realizable y confiable en su uso.
2. Su costo de producción es competitivo, aunque tecnológicamente no.
3. Sus elementos constitutivos son asequibles en el mercado nacional.
4. Es fácil de reparar.

APENDICE A

DIAGRAMAS COMPLETOS DEL PUERTO PARALELO

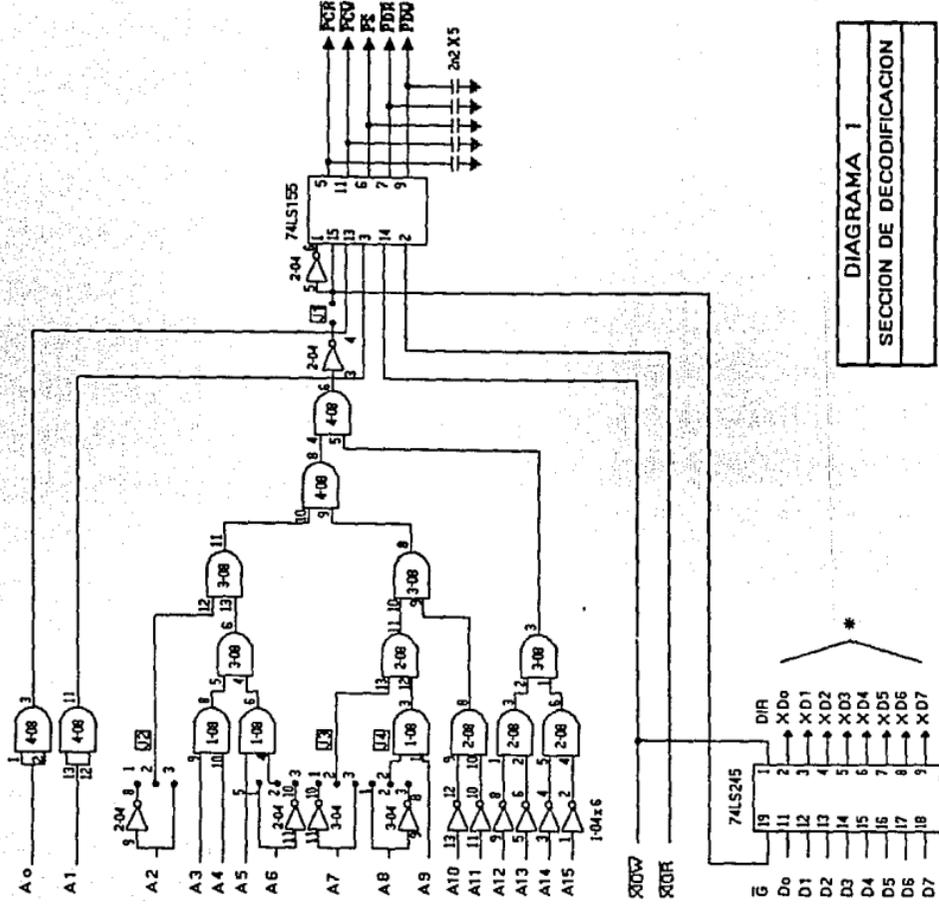


DIAGRAMA 1

SECCION DE DECODIFICACION

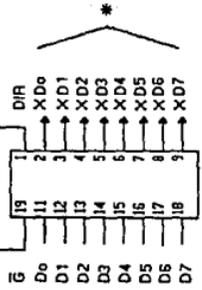
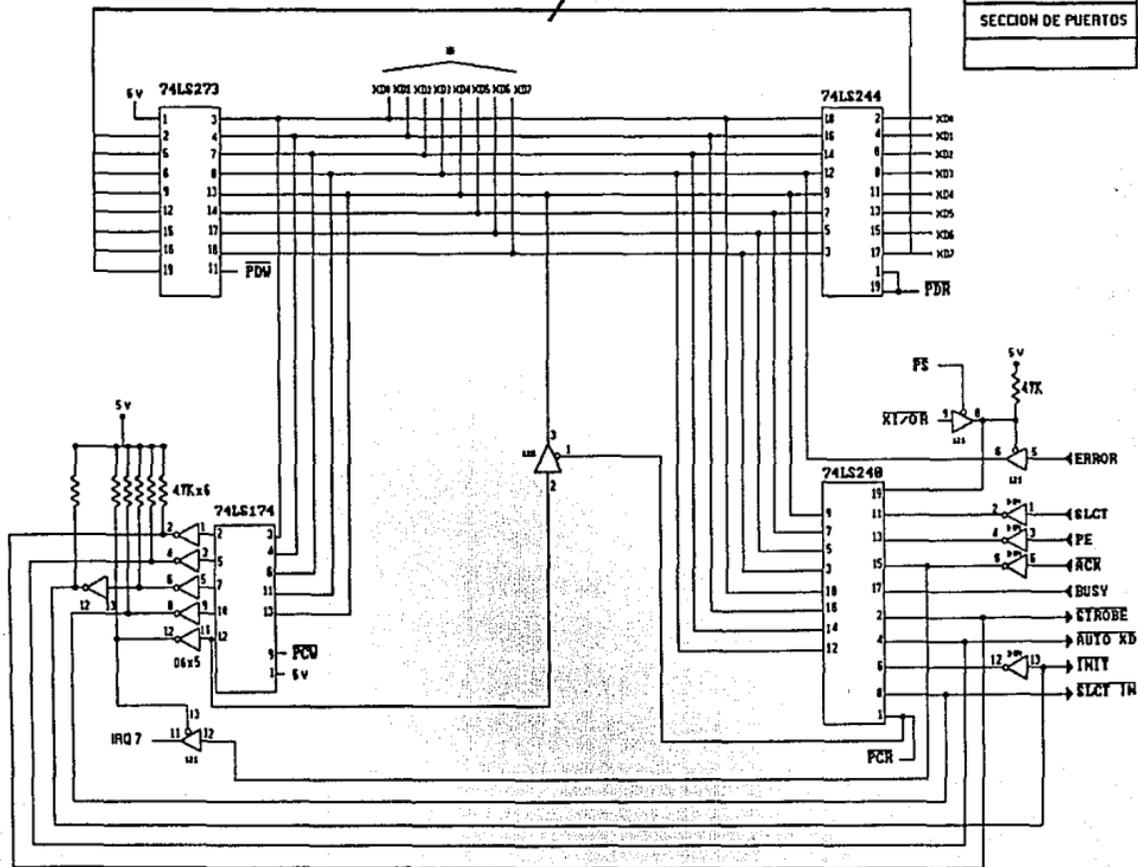


DIAGRAMA 2

SECCION DE PUERTOS



APENDICE B

MANUAL DE INSTALACION

B.1 Consideraciones generales.

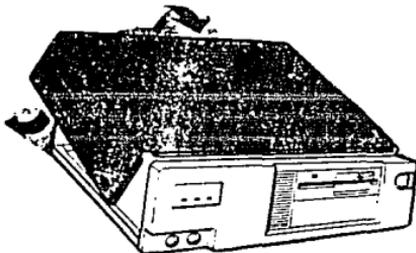
En este apéndice se muestra como instalalar la tarjeta de puerto paralelo en equipos IBM PC modelos XT y AT ó microcomputadoras compatibles.

Se presentan una serie de figuras explicativas en cada uno de los pasos a seguir en la instalación de la tarjeta.

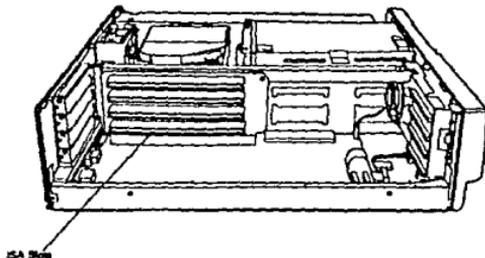
Después se explica el modo de empleo del puerto paralelo, en el cual se detalla la manera de conectar los jumpers del puerto paralelo para las distintas direcciones posibles, lpt1, lpt2 o lpt3. Esto se hace mediante una tabla en la que se especifica la dirección de puerto y la configuración de los jumpers.

MANUAL DE INSTALACION.

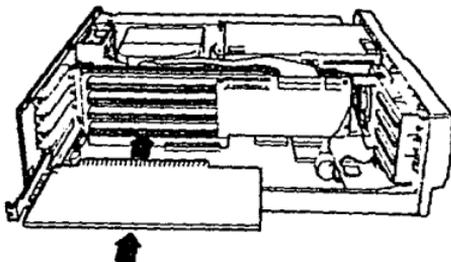
1. Quite la tapa de su microcomputadora PC teniendo cuidado de que ésta se encuentre desconectada.



2. Quite el tornillo que asegura la cubierta de alguno de los slots de expansión (ranuras) disponibles en su equipo.



3. Inserte cuidadosamente el puerto paralelo en el slot de expansión libre, seleccionado en el paso anterior, y asegúrelo con el tornillo.



Nota: Antes de instalar el puerto paralelo seleccione la dirección adecuada en la que va a operar, esto en caso de que ya se tenga instalado otro puerto paralelo. El puerto paralelo tiene originalmente, de fábrica, asignada la dirección 378H (lpt1).

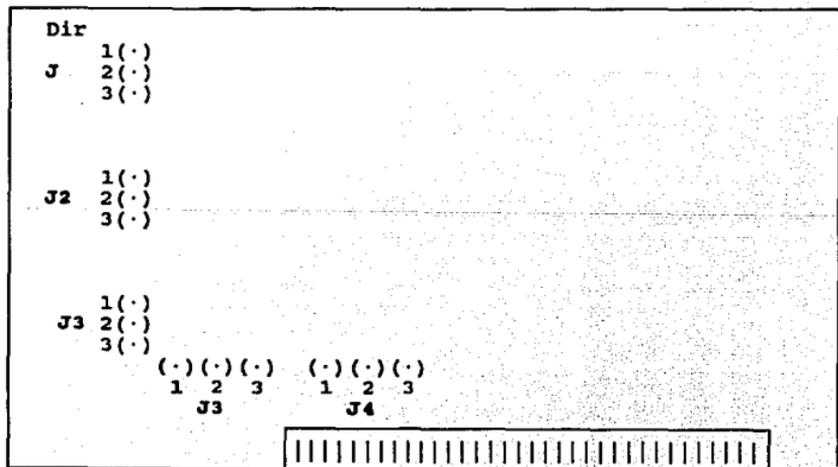
MODO DE EMPLEO: HABILITACION DE DIRECCIONES.

Su tarjeta de puerto paralelo cuenta con cuatro jumpers para que usted pueda cambiar, manualmente, la dirección en la cual operará el puerto. Los jumpers son designados con las letras J1, J2, J3 y J4. En la figura B.1 se muestra el contorno de la tarjeta de puerto paralelo y la localización de los jumpers. La siguiente tabla muestra la manera en como deben conectarse los jumpers para direccionar el puerto paralelo:

J U M P E R S

DIRECCION LOGICA	DIRECCION FISICA	CONEXION	J U M P E R S			
			J1	J2	J3	J4
LPT1	378H	PUNTEAR	1-2	1-2	1-2	1-2
LPT2	278H	PUNTEAR	1-2	1-2	2-3	1-2
LPT3	3BCH	PUNTEAR	2-3	2-3	1-2	2-3

FIGURA B.1 JUMPERS DE DIRECCION Y HABILITACION DEL PUERTO PARALELO.



El jumper J es el habilitador/deshabilitador de su puerto paralelo, se le conoce como "dir enable". En la siguiente tabla se muestra la posición del jumper para habilitar o deshabilitar el puerto:

ESTADO	CONEXION	J	DIR ENABLE
Habilitado	puentear	2	3
Deshabilitado	puentear	1	2

Importante:

Todo cambio de dirección, habilitación o deshabilitación del puerto paralelo deberá hacerse con la computadora apagada.

APENDICE C

MANUAL DE MANTENIMIENTO

REQUERIMIENTOS

- COMPUTADORA PC XT/AT
- OSCILOSCOPIO 40 MHZ
- PROGRAMA DE PRUEBA (ANEXO EN ESTA SECCION)
- PUERTO PARALELO

OPERACION

EL PROGRAMA DE PRUEBA FUE DESARROLLADO EN LENGUAJE BASIC Y PUEDE CORRER BAJO QBASIC O GWBASIC , LOS PUNTOS DE PRUEBA A MEDIR Y SUS RESPECTIVAS SENALES QUE DEBEN OBTENERSE ESTAN INDICADOS EN EL DIAGRAMA DE FLUJO MOSTRADO . AL CORRER EL PROGRAMA DE PRUEBA POR PRIMERA VEZ ESTE DESPLEGARA UNA SERIE DE PREGUNTAS QUE DEBERAN SER CONTESTADAS COMO SIGUE:

PREGUNTA

RESPUESTA

ENTRE DIRECCION DEL PUERTO

DIRECCIONES VALIDAS 378 , 278 o 38C

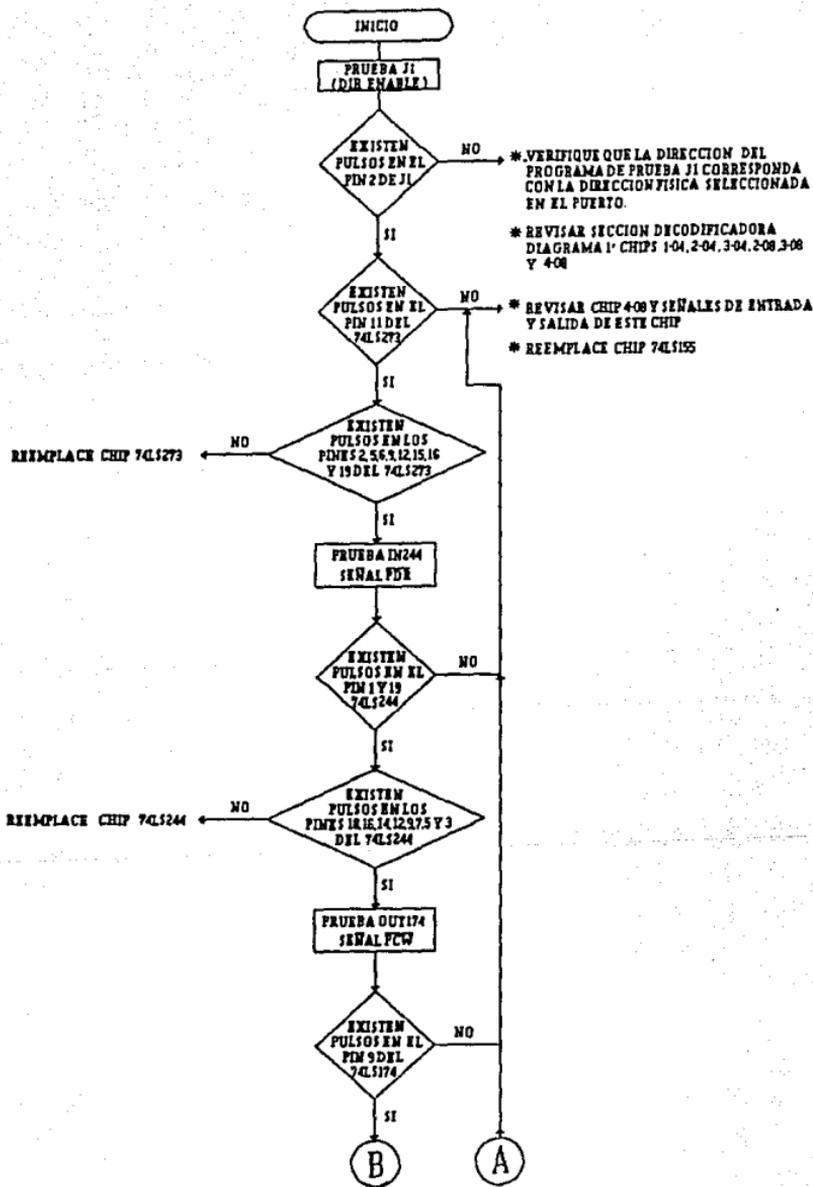
SOMIDO SI o NO

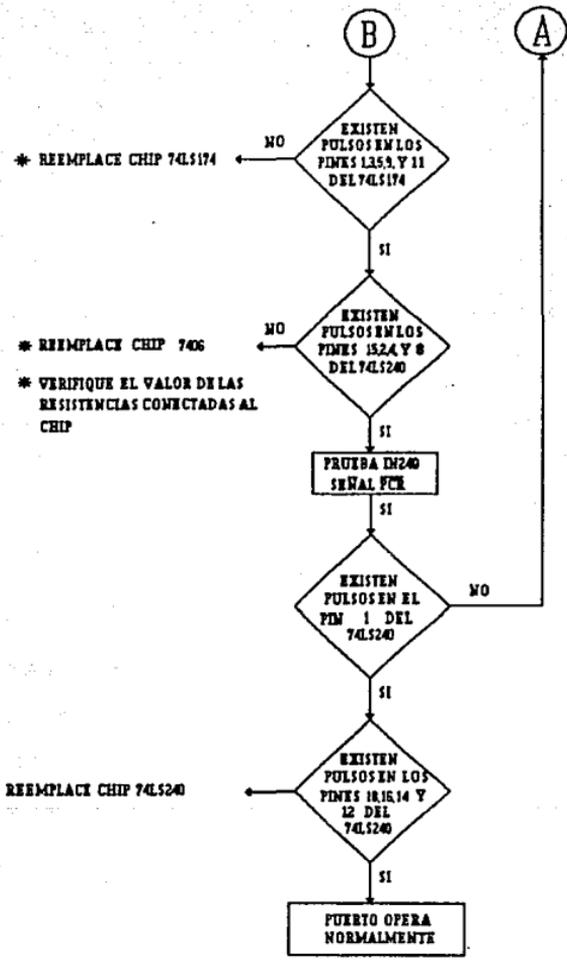
VALIDO SI o NO SI CORRE EL PROGRAMA
BAJO QBASIC, SI SE EJECUTA BAJO
GWBASIC LA UNICA OPCION POSIBLE
ES NO.

PRUEBA No =

EN ESTA OPCION SON VALIDOS LOS
NUMEROS 1 , 2 , 3 , 4 Y 5
SE ESCOGERA CUALQUIERA DE ELLOS
DEPENDIENDO LA PRUEBA QUE SE DESEE
REALIZAR.

EN CASO DE QUERER REVISAR EL FUNCIONAMIENTO GENERAL DEL PUERTO SE SUGIERE SEGUIR EL ORDEN DADO EN EL DIAGRAMA DE FLUJO.





```

5  CLS
7  SCREEN 9
8  COLOR 14, 4
10 FOR G1 = 1 TO 17
11 PRINT " ";
12 NEXT G1
20 INPUT " ENTRE DIRECCION DEL PUERTO "; D$
22 PRINT " "
23 PRINT " "
24 PRINT " "
25 IF D$ = "3BC" THEN 26 ELSE 30
26 D = 956: GOTO 51
30 IF VAL(D$) = 378 THEN 33 ELSE 31
31 IF VAL(D$) = 278 THEN 40 ELSE 60
33 D = 888: GOTO 51
40 D = 632: GOTO 51
51 INPUT " SONIDO SI O NO "; Z$
52 IF Z$ = "SI" THEN SO = 6 ELSE SO = 0
53 GOTO 70
60 BEEP: PRINT " ***** ERROR ***** ": GOTO 20
70 PRINT " "
80 PRINT " ESCOJA PRUEBA -- "
83 PRINT " "
84 PRINT " "
90 PRINT " DIR ENABLE - - - 1 "; TAB(30); " PRUEBA IN244 - - 2 "
100 PRINT " "
110 PRINT " PRUEBA OUT174 - - 3"; TAB(30); " PRUEBA IN240 - - 4 ";
120 PRINT " PRUEBA INPS -- 5";
130 PRINT " "
140 INPUT " PRUEBA No = "; P
150 IF (P = 1) OR (P = 3) THEN GOTO 170 ELSE GOTO 350
170 IF (P = 3) THEN 180 ELSE 200
180 D = D + 2
200 FOR H = 1 TO 200
201 SOUND 1560, SO
202 PRINT " EN PRUEBA.. PARA ROMPER OPRIMA EL NUMERO 9 "
203 SOUND 750.4, SO
204 FOR G = 1 TO 1500
205 NEXT G
206 SOUND 37, 0
207 CLS
210 FOR O = 1 TO 1999
220 OUT D, 255
230 NEXT O
240 FOR F = 1 TO 1000
250 OUT D, 0
260 NEXT F
261 A$ = INKEY$
263 IF VAL(A$) = 9 THEN GOTO 20 ELSE 270
270 NEXT H
280 GOTO 200
350 IF P = 4 THEN 354 ELSE 354
351 D = D + 2
352 S = D - 2
353 GOTO 360
354 IF P = 5 THEN 355 ELSE 360
355 D = D + 1
360 FOR C = 1 TO 200
362 SOUND 800, SO
370 PRINT " EN PRUEBA.. PARA ROMPER OPRIMA EL NUMERO 9 "

```

```
372 SOUND 957, SO .
380 FOR Z = 1 TO 2000
390 NEXT Z
392 SOUND 37, 0
400 CLS
410 FOR Q = 1 TO 1000
420 OUT D, 170
421 FOR J = 1 TO 5
422 NEXT J
430 A = INP(D)
440 NEXT Q
490 B$ = INKEY$
500 IF VAL(B$) = 9 THEN 20 ELSE 510
510 NEXT C
550 GOTO 350
```