



3
24
UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO

FACULTAD DE INGENIERIA

SINCRONIZACION DE LOS REGISTROS
ACELEROMETRICOS CAPTADOS EN EL
VALLE DE MEXICO

T E S I S

QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA
P R E S E N T A N :
AQUILINO SALOMON AGUILAR SAUCEDO
FERNANDO ALCANTAR ARRIZON

DIRECTOR DE TESIS: M. en I. BERNARDO FRONTANA DE LA CRUZ
ING. JUAN MANUEL ESPINOSA ARANDA



MEXICO, D. F.

FALLA DE ORIGEN

1991



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

Página

INTRODUCCION	1
--------------	---

CAPITULO I

RED ACTUAL DE LA INSTRUMENTACION SISMICA A CARGO DEL CIRES Y CARACTERISTICAS DE LOS ACELEROGRAFOS

1.1	Antecedentes	5
1.2	Aparatos de Medición	6
1.3	Red Actual de Acelerógrafos en el valle de México	8
1.4	Acelerógrafos del CIRES	12
1.4.1	Descripción de las Estaciones de Campo	13

CAPITULO II

DISEÑO DE UN SISTEMA DE SINCRONIZACION DE ACELEROGRAFOS PARA LA RED DEL VALLE DE MEXICO

2.1	Objetivos	26
2.2	Diseño del Sistema de Sincronización	27
2.2.1	Estación Transmisora de Control	28
2.2.2	Estación Receptora de Control	31
2.3	Especificaciones Técnicas del Sistema de Sincronización	33
2.3.1	Estación Transmisora de Control	33
2.3.2	Estación Receptora de Control	37
2.4	Características Generales del Sistema de Sincronización	39
2.4.1	Sistemas de Alimentación para la ETC y ERC	39
2.4.2	Estación Transmisora	41
2.4.3	Estación Receptora	42
2.5	Metodología para Evaluar la Construcción y Operación del Sistema de Sincronización	43

C A P I T U L O I I I

DISEÑO DE LA ESTACION TRANSMISORA DE CONTROL

3.1	Generador de Código Identificador de Sincronía	45
3.2	Transmisor/Receptor Optico (Modulador/Demodulador)	57
3.3	Moduladores de FSK	63
3.4	Sumador	70
3.5	Control de Encendido del Equipo de Transmisión	72
3.6	Fuente Regulada	76
3.7	Equipo Transmisor	78

C A P I T U L O I V

DISEÑO DE LA ESTACION RECEPTORA DE CONTROL

4.1	Demoduladores de FSK	81
4.2	Detector de la Señal de Control	91
4.3	Conmutador de Señales de Tiempo y Sincronía	97
4.4	Control del Conmutador	100
4.5	Control de Grabación	103
4.6	Fuente Regulada	106
4.7	Etapa de Recepción	108

C A P I T U L O V

INTEGRACION DEL SISTEMA

5.1	Estación Transmisora de Control	111
5.1.1	Construcción de Tarjetas para la ETC	111
5.1.2	Características Eléctricas de la ETC	114
5.1.3	Procedimiento de Ajuste de la Tarjeta para la ETC	118
5.1.4	Instalación de la ETC	122
5.2	Estación Receptora de Control	127
5.2.1	Construcción de Tarjetas para la ERC	127
5.2.2	Características Eléctricas de la ERC	129
5.2.3	Procedimiento de Ajuste de la Tarjeta para la ERC	133
5.2.4	Instalación de la ERC	136

	Página
CONCLUSIONES Y RECOMENDACIONES	145
NOTAS	149
A N E X O S:	
A.- Información Técnica de la Tarjeta de JDR Microdevices	155
B.- Programa en Lenguaje C, para la Generación del Código de Sincronía	159
C.- Especificaciones Técnicas de los Circuitos Integrados: 74LS85, 74LS138, 74LS74, LM723, XR2211, XR2206, XR2240, CD4538, CD4503	161
D.- Características de los elementos Opticos	182
E.- Especificaciones Técnicas del Transmisor, Receptor, Amplificador Lineal y CTCSS	190
 B I B L I O G R A F I A	 207

INTRODUCCION

A raíz del sismo de septiembre de 1985, autoridades del Departamento del Distrito Federal (DDF) apoyaron el aumento de la instrumentación acelerométrica en el Valle de México. Esto, ha propiciado estudios tendientes a lograr un mejor conocimiento de las propiedades geodinámicas de esta región; sin embargo, debido a las características de los equipos utilizados, muchos registros carecen de las primeras fases de los eventos sísmicos porque los instrumentos inician su operación cuando el sismo alcanza cierto nivel de aceleración, y esto no siempre coincide con la llegada de la onda P. El umbral de disparo es particular y se fija tomando en cuenta el ruido sísmico local, causado por el tránsito vehicular y demás actividades propias del entorno donde se ubican las estaciones de campo que alojan los aparatos; lo cual, origina que éstos no se activen al unísono.

Si bien es cierto que los registros captados han permitido determinar la aceleración máxima generada por los eventos y mejorar la zonificación sísmica del área urbana; también lo es que para conocer cabalmente la zonificación del Valle, ciertos estudios requieren el tiempo relativo entre los registros asociados a un mismo evento, cuyos resultados podrán alcanzarse al lograr la sincronización de todos los registros sísmicos.

Frecuentemente, los sismos importantes que afectan al DF, tienen su origen en las costas de Michoacán, Guerrero y Oaxaca; por otra parte, las estaciones acelerométricas del Valle de México tienen una ubicación relativa muy próxima y los tiempos de arribo de las ondas sísmicas originadas en la zona del pacífico arriba mencionada, ocurren en un lapso muy breve.

Los sistemas acelerográficos que se operan actualmente en el Valle de México están formados con registradores autónomos que usan relojes internos independientes. Las estaciones de registro están complementadas con unidades de recepción de señales de tiempo emitidas por la WWV o el sistema de navegación Omega "Ω", pretendiendo lograr su sincronización; sin embargo, debido al elevado nivel de polución en el espectro de señales de radio observado en el Valle de México, eventualmente este recurso pierde su eficacia y las señales de tiempo común pierden su sincronía. Por ello, para mejorar el conocimiento del comportamiento dinámico del suelo de la ciudad de México es conveniente lograr registros sincronizados de los efectos sísmicos, con el propósito de reducir el tiempo de observación requerido y hacer menos costoso el estudio para la caracterización sísmológica de los suelos del DF.

Los objetivos principales del presente trabajo, consisten en mostrar los resultados de la investigación y desarrollo tecnológico para el diseño y construcción de un prototipo, auspiciado por el Centro de Instrumentación y Registro Sísmico A.C. (CIRES AC); con la finalidad de:

- 1.- Controlar la operación de los acelerógrafos a cargo del CIRES, para registro sísmico, instalados en el Valle de México, mediante señales de radio.
- 2.- Sincronizar las señales de tiempo de los registros sísmicos que se obtengan con dichos aparatos.

Para lograr los objetivos propuestos, las actividades de este proyecto se dividen en dos fases: una de Diseño y otra de Construcción. Los primeros capítulos abarcan la fase de diseño y en los siguientes se plantea la construcción de un prototipo así como la integración del sistema y la discusión de los resultados obtenidos en la implantación y las pruebas de campo.

Esta tesis se inicia con un análisis de la red de acelerógrafos actual, enfatizando los problemas operativos que se presentan en el momento de registrarse un sismo; en seguida se bosqueja el diseño funcional del sistema para la sincronización a control remoto de los acelerógrafos, destacándose sus dos estaciones básicas: la requerida para la transmisión de la señal de disparo remoto, y las estaciones de recepción ubicadas en cada uno de los aparatos que forman la Red básica del Valle de México.

Se continúa con la descripción del diseño de la Estación Transmisora de Control que, esencialmente, consta de: un controlador y un generador de código de sincronía. El controlador está diseñado para activar un radio transmisor y poder enviar el código de sincronía, una vez enviado éste, desactiva el transmisor quedando en espera de la siguiente señal de activación. La información de disparo y sincronía se envía vía radio modulada en dos frecuencias distintas y multiplexadas dentro de la banda de frecuencias de un canal radiofónico de enlace.

Posteriormente, se analiza el diseño de la Estación receptora, cuyos elementos funcionales básicos son: un receptor para captar la señal de disparo y sincronía, los demoduladores sintonizados a las frecuencias de los moduladores de la Estación Transmisora, un identificador de la señal de control para discriminar las señales espurias en el receptor; y por último un controlador para las señales de tiempo y sincronía, y para el disparo del registrador.

El último capítulo trata acerca de la construcción e integración del sistema de sincronización.

Finalmente se mencionan las conclusiones generadas del proyecto de investigación y desarrollo tecnológico y las recomendaciones pertinentes para mejorar el actual sistema, así como algunas notas y referencias generadas en el desarrollo de los capítulos;

y la bibliografía consultada para la realización de este trabajo. Por último se incluye un anexo, donde se desalsen las notas técnicas de los fabricantes de fibra óptica, equipo de radiocomunicación y de los circuitos integrados utilizados.

C A P I T U L O I

RED ACTUAL DE LA INSTRUMENTACION SISMICA A CARGO DEL CIRES Y CARACTERISTICAS DE LOS ACELEROGRAFOS

1.1 Antecedentes

La ciudad de México a menudo es afectada por sismos fuertes que se producen en la zona de subducción de la costa del Pacífico; asimismo, dentro del mismo Valle y lugares aledaños llegan a generarse otros movimientos de magnitud relativamente baja que, sin embargo, producen alarma entre la población. La frecuencia con que se perciben sismos de intensidad moderada en la ciudad de México puede estimarse en uno por año; cada tres años, aproximadamente, ocurre un sismo con magnitud mayor a 7 que afecta a la Ciudad. Por ello, para su cuantiosa población el riesgo ante los sismos es elevado.

En consecuencia, los estudios de ingeniería sísmica y sismicidad para el valle de México son de gran utilidad e importancia, y el número de instrumentos de medición sísmica en el Valle, de los cuales dependen esencialmente esos estudios, se caracterizaron hasta los últimos años por ser muy precarios.

La instrumentación sísmica en el valle de México comenzó en 1908 con la instalación de los sismógrafos de la estación Tacubaya del Servicio Sismológico Nacional, hasta principios de los años 70's se vuelve a instalar una nueva estación; y a partir de entonces se han instalado 9 sismógrafos en lugares aledaños al Valle. Por otra parte, el Instituto de Ingeniería (I de I) de la Universidad Nacional Autónoma de México (UNAM), comienza el registro de movimientos fuertes con acelerógrafos a principios de la década de los años 60's.

Durante los sismos de septiembre de 1985 se registraron en la ciudad de México únicamente 8 acelerógrafos; número sumamente precario para la extensión y las características de la Ciudad si se considera que, en ciudades como los Angeles y Tokio existen más de 600 acelerógrafos, y un número similar de sismógrafos, en áreas comparables a la del valle de México (Espinosa, at al, Noviembre 1987 a y b).

Conforme a Espinosa, at al (1988), a raíz de los sismos de 1985, las autoridades del Departamento del Distrito Federal (DDF) apoyaron la instalación y operación de una nueva red de 80 acelerógrafos en el valle de México; la cual se desarrolló coordinadamente entre el Centro de Instrumentación y Registro Sísmico (CIRES A.C.), de la Fundación Javier Barros Sierra, A.C. y la Fundación de Ingenieros Civiles Asociados, A.C. (FICA).

1.2 Aparatos de medición

Para el registro de sismos se emplean dos tipos de aparatos denominados sismógrafos y acelerógrafos. Los primeros miden la velocidad de un punto del terreno producida por las ondas sísmicas; y los segundos, como su nombre lo indica, su aceleración, en tres componentes ortogonales. Los registros que proporcionan se denominan sismogramas y acelerogramas, respectivamente.

La invención del sismógrafo con amplificación mecánica, que data de finales del siglo pasado, dio origen a la sismología como ciencia basada en la medición de parámetros físicos. Los sismógrafos proporcionan información mediante la cual se determina epicentros, profundidades, hora de origen y la obtención de mecanismos focales de los sismos. Mediante los datos generados por esos aparatos se ha podido estudiar la estructura interna de la tierra, la sismicidad mundial y regional.

A mediados de este siglo comienzan a utilizarse los sismógrafos con sensores electromecánicos y amplificación electrónica los cuales, por su mayor sensibilidad y rango dinámico, dieron un avance al registro de datos sísmicos y un impulso general a las ciencias de la tierra.

Los sismógrafos son aparatos que están diseñados para registrar movimientos sísmicos locales pequeños, muchas veces imperceptibles para el ser humano, y sismos medianos a distancias regionales; pero ante la ocurrencia de sismos grandes a distancias pequeñas (sismos locales y regionales) los sismógrafos se saturan, sobrepasando su capacidad de registro¹. Esta característica de los sismógrafos no permite el uso de registros saturados de algunos sismos fuertes para estudios de ingeniería sísmica.

Ante la necesidad de contar con registros sísmicos no saturados de sismos fuertes surgieron los acelerógrafos, que son aparatos de menor sensibilidad que los sismógrafos. Ellos comenzaron a emplearse en la década de los 30's. Actualmente, por su gran utilidad, su número en el mundo es mucho mayor que el de los sismógrafos y proporcionan información valiosa para el diseño sísmico de obras civiles.

Los fines específicos de la información que proporciona cada tipo de aparatos son distintos, por lo que las redes respectivas requieren de distinto número y una distribución específica. Para obtener una regionalización sísmica detallada de una ciudad como la de México, considerando su extensión y su gran variedad de suelos, se necesita una red con bastantes acelerógrafos. En ciudades como los Angeles y Tokio en áreas comparables al valle de México existen más de 600 acelerógrafos. Las redes de sismógrafos, por otra parte, requieren de una densidad menor de aparatos².

Además de una distribución adecuada, que mejora la localización de los sismos cuando las estaciones rodean la zona epicentral; la calidad de los datos que proporciona globalmente cada red depende de la exacta sincronización del tiempo de registro en todos los aparatos, pues diferencias de décimas de segundo entre éstos afectan significativamente los resultados que se obtengan con esos registros.

1.3 Red actual de acelerógrafos en el valle de México

Posteriormente a los sismos de septiembre de 1985, aumentó el número de acelerógrafos existentes en el valle de México. Las autoridades del Departamento del Distrito Federal (DDF), a través del Consejo Nacional de Ciencia y Tecnología (CONACYT), se propusieron la instalación de 70 acelerógrafos de superficie y 10 subterráneos en el área urbana de la ciudad de México. La implantación de la nueva red se desarrolló por el Centro de Instrumentación y Registro Sísmico, Asociación Civil (CIRES A.C.), de la Fundación Javier Barros Sierra, A.C; y la Fundación de Ingenieros Civiles Asociados, A.C (FICA). Desde julio de 1986 el CIRES está a cargo de la operación de 40 aparatos de superficie y 8 subterráneos y la otra parte está siendo realizada por la FICA³.

En la tabla 1 se listan las estaciones acelerométricas a cargo del CIRES, así como su ubicación; y en la figura 1, se ilustra su localización (las áreas de zonificación sísmica se demarcan con líneas gruesas)⁴.

En el plano adjunto (figura 2) se localizan las estaciones sismométricas que actualmente se encuentran en operación en el DF⁵.

TABLA 1
ACELEROGRAFOS A CARGO DEL CIRES, A.C.
FUNDACION JAVIER BARROS SIERRA, A.C.

DESCRIPCION		COORDENADAS			
Id	ESTACION	UBICACION	ZONA	LAT N	LONG W
1	No				
2	Aeropuerto norte (via TAPD)	Aeropuerto Internacional B Juárez	III	19.4270	99.0584
4	Multifamiliar Juárez II	Antonio N Anza y Orizaba, col Rosa	IV	19.4090	99.1566
6	Jardín de Niños Tochpili	15 de Febrero y Lucas Alauán, Centro	IV	19.4190	99.1353
8	Deportivo Antonio Caso 1-II	Moncalco - Italoalco	III	19.4500	99.1336
10	Esc Prim Plutarco Elias Calles	Plutarco Elias Calles esq Santiago	III	19.3899	99.1310
12	Deportivo Moctezuma	Oriente 164 y Norte 25, col Moctezuma	III	19.4312	99.0763
14	Esc Prim José Ordez López	Puebla 2, Providencia	III	19.4800	99.0760
16	Deportivo Peñosa	Eje 5 Hts y Sn Pablo, Central Rosario	II	19.5005	99.1029
18	Esc Prim Ramón Espinoza Villanueva	IC 3 y Carril, Sn Juan Xalpa	I	19.3398	99.0847
20	Mezahuatlcoyotl	Deportivo Meza-IMSS	III	19.4027	99.0000
22	Esc Sec No 95	C. del Crestón y C. Mezontepc, col C Churubusco	IV	19.3183	99.1202
24	Alberca Olímpica	Río Churubusco y Div Norte, P María Anaya	II	19.3580	99.1539
26	Esc Sec 56 Enrique Ramírez	Av Sta Cruz, Topilejo	I	19.1974	99.1401
28	Cerro del Peñón	Peñón de los Baños	I	19.4385	99.0839
30	Jardín Esperanza Olco	Pensylvania y Georgia, Nípoles	II	19.3885	99.1772
32	ICETIS 0 57	Av Tepalcates y Verdusco, col Tepalcates	III	19.3858	99.0537
34	Esc Prim Alvaro Obregón	Cuauhtémoc 28, S P Actopan	I	19.2016	99.0491
36	Jardín Niños Tochmilco	Club España de Nevo y Chicoco	IV	19.2711	99.1024
38	Jardín de Niños Luz García Ceapilco	Culhuacán, Manuela Medina esq Guardería	IV	19.3161	99.1059
40	Inst. Md. Pediátrico (SEP - INP)	Antiguo Casino a Acapulco	I	19.3428	99.2052
42	Palacio de los Deportes	Río Churubusco y Ahil, Granjas México	II	19.4055	99.0997
44	Unidad Colonia IMSS	Villalongín 117, Sn Rafael	IV	19.4337	99.1654
46	Esc Sec Tec 14 "3 de Mayo"	Ángel Utrera y Coyacán, del Valle	II	19.3832	99.1681
48	Esc Prim Rodolfo Hernández	Loreto y Sn Idelfonso, centro	III	19.4359	99.1280
50	Mariscal Tito	Reforma y Gandhi, Chapultepec	I	19.4253	99.1900
52	Esc Prim Mariano Escobedo	Bellog Niguel Hidalgo	II	19.4383	99.1820
54	Parque Jardines de Coyacán	Dalias e Iris	III	19.3130	99.1220
56	Esc Sec 18	Eldobos 68, Rosa	IV	19.4215	99.1590
58	Esc Sec Dna 23	Liverpool 40, Juárez	IV	19.4263	99.1569
60	Esc. Com. y Trans. (SCOT)	Bole y Universidad	III	19.3930	99.1470
62	Esc Sec Tec 2 Corregidora de Oro	Eje Central 10, Centro	III	19.4385	99.1401
64	Cerro Topayac	Mariano Salas s/n esq. Centro, col Estanzuelo	I	19.4876	99.1137
66	Central de Abastos Oficina (CDAB)	Central de abastos, oficina	III	19.3720	99.0983
68	J N Juan Baulista de la Salle	Canal de Apatlaco y Ahuahuete, Itzapalapa	III	19.3869	99.1048
70	Inst. Md. Pediátrico (SEP - INP)	Antiguo Casino a Acapulco	I	19.3428	99.2052
72	Hospital Juárez	Jesús María, Centro, San Pedro	IV	19.4256	99.1501
74	Fundación Javier Barros Sierra	Carretera al Ajusco 0203, H de Padirna	I	19.2990	99.2100
76	República de Italia	Cda. Bolvares, esq C Marx, col Aapl S Bolivar	III	19.4673	99.1800
78	Esc Sec 243	Colinas del Sur	I	19.3636	99.2262
80	Esc Prim Aurora López Velarde	Periférico Sur (Cuesanco)	III	19.2930	99.1037
82	Escatepec	Esc Prim Fed "Ignacio Ramírez"	III	19.5402	99.0630
84	Culhuacán	Esc Prim José L. Portillo	III	19.3300	99.1254
86	Escatepec	Esc. Prim. José Ma. Morelos	III	19.5275	99.0470

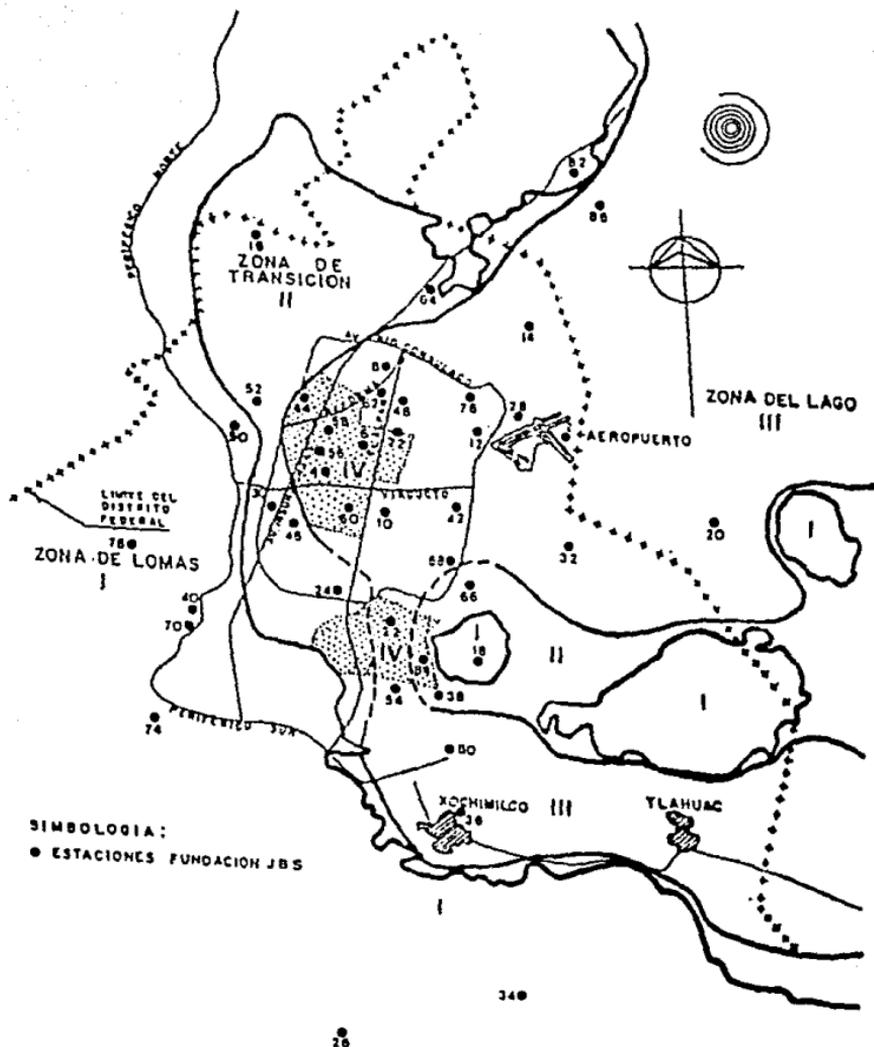


FIGURA 1. LOCALIZACION DE ACCELEROGRAFOS A CARGO DEL CIRES A.C.

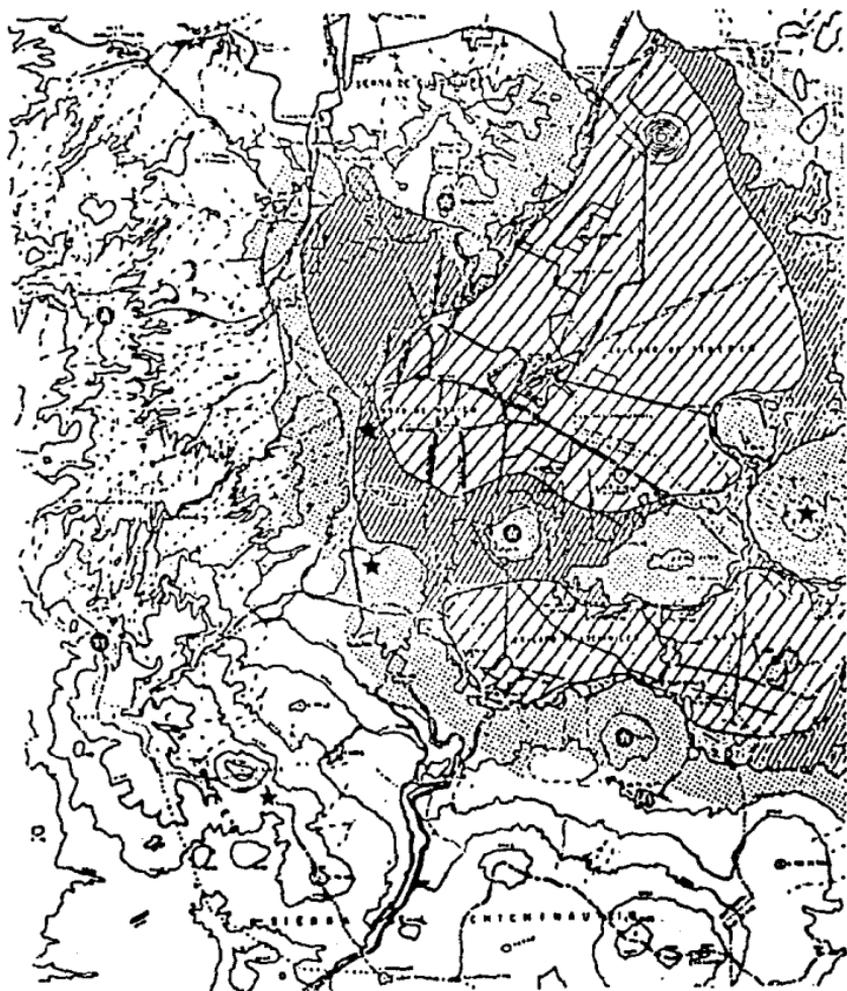


FIGURA 2. Estaciones sismométricas fijas para el D.F. existentes (★) y propuestas (●).

1.4 Acelerógrafos de CIRES

Los aparatos seleccionados por CIRES⁶, utilizan un microprocesador de 12 bits⁷ que controla en forma automática la grabación de los eventos en cassette cuando se detecta un sismo y se satisface la condición de disparo. La aceleración máxima que registran los equipos empleados es de 0.5 g, donde g es la aceleración de la gravedad, con un rango dinámico de 72 dB. Esto es, la aceleración máxima que puede captarse (1.0 g) puede subdividirse en 4096 partes o sea ± 2048 cuentas. Registran en forma digital la aceleración del terreno, descomponiéndola en sus tres vectores ortogonales a razón de 100 muestras por segundo por canal⁸.

El microprocesador controla el transporte de la cinta 15 segundos después de que las aceleraciones producidas por el sismo son menores que el nivel preestablecido para el disparo. Adicionalmente, se graba la hora del reloj interno del instrumento y la señal del tiempo externo de referencia⁹.

Para obtener la señal de tiempo precisa, las estaciones de CIRES utilizan el sistema Omega, que consiste en un conjunto de transmisores distribuidos en los distintos continentes, de tal manera, que su señal cubre todo el mundo. La información de tiempo codificada se repite cada 10 segundos y está en sincronía con la hora universal. Esta señal es captada por los receptores de las estaciones y proporciona un pulso de corrección al reloj de referencia. Este pulso asegura teóricamente que el reloj interno no pierda la hora universal permitiendo un error de no más de 10 ms al día. El reloj genera cada 10 segundos, información del día, hora, minuto y decena de segundos, en el código BCD.

Dado que cada estación cuenta con un equipo de tiempo externo, este código puede registrarse simultáneamente en todos los acelerógrafos instalados en la Red. De esta manera se pretende

tener un patrón horario muy preciso para relacionar los diferentes registros obtenidos en la ciudad para un mismo evento sísmico, permitiendo comparar las características del movimiento del terreno en los mismos instantes y en sitios diversos de la Ciudad; sin embargo, debido a las características del medio ambiente, la contaminación, el ruido eléctrico y magnético, el reloj pierde información de la hora con lo que el tiempo universal no es el mismo en cada una de las estaciones.

1.4.1 Descripción de las estaciones de campo.

1.4.1.a Estación de Registro de Superficie

La figura 3 muestra esquemáticamente una estación de campo típica que aloja a un acelerógrafo de superficie y sus sistemas de soporte; a su vez, la figura 4 muestra la interconexión entre dichos sistemas¹⁰.

Para nuestro caso, las estaciones de campo de la red contienen equipos acelerométricos que utilizan transductores con ancho de banda de 0 a 50 Hz, que supera los requerimientos de medición típicos en Ing. Civil (0.1 a 20 Hz.) y graban digitalmente en cassette las señales de 3 acelerómetros ortogonales. Dicho equipo utiliza un microprocesador de 12 bits⁷ programado para disparar automáticamente la grabación de los eventos en cassette cuando se detectan aceleraciones del terreno que sobrepasan un umbral mínimo preseleccionado, y para detener la cinta 15 segundos después de que las aceleraciones producidas por el sismo son menores a dicho umbral.

Por lo que toca al sistema de registro, los aparatos inscriben digitalmente, en formato NRZI: la aceleración del terreno de 3 componentes ortogonales en cinta magnética, muestreando cada canal a razón de 100 cuentas por segundo. Así mismo, la grabación continúa el número de serie del acelerómetro para identificación;

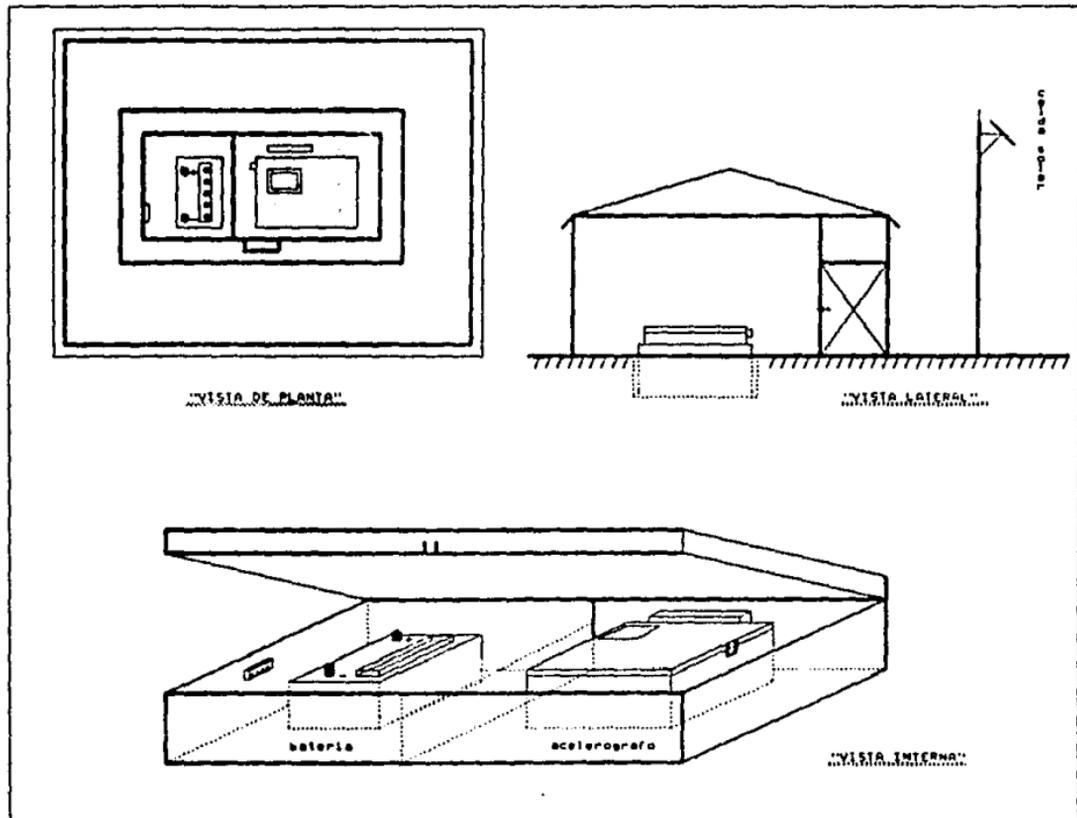


FIGURA 3. Esquema de una Estacion de Campo Típica

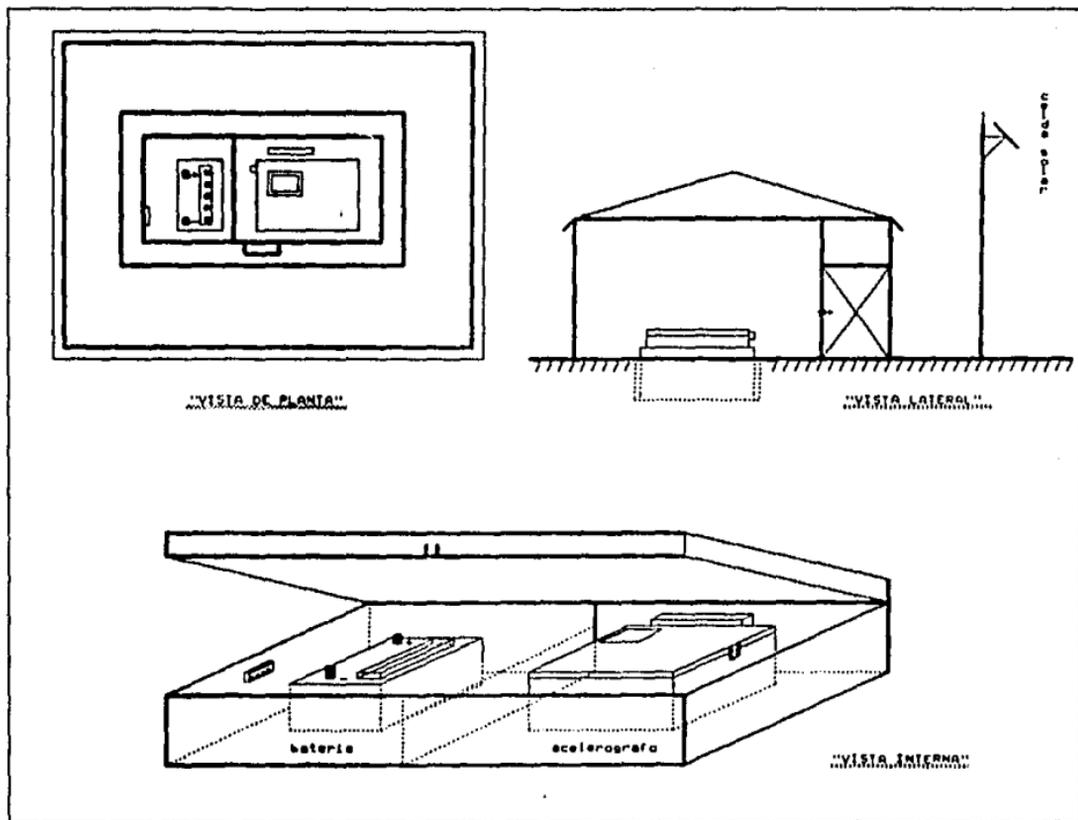


FIGURA 3. Esquema de una Estación de Campo Típica

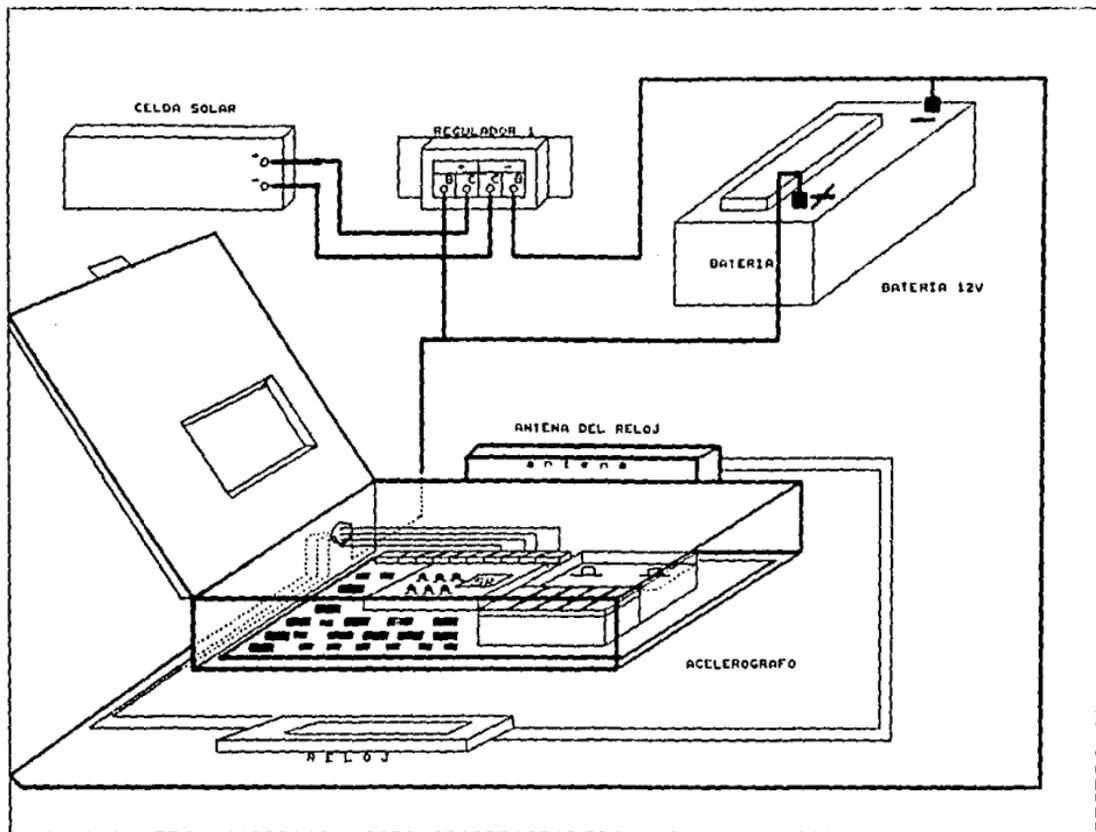


FIGURA 4. Interconexión del Acelerógrafo y sus Sistemas de Soporte

un número progresivo indicativo de los sismos almacenados; y las horas de los relojes interno y externo del instrumento para señalar y sincronizar la hora de ocurrencia de los eventos¹¹.

Cada cassette contiene 300 pies de cinta magnética en la cual se pueden grabar hasta 14 minutos de datos. Por otro lado, como ya se había mencionado anteriormente, el sistema cuenta con un tiempo externo que utiliza como estándar de referencia la señal del Sistema Omega de Navegación de alta precisión; el cual consta de 8 transmisores de radio distribuidos en los distintos continentes de tal manera que su señal cubre cíclicamente todo el mundo; la señal de referencia de tiempo se repite cada 10 segundos y está sincronizada con la hora universal (Omega, 1986).

Este patrón de tiempo es captado por los receptores instalados en las estaciones (ver figura 4) y la graba junto con la información sísmica en los registros para sincronizarlos (ver figuras 5, 6 y 7); sin embargo, la experiencia muestra que no ha sido posible lograr una buena recepción de esas señales en el entorno donde se encuentran las estaciones (Espinosa, et al, 1987, 1988, 1989a, 1989b, 1989c, y 1989d).

La tabla 2 muestra la distribución y el porcentaje de estaciones en las que se logró una buena recepción durante cinco de los principales sismos, ocurridos de febrero de 1988 a Abril de 1990. Cabe observar que la información codificada del tiempo, permite discriminar entre una buena o mala condición de recepción al momento de ser registradas.

El sistema típico de alimentación de los acelerómetros consiste en una batería plomo-ácido de 12 volts, que se recarga con una celda solar en aquellos sitios donde no hay alimentación comercial. En condiciones óptimas de operación la celda produce hasta 15 watts de potencia a 15 volts.

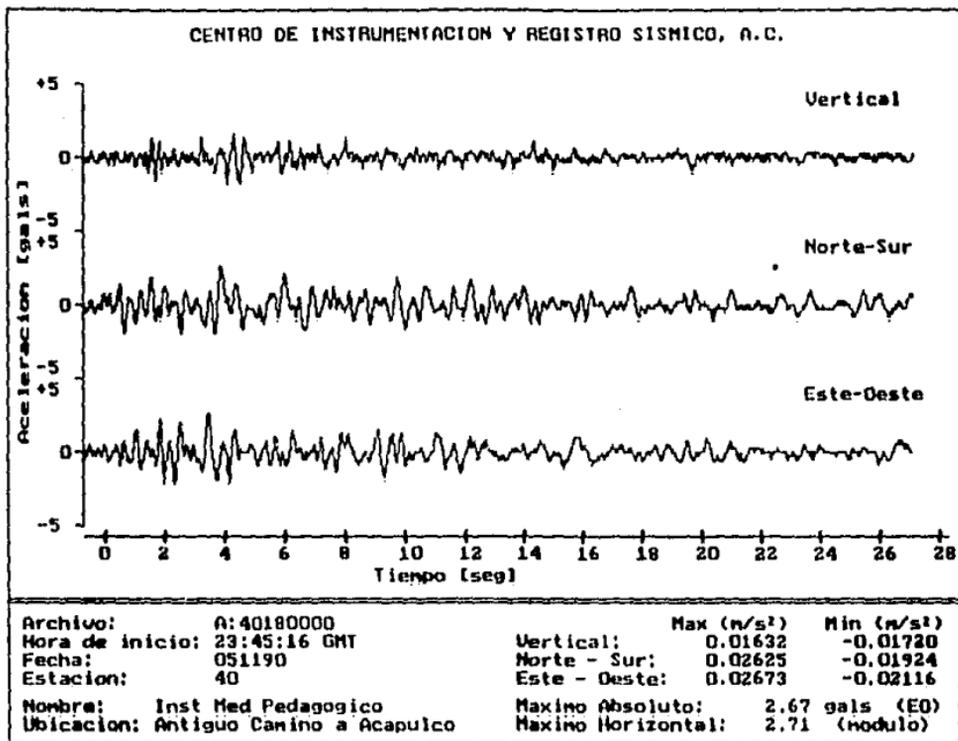


FIGURA 5. Acelerógrama de un Sismo Real (0551190)
(Note la ausencia del Código Omega)

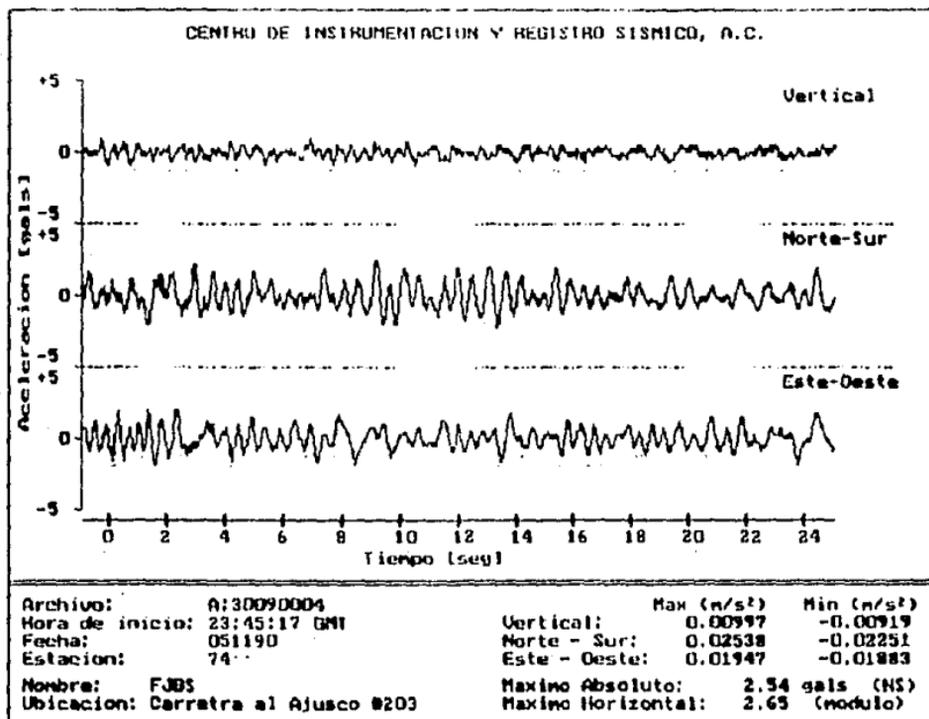


FIGURA 6. Acelerograma de un Sismo Real (0551190)
 (Note la diferencia de hora de inicio y
 la magnitud de la aceleración conque se disparó)

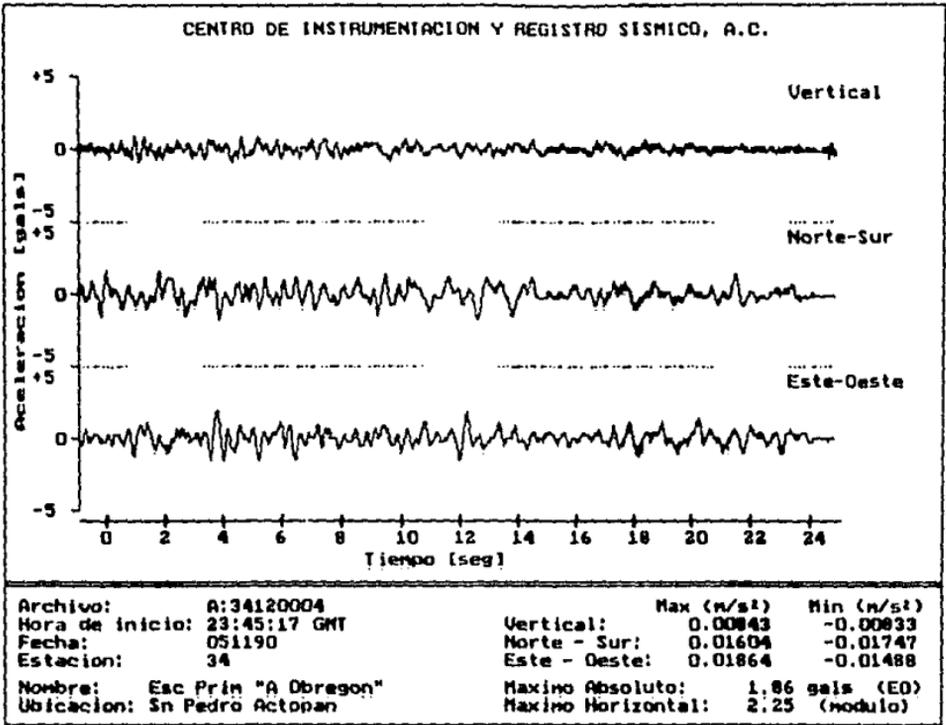


FIGURA 7. Acelerógrama de un Sismo Real (0551190)
(Note la diferencia de hora de inicio y
la magnitud de la aceleración conque se disparó)

TABLA 2
 CENTRO DE INSTRUMENTACION Y REGISTRO SISMICO A.C.
 RECEPCION DE LA SEÑAL OMEGA DURANTE LOS SISMOS
 Y DURACION DE LOS REGISTROS.

No	Estación	1 Feb 8,00	1 Mar 10,00	1 Abr 23,00	1 May 2,00	1 Ago 12,00
		SEG IR	SEG IR	SEG IR	SEG IR	SEG IR
1002	Esc Prio González García					
1004	Multifamiliar Juárez II	80 D	37 D		62 D	23 D
1006	Jardín de Niños Inehpíllil			102 D		
1008	Deportivo Antonio Caso I-II	73 H	27 H	223 D	52 D	20 D
1010	Esc Prio Plutarco Elías Calles	42 D		156 D	80 D	
1012	Deportivo Neotomas	85 D		248 D	23 D	
1014	Esc Prio José Ordaz López					
1016	Deportivo Acapulco	89 D	25 D	135 D	43 D	18 D
1018	Esc Prio Ramón Espinoza Villanueva	18 D		43 H		
1020	Mexahualchepí			222 H	24 D	
1022	Esc Sec No 95	18 D	25 H	177 H	56 H	16 H
1024	Alberca Olímpica	36 H	15 H		60 H	19 H
1026	Sec Tec 56 Enrique Ramírez					
1028	Corro del Pabón			102 D		17 D
1030	Jardín Egarza Oteo	31 D		132 D	32 D	
1032	CECIS 4 87	10 H		283 D	33 D	
1034	Esc Prio Álvaro Obregón	33 H		120 D	14 D	
1036	Jardín Niños Sachiálico	24 D	22 D			30 H
1038	Jardín de Niños Luz García Campillo	80 H	25 D		43 D	
1040	Inst. Md. Psicológica (SEP - IMP)					
1042	Palacio de los Deportes			243 D	33 D	
1044	Unidad Colonia IMB	29 H		110 D		
1046	Sec Tec 14 "S de Rayo"	82 D		148 D	42 D	17 D
1048	Esc Prio Rosalío Manindeg	53 H		241 H	42 H	
1050	Marsical Tito	11 D		79 D		
1052	Esc Prio Mariano Escobedo	56 D		113 D	33 D	
1054	Parque Jardines de Coahuila	96 H	66 D	184 D	75 D	56 D
1056	Esc Sec 18	63 H		242 D	62 D	14 D
1058	Esc Sec Dna 23	70 D	17 H	228 D	59 D	12 D
1060	Sec Cos y Trans (GCT)					
1062	Esc Sec Tec 2 Carrigüera de Oro	72 D	33 D	229 D		23 D
1064	Corro Topayac			49 D		
1066	Central de Abastos Oficina (COMO)					
1068	J N Juan Bustillo de la Balta	87 D	16 D	172 D	16 D	
1070	Inst. Md. Psicológica (SEP - IMP)					
1072	Hospital Juárez			202 D	47 H	
1074	Fundación Javier Barros Sierra	32 H	17 D	100 D	30 D	31 D
1076	República de Italia					
1078	Esc Sec 213	23 H		119 D		
1080	Esc Prio Aurora López Velarde			122 D		
1082	Escaltec Corro Gordo					
1084	Colhuacán	75 D	21 D	164 D	63 D	13 D
1086	Escaltec San Agustín					
1102	... Fuera de Servicio ...	63 D				
1104	... Fuera de Servicio ...	85 H				
1106	... Fuera de Servicio ...	87 H				
1108	... Fuera de Servicio ...	94 H				
1110	Sec 8 3, Acatlán - Centro edil. 1			164 H	72 H	21 H
1112	Sec 8 3, Acatlán - Centro edil. 2	72 H		186 H	72 H	20 H
1114	Sec 8 3, Biliáhuac	72 H			68 H	20 H
1116	Sec 8 3, Subdirección	72 H				
11 de Estaciones con buena recepción		51.5	67.2	80.6	71.0	66.7

HSTAG: DI BUENA RECEPCION DE LA SEÑAL OMEGA
 T88 ESTACIONES QUE OPERARON TEMPORALMENTE
 SE81 DURACION DEL REGISTRO EN SEGUNDO(S)

H: PARA RECEPCION DE LA SEÑAL OMEGA
 ESP ESTACIONES EXPERIMENTALES

Entre la celda y la batería se tiene un regulador de tensión que la reduce a 13.6 volts. Este arreglo permite operar con un mínimo de atención por periodos de 20 a 25 días ya que el sistema consume 73 mA en "standby", la alimentación solar permite aislar el ruido eléctrico que frecuentemente se presenta en las líneas de alimentación de energía eléctrica.

Las figuras 8, 9 y 10 muestran las condiciones reales en las que se encuentran las estaciones de campo, en las que destaca el sistema de alimentación (por celdas solares), la caseta, la caja metálica contenedora del equipo, la conexión real entre cada una de las partes que lo conforman.

1.4.1.b Estación de Registro de Pozo

La Estación de Registro Acelerográfico de Pozo, almacena la instrumentación requerida para obtener datos de las estaciones del terreno a diferente profundidad durante la ocurrencia de un sismo. A diferencia de las estaciones de registro convencionales, en ésta se pueden obtener además del registro a nivel de superficie, dos registros ortogonales de aceleración en diferentes niveles del terreno¹².

Actualmente, las estaciones de superficie en servicio son 40, Y se cuenta con tres estaciones de registro de pozo (las estaciones 70, 66 y 60 (Camarillo B. L., 1990); ver figura 1 y tabla 1), en la figura 11 se muestra una estación de pozo típica.

Finalmente, en las figuras 5, 6 y 7 se muestran 3 acelerógramas de un mismo sismo en distintos lugares del valle de México, en los cuales se puede apreciar el código Omega, la aceleración del terreno en las tres componentes ortogonales, duración del sismo, fecha y hora de ocurrencia.



FIGURA 8. Estación típica de campo



FIGURA 9. Caja contenedora del equipo acelerométrico.



FIGURA 10. Panel Solar. Recarga del Sistema de Alimentación.

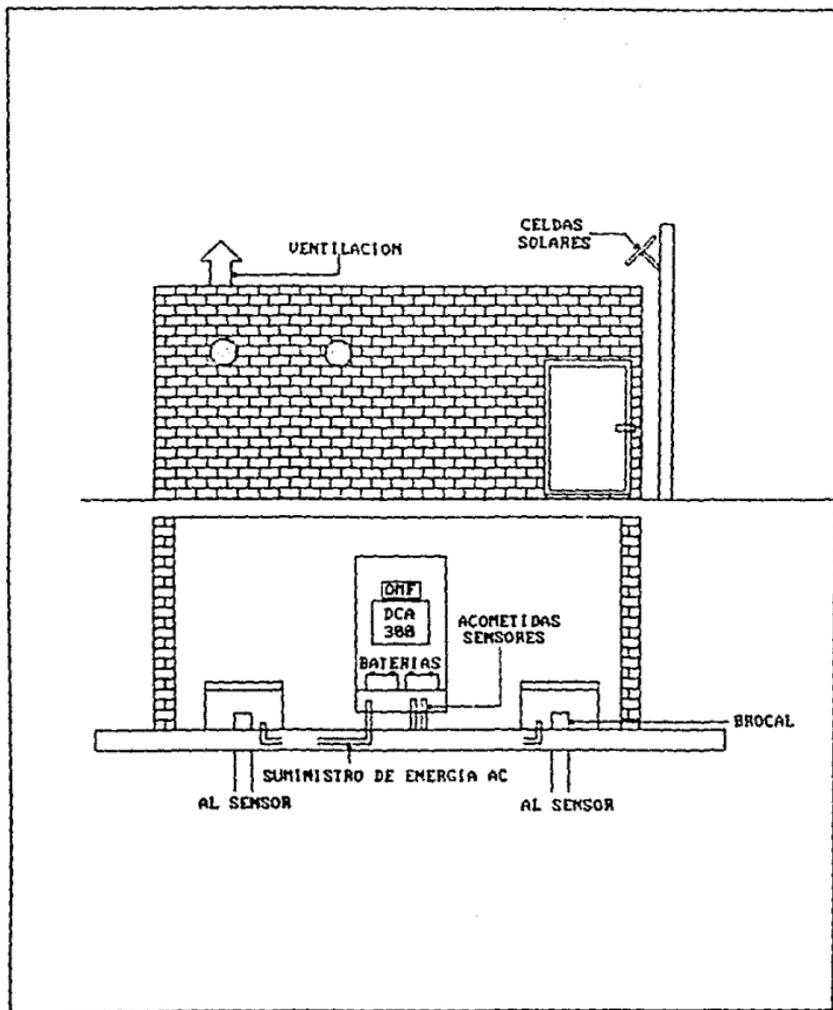


FIGURA 11. Estación de Registro Acelerografico de Pozo.

El punto más importante a señalar para nuestro caso es la grabación del código omega en los acelerógramas; en la figura 6 se observa uno de los problemas que frecuentemente se presentan y en la que se nota ausencia del código, por ello esta gráfica queda inutilizada, dado que no cuenta con una referencia para su sincronización con toda la colección de acelerógramas. Por otro lado en las figuras 6 y 7 se puede apreciar que a pesar de contar con las señales de tiempo, estas no pueden sincronizarse debido a que el acelerógrafo se disparó en distintos niveles de aceleración; por el grado de sensibilidad con que fueron ajustados.

C A P I T U L O I I

DISEÑO DE UN SISTEMA DE SINCRONIZACION DE ACELEROGRAFOS PARA LA RED DEL VALLE DE MEXICO

2.1 Ojetivos.

El equipo disponible para la detección y registro de sismos presenta varias deficiencias ya descritas en el capítulo anterior. La más importante, es la del mecanismo de arranque del acelerógrafo que opera hasta el momento en que la aceleración del terreno alcanza cierto nivel¹³; por lo tanto, se pierde sistemáticamente la parte inicial del temblor.

Debido a los acelerógrafos de la Red funcionan independientemente y no se cuenta con una marca de tiempo común¹⁴, es imposible correlacionar en tiempo, los registros obtenidos de los distintos aparatos.

Estas deficiencias son a tal punto significativas que el Centro de Instrumentación y Registro Sísmico, A.C. (CIRES), se dió a la tarea de diseñar, construir e implantar un Sistema de Sincronización de Acelerógrafos; para minimizarlas y lograr historias completas de los registros simultáneamente en todas las estaciones de la Red. A continuación se plantean los objetivos principales, orientados a superar la calidad y cantidad de la información obtenida de la nueva Red Básica de Acelerógrafos que se operan en el Valle de México:

1. Controlar la operación simultánea del equipo de registro acelerométrico en el Valle de México mediante señales de radio, antes de que un evento sísmico importante afecte al DF.

2. Sincronizar las señales de tiempo de los registros acelerográficos que se obtengan con los aparatos de la Red del Valle de México.
3. Optimizar el número de acelerógrafos de la Red en servicio.

Para lograr los objetivos propuestos, las actividades de este proyecto se dividieron en dos fases una de Diseño y otra de Construcción. Para la primera fase se requiere cumplir, entre otras, con las metas siguientes:

- a) diseñar un sistema de disparo radio controlado económico y confiable;
- b) diseñar un conmutador para manejar señales de disparo, de tiempo externo y las del código de sincronía; y
- c) diseñar la metodología para evaluar las condiciones de operación de las estaciones de registro integradas al sistema radio controlado.

Este capítulo aborda la primera fase correspondiente al diseño del Sistema de Sincronización de Acelerógrafos, que en adelante se le conocerá como SISI.

2.2 Diseño del Sistema de Sincronización, SISI

Los acelerógrafos que forman la Red Básica pueden activarse por medio de una señal externa. Aprovechando esta facilidad, se diseñó un sistema que permite el disparo de los equipos mediante una señal externa conectada al equipo.

La Estación Transmisora de Control (ETC) es la encargada de generar la señal de disparo, y en cada sitio de registro se

instalará una Estación Receptora de Control (ERC) que detectará esta señal y sincronizará el disparo de los aparatos. Segundos después de generada la señal de disparo se transmitirá un código de identificación del disparo, que se registrará en lugar de la señal de tiempo vigente Ω (Omega), siendo habilitada por un conmutador de señales de tiempo y sincronía.

Este código puede cambiarse hasta en 256 combinaciones diferentes, ya que se forma como una secuencia de 8 bits codificados. Se puede presentar el caso de que el aparato haya iniciado su operación autónoma por la detección de un movimiento; sin embargo, al recibir la señal de disparo y el indentificador codificado, la puede registrar sustituyendo la señal Omega temporalmente y después continuará grabándola normalmente. La implantación de este sistema no afecta la operación de los registradores ni las señales de aceleración y permite conservar su modo autónomo, operando bajo la sensibilidad a la que fue calibrado. La figura 12 muestra el diagrama general del Sistema de Sincronización.

La implantación de este sistema permitirá cumplir con los objetivos citados previamente.

A continuación se describe el diseño funcional de las Estaciones Transmisora y Receptora de Control.

2.2.1 Estación Transmisora de Control (ETC).

La ETC (figuras 12 y 13), tendrá como función:

- a) monitorear la presencia de un sismo ya sea mediante la interconexión a un acelerógrafo que lo detecte o a la presencia de una señal externa al sistema;

- b) generar el código identificador de sincronía,
- c) Controlar la activación de un radio transmisor que enviará la información a cada una de las ERC.

La ETC contará con un controlador y un generador de código de sincronía, para activar el radio transmisor y desactivarlo una vez enviado el código; quedando en espera de la siguiente señal de activación. Para enviar la información vía radio ésta se modula en dos frecuencias distintas multiplexadas dentro de la banda de frecuencias de un canal radiofónico de enlace, que a su vez modulará en frecuencia la salida del transmisor que la enviará hasta la estación receptora del control.

Además, la ETC contará con un sistema de alimentación de energía solar que permita el funcionamiento ininterrumpido de la estación. El sistema se constituye con celdas solares, un regulador de voltaje y baterías de respaldo.

2.2.2 Estación Receptora de Control (ERC).

En cada uno de los equipos que componen la Red de Acelerógrafos del Valle de México se instalará una ERC cuyas funciones son:

- a) recibir la señal de la ETC,
- b) mantener la grabación del registrador durante un minuto una vez ocurrido un evento,
- c) conmutar la señal de tiempo del sistema Omega por la del código de sincronía durante 10 segundos una vez ocurrido un evento.

La ERC (figuras 12 y 14), contará con un receptor permanentemente activo para captar la señal de sincronía, un par de demoduladores

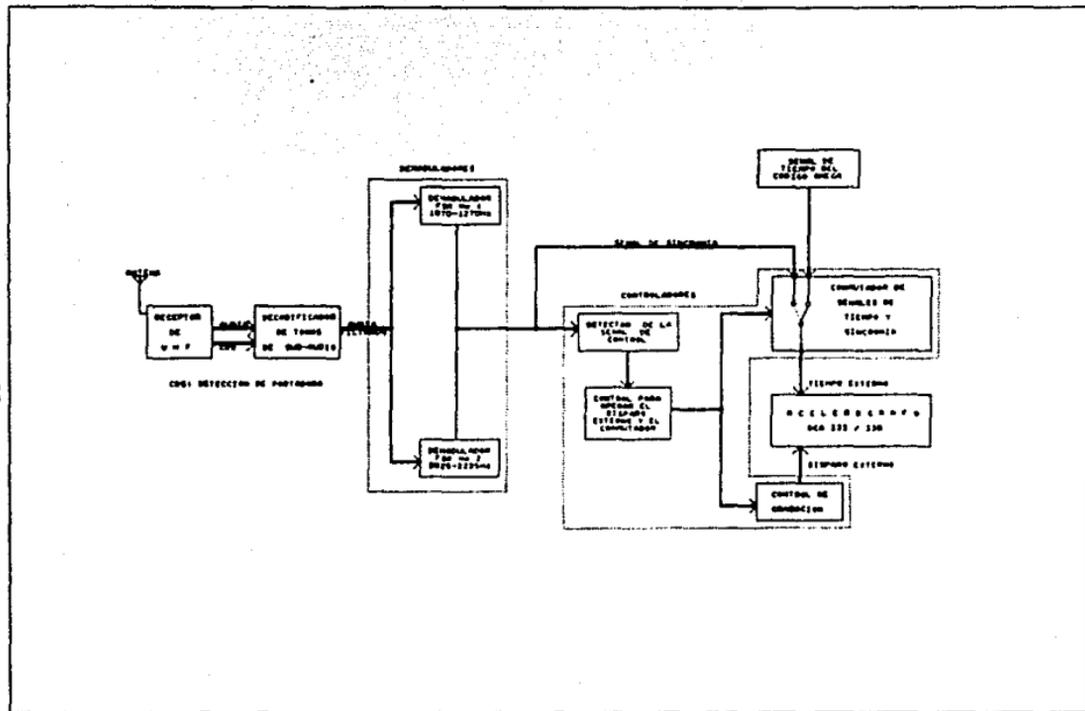


FIGURA 14. Diagrama a Bloques de la Estación Receptora de Control

sintonizados a las frecuencias de los moduladores de la ETC. Como se pueden presentar señales espurias por la presencia de ruido en el receptor, se utilizará un identificador de la señal de control. Por último un controlador para las señales de tiempo y sincronía y para el redisparo del registrador.

La energía que consume la ERC la suministrará un sistema de energía solar que permite el funcionamiento ininterrumpido de la Estación. El sistema cuenta con celdas solares, un regulador y baterías de respaldo, este sistema de alimentación también alimenta el aparato de registro.

2.3 Especificaciones Técnicas del Sistema de Sincronización.

En este inciso se profundiza en la descripción del diseño del sistema, destacando las especificaciones técnicas de los subsistemas para la construcción del prototipo.

2.3.1 Estación Transmisora de Control.

La ETC se compone de los siguientes módulos:

2.3.1.a Generador de Código Identificador de Sincronía. Para monitorear la presencia de un sismo, generar las señales de control y sincronía, se requiere de un dispositivo "inteligente" y confiable, cuyo desarrollo implica nuevos recursos incluso el del tiempo. Las necesidades pueden cubrirse con una computadora tipo personal (PC) operando con un programa desarrollado en lenguaje de alto nivel (lenguaje C), cuyas funciones son:

- a) monitorear una señal ya sea de un acelerógrafo o de un dispositivo externo al sistema, que indique la presencia de un sismo,

- b) si se detecta un sismo, generar una señal de control seguida por un código identificador del número de evento, que puede variar desde 0 hasta 255 en forma ascendente,
- c) incrementar el número de código y
- d) reinicializar el programa en espera de otro evento.

La salida de las señales es una secuencia binaria de pulsos de longitud conocida y se logra direccionando un puerto de salida a través de la PC.

2.3.1.b Enlace por fibra óptica. El equipo de transmisión se instalará en una torre de 30 metros, por lo que estará expuesto a descargas eléctricas, siendo necesario tener un medio de aislamiento entre el equipo de la torre y la computadora de la ETC.

Se instalará un sistema por medio de fibra óptica para tal fin, formado por un transmisor, un receptor óptico y un medio de transmisión de fibra óptica. El transmisor óptico convierte las señales eléctricas de salida de la PC en señales de luz para enviarlas a través de la fibra óptica. El receptor óptico detecta estas señales luminosas y las transforma en señales eléctricas, para ser utilizadas en el equipo de transmisión.

2.3.1.c Moduladores de FSK. La velocidad de salida del código de sincronía y disparo de la PC es menor a 150 bauds. La información a transmitir es tipo digital y se modula a fin de poder enviarla a través de un sistema de radio-enlace. Un mecanismo de modulación confiable para comunicaciones digitales es el FSK, en el que los pulsos se modulan por corrimiento de frecuencia dependiendo el nivel del pulso (alto o bajo). Para el sistema de radio-enlace se emplea el ancho de banda de un canal telefónico (que contempla frecuencias entre 300-3000Hz). Con base a las características anteriores se eligió la Norma de comunicaciones "Bell 103", figura 15 (Exar DATABOOK, 1987), bajo la cual,

se puede enviar información de hasta 300 bauds en un canal telefónico; además permite tener presentes dos señales por el mismo canal sin interferencia. Esta característica permite enviar la misma información por las dos bandas que contempla la norma y así tener un sistema menos vulnerable a posibles interferencias, ya que si no están presentes las dos bandas no se reconocerá la información en la ERC. En el circuito de la ETC se utilizan dos moduladores de FSK, sintonizados en las bandas de frecuencias especificadas por la norma (1070-1270Hz y 2025-2225Hz).

2.3.1.d Sumador. Las dos bandas de frecuencias utilizadas en los moduladores deben enviarse simultáneamente, lo que se consigue sumando electrónicamente (multiplexaje) la señal de los moduladores antes de alimentarse al transmisor.

2.3.1.e Controlador de encendido del radio. Debido al elevado consumo de corriente, el radio-transmisor siempre se encuentra desactivado y en modo de transmisión. Cada vez que la PC envía la señal de control, el módulo de control de encendido energiza al radio durante un tiempo suficiente para transmitir las señales de sincronización.

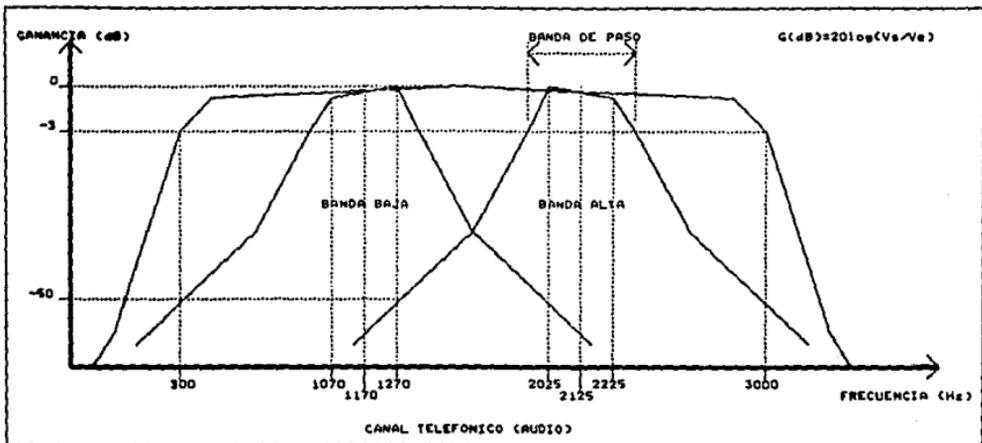
2.3.1.f Transmisor. Los enlaces de radio en la banda de frecuencias de UHF son una alternativa de bajo costo que permiten enlaces de radio confiables. Una vez que la señal de control activa el radio, la del código de sincronía se modula en las dos bandas de frecuencia (1070-1270Hz y 2025-2225Hz), se suman y modulan en frecuencia la salida del transmisor operando en la banda de UHF con potencia de 25 Watts, dada por un amplificador lineal. El radio se conecta a una antena tipo "Omnidireccional" con ganancia de 10dB, para irradiar la señal por todo el valle de México.

El transmisor tiene la facilidad de interconetarse un generador de tonos de sub-audio, que se agrega a la señal modulada; este tono sirve como llave para abrir los receptores en la ERC.

ESTANDARES DE LA NORMA BELL PARA COMUNICACIONES

ESTANDARES	VELOCIDAD	OPERACION	TECNICA DE CODIFICACION
103	0-300 BPS	FULL-DUPLEX	FSK
201	1200 BPS	HALF-DUPLEX	PSK
202	1200 BPS	HALF-DUPLEX	FSK
212 A	0-300 BPS 1200 BPS	FULL-DUPLEX	FSK FSK

BANDAS DE FRECUENCIAS DE LA NORMA "BELL-103" DE COMUNICACIONES



NORMA C00

FIGURA 15. Estándares de la Norma "Bell 103" de Comunicaciones

2.3.2 Estación Receptora de Control.

La ERC se compone de los siguientes módulos:

2.3.2.a Receptor. Se utilizará un receptor en la banda de UHF que permanece energizado e interconectado a un detector de tonos de sub-audio. Cuando la señal captada en la antena del receptor tenga presentes la portadora y el tono de sub-audio generados en la ETC, se permitirá la activación de energía hacia los demoduladores de FSK y además se dejará pasar el audio sin el tono de sub-audio a éste módulo.

Cada radio-receptor está conectado a una antena, que puede ser del tipo "dipolo o yagui" para captar la información de la ETC. El tipo de antena a utilizar depende de la ubicación de cada una de las estaciones de la red: con el dipolo, se puede recibir la señal en las estaciones cercanas a la ETC; mientras que en las estaciones distantes serán necesarias las tipo yagui, con el propósito de tener mayor ganancia y poderlas orientar hacia la ETC.

La selección del tipo de antena que se requiere en cada caso se realizará en base a futuras pruebas de comunicaciones con el sistema implantado.

2.3.2.b Demoduladores de FSK. Cada uno de los demoduladores de FSK está ajustado a una banda de la Norma "Bell-103" adoptada, y sus salidas se conectan en un punto común para tener una configuración de "Y" alambrada, con el fin de obtener la salida sólo cuando estén presentes las dos frecuencias de la Norma. Conviene señalar, que de esta forma se reduce aún más la probabilidad de que el equipo se active a causa de interferencia o ruido eléctrico. A la salida de los demoduladores se tendrá la señal generada y transmitida desde la computadora en la ETC.

2.3.2.c Detector de la Señal de Control. Debido a la presencia de ruido blanco en el receptor, es factible que aún después de la detección en paralelo de las señales demoduladas, se presenten señales espurias en la salida de los demoduladores y que estas eventualmente disparen los aparatos. Para evitar esta posibilidad, la salida de los demoduladores se alimenta a un filtro paso-bajas (integrador) cuya salida se alimenta a la terminal positiva de un comparador, en la negativa se encuentra un voltaje de referencia. Si la señal obtenida del filtro rebasa el voltaje de referencia, el comparador presenta un voltaje indicador de la presencia de la señal de control que inicia la operación de los controladores de disparo externo y el conmutador.

2.3.2.d Control para operar el Disparo Externo y el Conmutador. La activación de este circuito depende de la salida del detector descrito en el párrafo anterior; el control de disparo externo activa el acelerógrafo a través de la señal de control de grabación, adicionalmente, conmuta durante 10 segundos la entrada de la señal de referencia de tiempo externo, de la señal Omega al código de sincronización recibido; a fin de registrarlo en la cinta magnética junto con los datos de las aceleraciones del sismo.

2.3.2.e Control de Grabación. El acelerógrafo tiene dos modos para iniciar la grabación: el primero es automático y sucede cuando el algoritmo del registrador detecta un sismo, el segundo ocurre cuando se aplica una señal en la entrada de disparo externo del equipo. En cualquiera de las dos formas en que se inicie la grabación, ésta terminará 15 segundos después de haberse presentado la última señal de detección automática del sismo o la señal externa de activación.

Debido a que es factible que el tiempo de arribo de las vibraciones de un sismo hasta los sitios de registro, tome más de 15 segundos, el control de grabación mantendrá durante 45 segun-

dos una señal de redisparo del acelerógrafo para que, finalmente, el período mínimo de la grabación sea de 1 minuto.

La secuencia de las señales generadas por el sistema durante la ocurrencia de un sismo se ilustran en la figura 16. En esta gráfica, en la línea superior se muestra la duración del evento de la transmisión y recepción de la señal de sincronización, en segundos, asumiéndose la detección del sismo en el segundo cero. La segunda línea indica el tiempo de generación de las señales de control de la PC, iniciando con 50 ms para la activación del control de encendido del transmisor, dejando 200 ms para la estabilización transmisor-receptor, siguiendo con 750 ms para levantar la señal del detector de control de la ERC; 500 ms después se transmite el código de sincronía en 4.5 segundos. El código se forma transmitiendo una secuencia de 8 bits codificados en 4 segundos y por último se transmite un pulso de 500 ms para indicar el final del código de sincronía. En la parte inferior de la gráfica existe un detalle del código de sincronización. En el tercer renglón se indica el tiempo durante el cual el radio permanece transmitiendo. En las dos líneas siguientes aparecen los tiempos en que están activos los controles del Conmutador y Grabación, y la señal de Disparo Externo. En el penúltimo renglón se gráfica la secuencia del registro de las señales de tiempo en el cassette y; finalmente, la última línea detalla el tiempo de grabación del acelerógrafo que es de un minuto.

2.4 Características Generales del Sistema de Sincronización.

Las características del sistema de sincronización, pueden resumirse en las siguientes Especificaciones Generales:

2.4.1 Sistemas de Alimentación para la ETC y para la ERC:

- a) Se forman con: Una batería tipo automotriz de 35 AH, una celda solar de 15 Watts, un regulador de 15 a 12 V.

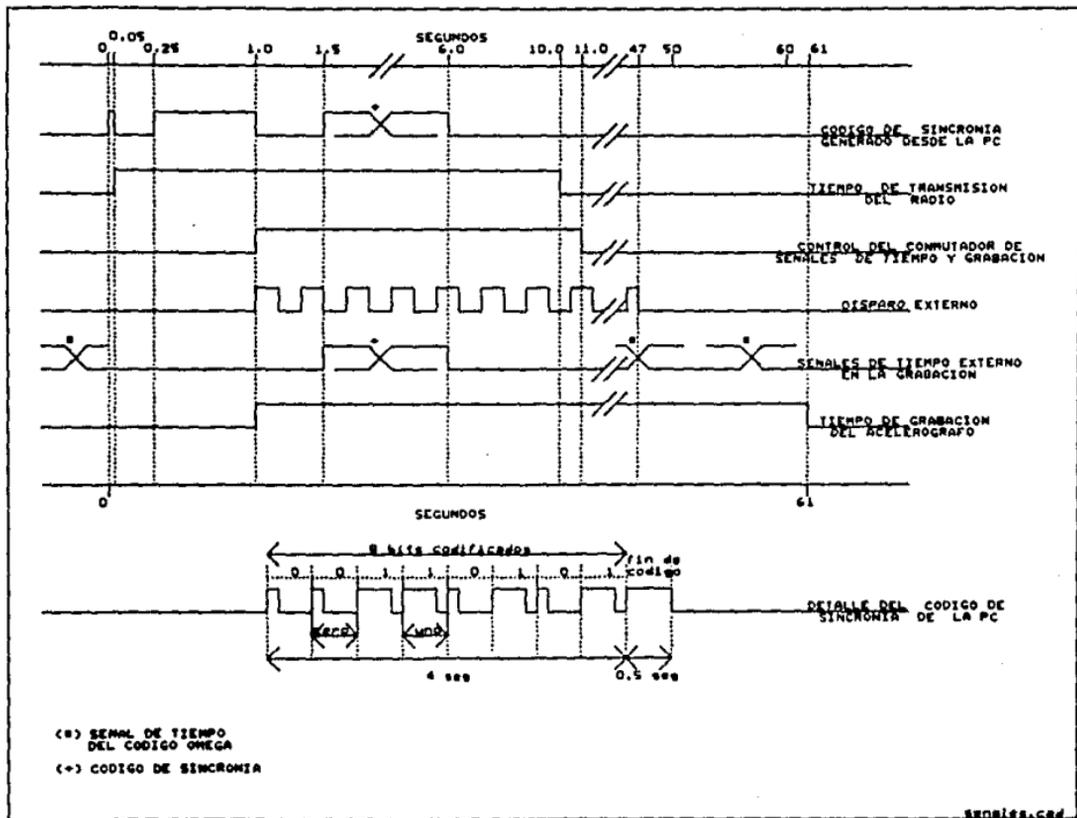


FIGURA 16. Secuencia de Señales Generadas para el SISI

- b) Representan un respaldo de 15 días en caso de falla de las celdas solares en la recarga de las baterías.

2.4.2 Estación transmisora.

Se compone de un radio transmisor y una tarjeta de interfaz para acoplar la Computadora con el primero. La tarjeta agrupa bloques de transmisión por fibra óptica, modulación y multiplexaje, control de encendido del radio. Respecto a la electrónica para obtener la salida por el puerto serial de la PC, ésta queda dentro de la computadora y su diagrama se incluye en el capítulo III.

A continuación se resumen las características de la tarjeta.

- a) Voltaje de operación regulado de 12 a 9.0 Vdc.

Los módulos de esta tarjeta son:

2.4.2.i Moduladores.

- a) Impedancia de entrada alta (100 K Ω) para poder acoplarse a la salida de la PC.
- b) Alimentación con voltajes estables al 5%, para evitar corrimiento en las frecuencias de trabajo.
- c) Frecuencias nominales de operación de acuerdo a la norma adoptada: 1070-1270Hz y 2025-2225Hz.

2.4.2.ii Sumador.

- a) Multiplexa las dos señales generadas por los moduladores.
- b) Permite ajustar el nivel de la señal de salida.
- c) Impedancia de salida menor a 600 ohms para acoplarse a la entrada del transmisor.

2.4.2.iii Radio Transmisor.

- a) Frecuencia de operación 449.725 MHz.
- b) Alimentación a 12V.
- c) Consumo de 800 mA y 7 A con el amplificador incluido.
- d) Potencia de transmisión 5 Watts y con el amplificador 15 Watts.

2.4.2.iv Antena.

- a) Tipo omnidireccional.
- b) Ganancia mínima de 10dB.
- c) Impedancia típica de 50 ohms.

2.4.3 Estacion Receptora.

Similarmente a la estación de transmisión, esta se compone de una tarjeta de control y un radio receptor, cuyas características son:

2.4.3.i Receptor.

- a) frecuencia de operación de 449.725 MHz
- b) Sensibilidad menor o igual que 1.5 MicroV, para relación señal a ruido de 20 Decibeles.
- c) Voltaje de operación 12 Vdc
- d) Consumo de 20 mA.

La tarjeta receptora tiene un voltaje de alimentación regulado a 9 Vdc, a continuación se citan las características generales de sus módulos:

2.4.3.ii Demoduladores.

- a) Las frecuencias nominales de los demoduladores son: 1070-1270Hz y 2025-2225Hz.
- b) Su voltaje de alimentación es estable con un rango del 5% para evitar probables corrimientos de frecuencia.

2.4.3.iii Controladores.

- a) Sus bases de tiempo son estables con una tolerancia máxima en el corrimiento de su período del 5%.

2.4.3.iv Antena.

- a) De tipo Dipolo o Yagui dependiendo de la ubicación de la estación receptora.
- b) Impedancia típica de 50 ohms.

A continuación se describe el diseño de la metodología para evaluar las condiciones de operación del sistema.

2.5 Metodología para Evaluar la Construcción y Operación del SISI.

El primer paso para evaluar el Sistema de Sincronización consiste en probar cada uno de los módulos conforme se vayan construyendo y se implemente el prototipo, probando en el laboratorio los circuitos y evaluando su respuesta bajo condiciones más severas a la de operación. Bajo estos procedimientos se establecerán los parámetros máximos y mínimos de diseño permisibles en los circuitos.

Una vez finalizado el prototipo se someterá a pruebas, ya no sólo de laboratorio; si no que se instalará en estaciones de campo y se someterá a disparos en tiempos predeterminados durante el día, estas pruebas se realizarán continuamente al menos durante dos meses. Con este procedimiento se evaluará:

- a) que la estación se active no importando la hora del día y las condiciones atmosféricas
- b) el funcionamiento correcto del conmutador de las señales de tiempo y sincronía
- c) la recepción y grabación correcta del código de sincronía
- d) el funcionamiento del acelerógrafo al utilizarse, periódicamente y someterse a redisparos continuos mayores de 10 minutos
- e) la recepción de la señal para determinar con exactitud el tipo de antena que se debe utilizar en cada estación
- f) la eficiencia del sistema de suministro de energía solar al desconectar durante varios días la recarga de la celda solar

Los registros obtenidos de las pruebas anteriores, permitirán evaluar el SISI. Una vez implantado el sistema se adoptará como norma, realizar disparos de prueba cada 15 días para verificar el buen funcionamiento de las estaciones. Se adoptó este período ya que el mantenimiento preventivo de la red de acelerógrafos se realiza bimestralmente y se tendría cuatro eventos que permitirían evaluar las condiciones de operación.

C A P I T U L O I I I

DISEÑO DE LA ESTACION TRANSMISORA DE CONTROL

En el presente capitulo, se describen y analizan los circuitos electrónicos que constituyen la Estación Transmisora de Control.

Dentro del Sistema de Sincronización (SISI), la Estación Transmisora de Control (ETC) es la encargada de; generar y difundir la señal de disparo y el código de sincronía, hacia los aparatos que conforman la Red del Valle de México, una vez que se recibe una señal externa indicando la presencia de un sismo.

La ETC (ver figuras 12 y 13), cuenta básicamente con los siguientes elementos para el desarrollo de sus funciones:

- a) Generador de Código Identificador de Sincronía.
- b) Modulador Optico
- c) Demodulador Optico
- d) Modulador de FSK
- e) Sumador
- f) Controlador de Encendido del equipo transmisor.

3.1 Generador de Código Identificador de Sincronía

Los acelerógrafos que forman la red, se activan cuando detectan un cierto nivel de aceleración del terreno donde se encuentran alojados; pero también, estan diseñados para dispararse mediante una señal externa. Gracias a ésta característica es posible poner en funcionamiento al unisono al conjunto de aparatos mediante la llegada de una señal por radio.

La Sincronización de los acelerógrafos tendrá sentido sólo si logramos que todos a la vez entren en funcionamiento, antes de que las primeras ondas de un sismo lleguen a cualquiera de los aparatos instalados, para ello; la ETC cuenta con un Generador de Código Identificador de Sincronía, que es el encargado de cumplir con las siguientes premisas:

- a) Monitorear una señal externa que indica la presencia o posible ocurrencia de un sismo.
- b) Generar la señal de disparo y el Código de Sincronía.

Esta tarea fácilmente se logrará si para ello utilizamos una computadora tipo PC, que tenga como entrada la información de un elemento externo, ya sea un acelerógrafo calibrado a su máxima sensibilidad o una señal externa que avise la ocurrencia de un sismo, para inmediatamente generar las señales del sistema de sincronía.

El arribo de ondas sísmicas a la Ciudad de México, regularmente provienen de la zona Sur-Oeste, por lo que si se desea detectar con anterioridad la presencia de un sismo, la ETC deberá ubicarse lo más próximo posible a esta zona ó hacer uso de la señal de la Alerta Sísmica, la cual advierte con 60 segundos de anticipación el arribo de ondas sísmicas a esta ciudad.

En la figura 17, se muestra el algoritmo utilizado para generar las señales del SISI.

Por las características aleatorias de la ocurrencia de un movimiento telúrico, la computadora debe operar ininterrumpidamente, así, el algoritmo propuesto tiene que:

1. Monitorear continuamente la información presente en el puerto de entrada.

DIAGRAMA DE FLUJO
PARA LA GENERACION
DEL CODIGO DE SINCRONIA

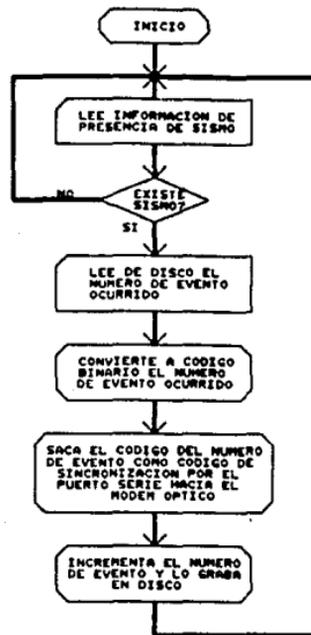


FIGURA 17. Diagrama de Flujo para la Generación del Código de Sincronía.

2. Preguntar por la existencia de un sismo, en caso negativo atender de nuevo al puerto de entrada; de ser afirmativo, leer información del disco para asignar el número de evento.
3. Convertir al sistema binario, el número de evento asignado.
4. Asignar un vector de direccionamiento del mapa de memoria para generar el código de sincronización.

El código generado presente en la salida, se forma con la siguiente secuencia de pulsos de duración conocida:

- a. Un primer pulso de 50 ms para activar el sistema de transmisión.
- b. Un retardo de 200 ms, a fin de estabilizar el enlace Transmisor-Receptor.
- c. Un pulso de 750 ms de duración, que sirve como disparo de los equipos ya que con este tiempo se logra levantar la señal del detector de control en la ERC.
- d. 500 ms después se transmite el código de sincronía.
- e. Generación del código de sincronía, constituido por una secuencia de 8 bits codificados representativos del código binario obtenido en el punto 3; un "uno" lógico se codifica como un ciclo completo de señal cuadrada, con ciclo de trabajo del 75 %, y un "cero" lógico tiene un ciclo de trabajo del 25 %, el período de estas señales es de 0.5 segundos (2 bits/segundo).

5. Finalmente se envía un pulso de 500 ms para indicar el fin de la información.

La secuencia de información transmitida puede verse en la figura 16, en la que se detalla el código de sincronía y los tiempos de transmisión. Obsérvese que la transmisión del código de sincronía involucra períodos de 0.5 segundos con ciclos de trabajo especiales, lo cual resultaría problemático si se considerara transmitir por el puerto serie directamente.

El programa para llevar al cabo las funciones antes mencionadas, se programó en un lenguaje de alto nivel (lenguaje C), una parte del listado referente a la transmisión del código forma parte de los anexos.

Una de las posibilidades que ofrecen las computadoras tipo PC/XT, es utilizarlas en trabajos especializados y/o en sistemas dedicados en tiempo real. Para tal fin, cuentan con algunos conectores o ranuras de expansión en los que se insertan tarjetas adicionales, las más comunes son para: expandir la memoria RAM, crear un ambiente multiusuario por medio de otro(s) microprocesadores, ampliar el número de puertos paralelo o serie para comunicaciones, etc.

3.1.1 Tarjeta de Expansión, para salida por direccionamiento de memoria.

Se estaría sub-utilizando la capacidad de una computadora si se destinara por completo a la sencilla labor de ejecución del programa elaborado, por tanto el uso de una tarjeta de expansión viene a dar solución a nuestro problema y permitir el funcionamiento normal de la máquina.

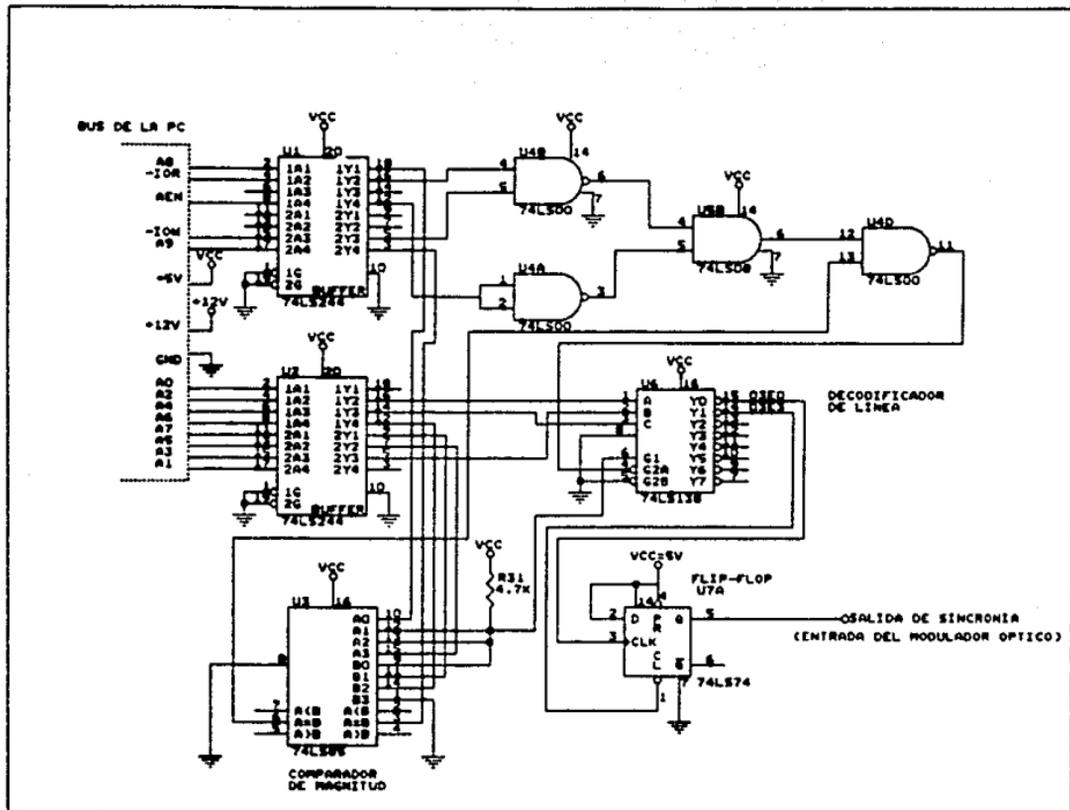


FIGURA 18. Diagrama Eléctrico de la Tarjeta
Decodificadora de Direcciones del Mapa de Memoria de la PC.

Una de las tareas más importantes a resolver, es la decodificación y localización de direcciones dentro del mapa de memoria de la computadora. Para simplificar el problema de la decodificación de direcciones, se adquirió una tarjeta multiuso (Hobby Board), diseñada por JDR MicroDevices, para operar en una computadora PC/XT. El diagrama de la figura 18, representa el circuito electrónico, y en el anexo correspondiente se explica la teoría de funcionamiento de la tarjeta.

Esta tarjeta puede decodificar 32 direcciones para usarse en puertos de entrada/salida. Su localización base dentro del mapa de memoria puede variarse desde la dirección 200h (h notación hexadecimal), hasta la 3E0h.

La computadora donde se monta ésta tarjeta es una PC Olivetti M24 (Olivetti, 1988) (ver figuras 19 y 20), cuyo mapa de memoria y de puertos se observa en la figura 21.



FIGURA 19. Tarjeta para expansión de puerto serie.

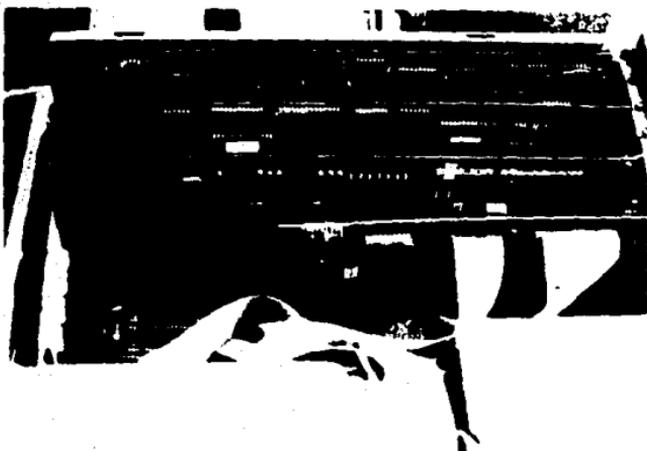


FIGURA 20. Instalación de la tarjeta dentro de la PC.

La dirección base de operación de la tarjeta se tomó en la localidad 03E0h y el rango de direcciones a manejar cubren de 03E0h a 03EFh, debido a que las 16 direcciones restantes (03F0h a 03FFh) se encuentran ocupadas por el sistema de la PC. Aún así, con este rango se pueden direccionar 15 puertos de entrada y/o salida. Para simplificar la circuitería se utilizan las señales SELECT_0 y SELECT_1 de U6 (ver figura 18) para operar al Flíp-Flop tipo D (FF/D). Con ésta configuración se desperdician 6 direcciones para puertos, pero el sistema no utiliza más de dos, por lo que se justifica el modo de operación actual.

M E M O R I A

0000 - 000F	DMA CHIP (8237-5)
0020 - 0021	INTERRUPT CHIP (8259 A)
0040 - 0043	TIMER COUNTER CHIP (8253-5)
0060 - 0063	PPI CHIP (8255 A-5)
0064	TECLADO (8041 A)
0066 - 0067	CONFIGURACION SISTEMA
0070 - 007F	CHIP CLOCK / CALENDARIO
0080 - 0083	DMA PAGE REGISTERS (SN74SL670)
00A0	NMI MASK BIT
00F0 - 00FF	ID PROM / SISTEMA
00D0 - 01FF	SIN USO EN LA PLACA BASE

P U E R T O S

0200	SIN USO
0201	ADAPTADOR PARA CONTROL DE JUEGOS
0202 - 020F	SIN USO
0210 - 0217	MODULO DE EXPANFION DEL SISTFMA
0218 - 021F	SIN USO
0220 - 0223	GOBIERNO LCU (2478)
0224 - 0239	SIN USO
0240 - 0249	CLOCK TIEMPO REAL DE MAQUINA
0250 - 0277	SIN USO
027B - 027F	ADAPTADOR SEGUNDO PUERTO PARALELO
0280 - 028B	SIN USO
028C	GOBIERNO STC
028D - 02F7	SIN USO
02F8 - 02FF	ADAPTADOR SEGUNDO PUERTO SERIE
0300 - 030F	GOBIERNO LCU (2480)
0310 - 031F	SIN USO
0320 - 032F	GOBIERNO DRIVE PARA HARD DISK
0330 - 033F	SIN USO
0340 - 034F	GOBIERNO LCU (2474)
0350 - 035F	SIN USO
0360 - 0367	RIXON
0368 - 0377	SIN USO
0378 - 037F	ADAPTADOR IMPRESORA PARALELA
0380 - 038F	COMUNICACIONES SDLC
0390 - 03AF	SIN USO
03B0 - 03BF	ADAPTADOR DE DESPLIEGUE MONOCROMATICO
03C0 - 03CF	SIN USO
03D0 - 03DF	ADAPTADOR PARA GRAFICAS / COLOR
03E0 - 03EF	SIN USO
03F0 - 03F7	GOBIERNO DRIVE PARA 5.25"
03F8 - 03FF	ADAPTADOR PUERTO SERIE

FIGURA 21. Mapa de Memoria y Puertos de la PC.

El circuito U7 (ver figura 18) es un FF/D que en operación normal, presenta en su salida (Q) un estado lógico bajo, y al aplicarse un pulso en la entrada de su reloj, hace que su salida conmute a un estado lógico alto, que se mantiene de esta manera hasta que por la terminal 1 (clear) recibe un cero lógico.

Con base en la figura 18 y al programa listado en los anexos, puede explicarse el funcionamiento del generador de código de sincronía.

Se tomó como base las direcciones 03E0h y 03E4h para definir los estados alto y bajo respectivamente de nuestro código. Por tanto, una vez que nuestro algoritmo haya convertido el número de evento al código binario, lo que restará es sólo direccionar el puerto correspondiente para de esta forma obtener a la salida del FF/D el código de sincronía.

Pongamos por ejemplo, que la computadora ha recibido la señal que le indica que está por arribar un sismo a la Ciudad de México, por tanto el proceso que deberá seguir es el siguiente:

- 1.- Cargar de disco el número de evento que le corresponde (supongase N=5).
- 2.- Convertir a binario el número de evento, esto es:

```
Cociente=5
For (i=1; i<9; i++)
(
    Residuo=(cociente%2);
    cociente=(cociente/2);
    Binario=Residuo;
)
```

De donde se genera la siguiente información para cada valor de i:

	-----valores de i-----							
	1	2	3	4	5	6	7	8
Residuo	1	0	1	0	0	0	0	0
Cociente	2	1	0	0	0	0	0	0
Binario	1	0	1	0	0	0	0	0
	-----LSB-----				-----MSB-----			

- 3.- Direccionar el puerto alto e inmediatamente después el puerto bajo, a fin de generar el pulso de arranque para activar el sistema radio transmisor (control de encendido del radio).
- 4.- Mantenerse en un ciclo de "No operación" durante 200 ms, para dar lugar a que se establezca el enlace TX/RX
- 5.- Direccionar el puerto alto durante 750 ms y al puerto bajo durante 500 ms para activación de los equipos en la ERC.
- 6.- Codificar cada bit, donde:

Período del UNO:
 ALTO=(PERIODO*.7)
 BAJO=(PERIODO*.3)
 ALTO%d,ALTO
 BAJO%d,BAJO

Período del CERO:
 ALTO=(PERIODO*.3)
 BAJO=(PERIODO*.7)
 ALTO%d,ALTO
 BAJO%d,BAJO

- 7.- Al codificar cada bit se direcciona el puerto correspondiente a cada estado, y posteriormente se mantiene en un ciclo de NO OPERACION igual al tiempo de cada estado.

```

OUTPORT(PTO ALTO,00);          OUTPORT(PTOBAJO,00);
FOR (J=1; J;=ALTO; J++){      FOR (J=1; j;=BAJO; J++){

```

El proceso de direccionamiento de la tarjeta se lleva a cabo de acuerdo a la siguiente TABLA DE VERDAD, cuyos estados lógicos pueden ser corroborados de acuerdo a las tablas lógicas de cada circuito integrado (ver anexos) y con ayuda de la figura 18.

DIRECCION	B	I	N	A	R	I	OB	U	S....			
Hex. Dec.	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	-IOR	-IOW	AEN
03E0 992	1	1	1	1	1	0	0	0	0	0	1	0	0
03E4 996	1	1	1	1	1	0	0	1	0	0	1	0	0

.....U 1.....				U2.....				U3.....					
1Y1	1Y2	1Y4	2Y3	2Y4	1Y2	1Y3	1Y4	2Y1	2Y2	2Y3	A3	A2	A1	A0	B3
1	1	0	0	1	0	0	1	1	1	0	1	1	1	1	0
1	1	0	0	1	1	0	1	1	1	0	1	1	1	1	0

.....U3.....				U4.....					.U5.			
B2	B1	B0	A=B _{in}	A=B _{Out}	1	2	3	4	5	6	4	5	6
1	1	1	1	1	0	0	1	1	0	1	1	1	0
1	1	1	1	1	0	0	1	1	0	1	1	1	0

....U4...		U6.....							..U7..	
12	13	11	C	B	A	G1	G2A	G2B	Y0	Y1	Q
0	1	1	0	0	0	1	0	0	0	1	1
0	1	1	0	0	1	1	0	0	1	0	0

8.- Se repite el proceso desde el punto 6 hasta dar fin al código.

- 9.- Direccionar el puerto alto durante 500 ms y al puerto bajo para indicar el final del código de sincronía.
- 10.- Incrementar el valor del número de evento y grabarlo en disco.
- 11.- Revisar la información que se presenta en el puerto de entrada, en espera del próximo evento.

La información que se obtenga, en forma de estados lógicos a la salida del FF/D (terminal 5), deberá alimentar a los moduladores ópticos que a continuación se describen.

3.3 Transmisor / Receptor óptico (Modulador-/Desmodulador).

La figura 22, muestra el diagrama eléctrico que se utiliza para acoplar por medio de fibra óptica la señal de salida del Generador del Código de Sincronía con la entrada de los Moduladores de FSK.

Las ventajas que se obtienen al utilizar fibra óptica sobre los sistemas convencionales, en los que se emplean enlaces por cable (cobre), son enormes (AMPHENOL PRODUCTS, 1980), algunas de ellas son:

- [] Un mayor ancho de banda.
- [] Las señales de luz transmitidas no son distorsionadas por ningún medio externo ya sea eléctrico, magnético ó interferencia de radio-frecuencia.
- [] Inmunidad total a interferencia por alto voltaje, descargas eléctricas ó cualquier fenómeno natural.
- [] Desacoplamiento galvánico total.
- [] Diámetro mucho menor a cualquier cable coaxial.
- [] Peso significativamente menor.
- [] La materia prima para la fabricación de fibra es una de las más comunes en todo el mundo (cuarzo).

- [] Operación segura en un rango muy amplio de temperaturas.
- [] Mantenimiento y costo relativamente baratos.

El circuito de la figura 22, consta básicamente de un módulo transmisor; éste se encarga de convertir las señales eléctricas de entrada en pulsos de luz para ser transmitidos a través de una fibra; y de un módulo receptor encargado de convertir los pulsos ópticos de la fibra a señales eléctricas.

Una ventaja extra aunada a las descritas anteriormente es que en nuestro sistema la velocidad de transmisión es extremadamente baja, lo que trae como consecuencia un ahorro considerable en el costo de los componentes.

3.2.1 Módulo Transmisor.

Este módulo convierte los pulsos eléctricos en señales de luz, esta tarea es fácilmente llevada al cabo con un diodo emisor de luz, que cuenta con un acoplamiento mecánico especialmente diseñado para adaptarse con un conector tipo SMA para fibra óptica, que permite dirigir el haz de luz exactamente a través de la fibra.

La conversión de pulsos eléctricos a señales de luz se logra conmutando un Transistor Darlington NPN, de la región de corte a la de saturación, al acoplar los pulsos eléctricos del Generador de Código de Sincronía en su base. El utilizar un transistor tipo darlington hace posible llevar al mismo a saturación con un mínimo de corriente aplicada a la base. Para ello debemos utilizar dos resistencias una de base y otra conectada en serie con el diodo emisor de luz al colector del transistor, la primera de ellas sirve para polarizar la base y permitir que el transistor entre a la región de saturación ó de corte, con la presencia de voltaje o la ausencia de éste respectivamente; y la segunda para limitar la corriente de operación del diodo emisor y del transistor, (ver figura 22).

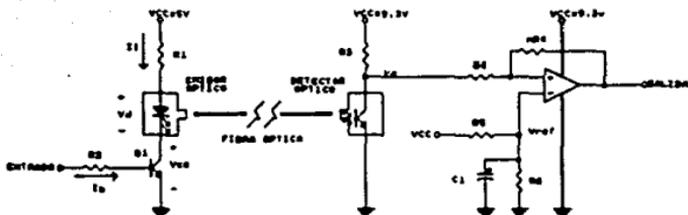


FIGURA 22. Diagrama Eléctrico del Modulador/Demodulador Optico.

Cálculo de los componentes

Características del diodo emisor de luz.

$$I_{Lmax} = 50 \text{ mA}$$

$$V_d = 2.4 \text{ V}$$

Características del transistor.

$$\beta = 1000$$

$$I_C = 1 \text{ A}$$

$$V_{CE} = 0.4 \text{ V}$$

$$V_{CC} = 5 \text{ V}$$

Con base en la figura 22:

$$R_1 = \frac{V_{CC} - V_d - V_{ce}}{I_L} = \frac{5 - 2.4 - 0.4}{50 \times 10^{-3}}$$

$$R_1 = 44 \Omega$$

$$= 47 \Omega \text{ valor comercial.}$$

Potencia de R_1 :

$$P_{R1} = I_L^2 R_1 = (50 \times 10^{-3})^2 \cdot 47$$

$$= 0.1175 \text{ W}$$

$$= 1/4 \text{ W}$$

De la misma manera para R_2 :

$$5 - I_B R_2 - 0.7 = 0$$

$$I_B = I_L / \beta = 50 \mu\text{A}$$

$$5 - 0.7$$

$$R_2 = \frac{\quad}{50 \mu\text{A}} = 86 \text{ K}\Omega$$

$$= 100 \text{ K}\Omega \text{ valor comercial}$$

Potencia de R_2 :

$$P_{R2} = I_L^2 R_2$$

$$= (50 \times 10^{-6})^2 \cdot 100 \times 10^3$$

$$= 0.00025 \text{ W}$$

$$= 1/4 \text{ W}$$

3.2.2 Módulo Receptor.

La detección de la emisión de luz se realiza por medio de un detector óptico, que básicamente consta de un foto-transistor, el cual cambia de nivel de voltaje en su colector al aplicarse una señal de luz en su base; posteriormente la señal eléctrica generada es comparada y amplificada por medio de un Amplificador Operacional configurado como comparador de voltaje con histéresis, evitando que se generen pulsos erróneos a la salida por efectos de ruido eléctrico.

El comparador presenta a la salida un nivel de voltaje aproximadamente igual a V_{CC} (voltaje de polarización) cuando el voltaje de la entrada no inversora es mayor al voltaje de referencia de la entrada inversora; y se tiene una conmutación en la salida a 0 Volts (tierra), al presentarse un voltaje menor en la entrada no inversora con respecto a la entrada inversora.

Cálculo de componentes

En base a la figura 22:

Características del Foto-detector

$$V_{A1} = 2.4 \text{ V} \quad \text{sin luz}$$

$$V_{A2} = 1.8 \text{ V} \quad \text{con luz}$$

$$I_D = 2 \text{ mA}$$

Cálculos del comparador:

$$V_{UH} = 2.2 \text{ V}$$

$$V_{UL} = 2.1 \text{ V}$$

$$V_{ctr} = \frac{V_{UH} + V_{UL}}{2} = \frac{2.2 + 2.1}{2} = 2.15 \text{ V}$$

$$V_H = V_{UH} - V_{UL} = 0.1 \text{ V}$$

$$n = \frac{+V_{sat} - (-V_{sat})}{V_H} = \frac{8.8 - 0.5}{0.1} = 83$$

$$V_{\text{ref}} = \frac{V_{\text{ctr}}}{1 + 1/n} = \frac{2.15}{1 + 1/83} = 2.12 \text{ V}$$

Si hacemos $R = 39 \text{ k}\Omega$ ---> $nR = 39 \text{ k}\Omega * 83 \approx 3.3 \text{ M}\Omega$

$$V_{\text{ref}} = \frac{V^+ * R_2}{R_1 * R_2}$$

$$R_1 = \frac{V^+ * R_2}{V_{\text{ref}}} - R_2$$

Si hacemos $R_2 = 100 \text{ k}\Omega$

$$R_1 = \frac{9.0(100 \text{ k}\Omega)}{2.12} - 100 \text{ k}\Omega$$

$$R_1 = 324 \text{ k}\Omega$$

$\approx 330 \text{ k}\Omega$ valor comercial

En base a las características del detector óptico y a la figura 22, se calcula el valor de R_3 :

$$V_{\text{CC}} - R_3 * I_D - V_{A1} = 0$$

$$R_3 = \frac{9.0 - 2.4}{2 \times 10^{-3}} = 3300 \Omega$$

$\approx 3.3 \text{ k}\Omega$ valor comercial

Finalmente resta decir, que los estados lógicos generados por el comparador, serán conectados directamente a la entrada de los moduladores de FSK que a continuación se explican.

3.3 Moduladores de FSK.

La información que se desea transmitir a las Estaciones Receptoras de Control (ERC) esta representada por estados lógicos (1's y 0's), es decir, por un tren de pulsos; sin embargo, esta forma de onda no es adecuada para transmitirse porque contiene armónicos que caen en la banda de paso de otros canales, produciendo interferencia, por lo que es necesario generar una onda senoidal a partir de la salida del modulador óptico.

Por tal motivo, y con base en lo que se mencionó en el capítulo anterior, se decidió utilizar de los tres tipos más comunes de modulación digital; ASK, FSK y PSK, la Modulación por Corrimiento de Frecuencia (FSK) (ver figura 23) dado que para nuestro sistema ofrece las mejores ventajas.

Básicamente como se puede apreciar en la siguiente figura, la manipulación por corrimiento de frecuencia, consiste en asignar una onda senoidal de frecuencia conocida, a cada uno de los estados lógicos (1 y 0), es decir para cada estado lógico se transmite su correspondiente senoide a una frecuencia preestablecida.

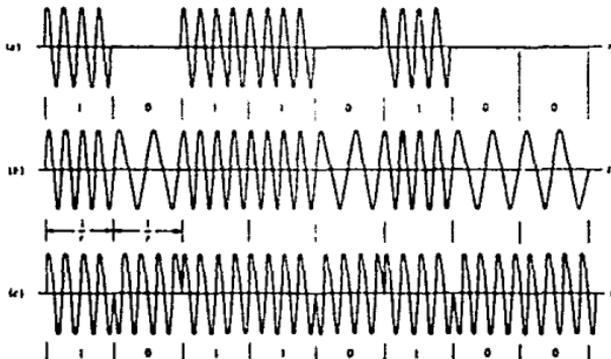


FIGURA 23. Formas de onda de modulación digital para el mensaje binario 10110100 (a) manipulación por corrimiento de amplitud; (b) manipulación por corrimiento de frecuencia; (c) manipulación por corrimiento de fase (A. BRUCE CARLSON, 1975).

La frecuencia de la senoide, que se genera queda establecida por las normas o estandares internacionales (que se refieren en la figura 15); de donde por características de nuestro diseño le corresponde la norma Bell 103 para 300 bps en full-duplex, tomando como base que esta norma dice: "para full-duplex la información puede convivir en un mismo canal sin interferencia", enviaremos la misma información en un sentido en las dos bandas que marca la norma, es decir, haremos uso de cuatro frecuencias, dos en la banda baja (1070 y 1270 Hz) y dos en banda alta (2025 y 2225 Hz).

El circuito integrado seleccionado para la transmisión de datos es el XR-2206, ya que es ideal para aplicaciones de modulación en FSK, por que proporciona una onda senoidal de muy buena calidad; siendo compatible con los circuito TTL y CMOS, además cuenta con una excelente estabilidad de frecuencia y con un nivel de 3 Vpp en la señal de salida, pudiendo ajustarse la distorsión armónica al 0.5% (EXAR DATABOOK, 1987). En la figura 24, se muestra en un diagrama de bloques la configuración interna de este circuito.

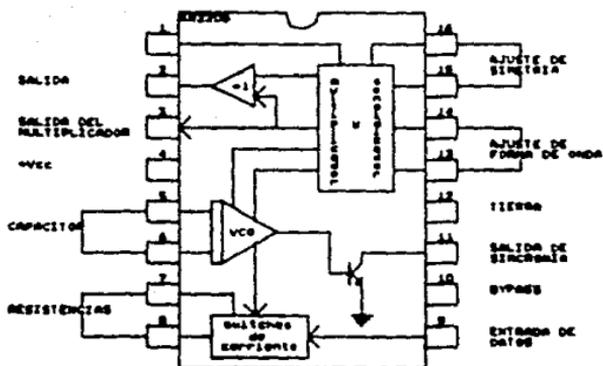


FIGURA 24. Diagrama de bloques del circuito integrado XR-2206

Como se observa, cuenta básicamente con un VCO (Oscilador Controlado por Voltaje), un multiplicador analógico y senoidizador, un amplificador de ganancia unitaria y un switch de corriente seleccionable.

El VCO produce una salida de frecuencia proporcional a la corriente de entrada, ésta es proporcionada por las resistencias conectadas a las terminales 7 y 8, la selección de cual de ellas debe operar, esta dada por el nivel de señal en la entrada de datos digitales (terminal 9), por lo que se pueden generar dos señales con frecuencias independientes.

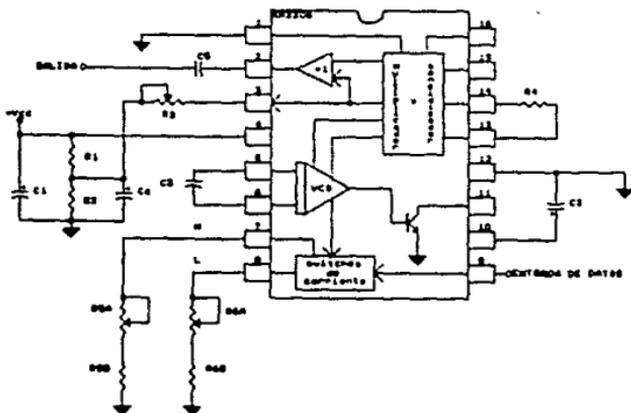


FIGURA 25. Circuito integrado con los componentes externos necesarios para utilizarse como generador de FSK.

El XR-2206 puede ser operado por dos resistencias separadas (R1 y R2), conectadas a las terminales 7 y 8 respectivamente, (como se muestra en la figura 25), dependiendo del estado lógico que se presente en la terminal 9, una de estas dos resistencias se activa. Si la terminal 9 se deja en circuito abierto o se conecta a un voltaje ≥ 2 V, se activa la resistencia R1, y si el voltaje aplicado a esta terminal es ≤ 1 se activa la resistencia R2, así, la frecuencia a la salida puede ser conmutada entre dos valores, f_1 y f_2 , donde:

$$f_1 = 1 / R1C$$

$$f_2 = 1 / R2C$$

$$R1 = R5A + R5B$$

$$R2 = R6A + R6B.$$

El nivel de DC que se obtiene en la salida (terminal 2), es aproximadamente, el mismo voltaje de directa aplicado a la terminal 3. Por ello esta terminal se conecta a un divisor de voltaje formado por dos resistencias para obtener un voltaje de directa igual a $V+/2$.

Frecuencia de Operación:

La frecuencia de oscilación (f_0), puede ser ajustada variando cualquiera de los dos componentes (R ó C). Los valores recomendados para R, para un rango de frecuencia dada, se muestran en la siguiente figura:

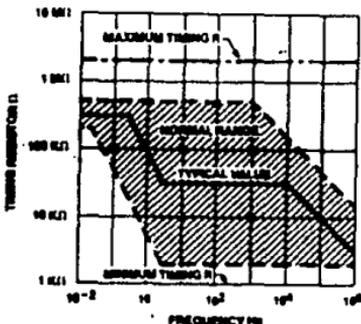


FIGURA 26. Valores de R contra Frecuencia de Oscilación

La estabilidad a la temperatura, se hace óptima para valores de $4 \text{ K}\Omega < R < 200 \text{ K}\Omega$ y los valores que se recomiendan para C son de 1000 pF a $100\mu\text{F}$.

La amplitud máxima de la salida es inversamente proporcional a la resistencia R_3 , conectada a la terminal 3; donde para la generación de una onda senoidal, la amplitud máxima es aproximadamente de $60 \mu\text{V}$ pico / $\text{K}\Omega$ de R_3 ; así, para $R_3 = 50 \text{ K}\Omega$ se deberá obtener aproximadamente $\pm 3\text{V}$ de onda senoidal.

De acuerdo a la figura 25, procederemos a calcular los valores correspondientes de los elementos que determinan la frecuencia de oscilación que nos interesa.

Como ya se había mencionado anteriormente seleccionaremos la norma Bell 103 para comunicaciones en full-duplex, para lo cual tendremos los siguientes dos pares de frecuencias.

Velocidad de Transmisión bps	f_L espacio	f_H marca
300	$f_1 = 1070$ Hz	$f_2 = 1270$ Hz
300	$f_3 = 2025$ Hz	$f_4 = 2225$ Hz

Las cuales cumplen con las siguientes premisas que el fabricante establece:

- [] La frecuencia baja debe ser por lo menos el 55% de la frecuencia alta (una relación menor del 2:1)
- [] La marca y espacio deberán ser ambas mayores a la velocidad de transmisión (baud rate), a fin de evitar oscilaciones.
- [] La diferencia en la frecuencia de marca y espacio entre la velocidad de transmisión deberá ser cerca del 67%.

A continuación se procederá a calcular los elementos externos al circuito XR-2206:

Principiaremos por obtener los valores de los elementos que determinan la frecuencia de oscilación:

$$f_1 = 1 / R_6 C_3$$

$$\text{si } C_3 = 0.039 \mu\text{F}$$

$$1070 = 1 / R_6 \cdot 0.039 \times 10^{-6}$$

$$R_6 = 1 / (1070 \cdot 0.039 \times 10^{-6})$$

$$R_6 = 24 \text{ K}\Omega$$

Por lo tanto si hacemos $R_6 = 20 \text{ K}\Omega$ y utilizamos una resistencia variable $R_A = 10 \text{ K}\Omega$, lograremos ajustar el valor de la resistencia calculada y calibrar la frecuencia de oscilación.

$$f_2 = 1 / R5_B C3$$

$$\text{si } C3 = 0.039 \mu\text{F}$$

$$1270 = 1 / R5_B 0.039 \times 10^{-6}$$

$$R5_B = 1 / (1270 * 0.039 \times 10^{-6})$$

$$R5_B = 20 \text{ K}\Omega$$

Por lo tanto si hacemos $R5_B = 18 \text{ K}\Omega$ y utilizamos una resistencia variable $R5_A = 10 \text{ K}\Omega$, lograremos ajustar el valor de la resistencia calculada y calibrar la frecuencia de oscilación.

De igual forma para el siguiente par de frecuencias:

$$f_3 = 1 / R6_B C3$$

$$\text{si } C3 = 0.022 \mu\text{F}$$

$$2025 = 1 / R6_B 0.022 \times 10^{-6}$$

$$R6_B = 1 / (2025 * 0.022 \times 10^{-6})$$

$$R6_B = 22 \text{ K}\Omega$$

Por lo tanto si hacemos $R6_B = 18 \text{ K}\Omega$ y utilizamos una resistencia variable $R6_A = 10 \text{ K}\Omega$, lograremos ajustar el valor de la resistencia calculada y calibrar la frecuencia de oscilación.

$$f_4 = 1 / R5_B C3$$

$$\text{si } C3 = 0.022 \mu\text{F}$$

$$2225 = 1 / R5_B 0.022 \times 10^{-6}$$

$$R5_B = 1 / (2225 * 0.022 \times 10^{-6})$$

$$R5_B = 20 \text{ K}\Omega$$

Por lo tanto si hacemos $R5_B = 15 \text{ K}\Omega$ y utilizamos una resistencia variable $R5_A = 10 \text{ K}\Omega$, lograremos ajustar el valor de la resistencia calculada y calibrar la frecuencia de oscilación.

Los valores para $R1$ y $R2$ quedan dados automáticamente si se desea que la señal de salida tenga un valor de voltaje de directa igual al 50% del valor del voltaje de polarización, por lo tanto:

$R1 = R2 = 5.1 \text{ K}\Omega$ (recomendados por el fabricante)

El valor de la amplitud de la señal, es fácilmente ajustado por la resistencia $R3$, donde además debe cumplir con la siguiente característica:

$$R3 > R1 \text{ y } R2$$

por lo tanto $R3 = 10\text{K}\Omega$

Para el ajuste de distorsión de la señal de salida, el fabricante recomienda el valor de 220Ω para $R4$.

Los capacitores: $C1 = 1\mu\text{F}$, $C2 = 1 \mu\text{F}$, $C4 = 10 \mu\text{F}$ y $C5 = 0.1\mu\text{F}$, son datos del fabricante (ver hojas de especificaciones en los anexos correspondientes).

$C1$ sirve para filtrar el voltaje de polarización del C.I., $C4$ mantiene estable el voltaje en el divisor y finalmente $C5$ filtra la componente de DC en la salida de señal de los moduladores.

3.4 Sumador

La finalidad de este circuito es la de mezclar las señales generadas en la salida de los moduladores de FSK y acoplarlas como una señal multiplexada a la entrada de audio del radio Tx; la cual será transmitida hacia la ERC.

Se aprovechan las características del amplificador operacional para implementar el circuito sumador, mostrado en la siguiente figura:

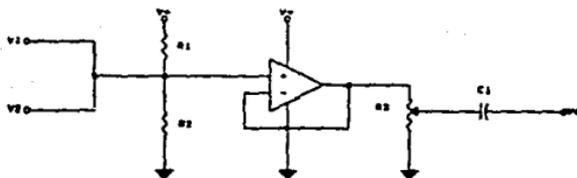


FIGURA 27. Circuito sumador.

Las resistencias R1 y R2 forman un divisor de voltaje, que tiene como finalidad, la de montar las señales de entrada en una componente de D.C., para poder utilizar al amplificador operacional alimentado con una sola fuente, y evitar que las recorte. Por otro lado, la resistencia R3 y el capacitor C1, forman un filtro paso altas, que sirve como acoplo entre el sumador y el transmisor.

La ganancia de este circuito es unitaria, por lo que en su salida tendremos la suma de las señales de entrada. Es importante hacer notar que para un correcto funcionamiento del amplificador, el voltaje del divisor este centrado con respecto al voltaje de alimentación; por lo tanto:

$$R1 = R2$$

para un buen acoplamiento entre las señales de los moduladores y la entrada del amplificador, es necesario que el valor de R1 y R2 sea proporcional a la impedancia de entrada del operacional. El valor asignado a estos componente será de 100 K Ω .

Para ajustar el nivel de entrada al transmisor se utiliza el potenciómetro R3 de 10 K Ω en la salida del amplificador operacional.

Este consta básicamente de un circuito monoestable (CD4538) (CMOS LOGIC, NATIONAL, 1987) encargado de operar la etapa de potencia, la cual esta formada por dos transistores que manejan la operación de un relevador, que a su vez conmuta la línea de alimentación para el equipo de transmisión.

La constante de tiempo de este circuito, queda establecida por $T = RC$; donde $T = 10$ segundos (asegurando que el código será transmitido totalmente), y haciendo $C = 1\mu F$ (no electrolítico), resulta el valor de R :

$$R = T/C = 10 \text{ M}\Omega$$

Normalmente la salida en el demodulador óptico, esta en estado alto; por tanto, debemos invertir esta señal para que pueda ser utilizada como señal de disparo para el circuito monoestable; esto se logra por medio de un transistor, operando en la región de corte o saturación, siguiendo la salida del demodulador óptico.

El relevador opera durante el tiempo en el que el circuito monoestable se encuentra en estado alto, polarizandose de esta manera el equipo de transmisión.

Analicemos el inversor de la figura anterior, el cual fué implementado en base a un transistor:

Datos:

Q1 : BC547C NPN

$\beta_{\min} = 100$

$I_c = 1\text{mA}$ (propuesta)

El voltaje V_i solo puede tomar dos valores, por la condición del circuito que le antecede (ver detector óptico), siendo estos valores 9.0V y 0V aproximadamente (para saturación y corte respectivamente).

Si $V_i = 9.0$ V, el transistor trabaja en la región de saturación; para ello $V_{BEsat} = 0.7$ V, $V_{CEsat} = 0.4$ V, por lo tanto si analizamos la primera malla:

$$9.0 - R_2 * I_c - V_{CE} = 0$$

de donde:

$$\begin{aligned} R_2 &= (9.0 - V_{CE}) / I_c = (9.0 - 0.4) / 1 * 10^{-3} \\ &= 8.6 \text{ K}\Omega \approx 10 \text{ K}\Omega \end{aligned}$$

De la misma manera, para R_1 (R_B):

$$V_i - R_B * I_B - V_{BE} = 0$$

de donde:

$$\begin{aligned} I_B &= I_c / \beta = 1 * 10^{-3} / 100 = 0.01 \text{ mA} \\ R_B &= (V_i - V_{BE}) / I_B = (9.0 - 0.7) / 0.01 * 10^{-3} = 830 \text{ K}\Omega \end{aligned}$$

Si $V_i = 0$, el transistor trabaja en la región de corte.

Analicemos la parte de potencia, la cual también se muestra en la figura 28.

Datos:

$$\begin{aligned}I_{ct} &= 100 \text{ mA} && \text{(corriente en la bobina del relevador)} \\ \beta_{Q3} &= 50 \\ \beta_{Q2} &= 1000 \\ V_{\text{relevador}} &= 6 \text{ V} \\ V_{EBQ3sat} &= 0.7 \text{ V} \\ V_{CEQ2sat} &= 0.4 \text{ V} \\ V_{BEQ2sat} &= 1.4 \text{ V}\end{aligned}$$

cálculo de R6:

considerando que Q3 y Q2 estan en saturación y de la malla dada por:

$$12 - I_{ct} * R6 - 6 - V_{EBQ3sat} - V_{CEQ2sat} = 0$$

se despeja el valor de R6:

$$\begin{aligned}R6 &= (12 - 6 - V_{EBQ3sat} - V_{CEQ2sat}) / I_{ct} \\ &= (12 - 6 - 0.7 - 0.4) / 100 * 10^{-3} = 49 \Omega \approx 47 \Omega\end{aligned}$$

con potencia de:

$$P_{R6} = I^2 * R6 = (100 * 10^{-3})^2 (47) = 0.47 \approx 0.5 \text{ W}$$

Continuando con el analisis de la figura 28:

si $I_{c2} \approx 1 \text{ mA}$

Por lo tanto:

$$R5 = 0.7 / 1 * 10^{-3} = 700 \Omega \approx 680 \Omega$$

La resistencia R5, ayuda a disparar el transistor Q6 al momento de que este trata de ir a la región de saturación, inyectandole corriente a su base.

ahora bien:

$$I_{c1} = I_{ct} / \beta_{Q3} = 100 \cdot 10^{-3} / 50 = 2 \text{ mA}$$

por lo tanto:

$$I_{b1} = I_{c1} / \beta_{Q2} = 2 \cdot 10^{-3} / 1000 = 2 \mu\text{A}$$

Para la condición en que la salida del circuito monoestable (Q) se encuentre en estado alto y considerando la siguiente malla, se calcula el valor de R4:

$$9 - R4 \cdot I_{b1} - V_{CEQ2sat} = 0$$

$$R4 = (9 - 1.4) / 2 \cdot 10^{-6} = 3.8 \text{ M}\Omega \approx 3.9 \text{ M}\Omega$$

3.6 Fuente Regulada.

Debido a que la frecuencia de oscilación del VCO en la etapa de modulación es sensible a los cambios de voltaje en la fuente de alimentación, se ve la necesidad de regular su voltaje, por lo cual se propuso el circuito basado en el integrado LM-723 (LINEAR DATABOOK, NATIONAL 1988), que se indica en la figura 29.

La variación máxima que se espera en la alimentación es de 12.5 a 14 volts, teniendo como valor nominal 13 V.

La configuración utilizada que recomienda el fabricante para un regulador de voltaje positivo con una diferencia mínima entre la entrada y la salida de 3 V para una buena regulación. Se emplea un transistor NPN de paso como elemento externo que contribuye a elevar la potencia que es posible manejar comparada con la que puede entregar sólo el integrado.

La utilización del LM723 permite tener una alimentación con buena estabilidad a la temperatura, ya que internamente cuenta con un circuito para compensar las variaciones por temperatura.

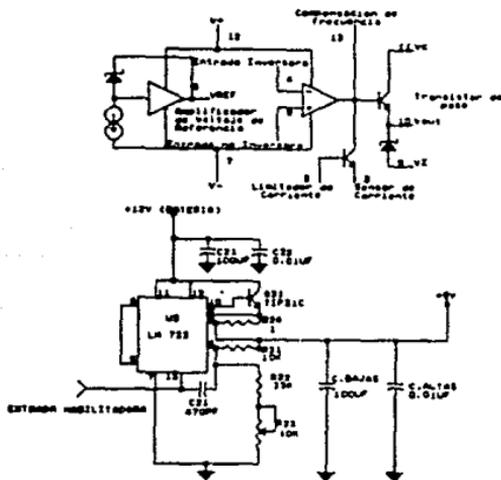


FIGURA 29. Diagrama a bloques y circuito generalizado de conexiones para la fuente regulada basada en el integrado LM 723.

Cálculo de valores para el regulador.

Por especificaciones del fabricante, el voltaje de salida está dado por la siguiente fórmula:

$$V_{out} = V_{ref} * (R1 + R2) / R2$$

donde Voltaje de referencia igual a 7.15 V.

para $V_{out} = 9V$ y dando un valor de $10K\Omega$ para R_1 , se tiene que:

$$R_2 = V_{ref} * R_1 / (V_{out} - V_{ref})$$

$$R_2 = 7.15 * 10 * 10^3 / (9 - 7.15)$$

$$R_2 \approx 38.65 K\Omega$$

para lograr el ajuste de R_2 , utilizamos una resistencia de $33K\Omega$ en serie con un potenciómetro de $10K\Omega$.

$$R_2 = 33 K\Omega + \text{Pot de } 10 K\Omega$$

el circuito final queda como se muestra en la figura 29.

3.7 Equipo Transmisor

El equipo para la transmisión por radio, esta formado por:

- a) Un radio transmisor en al banda de UHF.
- b) Un amplificador lineal.
- c) Un módulo generador de señales de sub-audio.
- d) Una antena omnidireccional.

Resta decir, que el módulo generador de sub-audio, permite privatizar la comunicación, es decir, está señal se envia junto con el mensaje de sincronía para permitir la activación de la ERC cuando se detecte este tono.

Finalmente en las figuras 30a y 30b, se detalla el diagrama eléctrico de la ETC, anotándose los valores de los componetes que la conforman. La información detallada de los C.I. y del equipo mencionado en éste capítulo se encuentra contenida en los anexos correspondientes.

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

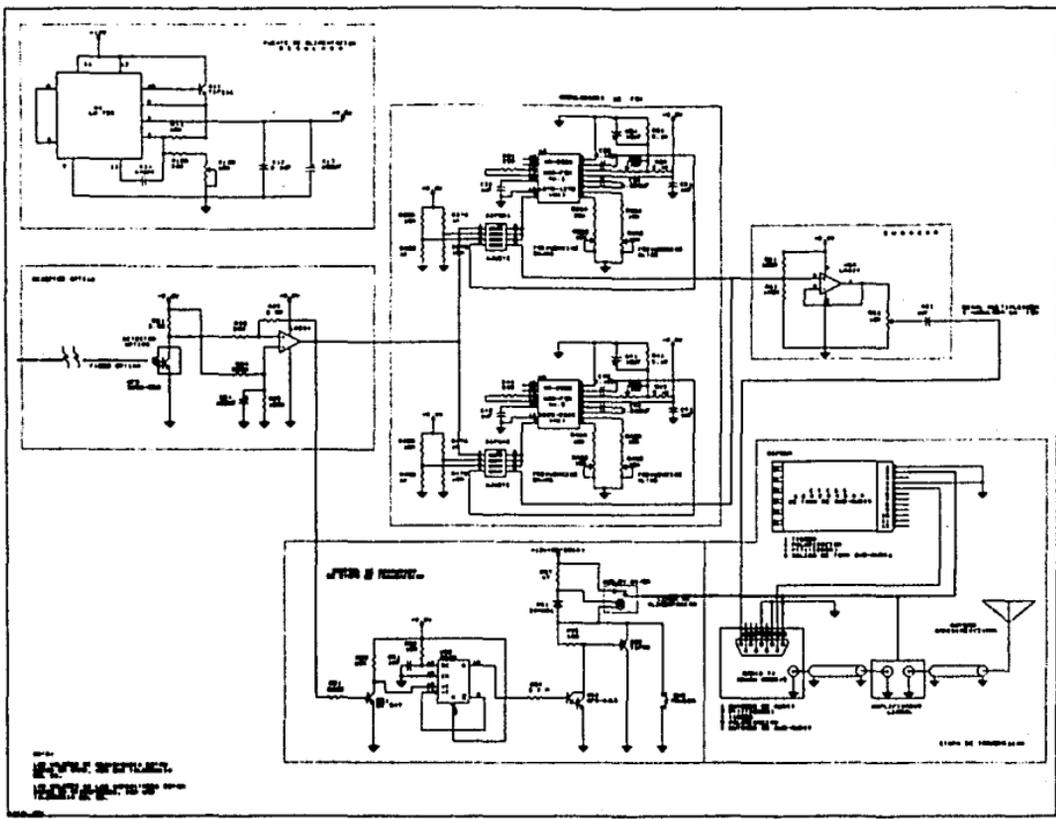


FIGURA 30a. Diagrama General de ETC parte Analógica.

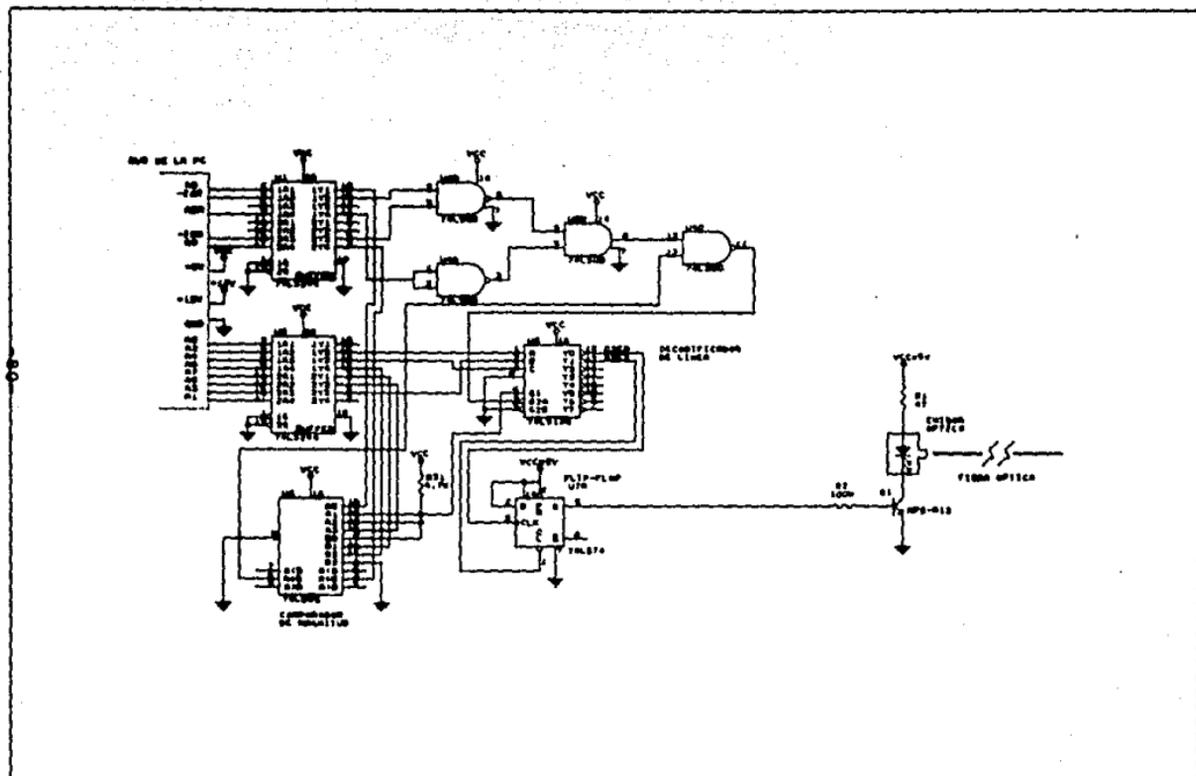


FIGURA 30b. Diagrama General de la ETC parte Digital.

C A P I T U L O I V

DISEÑO DE LA ESTACION RECEPTORA DE CONTROL

El objetivo del presente capítulo es la descripción y el análisis de las partes y circuitos que componen una Estación Receptora de Control (ERC). Esta se presentará en forma de bloques para entrar posteriormente en el detalle de cada uno de los circuitos que integran los módulos.

La ERC mostrada en el diagrama a bloques de la figura 31 se compone de las siguientes partes:

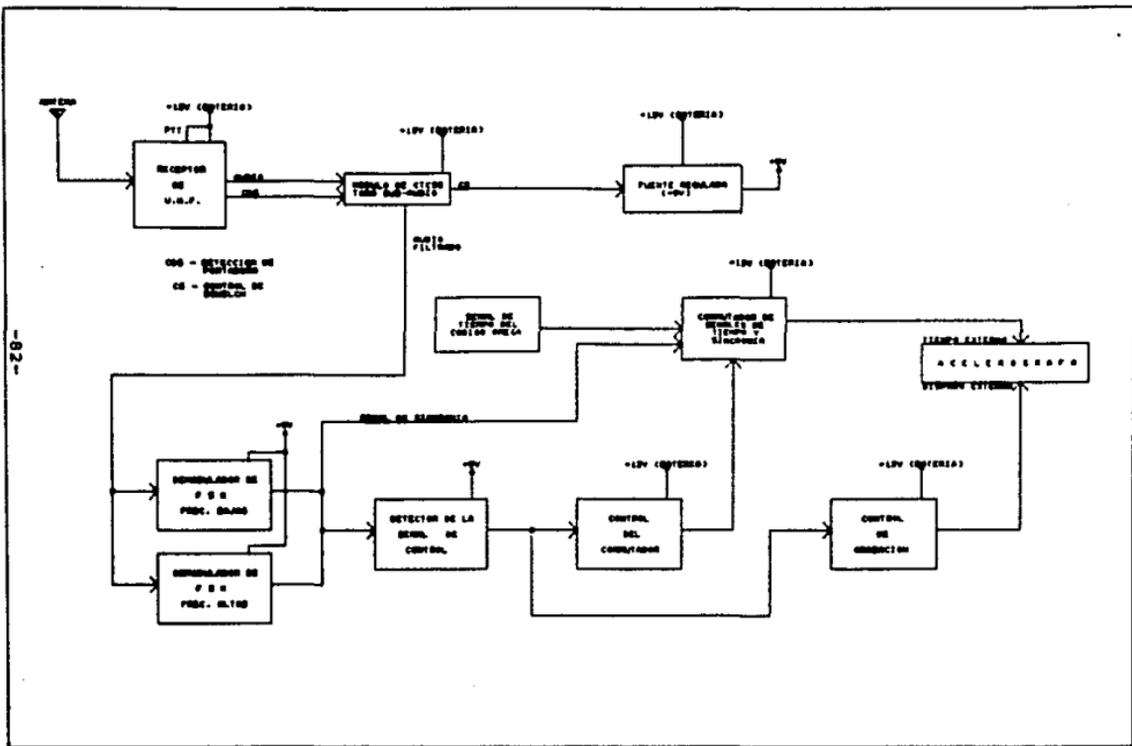
- a) Demodulador de FSK
- b) Detector de la señal de control
- c) Conmutador de señales de tiempo y sincronía
- d) Control del conmutador
- e) Control de grabación

al final se deja la descripción de la utilización del receptor acoplado a un detector de tonos de sub-audio (CTCSS), tanto para la recepción de la información de la ETC, así como su ventaja para conmutar la alimentación de los demoduladores.

4.1 Demoduladores de FSK

Para recuperar la información en FSK enviada por la ETC, utilizamos un circuito integrado que contenga un PLL.

Un PLL es un circuito retroalimentado que se compone de cuatro bloques básicos como se muestra en la figura 32: un comparador de fase, un filtro pasa bajas y un amplificador de error se encuen-



-82-

FIGURA 31. Diagrama de Bloques de la ERC.

tran en la trayectoria directa, un oscilador controlado por voltaje (VCO) que cierra la nalla en la trayectoria de retroalimentación.

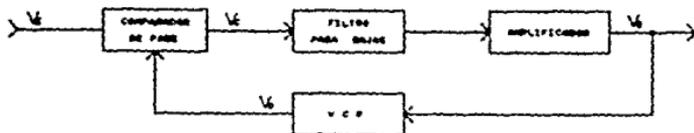


FIGURA 32. Diagrama a bloques de circuito PLL

Sin señal aplicada a la entrada, el voltaje de error $V_s(t)$ es cero. El VCO opera a una frecuencia fija f_0 llamada frecuencia de oscilación libre.

Si se aplica una señal externa, el comparador de fase genera un voltaje de error $V_c(t)$ que se filtra, se amplifica y se aplica a la terminal de control del VCO.

De esta manera se obliga a la frecuencia del VCO a variar en una dirección que reduce la diferencia entre las frecuencias f_0 y la de la señal de entrada. Si la frecuencia de entrada f_e está suficientemente cerca de f_0 , las características de realimentación del PLL hacen que el VCO se sincronice o "amarre" a la señal de entrada. Una vez sincronizada la frecuencia del VCO es idéntica a la señal de entrada excepto por una diferencia finita de fase. La salida del comparador de fase es entonces aplicada al filtro para bajas, quedando únicamente la componente de DC debida la diferencia de fase.

Es por eso, que ésta diferencia neta de fases es necesaria para generar el voltaje de corrección V_s con el que se desplaza la

frecuencia del VCO de valor de oscilación libre a la frecuencia f_e de entrada, manteniendo así al PLL en amarre. Esta propiedad de auto corrección del sistema permite al PLL rastrear los cambios de frecuencia de la señal de entrada una vez amarrado. El rango de frecuencias en el cual el PLL puede mantener amarre con la señal de entrada se define como "rango de amarre". Este rango de frecuencias es siempre mayor que la banda de frecuencias a través de las cuales el PLL puede conseguir amarre con una señal de entrada. Este último rango de frecuencias se conoce como "rango de captura".

El integrado que se utiliza para la demodulación es el circuito integrado XR-2211, mostrado en la figura 33.

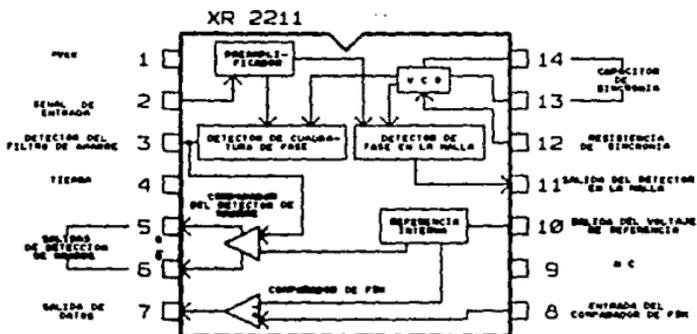


FIGURA 33. Diagrama a bloques del circuito integrado XR-2211

El 2211 es esencialmente un PLL diseñado para comunicaciones de datos muy particularmente para aplicaciones en modem's de FSK.

El circuito consiste básicamente de un PLL para el amarre de una señal de entrada dentro de una banda de paso, un detector de cuadratura de fase el cual proporciona la detección de portadora, y un comparador de voltaje de FSK, entregando la demodulación en FSK. Se utilizan componentes externos para fijar la frecuencia central, ancho de banda, y el retardo a la salida. Una referencia interna de voltaje proporcional al voltaje de alimentación provee una razón métrica de operación para sistemas de baja calidad que tengan cambios en la alimentación.

En las figuras 34 y 35 se muestran el diagrama a bloques y el circuito generalizado de conexiones para la demodulación en FSK.

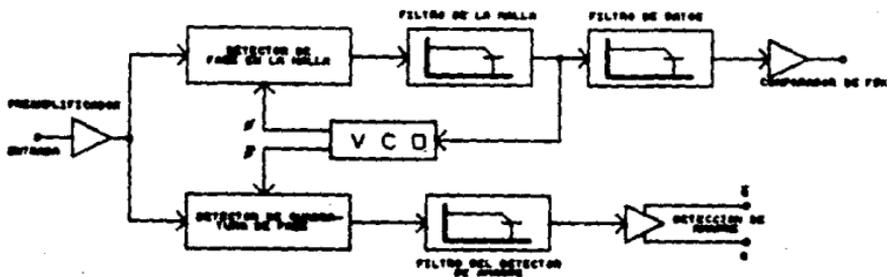


FIGURA 34. Diagrama a bloques para la Demodulación en FSK

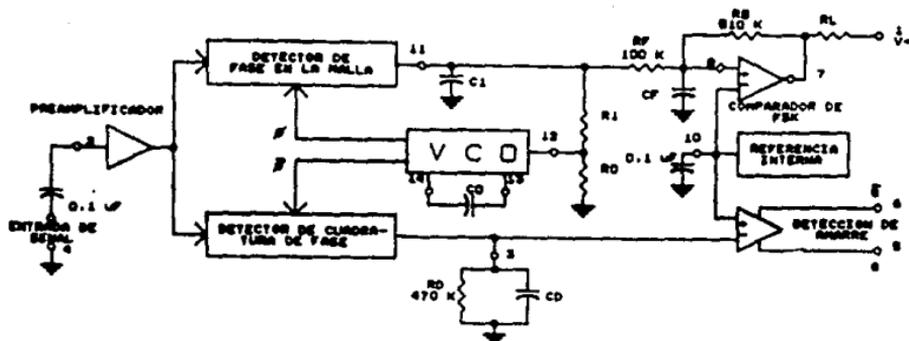


FIGURA 35. Diagrama de conexiones para la demodulación en FSK

Cálculo de valores para los componentes utilizados en los demoduladores.

- a) La frecuencia de oscilación libre del VCO está determinada por el resistor R_0 y el capacitor C_0 .

$$f_0 = 1 / R_0 C_0$$

donde f_0 es la frecuencia central de las frecuencias del modulador de FSK (ver capítulo III).

$$f_0 = (f_1 + f_2) / 2$$

El rango de valores de R_0 es entre 10 K Ω y 100 K Ω , recomendando el fabricante un valor de 20 K Ω . El valor final de R_0 es finalmente ajustado con un potenciómetro en serie (R_x).

-para la banda de 1070-1270 Hz:

$$f_0 = (1070 + 1270) / 2 = 1170 \text{ Hz}$$

$$C_0 = 1 / R_0 f_0$$

$$C_0 = 1 / (20 \cdot 10^3 \cdot 1170) = 0.0427 \mu\text{F}$$

aproximándolo a un valor comercial

$$C_0 = 0.039 \mu\text{F}$$

recalculando el valor de R_0 para C_0 encontrado

$$R_0 = 1 / C_0 f_0$$

$$R_0 = 1 / (0.039 \cdot 10^{-6} \cdot 1170) = 21.915 \text{ K}\Omega$$

para ajustar el valor de R_0 , éste se sustituye por:

$$R_0 = 18 \text{ K}\Omega + R_x$$

donde R_x es un potenciómetro de 10 K Ω

-para la banda de 2025-2225 Hz:

$$f_0 = (2025 + 2225) / 2 = 2125 \text{ Hz}$$

$$C_0 = 1 / R_0 f_0$$

$$C_0 = 1 / (20 \cdot 10^3 \cdot 2125) = 0.0236 \mu\text{F}$$

aproximándolo a un valor comercial

$$C_0 = 0.022 \mu\text{F}$$

recalculando el valor de R_0 para C_0 encontrado

$$R_0 = 1 / C_0 f_0$$

$$R_0 = 1 / (0.022 * 10^{-6} * 2125) = 21.390 \text{ K}\Omega$$

para ajustar el valor de R_0 , éste se sustituye por:

$$R_0 = 18 \text{ K}\Omega + R_x$$

donde R_x es un potenciómetro de 10 K Ω

b) el rango de amarre ($\pm \delta f$), está determinado por la fórmula

$$\delta f = R_0 f_0 / R_1 \text{ Hz}$$

$$\text{y también } \delta f = f_2 - f_1$$

-para la banda de 1070-1270 Hz:

$$\delta f = 1270 - 1070 = 200 \text{ Hz}$$

$$R_1 = R_0 f_0 / \delta f$$

$$R_1 = 21.915 * 10^3 * 1170 / 200 = 128.20 \text{ K}\Omega$$

aproximándolo a un valor comercial

$$R_1 = 120 \text{ K}\Omega$$

-para la banda de 2025-2225 Hz:

$$\delta f = 2225 - 2025 = 200 \text{ Hz}$$

$$R_1 = R_0 f_0 / \delta f$$

$$R_1 = 21.390 \cdot 10^3 \cdot 2125 / 200 = 227.29 \text{ K}\Omega$$

aproximándolo a un valor comercial

$$R_1 = 220 \text{ K}\Omega$$

- c) El factor de amortiguamiento de la malla de retroalimentación debido a los cambios de frecuencia presentes en el PLL están determinados por:

$$\epsilon = 1 \cdot (C_0)^{1/2} / 4 \cdot (C_1)^{1/2}$$

en aplicaciones de modem's, se considera a este factor como

$$\epsilon = 1 / 2$$

por lo tanto

$$C_1 = C_0 / 4$$

-para la banda de 1070-1270 Hz:

$$C_1 = 0.039 \cdot 10^{-6} / 4$$

$$C_1 \approx 0.01 \mu\text{F}$$

-para la banda de 2025-2225 Hz:

$$C_1 = 0.022 \cdot 10^{-6} / 4$$

$$C_1 \approx 0.0047 \mu\text{F}$$

- d) Valores del filtro de datos, el fabricante especifica que $R_F=100 \text{ K}\Omega$ y $R_B= 510 \text{ K}\Omega$, por lo tanto el valor recomendado de C_F es:

$$C_F = 3 / (\text{Velocidad de transmisión}) \mu\text{F}$$

el valor de C_F es igual para ambas bandas, ya que la velocidad de transmisión es la misma.

$$C_F = 3 / 300 = 0.01 \mu\text{F}$$

- e) El rango de captura $\pm \delta f_C$, está limitado por la constante de tiempo de la malla de R_1 y C_1 , en muchos casos $\delta f_C=(80\%-99\%)\delta f$.

El valor mínimo de capacitor C_D de la malla del filtro de detección y amarre es inversamente proporcional al rango de captura $\pm \delta f_C$. En muchas aplicaciones $\delta f_C > \delta f / 2$. El fabricante recomienda un valor para $R_D= 470 \text{ K}\Omega$, el valor mínimo aproximado de C_D puede ser determinado por:

$$C_D (\mu\text{F}) \geq 16 / (\text{Rango de captura en Hz})$$

para nuestro caso el rango de captura es igual para ambas bandas, por lo que el valor de C_D es el mismo.

Asumiendo el 80% del rango de amarre

$$\delta f_C = 0.8 * \delta f = 0.8 * 200$$

$$\delta f_C = 160 \text{ Hz}$$

entonces, el rango total de captura es

$$\pm \delta f_C = 320 \text{ Hz}$$

por lo que el valor de C_D es

$$C_D = 16 / 320 = 0.05 \mu F$$

aproximándolo a un valor comercial

$$C_D = 0.047 \mu F$$

una vez calculados los valores, se muestra en la figura 36 el circuito final de los demoduladores.

Como las salidas de datos y de detección de amarre son del tipo colector abierto, es necesario conectarles una resistencia de carga, recomendando al fabricante un valor de 5.1 K Ω .

Las salidas de las terminales 6 y 7 se conectan en una configuración de "Y alambrada" (ver figura 36), para obtener una salida en estado bajo (0 V) cuando no esté la portadora presente, de no alambrarse así la salida de datos será indeterminada cuando no exista señal presente (Exar DATABOOK, 1987).

Aprovechando la facilidad de tener las salidas en colector abierto, permite conectar ambos demoduladores en paralelo ("Y alambrada"), para tener una salida en estado alto (9 V), sólo cuando estén presentes las portadoras y datos de ambos canales al mismo tiempo. Al final de éstos se tendrá recuperada la información enviada por la ETC.

4.2 Detector de la señal de control.

Una vez iniciada una transmisión en la ETC, lo primero que se recibe es un pulso cuya duración es de 750 ms. (Ver figura 16).

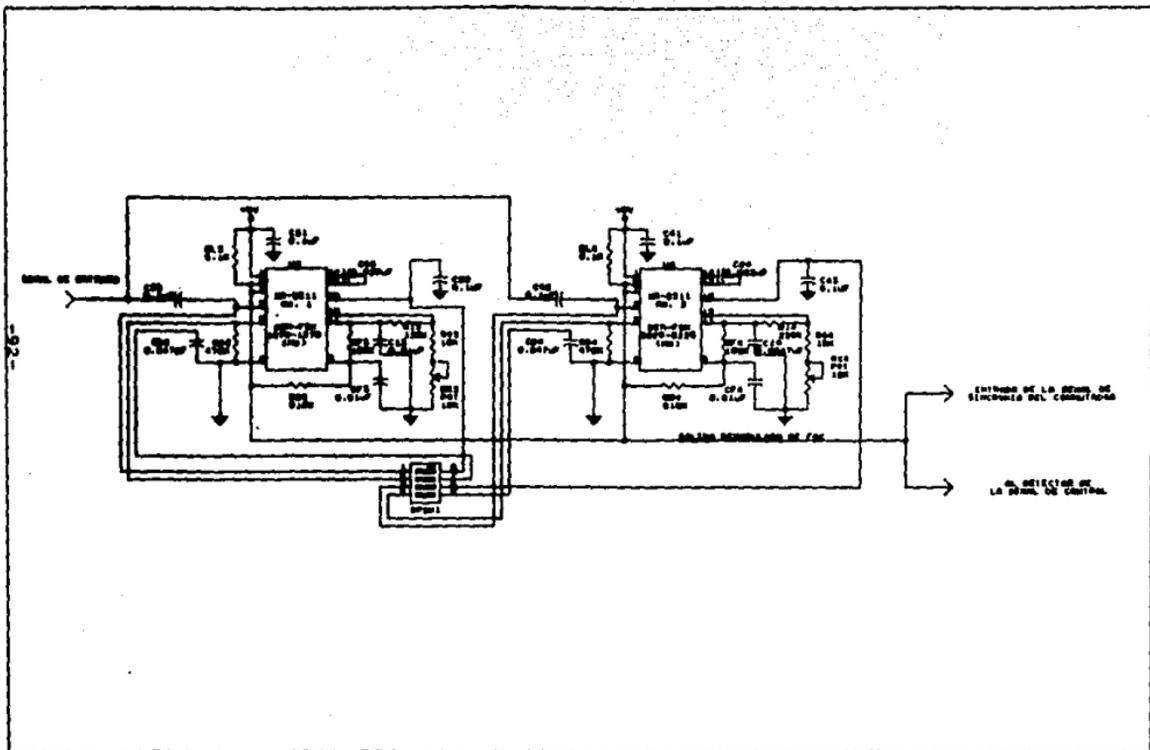


FIGURA 36. Circuito Demodulador de FSK

Para detectar el ancho de este pulso utilizamos un circuito formado por un filtro pasa bajas cuya salida alimenta la terminal positiva de un comparador, en la negativa se encuentra un voltaje de referencia (nivel a comparar) el comparador está implementado con un amplificador operacional del tipo LM-741, como se muestra en la figura 37.

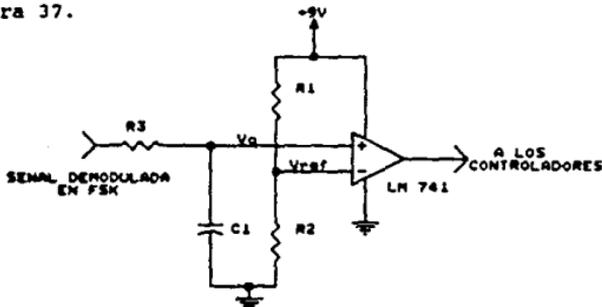


FIGURA 37. Circuito detector de la señal de control

Consideremos sólo el filtro pasa bajas mostrado en la figura 38.

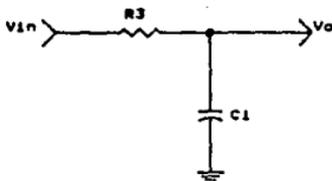


FIGURA 38. Circuito RC de paso bajo

La respuesta de este circuito a una entrada de tipo pulso, se muestra en la figura 39 y está dada por las siguientes ecuaciones (Millman and Taub, 1971).

$$v_o = V(1 - e^{-(t/RC)}) \quad t \leq t_p$$

$$v_o = v_p e^{-(t-t_p)/RC} \quad t \geq t_p$$

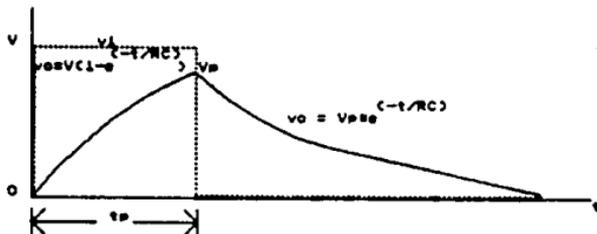


FIGURA 39. Respuesta del circuito RC de paso bajo a un pulso

Para nuestro análisis nos interesa sólo el tiempo de elevación (t_{stp}), ya que una vez rebasado el voltaje de referencia el comparador cambia de estado (de bajo a alto), activando las demás etapas.

Considerando una razón del 70% entre el voltaje de salida y el voltaje de entrada para la respuesta a un pulso, con $t_p \leq 750$ ms. y $V_+ = 9V$.

Se tiene entonces

$$v_o / V_+ = 0.7$$

$$v_o = 0.7 * V_+ = 6.3 \text{ V}$$

de la ecuación

$$v_o = V_+(1 - e^{(-t/RC)})$$

se tiene que

$$RC = -t / \ln(1 - v_o/V_+)$$

$$RC = -750 * 10^{-3} / \ln(1 - 0.7) \approx 0.63$$

si $C = 1 \mu F$, entonces

$$R = 0.63 / C = 0.63 / 1 \cdot 10^{-6} = 630 \text{ k}\Omega$$

aproximándolo a un valor comercial

$$R = 680 \text{ k}\Omega$$

por lo tanto

$$RC = 0.68$$

sustituyendo éste valor para $t \leq t_p$ se tiene

$$v_o = 9(1 - e^{-0.75/0.68}) = 6.01 \text{ V}$$

ahora, tomando a v_o como el voltaje de referencia, dado éste por el divisor de voltaje mostrado en la figura 40.

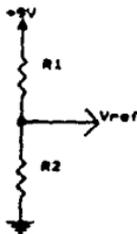


FIGURA 40. Circuito divisor de voltaje

Siendo $V_+ = 9 \text{ V}$

$$V_{ref} = V_+ \cdot R_2 / (R_1 + R_2)$$

donde

$$R_1 = R_2(V_+ - V_{ref}) / V_{ref}$$

si $R_2 = 220 \text{ K}\Omega$

entonces

$$R_1 = 220 \cdot 10^3 (9 - 6) / 6 \approx 110 \text{ K}\Omega$$

aproximándolo a un valor comercial

$$R_1 = 100 \text{ K}\Omega$$

una vez calculados los valores, el circuito final se muestra en la figura 41.

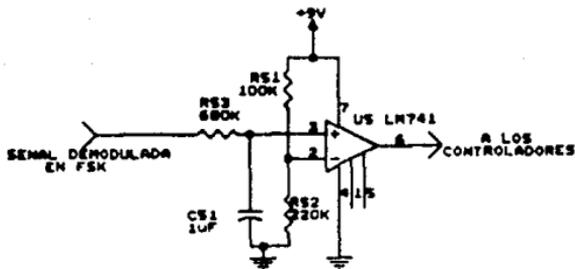


FIGURA 41. Diagrama eléctrico del detector de la señal de control

El cambio de estado presente en la salida del comparador se utiliza para activar las etapas de control del conmutador y de control de grabación.

4.3 Conmutador de Señales de Tiempo y Sincronía.

En las especificaciones de diseño, se contempló un circuito que permitiera conmutar la señal Omega (Ω) que se recibe normalmente en los equipos DCA-333 por la señal del código de sincronización emitido por la ETC.

Este conmutador se implementó con el circuito integrado CD-4503 mostrado en la figura 42.

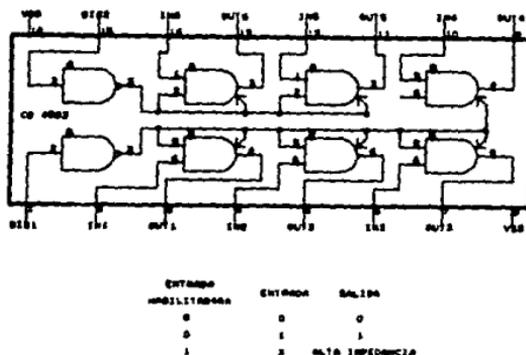


FIGURA 42. Diagrama del circuito integrado CD-4503

Este integrado es un buffer no inversor del tipo 3 estados compuesto por dos bloques de buffers controlados por entradas habilitadoras independientes. Si estas entradas están en nivel alto, las salidas de los buffers estarán en alta impedancia y por el contrario si están en nivel bajo las salidas de éstos se irán a su respectivas entradas.

La conexión para el circuito del conmutador se muestra en la figura 43.

La R_1 de 120 K Ω es necesario, ya que la salida del código Omega es de colector abierto y el fabricante recomienda este valor como resistencia de carga (Terra Technology, 1987), la condición de alta impedancia presente en la salida de los buffers seleccionados permite su conexión en paralelo de donde se toma la salida para el tiempo externo que se conectará al equipo DCA-333, no es necesario tener un acoplo entre la salida de tiempo externo y la entrada del DCA, ya que éste admite rangos de voltaje entre 3 y 12 volts (Terra Technology, 1987).

La salida del control del conmutador permite controlar ambos bloques de buffers conectando por un lado, un inversor a la entrada de habilitación de un bloque y la conexión directa hacia el otro, con lo que sólo está activo un bloque para cada tipo de señal (alto o bajo).

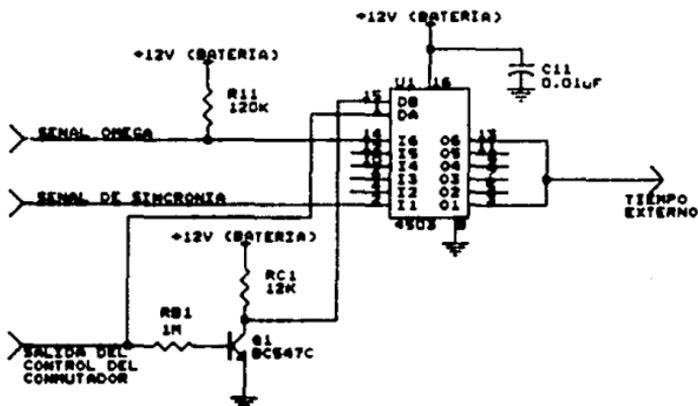


FIGURA 43. Circuito eléctrico del conmutador

El inversor utilizado en el circuito de la figura 43 se implementó con un transistor en configuración de emisor común.

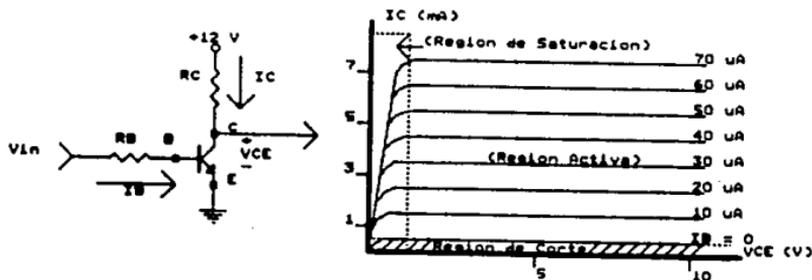


FIGURA 44. Características del transistor NPN en configuración de emisor común.

Cálculo de valores para el inversor mostrado en la figura 44.

El transistor utilizado es un BC-547C tipo NPN con beta (β) mínima de 100. Para que el transistor opere como inversor lo utilizaremos en sus regiones de corte y saturación (Boylestad y Nashelsky, 1983).

El voltaje V_{in} sólo presenta dos posibles valores por la condición del circuito que le antecede y que es analizado más adelante (Ver sección 4.4.), siendo estos valores 12 y 0 volts aproximadamente.

Si $V_{in} = 12V$, haremos trabajar al transistor en su región de saturación, para ello $V_{BE}(sat)=0.7V$, $V_{CE}(sat)=0.4V$ (Ver hoja de especificaciones del fabricante, en los anexos al final de este trabajo), y se propone una corriente de colector $I_C = 1 \text{ mA}$.

Por la malla dada por:

$$12 \text{ V} = I_C \cdot R_C + V_{CE}$$

nos permite calcular el valor de R_C

$$R_C = (12 - V_{CE}) / I_C = (12 - 0.4) / 1 \cdot 10^{-3}$$

$$R_C = 11.6 \text{ K}\Omega$$

aproximándolo a un valor comercial

$$R_C = 12 \text{ K}\Omega$$

para calcular R_B , utilizamos la malla dada por:

$$V_{in} = I_B R_B + V_{BE}$$

$$R_B = (V_{in} - V_{BE}) / I_B$$

donde $I_B = I_C / \beta$

$$I_B = 1 \cdot 10^{-3} / 100 = 0.01 \text{ mA}$$

$$R_B = (12 - 0.7) / 0.01 \cdot 10^{-3} = 1.13 \text{ M}\Omega$$

aproximándolo a un valor comercial

$$R_B = 1 \text{ M}\Omega$$

si $V_{in} = 0 \text{ V}$, el transistor trabaja en la región de corte y por lo tanto, $V_{BE} = 0 \text{ V}$, $I_C \approx 0 \text{ A}$ y $V_{CE} \approx 12 \text{ V}$.

El circuito final se muestra en la figura 43.

4.4 Control de Conmutador.

Para controlar el conmutador se necesita un cambio de estado (de alto a bajo) que permanezca presente durante 10 segundos (Ver

especificaciones de diseño) para permitir que se grabe la señal de sincronía en lugar del código Omega, para ello se utiliza un circuito monoestable habilitado por el primer cambio de estado presente en el detector de la señal de control.

El circuito integrado utilizado para este fin, es el XR-2240 mostrado en la figura 45, este integrado consta de un temporizador 555 modificado, un contador binario de 8 bits, y un circuito de control. Un pulso con flanco de ascenso aplicado a la entrada disparo arranca la base de tiempo del oscilador 555. Un pulso con flanco de ascenso aplicado en la terminal de restablecimiento detiene la base de tiempo del oscilador 555 (Robert F. Coughlin / Frederick F. Driscoll, 1987)

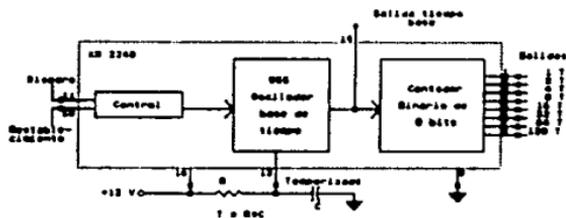


FIGURA 45. Diagrama a bloques del circuito integrado XR 2240.

El período T de la base de tiempo para un ciclo del oscilador se establece por un circuito externo conectado a la terminal del temporizador y se calcula mediante:

$$T = RC$$

donde R en Ohms, C en Farads y T en segundos.

Las salidas del contador están diseñadas para utilizarse en forma individual o alambradas en forma conjunta, logrando una conexión

"Y alambrada", para ello se utiliza una resistencia de carga de 10 K Ω (Ver hoja de especificaciones al final de este trabajo). Si se alambran en forma conjunta las salidas, se obtiene un ciclo de temporizado igual a la suma de las salidas individuales.

En la figura 46, se muestra la conexión del 2240 para operación de monoestable. Cuando el disparo de entrada se va a alta, la salida se va a baja por un período dado por la suma de:

$$T_{sum} = 4T + 32T + 64T$$

$$T_{sum} = 100 T$$

al final de éste, la salida se va a alto. La conexión de la salida a través del resistor de 51 K Ω a la terminal de restablecimiento fuerza al temporizador para restablecerse él mismo cuando la salida se va a alta. Por tanto, después de cada pulso de disparo, el 2240 genera un intervalo temporizador seleccionado por los interruptores de programación, en este caso 100 T.

Cálculo de valores para un período de 10 segundos

dado que:

$$T_{sum} = 10 \text{ s}$$

$$T_{sum} = 100 T$$

$$T = RC$$

entonces

$$T = 0.1 \text{ s} \quad \text{y} \quad RC = 0.1 \text{ s}$$

si $C = 0.1 \mu\text{F}$, entonces

$$R = 0.1 / C = 0.1 / 0.1 \times 10^{-6}$$

$$R = 1 \text{ M}\Omega$$

los demás valores son recomendados por el fabricante, con lo que el circuito de control del conmutador queda como se muestra en la figura 46.

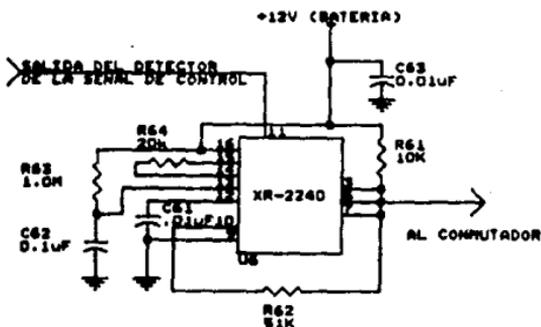


FIGURA 46. Circuito eléctrico para el control del conmutador

4.5 Control de Grabación.

El equipo registrador requiere la aplicación de una señal en su entrada de disparo externo para iniciar la grabación de un evento, deteniéndose 15 segundos después de presentarse la última señal de activación.

Dada las especificaciones de diseño en las que se requiere que una vez detectada la señal de control, el equipo inicie su grabación y lo mantenga durante un período mínimo de un minuto, por lo que si se aplica una señal durante 45 segundos en la entrada de disparo externo se cumple con la especificación.

La señal de entrada de disparo externo sólo detecta flancos de ascenso, por lo que es necesario tener una señal estable con períodos máximos de 15 segundos.

Para cumplir con lo anterior utilizamos el circuito mostrado en la figura 47, basado en el integrado XR-2240.

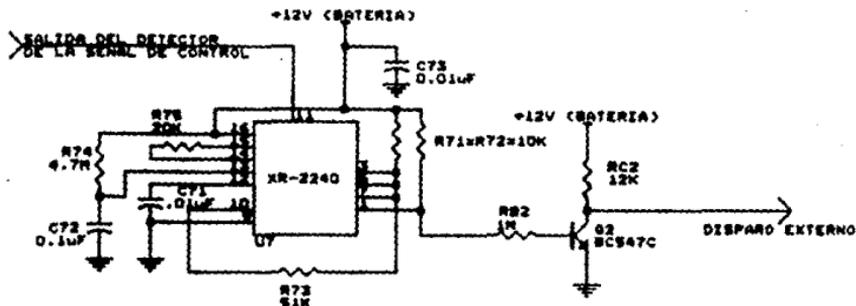


FIGURA 47. Circuito eléctrico para el control de grabación

El funcionamiento del 2240 se vio en la sección anterior. Este circuito por una parte nos permite tener en la terminal 1, una señal estable con período igual $2 T$, y por otro, un período de $100 T$ que se utiliza para restablecer al temporizador. La configuración es muy similar a la de la sección 4.4.

Cálculo de valores para un período de 47 segundos

dado que:

$$T_{sum} = 47 \text{ s}$$

$$T_{sum} = 100 T$$

$$T = RC$$

entonces

$$T = 0.47 \text{ s} \quad \text{y} \quad RC = 0.47 \text{ s}$$

si $C = 0.1 \mu\text{F}$, entonces

$$R = 0.47 / C = 0.1 / 0.1 \times 10^{-6}$$

$$R = 4.7 \text{ M}\Omega$$

Con esto en la terminal 1, tenemos una señal con período igual a:

$$P = 2T$$

$$P = 2(0.47)$$

$$P = 0.945 \text{ s}$$

Con lo que se tiene un flanco de ascenso cada segundo aproximadamente.

Como la salida en la terminal 1 normalmente está en estado alto y cuando se activa se va a un nivel bajo, si de esta salida se conecta directamente la entrada de disparo externo, se tendrá un retardo, porque el primer flanco que se ve es de descenso, para evitar esto se colocará un inversor a la salida y de ahí se tomará la salida hacia el disparo externo como se ve en la figura 47. El circuito inversor es idéntico al analizado en la sección 4.3.

4.6 Fuente Regulada.

Debido a que la frecuencia de oscilación del VCO en la etapa de demodulación es sensible a los cambios de voltaje en la fuente de alimentación, se ve la necesidad de regular su voltaje, por lo cual se propuso el circuito basado en el integrado LM-723 que se indica en la figura 48.

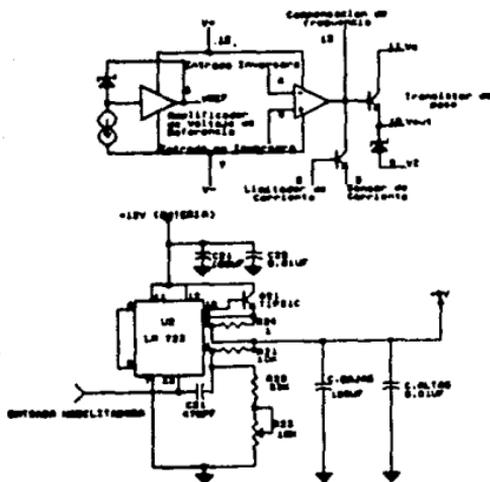


FIGURA 48. Diagrama a bloques y circuito generalizado de conexiones para la fuente regulada basada en el integrado LM 723.

La variación máxima que se espera en la alimentación es de 12.5 a 14 volts, teniendo como valor nominal 13 V.

La configuración utilizada que recomienda el fabricante para un regulador de voltaje positivo con una diferencia mínima entre la entrada y la salida de 3V para una buena regulación. Se emplea un transistor NPN de paso como elemento externo que contribuye a elevar la potencia que es posible manejar comparada con la que puede entregar sólo el integrado.

La utilización del LM723 permite tener una alimentación con buena estabilidad a la temperatura, ya que internamente cuenta con un circuito para compensar las variaciones por temperatura. Otra de sus ventajas es utilizarlo como un regulador switchable controlado por cambio de nivel (de bajo a alto) en la terminal de compensación de frecuencia, esta característica es aprovechada para proveer alimentación en la etapa de demodulación sólo cuando exista una transmisión de la ETC, el control de la terminal antes mencionada se logra mediante el módulo de detección de tonos de sub-audio que está junto con el receptor, la descripción de su funcionamiento se describe en el apartado 4.7.

Cálculo de valores para el regulador.

Por especificaciones del fabricante, el voltaje de salida está dado por la siguiente fórmula:

$$V_{out} = V_{ref} * (R1 + R2) / R2$$

donde Voltaje de referencia igual a 7.15 V., para $V_{out} = 9V$ y dando un valor de $10K\Omega$ para $R1$, se tiene que:

$$R2 = V_{ref} * R1 / (V_{out} - V_{ref})$$

$$R2 = 7.15 * 10 \cdot 10^3 / (9 - 7.15)$$

$$R2 \approx 38.65 K\Omega$$

para lograr el ajuste de R2, utilizamos una resistencia de 33K Ω en serie con un potenciómetro de 10K Ω .

$$R2 = 33 K\Omega + \text{Pot de } 10 K\Omega$$

el circuito final queda como se muestra en la figura 48.

4.7 Etapa de Recepción.

Para recibir la señal de RF de la ETC se utiliza un radio receptor "MAXON" modelo DR-0520, operando en la frecuencia de 449.725 MHz, en la banda de UHF, y acoplado al módulo Detector de tonos de sub-audio modelo "MAXON" CP-0520. Las especificaciones de estos equipos se incluye en los anexos correspondientes y su conexión se muestra en la figura 49. Cabe hacer notar que el receptor cumple con las características especificadas en la etapa de diseño.

Cuando se recibe una transmisión de la ETC, el receptor por un lado entrega una señal de audio con nivel típico de 200 mV RMS, y por otro una salida del tipo colector abierto (resistencia de carga de 10 K Ω), la cual cambia de estado (de 0.4 V a 12 V), cuando se detecta la portadora (frecuencia de 449.725 MHz), permaneciendo en 0.4 volts mientras está ésta presente. Estas dos salidas se conectan directamente al módulo del detector de tonos de sub-audio (CTCSS).

Si en la señal de audio de entrada al CTCSS se encuentra presente el tono de sub-audio correspondiente a la ETC (250.3 Hz.), se genera un cambio de nivel de estado bajo (0.4 V) a alto (5 V) en una salida de colector abierto mientras se encuentre presente el tono, por otro lado nos permite tener una salida de señal de audio filtrado, esto es, sin el tono de sub-audio presente. La entrada de detección de portadora permite que el circuito interno de detección del CTCSS opere, esto elimina posibles detecciones

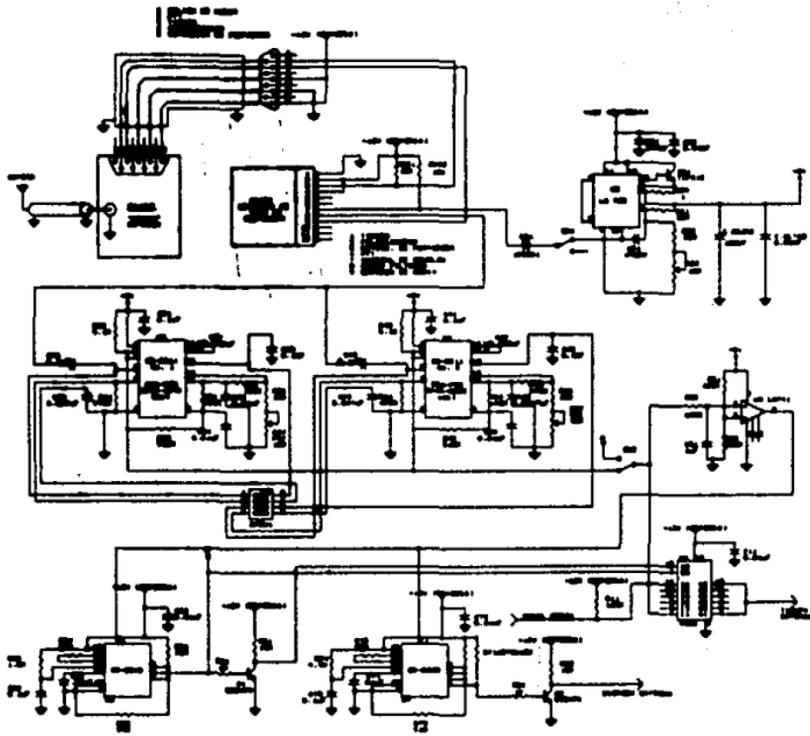


FIGURA 50. Diagrama General de la ERC.

CAPITULO V

INTEGRACION DEL SISTEMA

En este capítulo se detallan las características eléctricas, la construcción e instalación de las tarjetas que integran el sistema de sincronización, así como el procedimiento de ajuste y prueba de las mismas.

5.1 Estación Transmisora de Control (ETC).

5.1.1 Construcción de tarjetas para la ETC.

Para la construcción de las tarjetas (circuitos impresos) que conforman la ETC, se utilizó el paquete de computadora TANGO PCB para el diseño de los "lay-outs", el cual permite de una manera rápida y fácil, la elaboración de los circuitos impresos.

En las figuras siguientes se muestran algunas etapas del proceso utilizado para el diseño de nuestros lay-outs, así como la construcción de las tarjetas.

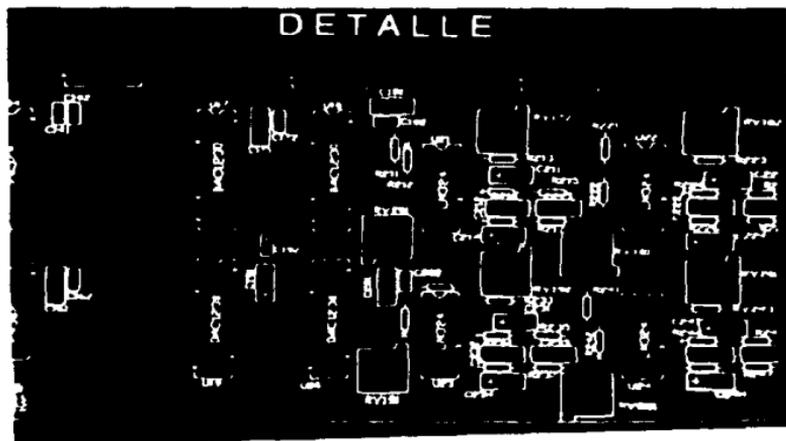


FIGURA 51. Diseño de Lay-Out por Computadora

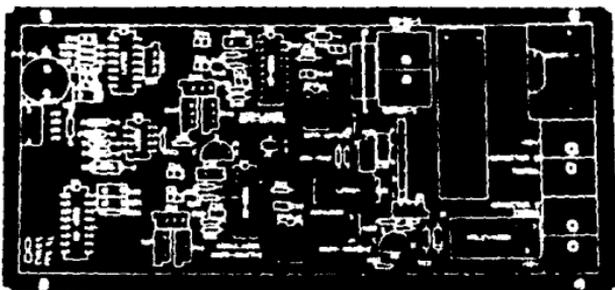


FIGURA 52. Circuito Impreso de la Tarjeta Analógica.

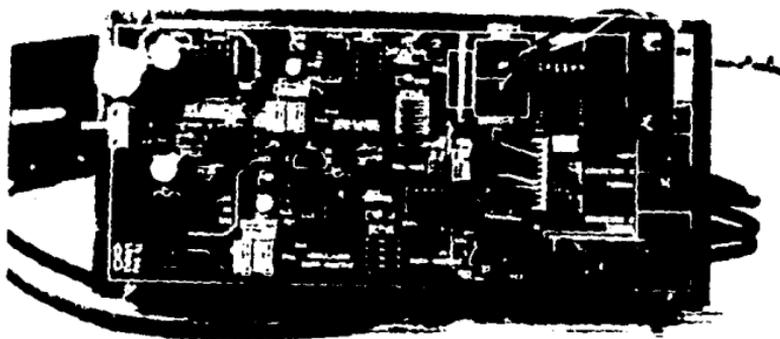


FIGURA 53. Tarjeta Analógica para la ETC.

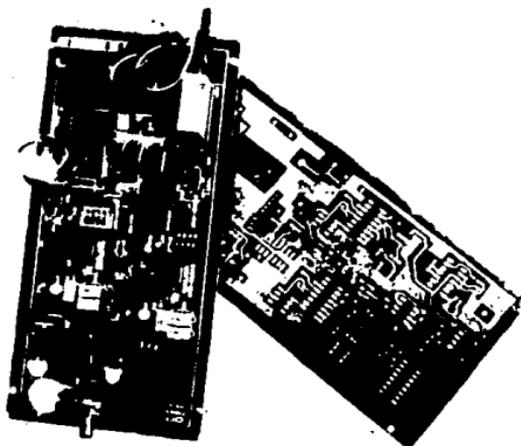


FIGURA 54. Tarjeta Analógica de la ETC.

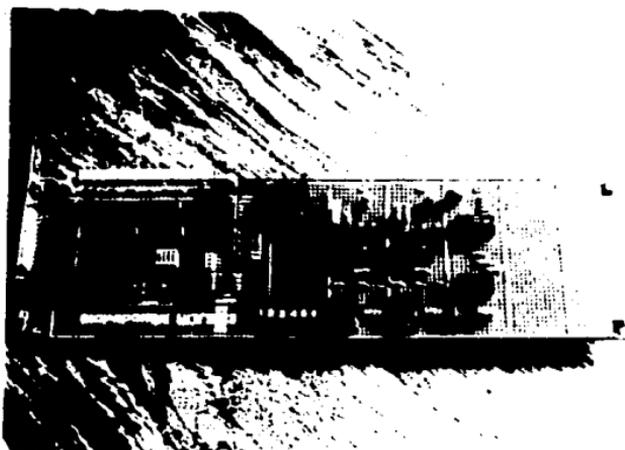


FIGURA 55. Tarjeta Digital de la ETC.

5.1.2 Características Eléctricas de la ETC.

I.- Tarjeta de la parte digital.

Esta tarjeta se encuentra instalada dentro de la PC, por lo que la alimentación de la misma esta asegurada, dado que la computadora está conectada a través de un NO BREAK a la línea de la red.

Alimentación Nominal:	+5 V DC.
Consumo de corriente en standby:	9mA.
Consumo de corriente en operación:	60mA.

El receptáculo del emisor óptico es del tipo SMA, y una descripción más detalla de los accesorios del enlace por fibra óptica pueden ser consultados en los anexos correspondientes.

II.- Tarjeta de la parte analógica.

El sistema de alimentación de esta tarjeta consta de; una batería sellada de 24 AH, un módulo de recarga por medio de un panel solar de 15 Watts, logrando con esto 15 días de respaldo en el caso de nublado permanente.

Alimentación General:

+12 V_{DC} nominales, tolerancia +15 %

Fuente Regulada:

salida: +9 V DC, con regulación ± 0.27 %

Moduladores de FSK:

alimentación: +9.0 V DC
impedancia de entrada: 50 Ω
estabilidad a la temperatura: ± 10 ppm/ $^{\circ}$ C

impedancia de Salida: 600 Ω
frecuencias de operación: 1070-1270 Hz. y
2025-2225 Hz. $\pm 1\%$
nivel de señal de salida: 1 V rms

Sumador (acoplador):

alimentación : +9 V DC
nivel de señal de salida: 100 mV rms
acoplamiento: Directo

Receptor Optico:

alimentación: +9 V DC
salida del comparador: $\approx +9$ V DC (sin luz)
 ≈ 0 V DC (con luz)

Control de Encendido de la Etapa Transmisora:

alimentación: +9 V DC
señal de disparo: Un nivel bajo en la base del transistor Q51 origina un flanco de ascenso en la terminal de disparo de U5.

salida:

Normalmente se encuentra en estado bajo (0 volts) conmutando a un estado alto durante 10 segundos, volviendo a su estado bajo transcurrido este tiempo.

Alimentación conmutada:

alimentación:

+12 V DC

señal de entrada:

cambio de estado de bajo a alto durante 10 segundos. Esta señal opera al relevador durante el tiempo que la salida de el circuito de control permanece en estado alto, alimentando de esta manera al equipo de transmisión (radio, amplificador y tarjeta del CTCSS).

Radio Transmisor:

modelo:

MAXON DM0530

banda de operación:

UHF

alimentación:

+12 V DC

frecuencia nominal

de operación:

449.725 MHz.

potencia de salida:

5 Watts, $\pm 10\%$

estabilidad de Frecuencia:

+0.0005%

emisión de Frecuencias
espurias: < -60dB
tiempo de estabilización
del transmisor: 20ms.
consumo 1750 mA.

Amplificador Lineal:

modelo: MAXON CA-1462
alimentación: +12 V DC
Impedancia de entrada/salida: 50 Ω nominal
consumo: 4.5 A nominal
potencia de salida: 15Watts
ancho de banda: 10 MHz min.
potencia reflejada (VSWR): 2:1 máximo

Generador de tonos de sub-audio (CTCSS):

modelo: MAXON CP-0520
alimentación: +12 V DC
consumo: 7.5 mA.
frecuencia de
operación: 250.3 Hz norma EIA
nivel de salida: 75 mV pp.
distorsión: menor a 5%
impedancia de salida: 47 K Ω mínimo.

Hasta aquí se concluye la fase de diseño de la ETC, adelante se detalla el procedimiento de ajuste, así como la instalación de los módulos que la constituyen.

5.1.3 Procedimiento de ajuste de la tarjeta para la ETC.

De las figuras 30a y 30b, los controles de ajuste de la tarjeta de la ETC son:

- R12B: voltaje de salida de la fuente regulada
- R33: nivel de señal de salida del modulador de FSK No.1
- R35B: frecuencia alta (1270 Hz) del modulador de FSK No.1, que opera en la banda baja
- R36B: frecuencia baja (1070 Hz) del modulador de FSK No.1, que opera en la banda baja
- R43: nivel de señal de salida del modulador de FSK No.2
- R45B: frecuencia alta (2225 Hz) del modulador de FSK No.2, que opera en la banda alta
- R46B: frecuencia baja (2025 Hz) del modulador de FSK No.2, que opera en la banda alta
- R63: nivel de señal de entrada al radio transmisor
- DIPSW1: selección de niveles de entrada para; ajuste de frecuencias, entrada de datos y señal de salida del modulador No.1
- DIPSW2: selección de niveles de entrada para; ajuste de frecuencias, entrada de datos y señal de salida del modulador No.2
- SW3: para prueba de la etapa de potencia o encendido de equipo de transmisión.

DIPSW4: selección de frecuencias del generador de tonos de Sub-Audio (CTCSS)

El procedimiento de ajuste es el siguiente:

Primero se describe el procedimiento de ajuste de la fuente regulada.

- 1.- Con un voltmetro, medir en la terminal 11 ó 12 de U1 (LM723) el voltaje de la batería, éste deberá encontrarse entre 12.5 a 13.5 volts, de no ser así, cambiar por seguridad la batería o revisar que el sistema de recarga de la misma se encuentre en operación.
- 2.- Con el voltmetro en la terminal 3 del integrado mencionado anteriormente, ajustar por medio de R12B el voltaje de salida de la fuente regulada.

Una vez ajustado el voltaje de alimentación para la tarjeta de la ETC, podemos ajustar la frecuencia de oscilación de los moduladores de FSK.

El procedimiento de ajuste de los moduladores es el siguiente:

- 1.- Abrir el SW1 del DIPSW1 y DIPSW2
- 2.- Abrir el SW4 del DIPSW1 y DIPSW2
- 3.- Cerrar el SW2 del DIPSW1 y DIPSW2
- 4.- Con un voltmetro en la terminal 2 de U3 y U4, ajustar a 1 V RMS la amplitud de la señal de salida con R33 y R43 respectivamente.
- 5.- Con un frecuencímetro conectado en la terminal 2 de U3, ajustar con R35B la frecuencia alta (1270 Hz.).
- 6.- Con un frecuencímetro conectado en la terminal 2 de U4, ajustar con R45B la frecuencia alta (2225 Hz.).

- 7.- Abrir el SW2 del DIPSW1 y DIPSW2
- 8.- Cerrar el SW3 del DIPSW1 y DIPSW2
- 9.- Con un frecuencímetro conectado en la terminal 2 de U3, ajustar con R36B la frecuencia baja (1070 Hz.).
- 10.- Con un frecuencímetro conectado en la terminal 2 de U4, ajustar con R46B la frecuencia baja (2025 Hz.).
- 11.- Abrir el SW3 del DIPSW1 y DIPSW2
- 12.- Cerrar SW4 de DIPSW1 y DIPSW2
- 13.- Cerrar SW1 de DIPSW1 y DIPSW2

una vez ajustadas las frecuencias de operación de los moduladores de FSK, se procede a ajustar el nivel de señal de salida del generador de tonos de sub-audio (CTCSS), para provocar una modulación de ± 750 Hz en la frecuencia de operación del transmisor, siguiendo el siguiente procedimiento:

- 1.- Abrir el SW4 del DIPSW1 y DIPSW2
- 2.- Por medio del DIPSW4 y la tabla de frecuencias de operación del CTCSS (descrita en la información anexa a este trabajo), colocar los interruptores del DPSW4 en la posición indicada para generar un tono de 250.3 Hz
- 3.- Conectar el radio a la tarjeta, el cual por antena tiene una carga resistiva de $50 \Omega / 5$ Watts
- 4.- Con un monitor de servicio (RAMSEY COM-3), programado como monitor de FM en la frecuencia de operación del transmisor (449.725 MHz.) y manteniendo presionado el SW3 (de prueba), observar el nivel de modulación con el que se está operando, y con el potenciómetro de ajuste de señal de salida del CTCSS (ver información anexa de este equipo), hacer que la desviación sea de ± 750 Hz

Ahora se procede a ajustar el nivel de señal de entrada al transmisor para provocar un nivel de modulación de ± 3 KHz., el fabricante recomienda este nivel de modulación para una buena operación del equipo (ver información anexa del transmisor); en pruebas realizadas en el laboratorio, se determinó que el nivel de señal máximo en la entrada del radio Tx para obtener la modulación deseada es de 100 mV, la cual es entregada por el cursor de R63.

El procedimiento de ajuste es el siguiente:

- 1.- Cerrar el SW4 del DIPSW1 y DIPSW2
- 2.- Conectar un voltmetro en el cursor de R63, y ajustar el nivel de la señal de salida a 100 mV.
- 3.- Conectar el radio a la tarjeta, el cual por antena tiene una carga resistiva de $50 \Omega / 5$ Watts
- 4.- Con un monitor de servicio (RAMSEY COM-3), programado como monitor de FM en la frecuencia de operación del transmisor (449.725 MHz.) y manteniendo presionado el SW3 (de prueba), observar el nivel de modulación con el que se está operando, y con el potenciómetro de ajuste de modulación del radio (este potenciómetro se encuentra contenido en los circuitos del transmisor, y para mayor información recurrir a los anexos en donde se encuentra el manual del radio), hacer que la modulación sea de ± 3 KHz para el nivel de señal de entrada.

Una vez ajustados los 100 mV. en la salida del sumador (R63), no se debe mover este control, y cualquier ajuste al nivel de modulación deberá hacerse con el control interno del radio.

Con el procedimiento anterior se ajustan los parámetros de la tarjeta de ETC, restando verificar los parámetros del equipo de transmisión, el cual esta formado por:

a) Un radio transmisor; al cual se le deben verificar los siguiente puntos:

- i) Nivel de Modulación.
- ii) Frecuencia nominal de Transmisión.
- iii) Potencia de Salida.
- iv) Potencia Reflejada.

b) Un Amplificador Lineal; al cual se le debe verificar lo siguiente:

- i) Potencia de Salida.
- ii) Potencia Reflejada.

c) Antena Omnidireccional tipo Taco de Billar.

Los ajustes de estos equipos se describen en forma detallada en los manuales de servicio que proporciona el fabricante, los cuales se encuentran en los anexos al final de este trabajo.

5.1.3 Instalación de la Estación Transmisora de Control.

Para llegar a la etapa de instalación, hubo que pasar por varios procesos:

- 1.- Diseño del circuito.
- 2.- Armado de prototipos en tarjetas experimentales del tipo PROTO-BOARD.
- 3.- Alambrado de circuitos en una tarjeta universal multi-perforada con recubrimiento de cobre.
- 4.- Prueba del prototipo.
- 5.- Diseño de los Lay-out tomando en cuenta; el espacio donde se instalarían las tarjetas, así como la ubicación de las terminales de entrada o salida.

- 6.- Fabricación del circuito impreso.
- 7.- Armado de la tarjeta (colocar componentes).
- 8.- Instalación y prueba de la misma.

En forma general para la instalación de la ETC, se siguieron los siguientes pasos:

- 1.- Instalar la tarjeta digital dentro de la computadora.
- 2.- Ejecutar el programa del SISI, para verificar el correcto funcionamiento de la tarjeta digital.
- 3.- Verificar el funcionamiento del modulador óptico al operar el software.
- 4.- Instalar la caja transmisora, que contiene a: la tarjeta analógica y el equipo de transmisión, en la torre.
- 5.- Instalar el sistema de recarga (panel solar).
- 6.- Instalar la antena de transmisión.
- 7.- Conectarizar la antena a la caja transmisora, por medio de cable RGB A/U.
- 8.- Conectar el sistema de recarga solar a la caja antes mencionada.
- 9.- Polarizar la tarjeta analógica.
- 10.- Instalar la fibra óptica.
- 11.- Hacer pruebas de transmisión de datos.

La figura 56, muestra el diagrama esquemático de la instalación de la ETC, y en las figuras posteriores se muestran detalles de la instalación de la Estación, cabe hacer notar que ésta se ubica en las instalaciones del CIRES, A.C.

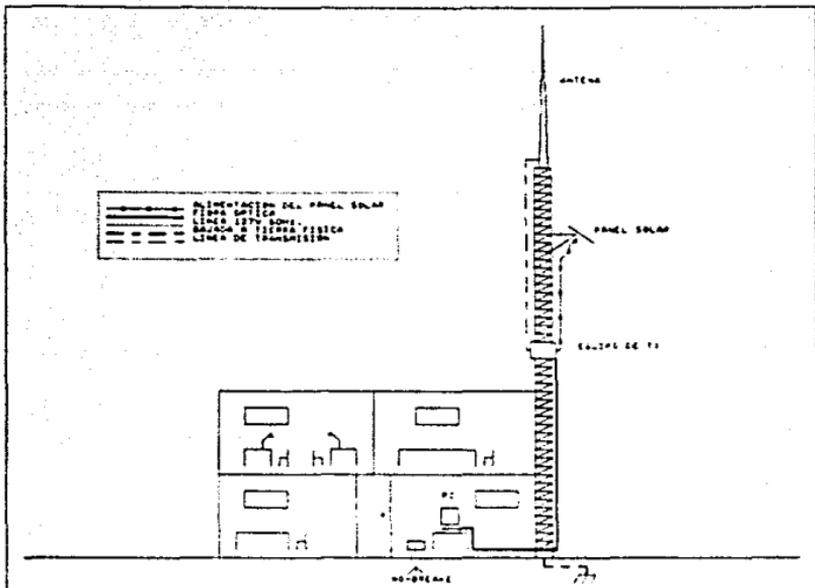


FIGURA 56. Diagrama esquemático de instalación de la ETC.

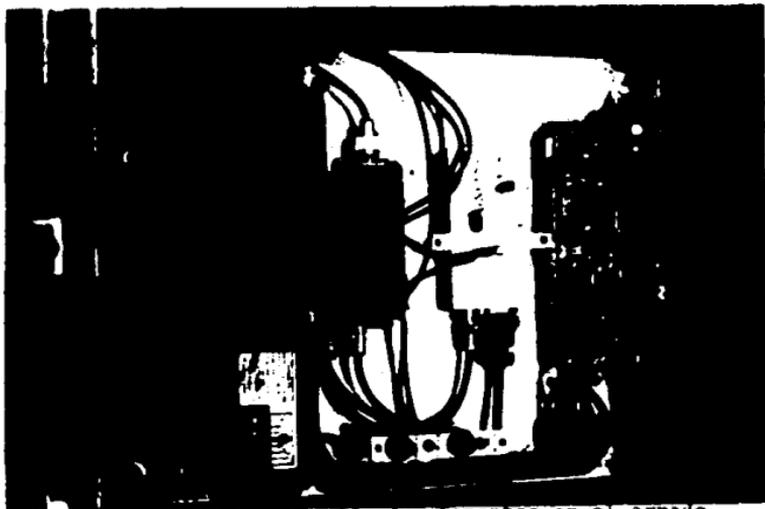


FIGURA 57. Distribución de elementos en el armado ETC de la caja de transmisión.



FIGURA 58. Instalación de la caja transmisora en la torre.



FIGURA 59. Sistema de recarga en base a células solares

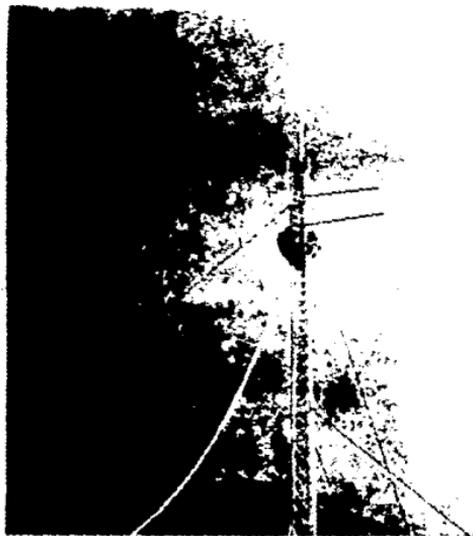


FIGURA 60. Instalación de la antena en la torre.

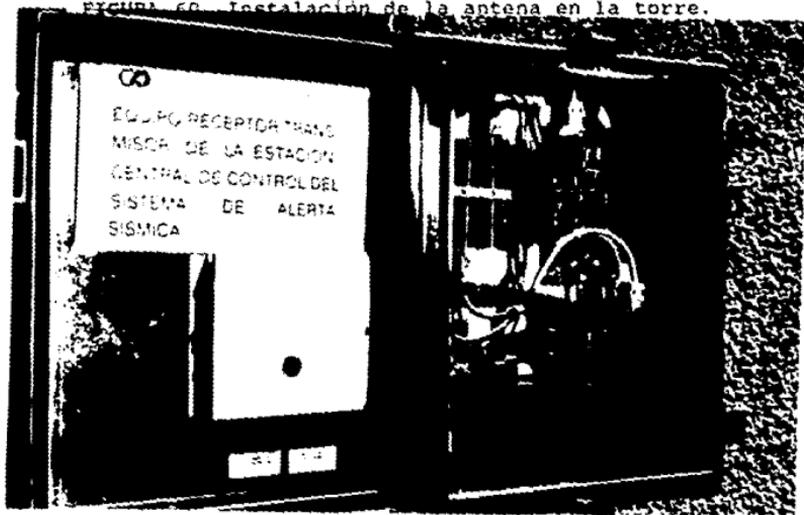


FIGURA 61. Aspecto general de ETC.

5.2 Estación Receptora de Control (ERC).

5.2.1 Construcción de la Tarjeta para la ERC.

En el desarrollo de la elaboración del circuito impreso de las tarjetas, se tomaron en consideración los siguientes puntos:

- a) Para evitar la compra de un contenedor que albergue el equipo para la ERC, se propuso que éste quedara dentro de los DCA-333 que conforman la Red, estos equipos están sellados y no permiten el paso de la humedad, por lo que una limitante es las dimensiones de la tarjeta.
- b) La alimentación de esta tarjeta, así como las salidas para controlar el equipo DCA-333, deben ser accesibles y conectadas de tal forma para que salgan en grupo.
- c) Hacer compatible la conexión de la tarjeta con el receptor, ya que éste tiene sus terminales de entrada y salida a través de un conector DB-9, además que su alimentación (incluida en las terminales del conector), sea dada por la tarjeta.
- d) Instalación fácil y que permita su revisión en las rutinas de mantenimiento.

De las consideraciones anteriores se vio que la tarjeta puede quedar junto al grabador de cinta (Deck), justo en la parte inferior, ya que el espacio permite su instalación rápida y no entorpecerá las rutinas de mantenimiento que se dan a los equipos y además permite una revisión fácil de la tarjeta.

Por otro lado se observa que también el receptor puede quedar incluido dentro de los acelerógrafos, justo en la tapa superior, con lo cual el receptor queda aislado del exterior.

En las figuras 61b y 62, se muestra la tarjeta diseñada para la ERC. Las características de esta tarjeta son:

- Construcción modular.
- Cuenta con 6 terminales para entradas y salidas:
 - Polarización a +12 V
 - Disparo externo
 - Tiempo externo
 - Señal omega
 - tierra
- Conector DB-9 hembra compatible 1 a 1 con las terminales del conector en el receptor.
- Dimensiones: 19 cm X 8 cm.

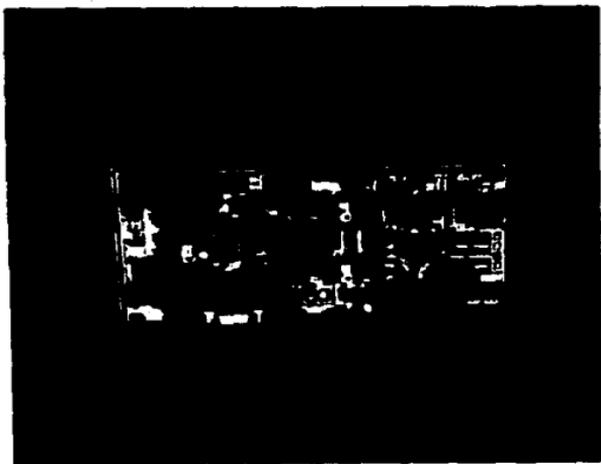


FIGURA 61b. Tarjeta de la ERC (Lado Componentes)

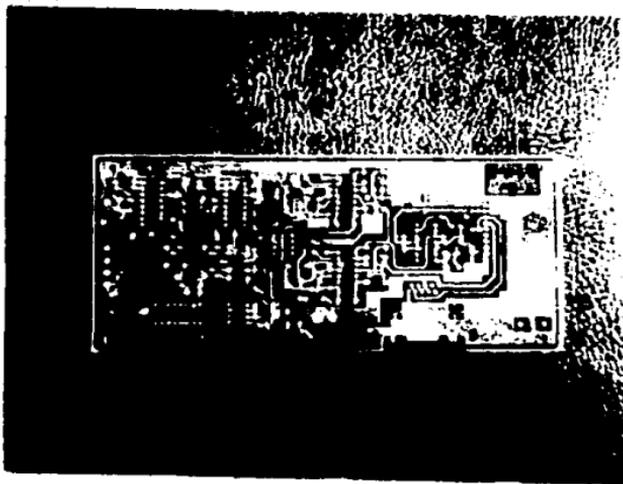


FIGURA 62. Tarjeta de la ERC (Lado Soldadura).

5.2.2 Características Eléctricas de la ERC.

I.- El sistema de alimentación en una ERC, se forma por:

- una batería tipo Automotriz de 35 AH (Ampere-Hora)
- un panel solar de 15 watts
- un regulador de 15 a 12 V_{DC}

los aparatos instalados en la Red de Acelerógrafos del Valle de México, cuentan ya con este sistema para su alimentación, y representan un respaldo de 15 días en caso de falla en la recarga de las baterías por parte del panel solar. La alimentación de la tarjeta para la ETC, así como para el receptor que la conforma,

se tomará del equipo ya instalado, siendo el consumo total de éstos, 50 mA/hora, de los cuales 20 mA corresponden al receptor, por lo anterior se estima tener un respaldo de 10 días en lugar de los 15 mencionados anteriormente. Cabe mencionar que los aparatos de la Red consumen en condición de "Standby" aproximadamente 75 mA/hora.

II.- Tarjeta Receptora de Control.

Alimentación general:

+12 V_{DC} nominales, tolerancia +15%

Fuente regulada:

salida: +9 V_{DC}, con regulación ±0.27 %

Demoduladores:

alimentación:	+9 V _{DC}
impedancia de entrada:	20 K Ω
nivel de entrada:	nominal 1 V _{RMS} mínimo 2mV _{MS} máximo 3 V _{RMS}
frecuencia central:	1170 y 2125 Hz
estabilidad:	±5 %
salida:	tipo colector abierto 0 volts - "0" 9 volts - "1"

Detector de la señal de control:

alimentación: +9 V_{DC}
nivel de entrada: +9 V_{DC}
voltaje de referencia: +6 V_{DC}, ±5 %
tiempo de elevación en el circuito RC: 750 ms ±5 %
salida: +8.5 V_{DC}, una vez rebasado el umbral de comparación

Conmutador:

alimentación: +12 V_{DC}
entradas: señal de sincronía y señal Omega, ésta última del tipo colector abierto
acoplamiento: directo
activación: con un nivel de 0 volts en la entrada de activación
salida: en alta impedancia cuando no está activo el buffer. Conexión directa para la salida de tiempo externo

Controladores:

alimentación: +12 V_{DC}
base de tiempo:
a) control del conmutador: 10 seg. ±5 %
b) control de grabación: 47 seg. ±5 %
activación: por flanco de ascenso

operación:

- a) control del conmutador:
monoestable
- b) control de grabación:
monoestable, terminales 3,
6, y 7
estable, terminal 1

restablecimiento:

por flanco de ascenso sin activación presente

salida:

tipo colector abierto

III.- Etapa de Recepción.

Receptor:

modelo:	MAXON DR-0520
alimentación:	+12 V _{DC}
frecuencia de portadora:	449.725 MHz
sensibilidad:	0.5 μ V para 20 dB de atenuación señal a ruido
estabilidad:	± 0.0005 %
salida de audio:	200 mV RMS para un tono de 1 KHz a ± 2.6 KHz de modulación
Impedancia de entrada de RF:	50 Ω nominal
consumo:	20 mA en Standby
rango de temperaturas:	-30°C a +80°C

Detector de tonos de sub-audio:

modelo:	MAXON CP-0520
alimentación:	+12 V _{DC}
frecuencia de detección:	250.3 Hz. norma EIA RS-220 A

impedancia de entrada:	250 K Ω típico, 100 K Ω mínimo
nivel de entrada:	200 mV RMS
retardo en la detección:	250 ms
salida de detección:	niveles TTL, tipo colector abierto
salida del audio filtrado:	1 V RMS
consumo:	6.5 mA en Standby

Con lo expuesto en este capítulo y en los anteriores, se cumple con la fases de diseño y construcción de las tarjetas para las Estaciones Receptoras. El ajuste e instalación del equipo aquí diseñado se describe a continuación.

5.2.3 Procedimiento de ajuste de la tarjeta para la ERC.

De la figura 50, los potenciómetros de ajuste para la tarjeta de la estación receptora son:

R23: voltaje de salida de la fuente regulada

R37: frecuencia central del demodulador en la banda de 1070-1270 Hz

R47: frecuencia central del demodulador en la banda de 2025-2225 Hz

El procedimiento de ajuste es el siguiente:

- 1.- Colocar los switch's del DPSW1 en la posición de OFF.
- 2.- Alimentar la tarjeta con 12 V_{DC}.

- 3.- Abrir el switch 1 (SW1), para permitir la operación de la fuente regulada.
- 4.- Con el potenciómetro R23 se ajusta la salida de voltaje en la fuente regulada a $9 V_{DC}$ midiendo con un voltmetro en la terminal 3 del integrado U2 (LM723).
- 5.- Colocar en la posición de ON los switch's 1 y 3 del DPSW1 para cortocircuitar la entrada de señal en los demoduladores con la terminal de salida del voltaje de referencia de éstos, y permitir la calibración de su frecuencia central.
- 6.- Con un frecuencímetro conectado en la terminal 3 del integrado U3 (XR 2211), se ajusta la frecuencia central de operación de este demodulador a 1170 Hz con ayuda del potenciómetro R37.
- 7.- Con un frecuencímetro conectado en la terminal 3 del integrado U4 (XR 2211), se ajusta la frecuencia central de operación de este demodulador a 2125 Hz con ayuda del potenciómetro R47.
- 8.- Colocar en la posición de OFF los switch's 1 y 3 del DPSW1.
- 9.- Colocar en la posición de ON los switch's 2 y 4 del DPSW1.
- 10.- Para verificar la correcta operación de las etapas de: detección de señal de control, conmutación de señales de tiempo y sincronía, control de conmutador y control de grabación; se debe seguir el siguiente procedimiento:

- a) Colocar el switch 2 (SW2) en el punto A.
- b) Conectar en el punto A un generador de funciones, el cual entregue una señal del tipo onda cuadrada con $9 V_{DC}$ y frecuencia de 0.65 Hz (1.54 s).
- c) Con un osciloscopio conectado en la terminal 6 de U5 (LM 741, detector de la señal de control), observar que al primer medio ciclo de la señal del generador de funciones, se tenga un cambio de estado de bajo a alto en la terminal antes mencionada.
- d) Comprobar la operación del conmutador de señales de tiempo y sincronía, para ello conectar la entrada de la señal de Omega a tierra y con el osciloscopio conectado en la terminal de tiempo externo, observar que la señal mostrada cambie de un estado continuo de cero volts, por la señal del generador de funciones una vez que ha transcurrido el primer ciclo de ésta última.
- e) Conectar el osciloscopio en el punto B, ver que la señal cambie de un estado alto a bajo durante 10 segundos una vez que ha transcurrido el primer medio ciclo de la señal del generador de funciones.
- f) Conectando el osciloscopio en la terminal de disparo externo observar que se obtenga una señal que varíe de un estado alto continuo, por una del tipo estable durante 47 segundos. Lo anterior, debe ocurrir una vez que la señal del generador de funciones ha dado su primer medio ciclo.

11.- Cerrar el switch 2 (SW2).

- 12.- Cerrar el switch 1 (SW1).
- 13.- Los switch's del detector de tonos de sub-audio se deben de colocar en la posición de ON para que se pueda detectar la frecuencia de 250.3 Hz que corresponde al sub-audio emitido por la ETC. Para mayor información ver las hojas de especificaciones de este componente en los anexos correspondientes.

Con el procedimiento anterior, se logra ajustar la tarjeta de la ERC, así como, verificar su correcto funcionamiento, faltando mencionar que para el receptor utilizado (Receptor "MAXON") es necesario verificarle algunos puntos para su correcto funcionamiento, siendo los más importantes a revisar los siguientes:

- frecuencia nominal de portadora del receptor
- sensibilidad
- correcto funcionamiento del detector de portadora

El procedimiento para llevar a cabo las pruebas anteriores, se indica en el manual del receptor incluido en los anexos correspondientes. En nuestro caso se realizan las pruebas con un monitor de servicio "RAMSEY" modelo COM-3.

5.2.4 Instalación de una Estación Receptora de Control

La figura 63, muestra el diagrama esquemático de la instalación de una ERC. La señal recibida en la antena colocada junto al panel solar, se envía por cable coaxial (cable RG 58 A/U, impedancia característica de 50 Ω), a la entrada de RF del receptor.

A continuación se listan los pasos para instalar la tarjeta, el receptor y la antena en la ERC:

1.- Desconectar la alimentación general a los acelerógrafos para protección del equipo.

2.- Por el ducto de llegada de la alimentación del panel solar, bajar el cable coaxial de la antena, para posteriormente instalar la antena.

3.- Pegar al chasis unos rieles de plástico, en el espacio destinado a albergar la tarjeta, y que sirven para soportar a ésta.

4.- Con unos soportes de aluminio, fijar el receptor en la tapa superior de los acelerógrafos. Se cuenta con 4 tornillos que retienen al espejo de la mirilla de los equipos, se aprovechan éstos para sostener los soportes de aluminio.

5.- Una vez secado el pegamento en los rieles de plástico, se procede a insertar la tarjeta y conectarla a las terminales correspondientes del equipo DCA-333 y a la entrada de la señal omega. Teniendo cuidado de que el cable para las conexiones quede adherido al chasis.

6.- Conectar el cable de conexiones entre el conector DB9 hembra de la tarjeta y el conector DB-9 macho del receptor. Cuidar que este cable quede adherido al chasis con holgura, para permitir que se abra la tapa.

7.- Conectar el cable coaxial a la entrada de RF del receptor (previamente el extremo del cable coaxial se termina con un conector BNC macho, ya que la entrada de RF del receptor es a través de un conector BNC hembra de chasis).

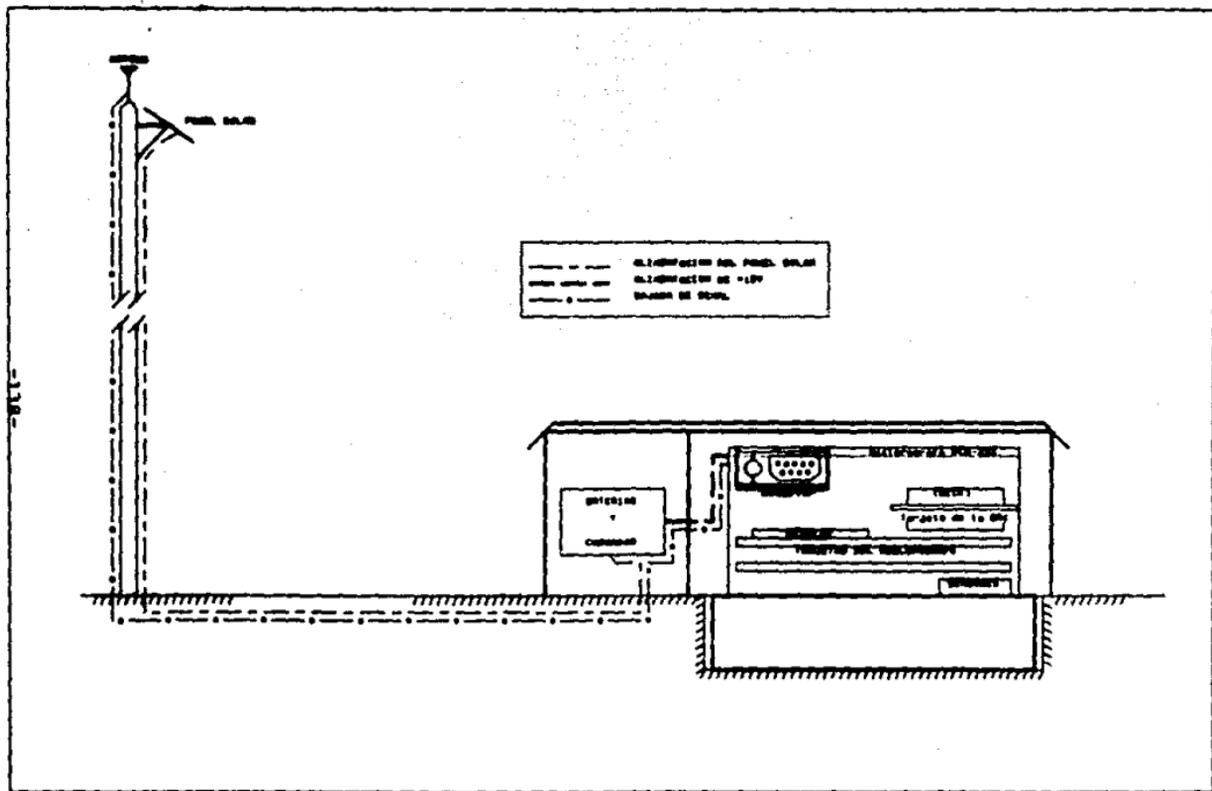


FIGURA 63. Diagrama Esquemático de Instalación de la ERC.

8.- Instalado el equipo de la ERC, se procede a conectar la alimentación general y se verifican algunos puntos en la tarjeta, tales como:

- voltaje de alimentación
- salida de voltaje en la fuente regulada
- frecuencia central de operación en los demoduladores
- salida de la señal omega

9.- Poner en operación al equipo DCA-333, realizando una rutina de mantenimiento de éste.

10.- Entablar comunicación con la ETC, para que emitan mensajes de prueba, y se graben en la cinta, permitiendo así, verificar el perfecto funcionamiento de la ERC.

11.- Dejar operando el equipo normalmente.

En las siguientes páginas se muestra una secuela de imágenes tomadas en la instalación de una ERC.

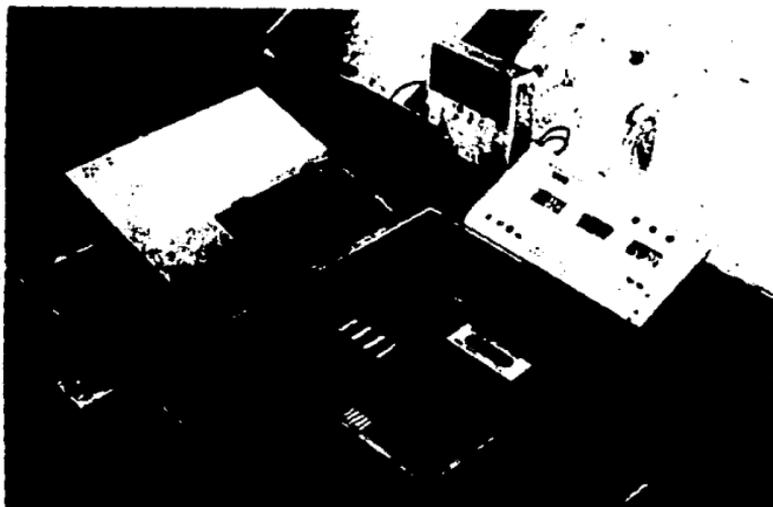


FIGURA 64. Estación típica de campo.



FIGURA 65. Trabajos para guiar el cable de la antena receptora (acometida en el panel solar).



FIGURA 66. Trabajos para guiar el cable de la antena receptora (acometida en la caja protectora del equipo).

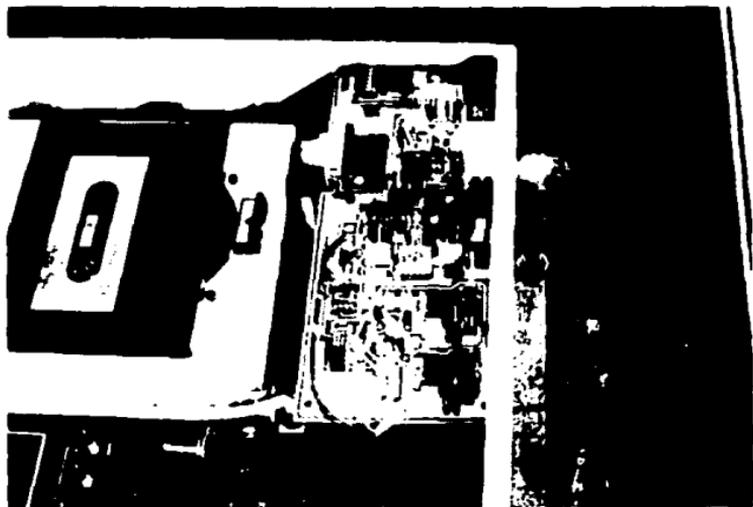


FIGURA 67. Colocación de la tarjeta de la ERC en los equipos acelerograficos.



FIGURA 68. Colocación del Receptor de la ERC.



FIGURA 69. Aspecto de la instalación en una ERC.

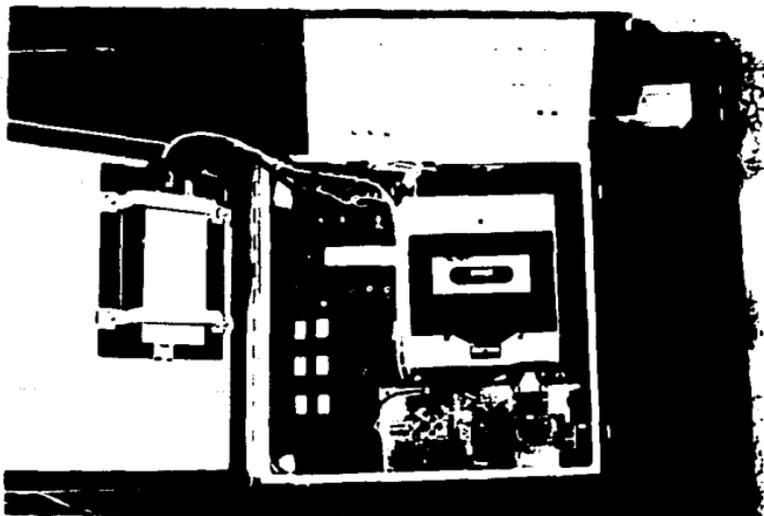


FIGURA 70. Estación típica de campo, con los elementos ya instalados de la ERC.

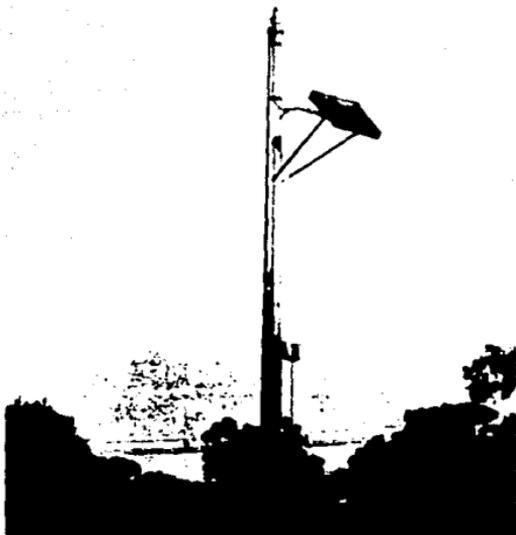


FIGURA 71. Panel solar y antena instalada.

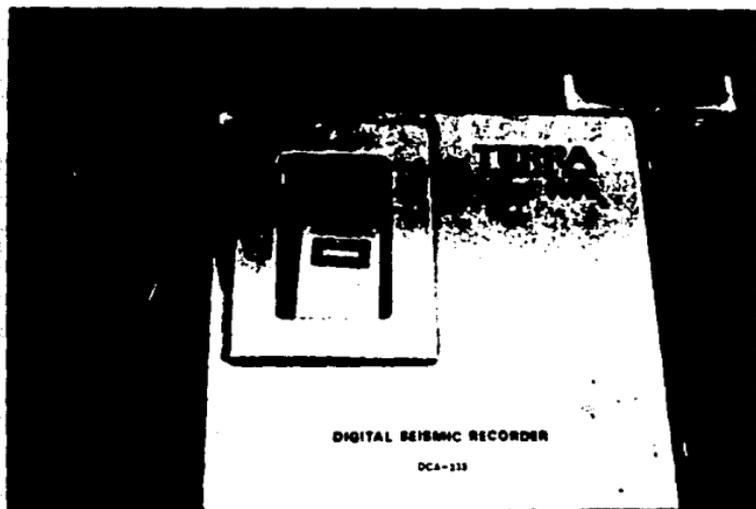


FIGURA 72. Aspecto final de una estación de campo.

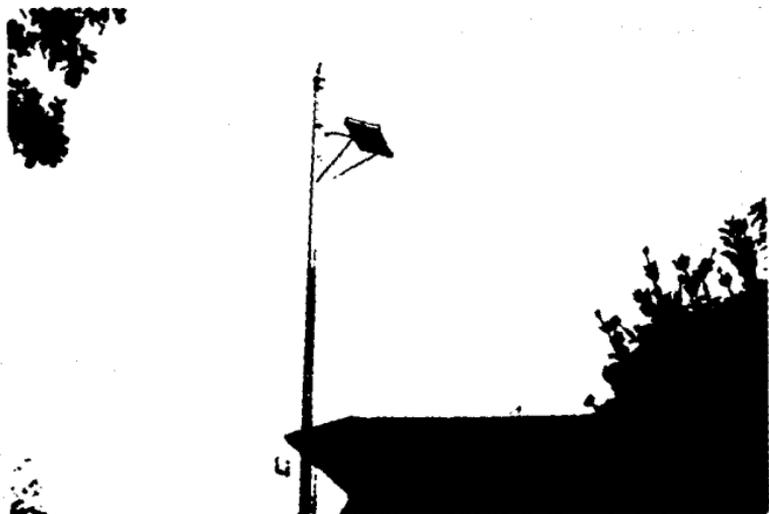


FIGURA 73. Vista de una estación de campo.

CONCLUSIONES Y RECOMENDACIONES

Con la finalización de este desarrollo se cumplen las metas indicadas en los objetivos; lograr un sistema de disparo radio-controlado económico y confiable; un conmutador para manejar las señales de disparo, de tiempo externo y las del código de sincronía, este último incluido dentro de la Estación Receptora de control.

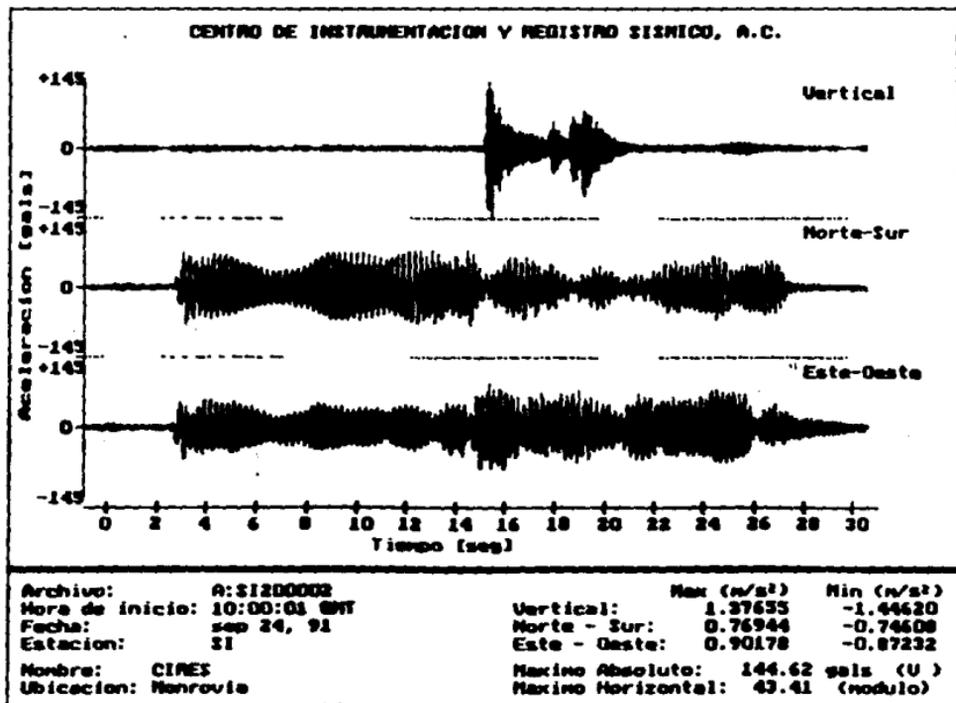
Los circuitos diseñados y construidos cumplen en forma satisfactoria las especificaciones generales propuestas, mencionadas en la sección 2.4.

Es importante hacer notar el uso de tecnología de vanguardia como es el caso del enlace por fibra óptica, el cual nos permite tener mayor seguridad en el desacople de equipos delicados como lo es la PC.

Pruebas iniciales de radio, disparos controlados y grabación de la señal de sincronía efectuados dentro de las instalaciones del CIRES, AC., nos permitieron probar el sistema, dando buenos resultados, por lo cual se procedió a la fabricación en serie.

Actualmente se tienen instaladas dos estaciones receptoras en los equipos de la Red, el primero de ellos en las oficinas del CIRES y el segundo en la Fundación Javier Barros Sierra, AC., las pruebas de comunicaciones en estos sitios fueron muy satisfactorias, a tal grado, que la antena de los receptores se construyó dejando un elemento expuesto del mismo cable coaxial de bajada de la antena, cortado a $1/4$ de longitud de onda de la frecuencia de transmisión (16.67 cm).

En la figura 74, se muestra la grabación realizada por los disparos de prueba, durante la instalación del equipo en la Fundación Javier Barros Sierra, AC., en ella se puede observar la presencia del código de sincronía.



-146-

FIGURA 74. Acelerograma obtenido en Pruebas de Sincronización.
(Obsérvese la presencia del Cóligo de Sincronía al inicio)

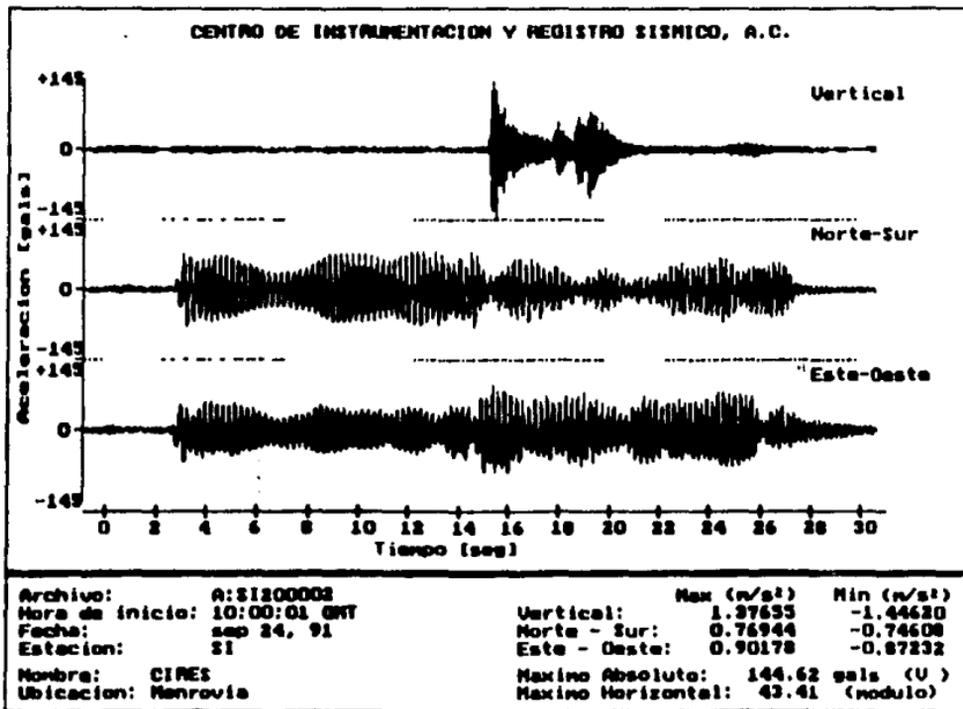


FIGURA 74. Acelerograma obtenido en Pruebas de Sincronización.
(Obsérvese la presencia del Código de Sincronía al inicio)

La importancia de contar con estos equipos ya instalados, es permitirnos la evaluación de la metodología de operación del SISI mencionada en la sección 2.5.

Conforme se de la rutina de mantenimiento a la Red de Acelerógrafos, se harán pruebas de comunicaciones en cada sitio para determinar el tipo de antena requerido y progresivamente ir instalando las demás estaciones receptoras.

Con base en la experiencia adquirida a lo largo del desarrollo de los circuitos y el mejoramiento continuo de los componentes electrónicos, se plantea la posibilidad de realizar modificaciones que mejoren el funcionamiento de éstos y los simplifiquen.

Durante el desarrollo de este trabajo se observó que los puntos más sensibles y vitales del sistema son:

- 1.- Voltaje de la fuente regulada.
- 2.- Frecuencia de los moduladores.
- 3.- Frecuencia de los demoduladores.
- 4.- Pulido de la fibra óptica.
- 5.- Parámetros de los radios (Transmisor y Receptor).
- 6.- Elaboración de cables y conectores.

El enlace por fibra óptica presentó problemas, en primera instancia por falta de información técnica, por lo que fue necesario caracterizarlos en el laboratorio para poder crear el primer prototipo, éste opera favorablemente. Recientemente se obtuvo información técnica de los elementos que la componen, notando la necesidad de modular la información que se envía por fibra óptica.

Consideramos que es de gran importancia tener registros de las diferentes estaciones perfectamente sincronizados, para que de este modo, puedan ser aprovechados por geólogos, físicos, ingenieros y cualquier profesionista dedicado al estudio del comportamiento de la corteza terrestre, y así con la información producida por esta nueva red, evaluar la respuesta sísmica y los efectos de sitio. Con seguridad, los resultados de estos estudios se incluirán en la nueva reglamentación de construcción por diseño sísmico para el D.F.

Esperamos que el empleo de los circuitos descritos en el presente trabajo logren su finalidad y aporten los beneficios esperados a la ingeniería.

NOTAS

- 1.- En México, por ejemplo, todos los sismógrafos del centro del país se saturan al ocurrir sismos con magnitudes mayores a 7.0 en la costa del Pacífico.
- 2.- Si bien en las ciudades mencionadas el número de sismógrafos y acelerógrafos es aproximadamente el mismo.
- 3.- Para la adecuada distribución de las estaciones de cada Fundación se tomaron en cuenta las siguientes premisas (Otero, 1987).
 - a. La red debería cubrir la zona más densamente construida de la Ciudad, con pocas extensiones fuera del Distrito Federal.
 - b. La mayor parte de los aparatos tendrían que localizarse en la zona de suelo compresible, con atención apropiada a puntos donde se hubieran observado efectos inesperados durante los sismos de 1985 y tomando en cuenta la existencia de las estaciones del Instituto de Ingeniería de la UNAM.
 - c. Las estaciones de las dos Fundaciones tendrían que intercalarse de tal manera que no hubiera áreas de la Ciudad excesivamente grandes con instrumentos de una sola de ellas.
 - d. Para la localización de las estaciones habría que obedecer prioritariamente a consideraciones de seguridad para el aparato: libre acceso a él a toda hora cualquier día del año, posibilidad de permanencia en el sitio por plazo indefinido, y cercanía a suministro de corriente eléctrica de la red comercial.

Este esquema general de localización tuvo algunos cambios para adaptarse a la realidad de los diversos lugares, que en su mayoría fueron encontrados en las escuelas y los parques públicos que mejor satisfacían los requisitos antes mencionados.

4.- El porcentaje de acelerómetros que funcionan actualmente, por zonas geotécnicas del DF, es el siguiente:

I	Zona de Lomas	23.5%
II	Zona de Transición	14.8%
III	Zona del Lago	33.7%
IV	Zona del Lago	28.0%

La zona IV fue de las áreas de la ciudad que sufrieron los mayores daños durante los sismos de 1985.

5.- Acelerógrafos de la fundación ICA

La fundación ICA ha utilizado dos tipos de aparatos durante etapas sucesivas del desarrollo de su parte de la red. En primer lugar se utilizaron diez aparatos marca Terra Technology tipo DCA-302, de registro de cassette digital (Otero, 1987). Todo este equipo fue prestado por el Centro de Investigación Científica y de Estudios Superiores de Ensenada (CICESE), y se instaló temporalmente en las primeras estaciones definitivas que se construyeron en la primera mitad de 1987. Con la llegada de los nuevos aparatos se inició el proceso de sustitución e instalación definitiva.

Los instrumentos definitivos son del tipo SS-1, fabricados por Kinematics, y son de registro en memoria de estado sólido, la cual permite el traslado de los datos registrados directamente a la computadora, y la interrogación del instrumento por vía telefónica.

Para la obtención de señales de tiempo precisas, simultáneamente en las tres componentes de aceleración, las estaciones de la Fundación ICA cuentan con un radio-receptor/sincronizador, diseñado y construido por CICESE, que capta las señales de tiempo de la estación WWVB (de la oficina de Estándares de Estados Unidos). Este dispositivo se encarga de sincronizar el reloj interno del acelerógrafo cada vez que reciba una buena señal de la estación emisora. En esta forma se espera contar con registros acelerográficos de diferentes lugares con señales de tiempo de la precisión necesaria para comparar lo que ocurre en todos ellos en un instante dado.

En una primera etapa de operación de los instrumentos definitivos, que tienen un consumo aproximado de 75 mA, se recurrirá a alimentarlos mediante 4 baterías de 12 v. En una etapa posterior se contará con suministro de corriente eléctrica que permita mantener permanentemente cargadas las baterías. Las características generales de estos aparatos se presentan en la tabla 3 (Otero, 1987).

- 6.- fueron los equipos Terra Technology DCA-333, como equipos de superficie y los DCA-300, para sensores de pozo (Espinosa, et al, 1987).
- 7.- 6100 de Intersil.
- 8.- Un cassette puede tener grabados hasta 15 minutos de datos acelerométricos.

TABLA 3
Características principales de los acelerógrafos
de FICA (a) y de CIRES (b)

No. de canales	a. 3, x, y, z montados internamente b. 3 x, y, z montados internamente
Registro en	a. Memoria de estado sólido b. Cassette
Muestreo	a. 200 muestras/seg por canal b. 100 muestras/seg por canal
Resolución	a. 12 bits b. 12 bits
Intervalo de registro	a. Variable. Se dejarán en ± 1 g b. ± 0.5 g. variable.
Sensores tipo	a. Fuerza balanceada b. Fuerza balanceada
-frecuencia natural	a. 50 Hz b. 100 Hz
-Asortiguamiento	a. 70% del crítico b. 70% del crítico
Microprocesador	a. NSC-800 b. 6100 de Interstil
Disparador	a. Ajustable, basado en cualquier combinación de los tres canales. b. Ajustable, basado en un nivel preestablecido para cualquier canal.
Memoria de pre-evento	a. 1.25, 2.5, 5, 10 ó 15 seg., seleccionable b. 4.0 seg.
Memoria de estado sólido	a. CMOS-RAM respaldado por batería
Capacidad de memoria	a. 2 x 256 Kbytes (aprox. 20 min. de registro) b. 0.5 Mbytes (aprox. 15 min de registro)
Consumo de energía	a. 75 mA a 12 vcd b. 70 mA a 12 vcd

9.- Las características generales de estos aparatos se presentan en la tabla 3.

10.- El instrumento esencial del sistema es el acelerógrafo, debido a que en Ingeniería Civil es de suma importancia la medición de las aceleraciones a las que se someten las estructuras durante los sismos.

La miniaturización de los acelerómetros nos permite considerar una medición puntual. Además, la señal de salida se puede integrar electrónicamente para obtener velocidad y desplazamiento.

11.- En cada cassette, se graban bloques con 48 bits de información distribuidos en 8 palabras de 6 bits. Cada bloque incluye: a) Una muestra de la señal de aceleración detectada en cada canal ortogonal; b) datos multiplexados de la fecha, hora del registro del reloj interno y número de serie del registrador; c) información del código de ganancia de cada muestra; y d) una muestra de la señal de código de tiempo externo.

En cada bloque sólo se representa una muestra, por ello, para integrar un segundo del registro de aceleración se necesitan bloques, dentro de los cuales se multiplexan los datos del código de tiempo externo y el tiempo del reloj interno del acelerómetro.

12.- La estación se compone de dos tipos de registradores interconectados para actuar sincronizadamente: el modelo DCA-300 de la Cía TERRA TECH, con sensores triaxiales modelo DCA-302 para captar registros a profundidad y el modelo DCA-333 de la misma compañía para sensar los de superficie.

13.- Sin contar que cada aparato de la Red está calibrado al movimiento terrestre a su etorno.

14.- Además los equipos funcionan eventualmente y no se tiene la certeza de su buen estado y existe la posibilidad de falla cuando se presenta un evento.

**A N E X O A: Tarjeta JDR Microdevices
Información Técnica.**

JDR PR-1 AND PR-2 USERS MANUAL

The JDR PR-1 and PR-2 prototype cards for the IBM PC are designed to be used in all current models which use the 52 pin interface bus. At present that includes the PC-1, PC-2, PC-XT and *PC-AT. It does not include the PC-JR.

This card was designed with the engineer / technician in mind. Component and test point labeling are silk screened onto both sides of the card in an effort to simplify both point to point soldering and wire wrapping.

For those designs requiring maximum flexibility, the PR-1 is a good choice. It is a high quality board with gold plated edge connectors, drilled and plated through holes and gridded power distribution for maximum EMI suppression (Electro-Magnetic Interference). The front of the card is gridded with a ground plane and the back with a +5 volts.

Many users will find the PR-2 an even better choice. In addition to the features of the PR-1, also included on the PR-2 are buffering and decoding circuitry which can be used as is, or easily modified to suit a wide range of user requirements.

The following pages will be devoted to circuit diagrams and suggestions for design implementations. A design for a Real Time Clock/Calendar with assembly language and basic listings is included as an example for the new user.

*The JDR PR-1 and PR-2 will not support 16 bit data transfers in the PC-AT, only 8 bit data transfers will be supported.



JDR Microdevices

110 Knowles Drive, Los Gatos, CA 95030

Toll Free 800-538-5000 • (408) 886-8200

FAX (408) 378-8927 • Telex 171-110

In any discussion of the signals and timing of the 62 pin bus, it is suggested that you have a copy of the IBM technical reference manual available

PR-2 THEORY OF OPERATION

IC-1, the 74LS245, is a bi-directional 8 bit bus transceiver. It operates in a three state mode. In other words, it can permit data to flow from the 62 pin bus to the unique circuitry on your card or allow data from the card onto the bus

The direction of data flow is determined by the DIR pin on the chip. When it will flow is controlled by the output enable line. If the output is not enabled, the device switches to it's "third" state. At that time, it neither drives nor loads the bus. This permits any device to share the same bus without contention.

NOTE: This is not exactly true, there is some loading, but it is negligible for our purposes.

If you use the printed circuit board without modification, the 74LS245 will drive the 62 pin bus during reads from I/O (Input/Output) ports in the range Hex 300-31F or decimal 768-799.

ICs two and three are 74LS244s, they are byte wide line drivers whose enable pins are tied to ground. Since the enable signal is active low, these chips always pass the bus signals they buffer straight through.

IC 6 is fed by signals from two logical sources. The function of the 74LS85 is to compare the levels arriving from those two sources and output a high signal on pin 6 when they are equal. Address bit A9 is used as an enable gate to the 74LS85 and must be high to permit further arbitration.

Address lines AB—A5 are compared with the inputs that come from the resistor bank and switch. If you desire to use the suggested range of addresses between Hex 300 and 31F, install the 4 7K resistor which is not designated as optional and do not install the Dip Switch, or for maximum flexibility in addressing, cut three traces under the "optional 4 7K" resistors and install all four resistors and the switch. The places to cut are marked with inward pointing arrows which look like miniature bow ties.

IC-5 a 74LS138 further decodes the address using A4 through A2. Each selected output from the 74LS138 will enable four consecutive addresses. As an example, pin 14 will be active (low) for addresses Hex 304—307 if the suggested range is used.

These blocks of four addresses are very convenient when devices such as the 8253, 8255, 8259 and 8250 are used.

ICs 4 and 7 provide the remainder of the logic required to use this card for a wide range of I/O control.

AEN (Address Enable) is used during during DMA (Direct Memory Access) and must not be true during I/O operations.

To completely activate this card, all of these conditions must be met:

- 1) I/O read or I/O write
and
- 2) Not DMA address enable
and
- 3) Comparator output is true

NOTE: Two additional land patterns have been flagged with the inward pointing arrows (bow ties). The one to pin 12 of the 74LS08 (IC-7) may be used to activate the card when you provide your own additional address decoding. Merely cut the line and apply your own active low enable signal.

The line which brings buffered Input/Output Read (IOR) to the Direction pin of IC-1, may also be opened. You would probably want to do this if you were decoding memory addresses, in which case only ICs 1—3 would be installed, the DIR pin would be driven by the buffered memory read, and Output Enable (OE) would come from your own decoder.

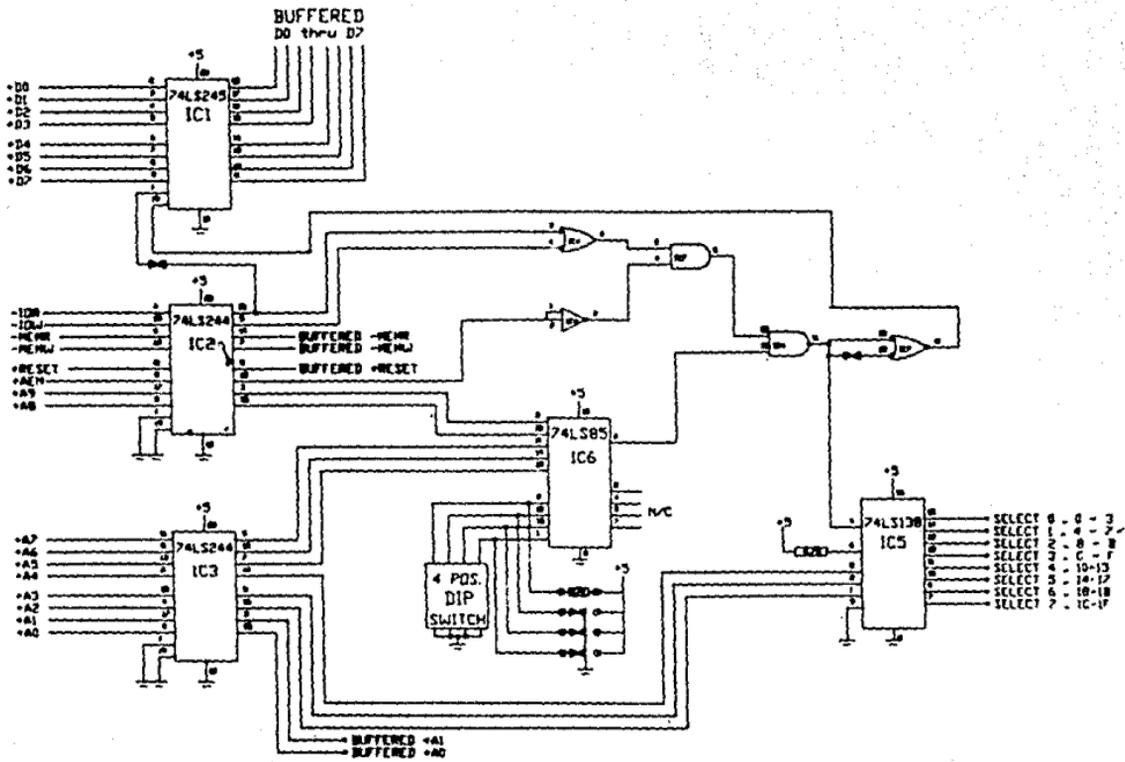


FIGURE 2
PAGE 5

**A N E X O B: Programa en Lenguaje C
 Para la Generación del Código de Sincronía.**

LISTADO DEL PROGRAMA PARA EL MONITOREO Y GENERACION DEL SISI

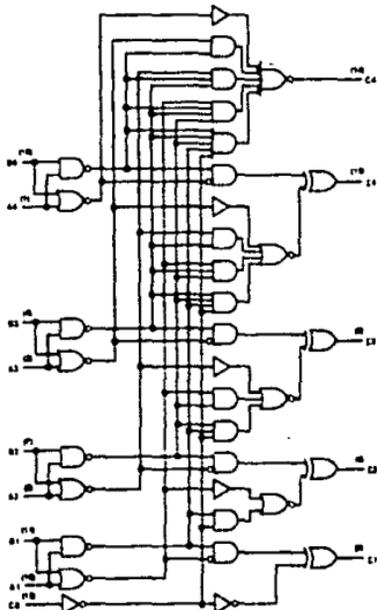
```

#include <dos.h>
#define PTOALTO 992
#define PTOBAJO 996
main ()
{
    int alto,bajo,segundo,entero,cociente,c,i,j,residuo,binario[8];
    segundo=16000;
    /* ptoalto=992; graba un edo alto en out 992,993,994,995*/
    /* ptobajo=996; graba un edo bajo en out 996,997,998,999*/
    clrscr();
    scanf("%d",&cociente);
    printf("numero ? %d \n",cociente);
    for (i = 1; i < 9; i++)
    {
        residuo=(cociente%2);
        cociente=(cociente/2);
        binario[i]=residuo;
    }
    printf("LSB-MSB \n");
    for (i=1;i!=8;i++) printf("%d",binario[i]);
    printf("\n");
    for (i=1;i!=8;)
    {
        if (binario[i]==1)
            /* define el periodo del uno y cero*/
            alto=(segundo*.70);
            bajo=(segundo*.3);
            printf("alto %d ",alto);
            printf("bajo %d \n",bajo);
        }
        else
            /*define el periodo del uno y cero*/
            alto=(segundo*.30);
            bajo=(segundo*.7);
            printf("alto %d ",alto);
            printf("bajo %d \n",bajo);
        }
        outport(PTOALTO,00);
        for (j=1;j!=alto;j++){
            outport(PTOBAJO,00);
            for (j=1;j!=bajo;j++){
                }
            getch();
        }
    }
}

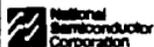
```

A N E X O C: Especificaciones Técnicas de los Circuitos
Integrados: 74LS05, 74LS138, 74LS74, LM723,
XR2211, XR2206, XR2240, CD4538, CD4503

Logic Diagram



N7 009-1



DM54LS85/DM74LS85 4-Bit Magnitude Comparators

General Description

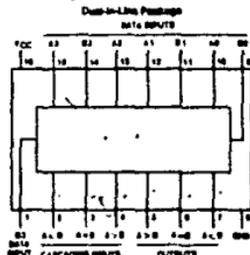
These 4-bit magnitude comparators perform comparison of straight binary or BCD codes. Three fully-coded decisions about less, = or more (A, B) are made and are externally available at three outputs. These outputs are fully expandable to any number of bits without external gates. Inputs of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding inputs of the next stage handling more-significant

bits. The stage handling the least significant bit must have a high-level voltage applied to the A = B input. The cascading path is implemented with only a two-pole time delay to reduce overall comparison time for long words.

Features

- Typical power dissipation 52 mW
- Typical delay 14-ns words 24 ns

Connection Diagram



Order Number DM54LS85A,
DM74LS85 or DM74LS85AH
See 165 Package Number
214A, B14A or B14A

Function Table

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A = B	A < B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	X	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

H = High Level, L = Low Level, X = Don't Care

Absolute Maximum Ratings (Notes)

Specifications for Military (commercial) products are not guaranteed in this document. Refer to the appropriate reliability electrical test specification document.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM74LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. Parameter values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table and Note 1 are controlling for normal device operation.

Recommended Operating Conditions

Symbol	Parameter	DM74LS5			DM74LS5S			Unit
		Min	Max	Max	Min	Max	Max	
V _{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V _{OH}	High-Level Input Voltage	3			3			V
V _{OL}	Low-Level Input Voltage			0.7			-0.8	V
I _{OH}	High-Level Output Current			-0.4			-0.4	mA
I _{OL}	Low-Level Output Current			4			4	mA
T _a	Free Air Operating Temperature	-55		125	0		70	°C

Electrical Characteristics (over recommended operating free air temperature range unless otherwise noted)

Symbol	Parameter	Conditions	Min		Typ (Note 1)		Max		Unit
V _I	Input Clamp Voltage	V _{CC} - Min, I _C = -18 mA						-1.5	V
V _{OH}	High-Level Output Voltage	V _{CC} = Max, I _{OH} = Max V _I = Max, V _{OL} = Min	DM74LS	2.5	3.4				V
			DM74LS	2.7	3.4				
V _{OL}	Low-Level Output Voltage	V _{CC} = Min, I _{OL} = Max V _I = Max, V _{OH} = Min	DM74LS		0.25	0.4			V
			DM74LS		0.25	0.4			
			DM74LS		0.25	0.4			
I _I	Input Current if Max Input Voltage	V _{CC} = Max V _I = 7V	A < B			0.1			mA
			A > B			0.1			
			Others			0.2			
I _{OH}	High-Level Input Current	V _{CC} = Max V _I = 2.7V	A < B			20			μA
			A > B			20			
			Others			60			
I _{OL}	Low-Level Input Current	V _{CC} = Max V _I = 0.7V	A < B			-0.4			μA
			A > B			-0.4			
			Others			-1.2			
I _{OS}	Short-Circuit Output Current	V _{CC} = Max Pin(s) Z	DM74LS	-70		-100			mA
			DM74LS	-25		-100			
I _{CC}	Supply Current	V _{CC} = Max (Pin(s) Z)			10		20	mA	

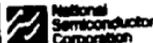
Note 1: All typical values are at V_{CC} = 5V, T_a = 25°C.

Note 2: Pin(s) Z means pins not connected or pins not of a type with the electrical symbol for floating pins (see Note 3).

Note 3: I_{CC} is measured with all inputs (pins Z) at 0V, and all other pins at 0V.

Switching Characteristics (at V_{CC} = 5V and T_a = 25°C. (Circuit Section 1 for 1-pulse Waveform and Output Load))

Symbol	Parameter	From Input	To Output	Number of Data Levels	t _p = 20 ns		Units
					C _L = 15 pF		
					Min	Max	
t _{PLH}	Propagation Delay Time Low to High-Level Output	Any A or B Data Input	A < B	3	36	42	ns
			A > B		42	40	
			A = B		4	42	
t _{PLL}	Propagation Delay Time High to Low-Level Output	Any A or B Data Input	A < B	3	30	40	ns
			A > B		42	40	
			A = B		4	31	
t _{PHL}	Propagation Delay Time Low to High-Level Output	A < B or A = B	A < B	1	22	29	ns
			A = B		1	17	26
t _{PLH}	Propagation Delay Time High to Low-Level Output	A < B or A = B	A < B	2	23	25	ns
			A = B		2	17	24
t _{PHL}	Propagation Delay Time Low to High-Level Output	A > B or A = B	A > B	1	22	24	ns
			A = B		1	17	24



DM54S138/DM74S138, DM54S139/DM74S139 Decoders/Demultiplexers

General Description

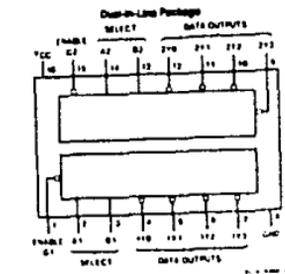
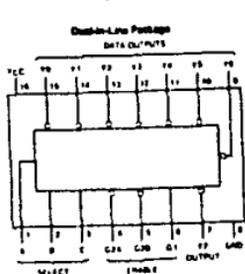
These Schottky-clamped outputs are designed to be used in high-performance memory-decoding or data-routing applications, reducing very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. Other decoders are available for the local access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The S138 decodes one-of-eight lines, based upon the conditions of the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding a 2-4-4-8 decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The S139 compares two separate two-line-to-four-bit decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered outputs assuring only one transition load to the driving circuit. All inputs are clamped with high-performance Schottky diodes to address line ringing and simplify system design.

Connection Diagrams



Order Number DM54S138L, DM54S139L, DM74S138L or DM74S139L
See NS Package Number J16A or H16A

Absolute Maximum Ratings

Not recommended for military/aerospace products are not specified in this document. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage	5.5V
Operating Free Air Temperature Range	
DM54S	55°C to +125°C
DM74S	0°C to +70°C
Storage Temperature Range	-55°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parameter values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table defines the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54S138,S139			DM74S138,S139			Units
		Min	Norm	Max	Min	Norm	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.8			0.8	V
V_{OH}	High Level Output Current			1			-1	mA
I_{OL}	Low Level Output Current			20			20	mA
T_C	Free Air Operating Temperature	-55		125	0		70	°C

Electrical Characteristics

over recommended operating free air temperature (unless otherwise noted)

Symbol	Parameter	Conditions	Typ (Note 1)			Units
			Min	Max	Max	
V_{IC}	Input Clamp Voltage	$V_{IC} = \text{Min}, I_C = -18 \text{ mA}$			-1.2	V
V_{OH}	High Level Output Voltage	$V_{IC} = \text{Min}, I_{OH} = \text{Max}$ $V_{IL} = \text{Max}, I_{OL} = \text{Min}$	DM54 2.3	DM74 2.4	3.4	V
V_{OL}	Low Level Output Voltage	$V_{IC} = \text{Min}, I_{OL} = \text{Max}$ $V_{IH} = \text{Min}, I_{IH} = \text{Max}$	DM74 2.1	2.4	0.8	V
I_{IH}	Input Current @ Max Input Voltage	$V_{IC} = \text{Max}, V_I = 5.5 \text{ V}$			1	µA
I_{IH}	High Level Input Current	$V_{IC} = \text{Max}, V_I = 2.7 \text{ V}$			30	µA
I_{IL}	Low Level Input Current	$V_{IC} = \text{Max}, V_I = 0.5 \text{ V}$			-2	µA
I_{OH}	Short Circuit Output Current	$V_{IC} = \text{Max}$ (Note 2)	DM54 40	40	-100	mA
I_{OL}	Short Circuit Output Current	(Note 2)	DM74 40	40	100	mA
I_{CC}	Supply Current (S138)	$V_{IC} = \text{Max (Note 3)}$			49	µA
I_{CC}	Supply Current (S139)	$V_{IC} = \text{Max (Note 3)}$			80	µA

Note 1: All values are at $T_C = 25^\circ \text{C}$, $V_{CC} = 5 \text{ V}$.

Note 2: See notes that are attached to the output of a line, and the number of lines not connected are included.

Note 3: I_{CC} is measured with all inputs tied to V_{CC} .

Absolute Maximum Ratings (Notes 1 and 2)

Specifications for military/aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage	5.5V
Operating Free Air Temperature Range	55°C to +125°C DW74S: 0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those conditions beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The performance values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54S74		DW74S74		Units	
		Min	Max	Min	Max		
V _{CC}	Supply Voltage	4.5	5	5.5	4.75	5	V
V _{OH}	High Level Input Voltage	2			2		V
V _{OL}	Low Level Input Voltage			0.8		0.8	V
I _{OH}	High Level Output Current			-1		-1	mA
I _{OL}	Low Level Output Current			20		20	mA
T _{OP}	Free Air Operating Temperature	-55	125	0			°C

Electrical Characteristics (over recommended operating free air temperature unless otherwise noted)

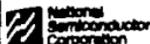
Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V _I	Input Clamping Voltage	V _{CC} = Min, I _I = -18 mA			-1.2	V
V _{OH}	High Level Output Voltage	V _{CC} = Min, I _{OH} = Max V _L = Max	DM54	2.5	3.4	V
			DW74	2.7	3.4	
V _{OL}	Low Level Output Voltage	V _{CC} = Min, I _{OL} = Max V _H = Min			0.5	V
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 5.5V			1	mA
I _{IH}	High Level Input Current	V _{CC} = Max, V _I = 2.7V			50	μA
I _{IL}	Low Level Input Current	V _{CC} = Max, V _I = 0.5V			-2	μA
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 2)	DM54	-60	-100	mA
			DW74	-60	-100	
I _{COH}	Supply Current with Outputs High	V _{CC} = Max		7	12.5	mA
I _{COL}	Supply Current with Outputs Low	V _{CC} = Max		8.5	18	mA

Switching Characteristics at V_{CC} = 5V and T_{OP} = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R _L = 300Ω				Units
		C _L = 15 pF		C _L = 50 pF		
		Min	Max	Min	Max	
t _{PHL}	Propagation Delay Time Low to High Level Output	2	5.5	2	8	ns
t _{PLH}	Propagation Delay Time High to Low Level Output	2	5.5	2	8	ns

Note 1: All values are at V_{CC} = 5V, T_{OP} = 25°C.

Note 2: Test wave high and output should be changed in a step, and the output should not exceed one square wave.

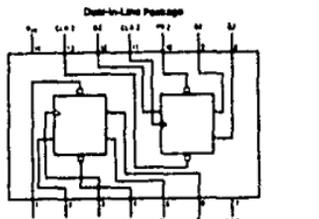


DM54S74/DW74S74

Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear, and Complementary Outputs

General Description

The device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the active going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is low or high without affecting the outputs as long as setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic state of the other inputs.

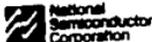
Connection Diagram

Order Number DM54S74, DM74S74 or DW74S74
See NS Package Number 7144, 8144 or 8144A

Function Table

Inputs		Outputs			
PRE	CLR	CLK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H ¹	H ¹
H	H	X	X	L	L
H	H	T	L	L	H
H	H	L	H	H	L

- X = High Level Logic
- L = Either Low or High Level Logic
- T = Low Level Logic
- T = Transition
- 1 = The propagation delay time for Q is not defined when both the preset and clear inputs return to the inactive High level.
- Q₀ = The initial logic state of Q before the published test conditions were established.



LM723/LM723C Voltage Regulator

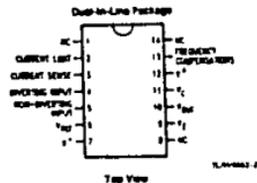
General Description

The LM723/LM723C is a voltage regulator designed primarily for remote regulator applications. By itself, it can supply output currents up to 100 mA. Its external transistor can be added to provide any desired load current. The circuit features extremely low standby current at no load, and provision is made for either linear or load-act current limiting.

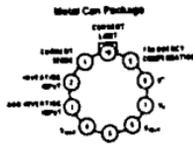
The LM723/LM723C is also useful in a wide range of other applications such as a shunt regulator, a current regulator, or a temperature controller.

The LM723C is identical to the LM723 except that the LM723C has its performance guaranteed over a 0°C to +125°C temperature range, instead of -55°C to +125°C.

Connection Diagrams



Top View



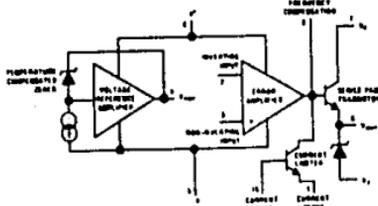
Side Pin 6 Connected to Pin 1

Top View

Order Number LM723A, LM723CA, LM723CQ or LM723CQW
See MS Package J16A, M16A or M16A

Order Number LM723M or LM723CM
See MS Package H10C

Equivalent Circuit*



*Pin numbers refer to Figure 1 pin layout.

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications. (Note 1)

Pass Voltage from V^+ to V^-	100 mA	50V
Continuous Voltage from V^+ to V^-		40V
Input Output Voltage Differential		42V
Maximum Amplifier Input Voltage (Either Input)		0.5V
Maximum Amplifier Output Voltage (Either Input)		5V
Current from V^+		25 mA
Current from V^-		15 mA

Internal Power Dissipation Metal Can (Note 1)	800 mW
Carrier DIP (Note 1)	800 mW
Mounted DIP (Note 1)	860 mW
Operating Temperature Range LM723	0°C to +125°C
LM723C	0°C to +125°C
Storage Temperature Range Metal Can	65°C to +15°C
Mounted DIP	155°C to +15°C
Lead Temperature (Soldering, 2 sec. max)	
Hermetic Package	300°C
Plastic Package	260°C

Electrical Characteristics (Note 2)

Parameter	Conditions	LM723		LM723C		Units	
		Min	Typ	Min	Typ		Max
Line Regulation	$V^+ = 12V$ to $V^+ = 15V$	0.01	0.1	0.01	0.1	% V_{OUT}	
	$55°C \leq T_A \leq 125°C$		0.3		0.3	% V_{OUT}	
	$0°C \leq T_A \leq 70°C$				0.3	% V_{OUT}	
	$V_{IN} = 12V$ to $V_{IN} = 40V$	0.02	0.2	0.1	0.5	% V_{OUT}	
Load Regulation	$I_L = 1 mA$ to $I_L = 50 mA$	0.03	0.15	0.03	0.2	% V_{OUT}	
	$-55°C \leq T_A \leq 125°C$		0.6		0.6	% V_{OUT}	
Ripple Rejection	$f = 50 Hz$ to $10 kHz$, $C_{OUT} = 0$	74		74		dB	
	$f = 50 Hz$ to $10 kHz$, $C_{OUT} = 5 \mu F$	86		86		dB	
Average Temperature Coefficient of Output Voltage (Note 3)	$-55°C \leq T_A \leq 125°C$	0.002	0.015			%/°C	
	$0°C \leq T_A \leq 70°C$	0.003	0.015			%/°C	
Short-Circuit Current Limit	$R_{SC} = 10 \Omega$, $V_{OUT} = 0$	65		65		mA	
Reference Voltage		0.95	1.15	0.90	1.15	1.50	V
Output Noise Voltage	$BW = 100 Hz$ to $10 kHz$, $C_{OUT} = 0$	88		88		μV_{RMS}	
	$BW = 100 Hz$ to $10 kHz$, $C_{OUT} = 5 \mu F$	2.8		2.8		μV_{RMS}	
Long Term Stability		0.06		0.06		%/1000 hrs	
Standby Current Drain	$V^+ = 0$, $V_{IN} = 30V$	1.7	3.5	1.7	0.0	mA	
Input Voltage Range		0.5	40	0.5	40	V	
Output Voltage Range		2.0	37	2.0	37	V	
Output Voltage Differential		3.0	38	3.0	38	V	
$R_{\theta JA}$	Mounted DIP	115		125		°C/W	
	Carrier DIP	150		150		°C/W	
	TO-5 Board Mount in Still Air	225		225		°C/W	
	TO-5 Board Mount in 40 L/MF Air Flow	80		80		°C/W	
	SO	125		125		°C/W	
$R_{\theta JC}$		25		25		°C/W	

Note 1: See drawing curves for maximum power using device PTC.

Note 2: Unless otherwise specified, $T_A = 25°C$, $V^+ = 12V$, $V^- = 0V$, $I_L = 10 mA$, $R_{SC} = 0 \Omega$, $C_{OUT} = 0 \mu F$, or other conditions as shown by circuit symbol. * 1000 hours test as shown in Figure 1. For test and regulation specifications see the Load or Standby Current Characteristics. Temperature drift may be taken into account according to the Temperature Coefficient of Regulation.

Note 3: I_L is 100 mA for all operating modes and output at 1.000 V. * 1000 hours test as shown in Figure 1.

Note 4: $R_{\theta JA}$ of package in parallel may be used if $R_{\theta JA}$ is given in parentheses next to $R_{\theta JA}$.

Note 5: Pin numbers refer to Figure 1 pin layout and device drawing in Figure 1.

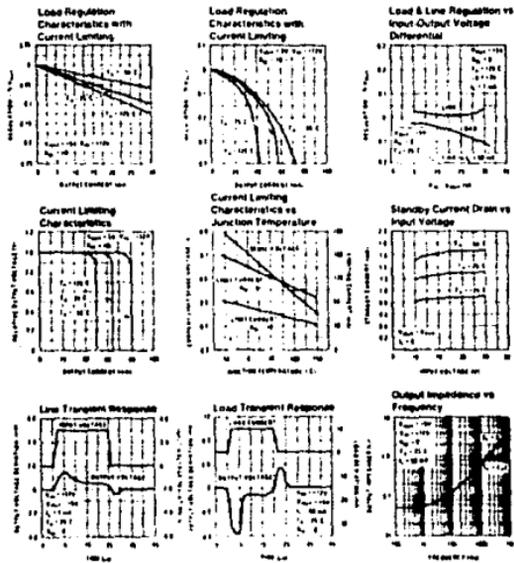
Note 6: $R_{\theta JC}$ must be corrected to $\pm 1.5V$ or greater supply.

Note 7: For detailed test equipment reference to a standard or reference PTC device is required for device test as shown in Figure 1.

Note 8: Characteristics are guaranteed to other than:

Note 9: Pin 6 to PE 15/123 Military Specification for the LM723.

Typical Performance Characteristics



Maximum Power Ratings

LM723C

Power Dissipation vs Ambient Temperature



1-191

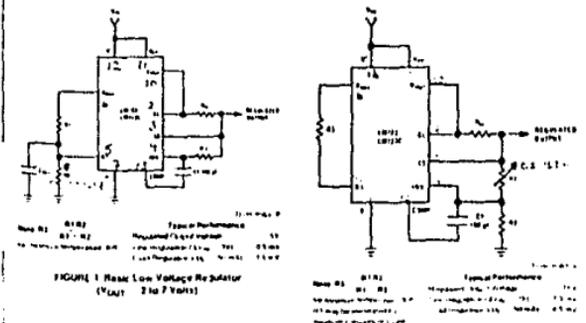
TABLE I Resistor Values (k Ω) for Standard Output Voltage

Positive Output Voltage	Applicable Figures (Note 4)	Fixed Output $\pm 5\%$		Output Adjustable $\pm 10\%$ (Note 5)		Negative Output Voltage	Applicable Figures	Fixed Output $\pm 5\%$		5% Output Adjustable $\pm 10\%$	
		R1	R2	R1	R2			R1	R2	R1	R2
+1.0	1, 5, 6, 9, 12 (4)	4.32	3.01	1.8	0.5, 1.2	+100	7	3.47	100	2.2	10, 51
+1.8	1, 5, 6, 9, 12 (4)	3.57	3.05	1.5	0.5, 1.5	+250	7	3.57	25	2.2	10, 240
+5.0	1, 5, 6, 9, 12 (4)	2.15	4.99	0.75	0.5, 2.2	6 (Note 6)	1, 11, 12	1.57	2.43	1.2	0.5, 0.75
+6.3	1, 5, 6, 9, 12 (4)	1.15	8.04	0.5	0.5, 2.7	9	3, 10	3.48	5.34	1.2	0.5, 2.0
+10	2, 4, 15, 8, 9, 12	1.87	7.15	0.75	1.0, 2.7	-12	7, 10	3.57	4.45	1.2	0.5, 2.3
+12	2, 4, 15, 8, 9, 12	4.87	7.15	2.0	1.0, 3.0	-15	1, 10	3.23	11.5	1.2	0.5, 4.3
+15	2, 4, 15, 8, 9, 12	7.87	7.15	3.0	1.0, 3.0	-21	2, 10	3.57	24.3	1.2	0.5, 10
+18	2, 4, 15, 8, 9, 12	21.0	7.15	5.4	1.0, 2.0	-15	8	3.57	41.2	2.2	10, 33
+25	7	2.57	18.7	2.2	1.0, 2.0	-100	6	3.47	17.8	2.2	10, 31
+15	7	3.57	28.7	2.2	1.0, 2.0	-7.0	8	2.57	24.4	2.2	0, 240

TABLE II Formulas for Intermediate Output Voltages

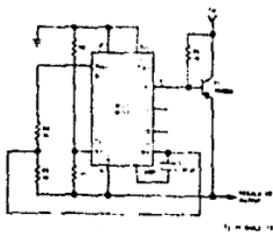
Outputs from +2 to +7 volts (Figure 1, 5, 6, 9, 12 (4))	Outputs from +4 to +250 volts (Figure 7)	Current Limiting (Note 1)
$V_{OUT} = \left(\frac{V_{IN} - R_2}{R_1 + R_2} \right) R_3$	$V_{OUT} = \left(\frac{V_{IN} - R_2 - R_1}{R_1 + R_2} \right) R_3$	$V_{I(LIM)} = \frac{V_{I(LIM)} R_{SC}}{R_{SC}}$
Outputs from +7 to +37 volts (Figure 2, 4, 15, 8, 9, 12)	Outputs from -8 to -250 volts (Figure 8, 9, 10)	Foldback Current Limiting (Note 1)
$V_{OUT} = \left(\frac{V_{IN} - R_2}{R_1 + R_2} \right) R_3$	$V_{OUT} = \left(\frac{V_{IN} - R_1 - R_2}{R_1 + R_2} \right) R_3 - R_4$	$V_{O(LIM)} = \frac{V_{I(LIM)} R_{SC} (R_2 + R_4)}{R_1 + R_2 + R_3 + R_4}$

Typical Applications

FIGURE 1 Basic Low Voltage Regulator (V_{OUT} 2 to 7 Volts)FIGURE 2 Basic High Voltage Regulator (V_{OUT} 7 to 37 Volts)

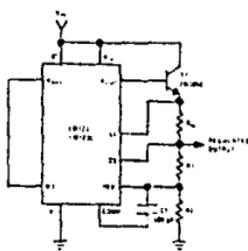
1-192

Typical Applications

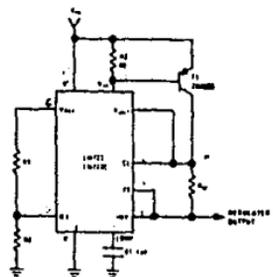


Typical Performance
 Regulated Output Voltage: $-12V$
 Line Regulation: 0.1%
 Load Regulation: 0.1%

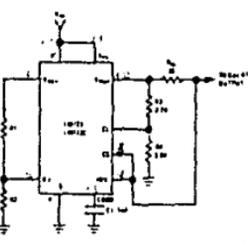
FIGURE 3. Negative Voltage Regulator



Typical Performance
 Regulated Output Voltage: $+12V$
 Line Regulation: 0.1%
 Load Regulation: 0.1%

FIGURE 4. Positive Voltage Regulator
(External PNP Pass Transistor)

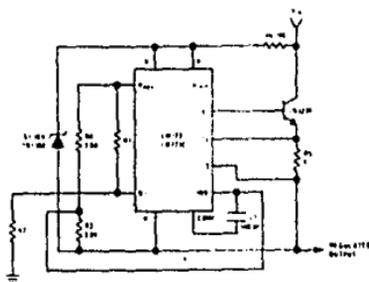
Typical Performance
 Regulated Output Voltage: $+12V$
 Line Regulation: 0.1%
 Load Regulation: 0.1%

FIGURE 5. Positive Voltage Regulator
(External PNP Pass Transistor)

Typical Performance
 Regulated Output Voltage: $+12V$
 Load Regulation (at $I_L = 200mA$): 0.5%
 Load Regulation (at $I_L = 100mA$): 0.2%
 Load Regulation (at $I_L = 50mA$): 0.1%

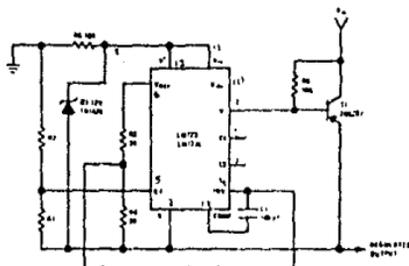
FIGURE 6. Feedback Current Limiting

Typical Applications



Typical Performance
 Regulated Output Voltage: $+12V$
 Line Regulation: 0.1%
 Load Regulation: 0.1%

FIGURE 7. Positive Floating Regulator



Typical Performance
 Regulated Output Voltage: $-12V$
 Line Regulation: 0.1%
 Load Regulation: 0.1%

FIGURE 8. Negative Floating Regulator

EXAR

XR-2211 XR-2211

FSK Demodulator/Tone Decoder

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase locked loop (PLL) system especially designed for data communications. It is particularly well suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01 Hz to 300 kHz. It can accommodate analog signals between 2 mV and 5V and can interface with conventional DTLS, TTL, and ECL logic families. The output consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set carrier frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply provides reliable operation for low system performance variations with power supply changes.

The XR-2211 is available in 14 pin DIP ceramic or plastic packages specified for commercial or military temperature ranges.

FEATURES

- Wide Frequency Range 0.01 Hz to 300 kHz
- Wide Supply Voltage Range 4.5V to 20V
- DTL/TTL/ECL Logic Compatibility
- FSK Demodulation with Carrier Detection
- Wide Dynamic Range 2 mV to 3 V rms
- Adjustable Banding Range (±1% to ±80%)
- Excellent Temp. Stability 20 ppm/°C typ

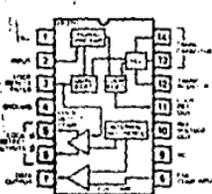
APPLICATIONS

- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

ABSOLUTE MAXIMUM RATINGS

Power Supply	20V
Input Signal Level	10 mV rms
Power Dissipation	100 mW
Package Temperature	100°C
Storage Temperature	-55°C to 125°C
Moisture Exposure	100% RH
Lead Wire Temperature	275°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR 2211M	Ceramic	-55°C to +125°C
XR 2211Cw	Ceramic	0°C to +70°C
XR 2211CP	Plastic	0°C to +70°C
XR 2211M	Ceramic	-40°C to +85°C
XR 2211P	Plastic	-40°C to +85°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier, phase-locked loop detector, and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that the input signals above typically 2mV RMS are amplified to the constant high level signal. The multiplying type phase detector acts as a digital exclusive OR gate. Its output performs both sum and difference frequencies of the input and the VCO output. Input 1 = Input (V rms) and Input 2 = Input (0 Hz) when the phase detector output is put to remove the "sum" frequency component and passing the difference (DC) component to drive the VCO. The VCO is accurately a current controlled oscillator with its natural resonant frequency set by a resistor (R) to ground and its driving current with a resistor (R) from the phase detector.

The other functions of the XR-2211 act to determine if the VCO is driven above or below the carrier frequency. An FSK comparator (see block diagram) is used to compare the outputs of a PLL when the main PLL is in lock. Quadrature phase detector and carrier detector components

ELECTRICAL CHARACTERISTICS

See Appendix 1 for Electrical Characteristics. For $V_{CC} = 2.5V$ to $20V$, $C_{in} = 100pF$, $R_{in} = 10k\Omega$, $R_{out} = 20k\Omega$, $R_{L} = 1k\Omega$. All values are guaranteed for and specified unless otherwise specified.

PARAMETER	XR-2211/2211M			XR-2211C			UNITS	CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
GENERAL								
Supply Voltage	4.5	6	20	4.5	6	20	V	As shown See Fig. 1
Supply Current	10	15	20	10	15	20	mA	As shown See Fig. 1
OSCILLATION SECTION								
Reference Accuracy	±1	±1	±1	±1	±1	±1	%	Measured at Pin 10 See Fig. 1
Frequency Stability	±20	±5	±5	±20	±5	±5	ppm/°C	See Fig. 1
Reference Voltage	0.05	0.1	0.1	0.05	0.1	0.1	V	As shown See Fig. 1
Output Delay	0.2	0.2	0.2	0.2	0.2	0.2	ns	As shown See Fig. 1
Logic Family Compatibility	10	10	10	10	10	10	ns	As shown See Fig. 1
Carrier Frequency	0.01	0.1	300	0.01	0.1	300	Hz	As shown See Fig. 1
Bandwidth	0.1	0.1	0.1	0.1	0.1	0.1	Hz	As shown See Fig. 1
Output Delay	0.2	0.2	0.2	0.2	0.2	0.2	ns	As shown See Fig. 1
LOOP PHASE DETECTOR SECTION								
Phase Detector	±1	±1	±1	±1	±1	±1	°	Measured at Pin 11
Output Impedance	10	10	10	10	10	10	kΩ	Measured at Pin 10
Maximum Swing	0.4	0.4	0.4	0.4	0.4	0.4	V	Measured at Pin 10
QUADRATURE PHASE DETECTOR								
Phase Detector	±1	±1	±1	±1	±1	±1	°	Measured at Pin 5
Output Impedance	10	10	10	10	10	10	kΩ	Measured at Pin 5
Maximum Swing	0.4	0.4	0.4	0.4	0.4	0.4	V	Measured at Pin 5
INPUT PREAMP SECTION								
Input Impedance	10	10	10	10	10	10	kΩ	Measured at Pin 2
Input Signal Level	2	2	2	2	2	2	mV	Measured at Pin 2
Output Impedance	10	10	10	10	10	10	kΩ	Measured at Pin 2
Maximum Swing	0.4	0.4	0.4	0.4	0.4	0.4	V	Measured at Pin 2
VOLTAGE COMPARATOR SECTIONS								
Input Impedance	10	10	10	10	10	10	kΩ	Measured at Pin 1 and 8
Input Signal Level	2	2	2	2	2	2	mV	Measured at Pin 1 and 8
Output Impedance	10	10	10	10	10	10	kΩ	Measured at Pin 1 and 8
Maximum Swing	0.4	0.4	0.4	0.4	0.4	0.4	V	Measured at Pin 1 and 8
INTERNAL REFERENCE								
Reference Voltage	0.05	0.05	0.05	0.05	0.05	0.05	V	Measured at Pin 10
Output Impedance	10	10	10	10	10	10	kΩ	Measured at Pin 10
Maximum Swing	0.4	0.4	0.4	0.4	0.4	0.4	V	Measured at Pin 10

XR-2211

PRINCIPLES OF OPERATION

Signal Input (Pin 5)—Pins 5 and 6 are connected to the terminal of the external inductor L_1 at Pin 2. Recommended input signal level is in the range of 10 mV rms to 3V rms.

Quadrature Phase Detector Output (Pin 3)—This is the high impedance output of a quadrature phase detector and is internally connected to the output of a direct voltage comparator. A low detector impedance (Pin 3) can be connected to ground through a parallel combination of R_3 and C_3 (see Figure 2) to minimize the chance of lock detect output. A low "sleep" section is not used. Pin 3 can be left open if desired.

Lock Detect Output - B (Pin 4)—The output at Pin 4 is at "high" state when the PLL is out of lock and goes to "low" on locking. The output at Pin 4 is an open collector type output and requires a pull-up resistor to +V to proper operation. At "low" state it can sink up to 5 mA of load current.

Lock Detect Output - A (Pin 8)—The output at Pin 8 is the logic complement of the lock detect output at Pin 4. This output is also an open collector type stage which can sink 5 mA of load current at low or "on" state.

FSK Data Output (Pin 7)—The output is an open collector type stage which requires a pull-up resistor R_7 to +V for proper operation. FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present the logic state at Pin 7 is indeterminate.

FSK Comparator Input (Pin 6)—This is the high impedance input to the FSK signal comparator. An FSK post detector or data filter is connected between this terminal and the PLL phase detector output (Pin 11). This data filter is formed by R_5 and C_5 of Figure 2. The maximum voltage of the comparator is set by the internal reference voltage V_{ref} available at Pin 10.

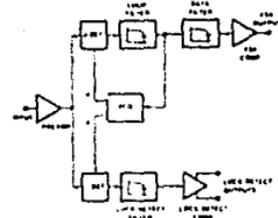


Figure 1. Functional Block Diagram of XR-2211 Decoding System Using XR-2211.

Reference Voltage V_{ref} (Pin 10)—This pin's reference is based on the reference voltage level V_{ref} ($V_{ref} = 1.2 - 1.5V$ rms). The dc voltage level at this pin is approximately the reference for the voltage levels at Pins 8, 11, and 12. Pin 10 must be bypassed to ground with a 0.1 μ F capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11)—This is the output of a high impedance output of the loop phase detector. The PLL loop filter is formed by R_5 and C_5 connected across Pin 11 (see Figure 2). An impedance matching network is placed between the PLL output at Pin 11 and the comparator input at Pin 6. The peak voltage of the signal at the phase detector output is equal to V_{ref} .

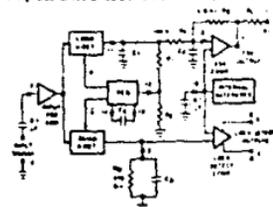


Figure 2. Generalized Circuit Connections for FSK and Loop Filter.

VCO Control Input (Pin 12)—VCO free running frequency is determined by external timing resistor R_6 connected from this terminal to ground. The VCO free running frequency is:

$$f_0 = \frac{1}{R_6 C_0} \text{ Hz}$$

where C_0 is the timing capacitor across Pins 13 and 14. For optimum temperature stability, R_6 must be in the range of 10 k Ω to 100 k Ω (see Figure 3).

This terminal is a low impedance point and is internally biased at a dc level equal to V_{ref} . The maximum average current drawn from Pin 12 must be limited to 4.3 mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14)—VCO frequency is inversely proportional to the external timing capacitor C_0 connected across these terminals (see Figure 3). C_0 must be nonpolar and in the range of 200 pF to 10 nF.

VCO Frequency Adjustment—VCO can be fine-tuned by connecting a potentiometer R_8 in series with R_6 at Pin 12 (see Figure 3).

VCO Free-Running Frequency—XR-2211 does not have a variable VCO output terminal. Instead, the VCO output pins are internally connected to the phase detector sections of the circuit. However, the set-up of external

components, VCO free running frequency can be measured at Pin 12 with C_0 disconnected, a 10 k Ω resistor and with Pin 12 connected to Pin 10.

DESIGN EQUATIONS

See Figure 2 for definitions of components.

- VCO Center Frequency f_0
 $f_0 = \frac{1}{R_6 C_0} \text{ Hz}$
- Loop Filter Attenuation Voltage V_{att} (measured at Pin 11)
 $V_{att} = V_{ref} \sqrt{\frac{R_5}{R_6}}$
- Loop Filter Phase Shift ϕ (in Degrees)
 $\phi = -90^\circ$
- Loop Filter Impedance
 $Z = \sqrt{\frac{R_5}{C_5}}$
- Loop Filter Bandwidth ω_{BW} (rad/sec)
 $\omega_{BW} = 1/R_5 C_5$

$$R_5 = \frac{1}{\omega_{BW} C_5}$$

$$C_5 = \frac{1}{\omega_{BW} R_5}$$

$$R_6 = \frac{1}{f_0 C_0}$$

$$R_7 = R_5 C_5 \omega_{BW}$$

$$R_8 = R_6 C_0 \omega_{BW}$$

- Loop Phase Detector Conversion Gain K_{LPD} (in dB) is the differential mode voltage across Pins 10 and 11, per unit of phase error at phase detector input.
 $K_{LPD} = 2V_{ref} \sin \phi$

- VCO Conversion Gain K_{VCO} (in dB) is the amount of change in VCO frequency's per unit of dc voltage change at Pin 12.

$$K_{LPD} = 2V_{ref} \sin \phi \text{ Volts}$$

$$K_{VCO} = \frac{1}{R_6 C_0} \text{ Hz/Volts}$$

$$K_{LPD} = 2V_{ref} \sin \phi \text{ Volts}$$

$$I_{PHASE DETECTOR} = 4.3 \text{ mA}$$

$$I_{VCO} = 4.3 \text{ mA}/2 = 2.15 \text{ mA}$$

APPLICATIONS INFORMATION

RECORDS

Table 1 shows the definitions of components for FSK decoding. As references to Figures 2 and 3, the functions of the main components are defined as follows: R_6 and C_0 set the VCO center frequency, R_5 sets the loop filter bandwidth, and C_1 sets the loop filter time constant and the stabilizing factor. C_2 and R_7 form a

XR-221

one-pole post detector filter for the FSK data output. The resistor R_8 is a 10 k Ω resistor that is used during power-on to allow the PLL to start. The comparator facilitates fast start-up from the "off" state.

Design Equations

The circuit of Figure 3 can be tailored to any FSK decoding application by the following: 1) setting the loop filter parameters R_5 , R_6 , C_0 , and C_5 for a maximum of 4.5 mA and space requirements; 2) determining the value of the PLL center frequency f_0 .

At a chosen PLL center frequency f_0 ,

$$R_6 = \frac{1}{f_0 C_0}$$

$$C_0 = \frac{1}{R_6 f_0}$$

Of course, values of timing capacitor C_0 to be in the range of 10 nF to 100 nF. This choice is arbitrary.

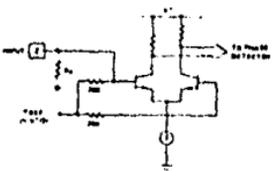


Figure 3. Demodulating Input Stage.

The recommended value is $R_5 = 10 \text{ k}\Omega$. The final value of R_5 is normally determined with the series potentiometer R_8 .

- Calculate value of C_0 from loop equation (1) or from Figure 6.

$$C_0 = \frac{1}{R_6 f_0}$$

- Calculate R_6 to give a 2.15-mA current to the VCO space division.

$$R_6 = \frac{2.15 \text{ mA}}{f_0 C_0}$$

- Calculate C_5 to set equivalent circuit time constant (see design record No. 1).

Normally, $f = 10 \text{ Hz}$ is recommended.

Then, $C_5 = C_0$ for $f = 10 \text{ Hz}$.

XR-2211

XR-2211

5. Calculate Load Filter Capacitance C_L

For $R_L = 100 \Omega$ and $R_D = 510 \Omega$, the recommended value is 15 nF.

$$C_L = 15 \text{ nF} \times R_D / R_L$$

For R_L values other than component values, either R_D can be increased to the nearest standard value and R_L can be used to determine carrier frequency through a set of characteristic curves. See Figure 7.

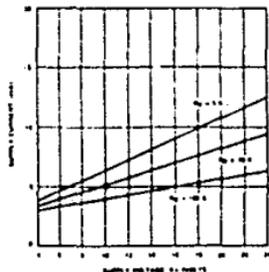


Figure 4. Typical Supply Current vs V^+ (Load Currents Open Circuited)

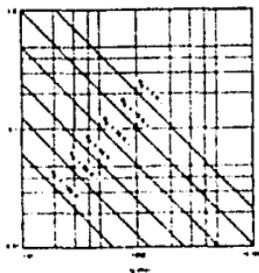


Figure 5. VCO Frequency vs Tuning Capacitor

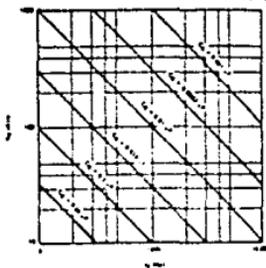


Figure 6. VCO Frequency vs Tuning Capacitor

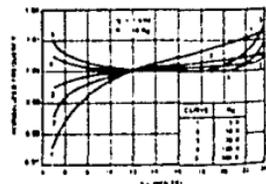


Figure 7. Typical f_o vs Power Supply Characteristics

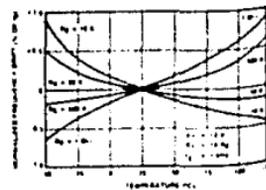


Figure 8. Typical Carrier Frequency DR vs Temperature

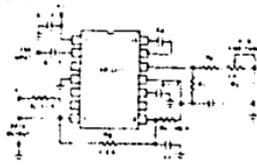


Figure 9. Circuit Connection for FSK Decoding

Design Example

75-Hz FSK demodulator with mark space frequencies of 131.13110 Hz.

Step 1. Calculate f_o by $f_o = 131.1310 \times 1000 / 1000$.

Step 2. Choose $R_D = 20 \text{ k}\Omega$, $R_L = 100 \Omega$ (load resistance series with FSK data transmitter).

Step 3. Calculate C_D from Figure 6. $C_D = 0.748 \text{ nF}$.

Step 4. Calculate R_1 . $R_1 = R_D / 11.840 \text{ ohms} = 500 \text{ k}\Omega$.

Step 5. Calculate C_1 . $C_1 = C_D \times 0.0118$.

Note: All values except R_1 can be rounded to nearest standard value.

Note: Recommended component values for Common-Use FSK Bauds (See Circuit of Figure 9).

FSK BAUD	COMPONENT VALUES
300 Baud	$C_D = 0.748 \text{ nF}$, $C_1 = 0.0087 \text{ nF}$
1200 Hz	$C_D = 0.21 \text{ nF}$, $R_D = 10 \text{ k}\Omega$
1200 Hz	$C_D = 100 \text{ nF}$
15 Baud	$C_D = 0.027 \text{ nF}$, $C_1 = 0.0003 \text{ nF}$
15 Baud	$C_D = 0.047 \text{ nF}$, $R_D = 10 \text{ k}\Omega$
15 Baud	$C_D = 230 \text{ nF}$
170 Baud	$C_D = 0.027 \text{ nF}$, $C_1 = 0.0003 \text{ nF}$
170 Baud	$C_D = 0.047 \text{ nF}$, $R_D = 10 \text{ k}\Omega$
170 Baud	$C_D = 30 \text{ nF}$

FSK DECODING WITH CARRIER DETECT

The carrier detect output (P1) is active low. It is active when the carrier is present. The output is active low because the carrier detect output is active low. The carrier detect output is active low because the carrier detect output is active low. The carrier detect output is active low because the carrier detect output is active low.



Figure 10. Internal Connections for FSK Demodulator with Carrier Detect Circuit

How Data Output is Low When No Carrier is Present

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range Δf_c . This is the range of incoming frequencies over which the lock can occur. Lock is always less than the tracking range. It is further limited by C_D . For most applications $\Delta f_c = 310 \text{ Hz}$. For $R_D = 470 \text{ k}\Omega$, the approximate minimum value of C_D can be determined by:

$$C_D \approx 1 / (2\pi \Delta f_c R_D) \text{ in Hz}$$

With values of C_D that are too small, chatter can be observed on the carrier detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output.

TONE DETECTION

Figure 11 shows the generalized circuit connection for tone detection. The lock outputs Q and \bar{Q} at pins 5 and 6 are normally at high and low logic states respectively when a tone is present within the detection band of the PLL. The logic state at these outputs become inverted to the duration of the input tone. Each output buffer will have a delay of 10 nsec.

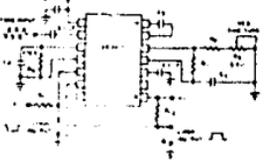


Figure 11. Circuit Connection for Tone Detection

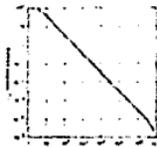


Figure 4. Frequency as a Function of Input Voltage (10 and 15)

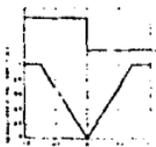


Figure 5. Output Voltage versus Input Voltage (Various Input Voltages)



Figure 6. Duty Cycle and Frequency versus Input Voltage (Various Input Voltages)



Figure 7. Frequency as a Function of Input Voltage

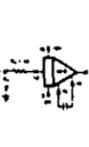


Figure 9. Variable Band-Pass Filter as a Function of Input Voltage

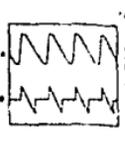
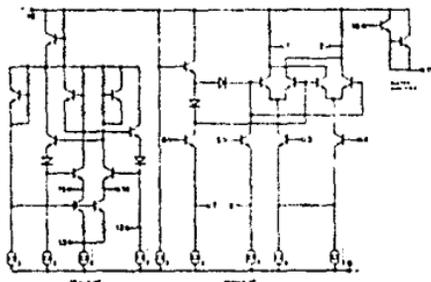


Figure 10. Oscillator as a Function of Input Voltage



EQUIVALENT SCHEMATIC DIAGRAM

Monolithic Function Generator

GENERAL DESCRIPTION

The XR 2206 is a monolithic function generator with a precision circuit capable of producing high quality sine waves, triangle ramps and pulse waveforms of high stability and accuracy. The output waveforms can be set for amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrument applications, and function generator applications requiring sinusoidal, AM, FM or FSK generation. It has a special drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, having a very small effect on distortion.

NATURES

Low-Sine Wave Distortion	0.5% Typical
Temperature Stability	20 ppm/°C Typical
Line Sweep Range	2000:1 Typical
Low Supply Sensitivity	0.01% Typical
Linear Amplitude Modulation	10V to 26V
Composite FSK Controls	1% to 99%
Wide Supply Range	
Adjustable Duty Cycle	

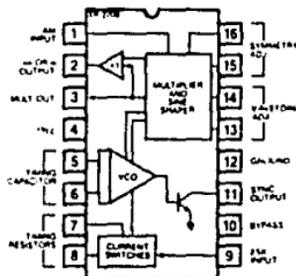
APPLICATIONS

Waveform Generation
Sine Generation
AM/FM Generation
FSK Generation
Pulse (Locked) Mode (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Test Timing Current	6 mA
Operating Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR 2206M	Ceramic	-55°C to +125°C
XR 2206A	Ceramic	0°C to +70°C
XR 2206P	Plastic	0°C to +70°C
XR 2206CH	Ceramic	0°C to +70°C
XR 2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR 2206 is comprised of four functional blocks: a voltage controlled oscillator (VCO), an analog multiplier and sine shaper, a unity gain buffer amplifier, and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency with two timing pins. Two discrete output frequencies can be independently produced for FSK Applications.

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V_T = 12V$, $T_A = 25^\circ C$, $C = 0.01 \mu F$, $R_1 = 100 k\Omega$, $R_2 = 10 k\Omega$, $R_3 = 25 k\Omega$
 Unless otherwise specified, S1 open for triangle, closed for sine wave.

PARAMETERS	XR-2206M			XR-2206C			UNITS	CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
GENERAL CHARACTERISTICS								
Single Supply Voltage	12	10	26	10	10	26	V	
Split Supply Voltage	±15	±13	±15	±14	±11	±15	V	
Supply Current	15	12	17	14	10	20	mA	$R_{in} \geq 10 k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	1	0.7	0.4	1	0.7	0.4	MHz	$C = 1000 pF$, $R_1 = 1 k\Omega$ $C = 40 pF$, $R_2 = 2 M\Omega$ $T_A = 25^\circ C$
Lowest Practical Frequency	1	0.1	0.05	1	0.1	0.05	MHz	$T_A = 25^\circ C$
Frequency Accuracy	±1.0	±2.4	±3.0	±1.0	±1.0	±1.0	% of f_0	$0^\circ C < T_A < 70^\circ C$ $R_1 = R_2 = 25 k\Omega$ $V_{CC} = V = 10V$
Temperature Stability	±1.0	±4.5	±5.0	±1.0	±1.0	±1.0	% of f_0	$0^\circ C < T_A < 70^\circ C$ $R_1 = R_2 = 25 k\Omega$ $V_{CC} = V = 10V$
Supply Sensitivity	1.0	0.1	0.1	0.1	0.1	0.1	%/V	$V_{CC} = V = 10V$
SwEEP Range	10	1000	1000	10	1000	1000	Hz/s	$R_1 = R_2 = 25 k\Omega$ $V_{CC} = V = 10V$ $T_A = 25^\circ C$
SwEEP Linearity	1	1	1	1	1	1	%	$T_A = 25^\circ C$, $f_0 = 10 kHz$ $T_A = 100 kHz$, $f_0 = 100 kHz$
10:1 SwEEP	2	2	2	2	2	2	%	
1000:1 SwEEP	8	8	8	8	8	8	%	
FM Distortion	0.1	0.1	0.1	0.1	0.1	0.1	%	±10% Deviation
Recommended Timing Components								
Timing Capacitor C	0.01	100	0.01	100	100	100	μF	See Figure 4
Timing Resistors R_1 & R_2	1	2000	1	2000	2000	2000	$k\Omega$	
Triangle Sine Wave Output								See Note 1, Figure 2
Triangle Amplitude	15	100	100	100	100	100	mV ± 0.0	Figure 1, S1 Open
Sine Wave Amplitude	15	100	100	100	100	100	mV ± 0.0	Figure 1, S1 Closed
Max. Output Swing	6	6	6	6	6	6	Vpp	
Output Impedance	60	60	60	60	60	60	Ω	
Range Linearity	1	1	1	1	1	1	%	
Amplitude Stability	1	1	1	1	1	1	%	For 1000:1 SwEEP
Sine Wave Amplitude Stability	1	1	1	1	1	1	ppm/V	See Note 2
Sine Wave Distortion	1	1	1	1	1	1	%	
Without Adjustment	1	1	1	1	1	1	%	$R_1 = 33 k\Omega$
With Adjustment	1	1	1	1	1	1	%	See Figures 1 and 3
Amplitude Modulation Input Impedance	15	100	100	100	100	100	$k\Omega$	
Modulation Range	1	1	1	1	1	1	dB	
Carrier Suppression Linearity	2	2	2	2	2	2	dB	For 10% modulation
Capacitor Waveform								
Amplitude	1	1	1	1	1	1	± 0.0	Measurement at f_0
Rise Time	1	1	1	1	1	1	ns	$C_L = 10 pF$
Fall Time	1	1	1	1	1	1	ns	$C_L = 10 pF$
Saturation Voltage	1	1.4	1.4	1	1	1.4	V	$I_L = 2 mA$
Linearity (dB)	1	1	1	1	1	1	dB	$f_0 = 10 kHz$
1% Nonlinearity (dB)	1	1	1	1	1	1	dB	See section on nonlinearity
Reference Offset Voltage	1	1	1	1	1	1	V	Measured at f_0

Note 1: Output amplitude is 100 mV rms (peak-to-peak) for triangle and sine waves. See Figure 2.

Note 2: A 100 mV rms signal at f_0 will be applied to the input of the oscillator section.

XR-2206

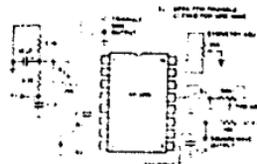


Figure 1: Pin Test Circuit

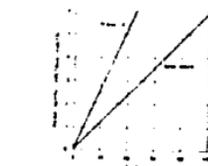


Figure 2: Output Amplitude as a Function of the Resistor R_2 at Pin 3



Figure 3: Sine Wave Distortion versus Supply Voltage, Timing 0



Figure 4: Frequency versus Oscillator Frequency

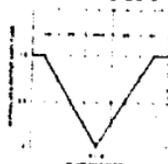


Figure 5: Normalized Output Amplitude versus DC Bias Input (Pin 1)

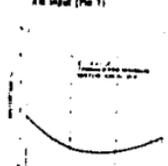


Figure 6: Triangular Distortion versus Timing Resistor

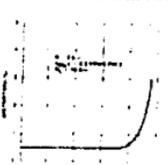


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitor Values

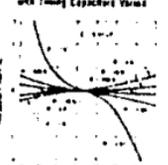


Figure 8: Frequency Deviation versus Temperature

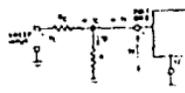


Figure 8. Circuit Connection for Frequency Sweep

Frequency Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8 respectively, as shown in Figure 12. Depending on the phase of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open/circuited or connected to a bias voltage V_{CC} , only R_1 is activated. Similarly, if the voltage level at Pin 9 is V_{EE} , only R_2 is activated. Thus, the output frequency can be varied between two levels, f_1 and f_2 , as

$$f_1 = 1/(R_1 C) \text{ and } f_2 = 1/(R_2 C)$$

For pulse-width operation, the timing voltage at Pin 9 is referenced to V_{EE} .

Output DC Level Control

The signal level at the output (Pin 2) is approximately the same as that of bias at Pin 1. In Figures 10, 11 and 12, Pin 1 is biased midway between V_{CC} and ground, to give an output level of $V_{CC}/2$.

APPLICATIONS INFORMATION**Sine Wave Generation****Without External Adjustment**

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V_{CC}/2$, and the typical distortion (THD) is $< 2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split supply operation, simply by replacing all ground connections with V_{EE} . For split supply operation, R_1 can be directly connected to ground.

With External Adjustment

The harmonic content of sinusoidal output can be reduced to $< 0.5\%$ by additional adjustments as shown in Figure 11. The potentiometer, R_2 , adjusts the sine shaping resistor, and R_3 provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_3 at midpoint and adjust R_2 for minimum distortion.
2. With R_2 set as above, adjust R_3 to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2 ; the output is phase continuous during transitions. The timing signal is applied to Pin 9. The circuit can be converted to split supply operation by simply re-terminating ground with V_{EE} .

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square wave output (Pin 11), and the circuit automatically frequency shifts $\pm 1/2$ (half) between two separate frequencies as during the positive going and negative going output wave forms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of 1 k Ω to 2 M Ω .

PRINCIPLES OF OPERATION**Description of Controls****Frequency of Operation**

The frequency of oscillation, f_0 , is determined by the external timing capacitor, C , across Pin 5 and 6, and by the timing resistor, R , connected to either Pin 7 or 8. The frequency is given as

$$f_0 = \frac{1}{RC} \text{ MHz}$$

and can be adjusted by varying either R or C . The recommended values of R , for a given frequency range, as shown in Figure 4. Temperature stability is optimum for $4 \text{ k}\Omega < R < 200 \text{ k}\Omega$. Recommended values of C are from 1000 pF to 100 μF .

Frequency Sweep and Modulation

Frequency of oscillation is proportional to the total net current, I_T , drawn from Pin 7 or 8:

$$I_T = \frac{320 \text{ fA (mA)}}{C (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low impedance points, and are internally biased at $\pm 2V$ with respect to Pin 12. Frequency varies linearly with I_T over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin, as shown in Figure 9. The frequency of oscillation is related to V_C as

$$f = \frac{1}{RC} \left(1 + R \left(\frac{V_C}{3} \right) \right) \text{ Hz}$$

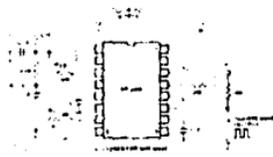
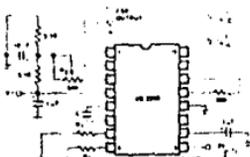
Figure 10. Circuit for Sine Wave Generation without External Adjustment (See Figure 2 for Choice of R_1)

Figure 12. Sinusoidal FSK Generator

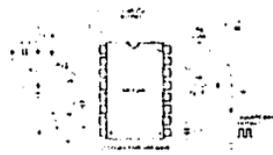
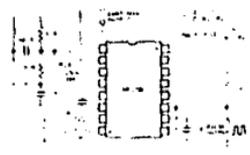
Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion (R_2 Determines Output Swing—See Figure 2)

Figure 13. Circuit for Pulse and Ramp Generation

XR-2240

PRINCIPLES OF OPERATION

The timing cycle for the XR 2240 is initiated by applying a positive going trigger pulse to pin 11. The trigger input activates the time base oscillator, enables the counter section, and sets all the counter outputs to "low" state. The time base oscillator generates timing pulses with a period T equal to 1 MC. These clock pulses are counted by the binary counter section. The timing cycle is completed when a positive going reset pulse is received to pin 10.

Figure 3 gives the timing sequence of output wave forms at various circuit terminals subsequent to a trigger input when the circuit is in a reset state. Both the time base and the counter outputs are enabled and at the counter outputs are at "high" state.

In most timing applications, one or more of the counter outputs are connected back to the reset terminal as shown in Figure 6, with S_1 closed. In this manner, the output will start timing when a trigger is applied and a subsequent reset starts to complete the timing cycle when a programmed count is completed. If none of the counter outputs are connected back to the reset terminal (switch S_1 open), the circuit would operate in its stable or free running mode, subsequent to a trigger input.

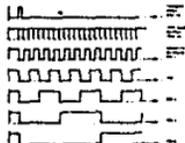


Figure 3 Timing Sequence of Output Waveforms

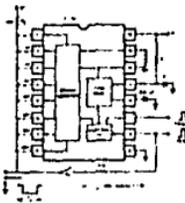


Figure 6 Simplified Circuit Connection for Timing Applications (Switch S_1 Open for Stable Operation; Closed for Recurrent Operation)

PROGRAMMING CAPABILITY

The binary counter outputs (pins 1 through 8) are open collector type stages and can be shorted together to a common pull up resistor to form a "wired or" connection. The combined output will be "low" as long as any one of the outputs is low. In this manner, the time base, associated with each counter output, can be summed by simply shorting them together to a common output bus as shown in Figure 5. For example, if only pin 8 is connected to the output and the rest left open, the total duration of the timing cycle, T_0 , would be 327. Similarly, if pins 1, 5 and 8 were shorted to the output bus, the total time delay would be $T_0 = (1 + 16 + 327) = 344$ in this manner. By proper choice of counter terminals connected to the output, any value can program the timing cycle to be 11 to 16,387 with $T = 1$ MC.

ENABLE AND RESET CONDITIONS

When power is applied to the XR 2240 with no trigger or reset inputs, the circuit reverts to "reset" state. Once triggered, the circuit is unable to add another trigger input until the timing cycle is completed or a reset pulse is applied. If both the reset and the trigger controls are activated simultaneously, trigger overrides reset.

DESCRIPTION OF CIRCUIT CONTROLS

COUNTER OUTPUTS (PINS 1 THROUGH 8)

The binary counter outputs are buffered "open collector" type stages as shown in Figure 15. Each output is capable of sinking ≈ 5 mA of load current. At reset condition, all the counter outputs are at high or non-conducting state. Subsequent to a trigger input, the outputs change state in accordance with the timing diagram of Figure 3.

The counter outputs can be used individually or can be connected together in a "wired or" configuration as described in the Programming Section.

RESET AND TRIGGER INPUTS (PINS 10 AND 11)

The circuit is reset or triggered by positive going control pulses applied to pins 10 and 11. The threshold level for these controls is approximately 1/3 pulse width (PW) above ground.

Minimum pulse widths for reset and trigger inputs as shown in Figure 10. Logic triggered the circuit to return to additional trigger inputs until the end of the timing cycle.

OSCILLATION AND SYNC INPUT (PIN 12)

The period T of the time base oscillator can be modified by applying a DC voltage to pin 12 (terminal 12B) with S_2 in 13). The time base oscillator can be locked to a 100 kHz external clock by applying a sync pulse to pin 12, as shown in Figure 16. An accuracy of $\pm 0.1\%$ in the T and T_0 and amplitudes are also given in Figure 16.

TYPICAL CHARACTERISTICS

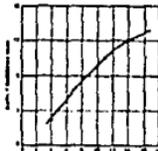


Figure 7 Period T versus Pin 12 Voltage

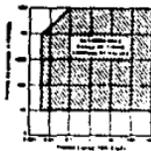


Figure 8 Approximate Range of Timing Component Values

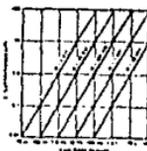


Figure 9 Time Base Period, T , vs. Pin 12 Voltage



Figure 10 Minimum Trigger and Reset Pulse Widths vs. Pin 12 Voltage

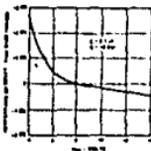


Figure 11 Time Base Duty Cycle



Figure 12 Minimum Trigger Pulse Width Required to Application of Pulse to Minimum or Trigger Time, Subsequent to a Reset Pulse

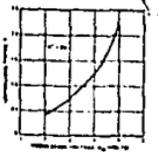


Figure 13 Minimum Change in Time Base Period as a Function of Pin 12 Voltage vs. Pin 12

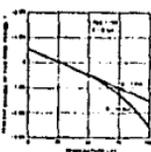


Figure 14 Temperature Shift of Time Base Period, T

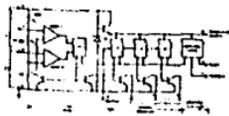


Figure 15 Simplified Circuit Diagram of XR 2240

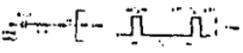
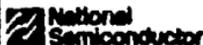


Figure 16 Operation with External Clock Signal (a) Clock by Pin 12 (b) Time Base Period



CD4538BM/CD4538BC Dual Precision Monostable

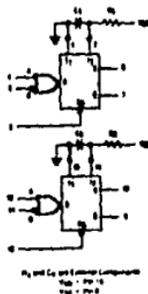
General Description

The CD4538 is a dual precision monostable multivibrator with independent trigger and reset controls. The device is non-saturating and non-inverting, and the control inputs are internally protected. Two trigger inputs are provided to allow either leading or trailing edge triggering. The reset inputs are active low and prevent triggering while active. Inactive control of output pulse width has been achieved using timer CMOS techniques. The pulse duration and accuracy are determined by external components R_1 and C_1 . The device does not allow the timing capacitor to discharge through the timing pin on a disabled output function. For this reason, no external protection resistor is required in series with the timing pin. Input protection built into each device is provided on all pins.

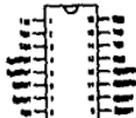
Features

- Wide supply voltage range 3.0V to 15V
- High reset immunity 0.6V VCC Pin 1
- Low power 1 μ A at 1.5 driving 10 Ω
- Three pulse width ranges 1 μ s to 100 μ s
- Easy formula: $Pulse \approx RC$ (pin 1 accurate, R in Ohms, C in Farads)
- 11 0% pulse width variation from part to part (Pin 1)
- Short pulse width range 1 μ s to 10 μ s
- Sinks 100 μ A reset inputs
- Symmetrical output rise and source capability 5 mA (Pin 1)
- Low standby current 0.5 VCC
- Pin compatible to CD4138

Block and Connection Diagrams



Dual-In-Line Package
CD4538BM
CD4538BC



Order Number CD4538B
Please refer to section 8, Appendix B for definitions of various package types.

Truth Table

Clock	Inputs			Outputs	
	A	B	D	L	O
L	X	X	X	L	H
X	H	X	X	L	H
X	X	L	X	L	H
X	X	X	L	L	V _L
H	X	X	X	L	V _L

- X = High-Z input
- L = Low-Z input
- H = Transition from Low to High
- L = Transition from High to Low
- V_L = One High-Z input Pulse
- V_H = One Low-Z input Pulse
- 0 = Invalid

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V _{CC})	16 VDC
Input Voltage (V _I)	0.5V to 16 VDC
Storage Temperature Range (T _{STG})	-65°C to +175°C
Power Dissipation (P _D)	100 mW
Operating Temperature Range (T _{OP})	0°C to 70°C
Lead Temperature (T _L)	300°C
Maximum Junction Temperature (T _{JM})	175°C

Recommended Operating Conditions (Notes 1 and 2)

DC Supply Voltage (V _{CC})	3 to 15 VDC
Input Voltage (V _I)	0 to V _{CC} VDC
Operating Temperature Range (T _{OP})	0°C to +70°C
Storage Temperature Range (T _{STG})	-65°C to +175°C

DC Electrical Characteristics (CD4538BM/BC @ 25°C)

Parameter	Conditions	+5°C			+75°C			Limits
		Min	Typ	Max	Min	Typ	Max	
Quiescent Output Current	V _{CC} = 5V, V _O = V _{CC}	5	0.025	5	1.0			μ A
	V _{CC} = 10V, V _O = V _{CC}	10	0.010	10	300			μ A
	V _{CC} = 15V, V _O = V _{CC}	20	0.015	20	600			μ A
Low Level Output Voltage	V _{CC} = 5V, I _O = 1 μ A	0.05	0	0.05	0.05			V
	V _{CC} = 10V, I _O = 1 μ A	0.05	0	0.05	0.05			V
High Level Output Voltage	V _{CC} = 5V, I _O = 1 μ A	4.95	4.95	5	4.95			V
	V _{CC} = 10V, I _O = 1 μ A	9.95	9.95	10	9.95			V
	V _{CC} = 15V, I _O = 1 μ A	14.95	14.95	15	14.95			V
Low Level Input Voltage	V _{CC} = 5V, V _O = 0.5V or 4.5V	1.5	2.25	1.5	1.5			V
	V _{CC} = 10V, V _O = 1.0V or 9.0V	3.0	4.50	3.0	3.0			V
	V _{CC} = 15V, V _O = 1.5V or 13.5V	4.0	6.75	4.0	4.0			V
High Level Input Voltage	V _{CC} = 5V, V _O = 0.5V or 4.5V	3.5	3.5	2.75	3.5			V
	V _{CC} = 10V, V _O = 1.0V or 9.0V	7.0	7.0	5.0	7.0			V
	V _{CC} = 15V, V _O = 1.5V or 13.5V	11.0	11.0	8.25	11.0			V
Low Level Output Current (Pin 2)	V _{CC} = 5V, V _O = 0.5V, V _A = V _{CC}	0.84	0.11	0.88	0.88			mA
	V _{CC} = 10V, V _O = 0.5V, V _A = V _{CC}	1.8	1.3	2.25	0.9			mA
	V _{CC} = 15V, V _O = 0.5V, V _A = V _{CC}	3.2	3.1	3.9	2.4			mA
High Level Output Current (Pin 2)	V _{CC} = 5V, V _O = 4.5V, V _A = V _{CC}	0.68	0.55	0.88	0.88			mA
	V _{CC} = 10V, V _O = 4.5V, V _A = V _{CC}	1.6	1.3	2.25	0.9			mA
	V _{CC} = 15V, V _O = 4.5V, V _A = V _{CC}	3.2	3.4	3.9	2.4			mA
Input Current, Pin 2 or 10	V _{CC} = 15V, V _O = 0V or 15V	-1.0	-1.0	1.0	1.0			μ A
	V _{CC} = 15V, V _O = 0V or 15V	-1.0	-1.0	1.0	1.0			μ A

1. Maximum Maximum Ratings: are those values which are not to be exceeded for continuous operation. Pins and lead solder to comply with the above limits are intended for wave soldering. The above limits are for normal operating conditions. Lead and Solder Temperature: junction temperature for solder bridges.

2. The 0.5V and 15V values are based on the following conditions: V_{CC} = 5V, V_O = 0V, and the device is not in a state of high impedance.

DC Electrical Characteristics COAS5800 (Note 2)

Symbol	Parameter	Conditions	-40°C			+25°C			Units
			Min	Max	Typ	Max	Min	Max	
I _{DD}	Quiescent Output Current	V _{DD} = 5V, V _{IO} = V _{OC}	25	30	0.005	20	150	μA	
		V _{DD} = 10V, V _{IO} = V _{MS}	40	45	0.010	40	300	μA	
		V _{DD} = 15V, All Outputs Open	80	80	0.015	80	800	μA	
V _{OL}	Low Level Output Voltage	V _{DD} = 5V, I _O = 1 mA	0.05	0	0.005	0.05	0.05	V	
		V _{DD} = 10V, I _O = 1 mA	0.05	0	0.005	0.05	0.05	V	
		V _{DD} = 15V, V _{OH} = V _{OC} , V _{IO} = V _{MS}	0.05	0	0.005	0.05	0.05	V	
V _{OH}	High Level Output Voltage	V _{DD} = 5V, I _O = 1 mA	4.95	4.85	5	4.95	5	V	
		V _{DD} = 10V, I _O = 1 mA	9.95	9.95	10	9.95	10	V	
		V _{DD} = 15V, V _{OH} = V _{OC} , V _{IO} = V _{MS}	14.95	14.95	15	14.95	15	V	
V _I	Low Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V	1.5	2.25	1.5	1.5	1.5	V	
		V _{DD} = 10V, V _O = 1.7V or 8.3V	3.0	4.50	3.0	3.0	3.0	V	
		V _{DD} = 15V, V _O = 1.5V or 13.5V	4.0	4.75	4.0	4.0	4.0	V	
V _{IH}	High Level Input Voltage	V _{DD} = 5V, I _I = 1 mA	35	35	2.75	35	35	V	
		V _{DD} = 10V, V _O = 0.5V or 4.5V	7.0	7.0	6.50	7.0	7.0	V	
		V _{DD} = 15V, V _O = 1.5V or 13.5V	11.0	11.0	9.25	11.0	11.0	V	
I _{OL}	Low Level Output Current (Note 3)	V _{DD} = 5V, V _O = 0.4V	0.52	0.44	0.88	0.56	0.48	mA	
		V _{DD} = 10V, V _O = 0.5V	1.2	1.1	2.25	0.9	0.8	mA	
		V _{DD} = 15V, V _O = 1.5V	3.8	3.0	8.8	2.4	2.4	mA	
I _{OHL}	High Level Output Current (Note 3)	V _{DD} = 5V, V _O = 4.6V	-0.52	-0.44	-0.88	-0.26	-0.26	mA	
		V _{DD} = 10V, V _O = 8.5V	-1.3	-1.1	-2.25	-0.9	-0.9	mA	
		V _{DD} = 15V, V _O = 13.5V	-3.4	-3.0	-8.8	-2.4	-2.4	mA	
I _{DI}	Input Current, Pin 3 or 14	V _{DD} = 15V, V _{IN} = 0V or 15V	1.00E-7	1.10E-7	1.00E-6	1.0E-7	1.0E-6	μA	
		V _{DD} = 15V, V _{IN} = 0V or 15V	1.0E-7	1.10E-7	1.00E-6	1.0E-7	1.0E-6	μA	

Note 1: Absolute maximum ratings are those values beyond which the device cannot be operated, and are not related to any particular operating condition. Exceeding these limits may cause permanent damage to the device. The limits in "Recommended Operating Conditions" Electrical Characteristics provide guidelines for proper operation.

Note 2: I_{DD} and V_I are tested one output at a time.

Note 3: I_{OL} and I_{OHL} are tested one output at a time.

AC Electrical Characteristics* T_A = 25°C, C_L = 50 pF, and L = 0 = 20 ns unless otherwise specified

Symbol	Parameter	Conditions	Units				
			Min	Typ	Max	Limits	
t _{PLH} , t _{PLL}	Output Transition Time	V _{DD} = 5V		100	200	ns	
		V _{DD} = 10V		50	100	ns	
		V _{DD} = 15V		40	80	ns	
t _{PLZ} , t _{PLS}	Propagation Delay Time	Trigger Transition— 4 or 8 to 0 or 0					
		V _{DD} = 5V		200	800	ns	
		V _{DD} = 10V		150	300	ns	
t _{PHL} , t _{PHL}	Rise/Fall Operation— 0 to 0 or 0	V _{DD} = 5V					
		V _{DD} = 10V		250	500	ns	
		V _{DD} = 15V		100	200	ns	
t _{PHZ} , t _{PHS}	Minimum Input Pulse Width "A, B, or C ₀ "	V _{DD} = 5V		250	250	ns	
		V _{DD} = 10V		125	150	ns	
		V _{DD} = 15V		95	100	ns	
t _{PHZ} , t _{PHS}	Minimum Retoggle Time	V _{DD} = 5V		25	70	ns	
		V _{DD} = 10V		30	80	ns	
		V _{DD} = 15V		35	50	ns	
C _{IN}	Input Capacitance	Pin 2 or 14		10	5	pF	
		Other Inputs		5	3	pF	
t _{PLH} , t _{PLL}	Output Pulse Width (0 to 0) (Note 4 for Tri-state Distribution, see Figure 8)	H ₁ = 100 nV, C _L = 0.002 μF	V _{DD} = 5V	208	226	244	ns
		V _{DD} = 10V	211	230	248	ns	
		V _{DD} = 15V	218	235	254	ns	
t _{PHL} , t _{PHL}	Rise/Fall Time (10% to 90%)	H ₁ = 100 nV, C _L = 0.1 pF	V _{DD} = 5V	8.83	9.80	12.37	ns
		V _{DD} = 10V	9.22	9.80	10.58	ns	
		V _{DD} = 15V	9.20	10.50	10.90	ns	
t _{PHZ} , t _{PHS}	High Level Pulse Width (Note 4)	H ₁ = 100 nV, C _L = 10.0 pF	V _{DD} = 5V	0.87	0.95	1.03	ns
		V _{DD} = 10V	0.89	0.97	1.05	ns	
		V _{DD} = 15V	0.81	0.98	1.07	ns	
t _{PHZ} , t _{PHS}	Low Level Pulse Width (Note 4)	H ₁ = 100 nV, C _L = 0.1 pF	V _{DD} = 5V	1.1	1.1	1.1	ns
		V _{DD} = 10V	1.1	1.1	1.1	ns	
		V _{DD} = 15V	1.1	1.1	1.1	ns	

*Timing Conditions:
 External Timing Resistance
 External Timing Capacitance
 C_L = 50 pF, L = 0 = 20 ns
 The maximum value between R₁ and R₂ is a function of the voltage of the Collector C_L voltage of the COAS5800 and voltage of the load circuit, see Figure 8.

Logic Diagram

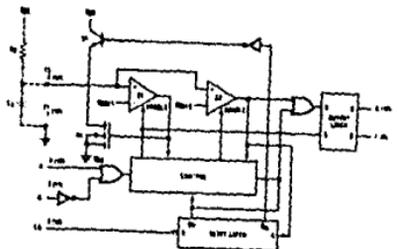
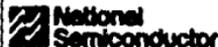
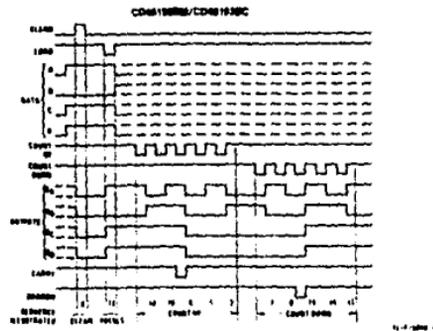
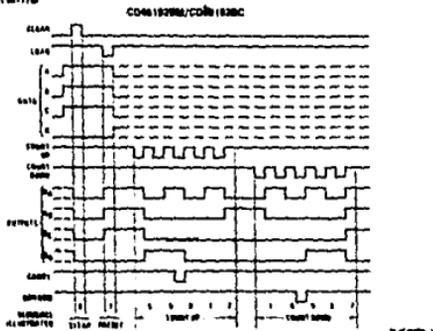


FIGURE 1

Timing Diagrams



CD4503BM/CD4503BC Hex Non-Inverting TRI-STATE[®] Buffer

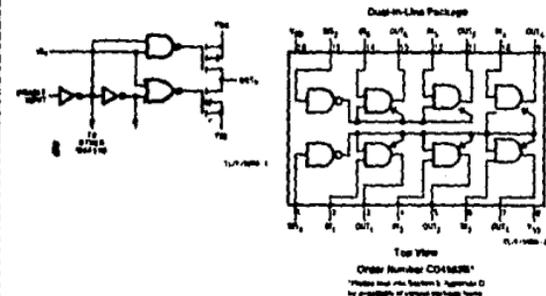
General Description

The CD4503B is a hex non-inverting TRI-STATE buffer with high output current sink and source capability. TRI-STATE outputs meet all useful in bus-oriented applications. Two separate disable inputs are provided. Buffers 1 through 4 are controlled by the disable 1 input. Buffers 5 and 6 are controlled by the disable 2 input. A high level on either disable input will cause those gates on its control line to go into a high impedance state.

Features

- Wide supply voltage range 3.0 Vcc to 18 Vcc
- TRI-STATE outputs
- Symmetrical turn on/turn off delays
- Symmetrical output rise and fall times
- Pin for per replacement for M4800C7 and M4C11903

Schematic and Connection Diagrams



Truth Table

In	Disable Input	Out
0	0	0
1	0	1
2	1	TRI STATE

1 = Don't Care

Absolute Maximum Ratings (Pins 1 and 2)

If military/ aerospace operational service is required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	5 V to +18 V
Input Voltage (V_{in})	5 V to +0.5 V
Storage Temperature Range (T_{stg})	-65°C to +150°C
Power Dissipation (P_D)	
Duty in Low	700 mW
Small Outline	500 mW
Lead Temperature (T_{l}) (Soldering 10 seconds)	260°C

Recommended Operating Conditions (Pins 2)

Supply Voltage (Typ)
Operating Temperature Range (T_{op})
CD4520BM
CD4520BC

+ 5 V to +18 V
0°C to +75°C
40°C to +85°C

DC Electrical Characteristics (CD4520BM (Pins 2))

Symbol	Parameter	Conditions	-55°C			+25°C			+125°C			Units
			Min	Max	Typ	Min	Max	Typ	Min	Max	Typ	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V$	1			1			30			μA
		$V_{in} = V_{DD}$ or V_{SS}	2			2			80			μA
		$V_{DD} = 10V$, $V_{in} = V_{DD}$ or V_{SS}	4			4			170			μA
V_{OL}	Low Level Output Voltage	$V_{in} = V_{DD}$ or 0	0.05		0	0.05		0	0.05		0	V
		$V_{DD} = 5V$	0.05		0	0.05		0	0.05		0	V
		$V_{DD} = 10V$, $V_{in} = 15V$	0.05		0	0.05		0	0.05		0	V
V_{OH}	High Level Output Voltage	$V_{in} = V_{DD}$ or 0	4.85	4.85	5	4.85	4.85	5	4.85	4.85	5	V
		$V_{DD} = 5V$	8.95	8.95	10	8.95	8.95	10	8.95	8.95	10	V
		$V_{DD} = 10V$, $V_{in} = 15V$	14.95	14.95	15	14.95	14.95	15	14.95	14.95	15	V
V_L	Low Level Input Voltage	$V_{DD} = 5V$, $V_O = 4.5V$ or 0.5V	1.5		2.25	1.5		1.5				V
		$V_{DD} = 10V$, $V_O = 9.0V$ or 1.0V	3.0		4.50	3.0		3.0				V
		$V_{DD} = 15V$, $V_O = 13.5V$ or 1.5V	4.0		6.75	4.0		4.0				V
V_{IH}	High Level Input Voltage	$V_{DD} = 5V$, $V_O = 0.5V$ or 4.5V	3.5		3.5	2.75		3.5				V
		$V_{DD} = 10V$, $V_O = 1.0V$ or 9.0V	7.0		7.0	5.5		7.0				V
		$V_{DD} = 15V$, $V_O = 1.5V$ or 13.5V	11.0		11.0	8.25		11.0				V
I_{OL}	Low Level Output Current (Pins 2)	$V_{DD} = 4.5V$, $V_{OL} = 0.4V$	2.80	2.80	2.55	1.80						mA
		$V_{DD} = 5.0V$, $V_{OL} = 0.4V$	3.00	3.00	2.75	1.75						mA
		$V_{DD} = 10V$, $V_{OL} = 0.5V$	7.80	7.80	7.00	4.45						mA
		$V_{DD} = 15V$, $V_{OL} = 1.5V$	18.50	18.10	25.00	11.30						mA
I_{OH}	High Level Output Current (Pins 2)	$V_{OH} = 5V$, $V_{OH} = 4.8V$	-1.20		-1.02	-1.70		0.77				mA
		$V_{OH} = 10V$, $V_{OH} = 8.9V$	-3.20		-2.60	-4.5		-1.8				mA
		$V_{OH} = 15V$, $V_{OH} = 13.5V$	-6.80		-6.80	-17.8		-4.8				mA
I_{SZ}	Tri-STATE Leakage Current	$V_{DD} = 15V$	±0.1		$±10^{-6}$	±0.1					±1.0 μA	
		$V_{DD} = 15V$	±0.1		$±10^{-6}$	±0.1					±1.0 μA	

Note 1: Absolute Maximum Ratings: are those values beyond which the quality of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The terms of "Recommended Operating Conditions" and "Electrical Characteristics" provide guidelines for actual device operation.

Note 2: I_{SZ} = 0V Load is assumed open-drain.

Note 3: I_{SZ} and I_{SZ} are tested with output of 0V.

DC Electrical Characteristics (CD4520BC (Pins 2))

Symbol	Parameter	Conditions	+25°C		+125°C			+85°C			Units	
			Min	Max	Min	Typ	Max	Min	Max	Typ		
I_{DD}	Quiescent Device Current	$V_{DD} = 5V$	0		0		0		0		30 μA	
		$V_{in} = V_{DD}$ or V_{SS}	0		0		0		0		90 μA	
		$V_{DD} = 10V$, $V_{in} = V_{DD}$ or V_{SS}	16		16		16		170 μA			
V_{OL}	Low Level Output Voltage	$V_{in} = V_{DD}$ or 0	0.05		0	0.05		0	0.05		0.05 V	
		$V_{DD} = 5V$	0.05		0	0.05		0	0.05		0.05 V	
		$V_{DD} = 10V$, $V_{in} = 15V$	0.05		0	0.05		0	0.05		0.05 V	
V_{OH}	High Level Output Voltage	$V_{in} = V_{DD}$ or 0	4.95	4.85	5	4.85	4.85	5	4.85	4.85	5	V
		$V_{DD} = 5V$	8.95	8.95	10	8.95	8.95	10	8.95	8.95	10	V
		$V_{DD} = 10V$, $V_{in} = 15V$	14.95	14.95	15	14.95	14.95	15	14.95	14.95	15	V
V_L	Low Level Input Voltage	$V_{DD} = 5V$, $V_O = 4.5V$ or 0.5V	1.5		2.25	1.5		1.5				V
		$V_{DD} = 10V$, $V_O = 9.0V$ or 1.0V	3.0		4.50	3.0		3.0				V
		$V_{DD} = 15V$, $V_O = 13.5V$ or 1.5V	4.0		6.75	4.0		4.0				V
V_{IH}	High Level Input Voltage	$V_{DD} = 5V$, $V_O = 0.5V$ or 4.5V	3.5		3.5	2.75		3.5				V
		$V_{DD} = 10V$, $V_O = 1.0V$ or 9.0V	7.0		7.0	5.5		7.0				V
		$V_{DD} = 15V$, $V_O = 1.5V$ or 13.5V	11.0		11.0	8.25		11.0				V
I_{OL}	Low Level Output Current (Pins 2)	$V_{DD} = 4.5V$, $V_{OL} = 0.4V$	2.30	2.30	2.05	1.30	2.85	1.80				mA
		$V_{DD} = 5.0V$, $V_{OL} = 0.4V$	2.5	2.5	2.10	1.75	2.75	1.75				mA
		$V_{DD} = 10V$, $V_{OL} = 0.5V$	6.5	6.5	5.45	7.0	4.45	4.45				mA
		$V_{DD} = 15V$, $V_{OL} = 1.5V$	16.50	16.50	13.80	25.00	11.30	11.30				mA
I_{OH}	High Level Output Current (Pins 2)	$V_{OH} = 5V$, $V_{OH} = 4.8V$	-1.04		-0.86	-1.76	0.7					mA
		$V_{OH} = 10V$, $V_{OH} = 8.9V$	-2.80		-2.2	-4.30	-1.8					mA
		$V_{OH} = 15V$, $V_{OH} = 13.5V$	-7.2		-6.0	-17.8	-4.8					mA
I_{SZ}	Tri-STATE Leakage Current	$V_{DD} = 15V$	±0.2		$±10^{-6}$	±0.2					±1.0 μA	
		$V_{DD} = 15V$	±0.2		$±10^{-6}$	±0.2					±1.0 μA	

Note 1: Absolute Maximum Ratings: are those values beyond which the quality of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The terms of "Recommended Operating Conditions" and "Electrical Characteristics" provide guidelines for actual device operation.

Note 2: I_{SZ} = 0V Load is assumed open-drain.

**A N E X O D: Características de los Elementos Opticos
Información Técnica.**

Honeywell

OPTOELECTRONICS

HFD3020 FIBER OPTIC TTL OUTPUT RECEIVER



DESCRIPTION:

The HFD3020 is a sensitive differentiating optical receiver designed for use in short distance, 850 nm fiber optic systems. The receiver uses a hybrid construction consisting of a PIN photodiode, bipolar integrated receiver circuit with internal voltage regulation and external bypass capacitor. The TTL output allows the HFD3020 to be interfaced directly with standard digital TTL circuits. The HFD3020 receiver is supplied in a Honeywell plastic package, and can be mounted in several fiber optic connectors. Companion optical transmitters are available for use with the HFD3020.

APPLICATION INFORMATION:

Digital HFD3020 fiber optic receivers convert the optical signal in a point to point data communications fiber optic link to a TTL output. The HFD3020 is designed to be mounted in a fiber optic connector that aligns the optical axis of the component to the axis of the optical fiber. Its PIN photodiode is mechanically centered within the TO-18 package. Honeywell also provides the HFD3020 mounted in various fiber optic connectors. Refer to the "Ordering Information" section for details on standard connectors.

Electrical isolation is important in obtaining the maximum performance of this high sensitivity receiver. A 0.1 microfarad ceramic capacitor must be connected between pin #1 and pin #4. This minimizes oscillation due to external noise on the power leads. Shielding can reduce coupled noise and allow the maximum sensitivity to be

FEATURES:

- Converts fiber optic input signals to TTL outputs.
- Typical sensitivity 500 nanowatts peak (-33dBm).
- Single 5 volt supply requirement.
- Edge detection circuitry gives 20dB minimum dynamic range, low Pulse Width Distortion.
- Operates up to 10 Mbps NRZ.
- Plastic cap with TO-18 header for easy-to-align press fit into optical connectors.
- Designed to operate with Honeywell 850nm LEDs and integrated transmitters.
- Also available mounted in a variety of connector styles.
- Also offered in hermetic metal package (HFD3000).

obtained. This can include the use of ground planes in the PCB, shielding around the device, and shielding around the leads.

The maximum temperature specified of 100°C allows the HFD3020 to be designed into a broad variety of application.

Honeywell also offers companion transmitters designed to operate in conjunction with the HFD3020. The HFE4010 is an integrated driver circuit with an LED which has been optimized for maximum transmitted optical power. The HFE4022 is a similar design with lower power for short links.

DEVICE OPERATION:

Optical power (photons) from the fiber strikes the PIN photodiode and is converted to electrical current. This current is then converted into a voltage in the transimpedance preamplifier. The postamplifier is a voltage gain stage with excellent temperature tracking. The edge detection circuit includes an operational amplifier configured as a differentiator, whose output is proportional to the rate of change of the optical signal. A latch retains the most recent edge transition and an inverting buffer drives the TTL output.

Bandwidth has been limited to minimize noise problems. Reduced pulse width distortion (PWD) is a by product of the bandwidth limitation. The output of the differentiator having a fixed settling time insuring good PWD in

HFD3020

most applications. Another effect resulting from the fixed settling time is that PWD increases with increased optical power. Very high input optical power may overdrive the differentiator, causing high PWD due to the settling time. The accompanying curves illustrate how PWD increases with increased optical power, increased temperature, and decreased duty cycle.

Pulse Width Distortion (PWD) manifests itself as an increase in the width of the TTL low portion of an output waveform, with the TTL high portion decreasing by a like amount. The amount of PWD that a given system can tolerate without an error, due to missing a bit of information is dependant upon system considerations. The output of the HFD3020 will typically connect to the input of some form of a Serial Interface Adaptor IC. The specifications for that IC govern the amount of PWD that can be tolerated in that system.

The edge detection circuit monitors the output of the differentiator, and triggers when its output exceeds preset levels. These levels are established to be sufficiently above the worst case RMS noise level to allow excellent bit error rate and are low enough to give high sensitivities which permit operation over long link lengths. This circuitry recognizes the polarity of the change of the optical signal, setting the latch to a "1" when the optical input goes from low to high, and setting the latch to a "0" when the optical input decreases. Note: the final output stage inverts the polarity. When initially powered up, the output state is set to a "1".

After settling of the device occurs, incoming edge transitions are recognized and logic switching occurs.

Because the HFD3020 reacts to transitions in the optical signal rather than DC levels, it shows excellent stability versus temperature and other operating conditions. Also, the device is much less sensitive to the absolute level of the optical signal than DC coupled receivers, allowing for a large range of optical source powers and/or link distances to be directly interfaced.

Fiber Interface Considerations:

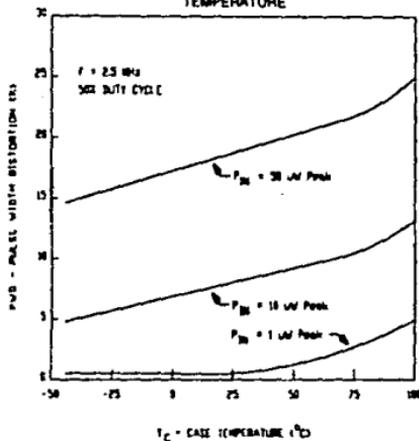
Honeywell detectors are designed to interface with multimode fibers with sizes (core/cladding diameters) ranging from 50/125 microns to 200/230 microns. Honeywell performs final tests using 100/140 micron core fiber. The fiber chosen by the user will depend upon a number of application issues (distance, link budget, cable attenuation, splice attenuation, and safety margin). The 50/125 and 62.5/125 micron fibers have advantages of high bandwidth and low cost, making them ideal for higher bandwidth installations. The use of 100/140 and 200/230 micron core fibers results in greater power being coupled by the transmitter making it easier to splice or connect in bulkhead areas. Optical cables can be purchased from a number of sources, including Honeywell.

ELECTRO-OPTICAL CHARACTERISTICS:

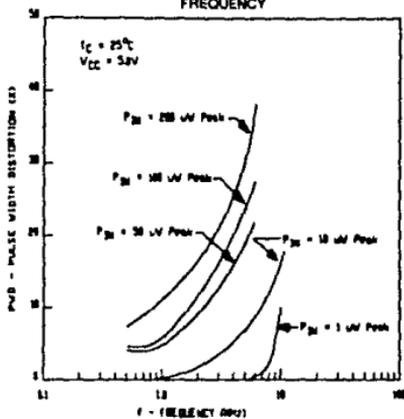
($T_c = 25^\circ\text{C}$, $V_{cc} = 5.0 V_{cc}$ unless otherwise specified)

PARAMETER	TEST CONDITION	SYM	MIN	TYP	MAX	UNITS
Minimum Input Sensitivity	$\lambda_c = 850\text{nm}$ into 100/140um optical fiber $f = 2.5\text{MHz}$, Duty Cycle = 50 %	P_m (PEAK)		0.5	1.0	μW
High Level Logic Output Voltage	$P_m \leq 1\mu\text{W}$, $I_o \leq 0.8\text{mA}$	V_o	2.4	3.3		Volts
Low Level Logic Output Voltage	$P_m \geq 1\mu\text{W}$, $I_o \leq 8\text{mA}$	V_o			0.4	Volts
Rise Time	$P_m = 1\mu\text{W}$, $V_o = 0.4$ to 2.4V	t_r		12		ns
Fall Time	$P_m = 1\mu\text{W}$, $V_o = 2.4$ to 0.4V	t_f		3		ns
Supply Current	$P_m \geq 1\mu\text{W}$	I_{cc}		15	20	mA
	$P_m \leq 1\mu\text{W}$	I_{cc}		15	20	
Pulse Width Distortion	$P_m = 1\mu\text{W peak}$, $f = 2.5\text{MHz}$, Duty Cycle = 50%	PWD		5	10	%
	$P_m = 100\mu\text{W peak}$, $f = 2.5\text{MHz}$, Duty Cycle = 50%			20	25	

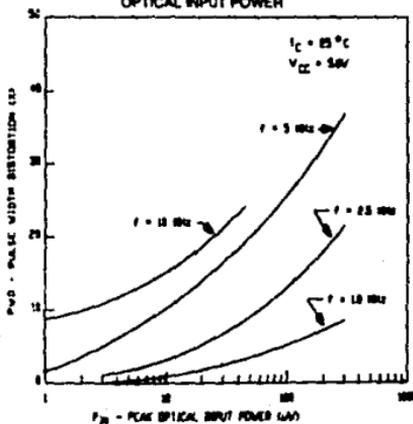
PULSE WIDTH DISTORTION
VS.
TEMPERATURE



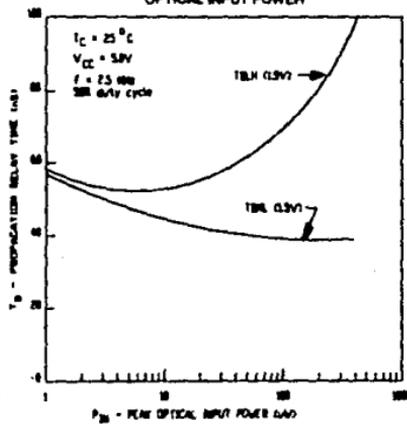
PULSE WIDTH DISTORTION
VS.
FREQUENCY

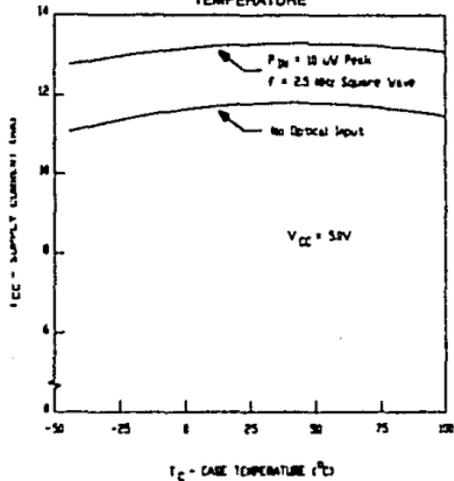


PULSE WIDTH DISTORTION
VS.
OPTICAL INPUT POWER

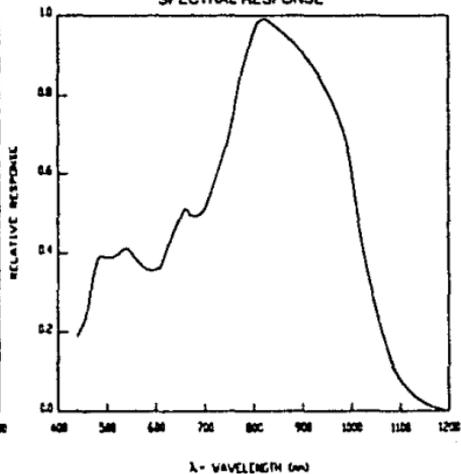


PROPAGATION DELAY
VS.
OPTICAL INPUT POWER



SUPPLY CURRENT
VS.
TEMPERATURE

SPECTRAL RESPONSE



NOTES:

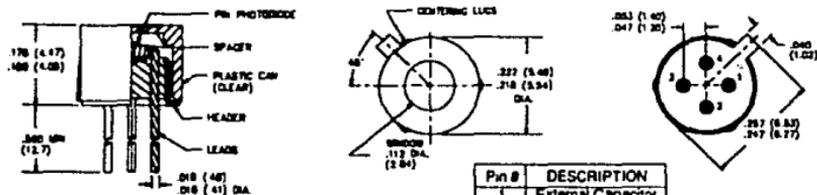
Absolute Maximum Ratings:

Storage Temperature	-65°C to 100°C
Lead Solder Temperature	260°C, 10 sec.
Supply Voltage	+6 V
Junction Temperature	150°C
Operating Temperature	-65°C to +100°C

Recommended Operating Conditions:

Operating Temperature	-55°C to 70°C
Supply Voltage	+4.5V to +5.5V
Optical Input Power	1 μ W to 100 μ W
Optical Signal Pulse Width	> 100 nS
Optical Signal Edges (10% to 90%)	< 20 nS

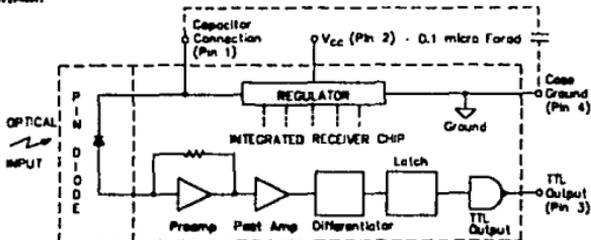
Note: Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.



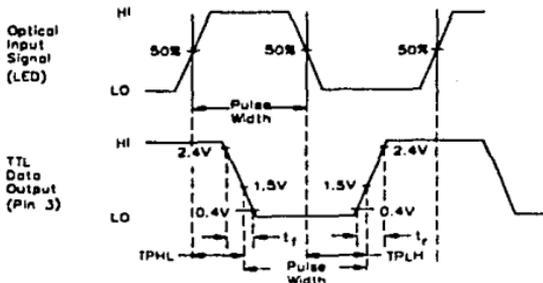
Pin #	DESCRIPTION
1	External Capacitor
2	V _{CC}
3	Output (TTL)
4	Case (Ground)

Dimensions in inches (millimeters)

BLOCK DIAGRAM:



SWITCHING WAVEFORM:



HFD3020

Ordering Information:

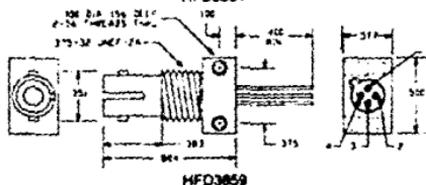
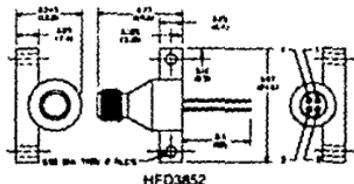
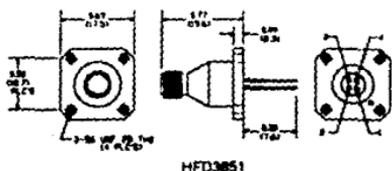
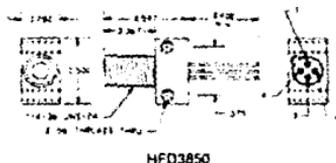
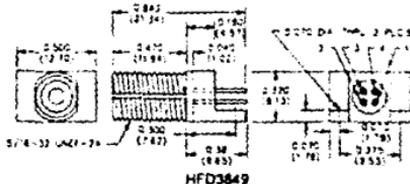
HFD3020-002 Standard screening, Plastic Cap package

The HFD3020 is also available mounted in special connectors by ordering the following part numbers:

Part No Receptacle Description

HFD3849	SFR style (AMP P/N 501184) or equivalent
HFD3850	Low Profile SMA for PCB mount (Amphenol P/N 905-138-5002) or equivalent
HFD3851	SMA range mount (Amphenol P/N 905-117-5000) or equivalent
HFD3852	SMA PCB mount (Amphenol P/N 905-118-5000) or equivalent
HFD3859	ST for PCB mount (AT&T P/N R2000A-2) or equivalent

HFD3020 receivers mounted by Honeywell are electrically isolated from their connectors to improve sensitivity. Refer to the Honeywell Optoelectronics Data Book for receptacle mechanical specifications. The connector acts as a shield to improve the sensitivity/distortion specifications of the connectorized device.



Part Number	Pin Out			
	1	2	3	4
HFD3849	Capacitor	+VCC	Output	Ground
HFD3850	Capacitor	+VCC	Output	Ground
HFD3851	Capacitor	+VCC	Output	Ground
HFD3852	+VCC	Output	Ground	Capacitor
HFD3859	Capacitor	+VCC	Output	Ground

Honeywell Optoelectronics reserves the right to make changes in specifications at any time and without notice. The information herein is believed to be accurate and reliable. However, no responsibility is assumed by Honeywell for its use.

830 East Arapaho Road
Richardson, Texas 75081
1-800-367-6786
(214-470-4271 in Texas)

9/15/87

Optoelectronics

Honeywell

SMA Low-Profile Style (SMA-LP) LEDs and Integrated Transmitters

The SMA-LP devices consist of a Base Part mounted in a Metal SMA Low Profile style connector. LEDs and transmitters are assembled to insure the best power output for each dash number. For more information on the Base Part see page 21 in this Selection Guide. Specifications are guaranteed limits.

LEDs

HFE4007-012		HFE4000-012	5	-23	100	50	10	A	K	G	N
-013	Std. LED	-013	10	-20	100	50	10	A	K	G	N
-014	Metal	-014	20	-17	100	50	10	A	K	G	N
-015		-015	30	-15	100	50	10	A	K	G	N
HFE4021-022	High Speed	HFE4003-022	5	-23	100	50	6	A	K	G	N
-023	LED	-023	10	-20	100	50	6	A	K	G	N
-024	Metal	-024	20	-17	100	50	6	A	K	G	N
-025		-025	30	-15	100	50	6	A	K	G	N
HFE4032-002	660 nm LED	SE4355-002	20	-17	50	1000	150	A	K	N	N
HFE4055-012	High Power	HFE4050-012	15	-18	100	50	10	A	K	G	N
-013	LED	-013	30	-15	100	50	10	A	K	G	N
-014	Metal	-014	50	-13	100	50	10	A	K	G	N

Digital Integrated Transmitters ($V_{cc}=5.0V$)

HFE4011-012	Standard	HFE4010-012	2.5	-26	50	50	65	V	I	G	N
-013	10 Mbps	-013	10	-20	50	50	65	V	I	G	N
-014	Metal	-014	20	-17	50	50	65	V	I	G	N
HFE4046-012	Std. 10Mbps	HFE4012-012	1	-30	12.5	50	20	V	I	G	N

Notes:

1. Dark Leakage Current is measured at $V_a = 5$ volts.
2. Response Time is measured between 10% and 90% points with $V_a = 15$ volts.
3. Pulse Width Distortion is measured at 1.5 volts with an input signal of 100 μ W, 2.5MHz, 50% duty cycle.
4. Transmitter fiber size is either 100/140 micron (100), 50/125 micron (50), or 1mm (1000).
5. Inv. = Output is low (<0.4 volts) when light is striking the device.
6. Receiver Sensitivity and Responsivity is measured using a 100/140 micron fiber optic cable.

**A N E X O E: Especificaciones Técnicas del Transmisor,
Receptor, Amplificador Lineal y CTCSS**

MAXON DM-0530 Transmitter Performance Specifications

Carrier power output	2 watts, $\pm 10\%$
Audio harmonic distortion	no more than 5% for a 1KHz modulating tone at ± 3.0 KHz deviation.
Maximum deviation capability	at least ± 5 KHz.
Modulation limiting	Instantaneous peak clipping with low pass audio filter.
Audio input level	250 to 350mV RMS for 5.0KHz deviation @ 1KHz, adjustable.
Deviation vs. temperature	± 0.2 KHz over operating temperature range.
FM hum and noise	at least -50dB down.
Output protection	Shall withstand for 5 minutes all VSWR around Smith chart of 20:1 without failure or damage.
Input current	not more than 850mA with 2 watts average power output at 11.0V nominal.
Spurious & harmonic emissions	less than -60dB
Attack time	Time from PTT to full power, frequency within tolerance, and full modulation capability shall be less than 50 milliseconds.
PTT input	Floating the PTT line enables the receive mode, grounding the PTT line enables the transmit mode. Maximum current sourced from the PTT line during transmit mode with the line tied to ground shall be (30mA. Maximum low voltage threshold shall be 0.4V.)

- 1. These measurements shall be made using a CCITT weighed filter.
- 2. These measurements shall be made without filtering.

MAXON DM-0530

General

Power supply	11.0VDC \pm 10%
Antenna impedance	50 Ohms, unbalanced.
Temperature range	- 30 degrees C. to +60 degrees C.
Humidity	90%, non-condensing.
Frequency range	450 MHz to 470 MHz.
Frequency stability	+/- 0.0005%
Frequency control	quartz crystal, installed.
Channel capacity	1 channel, simplex or half duplex.
Required FCC compliance	Part 15, 21, 90, 95

Receiver Performance Specifications

Sensitivity	0.35 μ V or better (12dB SINAD) 1.
Noise quieting	20dB or better at 0.5 μ V 1.
Receiver recovery after transmit PTT released	18 milliseconds or less.
Modulation acceptance bandwidth	+/- 7.0KHz.
Spurious and image rejection	at least -70dB.
Intermodulation rejection	at least -60dB.
Selectivity	at least -75dB for frequencies at +/- 25KHz of channel frequency.
Audio output	at least 200mV RMS into 30K ohms @ 2.6KHz deviation with a 1KHz modulation tone.
Audio frequency response	-4dB maximum @ 4.8KHz, down no more than -10dB at 7KHz 2.
Audio harmonic distortion	4% or less with a 10 microvolt input RF level, 1KHz modulating tone at +/- 2.6KHz deviation 1.
Receiver current	20mA maximum

MAXON DM-0530

Specification of Quartz Crystal Unit

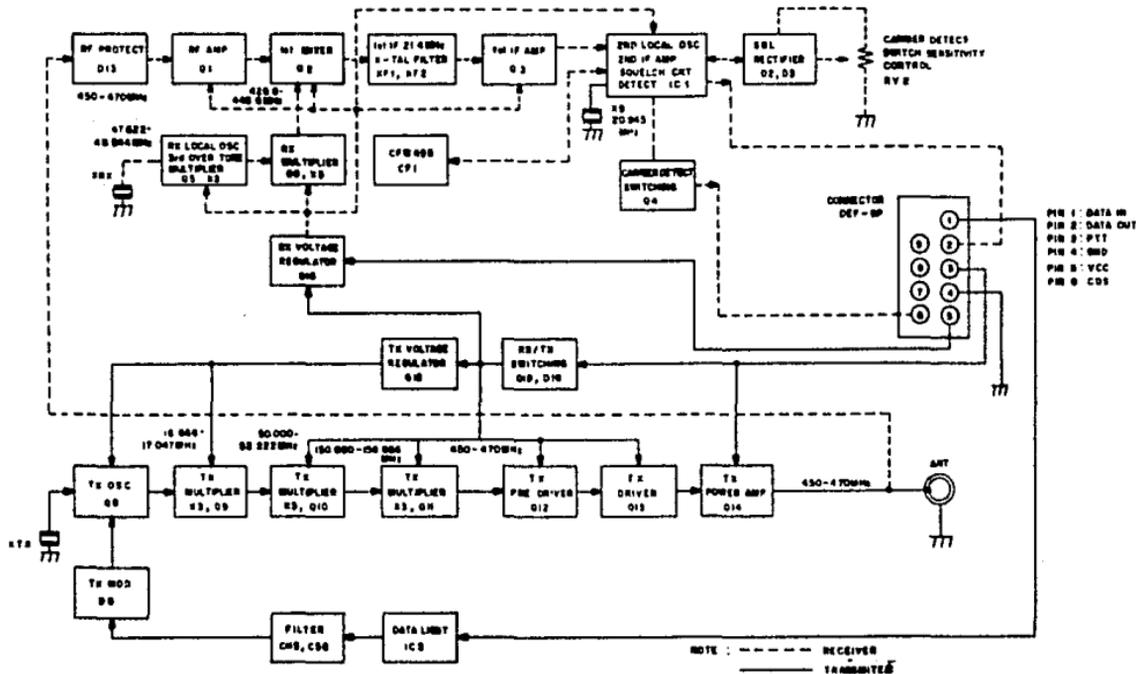
TRANSMIT

1. Holder Type HC-18/U Wire Lead
2. Operating Temperature -30 C to 80 C
3. Temperature Stability $\pm 0.0010\%$ (-30 C to +60 C)
..... $\pm 0.0005\%$ (-10 C to +60 C)
4. Characteristics at 25 C ± 2 C unless otherwise specified.
 - 4.1 Frequency (MHz) F+27
 - 4.2 Frequency Tolerance (\pm %) 0.0005
 - 4.3 Load Capacitance (pf) 32 pf
 - 4.4 Equivalent Resistance (ohm) 20 Max
 - 4.5 Drive Level (mw) 2
 - 4.6 Shunt Capacitance (pf) 7 Max
 - 4.7 Oscillation Mode Fund
 - 4.8 Test Circuit RFL5950A/460A
 - 4.9 Motional Capacity 0.0025 pf $\pm 10\%$

RECEIVE

1. Holder Type HC-18/U Wire Lead
2. Operating Temperature -30 C to 80 C
3. Temperature Stability $\pm 0.0010\%$ (-30 C to +60 C)
4. Characteristics at 25 C ± 2 C unless otherwise specified.
 - 4.1 Frequency (MHz) (F-21.4)+9
 - 4.2 Frequency Tolerance (\pm %) 0.0005
 - 4.3 Load Capacitance (pf) 32
 - 4.4 Equivalent Resistance (ohm) 35
 - 4.5 Drive Level (mw) 2
 - 4.6 Shunt Capacitance (pf) 7 Max
 - 4.7 Oscillation Mode 3rd Overtone
 - 4.8 Test Circuit RFL5950A/460A
 - 4.9 Motional Capacity 0.0025 pf $\pm 10\%$

MAXON DM-0530 Block Diagram



MAXON DM-0530

Theory of Operation

RECEIVER

RF AMPLIFIER

Incoming signals from the antenna jack are switched by send-receive diode D13 to RF amplifier Q1 via helical resonators T1 and T2. Q1's output is amplified and filtered by resonators T3 and T4.

MIXER AND LOCAL OSCILLATOR

Q5 is a third overtone crystal oscillator* which feeds tripler Q6. The output of Q6 is doubly tuned by T5 and T6 and injected at the emitter of mixer Q2, thus converting the incoming signal to 21.4MHz. The 21.4MHz IF output of Q2 is filtered by two monolithic crystal filters.

IF AMPLIFIER

The 21.4MHz IF signal is amplified by Q3 and fed into IC-1, which functions as the 2nd oscillator and mixer to 455KHz. The 455KHz IF signal is filtered by ceramic filter CF-1 and applied to the amplifier and limiter portions of IC-1, which also included the quadrature detector, noise amplifier and squelch control switching circuitry.

AUDIO OUTPUT

IC-1's audio output is de-emphasized and fed to J2.

RECEIVER VOLTAGE REGULATOR

Q16 is a voltage regulator to provide a stable 5-volt supply to receiver RF and IF circuitry. Its base is connected to the PTT switch through a diode to disable receiver stages in the transmit mode.

MAXON DM-0530

Theory of Operation

TRANSMITTER

CRYSTAL OSCILLATOR AND MODULATOR

Q8 is a fundamental frequency crystal oscillator with temperature compensating circuitry. At low temperatures TH3 becomes effective and compensates for negative crystal frequency drift. Q7 is the microphone amplifier. Its output is differentiated and fed into IC-3, which is used as an amplifier and clipper. IC-3's output is filtered and fed via a deviation control into varactor D8, for direct frequency modulation.

Q9 triples the crystal frequency. Its output is double-tuned. Q10 is a second tripler with double-tuned output feeding third tripler Q11, which has output at the channel frequency.

DRIVER AND FINAL AMPLIFIER

Q11 is a buffer amplifier exciting pre-driver Q12. Drive Q13 produces about 700MW of power to final transistor Q14, which delivers up to 5 watts of RF power output.

SEND-RECEIVE SWITCHING

Q19 is a switching transistor. When PTT is activated, Q19's base will be forward biased, causing it to conduct, delivering voltage to the low-level transmitter stages, and to regulator Q15 which supplies stable voltage to oscillator Q8 and modulator Q9. Q19 also applies a positive voltage to send-receive antenna switching diode D13 in the transmit mode, causing it to conduct, thus switching the RF input signal to the receiver to a very low level.

MAXON DM-0530

Receiver Alignment Instructions

RECEIVER

CRYSTAL INSTALLATION

Soldering of the crystals must be accomplished quickly to avoid damage to the crystal itself.

OSCILLATOR TUNING

Connect VOM (0-3VDC range) at TP-1, tune T5 for maximum reading.

FRONT END TUNING

Connect a SINAD indicating meter across the audio output connections using a CCITT weighted filter. Tune the signal generator to the proper frequency and increase its output until the signal (3KHz deviation, 1KHz audio tone) can be heard. Tune T1, T2, T3, T4, T6 and T7 for best SINAD. Adjust the channel trimmer capacitor for best SINAD at the indicated channel frequency, using the minimum possible output from the signal generator. Go back and touch up the tuning of T1 through T7, above, as well as T5 and T8. The final SINAD reading for any selected channel within the 5MHz permissible spread should be 0.35 microV or less for 12dB. T9 is factory-tuned and does not normally require adjustment.

RECEIVER PERFORMANCE TESTS

SINAD SENSITIVITY

Adjust the signal generator output to the lowest level which will provide a good sinusoidal pattern on the oscilloscope. At 12dB SINAD the signal generator output should be less than 0.35 microV.

CARRIER DETECT SWITCH SENSITIVITY

With the signal generator set for 1KHz modulation, 3KHz deviation and the RF attenuator at minimum output setting, adjust the control to its threshold, ie. to where Q4 collector just goes high. The collector of Q4 should go low as the output of the signal is increased to 0.25 microV. Set the control to its maximum clockwise position. Increase the RF attenuator setting until Q4 collector goes low. The point of opening should be 10 to 20dB greater than 0.25 microV.

AUDIO OUTPUT

With the signal generator set at 1000 microV output, audio output should be approximately 50 to 150mV.

STANDBY CURRENT

Squelch the receiver (no signal input) and connect a VOM (0-30mA scale) in series with one of the power supply leads. The meter reading should be less than 20mA at a supply voltage of 11 volts.

MAXON DM-0530

Transmitter Alignment Instructions

TRANSMITTER PERFORMANCE TESTS

POWER OUTPUT

Power output should be in excess of the advertized specification with a power supply input voltage of the required level (11VDC), measured at the power supply. Reducing the supply voltage by 15% should produce a power output of approximately 50% of the advertized specification.

AUDIO RESPONSE

Connect an audio generator set up for 1KHz to the EXT MIC jack. Adjust the generator output to 1KHz deviation on the deviation meter. Retune the audio generator to 500Hz. The deviation should now be approximately 500Hz as observed on the monitor. Retune the audio generator to 2KHz. The deviation should now be approximately 1KHz.

LIMITING TEST

Adjust the audio generator output to 1KHz deviation at 1KHz audio frequency tone output and observe the waveform on an oscilloscope connected to the communications monitor. Set the attenuator on the audio generator to show slight clipping on the oscilloscope. Increase the generator by 20dB (twice voltage) and sweep the band from 300Hz to 3KHz. At any frequency within that band the deviation should not exceed plus/minus 5KHz.

SPLATTER FILTER TEST

SPLATTER FILTER TEST

With the test equipment set up as for the LIMITING TEST, note the reading on the AC VTVM connected across the audio output of the deviation meter at 3KHz deviation. Tune the audio generator to 6KHz. The AC VTVM reading should decrease more than 18dB.

SPECTRUM TEST

With the input attenuator of the spectrum analyzer protected by 30 to 40dB of attenuation, all spurious and harmonics should be down more than 60dB.

ANTENNA TEST

Reassemble the radio into its case and install a fully-charged battery pack. Connect a properly trimmed (to frequency) flexible antenna. Key to transmit and check the frequency, deviation and spectral purity. All should be the same as tested with the 50-ohm dummy load.

MAXON DM-0530

Transmitter Alignment Instructions

TRANSMITTER

CRYSTAL INSTALLATION

Soldering of the crystals must be accomplished quickly to avoid damage to the crystal itself.

POWER SUPPLY VOLTAGE

Set the power supply voltage to the proper level, measured at the radio, not at the power supply. If measured at the power supply, voltage drop in the connecting leads will result in erroneous readings.

MULTIPLIER TUNING

Connect an RF wattmeter (0-5W scale) to the antenna jack and a 0-3VDC voltmeter to TP-4 and press the PTT switch. Tune T10, T11, T12 for maximum and T13 for a dip. Move the meter to TP-5 and touch up the coils mentioned above for maximum reading.

AMPLIFIER TUNING

Press the PTT switch and observe some reading on the RF wattmeter. Tune TC9, TC10, TC11, TC12 and TC13 for maximum RF output as indicated on the wattmeter, while observing the spectrum analyzer to ensure that all spurious emissions are down at least 60dB relative to the carrier level.

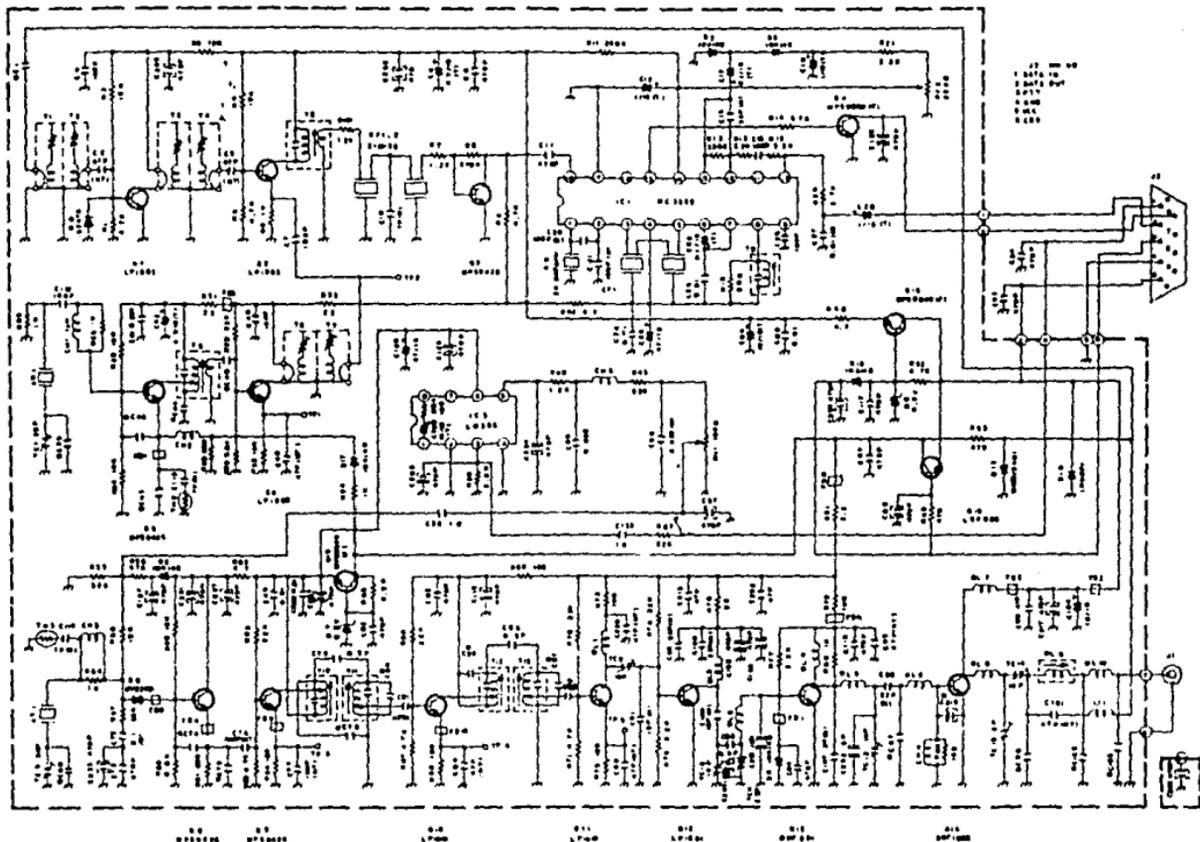
CHANNEL SETTING

Adjust the trimmer capacitor for transmitter crystal to the exact channel frequency, as measured on a communications monitor or suitable frequency counter.

DEVIATION ADJUSTMENT

Using an external audio generator connected to the radio's external mike jack, set the deviation control (RV1) to indicated plus/minus 5KHz on the communications monitor, observing the waveform for proper positive and negative peak deviation. Note that when the modulation limiter is overdriven, slight "carrier shift" will result. This will not occur at normal speech levels. Also note that when crystals for more than one channel are installed, there will be a slight difference in maximum deviation for a given setting of RV1. This is caused by slight variation in individual crystal parameters and can be minimized by using crystals from the same manufacturer. Always adjust RV1 for 5KHz deviation on the channel which shows maximum deviation.

MAXON DM-0530
Schematic Diagram



MAXON CA-1462 UHF POWER AMPLIFIER

Theory of Operation

The power amplifier is a 15 watt class "B" tunable amplifier for FM applications in the 450-470 frequency range. Descriptions of the different sections of the power amplifier follow:

The first section is transmit-receive switching of the CA-1462. The function of this circuit is to sense transmit RF energy, insert the RF power device into the circuit, and turn on the base bias circuit. In the absence of RF transmit power, the relay RY1, is de-energized to provide a low pass filter (LPF) in series with the antenna to receive path. Capacitors C12 and C13 sample the RF energy existing at J1 and turn on Q3. With RY1 energized, relay contacts apply RF drive to the base circuit of Q1 and switch the collector output to the LPF. With no transmit energy, or in the absence of the 13.8 VDC supply, RY1 reverts to the de-energized or fail-safe mode and the LPF is placed in series with the J1 and J2 path of the CA-1462 UHF amplifier. Q3 powers the Q1 base bias circuit. R7, R8, R9, D4, and D5 regulate and set the bias voltage. D4 and D5 provide temperature compensation.

Transistor Q1 is a flange-mounted UHF part that provides power gain for the CA-1462. The input matching network consists of variable capacitors C1 and C2 plus inductor L1. This network is a tunable bandpass that matches 50 ohms to the "tuned" base to the correct frequency range. R1/L2; FB1, and FB2 apply DC bias for class "B" operation and provide spurious suppression for Q1. The collector of Q1 is tuned by C5 and C6 and then matched to 50 ohms by the LPF "T" network consisting of L4, L5, and C7. Capacitor C8 is a DC block. The collector DC power is shunt fed by RF choke L3. The remaining components on the DC feed line provides filtering and isolation.

The low pass filter is a 50 ohm input-output design, active in both transmit and in receive. The filter is of Chebychev type and consists of the components electrically situated between wiper contacts of RY1-B and the J2 antenna connector. This filter passes the transmitted carrier power with low loss and effectively suppresses harmonics of the carrier.

MAXON CA-1462 UHF POWER AMPLIFIER

Alignment Procedures

WARNING



Any repairs or adjustments should be made under the supervision of a qualified radiotelephone technician.

TEST EQUIPMENT

- A. Power Supply 0-15 VDC @ 6 A
- B. Ammeter Simpson 260 or equiv
- C. Voltmeter Simpson 260 or equiv
- D. Directional Wattmeter (2) Bird Model 43 Thruline or equiv
- E. RF Dummy Load Bird Tenline #343-200 or equiv

NOTE:

This procedure assumes that the power amplifier has no defective components and functions normally.

1. Remove Bottom Cover

- A. Remove two Phillips head screws from the input (BNC connector end) plate which secures the bottom cover.
- B. Remove the bottom cover plate.
- C. Replace the two Phillips head screws on the end plate.

2. Equipment Set-Up

- A. Connect the CA-1462 as shown in Figure 1.

CAUTION



Ensure that the CA-1462 power supply and that the hand-held transceiver are turned off before proceeding.

3. Low Pass Filter Alignment

- A. Verify that the DC power to the CA-1462 is off.
- B. Apply RF drive by depressing the Push-To-Talk (PTT) button on a CP/CS-0520 series hand-held radio. With wattmeter A set to read forward power, verify a power output indication.
- C. Set wattmeter A to read reflected power.
- D. Using an insulated, non-inductive tuning tool, compress or spread the tuning of inductors L6 and L7 for minimum reflected power indication on wattmeter A.

MAXON CA-1462 UHF POWER AMPLIFIER

Alignment Procedures

4. Amplifier Alignment

- A. Apply 13.8 VDC to the CA-1462.
- B. Apply RF drive to the CA-1462 by depressing the PTT button on the hand-held transceiver.
- C. Adjust L1, C1, and C2 for a minimum reflected power indication on wattmeter A.
- D. Adjust C7 and L5 for minimum power (forward) output on wattmeter B while maintaining 4 amperes or less supply current.

WARNING



High RF potentials exist within this unit during transmit. Use care during the alignment procedure to avoid electrical shock and RF burns.

- E. Readjust L1, L6, and L7 along with C1 and C2 for minimum reflected power indication on wattmeter A and maximum power (forward) indication on wattmeter B.
- F. Repeat steps C, D, and E as necessary.

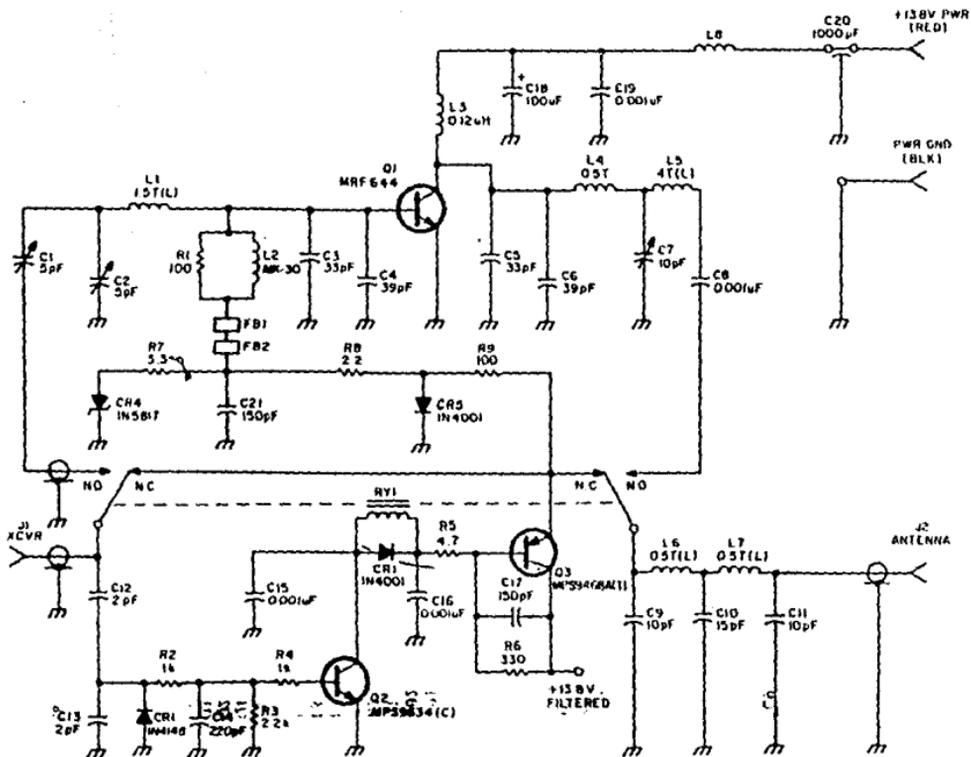
CAUTION



To avoid possible damage to the hand-held transceiver and the CA-1462, do not key the transceiver for more than 5 seconds at a time, and allow a two minute cool down period between transmit cycles.

5. Re-install Bottom Cover

- A. Remove two Phillips head screws from the input plate.
- B. Attach the bottom cover plate.
- C. Replace the two Phillips head screws and tighten securely.



MAXON CA-1462 UHF POWER AMPLIFIER
Schematic Diagram

MAXON CP-0520/0521 & HD CA1118 PROGRAMMABLE CTCSS

SPECIFICATIONS

General

Frequency Range	All 37 EIA CTCSS tone frequencies including 1 non-EIA tone (97.4 Hz) (67.0 Hz to 250.3 Hz)
Size	0.6" x 2.0" x 0.3"
Voltage Range	7.0 VDC to 16 VDC
Temperature Range	-30°C to +60°C
Current	out of circuit: 7.5 mA DC encoding, 6.5 mA DC decoding or standby

Encoder

Keying	ground to encode
Output impedance	47K ohm minimum
Output level	210 mVPP (67.0 - 250.3 Hz) into 5K ohm load
Rise time	less than 20mSec to 90%
Distortion	less than 5%
Stability	±0.5% (as per EIA RS-220A)

Decoder

Signal to noise for decode as per EIA RS-220A	better than 8 dB SINAD
Input impedance	250K ohm typical 100K ohm minimum
Input level	100 mVpp minimum of tone 2 Vpp maximum of 1 KHz audio 250mSec typically at 12 dB SINAD
Decode time	2% typically otherwise to EIA RS-220A spec.
Bandwidth	ground "MONITOR IN" to unsquelch
Monitor function	3 dB loss for frequencies between 400 Hz to 3 KHz (10K ohm load); 40 dB loss for frequencies 67.0 Hz to 250.3 Hz
Audio path	

CIRCUIT DESCRIPTION

All major encoding and decoding functions as well as audio filtering are provided by IC1, (MX345LV2), a custom CMOS integrated circuit.

A regulated 5.0 VDC supplies IC1 via IC2 (78L05). Decoupling capacitors complete the supply circuitry.

The discriminator signal is capacitively coupled to the tone (pin 23), and audio (pin 22) inputs of IC1 via C1. C8 provides decoupling. When a correct tone is decoded, two operations occur:

- pin 13 of IC1 goes low (1VDC) and turns Q2 OFF, unsquelching the receiver. Decode and dropout timing for both audio filter enabling and squelch control are controlled by R7 and C7. R8, R9 and R10 set a comparator threshold level for decode and dropout also.
- filtered audio appears at pin 20 of IC1, but has noise imposed on the audio as a result of the internal switched capacitor filters. A simple low pass filter (R5, C5) removes the noise.

A monitor circuit is provided on the base of the squelch transistor Q2. Providing a ground at the base of Q2 unsquelches the receiver.

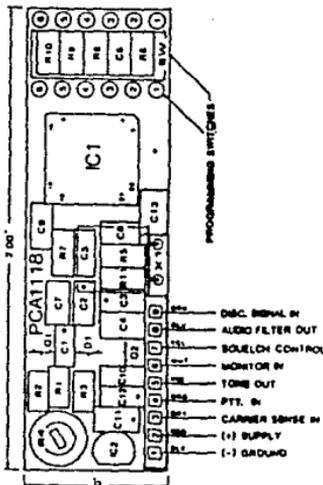
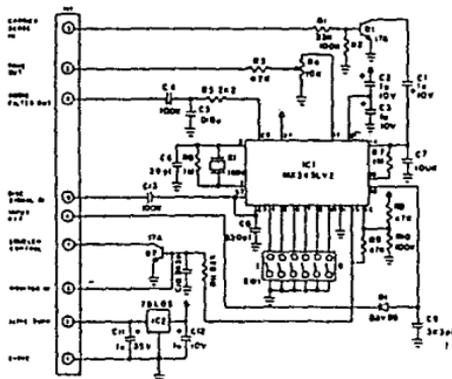
The encode tone is generated whenever pin 18 of IC1 goes low, and appears at pin 17. R4 provides output amplitude adjustment and R3 provides isolation from the modulator circuitry in the radio.

The frequency of the encode/decode tone is selected by SW1. All 37 EIA CTCSS tones and 1 non-EIA tone (97.4 Hz) can be selected.

Overall frequency stability and accuracy is determined by a crystal.

An antifalsing circuit comprising R1, R2, Q1 and C1 is included. This circuit desensitizes the tone decoder during high noise conditions.

MAXON CP-0520/0521 & HD CA1118 PROGRAMMABLE CTCSS



PROGRAMMING TABLE 1

SW PROGRAMMING SWITCH SETTING

ON = LOGIC 0

OFF = LOGIC 1

.....(SHORTED TO GROUND)

.....(INTERNALLY PULLED HIGH)

PRIN. TONE FREQUENCIES
1700 HZ/100 HZ/STEP

CHNL. #	EIA GROUP	SPEL TO PCHT IN FN Hz	MHz 231/241 FREQ. IN CH 3	SW						
				1	2	3	4	5	6	
1	C	67.0	67.05	0	1	1	1	1	1	1
2	B	71.9	71.90	0	1	1	1	1	1	1
3	A	74.4	74.35	0	1	1	1	1	1	0
4	A	77.0	76.96	0	0	1	1	1	1	1
5	B	79.7	79.77	0	0	1	1	1	1	0
6	B	82.5	82.59	0	1	1	1	1	1	0
7	C	87.4	87.38	1	1	1	1	1	1	0
8	A	90.3	90.31	0	0	1	1	1	1	0
9	B	94.2	94.16	0	1	1	1	1	1	0
10A	A	97.4	97.29	0	1	1	1	1	1	0
11	A	100.0	99.96	0	0	1	1	1	1	0
12	B	103.5	103.43	0	1	1	1	1	1	0
13	A	107.3	107.15	0	0	1	1	1	1	0
14	A	110.9	110.77	0	0	1	1	1	1	0
15	B	114.6	114.44	0	1	1	1	1	1	0
16	B	118.0	117.80	0	0	1	1	1	1	0
17	A	123.0	122.80	0	0	1	1	1	1	0
18	B	127.3	127.06	0	1	1	1	1	1	0
19	A	131.8	131.61	0	0	1	1	1	1	0
20	B	136.5	136.31	0	1	1	1	1	1	0
21	A	141.3	141.07	0	0	1	1	1	1	0
22	B	146.2	146.07	0	0	1	1	1	1	0
23	B	151.4	151.09	0	0	0	1	1	1	0
24	A	156.7	156.48	0	1	1	1	1	1	0
25	A	162.2	162.01	0	0	1	1	1	1	0
26	B	167.9	168.14	0	1	0	0	1	1	0
27	A	173.0	173.40	0	1	0	0	1	1	0
28	B	178.9	180.13	1	0	0	0	1	1	0
29	A	186.2	186.29	0	0	0	0	1	1	0
30	A	192.8	192.95	0	1	0	0	1	1	0
31	A	201.5	203.65	0	0	0	0	2	1	0
32	A	210.7	210.17	0	1	0	0	1	1	0
33	A	218.1	218.16	0	0	0	0	1	1	0
34	B	225.7	226.12	0	1	0	0	1	1	0
35	A	233.4	234.19	0	0	0	0	0	1	0
36	B	241.0	243.06	0	1	0	0	0	0	1
37	A	250.3	250.28	0	0	0	0	0	0	0

* NUM. EIA TONE FREQUENCY

BIBLIOGRAFIA

- 1.- Espinosa, J.M., Contreras, O.R., Ibarrola, G., Nueva Red de Acelerógrafos para el Distrito Federal. Memorias del VII Congreso de Ingeniería Sísmica, Querétaro, Nov. de 1987.
- 2.- Espinosa, J. M., Prince, J., Ibarrola, G., Contreras, O., "Análisis del primer Sismo Registrado en el Centro de Instrumentación y Registro Sísmico, AC, el 12 de marzo de 1987", Informe RA-DF-1A, CIRES, AC, Marzo de 1987.
- 3.- Espinosa, J. M., Prince, J., Ibarrola, G., Contreras, O., "Sismo del 8 de Febrero de 1988, Acelerógramas captados en la Ciudad de México", Informe RA-DF-2A, CIRES, AC, Febrero de 1988
- 4.- Manual de operación del sistema OMEGAREC, Observatoire Cantonal 2000 Neuchâtel Switzerland 1986
- 5.- Espinosa, J.M., Prince, J., Ibarrola, G., Contreras, O., "Sismo del 10 de Marzo de 1989 Acelerógramas captados en la Ciudad de México", Informe RA-DF-3, CIRES, AC, Marzo de 1989
- 6.- Espinosa, J.M., Prince, J., Ibarrola, G., Contreras, O., "Sismo del 25 de Abril de 1989 Acelerógramas captados en la Ciudad de México", Informe RA-DF-4, CIRES, AC, Mayo de 1989
- 7.- Espinosa, J.M., Prince, J., Ibarrola, G., Contreras, O., "Sismo del 2 de Mayo de 1989 Acelerógramas captados en la Ciudad de México", Informe RA-DF-5, CIRES, AC, Mayo de 1989
- 8.- Espinosa, J.M., Prince, J., Ibarrola, G., Contreras, O., "Sismo del 12 de Agosto de 1989 Acelerógramas captados en la Ciudad de México", Informe RA-DF-6, CIRES, AC, Marzo de 1989
- 9.- Camarillo, B.L., "Instalación de un sistema para la captación de registros acelerométricos mediante sensores de pozo profundo", TESIS, 1990.
- 10.- Olivetti, Manual del Usuario, Manual de Mensajes, MS-DOS, 1988.
- 11.- Amphenol Fiber Optic Designers Handbook , 1980.
- 12.- A. Bruce Carlson, Sistemas de Comunicación,, Mc Graw Hill, 1975.
- 13.- Juan Manuel Espinosa Aranda, "Diseño y Construcción de los Circuitos para un Sistema Multiplex de una Red de Telemetría Sísmica", TESIS, 1973.

- 14.- CMOS Logic Databook, National, 1973.
- 15.- Linear Databook, National, 1988.
- 16.- Exar DATABOOK, EXAR Corporation 2222 Qume Drive, San Jose, California 95131. 1987.
- 17.- Millman & Taub, Circuitos de Pulsos Digitales de Conmutación, Libros McGraw Hill, 1971.
- 18.- Manual de operación y mantenimiento de los acelerógrafos DCA-333, Terra Technology, 1987.
- 19.- Boylestad y Nashelsky, Electrónica Teoría de Circuitos, Prentice Hall 1983,
- 20.- Robert F Couglin/Frederick F. Driscoll, Circuitos Integrados Lineales y Amplificadores Operacionales, Prentice Hall, 1987