



UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO



FACULTAD DE ESTUDIOS SUPERIORES
CUAUTITLAN

CONVERTIDORES ANALOGICO DIGITAL
(A/D) Y DIGITAL ANALOGICO (D/A).

TESIS CON
FALLA DE ORIGEN

T E S I S
QUE PARA OBTENER EL TITULO DE
I N G E N I E R O
MECANICO ELECTRICISTA
P R E S E N T A N :
MONTES LEAL LEOBARDO
PRECIADO VALTIERRA JUAN ANTONIO

Asesor: Ing. Blanca de La Peña Valencia



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

TESIS CON FALLA DE ORIGEN

INTRODUCCION.....1

C A P I T U L O 1

AMPLIFICADOR OPERACIONAL.

1.1 Características y funcionamiento.....1

1.2 Clasificación10

1.2.1 Amplificador inversor.....13

1.2.2 Amplificador no inversor.....12

1.2.3 Seguidor de voltaje.....13

1.2.4 Sumador.....14

1.2.5 Transductor de corriente-voltaje.....17

1.2.6 Diferencial.....18

1.2.7 Integrador.....19

1.2.8 Diferenciador.....21

1.2.9 Comparador.....21

1.2.9.1 Efectos del ruido en los circuitos comparadores.....24

1.2.9.2 Realimentación positiva.....25

1.2.9.3 Voltaje de umbral inferior.....26

1.2.9.4 Detectores de cruce por cero con histéresis.....27

1.2.9.5 Características del comparador 311.....29

1.2.9.6 Operación de la terminal de salida.....29

C A P I T U L O 2

CONVERTIDORES.

2.1 Funcionamiento del convertidor digital-analógico (D/A).....32

2.2 Clasificación del convertidor digital-analógico (D/A).....47

2.2.1 Convertidores D/A tipo paralelo.....47

2.2.1.1 Convertidor D/A en paralelo con resistencia de peso....49

2.2.1.2	Convertidor D/A en paralelo con resistencia escallera R-2R.....	50
2.2.1.3	Convertidor D/A en paralelo con voltaje de peso.....	52
2.2.2	Convertidores D/A tipo serie.....	54
2.2.2.1	Convertidor D/A en serie con muestreo-retenció (Sample-Hold).....	56
2.2.2.2	Convertidor D/A en serie tipo ciclico.....	58
2.2.3	Parámetros de operación del convertidor D/A.....	60
2.2.3.1	Presición absoluta.....	60
2.2.3.2	Linealidad diferencial.....	60
2.2.3.3	Linealidad absoluta.....	60
2.2.3.4	Sensibilidad de la fuente de alimentación.....	61
2.2.3.5	Estabilidad térmica.....	61
2.2.3.6	Resolución.....	61
2.2.4	Selección del convertidor D/A.....	62
2.2.4.1	Características de la entrada digital.....	62
2.2.4.2	Características de la salida analógica.....	63
2.2.4.3	Características ambientales que afectan la precisión...63	
2.2.5	Aplicaciones más significativas del convertidor D/A.....	63
2.3	Cuantización, muestreo y retención.....	64
2.3.1	Cuantización.....	64
2.3.1.1	Efectos de cuantización.....	66
2.3.2	Muestreo.....	67
2.3.3	Retención.....	69
2.4	Funcionamiento del convertidor analógico-digital (A/D).....	72
2.5	Clasificación del convertidor analógico-digital (A/D).....	74
2.5.1	Convertidores A/D salida Paralelo.....	75

2.5.1.1	Convertidores de lazo abierto.....	75
2.5.1.1.1	Convertidores de actuación totalmente simultánea.....	75
2.5.1.1.2	Convertidor de actuación simultánea con propagación en serie.....	77
2.5.1.2	Convertidores de lazo cerrado.....	78
2.5.1.2.1	Convertidor A/D tipo rampa discreta.....	79
2.5.1.2.2	Convertidor A/D tipo integración simple.....	81
2.5.1.2.3	Convertidor A/D tipo integración doble.....	84
2.5.1.2.4	Convertidor A/D tipo aproximaciones sucesivas.....	86
2.5.2	Convertidores A/D salida serie.....	87
2.5.3	Convertidores A/D salida temporal.....	93
2.5.3.1	Convertidor A/D voltaje - frecuencia.....	90
2.5.3.2	Convertidor A/D voltaje - anchura de impulsos.....	94
2.5.4	Parámetros de operación del convertidor A/D.....	98
2.5.4.1	Tiempos de adquisición y apertura.....	98
2.5.4.2	Tiempo de conversión.....	99
2.5.4.3	Resolución.....	100
2.5.4.4	Monotonicidad.....	100
2.5.4.5	Error de cuantización (valor máximo).....	101
2.5.4.6	Rapidez de cambio de salida (slew-rate).....	101
2.5.5	Selección del convertidor A/D.....	105

CAPITULO 3

PROCESAMIENTO DIGITAL DE SEÑALES CON AYUDA DEL MICROPROCESADOR Z-98, UTILIZANDO EL CONVERTIDOR MC 1408LB Y LA INTERFASE PERIFERICA PROGRAMABLE B255.

3.1-	Descripción general del convertidor MC1408.....	105
3.1.1	Compensación y manejo del amplificador de referencia....	106

3.1.2 Rangos del voltaje de salida.....	109
3.1.3 Rango de corriente de salida.....	110
3.1.4 Precisión.....	110
3.1.5 Precisión multiplicando.....	111
3.1.6 Tiempo de encendido.....	112
3.2 Interfase periférica programable 8255. (PPI 8255).....	113
3.2.1 Interfase.....	117
3.2.1.1 Tiempos de instrucción OUT.....	118
3.2.1.2 Tiempo de la instrucción IN.....	119
3.2.2 Transmisión de datos.....	120
3.2.2.1.- Selección del dispositivo.....	121
3.2.2.2 Decodificador de comandos y control.....	122
3.3 SOFTWARE DE SEÑALES.	
3.3.1 CUADRADA.....	125
3.3.2 TRIANGULAR.....	128
3.3.3 DIENTE DE SIERRA.....	131
3.3.4 SENOIDAL.....	134
3.4 HARDWARE DE SEÑALES.....	142
CAPITULO 4	

**PROCESAMIENTO ANALÓGICO DE SEÑALES A TRAVÉS DE LA SIMULACION DE UN
MULTIPLICADOR DIGITAL CON AYUDA DEL MICROPROCESADOR Z-80 UTILIZANDO EL
CONVERTIDOR MC1498.**

4.1 Generalidades.....	143
4.2 Hardware y Software.....	146
4.3 Programa de aproximaciones sucesivas de 8 bits.....	158
CONCLUSIONES.....	162

APENDICE.....	163
BIBLIOGRAFIA.....	203

INTRODUCCION

Electrónica es el término usado, desde principios del presente siglo, para una técnica con cuya ayuda se construyen circuitos de corriente de baja intensidad, compuestos de resistencias, condensadores, bobinas y válvulas electrónicas, o más recientemente circuitos integrados. En sus comienzos estos elementos eran soldados sobre borneras y cableados entre sí en forma desordenada. Para su identificación, el cableado entre los diversos componentes se hacía con conductores de diferentes colores, denominados mazos de cables. Inventando en 1948 el transistor, este reemplaza, en la mayoría de los circuitos, a las válvulas. Alrededor de 1950 los cableados desordenados fueron reemplazados por placas con circuitos impresos. Estos presentaban dos ventajas fundamentales: mayor fiabilidad al eliminar las soldaduras flojas, y la posibilidad de la producción automatizada en gran escala.

Estos circuitos impresos fueron equipados, en sus comienzos, con componentes individuales. Si se pretendiera construir la parte electrónica de un gran computador moderno con ese tipo de circuitos y componentes, no sólo se llenaría toda una sala, sino que, además sería necesario realizar reparaciones de forma constante en intervalos de pocas horas. El paso de la electrónica a la microelectrónica puede definirse como la transición de los componentes individuales al circuito integrado, compuesto de un chip, o sea un pequeño cristal de silicio que contiene gran cantidad de componentes en forma miniaturizada. Con esta técnica de integración se logra:

MAYOR COMPLEJIDAD DE CIRCUITOS

MENORES DIMENSIONES

MAYOR FIABILIDAD

MAYOR ECONOMIA

La eficacia característica de la microelectrónica no se agota, de ninguna manera, con los adjetivos pequeño, eficaz y económico.

En la transición de la electrónica hacia la microelectrónica lo fundamental es el cambio mismo en el modo de operación de la propia electrónica, el del procesamiento analógico al digital. En el pasado, el procesamiento de señales se realizaba casi siempre en forma analógica. Para explicarlo observamos la transición del modo analógico al digital cuando hablamos por teléfono. Las ondas sonoras generadas por el que habla son transformadas por el micrófono en señales analógicas, esto es, en señales eléctricas de tensión y frecuencia correspondientes a las ondas sonoras y transmitidas de esta forma a través del cable. En el auricular del que escucha las oscilaciones eléctricas vuelven a transformarse en ondas sonoras.

En los sistemas telefónicos digitales de uso generalizado se reemplaza dicha transmisión analógica por métodos de transmisión digital. Ya no se transmite una corriente que corresponde al nivel sonoro momentáneo; en cambio una secuencia de impulsos indica los valores numéricos de la correspondiente presión acústica.

Para transmitir, procesar y almacenar las cifras digitales se utiliza la representación binaria usual y muy ventajosa en la electrónica: pasa corriente - no pasa corriente. De esta técnica binaria (que opera con los dos valores 1 y 0) se obtienen circuitos para procesar información.

La gran cantidad de funciones transistorizadas, necesarias en los circuitos digitales, en nuestros días prácticamente ha llegado a carecer de importancia, en vista de las avanzadas técnicas de integración. Los transistores conmutadores incorporados en las vías de conexión de los circuitos (todos los transistores utilizados en circuitos digitales operan como interruptores) permiten ahora, según lo determinado por señales exteriores que controlan a los interruptores interconectados, modificar también los recorridos de las señales; la función del circuito ha llegado a ser programable. La programabilidad significa que un mismo circuito mediante una serie de instrucciones (llamadas programas) puede ser adaptado en su función a diversas operaciones específicas. Dicho de otra manera: mediante instrucciones de un programa (software) se establece la forma de operación del objeto físico (hardware): quiere decir que idénticas formas de hardware pueden ser usadas dentro de amplios límites. El circuito integrado programable tal vez más conocido es el microprocesador, que puede ser considerado algo así como un componente universal de la microelectrónica.

Esta tesis se enfoca al estudio de los convertidores A/D y D/A (sus principios de operación, funcionamiento y clasificación) en forma general, y en forma particular se estudia al convertidor MC1408 con la técnica de aproximaciones sucesivas, ya que con la ayuda del microprocesador Z-80 y con la interfase periférica programable (PPI), se generan las señales diente de sierra, cuadrada, triangular y senoidal, como una generación digital de señales.

Se hace la simulación de un voltmetro digital como aplicación del procesamiento analógico de las señales.

C A P I T U L O 1

AMPLIFICADOR OPERACIONAL.

1.1 Características y funcionamiento.

El amplificador operacional (Amp Op) se puede considerar como un amplificador universal debido a su versatilidad y la facilidad con la que se puede utilizar en una gran variedad de aplicaciones. En general los Amp Op contienen una cantidad elevada de transistores, diodos y resistencias.

Los Amp Op se utilizan en casi todas las aplicaciones de amplificadores, también se utilizan para realizar operaciones matemáticas, filtrado, conformación y generación de ondas, conversión analógica a digital y digital a analógica, etc.

El símbolo básico para el Amp Op se ilustra en la Fig. 1.1. en general presenta dos terminales de entrada y una salida. Una señal conectada a la terminal inversora (-) da como resultado una salida a 180° fuera de fase con la entrada. Si se conecta una señal a la entrada no inversora (+) las señales de salida y entrada estarán en fase.



Fig. 1.1 Símbolo básico del Amp Op.

Para poder conectar un Amp Op a la fuente de alimentación es necesario que las terminales del Amp Op estén etiquetadas de la siguiente manera +V y -V como se ilustra en la Fig. 1.2 observese que la fuente de alimentación tiene tres terminales: positiva, negativa y común. La terminal común de la fuente de alimentación puede o no estar alamburada a tierra via el tercer alambre del cordón de línea, sin embargo, ha llegado a ser práctica estandar el común de potencia como un símbolo de tierra en un diagrama esquemático.

El uso del término "tierra" o el símbolo de tierra es una convención que indica que todas las mediciones de voltaje se hacen con respecto al mismo ("tierra").

La fuente de alimentación que se ilustra en la Fig. 1.2 se llama bipolar o dividido y tiene valores típicos de ± 15 V, ± 12 V y ± 6 V. Los Amp Op de propósito especial pueden requerir suministros no simétricos, tales como +12 V y -6 V o incluso un suministro de

polaridad única tal como +30 V y tierra. Obsérvese que la tierra no está alamburada al Amp Op en la Fig. 1.2. Las corrientes que retornan al suministro desde el Amp Op deben regresar a través de elementos externos al circuito, tal como el resistor de carga R.

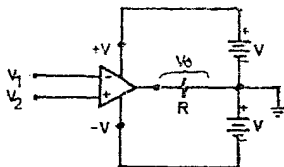


Fig. 1.2 Conexión de un Amp Op.

El Amp Op se refiere normalmente a un amplificador de voltaje de alta ganancia, con acoplamiento directo y una entrada diferencial (dos terminales de entrada, ninguna de las cuales está puesta a tierra). Puesto que tiene acoplamiento directo (lo que significa que no utiliza capacitores de acoplamiento para bloquear la corriente directa), puede amplificar todas las frecuencias de señal hasta 0 Hz. su frecuencia límite superior está típicamente por arriba de 1 MHz. En muchos casos, un Amp Op tiene su salida conectada a una de sus entradas, ya sea directa o indirectamente. Esto se denomina retroalimentación y cuando ésta se emplea se dice que el amplificador operacional funciona en el modo de ciclo (malla) cerrado. Cuando no

se utiliza retroalimentación, se dice que el Amp Op funciona en el ciclo (malla) abierto.

El Amp Op es un amplificador diferencial, lo que significa que amplifica la diferencia de los voltajes presentes en las dos terminales de entrada. Específicamente, el voltaje de salida está dado por:

$$V_o = A_v (V_2 - V_1)$$

donde V_1 y V_2 son, respectivamente, los voltajes de la entrada inversora y no inversora respecto a tierra. A_v es la ganancia de voltaje en ciclo abierto del Amp Op; es decir, la ganancia del voltaje del Amp Op sin conexión externa de retroalimentación alguna. El término $(V_2 - V_1)$ es la diferencia de voltajes presentes en las terminales de entrada. Frecuentemente denominaremos a esta diferencia de voltaje entrada diferencial, V_d por consiguiente:

$$V_d = V_2 - V_1$$

que es el voltaje que se medirá en la entrada (+) respecto a la entrada (-) como se ilustra en la Fig. 1.3.

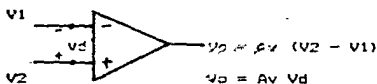


Fig. 1.3 Amp Op diferencial.

Las características más sobresalientes de un Amp Op ideal son las siguientes:

1.- Alta resistencia de entrada (más de $500K\Omega$, corriente de entrada casi nula).

2.- Baja capacitancia de entrada.

3.- Gran ganancia de lazo abierto (A_v). La ganancia de lazo abierto es la de un amplificador sin realimentación.

4.- Baja resistencia de salida (menos de 50Ω).

5.- Tiempo rápido de activación y baja sobreoscilación (ancho de banda amplio).

6.- Índice elevado de barrido rápido. El índice de barrido rápido es el índice máximo de cambio de voltaje de salida en su región lineal por unidad de tiempo. Es una indicación de la rapidez con la que puede cambiar la salida de un Amp Op.

7.- Valores bajos de voltaje y corriente de compensación de entrada. El voltaje y la corriente de compensación de entrada se definen como el voltaje diferencial y la diferencia de corriente que se necesita en las terminales de entrada para obtener una salida de cero.

8.- Índice elevado de rechazo en modo común (CMRR). La salida debe ser función exclusiva de la diferencia de voltajes de entrada.

1.2 Clasificación .

Los Amp Op se pueden clasificar de acuerdo a su forma de conexión para que funcione como un simple amplificador, estas dos formas básicas de Amp Op de voltaje (buffers) son :

1.2.1 Amplificador inversor

1.2.2 Amplificador no inversor

También existen combinaciones de circuitos con Amp Op que se utilizan en diversas aplicaciones y tocan su nombre dependiendo de la función que realizan, de esta manera, los podemos clasificar de la siguiente forma :

1.2.3 Seguidor de voltaje

1.2.4 Sustrador

1.2.5 Transductor de corriente-voltaje

1.2.6 Diferencial

1.2.7 Integrador

1.2.8 Diferenciador

1.2.9 Comparador

1.2.1 Amplificador inversor.

Consideremos un amplificador inversor ideal. Lo llamamos ideal porque suponemos $A_v = \infty$, $Z_{in} = \infty$ (de forma que la corriente de entrada es nula) y $Z_o = 0$. Puesto que los terminales de entrada se encuentran virtualmente al mismo voltaje y ambos terminales están también muy próximos al potencial de tierra como se ilustra en la Fig. 1.5

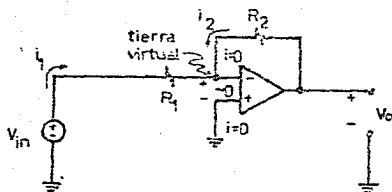


Fig. 1.5 Amplificador inversor.

desarrollando matemáticamente tenemos:

$$i_1 + i_2 = 0 \dots \dots \dots (1)$$

$$V_{in}/R_1 + V_o/R_2 = 0 \dots \dots \dots (2)$$

$$A_v = V_o/V_{in} = - R_2/R_1 \dots \dots \dots (3)$$

o sea, que aunque la ganancia (A_v) en un ciclo abierto es infinita, la ganancia en ciclo cerrado (con resistencia de realimentación entre la salida y la entrada) es un valor finito dado por la expresión (3). El signo menos indica que un voltaje positivo V_{in} originará un voltaje negativo V_o de esta forma se determina la ganancia total del circuito por los valores de las resistencias externas.

Si $R_1 = R_2$, la ganancia de voltaje total del circuito es -1 por lo que este circuito se llama inversor.

$$V_o = - V_{in}$$

1.2.2 Amplificador no inversor.

Este amplificador se puede analizar con la misma facilidad que el anterior ya que los dos terminales de entrada que se ilustran en la Fig. 1.6 se encuentran al mismo potencial, esto significa que ambos están al voltaje V_{in} . Luego teniendo en cuenta el divisor de voltaje se tiene:

$$V_{in} = (R_1 / (R_1 + R_2)) V_o$$

$$V_o = ((R_1 + R_2) / R_1) V_{in}$$

$$\Delta v = V_o / V_{in} = (1 + R_2 / R_1)$$

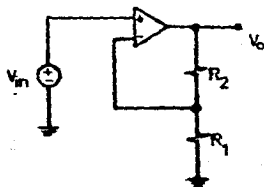
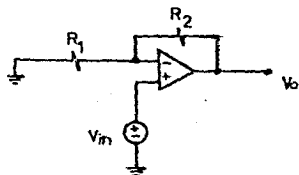


Fig. 1.6 Amplificador no inversor.

Por lo que de nuevo tenemos un amplificador cuya ganancia se determina exclusivamente por los valores de las resistencias externas. Tengase en cuenta que aunque la magnitud de la ganancia del amplificador inversor puede estar comprendida entre cero y valores muy elevados, la magnitud de la ganancia del amplificador no inversor no puede ser inferior a la unidad.

1.2.3 Seguidor de voltaje.

Una inspección de este circuito nos muestra que el V_o esta en fase con el V_{in} como se ilustra en la Fig. 1.7 así que si el V_d es cero, el V_{in} debe ser idéntico al V_o , en forma matemática tenemos:

$$V_d = V_{in} - V_o = 0$$

$$\therefore V_o = V_{in}$$

La resistencia de entrada al seguidor de voltaje es idealmente infinita (circuito abierto) y la resistencia de salida es idealmente cero. Este circuito con ganancia unitaria se utiliza con frecuencia para hacer a la impedancia de la fuente independiente de la resistencia de carga.

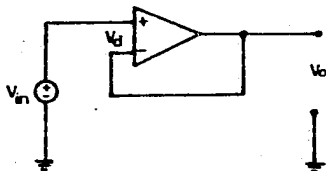


Fig. 1.7 Seguidor de voltaje.

1.2.4 Sumador.

Este circuito se puede dividir en sumador inversor y sumador no inversor ya que dependiendo de la conexión en la entrada del Amp Op se tendrá la salida correspondiente.

En el caso del sumador inversor, las conexiones al amplificador muestran que hay inversión de fase como se ilustra en la Fig.1.8, utilizando el teorema de superposición para encontrar la ecuación del voltaje de salida y tomando en cuenta que en el amplificador ideal el V_d es cero.

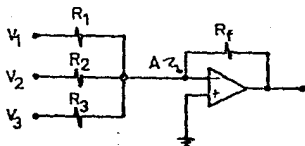


Fig. 1.8 Sumador inversor.

Puesto que la entrada no inversora (+) está conectada directamente a tierra y puesto que el V_d es cero, el voltaje del punto A, el punto de suma, a tierra debe ser de cero volts. Por lo tanto, el punto A

esta efectivamente al potencial de tierra. Llamando al punto A tierra virtual para describir esta condición. La corriente en R1 es producida por V1 solamente. La corriente en R1 no es afectada por V2, R2, V3 o R3. El voltaje de salida Vo es solamente la suma de los voltajes de salida producidos por cada uno de V1, V2 y V3 en forma independiente podemos escribir:

$$Vo1 = -(Rf/R1) V1$$

$$Vo2 = -(Rf/R2) V2$$

$$Vo3 = -(Rf/R3) V3$$

Por el teorema de superposición, el voltaje de salida es la suma de los voltajes de salida producidos por los voltajes individuales de entrada así tenemos:

$$Vo = Vo1 + Vo2 + Vo3$$

sustituyendo

$$Vo/Rf = -V1/R1 -V2/R2 -V3/R3$$

por lo tanto

$$Vo = -Rf(V1/R1 + V2/R2 + V3/R3)$$

Para el caso del sumador no inversor el punto de suma A como se ilustra en la Fig. 1.9 no es una tierra virtual. Sería una tierra virtual sólo si la entrada no inversora estuviera al potencial de tierra. Por lo tanto, cuando consideramos V1 para el teorema de superposición y ponemos en corto circuito V2, el voltaje aplicado a la terminal no inversora del Amp Op se determina por la regla del divisor de tensión.

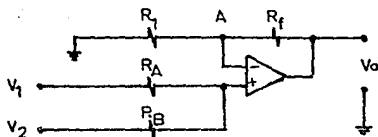


Fig. 1.9 Sumador no inversor.

Así tenemos:

$$V1 \left(\frac{R_B}{R_A + R_B} \right)$$

y el voltaje de salida resultante debido a $V1$ es:

$$V_{o1} = \left(\frac{R_B}{R_A + R_B} \right) V1 \left(1 + \frac{R_f}{R1} \right)$$

En forma similar, el voltaje en la terminal no inversora del Amp Op producido por $V2$ cuando $V1$ está en corto circuito es:

$$V2 \left(\frac{R_A}{R_A + R_B} \right)$$

y el voltaje de salida resultante debido a $V2$ es:

$$V_{o2} = \left(\frac{R_A}{R_A + R_B} \right) V2 \left(1 + \frac{R_f}{R1} \right)$$

por lo que combinando los resultados de acuerdo al teorema de superposición, tenemos:

$$V_o = V_{o1} + V_{o2}$$

$$V_o = \left(\frac{R_B}{R_A + R_B} V1 \right) \left(1 + \frac{R_f}{R1} \right) + \left(\frac{R_A}{R_A + R_B} V2 \right) \left(1 + \frac{R_f}{R1} \right)$$

agrupando términos

$$V_o = \left(1 + \frac{R_f}{R1} \right) \left(\frac{R_B}{R_A + R_B} V1 + \frac{R_A}{R_A + R_B} V2 \right).$$

1.2.5 Transductor de corriente-voltaje.

Este amplificador proporciona un voltaje a la salida que es proporcional a una corriente de entrada. Haciendo un breve recordatorio del funcionamiento del amplificador inversor, la corriente I_1 e I_2 son iguales a:

$$I_1 = V_{in}/R_1$$

Si esta corriente se cambiara por una fuente de corriente (que puede ser un convertidor digital-analógico, un fotodiodo, etc.) se obtendría un circuito como el que se ilustra en la Fig. 1.10.

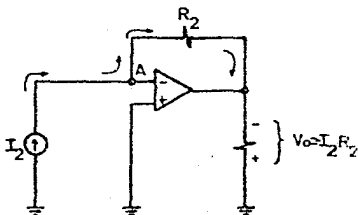


Fig. 1.10 Transductor de corriente-voltaje.

El Amp Op coloca en forma efectiva un corto circuito alrededor de la fuente de corriente. La entrada inversora esta a tierra virtual debido a que el diferencial de voltaje en la entrada es casi cero volts.

La fuente de corriente ve el potencial a tierra en ambas de sus terminales, o el equivalente de un corto circuito. Toda la corriente I_2 fluye a través de la entrada inversora a través de R_2 . R_2 convierte la I_2 en un voltaje de salida, revelando la naturaleza básica de este circuito. Por lo que las ecuaciones de funcionamiento de este circuito son:

$$V_o = - R_2 I_2$$

$$\Delta v = - R_2$$

1.2.6 Diferencial.

Es simplemente un Amp Op conectado como amplificador inversor y no inversor como se ilustra en la Fig. 1.11.

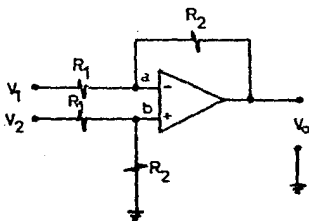


Fig.1.11 Amplificador diferencial.

Desarrollando matemáticamente para encontrar su voltaje de salida expresando al voltaje V_a como la suma de V_1 más la elevación de tensión de izquierda a derecha a través de R_1 por lo que tenemos:

$$V_a = V_1 + (V_o - V_1)R_1 / (R_1 + R_2)$$

por divisor de voltaje se tiene

$$V_b = V_2 (R_2 / R_1 + R_2)$$

igualando las anteriores ecuaciones y suponiendo que el Amp Op tiene ganancia infinita se obtiene:

$$(V_o - V_1) R_1 + (R_1 + R_2) V_1 = V_2 R_2$$

$$V_o R_1 = - V_1 R_2 + V_2 R_2$$

$$V_o = (R_2 / R_1) (V_2 - V_1)$$

obsérvese que el amplificador diferencial no deja pasar ninguna fluctuación de voltaje que se origine simultáneamente en ambos terminales de entrada. Las señales se llaman de modo común.

1.2.7 Integrador.

El circuito integrador es una generalización del amplificador inversor como se ilustra en la Fig. 1.12 en el que la realimentación va a ser un capacitor por lo que se tendrá que analizar las condiciones a las que va a operar este capacitor.

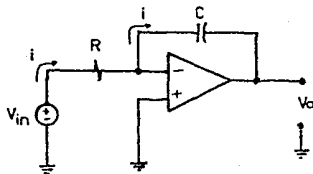


Fig. 1.12 Amplificador integrador.

como ya se sabe la capacitancia se define como:

$$C = q/v \text{ (faradio)}$$

donde q es la carga del capacitor y v es el voltaje a través del capacitor, si se desea calcular el v se tiene:

$$v = q/C$$

La carga q en el capacitor es la acumulación total de corriente multiplicada por el tiempo en el capacitor. Este concepto se representa en forma matemática utilizando el símbolo de integración como:

$$q = \int i \, dt$$

Si sustituimos q en la ecuación de voltaje, utilizando un valor instantáneo de voltaje:

$$v = 1/C \int i \, dt$$

Por lo que corriente i en la resistencia del circuito de la Fig. 1.12 es:

$$i = V_{in} / R$$

El voltaje a través del capacitor es V_o así que, sustituyendo en la ecuación $v = 1/C \int i dt$ tenemos:

$$-V_o = 1/C \int (V_{in}/R) dt$$

$$V_o = (-1/RC) \int V_{in} dt$$

1.2.8 Diferenciador.

Este tipo de amplificador se ilustra en la Fig. 1.13, vemos que el voltaje de salida del circuito es:

$$V_o = - R i$$

La corriente en el capacitor C producida por V_{in} es:

$$i = C dV_{in}/dt$$

Sustituyendo i en V_o tenemos:

$$V_o = - RC (dV_{in}/dt)$$

El voltaje de salida muestra que es la derivada del voltaje de entrada. En consecuencia, el circuito se llama diferenciador, es muy sensible a pulsos cortos de ruido y, como resultado, no es un circuito muy utilizado.

1.2.9 Comparador.

En este tipo de circuito en el que el Amp Op se utiliza en malla abierta como se ilustra en la Fig. 1.13. Su entrada no inversora compara el voltaje V_{in} con un voltaje de referencia de cero volts ($V_{ref} = 0 v$). Cuando V_{in} está arriba de V_{ref} , V_o es igual a $+V_{sat}$. Esto se debe a que el voltaje en la entrada no inversora es más positivo que el voltaje en la entrada inversora.

La polaridad del V_o indica si V_{in} esta arriba o abajo del V_{ref} . La transición de V_o indica cuando V_{in} cruza la referencia y en que dirección.

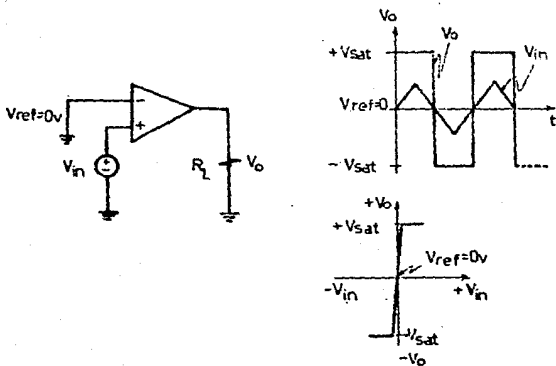


Fig. 1.13 Comparador no inversor.

Cuando en la entrada inversora del Amp Op, como se ilustra en la Fig 1.14, compara V_{in} con un voltaje de referencia de cero volts ($V_{ref}=0v$), se tiene que las formas de onda comparadas con el tiempo y el V_o comparado con el V_{in} da como resultado que si el V_{in} esta arriba de V_{ref} , V_o es igual a $-V_{sat}$.

Cuando el V_{in} cruza la referencia pasando a positivo, V_o realiza una transición negativa pasando de $+V_{sat}$ a $-V_{sat}$.

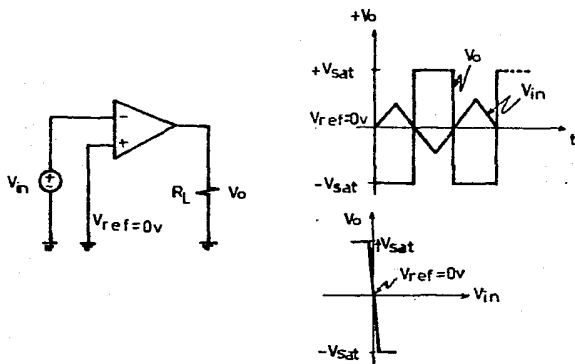


Fig. 1.14 Comparador inversor.

Desafortunadamente, el voltaje de salida del Amp Op no cambia con mucha velocidad. También, sus cambios de salida entre los límites fijados por los voltajes de saturación, $+V_{sat}$ y $-V_{sat}$ son muy variados.

Por tanto, su salida no puede impulsar dispositivos, tales como C.I. de lógica digital TTL, que requiere niveles de voltaje entre 0V y 5V. Estas desventajas se eliminan por un circuito que ha sido diseñado específicamente para actuar como un comparador. Un dispositivo de

este tipo es el LM311. El Amp Op de propósito general y el comparador no pueden operar con propiedad si está presente ruido en cualquier entrada. Para resolver este problema, se observará como la suma de realimentación positiva supera el problema del ruido y se observa que la realimentación positiva no elimina el ruido, pero hace que el Amp Op responda más a él.

1.2.9.1 Efectos del ruido en los circuitos comparadores.

La señal de entrada V_i se aplica en la entrada (-) de un Amp Op 741 (el 741 es un Amp Op de propósito general). Si no está presente el ruido, el circuito opera como un detector inversor de cruce por cero dando a que $V_{ref} = 0$.

El voltaje de ruido V_n se ilustra en la Fig. 1.15. Como se observa hay una señal cuadrada en serie con V_i que muestra el efecto del voltaje de ruido.

La forma de onda de V_o comparada con el tiempo, muestra con claridad como la suma de ruido causa señales a la salida, esto es que V_o debe indicar sólo los cruces de V_i , no los cruces más el voltaje de ruido. Si V_i se aproxima muy lentamente a V_{ref} ó flota cerca de V_{ref} , V_o puede seguir todas las oscilaciones del voltaje de ruido o bien entrar bruscamente en oscilación de alta frecuencia. Estos cruces en falso pueden eliminarse por la realimentación positiva.

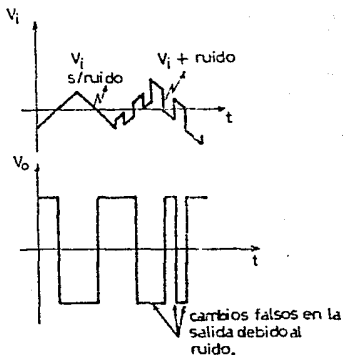
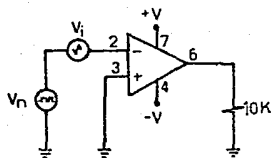


Fig.1.15

1.2.9.2 Realimentación positiva.

En la Fig.1.15a, el voltaje de salida V_o se divide entre R_1 y R_2 . Una fracción de V_o se realimenta a la entrada (+). Cuando $V_o = V_{sat}$, el voltaje realimentado se denomina voltaje de umbral superior (VUT). El VUT se expresa en función del divisor de voltaje como:

$$VUT = (R_2 / (R_1 + R_2)) (+V_{sat})$$

Para los valores de V_i inferiores al VUT o VLT el voltaje en la entrada (+) es mayor que el voltaje en la entrada (-). Por tanto, V_o está fijado a $+V_{sat}$.

Si V_i se hace ligeramente más positivo que VUT, la polaridad de V_d , como se muestra, se invierte y V_o comienza a caer en valor. Ahora la fracción de V_o realimentada a la entrada positiva es menor, de modo

que V_o se vuelve más grande. V_o cae entonces con más velocidad y se impulsa rápidamente a $-V_{sat}$. Entonces el circuito es estable en la condición que se muestra en la Fig.1.16b.

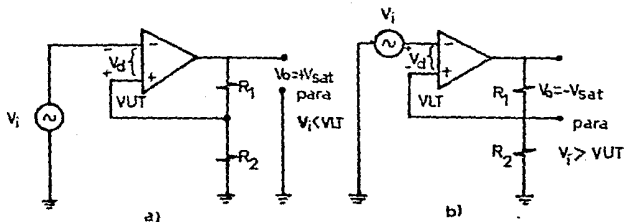


Fig.1.16

1.2.9.3 Voltaje de umbral inferior.

Cuando V_o está en $-V_{sat}$, el voltaje de realimentación a la entrada (-) se denomina voltaje de umbral inferior (VLT) y está dado por la siguiente expresión:

$$V_{LT} = (R_2 / (R_1 + R_2)) (-V_{sat})$$

Se observa que VLT es negativo con respecto a tierra. Por tanto, V_o permanece en $+V_{sat}$ en tanto que V_i sea mayor, ó positivo con respecto a VLT o VUT.

V_o cambiará regresando a $+V_{sat}$ si V_i se vuelve más negativo que, ó abajo de VLT.

Se concluye que la realimentación positiva induce una acción casi instantánea para cambiar V_o con mucha velocidad de un límite a otro. Una vez que V_o comienza a cambiar, causa una acción regeneradora que hace que V_o cambie aún con más velocidad. Si los voltajes de umbral son más grandes que los voltajes pico del ruido, la retroalimentación positiva eliminará las transiciones falsas de salida.

1.2.9.4 Detectores de cruce por cero con histéresis.

Hay una técnica estándar para mostrar el comportamiento de un comparador en una gráfica en lugar de dos gráficas. Al gráfica V_i en el eje horizontal y V_o en el eje vertical, se obtiene la característica de voltaje de entrada - salida, como se ilustra en la Fig.1.17. Para V_i menor de V_{LT} , $V_o = +V_{sat}$.

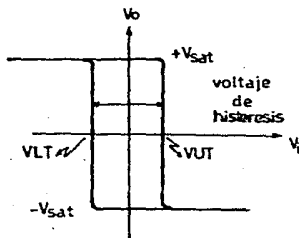


Fig.1.17

La línea vertical (a) muestra V_o que va desde $+V_{sat}$ hasta $-V_{sat}$ conforme V_i se vuelve mayor que V_{UT} . La línea vertical (b) muestra V_o cambiando desde $-V_{sat}$ hasta $+V_{sat}$, cuando V_i se vuelva menor que V_{LT} . La diferencia en voltajes entre V_{UT} y V_{LT} se denomina voltaje de histéresis (V_H).

Siempre que cualquier circuito cambia de un estado a un segundo estado a cierta señal de entrada, entonces revierte del segundo al primer estado a una señal de entrada diferente. Se dice que el circuito exhibe histéresis. Para el comparador de realimentación positiva, la diferencia en las señales de entrada es:

$$V_H = V_{UT} - V_{LT}$$

Si el voltaje de histéresis está diseñado para ser mayor que el voltaje de ruido de pico a pico, no habrá cruces falsos de salida. Por tanto, V_H indica que tanto ruido de pico a pico puede soportar el circuito.

1.2.9.5 Características del comparador 311.

El comparador 311 es un circuito integrado que ha sido diseñado y optimizado para rendimiento superior en las aplicaciones de detector de nivel de voltaje.

Un comparador debe ser veloz. Esto es, su salida debe responder con velocidad a los cambios en sus entradas. El 311 es más veloz que el 741 o 301.

El comparador 311 es una elección excelente por su versatilidad. Su salida está diseñada para no variar entre $+V_{sat}$.

1.2.9.6 Operación de la terminal de salida.

En la Fig.1.18a se ilustra un modelo simplificado del 311, este circuito muestra que su salida se comporta como un interruptor (sw) conectado entre la terminal de salida 7 y 1.

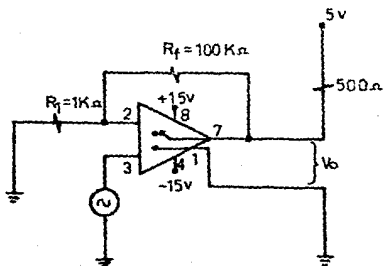


Fig.1.18a

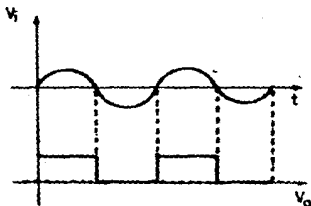


Fig.1.18b

La terminal 7 puede alambrarse a cualquier voltaje V_{++} de magnitud hasta 40 volts, más positiva que la terminal de alimentación $-V$ (terminal 4). Cuando la entrada (+) en la terminal 2 es menos positiva que la entrada (-) en la terminal 3, el interruptor de salida equivalente del 311 está abierto, por lo tanto V_o se determina entonces, por V_{++} y es +5 volts. Cuando la entrada (+) es más positiva que la entrada (-), el interruptor de salida equivalente del 311 cierra y extiende la tierra en la terminal 1 a la de salida terminal 7, o sea un "0" lógico.

R_f y R_i agregan cerca de 50 mV de histéresis para minimizar los efectos de ruido de modo que la terminal 2 en esencia está a 0 volts. Las formas de onda para V_o y V_i se ilustran en la Fig. 1.18b. V_o está a 0 volts (interruptor cerrado), para los medios ciclos negativos de V_i . V_o está a +5 volts (interruptor abierto), para los medios ciclos positivos de V_i .

Si se quisiera obtener la señal de V_o defasado 180° se tendría que armar el circuito que se ilustra en la Fig. 1.18c.

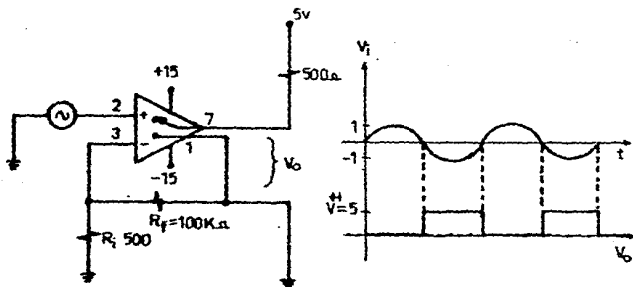


Fig. 1.18c

Estos son circuitos típicos de interfase; esto es, los voltajes pueden variar entre niveles de +15 volts y -15 volts, pero V_0 está restringido dentro de +5v y 0v, los cuales son niveles típicos de señal digital. De modo que el 311 puede usarse para convertir niveles de voltaje analógico en niveles digitales.

CAPITULO 2

CONVERTIDORES.

2.1 Funcionamiento del convertidor digital-analógico (D/A).

Los convertidores digital/analógico son dispositivos electrónicos que producen como salida una corriente o un voltaje proporcional a un patrón binario de entrada como se muestra en la Fig.2.1.

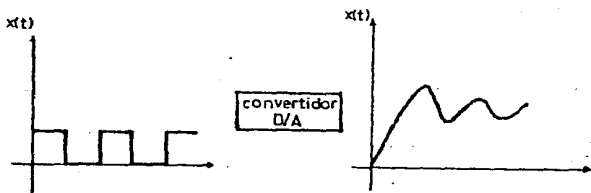


Fig. 2.1

De esta manera la información en forma digital se puede procesar, comunicar y presentar con facilidad en forma más confiable y sin errores. Además permite una mejor aplicación de técnicas digitales a la medición, manipulación y el control de variables en su estado

natural como: Velocidad, presión, tiempo, temperatura, etc. Las variables anteriores se pueden convertir en pulsos eléctricos en forma de voltaje para comunicarse con el mundo digital, y a su vez, los datos regresan a la forma analógica para el control de variables en estado natural.

Un convertidor digital-analógico (D/A) acepta una clave de entrada digital, el código de entrada aparece por lo común en paralelo, o sea simultáneamente en un conjunto de líneas paralelas como se ilustra en la Fig.2.1a, sin embargo, se puede presentar en serie, como un tren de pulsos sobre una línea simple como se ilustra en la Fig.2.1b.

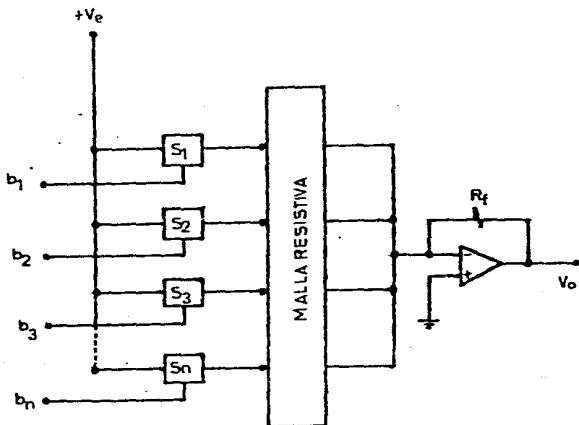


Fig.2.1a Convertidor D/A tipo paralelo.

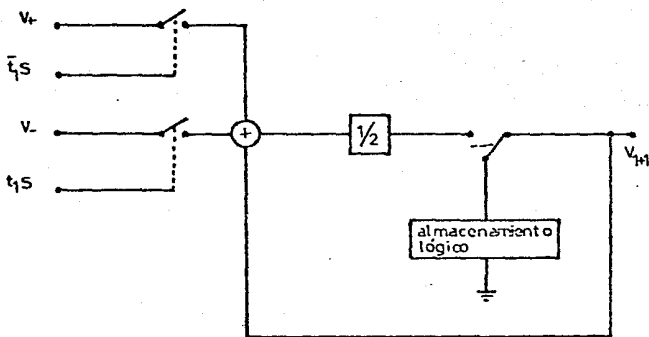
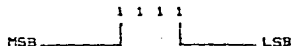


Fig.2.1b Convertidor D/A tipo serie

Existen diferentes tipos de códigos, pero el más popular es el binario, en el que el código representa simplemente un número en el sistema de numeración binaria. Así tenemos que en un número binario sea cuál sea el número de sus elementos, el bit de la extrema izquierda se denomina bit más significativo (MSB), y el bit de la extrema derecha es el bit menos significativo (LSB), como se ilustra a continuación.



En el principio de los convertidores el bit más significativo (MSB) se numera en general como bit 1, el segundo es el 2 y así sucesivamente hasta llegar al bit menos significativo (LSB), que viene siendo para este caso el bit n, por lo que el valor del i-ésimo bit es 2^{-i} , siempre y cuando no sean homogéneos, es decir cuando existan "unos" y "ceros" en el número. Cuando en el número sean todos unos el valor es $(1 - 2^{-n})$. Ejemplo:

No homogéneo	1011	;	00100101
Homogéneo	1111	;	11111111

Es útil emplear el equivalente fraccionario (N) de los números binarios, ya que en esta representación el número binario se divide por 2^n , en la que n indica el número de bits. Por ejemplo tenemos:

Para un número de 4 bits

a).- El valor fraccionario de 1011 es:

$$\begin{aligned}
 N &= (1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0) / 2^4 \\
 &= (8+2+1) / 16 \\
 &= (11/16) \\
 N &= 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4}
 \end{aligned}$$

$$= 1/2 + 1/8 + 1/16$$

$$= 11/16$$

b).- El valor fraccionario de 1111 es:

$$N = (1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0) / 2^4$$

$$= (8+4+2+1)/16$$

$$= (15/16)$$

$$N = 1 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4}$$

$$= 1/2 + 1/4 + 1/8 + 1/16$$

$$= 15/16$$

Para un número de 8 bits

a).- El valor fraccionario de 00100101 es:

$$N = (1 \times 2^5 + 1 \times 2^2 + 1 \times 2^0) / 2^8$$

$$= (32+4+1)/256$$

$$= (37/256)$$

$$N = 1 \times 2^{-3} + 1 \times 2^{-6} + 1 \times 2^{-8}$$

$$= 1/8 + 1/64 + 1/256$$

$$= 37/256$$

b).- El valor fraccionario de 11111111 es:

$$N = (1 \times 2^7 + 1 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0) / 2^8$$

$$= (255/256)$$

$$N = 1 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} + 1 \times 2^{-5} + 1 \times 2^{-6} + 1 \times 2^{-7} + 1 \times 2^{-8}$$

$$= 1/2 + 1/4 + 1/8 + 1/16 + 1/32 + 1/64 + 1/128 + 1/256$$

$$= 255/256$$

De lo anterior se deduce que para un número de 4 bits, el valor fraccionario máximo es de 15/16, o bien $1 - 1/16$, y para el número de 8 bits es de 255/256 o bien $1 - 1/256$; el valor mínimo en ambos es cero, por lo tanto se cumple la expresión $(1 - 2^{-n})$ cuando todos son

"unos". Sin tomar en consideración el número de bits, todos los valores se pueden referir a una escala completa, nunca alcanzada del todo, con un valor normalizado de la unidad. De hecho cada bit tiene un valor constante, el MSB siempre es $1/2$, sea cual sea el número de bits. Si N es el valor fraccionario del número binario, la relación de conversión es la siguiente:

$$N V_{sn}$$

donde V_{sn} es el voltaje de salida nominal de escala completa. De esta manera la magnitud real máxima de salida es: $V_{sn}(1 - 2^{-n})$, por lo tanto el valor de MSB es $V_{sn}/2$, y el valor LSB es $2^{-n}V_{sn}$.

El término V_{sn} puede tener polaridad positiva o negativa dependiendo del caso o aplicación. Si nos referimos en términos de corrientes, lo antes mencionado también se cumple para la siguiente expresión:

$$I_{sn}(1 - 2^{-n})$$

donde I_{sn} es la corriente nominal de escala completa.

Los valores de V_{sn} e I_{sn} , dependen de la magnitud y la polaridad de una referencia dada, ya sea interna o externa. Además de la magnitud y polaridad de la ganancia de transferencia del dispositivo que se utilice.

En la tabla 2.1 se tiene un código de entrada digital, se desea conocer el V_o aplicando el valor fraccionario y la relación de conversión, con ayuda del circuito sumador inversor que se ilustra en la Fig.2.2

	ENTRADA	V_0	2^{-i}	$1 - 2^n$
0	000	0.00	0.000	---
1	001	1.25	0.125	---
2	010	2.50	0.250	---
3	011	3.75	0.375	---
4	100	5.00	0.500	---
5	101	6.25	0.625	---
6	110	7.50	0.750	---
7	111	8.75	0.875	0.875

Tabla 2.1

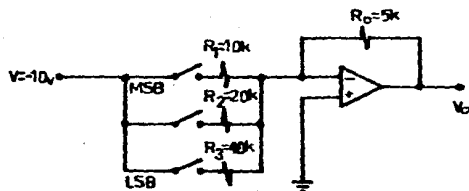
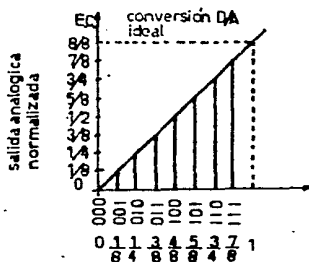


Fig.2.2 Sumador inversor.

- 0 $V_0 = (V_{ref}/R_1 + V_{ref}/R_2 + V_{ref}/R_3)R_0 = 0v$
- 1 $V_0 = (10v/40k)5k = 1.25v$
- 2 $V_0 = (10v/20k)5k = 2.50v$
- 3 $V_0 = (10v/20k + 10v/40k)5k = 3.75v$
- 4 $V_0 = (10v/10k)5k = 5.00v$

- 5 $V_o = (10v/10k + 10v/40k)5k = 6.25v$
 6 $V_o = (10v/10k + 10v/20k)5k = 7.50v$
 7 $V_o = (10v/10k + 10v/20k + 10v/40k)5k = 8.75v$

La siguiente gráfica muestra la relación de conversión de una entrada digital con respecto a la salida analógica del circuito y ejercicio anterior.



Para interpretar la codificación BCD (decimal codificado en binario), la palabra de entrada se divide en grupo de 4 bits, a partir de la derecha, se deja que cada cuadrante tenga un valor binario máximo de 1001 (9). El cuadrante más significativo tiene un valor fraccionario de 1/10 y cada cuadrante a su derecha se espesa sucesivamente mediante un factor adicional de 1/10, en este caso 1/100, 1/1000. Así si tenemos un número BCD de 12 bits (3 dígitos). Por ejemplo:

$$\begin{aligned}
 N &= 100100011000 \\
 &= 9 \times 0.1 + 1 \times 0.01 + 8 \times 0.001 \\
 &= 0.9 + 0.01 + 0.008 \\
 &= 0.918
 \end{aligned}$$

El valor BCD fraccionario máximo es de 0.999. en algunas aplicaciones del decimal codificado en binario hay dígitos adicionales de sobregama que añaden un significado de números enteros. en el caso de 3 1/2 dígitos, se tiene un código adicional con un peso de 1.000; de 3 3/4 dígitos, se tienen dos dígitos adicionales con un valor máximo de 3.999.

La relación de conversión de un convertidor D/A BCD es:

$$M \text{ Vsn}$$

donde M es el valor fraccionario BCD.

Además de los bits de magnitud, un convertidor BCD puede aceptar un bit adicional de polaridad para cambiar la polaridad de salida.

Los códigos complementarios, tales como el binario complementario, son códigos simples para los que todos los bits se complementan (códigos negativos-verdaderos). En otras palabras, los "unos" y los "ceros" se intercambian como se ilustra en la tabla 2.2. Las razones por las cuales los convertidores D/A necesitan códigos de entrada complementarios, son la disponibilidad de componentes de conmutación de alta precisión y las limitaciones de espacio de un bajo costo de producción.

		BINARIO NATURAL	BINARIO COMPLEMENT.	BCD	BCD COMPLEMENT.	
0	010	000	0000	1111	0000	1111
1	110	110	0001	1110	0001	1110
2	210	210	0010	1101	0010	1101
3	310	310	0011	1100	0011	1100
4	410	410	0100	1011	1010	1011
5	510	510	0101	1010	0101	1010
6	610	610	0110	1001	0010	1001
7	710	710	0111	1000	0111	1000
8	011	011	1000	0111	0100	1011
9	911	911	1001	0110	0101	1010
10	1011	1011	1010	0101	1000	0111

Tabla 2.2 Códigos negativos-verdaderos (complementarios).

En aplicaciones bipolares, el MSB se convierte en bit de signo y los restantes la magnitud.

Un código digital binario muy popular es el complemento a 2, que se forma por complementación (complemento de 1), agregando un "uno" al LSB y pasando por alto el sobreflujo.

Cuando aparece un "cero" en el MSB, indica que se trata de un número positivo; si aparece un "uno" se tratará de un número negativo. Se puede aplicar complemento a 2 con un convertidor D/A binario, si se complementa el LSB a un número binario compensado. La progresión de valores en binario compensado va de todo cero a menos la escala completa (-ED), a todos "unos" a (EC-1/2ED). El cero analógico se presenta en 1000. Así una relación de conversión de un convertidor

D/A binario unipolar se puede hacer complemento de 2 agregandole una compensación negativa fija a la salida igual a la media escala, amplificando la salida en un factor de 2 y complementando el MSB como se ilustra en la tabla 2.3.

La relación de conversión de binario compensado se expresa de la siguiente manera:

$$V_o = V_{sn} (2N - 1)$$

donde V_o es el voltaje de salida y N es el valor fraccionario del código de entrada en binario compensado.

De ésta manera el convertidor digital-analógico (D/A) puede ser considerado como un dispositivo decodificador que acepta una señal codificada digitalmente D y una referencia analógica R como entrada y proporciona una salida analógica A relacionada con la entrada como:

$$A = R \times D \quad (1)$$

donde D es el término digital de un número dado de bits y se puede representar de la siguiente manera:

$$D = b_1/2^1 + b_2/2^2 + b_3/2^3 + \dots + b_n/2^n \quad (2)$$

donde $b_1, b_2, b_3, \dots, b_n$ son los coeficientes del bit, los cuales son cuantizados por "1" o por "0" en términos de una cantidad de referencia R y la salida analógica A . La función de transferencia generalizada a un convertidor D/A a un convertidor D/A se describe de la siguiente manera:

$$A = R (2^{-1}b_1 + 2^{-2}b_2 + 2^{-3}b_3 + \dots + 2^{-n}b_n) \quad (3)$$

Número	FRACCIÓN DECIMAL			Mód. DE SIGNO +	COMPL. A2	BINARIO	
	REF. POS	REF. NEG	Mód.			COMPENSADO	COMPL. A1
+ 7	+ 7/8	- 7/8	0 111	0 111	1111	0111	
+ 6	+ 5/8	- 5/8	0 110	0 110	1110	0110	
+ 5	+ 5/8	- 5/8	0 101	0 101	1101	0101	
+ 4	+ 4/8	- 4/8	0 100	0 100	1100	0100	
+ 3	+ 3/8	- 3/8	0 011	0 011	1011	0011	
+ 2	+ 2/8	- 2/8	0 010	0 010	1010	0010	
+ 1	+ 1/8	- 1/8	0 001	0 001	1001	0001	
0	0 +	0 -	0 000	0 000	1000	0000	
0	0 -	0 +	1 000	0 000	(1000)	0000	
- 1	- 1/8	+ 1/8	1 001	1 111	0111	1111	
- 2	- 2/8	+ 2/8	1 010	1 110	0110	1110	
- 3	- 3/8	+ 3/8	1 011	1 101	0101	1101	
- 4	- 4/8	+ 4/8	1 100	1 100	0100	1100	
- 5	- 5/8	+ 5/8	1 101	1 011	0011	1011	
- 6	- 5/8	+ 6/8	1 110	1 010	0010	1010	
- 7	- 7/8	+ 7/8	1 111	1 001	0001	1001	

Tabla 2.3 Códigos para cantidad positiva y negativa.

El sistema de un convertidor D/A contiene básicamente cuatro componentes principales como se ilustra en la Fig. 2.1a y 2.1b de la página 33 y 34 respectivamente.

- Cantidad de referencia correspondiente al parámetro R .
- Conjunto de interruptores analógicos para simular los coeficientes binarios $b_1, b_2, b_3, \dots, b_n$.
- Malla resistiva de peso.
- Suador de salida.

Una configuración incorporando estos cuatro componentes básicos, se ilustra en la Fig. 2.3; en éste caso, los pesos relativos de los bits de corriente $I_1, I_2, I_3, \dots, I_n$, se establecen por una malla resistiva de pesos binarios, se usa un Amp Op con alta impedancia de entrada y una alta ganancia inversa A_1 , como un medio suador de los bits individuales de corriente y generar el voltaje analógico correspondiente.

La corriente analógica total I_o aparece en el nodo sumador por lo que la entrada inversora del Aop Op está relacionada con la entrada de referencia por medio de la siguiente fórmula:

$$I_o = (2V_{ref}/R)(2^1 b_1 + 2^2 b_2 + \dots + 2^n b_n) \quad (4)$$

donde los coeficientes binarios b_1, b_2, \dots, b_n , están en "1" o en "0", dependiendo de que interruptor S_j esté en la posición 2 o 1, respectivamente.

El voltaje de salida V_o es directamente proporcional a I_o por lo que tenemos la siguiente fórmula:

$$V_o = - I_o R_o = - V_{ref}(2^1 b_1 + 2^2 b_2 + \dots + 2^n b_n) \quad (5)$$

donde la resistencia de realimentación R_o disminuye la corriente, es decir, sirve como un factor de escala y se establece igual a $R/2$ por conveniencia.

Para un número dado de (n) bits, la salida presenta 2^n niveles discretos de voltaje, fluctuando de cero a un valor máximo de:

$$V_o \text{ max} = V_{ref}(2^n/2^n) \quad (6)$$

con el cambio mínimo dado por:

$$V_o \text{ min} = V_{ref}/2^n \quad (7)$$

Los coeficientes de los bits binarios son determinados por las posiciones de los interruptores correspondientes. Se tiene la opción de conmutar un voltaje o una corriente en el circuito, como una función de la entrada digital. En el circuito que se ilustra en la Fig. 2.3 es empleada la conmutación de voltaje, donde el voltaje neto a través de cualquiera de las resistencias de peso es conmutado a tierra o al voltaje de referencia (V_{ref}).

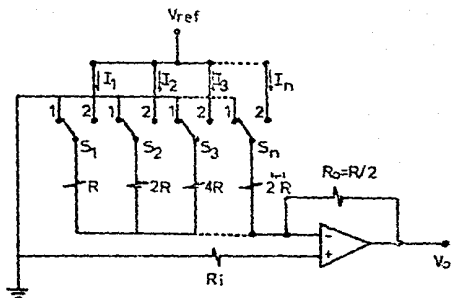


Fig. 2.3 Convertidor digital-analógico conmutación de voltaje.

En la Fig. 2.4 se ilustra un arreglo de conmutación alternada para el mismo circuito. En este caso, una terminal de cada resistencia permanece conectada al V_{ref} ; la otra terminal es conmutada entre la tierra actual (posición 1) y la tierra virtual formada en la entrada del Amp Op. Este método de conmutación corresponde al de corriente. En muchas aplicaciones y particularmente en circuitos integrados, la conmutación de corriente es normalmente preferida a la de voltaje porque ofrece ventajas importantes de velocidad de conmutación. De esta manera, durante la conmutación de corriente, los voltajes de nodo permanecen sin cambio. Esto minimiza los transitorios de conmutación y su correspondiente tiempo de asentamiento.

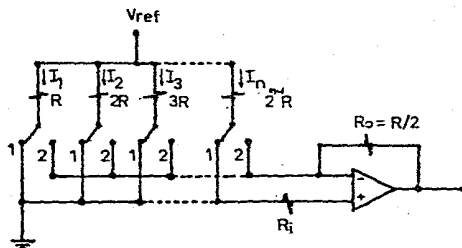


Fig. 2.4 Convertidor digital-analógico conmutación de corriente.

2.2 Clasificación del convertidor digital-analógico (D/A).

Los convertidores D/A por su configuración se clasifican en:

2.2.1 Convertidores D/A tipo paralelo.

2.2.2 Convertidores D/A tipo serie.

Esta clasificación se basa en la forma como entra la señal digital al convertidor. Si es un tren de pulsos, se necesita una sola línea para introducir la señal y el convertidor será tipo serie. En cambio, si la señal digital entra en varias líneas (una por cada bit), se necesitará un convertidor (D/A) tipo paralelo.

2.2.1 Convertidores D/A tipo paralelo.

Este tipo de convertidores se caracterizan por tener como entrada una señal binaria en paralelo. Cada línea de entrada tiene tantos interruptores como bits contenidos en la palabra.

Cada línea de entrada o interruptor que conecta a la malla resistiva, ya sea un voltaje de referencia o a tierra, la malla resistiva convierte el voltaje en una corriente de magnitud específica, la cual es suada en un amplificador operacional a través de una resistencia de carga, obteniéndose a la salida un voltaje analógico correspondiente a la palabra digital. En la Fig. 2.5 se ilustra este convertidor.

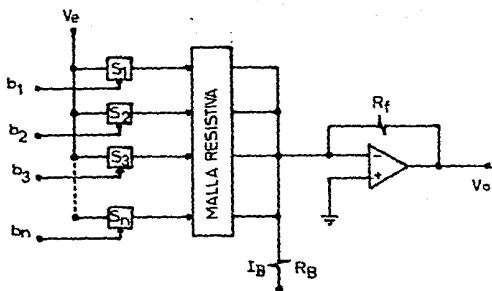


Fig. 2.5 Convertidor tipo paralelo.

Para una representación bipolar, donde el (MSB) es el bit de signo, el convertidor se arregla de tal forma que la corriente total en el punto de suma sea cero, esto se lleva a cabo haciendo circular una corriente de polarización (Fig. 2.5); por lo tanto $I_B = -1/2$ permanentemente en la entrada del amplificador.

Los convertidores D/A tipo paralelo pueden ser de diferentes formas de acuerdo como se genera la corriente proporcional a los bits de la palabra digital. Así tenemos:

2.2.1.1 Convertidor D/A en paralelo con resistencia de peso.

2.2.1.2 Convertidor D/A en paralelo con resistencia escalera $R - 2R$.

2.2.1.3 Convertidor D/A en paralelo con voltaje de peso.

2.2.1.1 Convertidor D/A en paralelo con resistencia de peso.

Es el más simple y requiere solamente una resistencia por bit. Las corrientes de magnitud $1/2$, $1/4$, $1/2^n$ son generadas por medio de resistencia de valor R , $2R$... $2^n R$, las cuales se conectan a un voltaje de referencia $-V_{cc}$ y al punto suma como se ilustra en la Fig. 2.6. Los interruptores son activados directamente por la señal de entrada y las corrientes son sumadas y convertidas a un voltaje por medio de un amplificador operacional, de muy alta ganancia (mayor de 100000), baja impedancia de salida, alta impedancia de entrada.

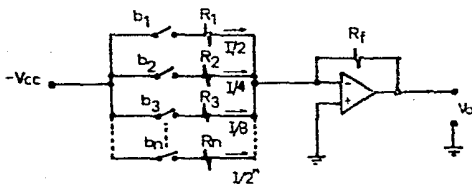


Fig. 2.6 Convertidor D/A paralelo con resistencia de peso.

Considerando el interruptor b_1 cerrado, ocurre que por efecto de la tierra virtual que aparece en la entrada negativa del Amp Op, una

corriente $I = -V_{cc}/R$ circula pasando por R_1 y R_f y generando en la salida un voltaje $V_o = R_f \cdot I$, y así sucesivamente para cada interruptor.

Los valores de las resistencias del circuito producen corrientes que tienen los mismos pesos que los dígitos del sistema binario de numeración como anteriormente se mencionó.

Si más de un interruptor se cierra, las corrientes de los interruptores se suman en el punto de tierra virtual y circulan por R_f . Así el voltaje a la salida del circuito será proporcional a la palabra digital programada en los interruptores b_n , b_3 , b_2 y b_1 .

La desventaja principal de este convertidor radica en el rango muy amplio de resistencias que se necesitan para un convertidor de un número grande de bits.

2.2.1.2 Convertidor D/A en paralelo con resistencia escalera $R - 2R$.

Este convertidor se ilustra en la Fig. 2.7, opera básicamente igual que el anterior pero evita el rango amplio de valores de resistencias empleando solamente dos valores.

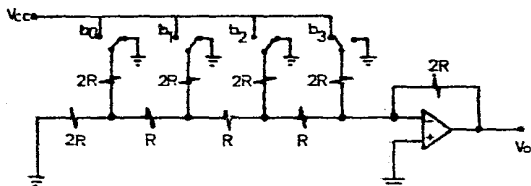
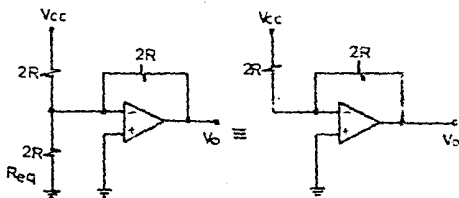


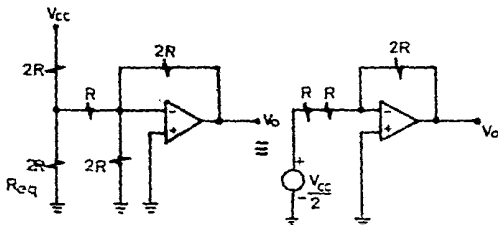
Fig. 2.7 Convertidor D/A $R - 2R$.

Considerando el interruptor b_3 conectado a V_{cc} , en tanto que los interruptores b_2 , b_1 y b_0 conectados a tierra da como resultado el siguiente circuito equivalente:



El último circuito resulta de la eliminación de R_{eq} , ya que por la tierra virtual a la entrada del Amp Op los extremos de R_{eq} quedan conectados casi al mismo potencial y la corriente a través de ella es despreciable. De aquí resulta el valor de la corriente $I = V_{cc}/2R$ y $V_o = -V_{cc}$.

Para encontrar la contribución al voltaje de salida para el interruptor b_2 , se considera el interruptor b_2 conectado a $+V_{cc}$ y los interruptores b_3 , b_1 y b_0 conectados a tierra resultando:



El último circuito resulta de eliminar la resistencia de $2R$ conectada entre la terminal negativa del Amp Op (tierra virtual) y tierra, y de obtener el equivalente de Thevenin del circuito a la izquierda de la resistencia R , de aquí tenemos que:

$$I = V_{cc}/4R \quad \text{y} \quad V_o = -V_{cc}/2$$

Similarmente se deduce que al cierre del interruptor b_1 se va a generar un voltaje de salida $V_o = -V_{cc}/4$ y al cierre del interruptor b_2 , el voltaje de salida $V_o = -V_{cc}/8$.

Al cerrar más interruptores la contribución de cada uno se suman a la salida.

El número de bits del convertidor puede ser incrementado simplemente agregando más secciones de la escalera con los mismos valores $R - 2R$, haciendo que éste convertidor sea más fácil de construir ya que solo se necesitan controlar dos valores de resistencia.

2.2.1.3 Convertidor D/A en paralelo con voltaje de peso.

Este tipo de circuito se ilustra en la Fig. 2.8 y su funcionamiento es similar al convertidor $R - 2R$.

La generación de las corrientes fraccionarias $1/2, 1/4, \dots, 1/2^n$, se lleva a cabo dividiendo el voltaje de referencia en las fracciones binarias, $V_R/2, V_R/4, \dots, V_R/2^n$, por medio de divisores de voltaje y conectado el voltaje así generado a un conjunto de resistencia central. Las corrientes resultantes son combinadas al punto suma del Amp Op.

Cada transistor es un interruptor y es usado para cada bit de la señal de entrada y cada interruptor es controlado por una línea

diferente. Cuando se tiene un "cero" lógico a la entrada, el transistor queda en corte y se produce un flujo de corriente a través de la resistencia de entrada del interruptor correspondiente hacia el punto suma. Cuando se tiene un "uno" lógico a la entrada, el transistor entra en saturación, lo cual hace que la resistencia de entrada este puentada a tierra, y el voltaje a la salida suma proporcional a la palabra digital de entrada.

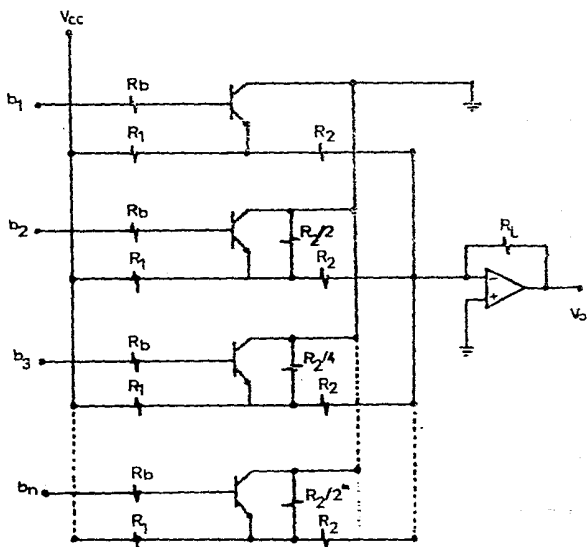


Fig. 2.8 Convertidor D/A con voltaje de peso.

2.2.2 Convertidores D/A tipo serie.

En este tipo de convertidores la señal de entrada se presenta como un tren de pulsos.

Para que se realice la conversión, estos dispositivos necesitan un elemento de memoria analógica para ir almacenando el valor correspondiente a la conversión de cada bit e irlo sumando para que al finalizar la palabra digital se tenga un voltaje analógico equivalente.

En la Fig. 2.9 se ilustra una forma generalizada de este tipo de convertidor.

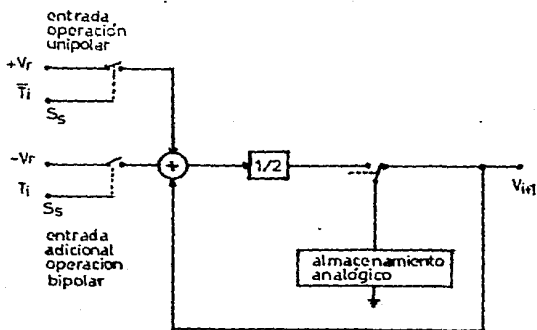


Fig. 2.9 Convertidor D/A tipo serie.

La señal serie (Ss) controla la operación del convertidor sobre una base de bit por bit. Si esta señal es uno durante el periodo de reloj (Ti), un voltaje de referencia es agregado al voltaje de V almacenado por un capacitor y la suma resultante es reducida a la mitad. Si la señal es un cero lógico durante el periodo de reloj (Ti), solamente el voltaje del capacitor es reducido a la mitad. el resultado de esta operación es un voltaje $V_i + 1$, el cual es almacenado en un capacitor de tal manera que el siguiente periodo de reloj $T_i + 1$ estará presente. $V_i + 1$ se expresa de la siguiente manera:

$$V_i + 1 = 1/2(V_i + b_i V_r)$$

donde V_i es el voltaje del capacitor, b_i es un uno o un cero lógico dependiendo del valor de la señal serie durante el periodo T_i .

El voltaje almacenado en el capacitor, una vez que fue convertido el último bit de la señal serie, representa el valor analógico de salida del convertidor y es equivalente a la señal digital de entrada. Puesto que esta señal esta disponible en un intervalo corto de tiempo, que es el que transcurre entre una palabra y otra, se le agrega normalmente un circuito sostenedor de nivel a la salida para así obtener un valor constante de voltaje durante el tiempo necesario de lectura.

Los convertidores D/A en serie operan sincronizados con una señal de entrada Ss (señal serie), la cual presenta primero el bit menos significativo. Así tenemos:

2.2.2.1 Convertidor D/A en serie con muestreo-retención (Sample-Hold).

2.2.2.2 Convertidor D/A en serie tipo cíclico.

2.2.2.1 Convertidor D/A en serie con muestreo-retención.

Consiste en tres circuitos S-H en cascada donde la operación de cada circuito puede dividirse en dos partes como se ilustra en la Fig. 2.13.

1.- Cuando los interruptores S1, S2 y S3 están cerrados, el capacitor C es cargado a un voltaje V_0 , el cual es la suma de los voltajes de entrada multiplicados por un factor de escala.

2.- Cuando los interruptores S1, S2 y S3 están abiertos, la salida permanece constante a V_0 .

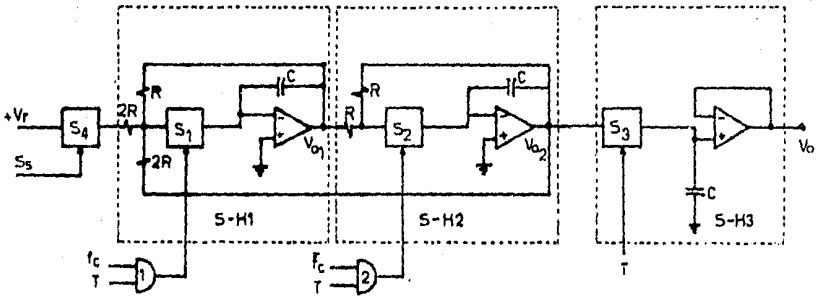
El primer circuito S-H1 de la Fig. 2.10, suma el voltaje de referencia V_r con la salida del segundo circuito S-H2. Con un valor de V_02 y lo multiplica por un factor de escala igual a 0.5.

El segundo circuito S-H2 tiene solamente una entrada, que es la salida del primero (V_01); su factor de escala es la unidad y por lo tanto V_02 es igual en magnitud a V_01 . Los dos circuitos anteriores son conectados en una malla con V_01 conectado a la entrada del segundo y V_02 a la entrada del primero.

Los interruptores S1 y S2 se alternan en operación, de tal manera que cuando V_01 cambia, V_02 permanece constante y viceversa.

El tercer circuito S-H3 muestra V_02 solamente por un corto tiempo al término de cada conversión.

Fig. 2.18 Converter D/A master-slave-retention (S-H).



2.2.2.2 Convertidor D/A en serie tipo ciclico.

Este circuito utiliza dos interruptores S1 y S2 para conectar el voltaje de referencia o tierra al Amp Op de entrada, tres interruptores S3, S4 y S5 para conectar el amplificador de salida a los capacitores de memoria CA, CB, CC y tres interruptores S6, S7 y S8 para alimentar el voltaje Ca, Cb o tierra al amplificador de entrada que funciona con una ganancia de 6.5.

Cerrando el interruptor S1 y S3 se produce un voltaje en el amplificador de salida $V_k = V_r/2$; cerrando S2 y S6, $V_k = V_{CA}/2$; esto es la mitad del voltaje en el capacitor CA, como se ilustra en la Fig. 2.11. Energizando S1 y S6 simultáneamente se tiene un voltaje de:

$$V_k = 1/2(V_r + V_{CA})$$

lo cual es un caso específico de la ecuación:

$$V_k(1 + 1) = 1/2(V_k + A_i V_r)$$

El interruptor S1 es operado siempre que aparece un "1" en la palabra S_n y S2 es operado siempre que aparece un "0". Los interruptores de salida S3, S4 y S5 son controlados por el bit más significativo de la frecuencia de Reloj (F_C) y su complementario ($\overline{F_C}$), respectivamente. Similantemente, los interruptores de realimentación S6, S7 y S8 son conmutados por F_C, $\overline{F_C}$ y T₁, que es el pulso de señal durante el primer periodo de la conversión.

Un "1" en el bit menos significativo, producirá un voltaje:

$$V_k = V_r/2 \text{ durante } T_1$$

$$V_k = V_r/4 \text{ durante } T_2$$

$$V_k = V_r/8 \text{ durante } T_3$$

Similarmente, un "1" en el MSB producirá un voltaje $V_k = V_r/2$ durante T_n .

Donde n es el número de bits de la palabra digital.

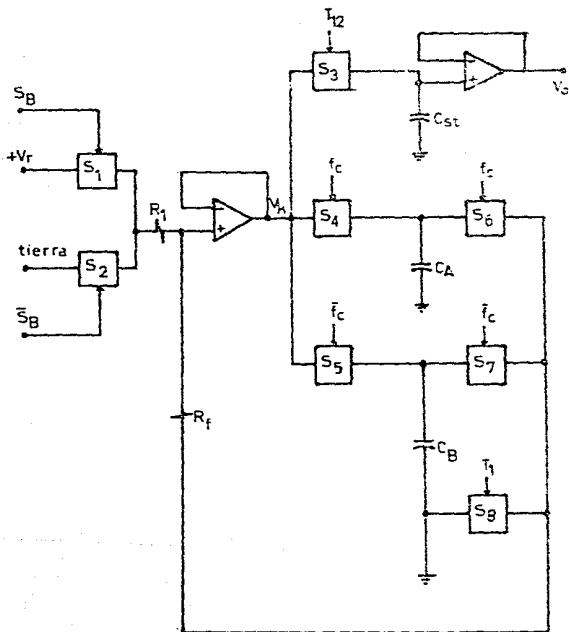


Fig. 2.11 Convertidor D/A cíclico.

2.2.3 Parámetros de operación del convertidor D/A.

Para poder cuantificar la calidad de los convertidores D/A es necesario definir los principales parámetros que expresan la calidad de funcionamiento de un convertidor D/A, por lo que a continuación se presentan brevemente los mismos.

2.2.3.1 Precisión absoluta.

Se refiere al porcentaje de error que presenta el convertidor D/A a escala completa en su magnitud de salida analógica.

2.2.3.2 Linealidad diferencial.

Este parámetro describe la variación en escalones adyacentes. Teóricamente entre escalones debería tener una diferencia de la magnitud del LSB, que equivale al factor de proporcionalidad. Una no-linealidad diferencial mayor de $1/2$ LSB no permitiría distinguir en la salida analógica cambios de una unidad en la entrada digital.

2.2.3.3 Linealidad absoluta.

Se puede trazar una recta ideal que pasaría por los ángulos superiores de la escalera. El ajuste de un convertidor D/A, usualmente por la ganancia del Amp Op, cambia la pendiente de dicha recta. Si una vez ajustada la línea que une los ángulos superiores no coincide con la recta ideal más que en sus extremos, se tiene una no-linealidad.

La máxima diferencia entre ambos se mide en porcentaje del LSB y no debe exceder de $\pm 50\%$ LSB. Esto significa que la suma algebraica acumulada de las no-lineales diferenciales (positivos y negativos) no

debe exceder de $\pm 50\%$ LSB por lo que debe esperarse que estas sean mucho menores.

2.2.3.4 Sensibilidad de la fuente de alimentación.

Al variar la fuente de alimentación, naturalmente variará la salida analógica del convertidor D/A. Este cambio se expresa con el porcentaje del cambio de la salida, un cambio del 1% del valor nominal de la fuente. Como norma se considera que un cambio del 3% en la fuente no debe variar la salida del convertidor D/A en más de $\pm 1/2$ LSB.

2.2.3.5 Estabilidad térmica.

Se refiere a la inmunidad del convertidor D/A a cambios de temperatura y se mide por el coeficiente de temperatura que se expresa por el número de microvoltios (μV) que cambia la salida por 1°C de incremento en la temperatura.

2.2.3.6 Resolución.

Se refiere a la longitud de la palabra que puede manejar el convertidor D/A o sea, el número de dígitos (bits) del número binario cuyo LSB puede distinguirse en la salida analógica.

En la siguiente tabla presenta para diferentes rangos del convertidor D/A (voltaje de salida a escala completa), la magnitud de salida analógica correspondiente a $1/2$ LSB, que es la que debe distinguirse para diversas resoluciones.

RESOLUCION	RANGO DE SALIDA		
	20v	10v	5v
8 bits	39.06 mv	19.53 mv	9.77 mv
10 bits	9.77 mv	4.88 mv	2.44 mv
12 bits	2.44 mv	1.22 mv	610 μ v
14 bits	610 μ v	305 μ v	153 μ v
16 bits	153 μ v	76 μ v	38 μ v

La operación del convertidor D/A no es instantánea, pues está limitada por los tiempos de conmutación de los transistores usados en la compuerta, la razón de cambio de voltaje del operacional, etc.. Se mide por el tiempo requerido para un cambio de plena escala (cero a máximo) o bien a un cierto porcentaje de ella (usualmente al porcentaje representativo de LSB).

2.2.4 Selección del convertidor D/A.

Seleccionar un convertidor digital-analógico para un propósito específico requiere definir, entre otros, las siguientes cuestiones.

2.2.4.1 Características de la entrada digital.

- Código usado (binario, BCD, binario complementario, etc.).
- Sistema lógico (compatible con TTL, DTL, etc.) y niveles.
- Tiempo que se mantiene el dígito en lectura, que debe ser mayor que el tiempo de establecimiento del convertidor D/A.

2.2.4.2 Características de la salida analógica.

- Tipo de salida: voltaje o corriente. Rango a escala completa.
- Precisión requerida, de donde se deduce la resolución que debe tener el convertidor D/A (las resoluciones típicas son 8, 10, 12, 14 y 16 bits).
- No linealidad absoluta y diferencial que puede tolerarse.

2.2.4.3 Características ambientales que afectan la precisión.

- Variación de línea: variación de la fuente de alimentación.
- Variación de temperatura.
- Estabilidad con el tiempo.

2.2.5 Aplicaciones más significativas del convertidor D/A

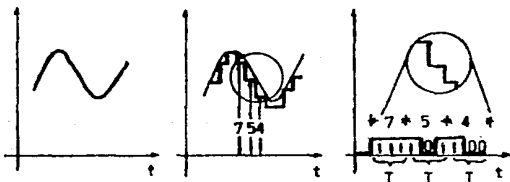
- a) Instrumentación digital.
- b) Control por computadora del proceso fabril o experimentación.
- c) En las comunicaciones tales como telemedición y telecontrol.

2.3 Cuantización, muestreo y retención.

2.3.1 Cuantización.

Es el nombre del proceso que asigna o fija un número discreto de valores para una señal continúa. Codificación es el nombre del proceso que asigna un patrón binario a cada uno de los valores discretos, complementando así el proceso de conversión de una señal analógica en una señal digital.

El convertidor analógico - digital es un dispositivo electrónico que realiza una transformación de cualquier señal eléctrica analógica a un patrón binario susceptible de ser manejado por una computadora. Una señal analógica puede adquirir cualquier valor dentro de un rango dado. Una señal digital sólo puede adquirir un número finito y fijo de valores dentro del rango.



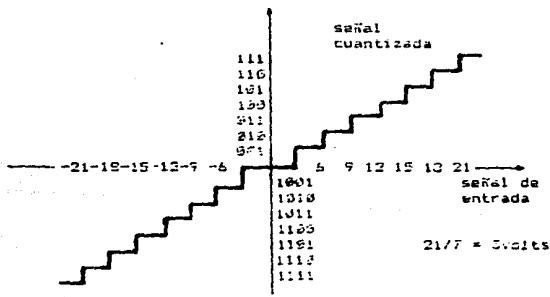
Es necesario agregar algunas aclaraciones referidas a los conceptos digital y binario.

El término digital - del latín digitus = dedo - significa tanto como "representar en escalones con valores numéricos", sin posibilidad de expresar valores intermedios. En la figura anterior se muestra una señal analógica y su representación digital. La cantidad de escalones por unidad de tiempo es optativa depende de la frecuencia de muestreo y determinará el grado de exactitud con que se reproducirá la señal analógica. Muchos escalones brindan una resolución fina y una reproducción de gran exactitud.

El proceso para cuantizar una señal se realiza dividiendo el rango total de la señal de entrada entre el número (n) de intervalos finitos, los cuales no necesariamente tienen que ser iguales.

Por lo que todos los valores de la señal continua que queden dentro de un intervalo serán restringidos a un único código numérico, de ser necesario el redondeo se tendrá que llevar a cabo.

La función de cuantización se representa de la siguiente forma:



El proceso de cuantización siempre es una aproximación. El nivel de cuantización a escala completa se determina por medio de la siguiente expresión:

$$q = 2^{-n} \text{ (E.C.)}$$

donde:

q = nivel de cuantización

n = largo de la palabra del convertidor A/D
(número de bits).

E.C. = escala completa.

2.3.1.1 Efectos de cuantización.

Al emplear la cuantización se reduce la precisión de las señales analógicas empleadas, ya que la representación de dichas señales se lleva a cabo por medio de códigos binarios que tienen una serie de valores finitos. Al existir errores en los coeficientes cuantizados, las evaluaciones estarán alejados de la realidad por lo que se deberá tener un parámetro límite para no perder la información real, a lo que llamaremos error máximo de cuantización, que se calcula de la siguiente manera:

$$q_e = q/2$$

donde

q_e = error máximo de cuantización

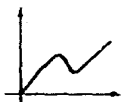
q = nivel de cuantización

2.3.2 Muestreo.

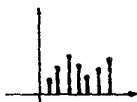
El elemento esencial de un sistema de tiempo discreto es el muestreador. En un muestreador convencional una llave se cierra para admitir una señal de entrada cada T segundos. En la práctica, la duración de muestreo es muy breve en comparación con la constante de tiempo más significativa.

El muestreador convierte una señal continua en un tren de pulsos producidos en los instantes de muestreo $0, T, 2T, \dots, nT$, donde T es el periodo de muestreo (entre instantes de muestreo no se transmite información). Dos señales cuyos valores respectivos son iguales en los instantes de muestreo, producen la misma señal muestreada.

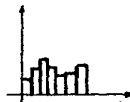
El muestreador convierte una señal continua en un tren de pulsos reducidos en los instantes de muestreo. Después un dispositivo de orden cero integra la señal $x(t)$ produciendo la señal $x_h(t)$.



continua



discreta

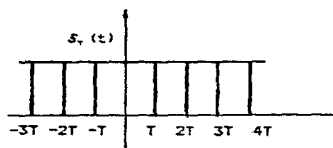


digital

La señal $x(t)$ es constante desde el último valor muestreado hasta disponer del máximo valor de muestreo, es decir:

$$x(t) = x(kT) \quad ; \quad 0 \leq t < T$$

considerando que la salida de un muestreador es un tren de impulsos unitarios entonces se puede considerar al muestreador como un modulador en amplitud.



La función impulso unitario se produce en $t = kT$, si se muestrea en forma continua.

$$x^*(t) = \sum_{k=-\infty}^{\infty} x(kT) \delta(t - kT)$$

$$x(t) = \sum_{k=-\infty}^{\infty} \delta(t - kT)$$

considerando señales $t \geq 0$

$$x^*(t) = \sum_{k=0}^{\infty} x(kT) \delta(t - kT) \dots \dots \dots 1$$

aplicando transformada de Laplace a la ecuación 1 se tiene:

$$X^*(s) = \mathcal{L}\{x^*(t)\} = \sum_{k=0}^{\infty} x(kT) e^{-skT} \dots \dots \dots 2$$

$$X^*(z) \stackrel{\Delta}{=} X^*(s) \stackrel{\Delta}{=} \sum_{k=0}^{\infty} x(kT) z^{-k} \dots \dots \dots 3$$

sacando dualidad de las ecuaciones 2 y 3 tenemos que:

$$z = e^{sT} \quad \Rightarrow \quad s = (1/T) \ln z$$

entonces:

$$x(z) = x^*(s) = x^*((1/T) \ln z) = \sum_{k=0}^{\infty} x(kT) z^{-k}$$

por lo tanto

$$\mathcal{Z}\{x(t)\} = \mathcal{Z}\{x^*(t)\}$$

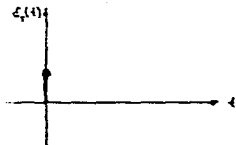
$$x(z) = \sum_{k=0}^{\infty} x(kT) z^{-k} \quad k: \text{valores enteros}$$

2.3.3 Retención.

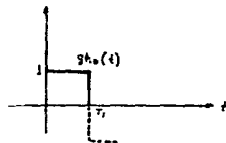
Un dispositivo de retención convierte la señal muestreada en una señal continua que reproduce aproximadamente la señal aplicada al muestreador. El dispositivo de retención más simple convierte la señal muestreada en una señal constante entre dos instantes de muestreo consecutivo.

Los retenedores llamados también sostenedores si se aproxima por un polinomio de n-ésimo grado a la señal entre dos instantes consecutivos de muestreo, se llama dispositivo de retención de orden n.

Retenedor de orden cero: Se aproxima por un polinomio de grado cero, o sea una constante, por lo tanto:



Entrada impulso unitaria al retenedor.



Respuesta impulso del retenedor.

$$g_h(t) = u_{-1}(t) - u_{-1}(t - T)$$

$$G_h(s) = 1/s - (e^{-Ts}/s)$$

$$= (1 - e^{-Ts})/s \quad \text{función de transferencia.}$$

Cuando $s = j\omega$ se obtiene la respuesta en frecuencia.

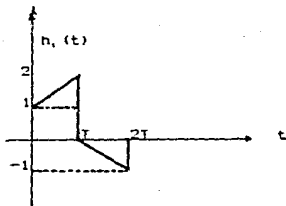
$$G_h(j\omega) = (1 - e^{-j\omega T})/j\omega = (T e^{-j\frac{\omega T}{2}} (e^{j\frac{\omega T}{2}} - e^{-j\frac{\omega T}{2}}))/j\omega T$$

$$G_h(j\omega) = ((T e^{-j\frac{\omega T}{2}}) (e^{j\frac{\omega T}{2}} - e^{-j\frac{\omega T}{2}}))/2j \omega T/2$$

$$= (T \operatorname{sen} \omega T/2 e^{-j\frac{\omega T}{2}})/\omega T/2$$

$$G_h(j\omega) = \underbrace{T \operatorname{Sinc} \omega T/2}_{\text{magnitud}} \underbrace{e^{-j\frac{\omega T}{2}}}_{\text{ángulo}}$$

Retenedor de 1er orden.



Respuesta impulso de un retenedor de 1er orden en serie de Taylor.

$$x_k(t) = x(KT) + x'(KT)(t - KT) + \dots$$

$$x_k(t) = x(KT) + ((x(KT) - x(KT - T))/T)(t - KT)$$

$$g_h(t) = \left\{ (u_{-1}(t) + (t/T)u_{-1}(t) - 2u_{-1}(t - K) - (2(t - K))/T u_{-1}(t - T) + u_{-1}(t - 2T) + (t - 2T)/T u_{-1}(t - 2T)) \right\}$$

aplicando transformada de Laplace.

$$G_h(s) = 1/s + (1/T)(1/s^2) - (2/s)e^{-Ts} - 2e^{-Ts}/Ts + (1/s)e^{-2Ts} + (1/Ts)e^{-2Ts}$$

$$G_h(s) = ((Ts + 1)/T)((1 - e^{-Ts}/s)^2)$$

$$G_h(j\omega) = ((j\omega T + 1)/T)((1 - e^{-j\omega T})/j\omega)^2$$

2.4 Funcionamiento del convertidor analógico-digital (A/D).

La función de un convertidor analógico-digital (A/D) es convertir una señal analógica continúa en un término digital.

Los convertidores A/D realizan una operación inversa que los convertidores D/A, es decir, codifican una señal analógica dada en una salida digital de una longitud predeterminada de bits.

En un convertidor A/D, la entrada de voltaje analógico (V_a) es aproximada como una fracción binaria de un voltaje de referencia V_{ref} . Así la salida del convertidor correspondiente a un término digital (D) esta dada por:

$$D = (V_a/V_{ref})(2^{n-1} b_1 + 2^{n-2} b_2 + \dots + 2^0 b_n)$$

donde n es la longitud del término digital en bits, y $b_1, b_2 \dots b_n$ son los coeficientes de los bits binarios, teniendo un valor de "1" o "0". Los coeficientes de, los bits que forman la salida digital, pueden ser obtenidos de la salida del convertidor A/D simultáneamente en la forma de n salidas paralelas, como se ilustra en la Fig. 2.12a, o puede ser secuencialmente desplazada en la misma terminal como se ilustra en la Fig. 2.12b.

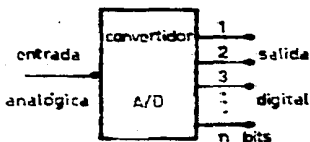


Fig. 2.12a Convertidor A/D salida paralelo.

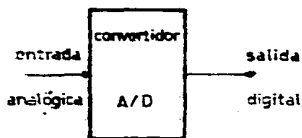


Fig. 2.12b Convertidor A/D salida serie.

Estos formatos de salida son llamados "paralelo" y "serie" respectivamente. En el formato de salida serie, el coeficiente b_1 corresponde al bit más significativo (MSB) que normalmente es calculado y desplazado primero, seguido por bits de importancia sucesivamente decreciente.

Al convertir un voltaje analógico V_a en una salida binaria codificada, un voltaje V_{ref} , "cuantizado" dentro de cualquier número de niveles discretos separados por un bit menos significativo (LSB) del término digital, nos lleva a una resolución finita ó un error de cuantización en el proceso de conversión A/D, en el cual se puede tener un valor máximo de $\pm 1/2$ LSB. En términos de un voltaje analógico arbitrario V_a , V_{ref} esto conduce a un error de cuantización V_q , donde :

$$0 \leq |V_q| \leq V_{ref}/2^{n-1}$$

notese que el error de cuantización es inherente al proceso de codificación digital y por lo tanto está presente en cualquier convertidor A/D.

Durante el proceso de conversión la entrada analógica V_a es muestreada y su contraparte digital es generada en un intervalo de tiempo finito. Después debido al rango finito de conversión del convertidor A/D, este tiempo tomado para completar la conversión de una entrada analógica a un término digital, es llamado tiempo de conversión o de apertura.

La rapidez con que debe ser realizada la conversión A/D esta determinada por la frecuencia contenida en la entrada analógica y por la precisión de conversión requerida, o por una combinación de ambos factores.

Si la entrada analógica varía como una función de tiempo, la presencia de un tiempo de apertura finito puede conducir a un error adicional en la entrada codificada.

2.5 Clasificación del convertidor analógico-digital (A/D).

Los convertidores analógico-digital, son normalmente el enlace entre el transductor y el procesador digital y son casi la única fuente de errores en un instrumento digital, de aquí que la calidad del convertidor (A/D) determinará la calidad final del equipo.

Las señales analógicas provenientes de transductores comúnmente empleados son voltaje y corriente, los cuales son fácilmente convertibles en tiempo o frecuencia, o bien pueden compararse con fuentes de referencia.

Estas posibilidades de procesar las señales analógicas da lugar a distintos tipos de convertidores analógico-digital, los cuales se clasifican según se presenta la información de salida:

2.5.1 Convertidores A/D salida Paralela.

2.5.2 Convertidores A/D salida Serie.

2.5.3 Convertidores A/D salida Variable.

2.5.1 Convertidores A/D salida paralelo.

Este tipo de convertidores suministran simultáneamente, en terminales independientes, una combinación binaria equivalente al valor de la variable analógico de entrada. Estos convertidores son los más usados por su fácil acoplamiento a procesadores digitales y consisten en circuitos electrónicos que reciben la variable analógica y actúan sobre un conjunto de transistores bipolares o unipolares colocando en un estado de corte o saturación correspondientes a los valores binarios "1" o "0". Los convertidores con salida en paralelo se clasifican a su vez en dos grupos:

2.5.1.1 Convertidores de lazo abierto.

En estos convertidores la información se propaga en un sólo sentido y pueden ser de actuación totalmente simultánea o bien de actuación simultánea con propagación en serie.

2.5.1.1.1 Convertidores de actuación totalmente simultánea.

Realizan la conversión de tal forma que todos los bits se generan simultáneamente, es más rápido y necesita un mayor número de componentes de precisión, este circuito se ilustra en la Fig. 2.13 y funciona de la siguiente manera:

La tensión analógica a convertir se aplica a una de las entradas de un conjunto de comparadores analógicos construidos por Amp Op de lazo abierto (V_e), la otra entrada de cada comparador se conecta al punto

adecuado de la red resistiva, construida por resistencias idénticas R , alimentada por una fuente de tensión constante de referencia V_r . Al aplicar una tensión analógica al terminal correspondiente, las salidas de los comparadores C_0 a $C_{(n-1)}$ corresponderán a aquellos comparadores en los cuales la entrada conectada a la red resistiva se encuentra a una tensión superior a la tensión analógica a convertir y aquellas en cuyos comparadores se produce la situación inversa.

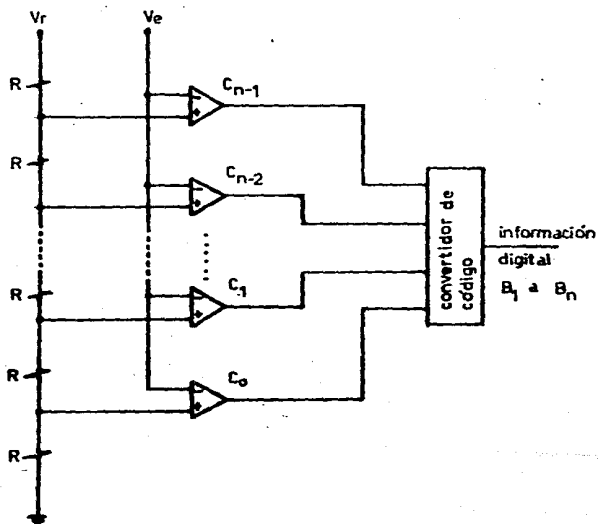


Fig. 2.13 Convertidor A/D de salida paralelo en lazo abierto de actuación totalmente simultánea.

El código obtenido de esta forma es continuo y posee un número de combinaciones igual a $N + 1$. Para reducir el número de bits a la salida del convertidor es conveniente la conversión de este código al binario natural, lo cual se realiza mediante el convertidor de código que es un sistema combinacional. A la salida de este convertidor se tendrá un número de bits N' que cumple la condición $2^{N'} > N + 1$.

El inconveniente de este tipo de convertidor es la necesidad de resistencia de precisión y que su complejidad aumenta al elevarse la resolución, por lo que, si el número de bits de salida N' es 10, se necesitarían $N = 2^{N'} - 1 = 1023$ comparadores.

2.5.1.1.2 Convertidor de actuación simultánea con propagación en serie.

En estos convertidores se puede lograr una reducción del número de comparadores mediante la combinación del convertidor analógico-digital lazo abierto de actuación simultánea con un convertidor digital-analógico y un restador analógico como se ilustra en la Fig. 2.14. Si el número total de bits de la información digital de salida es N' , se obtienen los $N'/2$ más significativos mediante un convertidor que posea $2^{N'/2} - 1$ comparadores.

Estos bits se vuelven a convertir en una variable analógica por medio de un convertidor D/A. Mediante un circuito restador analógico se calcula la diferencia entre la variable analógica a convertir y la salida del convertidor D/A.

Esta diferencia se convierte en los $N'/2$ bits menos significativos mediante otro convertidor A/D con $2^{N'/2} - 1$ comparadores. Si los dos

convertidores A/D utilizan la misma tensión de referencia V_r . la salida del restador debe amplificarse multiplicándola por el factor $2^{N/2}$. En el caso de que $N = 10$, el número de comparadores necesarios será $2 \times (2^5 - 1) = 2 \times 31 = 62$, en lugar de 1023.

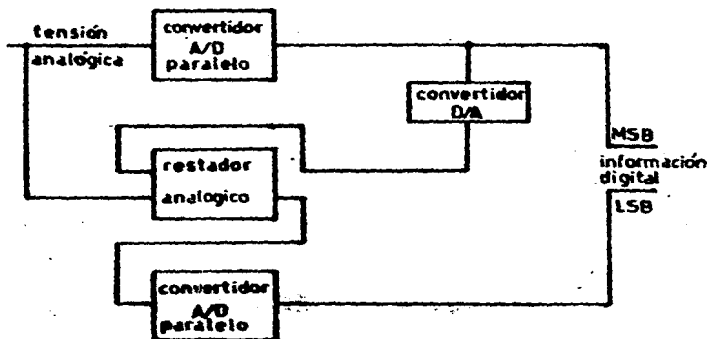


Fig. 2.14 Convertidor A/D de salida en paralelo en lazo abierto de actuación simultánea con proporción serie.

2.5.1.2 Convertidores de lazo cerrado.

En este tipo de convertidores el elemento principal es un sistema secuencial que controla la conversión ejecutada por un circuito electrónico realimentado como se ilustra en la Fig. 2.15 y se clasifican así:

- 2.5.1.2.1 Convertidor A/D tipo rampa discreta.
- 2.5.1.2.2 Convertidor A/D tipo integración simple.
- 2.5.1.2.3 Convertidor A/D tipo integración doble.
- 2.5.1.2.4 Convertidor A/D tipo aproximaciones sucesivas.

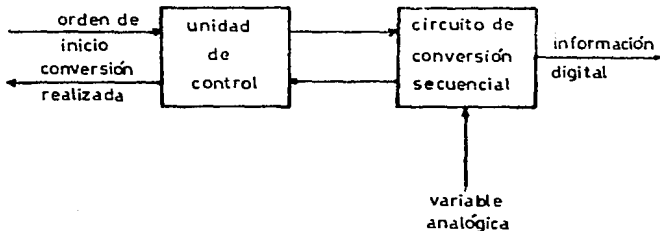


Fig. 2.15 Diagrama de bloques de un convertidor A/D de salida paralelo en lazo cerrado.

2.5.1.2.1 Convertidor A/D tipo rampa discreta.

De los convertidores analógico-digital por comparación de voltaje el de rampa discreta es muy simple y económico, sin embargo su rapidez de conversión es pequeña. En la Fig. 2.15 se ilustra el diagrama de este convertidor.

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

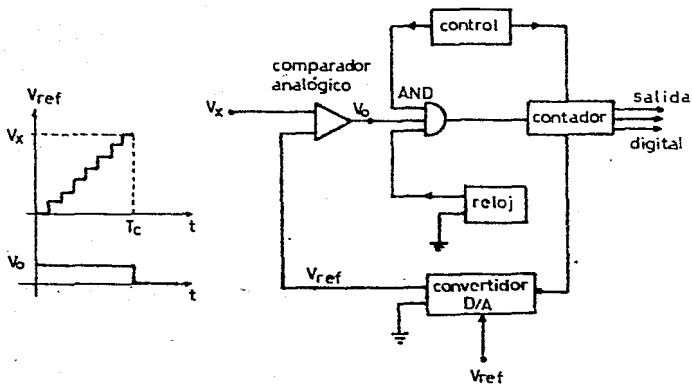


Fig. 2.16 Convertidor A/D tipo rampa discreta.

El convertidor funciona de la siguiente manera: el circuito de control permite que la compuerta "AND" deje pasar los pulsos del reloj y que el contador vaya almacenando la cuenta. Si la cuenta se va almacenando en el contador se va convirtiendo simultáneamente en señal analógica mediante un convertidor D/A adecuado, se generará una señal de escalera (o rampa discreta) que nos proporciona el voltaje de referencia variable V_{ref} , que ha de compararse con el voltaje de entrada V_x en el comparador analógico de manera que:

$$\text{Si } V_x > V_{ref} \rightarrow V_o = 1$$

$$\text{Si } V_x < V_{ref} \rightarrow V_o = 0$$

Luego el comparador pasará del "1" lógico al "0" lógico cuando el voltaje de referencia variable V_{ref} exceda a V_x por una pequeña cantidad impidiendo que de ese incremento en adelante se cuenten más pulsos de reloj quedando efectuada la conversión correspondiente, pues se escoge el voltaje de referencia y el convertidor D/A adecuadamente para que cuando $V_{ref} > V_x$ en el contador, se tenga la cantidad V_x convertida en información digital y puede ser utilizada según convenga en la aplicación que se desee.

Si la información digital se almacena en el contador binario, el máximo valor que se puede almacenar es el que corresponde a todos los multivibradores del contador en el estado 1 y si la conversión comienza con todos los multivibradores del contador en estado 0, se necesitarán $(2^n - 1)$ pulsos de reloj para pasar del valor mínimo al máximo, por lo cual la rapidez de conversión será:

$$R_c = fr / (2^n - 1) = (\text{pulsos/seg}) / (\text{pulsos/palabra}) = \text{palabra/seg}$$

donde fr es la frecuencia de reloj y $2^n - 1$ es el número máximo de pulsos que se necesitan para convertir un voltaje analógico V_x .

2.5.1.2.2 Convertidor A/D tipo integración simple.

En este tipo de convertidor el interruptor S1 permanece cerrado hasta el momento que se inicia la conversión. En el instante en que el interruptor se abra, el voltaje del capacitor aumenta en forma lineal como se ilustra en la Fig. 2.17.

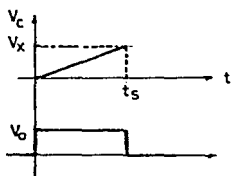
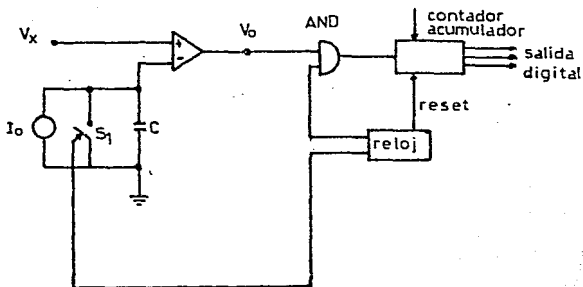


Fig. 2.17 Convertidor A/D tipo integración simple.

Cuando el voltaje de capacitor excede el valor de V_x el comparador cambia de estado, evitando que el contador siga contando pulsos de reloj y dando por terminada la conversión. En este momento el contador tendrá almacenado la información " V_x " convertida en digital y lista para usarse según convenga. Para este tipo de convertidor es necesario tener una fuente de corriente muy estable, un oscilador (reloj), cuya frecuencia sea extremadamente estable y las componentes usadas en la parte analógica deben tener muy bajas tolerancias.

Este tipo de convertidor tiene una rapidez de conversión pequeña pues al igual que el convertidor de rampa discreta se necesitan $(2^n - 1)$ pulsos de reloj para completar una palabra de "n" bits con "n" unos en el contador binario de manera que:

$$R_c = fr / (2^n - 1) \quad \text{palabras/seg}$$

En este convertidor es necesario tener una calibración precisa en la relación de la corriente de la fuente I_o y la frecuencia del reloj de manera que si

$$V_c = (1/C) \int i dt$$

$$V_c = (I_o/C) t$$

Si V_x es el voltaje máximo que el convertidor puede manejar entonces el tiempo que el voltaje del condensador tarda en llegar al valor V_{xm} es:

$$t_{cm} = V_{xm} C / I_o,$$

y en este tiempo deben de entrar $(2^n - 1)$ pulsos por lo que la frecuencia del reloj debe ser:

$$fr = (2^n - 1) / t_{cm} \quad \text{(pulsos/seg)}$$

$$fr = (2^n - 1) / (V_{xm} C / I_o) = (2^n - 1) (I_o) / (V_{xm} C)$$

si el valor máximo por convertir permanece constante será necesario la relación:

$$(I_o / fr C) = \text{CTE}$$

El satisfacer la anterior relación implica un sistema de control complejo o bien que cada uno de los parámetros que en esta relación intervienen sean constantes y estables en forma independiente.

2.5.1.2.3 Convertidor A/D tipo integración doble.

Este convertidor minimiza de gran manera las inexactitudes propias de el convertidor de integración simple. En este convertidor se genera un pulso cuya duración es proporcional al voltaje que se quiere convertir, haciendo una comparación entre dos integraciones como se ilustra en la Fig. 2.18

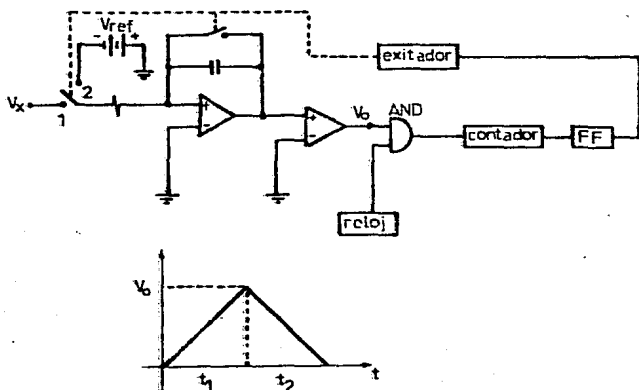


Fig. 2.18 Convertidor A/D tipo integración doble.

El voltaje para convertir V_x se aplica al integrador dando como resultado un voltaje V_0 con pendiente positiva (en caso de que V_x sea positivo). Durante todo este tiempo la compuerta AND deja pasar los pulsos de reloj al contador de manera que cuando el contador se haya registrado el máximo número de pulsos de reloj para el cual este

diseñado el contador se generará un pulso que cambia de estado el multivibrador biestable FF y acciona el excitador de interrupción, haciendo que el voltaje ($-V_{ref}$) entre al integrador produciendo un voltaje con pendiente negativa como se indica en la gráfica que se ilustra en la Fig. 2.19

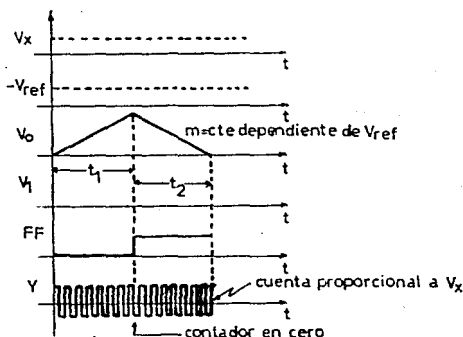


Fig. 2.19 Formas de onda que se presentan en un convertidor de integración doble.

Si el reloj produce una frecuencia f_r y el contador está diseñado para que se registre un máximo de N bits se puede establecer que:

$$V_o = (1/RC) \int_0^{t_1} V_x dt = V_x t_1 / RC \quad \text{para } 0 < t < t_1 \quad \text{donde } t_1 = N/f_r$$

cuando el interruptor I_1 cambia de la posición 1 a la posición 2, el voltaje que se tiene a la salida del integrador será:

$$V_o = ((V_x t_1) / RC) - (V_{ref}(t - t_1) / RC)$$

y será igual a cero para:

$$t_2 = (V_x / V_{ref}) t_1$$

$$\therefore V_x = (t_2 / t_1) V_{ref}$$

y el número de pulsos que queda almacenado finalmente en el contador será:

$$N_x = fr t_2$$

$$V_x = (N_x/N) V_{ref} \quad (a)$$

$$V_x = K N_x \quad (b)$$

Como se puede apreciar de las ecuaciones (a) y (b) el valor final de el número de pulsos en el contador N_x es independiente de la frecuencia del reloj y de los valores de R y C del circuito integrador. Sin embargo, sí depende del voltaje de referencia.

El tiempo necesario para efectuar una conversión será en función de V_x siendo máximo cuando $V_x = V_{ref}$ en cuyo caso $t_2 = t_1$, por lo tanto el tiempo máximo de conversión será $T_{ca} = 2 t_1$. Por otra parte $t_1 = N/fr$, por lo tanto $T_{ca} = 2N/fr$, es decir, la rapidez de conversión será:

$$R_c = fr/2N \quad [\text{palabras/seg}]$$

Las ventajas de este convertidor son su precisión y su costo reducido lo mismo que su insensibilidad a efectos de tiempo o variaciones en los parámetros del integrador, su desventaja estriba en el tiempo consumido en la doble rampa lo que da un tiempo de conversión grande.

2.5.1.2.4 Convertidor A/D tipo aproximaciones sucesivas.

Este convertidor es más rápido y no se tiene oscilación del bit menos significativo del resultado. El tiempo de conversión para una resolución de n bits es tan solo n pulsos de reloj.

Este tiempo de conversión es fijo para todo valor de V_{in} como se ilustra en la Fig. 2.26

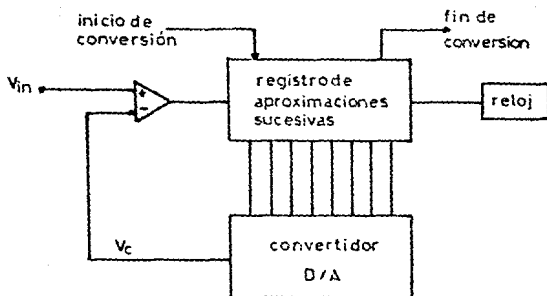


Fig. 2.29. Convertidor de aproximaciones sucesivas.

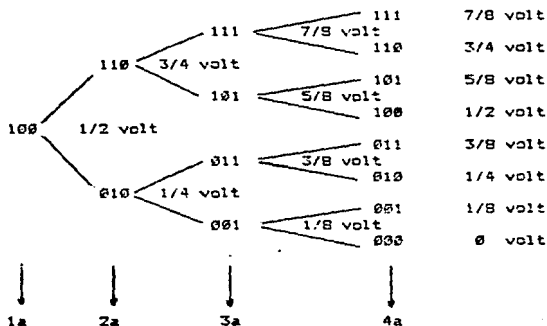
El orquestador de este sistema es el registro de aproximaciones sucesivas (R A S) cuya función es la siguiente:

al inicio del ciclo de conversión el R A S, en el primer pulso de reloj, presenta el patrón binario 1000 0000 al convertidor D/A y procede a esperar la respuesta del comparador. Si la salida del comparador es un voltaje alto (la salida del convertidor D/A es menor que V_{in}), confirma a b_7 como 1 lógico y prueba b_6 , esto es, presenta el patrón binario 1100 0000 al convertidor D/A. Si la salida del comparador al patrón binario 1000 0000 es un voltaje bajo (la salida del convertidor D/A es mayor que V_{in}) fija a b_7 como 0 lógico y prueba b_5 , esto es, presenta el patrón binario 0100 0000 al convertidor D/A. Este ciclo se repite con todos los bits, en el orden b_7 , b_6 , ... b_0 , haciéndolos 1 lógico para la prueba y confirmando los como 1 o cambiándolos a 0 según la respuesta del comparador. Sólo se

necesita un pulso de reloj para cada bit. Una vez barridos todos los bits el convertidor manda la señal fin de conversión.

A continuación se detalla la secuencia de un convertidor de aproximaciones sucesivas para 3 bits.

Supóngase que se quiere convertir $V_{in} = 0.65$ (este es mayor que $5/8$ y menor que $3/4$).



COMPARACION

Se coloca 100 es decir 0.5 y se compara con V_{in} mayor que V_0 , por lo tanto se retiene el 1 y se agrega el siguiente 1 es decir 110 que equivale a $3/4$, se compara con V_c y resulta que V_{in} es menor por lo cual este 1 debe ser retirado y colocado el siguiente 1, esto es 101 equivalente a $5/8$, de nuevo hace la comparación y V_{in} resulta mayor que $5/8$ por lo tanto este 1 es retenido quedando como resultado final 101.

Gráficamente quedaría como se ilustra en la Fig. 2-21

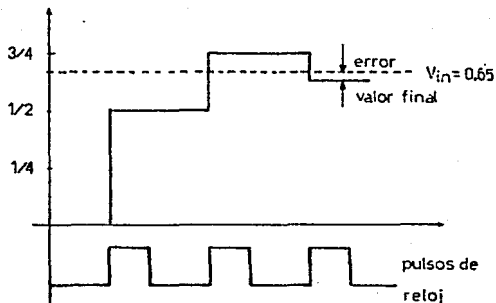


Fig. 2.21 Gráfica de una aproximación sucesiva de 3 bits.

2.5.2 Convertidores A/D salida serie.

Estos convertidores codifican también la variable analógica mediante una combinación binaria pero en lugar de presentarla en paralelo a su salida, lo hacen en serie a través de un único terminal. Pueden realizarse mediante un convertidor tipo paralelo seguido de un serializador.

2.5.3 Convertidores A/D salida temporal.

Este tipo de convertidores convierten una variable analógica en una secuencia de impulsos cuya frecuencia o duración es proporcional y la medición permite obtener la información digital equivalente a la analógica de entrada.

Su característica principal es la lentitud y su sencillez, y se dividen en:

2.5.3.1 Convertidor A/D voltaje - frecuencia.

2.5.3.2 Convertidor A/D voltaje - anchura de impulsos.

2.5.3.1 Convertidor A/D voltaje - frecuencia.

Este método consiste, como su nombre lo indica, en la generación de una secuencia de impulsos cuya frecuencia es proporcional a la tensión de entrada. Por lo tanto, el circuito de conversión constituye un generador de impulsos controlado en voltaje.

La entrada de voltaje analógico es convertida a una corriente constante proporcional, la cual es integrada a través de un circuito integrador y la salida de éste acoplado a los circuitos comparadores (uno, si se requiere un funcionamiento unipolar). La integración continúa hasta que la salida del integrador excede al voltaje de referencia y en ese momento uno de los comparadores genera un pulso el cual es utilizado para poner el integrador en cero.

Este proceso se repite con todos los comparadores y por último se obtiene un número de pulsos por segundo que son contados durante un

periodo fijo de tiempo en un contador binario y la cantidad de pulsos resultantes será proporcional a la entrada analógica.

Este circuito convertidor de voltaje a frecuencia se ilustra en la Fig. 2.22.

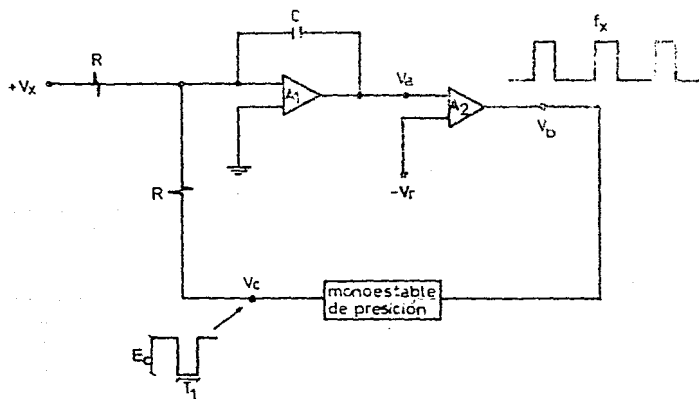


Fig. 2.22. Convertidor A/D de voltaje a frecuencia.

El funcionamiento del circuito es el siguiente:

El voltaje de entrada V_x es integrado por el circuito amplificador A1 el cual a su salida entrega una rampa como se ilustra en la Fig. 2.23 como V_a , esta tensión es comparada con una tensión de referencia V_r por medio del comparador A2, de tal manera que a la salida del comparador se tiene una tensión baja hasta que la tensión V_a rebasa el nivel de V_r . En ese momento la salida del comparador cambia de estado hacia un nivel alto provocando el disparo del multivibrador

moncestable quedando aplicada al integrador de tensión E_c , durante un tiempo fijo T_1 establecido por la constante de tiempo del moncestable. En estas condiciones el integrador suma los efectos de V_x y E_c . Ahora bien, si E_c es mayor que V_x pero de polaridad contraria, entonces V_a cambia de pendiente tanto en magnitud como en signo. Al terminar el tiempo T_1 la tensión V_c vuelve a cero y se inicia un nuevo ciclo de integración de V_x durante un tiempo T_2 hasta que la tensión de salida del integrador V_a alcanza de nuevo el valor de V_r . El número de veces que se repite este ciclo en la unidad de tiempo es proporcional a V_x según se demuestra a continuación.

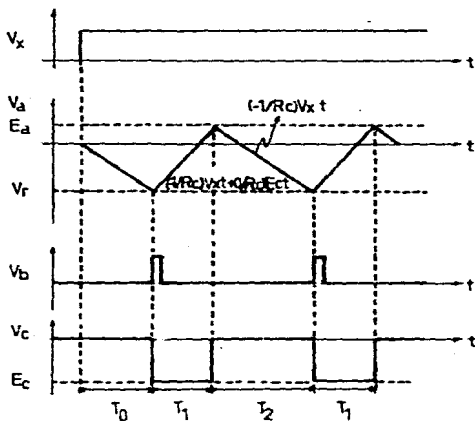


Fig. 2.23 Comparación de voltajes del convertidor A/D.

Partiendo de que los valores T_0 y T_1 son constantes y las señales tienen las polaridades indicadas en la Fig. 2.23 se tiene que:

$$E_a = (- (1/Rc)V_x + (1/Rc)E_c) T_1 - V_r \dots\dots (1)$$

también se observa que T_2 es el tiempo necesario para que la salida del integrador V_a cambie de E_a hasta V_r . De aquí se tiene que:

$$E_a - (-V_r) = (1/Rc) V_x T_2 \dots\dots (2),$$

despejando T_2 de la ec. 2

$$T_2 = ((E_a + V_r)Rc)/V_x \dots\dots (3),$$

sustituyendo E_a de la ec. 1 en la ec. 3

$$T_2 = (E_c/V_x)(T_1 - T_1) \dots\dots (4).$$

Ahora bien, el periodo total de la señal respectiva T_x será:

$$T_x = T_2 + T_1 \dots\dots (5),$$

sustituyendo T_2 de la ec. 4 en la ec. 5

$$T_x = (E_c/V_x)/T_1 \dots\dots (6),$$

de aquí que la frecuencia de repetición (f_x) será:

$$f_x = 1/T_x = V_x (1/E_c T_1)$$

$$f_x = V_x (1/E_c T_1)$$

Hay que recalcar que para lograr la operación satisfactoria del sistema es indispensable que E_c sea mayor en magnitud que V_x , o bien que la resistencia R del lado del monostable sea más pequeña que la del lado de la tensión V_x de tal manera que se pueda garantizar que se invierta la pendiente a la salida del integrador al aplicarse E_c . Del análisis hasta aquí realizado se observa que la frecuencia f_x sólo depende de V_x y de las constantes E_c y T_1 . Sin embargo, en la práctica esto no es rigurosamente cierto, ya que al plantear las expresiones analíticas se consideraron los componentes del sistema idealizados. Concretamente se despreciaron los siguientes factores.

- 1 El voltaje y corriente de desbalance del integrador A1.
- 2 El voltaje de desbalance de A2.
- 3 El voltaje de error del comparador A2.
- 4.- Las posibles variaciones de la fuente de referencia V_r .

2.5.3.2 Convertidores A/D voltaje - anchura de impulsos.

Este convertidor se basa en la generación de un voltaje en rampa de pendiente constante, que vuelve a cero al alcanzar un determinado valor.

El circuito correspondiente recibe por ello el nombre de generador de diente de sierra, el cual se ilustra en la Fig. 2.24 y funciona de la siguiente manera:

Cuando el interruptor está cerrado, la salida del circuito se encuentra a un nivel de voltaje nulo. Al abrirse el interruptor se genera una rampa creciente que vuelve a cero al cerrarse nuevamente el interruptor. En la Fig. 2.25 se ilustra el diagrama de secuencia de las señales del circuito.

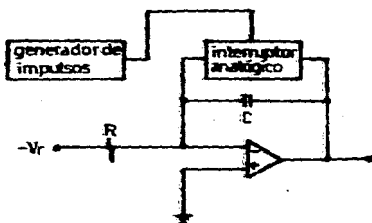


Fig. 2.24 Circuito de un generador de tensión en diente de sierra.

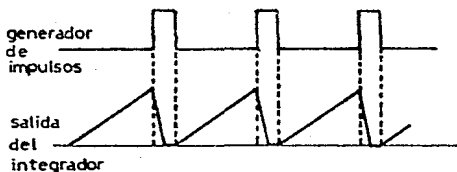


Fig. 2.25 Diagrama de secuencia de las señales del circuito anterior.

Si la salida del generador en diente de sierra se compara con la tensión analógica de entrada, como se ilustra en la Fig. 2.26, se obtiene a la salida del comparador una secuencia de impulsos de frecuencia constante que permanecen en estado cero un tiempo proporcional a la citada tensión analógica, tal como se representa en la Fig. 2.27. Midiendo el tiempo durante el cual se encuentra en nivel cero la salida del comparador, se puede obtener una información digital proporcional al voltaje analógico.

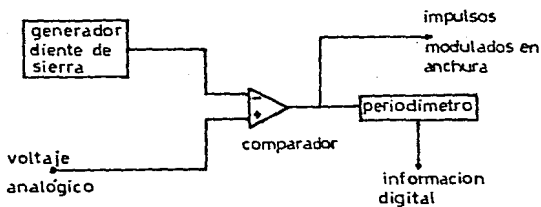


Fig. 2.26 Circuito de un convertidor A/D voltaje - anchura de impulso.

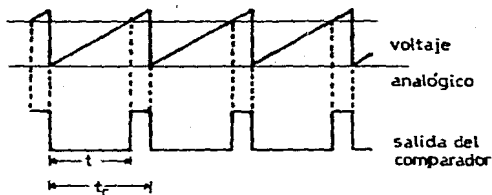


Fig. 2.27 Diagrama de secuencias de las señales del convertidor voltaje - anchura de impulsos.

En la Fig. 2.28 se ilustra un periodómetro digital que es similar al frecuencímetro pero con una diferencia fundamental.

En lugar de contar los impulsos externos durante un intervalo de tiempo constante, se cuentan los impulsos de un generador durante el periodo de aquellos. Para ello se conecta la salida del generador a la entrada T del contador y la unidad de control recibe como entrada los impulsos externos. De esta forma después de realizar la puesta a cero del contador, desinhibe el conteo desde que se produce un flanco (por ejemplo, el de subida) de los impulsos externos hasta el siguiente. El contenido del contador al final de dicho intervalo es una medida del periodo de los impulsos externos. El registro de salida cumple la misma función que el frecuencímetro.

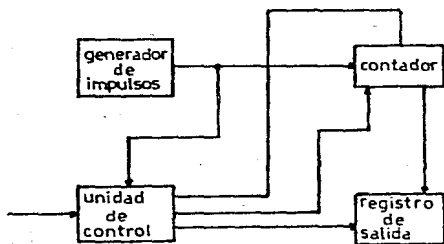
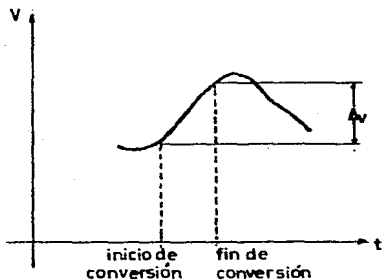


Fig. 2.28 Esquema de bloques de un periodómetro digital.

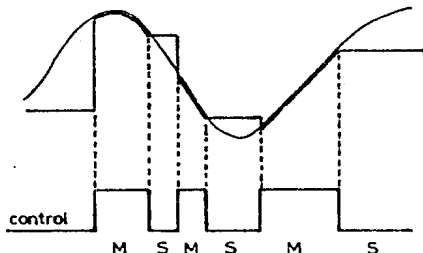
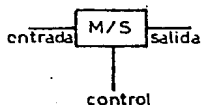
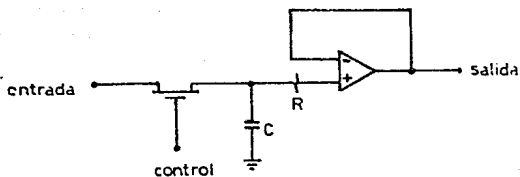
2.5.4 Parámetros de operación del convertidor A/D.

2.5.4.1 Tiempos de adquisición y apertura.

Cuando se desea digitalizar una señal que cambia rápidamente de valor puede ocurrir un cambio significativo en el valor de dicha señal antes de que termine la conversión. Esta anomalía en sí es una fuente de error que además puede generar otros errores.



Para reducir los efectos de esta anomalía se emplea un circuito denominado muestra y sostén (sample and hold). Se trata de un interruptor electrónico de alta velocidad usado para tomar muestras de la señal y un circuito capacitivo seguido de un amplificador de ganancia unitaria, usado para almacenar el valor muestreado de la señal.



Dos parámetros de este circuito son muy importantes: el tiempo de adquisición y el tiempo de apertura. El primero se refiere al tiempo necesario para cerrar el interruptor y cargar el capacitor al voltaje de la señal de entrada. El tiempo de apertura es el tiempo que requiere el interruptor para abrir completamente. Idealmente estos tiempos deben tender a cero.

2.5.4.2 Tiempo de conversión.

Es el tiempo que tarda un convertidor para realizar una conversión completa, desde el instante que se aplica una señal de entrada (un código ó un comando) hasta que aparece la salida. Si un

convertidor de 12 bits especifica: $t_{\text{set-up}} = 20 \mu\text{seg}$ y $2 \mu\text{seg} \times \text{bit}$ de conversión se tiene:

$$\text{tiempo de conversión } t_c = 20 \mu\text{seg} + 2 \mu\text{seg} \times 12 = 44 \mu\text{seg}$$

2.5.4.3 Resolución.

Esta medida se refiere al valor mínimo de voltaje que se puede convertir. Se acostumbra asociarle la letra Q a este parámetro y se define por:

$$\text{Resolución } Q = \text{rango de escala completa} / 2^N$$

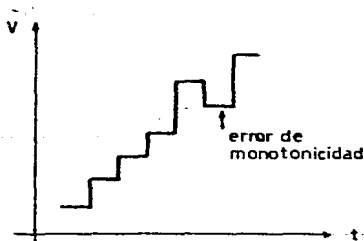
donde N = número de bits del convertidor.

Para un convertidor de 10 bits y rango de escala completa de 10 volts

$$Q = 10\text{v} / 2^{10} = 10\text{v} / 1024 = 9.75 \text{ milivolts.}$$

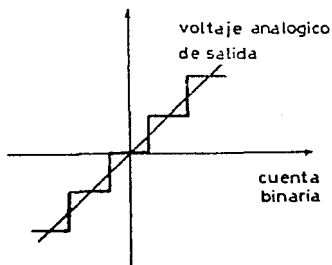
2.5.4.4 Monotonidad.

Un convertidor A/D ó D/A es monótonico si su salida se incrementa o permanece constante cuando la entrada se incrementa para todo el rango de la escala.



2.5.4.5 Error de cuantización (valor máximo).

Este error se refiere a la diferencia punto a punto entre el valor de una señal analógica dada y su correspondiente señal discretizada en amplitud (cuantizada).



El valor máximo del error de cuantización E_Q está dada por:

$$E_Q = 1/2(\text{rango de escala completa}/2^N),$$

donde N = número de bits del convertidor.

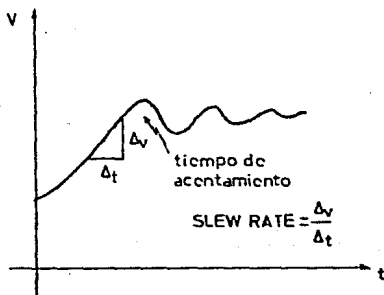
También se expresa como $E_Q = \pm 1/2 \text{ LSB}$ ó $E_Q = Q/2$.

2.5.4.6 Rapidez de cambio de salida (slew-rate).

Es una medida de la velocidad de respuesta del convertidor y se especifica en volts por microsegundo. Para los convertidores D/A este parámetro se obtiene de la respuesta a un escalón unitario.

Si un convertidor analógico-digital se emplea para digitalizar señales rápidas, como por el teorema de muestreo se requieren mínimamente dos muestras por ciclo, tal convertidor A/D deberá especificarse con un slew-rate \geq que el slew-rate de una señal

senoidal de amplitud igual a la escala completa de voltaje y una frecuencia el menor igual a la frecuencia de Nyquist.



2.5.5 Selección del convertidor A/D.

Existen dos factores básicos para iniciar el proceso de selección:

- 1.- Definir claramente el problema que se pretende resolver reuniendo toda la información posible sobre el particular, y
- 2.- conocer el significado preciso de las especificaciones que dan los fabricantes ya que es común encontrar el mismo parámetro con diferentes especificaciones para fabricantes diferentes.

Ahora bien, los datos que se requieren para definir el problema en detalle pueden ser muchos, pero para seleccionar un convertidor generalmente basta con contestar las siguientes cuestiones:

- a) ¿Cuál es el rango de voltaje de entrada ?
- b) ¿Cuál es la resolución que se desea ?
- c) ¿Qué cantidad de error se puede tolerar ? o bien ¿Qué exactitud desea ?
- d) ¿Qué condiciones ambientales hay en el lugar de operación ? Estos son: de temperatura, presencia de corrosiva, humedad, etc.
- e) ¿Cuál es el tiempo máximo de conversión telecable ?
- f) ¿Con qué fuentes de energía se cuenta para la alimentación ? y ¿Qué característica tienen en regulación y estabilidad ?
- g) ¿Qué clase de código se requiere a la salida: binario, BCD, etc.
- h) La información de salida se necesita en serie ó en paralelo.
- i) ¿Qué niveles de señal se tiene a la salida ? ¿Es compatible con el sistema en que se va a usar ?
- j) La señal de entrada tiene ruido, es muestreada, es filtrada ó procesada en general.

k) ¿ Es posible procesar la señal de entrada antes de entrar al convertidor para facilitar la conversión ?

Por lo tanto se concluye que las cuestiones anteriores nos dan una base para seleccionar adecuadamente a los convertidores que se van a utilizar.

CAPITULO 3

PROCESAMIENTO DIGITAL DE SEÑALES CON AYUDA DEL MICROPROCESADOR Z-80,
UTILIZANDO EL CONVERTIDOR MC 1488LB Y LA INTEFFASE PERIFERICA
PROGRAMABLE 8255.

3.1. Descripción general del convertidor MC1488.

El MC1488 consiste en un amplificador de corriente de referencia, una escalera R-2R y ocho interruptores de corriente a alta velocidad.

Por su versatilidad solo se va a referir a la resistencia de referencia y al voltaje de referencia que necesitan ser añadidos.

Los interruptores son no inversores durante su operación, por esto, un estado alto en la entrada se convierte en una componente específica de corriente a la salida.

Los interruptores utilizan corriente dirigida a alta velocidad, la amplificación final consiste en una ganancia de carga activa.

Esto es por el paso de escalera con ganancia unitaria y retroalimentada.

El amplificador final contiene capacitancias parásitas a consecuencia de la escalera y el voltaje constante durante el switcheo, provee una baja impedancia en la terminal de igual voltaje por todos los lados de la escalera.

La escalera R-2R divide la corriente de referencia del amplificador proporcional a una componente relativamente binaria, los cuales son alicetados a los interruptores.

Siempre existirá una corriente remanente la cual es igual al bit menos significativo. Esta corriente es derivada a tierra y la máxima corriente de salida es de 255/255 del amplificador de corriente de referencia o 1.692mA a 2.00mA del amplificador de corriente de referencia y esto es si la corriente de la fuente del NPN se espereja perfectamente

3.1.1 Compensación y manejo del amplificador de referencia

El voltaje del amplificador de referencia se provee por la terminal 14, convirtiendo el voltaje de referencia en una corriente y transformando la mínima corriente residual para la alimentación de la escilera

La referencia de corriente de entrada del amplificador debe estar por la terminal 14, dependiendo del método o la polaridad del voltaje de referencia.

Conectando al voltaje de referencia positivo como se indica en Fig.3.1, la fuente del voltaje de referencia suministra la corriente total I_{14} .

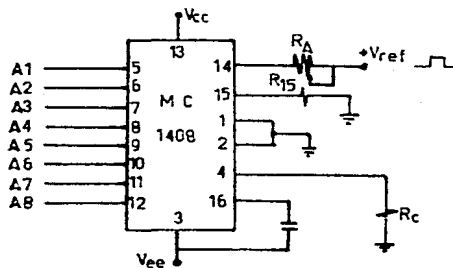


Fig 3.1

Para señales de referencia bipolares, como en el modo de multiplicación, R15 puede ser enlazado a un voltaje negativo correspondiente al mínimo nivel de entrada. Esto es también posible eliminando R15 con únicamente un sacrificio en el activado y el calor disipado.

Otro método para las entradas bipolares es mostrado en la Fig.3.2

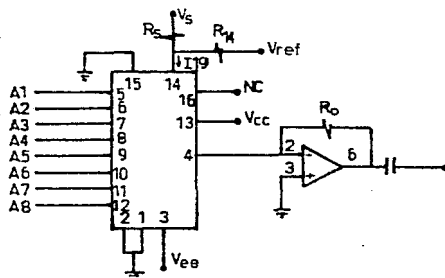


Fig.3.2

El valor del capacitor de compensación debe incrementarse proporcionalmente con R14, para mantener su propio margen de fase. Para valores de 2k Ω , 2.5k Ω , 5k Ω los valores mínimos de los capacitores son: 15pf, 37pf y 75pf respectivamente.

El capacitor sera conectado a V_{ee} para que este incremente el rechazo de la fuente negativa.

El voltaje de referencia negativo puede ser usado si R14 es aterrizado y el voltaje de referencia es aplicado a R15 como se muestra en la Fig.3.3

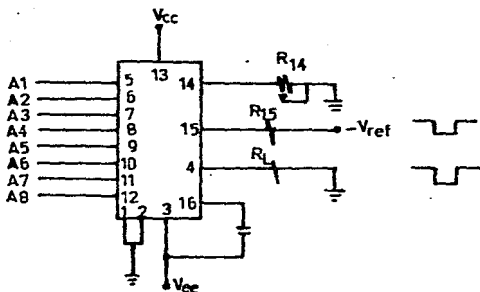


Fig.3.3

Una baja impedancia de entrada es la principal ventaja de este método.

La compensación involucra un capacitor conectado a Vee y la terminal 16 con los valores anteriormente descritos.

La señales de entrada bipolar puede ser manejado, conectando R14 a un voltaje de referencia positivo igual al pico positivo al nivel de entrada de la terminal 15.

Cuando un voltaje de referencia de C.D. es usado se recomienda utilizar un capacitor de paso conectado a tierra.

Una fuente lógica de 5 volts no se recomienda utilizarla como voltaje de referencia y una fuente de 5 volts regulados puede ser utilizada si R14 se conecta a una divisora de voltaje con un capacitor de 0.1µf conectado a tierra.

Para voltajes de referencia mayores de 5 volts un diodo es recomendado entre la terminal 14 y tierra. La terminal 14 se maneja por su impedancia alta tal como el flujo de corriente de un transistor.

3.1.2 Rangos del voltaje de salida.

El voltaje en la terminal 4 está restringido a un rango de -0.55 volts a $+0.4$ volts a una temperatura de 25°C , debido a los interruptores de corriente empleados en el MC1402.

Cuando un interruptor de corriente es apagado, el voltaje positivo en la terminal de salida puede encender el diodo de salida e incrementar el nivel de corriente de salida.

Cuando un interruptor de corriente es encendido el rango de voltaje negativo de salida es restringido.

La base del circuito final (transistor darlington) es un diodo. El voltaje está debajo de tierra cuando la terminal 1 es aterrizado, así que un voltaje negativo abajo del nivel de seguridad especificado manejará al dispositivo de baja corriente del darlington a saturación, reduciendo el nivel de corriente de salida.

El voltaje de salida negativa acordado para el MC1402 se puede extender a -5.0 volts abriendo la terminal 1 del circuito. El voltaje de la fuente negativa debe ser más negativa que -10 volts.

Utilizando una corriente de escala completa de 1.992mA y a una resistencia de carga de $2.5\text{k}\Omega$ entre la terminal 4 y tierra, nos llevará a un voltaje de salida de 256 niveles entre 0 y -4.98 volts.

La terminal 1 flotante no afecta la velocidad del convertidor o su disipación de poder. Sin embargo, el valor de la resistencia de carga determina el tiempo de switcheo debido al cambio del voltaje incrementado. Valores de la resistencia de carga arriba de 500Ω no afecta significativamente su trabajo, pero una carga de $2.5\text{k}\Omega$ incrementa el peor de los casos un tiempo de encendido de 1.2 μseg (cuando todos los bits están encendidos).

Si se desea valores de -2.8 volts a $+10.2$ volts a la salida del convertidor, se deberá aplicar en la terminal 1 un voltaje entre 0 y -2.8 volts. El valor de este voltaje será el nivel de salida negativo más alto permitido.

3.1.3 Rango de corriente de salida.

Un promedio máximo de corriente de salida de $4.2mA$ puede ser usado solamente para voltajes de fuente negativa típicamente más negativo que -6.2 volts, debido al voltaje de caída incrementado a través de la resistencia de 350Ω en el amplificador de corriente de referencia.

3.1.4 Precisión.

Precisión absoluta es la medida de cada nivel de corriente de salida con respecto a su valor promedio y es dependiente de su precisión relativa y su desviación de corriente a escala completa.

La precisión relativa es la medida de cada nivel de corriente de salida como una fracción de la corriente de escala completa.

La precisión relativa del MC1403 es esencialmente constante con la temperatura debido a la excelente disipación de temperatura de las resistencias monolíticas de la escalera.

La corriente de referencia puede variar con la temperatura ocasionando un cambio en la precisión absoluta de la corriente de salida. Sin embargo, el MC1403 tiene muy baja desviación con la temperatura a una corriente a escala completa.

Los circuitos MC1408 Y MC1508 garantizan una precisión dentro de $\pm 1\%$ LSB a $25^\circ C$ a una salida de corriente de escala completa de $1.792mA$. Esto corresponde a la corriente de salida (I_s) del amplificador de

referencia que maneja una escalera y su red con un valor de 2.3mA con la pérdida de un bit menos significativo, siendo su valor de 8pA y este corresponde al residuo de la escalera aterricada.

La entrada de corriente de la terminal 14 tiene un valor garantizado entre 1.5mA y 2.5mA.

Entonces los circuitos MC1403 con corriente a escala completa son llevados al mismo valor con R14. Así el valor de cero aparece a la salida del amplificador de error.

El contador desactivado y la banda de error puede ser mostrado en el osciloscopio detectado por comparadores o almacenados en un detector de picos.

Dos convertidores D/A de 8 bits no pueden ser usados para construir un convertidor D/A con una precisión de 16 bits.

Una precisión de 16 bits implica un error total de $\pm 1/2$ de una parte en 65536, ó $\pm 0.00076mA$, lo que es mucho más preciso que el $\pm 0.1\%$ proveído en las especificaciones para el MC1403 de 8 bits.

3.1.5 Precisión multiplicando

El MC1408 Puede ser usado en el modelo de multiplicación con una precisión de 8 bits. Cuando la corriente de referencia es variada sobre un rango de 256:1, la mayor fuente de error es la corriente de polarización del amplificador final .

Bajo las condiciones más pésimas, estos 8 amplificadores pueden contribuir con una corriente extra total de 1.6pA en la terminal de salida

Si la corriente de referencia en el modo de multiplicación esta en un rango entre 1.6pA a 4.0 mA, los 1.6pA contribuyen a generar un error

de 3.1 de LSB. Esto es correcto para una precisión referenciada para 8 bits a 4.0mA.

Un convertidor monotónico es aquél que surte un incremento en corriente para cada incremento en la palabra binaria. Típicamente el MC1409 es monotónico para todos los valores de I_{ref} arriba de 0.5mA. El rango recomendado de operación con una corriente es de 0.5mA a 4.0mA.

3.1.5 Tiempo de encendido.

El peor de los casos durante la condición de switcheo ocurre cuando todos los bits están switcheando a encendido, lo que corresponde a un transición de un nivel bajo a un nivel alto para todos los bits.

Este tiempo es típicamente de 300 nseg para el encendido con un margen de ± 1 LSB para una precisión de 8 bits, y 200 nseg a ± 1 LSB para una precisión de 7 y 6 bits.

El apagado es típicamente por debajo de 100 nseg. Estos tiempos son aplicables cuando $R_L \leq 500\Omega$ y $C \leq 25pF$.

El switch sencillo más lento es el bit menos significativo el que se enciende y se apaga a 250 nseg y se apaga en 80 nseg.

En aplicaciones donde el convertidor D/A funciona en un modo de rampa positivo, la condición de switcheo del peor de los casos no sucede y un tiempo de encendido menor que 300 nseg puede realizarse.

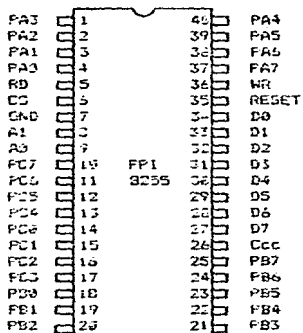
El bit A7 enciende en 200 nseg y se apaga en 80 nseg, mientras que el bit A5 enciende a 150 nseg y apaga en 60 nseg.

Debe tenerse mucho cuidado en el diseño de la tarjeta donde se aplica el MC1409 ya que usualmente este el factor dominante en el resultado de pruebas satisfactorias cuando se mide el tiempo de encendido.

3.2 Interfase periférica programable 8255. (PPI 8255).

El PPI 8255, Fig.3.4a y Fig.3.4b, sirve de ayuda en la conexión a la computadora de dispositivos que envía octetos completos cada vez (o incluso palabras de 12, 16 o 24 bits). La transmisión paralelo es útil en todas aquellas aplicaciones que requieren unas transmisiones a gran velocidad, y utilicen dispositivos no demasiado alejados del computador central. No hay ninguna sincronización especial en las transmisiones paralelo. Los octetos se envían tan rápidamente, o tan lentamente, como permite el software. Si la transmisión debe ser lenta, se introducen retardos por software. La velocidad máxima de transmisión viene limitada por la rapidez con que el sistema puede sacar los datos.

El 8255 viene en chips de 40 terminales. Tiene 24 líneas de entrada o de salida, para las cuales el usuario puede definir cantidad de configuraciones. Hay tres modos de transmisión básicos: El modo 0 - entrada /salida básica ; el modo 1 - entrada /salida habilitada y el modo 2 -bus bidireccional. Las 24 líneas se agrupan en dos grupos de 8 bits y dos grupos de 4 bits.



NUMERO DE LAS TERMINALES

D7-D0	BUS DE DATOS (BIDIRECCIONAL)
RESET	ENTRADA RESET
CS	SELECCION DE CHIP
RD	ENTRADA DE LECTURA
WR	ENTRADA DE ESCRITURA
A0-A1	DIRECCION PORT
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
Vcc	ALIMENTACION + 5 VOLTS
GND	TIERRA

Fig.3.4a

TENSIONES DE ALIMENTACION

→ + 5 V
→ GND

BUS DE DATOS BIDIRECCIONAL

D7-D0

BUFFER BUS DE DATOS

BUS DE DATOS INTERNO (8 BITS)

RD
WR
A1
A0
RESET
CS

LOGICA DE CONTROL DE LECTURA ESCRITURA

GRUPO A CONTROL

GRUPO A PORT (B)

E/S PA7-PA6

GRUPO A PORT (B) (4)

E/S PA7-PA6

GRUPO B PORT (C) INF (4)

E/S PC3-PC6

GRUPO D CONTROL

GRUPO (B) PORT (B)

E/S PB7-PB6

Fig 3.b

En modo 2, hay 16 maneras de definir las direcciones (entrada o salida) de los cuatro grupos de bits. Los datos sencillamente se envían o se reciben por ellas.

En modo 1, los dos grupos de 4 bits sirven de control y estado, y los grupos de 8 bits de datos. Cada grupo 8 bits se puede definir como de entrada o salida. En este modo el usuario mira un cierto bit del octeto de estado para saber si el dispositivo externo está preparado. Si lo está, el octeto de datos se puede transmitir.

Las ordenes se transmiten al 8255 via un puerto de E/S especial.

Estas ordenes afectan a características como el agrupamiento, la dirección de los puertos, y las asignaciones de control y estado.

LA Fig.3.5 muestra la programación del PPI 8255.

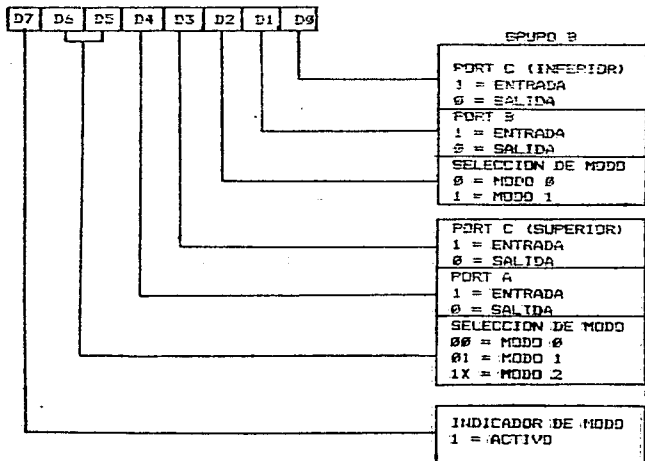


Fig.3.5

3.2.1 Interfase.

Interfazar se define como la unión de un miembro de un grupo en la manera que puedan funcionar de una manera compatible y coordinada.

Interfazar con una computadora se define como la sincronización de la transmisión de datos digitales entre la computadora y los dispositivos externos, incluyendo dispositivos periféricos de entrada/salida y memoria.

Los sistemas de computación deben de contar al menos, con un dispositivo periférico de entrada que la permita al usuario enviar información a la CPU y con dispositivos de salida por la CPU le puede mostrar los resultados de los procesamientos ordenados.

El Z-98 cuenta con dos instrucciones para realizar la transferencia de datos con los periféricos: de entrada (IN) y salida (OUT).

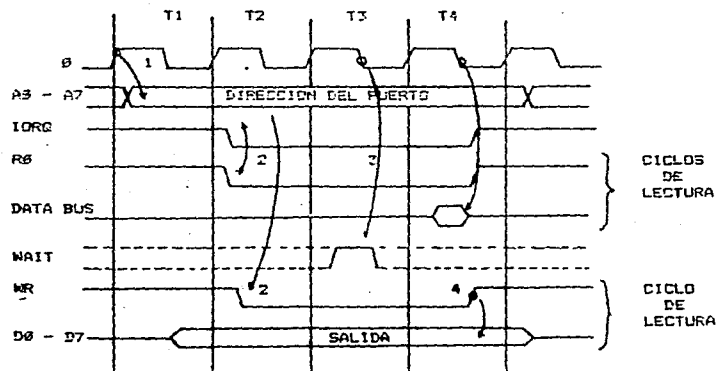


Fig.3.6 cronograma de los ciclos de entrada o salida para el Z80

3.2.1.1 Tiempos de instrucción OUT.

En la Fig.3.6 se ilustra la ejecución de la instrucción OUT que consta de 3 ciclos de máquina:

- A) Fetch
- B) Leer memoria
- C) Salida

A) Fetch:

La CPU obtiene el código de la instrucción direccionado por el contador del programa (PC), en este caso 03H (código de OUT). El PC se incrementa en uno. Este código le indica a la unidad de control que es una instrucción de salida por lo que debe leer la localidad direccionada por el PC con un ciclo de máquina de Leer memoria.

B) Leer memoria:

La CPU reconoce este ciclo habilitando las señales \overline{RD} Y \overline{MREQ} en el estado T1; envía el PC al bus de direcciones.

Lee el código de selección del puerto en la localidad de memoria direccionado por el bus de dirección en el estado T3. El PC se incrementa en uno.

C) Salida:

Una vez terminado el ciclo anterior la CPU pasa a ejecutar un ciclo de salida. En el estado T1 la CPU envía el código de selección del puerto por el bus de dirección (líneas A7-A8).

Durante el estado T2 la CPU envía el dato al bus de datos y habilita la señal \overline{DRD} . Finalmente en el estado T3 la CPU genera la \overline{WR} que habilita al puerto de salida a leer el dato en su registro de datos.

3.2.1.2 Tiempo de la instrucción IN.

La ejecución de la instrucción IN es semejante a la de la instrucción OUT de 3 ciclos de máquina, como se ilustra en la fig.3.6.

- A) Fetch
- B) Leer memoria
- C) Salida:

A) Fetch:

La CPU obtiene el código de la instrucción direccionada por el PC. En este caso es DBH (código IN). El PC se incrementa en uno. Este código DBH le indica a la unidad de control que es una instrucción de entrada por lo que debe leer la localidad direccionada por el PC con un ciclo de máquina de Leer memoria.

B) Leer memoria

La CPU reconoce este ciclo habilitando las señales \overline{RD} y \overline{MREQ} , en el estado T1 envía al PC al bus de direcciones.

Lee el código de selección del puerto en la localidad de memoria direccionado por el bus de dirección. El PC se incrementa en uno.

C) Entrada

El CPU pasa a ejecutar un ciclo de máquina de entrada.

En el estado T1 la CPU envía el código de selección del puerto por el bus de dirección (Líneas A7-A8). Durante el estado T2 la CPU habilita las señales \overline{RD} e \overline{IORQ} para ordenar que el puerto seleccionado envíe el dato al bus de datos. Finalmente, en el estado T3 la CPU lee el bus de datos con la salida del pulso de reloj.

3.2.2 Transmisión de datos.

Es importante señalar que durante los ciclos de máquina de entrada y de salida el bus de dirección se utiliza en 8 (A2-A7) de las 15 líneas.

Normalmente los dispositivos de E/S son mas lentos que las computadoras. De aquí que una computadora tiene que esperar a que el dispositivo se encuentra listo para recibir o para transmitir un dato nuevo.

Los buses de dirección de datos y de control se deben conectar a todos los periféricos.

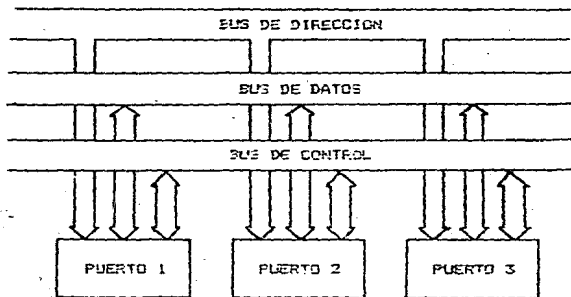


Fig.3.7 bus de microcomputadora

En la Fig.3.7 se ilustra los buses de una microcomputadora con diferentes dispositivos periféricos. Este modo de operación se conoce con el nombre de línea compartida, en donde cada dispositivo conectado a los buses del sistema se deben comportar como si fuera el único dispositivo conectado al sistema.

Esta condición se logra con el uso de los interfases, las cuales deben cumplir con los siguientes requisitos:

A) Decodificar el código de selección del dispositivo que envía la computadora y responder sólo si el código es idéntico al de él.

E) Decodificar los códigos de los comandos que recibe de la computadora y generar las señales de control para efectuar las operaciones ordenadas.

C) Enviar a la computadora la información que describa el estado del dispositivo periférico.

D) Efectuar la transferencia de datos entre la computadora y el dispositivo periférico.

3.2.2.1.- Selección del dispositivo.

Un pulso de "selección de dispositivo" es un pulso de sincronización generado por la interfaz para sincronizar la transferencia de datos entre la computadora y un dispositivo periférico de entrada ó de salida específico.

Cada interfaz debe tener un selector de código de selección que le permita generar el pulso de selección de dispositivo, cada vez que la CPU envía por el bus de dirección su código de selección. Al generarse el pulso de selección de dispositivo la interfaz queda habilitado para recibir las señales de control de la CPU para el periférico.

La Fig.3.8 muestra un selector con código de selección 5AH. Cuando el valor en el bus de dirección es de 5AH la salida de la compuerta NAND pasa a nivel bajo, indicando a la interfaz que la computadora se va a comunicar con ella.

Este tipo de circuito selector debe ser parte de la interfaz del periférico.

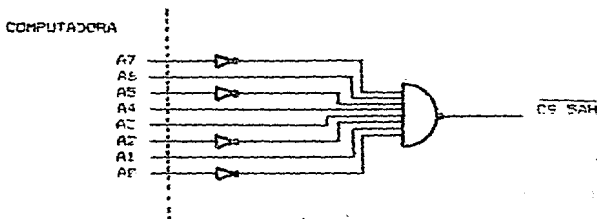


Fig 3.8

3.2.2.2 Decodificador de comandos y control.

Las líneas de control se conectan a todos los dispositivos periféricos. Estas líneas de control pasan a la interfaz a través de compuertas por medio de la señal de salida del selector de código. De esta forma sólo un dispositivo procesa las señales de control que envía la CPU. La interfaz debe tener un circuito para decodificar la señal de control y posteriormente indicar al dispositivo periférico el comando que debe ejecutar. El circuito decodificador depende de las funciones que pueda ejecutar el periférico. Algunos periféricos realizan funciones sencillas de entrada y salida por lo que requieren decodificadores uno a uno que permitan únicamente el paso de las señales de control. La Fig.3.9 ilustra un circuito que permite el paso de las señales de control \overline{RD} , \overline{WR} y \overline{IORQ} para un periférico de E/S código de selección 75H.

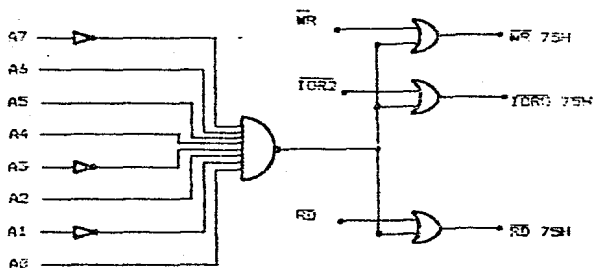


Fig.3.9

Otros periféricos requieren de más información para realizar adecuadamente sus funciones por lo que las señales de control de la CPU no son suficientes, por ejemplo: velocidad de transmisión, cantidad de bits, números de bits de pasada, tipo de paridad de transmisión, etc.

Para resolver este problema se utilizan las palabras de control, las cuales tienen codificados los parámetros que se requieren.

La interfaz del dispositivo debe tener un registro para recibir la palabra de control y alimentar al decodificador. Las salidas del decodificador controlan las diferentes partes del dispositivo periférico. Cada bit de la palabra de control, controla una operación del periférico.

La tabla 3.1 ilustra un ejemplo de la palabra de control para un puerto de E/S serie

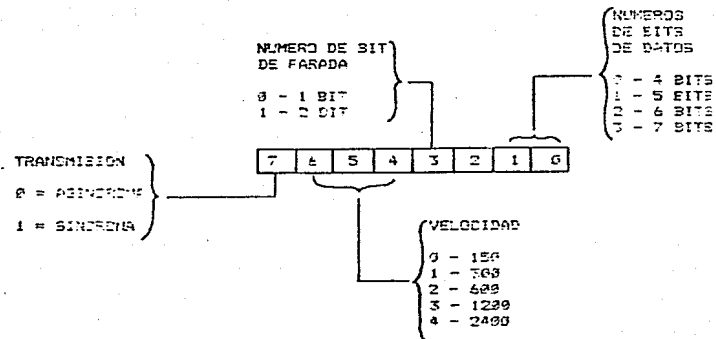


tabla 3.1

3.3 SOFTWARE DE SEÑALES.

3.3.1 CUADRADA.

Del diagrama de flujo y su respectivo programa se observa que en las líneas 2600 - 2602 se programa en el microprocesador la palabra de control que es el dato que le indicará al microprocesador que se hará uso de los periféricos de entrada y de salida, utilizando en este caso el puerto A.

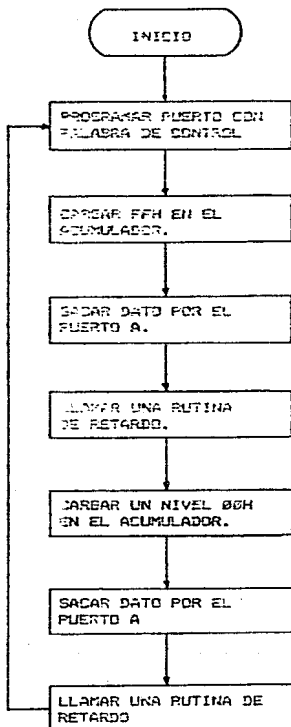
En las líneas 2604 - 2606 se genera un nivel alto, esto es, se carga en el acumulador un FFH para después, mediante la instrucción OUT, indicarle al microprocesador que transfiera el dato por el puerto de salida, obteniéndose el dato en paralelo a la entrada del convertidor por que ésta lo decodifique y se pueda tener a la salida una corriente correspondiente al V_{ref} del convertidor.

En las líneas 2620 - 262A se encuentra la subrutina RETARD que genera un retardo para así mantener un nivel alto o bajo según se requiera, y esto es lo que dará en si la duración del pulso.

En las líneas 260B - 260F se genera un nivel bajo de la misma manera que se generó el nivel alto y con su respectivo retardo para mantener el nivel bajo proporcional al nivel alto.

Finalmente se observa a la salida del convertidor corrientes analógicas correspondientes a los niveles digitales, y así mediante el Amp Op, que se utiliza como convertidor I-V, se observa con la ayuda del osciloscopio una onda cuadrada.

DIAGRAMA DE FLUJO PARA GENERAR UNA ONDA CUADRADA.



HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA: Rutina para generar una onda cuadrada en un convertidor digital analógico.

LOCALIDAD	CODIGO DE MAQUINA	ETIQUETA	MNEMONICO	COMENTARIOS
2999	3E A3		LD A, A3	Pto A de SALIDA
2992	D3 07		OUT (27).A	Palabra de control: cargarla en el registro de control.
2904	3E FF	INICIO:	LD A, FF	Carga de un nivel alto (FFH) en A
2905	D3 A4		OUT (94).A	El (A) sacado por el Pto A
2908	CD 23 28		CALL RETARD	Llamar a la subrutina Retard
290B	3E 00		LD A, 00H	Carga de un nivel bajo (00H) en A
290D	D3 04		OUT (04).A	El (A) sacado por el Pto A
290F	CD 20 29		CALL RETARD	Llamar a la subrutina RETARD
2912	18 F0		JR INICIO	Brinca a INICIO
2920	16 0F	RETARD:	LD D, 0F	Subrutina de retardado para mantener un nivel estable
2922	1E 0F	OTRO:	LD E, 0F	
2924	1D	LOOP:	DEC E	
2925	20 ED		JRNZ LOOP	
2927	15		DEC D	
2929	20 F6		JRNZ, OTRO	
292A	00		RET	

3.3.2 TRIANGULAR.

Analizando cada uno de los programas para la generación de las señales se puede observar que en las primeras instrucciones se programa la palabra de control la cual se explicó con anterioridad en que consiste, y que servirá exclusivamente para indicarle al microprocesador que los datos que lleguen al puerto "A" los transfiera a la salida y así pueda llegar ese dato al convertidor D/A. Por todo esto en el análisis de los siguientes programas se darán por entendido las primeras instrucciones.

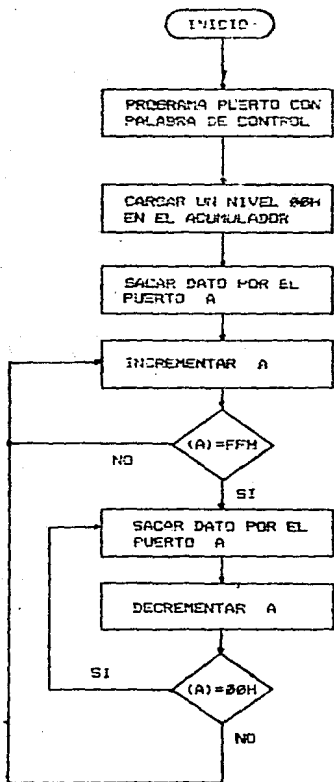
Del diagrama de flujo y su respectivo programa se puede observar que en las líneas 2834-2835 se genera un nivel bajo. Esto es para poder empezar la generación de la señal en el origen para después en la línea 2838 incrementar el valor del dato en cada ciclo de reloj hasta llegar a un nivel FFH y así, conforme se va incrementando el valor del dato, se va obteniendo por el puerto "A" de salida.

En las líneas 2839-2842 se puede observar que el dato en ese momento tiene un nivel alto para después indicarle al microprocesador que lo decremente y conforme se va decrementando el valor del dato se va obteniendo por el puerto de salida, generando con todo esto una señal triangular.

En las líneas 2842-2844 se genera un loop para que la señal esté presente todo el tiempo.

Y así, al igual que todas las señales que se generan, a la salida del convertidor se obtendrán corrientes proporcionales al V_{ref} del DAC, por lo cual al circular por el amplificador operacional, que es un convertidor de I-V, se pueda visualizar la señal con ayuda del osciloscopio.

DIAGRAMA DE FLUJO PARA GENERAR UN SEÑAL TRIANGULAR



HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA: Rutina para generar una señal triangular
en un convertidor digital analógico

LOCALIDAD	CODIGO DE MÁQUINA	ETIQUETA	MNEMONICO	COMENTARIOS
2831	7E A6		LD A, A6	Puerto A de salida
2832	03 07		OUT (07), A	Palabra de control cargarla en el pto de control
2834	3E 00		LD A, 00H	Cargar un nivel bajo en A
2836	D3 04	INICIO:	OUT (04), A	Sacalo por el puerto A
2838	3C		INC A	Incrementa el valor de A
2839	FE FF		CP FF	Compara si el valor de A = FFH
2838	23 F9		JRNZ, INICIO	Si no ha llegado FFH ve a INICIO
283D	D3 04	SIGUE:	OUT (04), A	Carga una vez más el pto. A con A
283F	3D		DEC A	Disminuye A
2840	FE 00		CP 00	Compara con 00H (00H = CERO)
2842	20 F9		JRNZ, SIGUE	Si no es 00H ve a SIGUE
2844	19 F0		JR, INICIO	Si A = 00H ve a INICIO

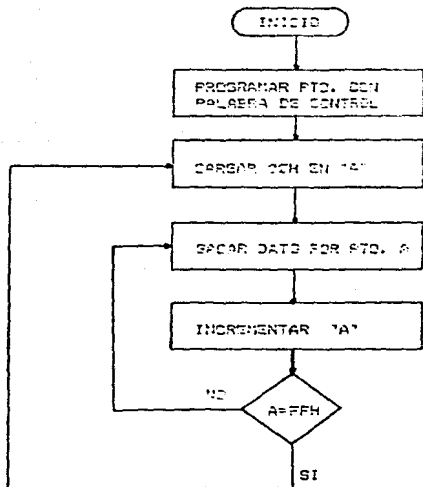
3.3.3 DIENTE DE SIERRA.

Como la generación de la señal diente de sierra es muy parecida a la señal triangular, sólo se analizan las instrucciones que hacen que sea diferente .

Se observa en el programa, que al igual que en señal triangular, en las líneas 2954 -295B se carga un dato en el acumulador que se irá incrementando de 00H - FFH, y conforme se incrementa el valor, por cada ciclo de reloj, se obtiene el dato de salida por el puerto "A".

En la línea 2967 se le indica al microprocesador que cuando llegue al valor FFH, inmediatamente lo cambie a 00H, siendo esta la diferencia entre las dos señales, (el dato en este caso no se va decrementando por cada ciclo de reloj, sino que el dato adquiere el valor de 00H inmediatamente).

DIAGRAMA DE FLUJO PARA GENERAR UNA SEÑAL DIENTE DE SIERRA



HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para generar una onda diente de
sierra en un convertidor digital analogico

LOCALIDAD	CODIGO DE MADINA	ETIQUETA	MNEMONICO	COMENTARIOS
2850	7E A7		LD A, 00	Pto. A de salida
2852	03 07		OUT (07), A	Palabra de control cargarla en el pto de control
2854	7E 00	CERO:	LD A, 00H	Carga (A) con 00H
2856	D3 0:	INICIO:	OUT (04), A	(A) sacalo por el pto. A
2858	3C		INC A	Incrementa (A)
2859	FE FF		CP FF	Compara si (A) = FF
285B	20 F9		JRNE, INICIO	Si (A) = FF brinca a INICIO
285D	18 F5		JR INICIO	Si (A) = FF ve a CERO

3.3.4 SENOIDAL.

La generación de la forma de onda es más complicada, ya que se requiere del cálculo de una serie de datos. Estos datos se calcularon por medio de la siguiente fórmula

$$\text{DATOS} = 127 \text{ SEN } \theta$$

El valor 127 es para que se alcance a generar el ciclo positivo y negativo de la onda senoidal, como se indica en la Fig.3.10.

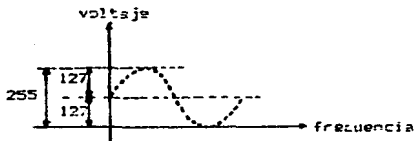


Fig.3.10

El ángulo de θ puede variar de 0° hasta 90° y esto es lo que determinará la cantidad de datos que queremos tener. En este caso se insertaron, para la generación de la onda, 91 datos.

Para poder entender con mayor claridad lo realizado se analizó el diagrama de flujo así como su respectivo programa.

Se puede observar que en las líneas 2674 - 2877 se le indicó al microprocesador dónde se encuentran los datos y la cantidad de estos para la generación de la señal.

En las líneas 2879 - 2885 se genera la mitad del ciclo positivo. Como ya se indicó anteriormente, la señal se genera a partir de 127H hasta un valor de 255H y esto se logra sumándole un 80H a cada uno de los datos.

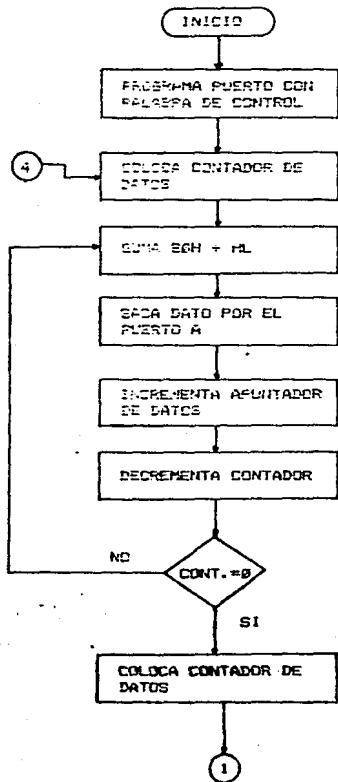
En las líneas 2883 - 289F se le indica al microprocesador que decremente el apuntador para así obtener la segunda mitad del ciclo positivo.

Finalmente con todo esto se obtiene la generación del primer ciclo positivo.

En las líneas 2893 - 28FD se obtiene de igual manera la generación del ciclo negativo, y esto se logra restándole a cada uno de los datos un 80H y así se completa un ciclo de la onda senoidal.

Por último, en la línea 289F, se le indica al microprocesador que realice un loop para que la señal sea totalmente constante.

DIAGRAMA DE FLUJO PARA GENERAR UNA ONDA SENOIDAL



DIASRAMA DE FLUJO PARA GENERAR UNA ONDA SENOIDAL

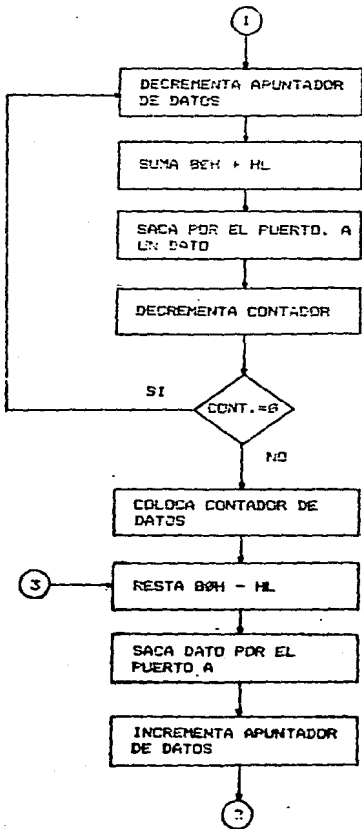
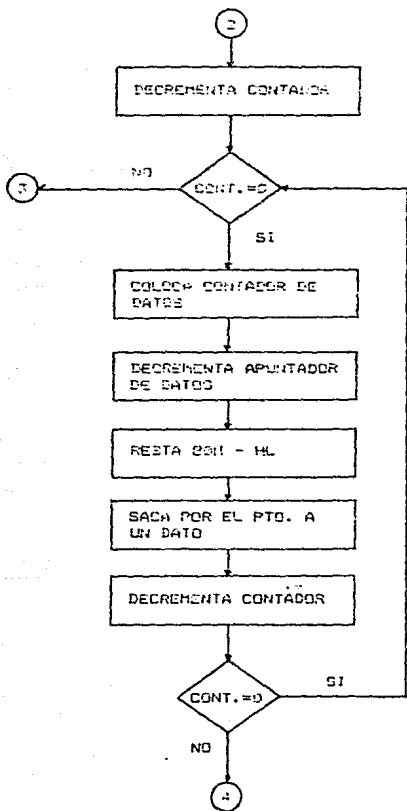


DIAGRAMA DE FLUJO PARA GENERAR UNA ONDA SENOIDAL



HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para generar una onda senoidal en un convertidor digital analogico

LOC-LIBRO	REGISTRO DE MACHINE	ETIQUETA	MEMORICOD	COMENTARIO
2873	05 07		LD A,00	Programa inicio de salida
2873	05 07		OUT (04),A	Palabra de control colocaria en el bit de control.
2874	01 A1 28	INICIO:	LD HL,2841h	Carga un dato de la tabla apuntada la direccion 2841
2877	05 58		LD B,58h	Carga un contador con 58h datos
2879	05 30	SUBE:	LD A,82h	
2879	05		ADD (HL)	Coloca el primer dato en el nivel de 127h
287A	02 84		OUT (04),A	Saca el primer dato por el pto. A
287E	03		INC HL	Incrementa el apuntador de datos
287F	10 F8		DJNZ,SUBE	Si el contador $\neq 0$ brinca a SUBE
2881	05 54		LD B,54h	Carga un contador con 54h
2883	03	BAJA:	DEC HL	Decrementa el apuntador
2884	0E 00		LD A,00h	Se coloca los datos a partir del nivel de referencia
2886	06		ADD (HL)	
2887	03 04		OUT (04),A	Saca el dato por el pto. A

HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para generar una onda senoidal en un convertidor digital analógico

LOCALIDAD	CODIGO DE MQUINA	ETIQUETA	MNEMONICO	COMENTARIOS
2889	10 F8		DJNZ,BAJA	Si el contador $\neq 0$ brinca a BAJA
288B	96 5B		LD B,5BH	
288D	3E 83	2 π	LD A,80H	
288F	96		SUB (HL)	
2890	D3 04		OUT (04),A	Rutina para generar el ciclo negativo de la onda senoidal
2892	23		INC HL	
2893	10 F8		DJNZ, π	
2895	06 5A		LD B,5AH	
2897	2B	2 π	DEC HL	
2898	3E 83		LD A,80H	
289A	96		SUB (HL)	
289B	D3 04		OUT(04),A	
289D	10 F8		DJNZ, 2 π	
289F	20 D3		JRNZ, INICIO	Si el contador es igual que cero, brinca a INICIO

HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para generar una onda senoidal en un
convertidor digital analógico

LOCALIDAD	CODIGO DE		ETIQUETA	MNEMONICO		COMENTARIOS		
	MADUINA							
2BA1	01	02	04	07	09	0B	0D	
2BA8	0F	12	14	15	19	1A	1C	
2BAF	1F	21	23	25	27	29	2B	Tabla de 5xH para
2BR4	2D	2F	31	33	35	37	39	con los valores
2BRD	3C	3E	3F	41	43	45	47	calculados para la
2BC4	49	4B	4C	4E	53	51	53	construcción de
2BCB	55	57	58	5A	5B	5D	5E	una onda senoidal
2BD2	60	61	62	64	65	64	69	
2BD9	69	6A	6C	6D	6E	6F	79	
2BE0	71	72	73	74	75	7S	75	
2BE7	77	72	78	79	7A	7A	72	
2BEE	7B	7C	7C	7D	7D	7D	7E	
2BFS	7E	7E	7E	7E	7F	7F	7F	

3.4 HARDWARE DE SEÑALES.

En la Fig.3.11 se ilustra el diagrama del circuito que se utilizó para la generación de las señales: Cuadrada, Triangular, Diente de sierra y senoidal. En la parte anterior se describió el software para la generación de las señales por lo que el circuito físicamente no cambia, ya que para generar cada tipo de señal se utilizan programas diferentes.

En este circuito se empleó el Kit Z-80, la interfase periférica programable 8255, el convertidor MC1408LS, el Amp. OP.741, resistencias, capacitores, con las alimentaciones de voltaje como se ilustra en el circuito.

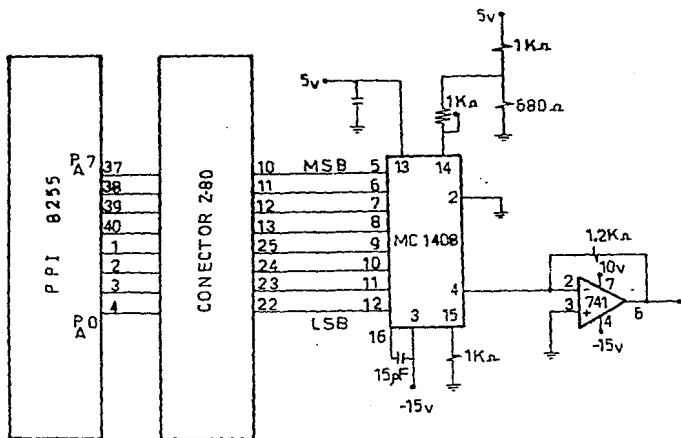


Fig.3.11

CAPITULO 4

PROCESAMIENTO ANALÓGICO DE SEÑALES A TRAVÉS DE LA SIMULACIÓN DE UN VOLTMETRO DIGITAL CON AYUDA DEL MICROPROCESADOR Z-80 UTILIZANDO EL CONVERTIDOR MC1408.

4.1 Generalidades

Uno de los propósitos de esta tesis es la aplicación y comprobación de convertidores, por lo que se realizó la simulación de un voltmetro digital utilizando la técnica de aproximaciones sucesivas.

Se utilizó este método ya que se tiene el mayor grado de exactitud y velocidad de conversión.

Esta técnica utiliza un convertidor digital - analógico (D/A) en un ciclo de realimentación para generar una señal analógica conocida. Tiene la ventaja de proporcionar una salida digital en paralelo después de la conversión (cuando se ha completado). También proporciona una salida en serie durante la conversión.

En la Fig.4.1, 4.2 se muestra el diagrama de bloques y las formas de onda respectivamente, del convertidor digital analógico de aproximaciones sucesivas.

Las entradas del convertidor D/A son controladas por el registro de aproximaciones sucesivas (RAS) el cual es, como se presenta en el microprocesador.

La salida del convertidor D/A es comparada contra la entrada analógica (V_{in}) por el comparador analógico y su salida controla el (RAS).

Al principio de una conversión, el MSB del convertidor D/A es encendido por el (RAS), produciendo una salida del convertidor D/A

igual a la mitad del valor de escala completa. Esta salida es comparada con la entrada analógica y si la salida del convertidor D/A es mayor que la entrada desconocida, el (MSB) apaga el MSB, pero si la salida del convertidor D/A es menor que la entrada desconocida, el bit MSB permanece encendido.

Diguiendo la conducta del MSB, el próximo bit más significativo es encendido y nuevamente la comparación es hecha entre la salida del convertidor D/A y la entrada desconocida. El mismo criterio a este de acuerdo a lo dicho anteriormente y este bit puede quedar apagado o encendido.

Este procedimiento se repite en cada bit, contando para el número total de entradas del convertidor D/A en el sistema.

Después de la comparación de cada bit, la salida digital es obtenida inmediatamente, esto es generando simultáneamente la salida en serie así como la salida en paralelo al final de la conversión. La salida en serie provee primero el MSB seguido por los bits restantes en orden.

El tiempo total de conversión es el tiempo requerido para encender un bit, comparar la salida del convertidor D/A con la entrada desconocida y si es requerido apagar el bit, multiplicado por el número total de bits en el convertidor A/D.

El tiempo de conversión es por lo tanto constante y no es afectado por el valor de la entrada.

El circuito convertidor A/D de aproximaciones sucesivas tiene la desventaja de requerir un convertidor D/A, pero tiene la gran ventaja de su velocidad con excelente resolución.

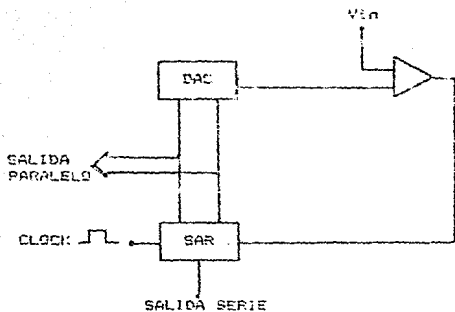


Fig.4.1 DIAGRAMA DE BLOQUES

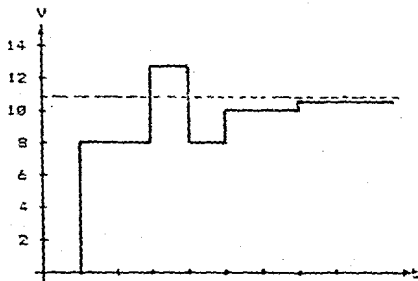


Fig.4.1 FORMA DE ONDA

4.2 Hardware y Software.

El propósito básico de un convertidor analógico-digital, es el de traducir un valor de voltaje ó corriente a un número binario correspondiente. En contraste con el convertidor digital-analógico, el convertidor analógico-digital puede instrumentarse de muchas formas, no solo de una. El modo que se escija depende de muchas features.

El método para el desarrollo del siguiente proyecto es el de aproximaciones sucesivas el cual se analizará paso a paso, para su mejor comprensión.

En la Fig.4.3 se muestra el hardware utilizado para el proyecto de la simulación del voltmetro digital y consta de las siguientes etapas:

- a) Etapa de conversión digital analógica
- b) Etapa de amplificación
- c) Etapa de comparación
- d) Etapa de conversión analógica a digital

a) Etapa de conversión digital analógica:

Este tipo de convertidor utiliza el enfoque básico de retroalimentación.

En el circuito implementado se utiliza un convertidor digital-analógico, que es el circuito integrado MC1405, el cual se usa para obtener una corriente de salida como resultado de un voltaje analógico de entrada y una palabra digital de 8 bits, por estar realizado en base a una configuración del tipo escalera R-2R y se trata de un convertidor de 8 bits que requiere para su operación de ± 5 volts y -5 volt.

Dentro del MC1405 una escalera R-2R divide una corriente de referencia en 8 corrientes de peso, igual a los dígitos del sistema binario de numeración.

La máxima corriente de salida es 255 partes de la corriente de referencia.

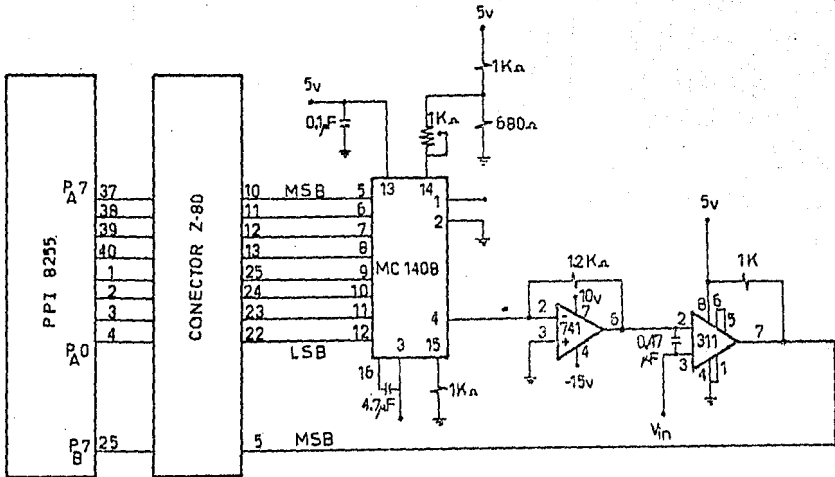
La salida de este convertidor se obtiene por la terminal número 4 del circuito integrado MC1405, en la cual se obtiene los aumentos de corriente para cada incremento de la palabra binaria.

La palabra binaria, se envía del MKE 280, a través del puerto periférico programable 8255 mediante el puerto "2".

b) Etapa de amplificación:

En esta etapa la corriente de salida obtenida del circuito integrado MC1405, como se observa en la Fig.4.3 pasa a un amplificador operacional 741 que actúa como convertidor de corriente a voltaje, la cual sirve para establecer el voltaje de referencia que sirve para realizar la comparación con el voltaje de entrada desconocido.

FIG. 4.3 HARDWARE DEL VOLMETRO DIGITAL.



c) Etapa de comparación:

En esta etapa se utiliza el circuito operacional LM 311. Como se pudo analizar en páginas anteriores es un excelente comparador.

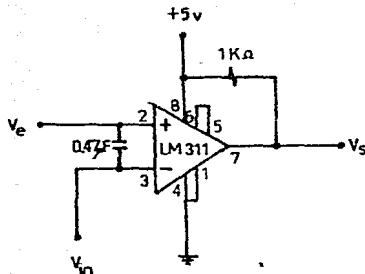
Como se observa en la Fig.4.3 una de las entradas del comparador (entrada no inversora) se utiliza para introducir el voltaje analógico obtenido del Asp Sp (convertidor de corriente a voltaje), y la entrada inversora se utiliza para introducir el voltaje analógico que se desea conocer.

Dependiendo de los voltajes que estén presentes a la entrada del comparador será la salida de este, y así obtenemos los niveles lógicos "1" (5 volts) "0" (0 volts).

A su vez los niveles lógicos son enviados al MK2 EP a través de su puerto periférico programable PPI 8255 y almacenando este dato en el puerto "B", donde también son leídos, para llevar a cabo las aproximaciones en 8 ciclos de reloj y esto lo hace principalmente la computadora con ayuda de su respectivo software.

En la Fig.4.4 se ilustra el circuito empleado en la simulación del voltmetro digital. Su análisis es similar a la Fig.1.16a, sólo que en este caso se utiliza un capacitor de 100pf y éste se utiliza para evitar el voltaje de umbral que se produce en la comparación de voltajes críticos.

En la práctica se pudo observar la ventaja de utilizar este circuito ya que utiliza un sólo voltaje de alimentación. A la salida de este circuito se obtienen los niveles lógicos requeridos por el puerto "B".



$$V_e < V_{in} \implies V_s = 0$$

SI

$$V_e > V_{in} \implies V_s = 1$$

FIG.4.4

d) Etapa de conversión analógica a digital:

En esta etapa la conversión analógica a digital es llevada fundamentalmente por el MKE Z80, la cual administra todos los recursos del hardware para lograr la conversión.

El MKE Z80 es programado con el algoritmo empleado el cual tiene como objetivo lograr la conversión.

4.3 Programa de aproximaciones sucesivas de 8 bits.

Las primeras instrucciones del MPU para el A/D de 8 bits está en la localidad de memoria 27FE - 2800, las cuales configuran el PPI para el correcto manejo de los datos de entrada y salida, para

control variado de funciones entre el sistema del MPU y el hardware externo.

En las localidades 2802-2806 se prepara la zona de trabajo, colocando un contador de 8 bits y asegurando que los registros estén totalmente en blanco.

En las localidades 2809 - 2833 se encuentra la subrutina de aproximaciones sucesivas.

Como se puede observar en el programa es encendido el MSB produciendo una salida del convertidor digital - analógico igual a la mitad del valor de la escala completa, siendo éste valor real de 1.67volts. Esta salida es comparada contra la entrada analógica y si la salida del DAC es mayor que la entrada desconocida, entonces la salida del comparador será un cero lógico. Este dato es leído en el puerto "B" como se ordena en la localidad 281A.

La subrutina del registro de aproximaciones sucesivas (SAP) apaga el MSB, pero si la salida del DAC es menor que la entrada desconocida, el MSB permanece encendido.

Siguiendo la conducta del MSB, el próximo bit más significativo es encendido y nuevamente la comparación es hecha entre la salida del DAC y la entrada desconocida. El mismo criterio existe de acuerdo a lo dicho anteriormente y este bit puede ser dejado encendido ó apagado. Este procedimiento de prueba de cada bit continúa para el número total de entradas del convertidor digital-analógico en el sistema.

En la tabla 4.1 se muestra un ejemplo de lo dicho anteriormente.

ETAPA	REGISTRO	VA' (V)	VA (V)	COMPARADOR
Condición inicial	0900	0	10.4	ALTO
1.- A) Hacer el MSB = 1 B) Dejarlo en "1" ya que VA' < VA	1000	0	10.4	ALTO
2.- A) Hacer el segundo MSB = 1 B) devolverlo a "0" ya que VA' > VA	1100	10	10.4	BAJO
3.- A) hacer el tercer MSB = 1 B) Dejarlo en "1" ya que VA' < VA	1010	10	10.4	ALTO
4.- A) hacer el LSB = 1 B) Devolverlo a "0" ya que VA' > VA	1011	11	10.4	BAJO
	1010	10	10.4	ALTO

TAÉLA 4.1

En las localidades de memoria 2815 - 2819 hay una instrucción de tiempo de espera (instrucción NOP). Esta instrucción servirá para dar el tiempo necesario para que llegue el dato al puerto "B" y pueda ser leído correctamente, y así se garantiza que la respuesta del circuito sea confiable.

En las localidades de memoria 2825 - 2843 se encuentra la subrutina para convertir de hexadecimal a BCD. Este método utilizado es el de dividir centenas y decenas, por lo tanto la conversión se realiza a base de divisiones. Esto se logra dividiendo el dato que se quiere convertir entre un 54H que equivale a un 100 decimal. Ya realizado esto, el dato restante se divide entre 6H que equivale a un 15 decimal, y así se obtiene finalmente el dato en BCD.

La división de dos números se logra por medio de restas sucesivas, como se puede observar en la subrutina que se encuentran en las localidades de memoria 284C - 286B. Para mayor información ver el apéndice número 5.

Para poder visualizar en el Display de 7 segmentos, los valores obtenidos y lograr finalmente la simulación del voltmetro digital, es necesario convertir el dato BCD a código de 7 segmentos (07S). Esto se logra por medio de la subrutina que se encuentra en la localidad de memoria 286C - 289D, dentro de esta subrutina se encuentra la subrutina CONVI, que se encuentra en la localidad de memoria 0394, y la tiene implementada el micro KIT. El método utilizado para esta conversión se denomina búsqueda en tablas.

La subrutina CONVI convierte el dato BCD que se encuentra en el acumulador al código de 7 segmentos para poder ser desplegado. Coloca el nibble (medio byte) menos significativo en el buffer 3 y el nibble más significativo en el buffer 4.

Como se puede observar en las localidades de memoria 2872 - 288F el dato se empaqueta y lo coloca en la zona de mensaje, primeramente los dígitos de menor orden y después los dígitos de mayor orden. Esto es sumamente importante para que el dato visualizado sea el correcto.

Finalmente para desplegar el valor obtenido en el display del micro KIT se hace uso de las subrutinas LIMPIA, DES y DESP 1 que se encuentran en las localidades de memoria del micro KIT 058F, 2003 y 0574 respectivamente

La subrutina LIMPIA se utiliza para blanquear lo que contiene el display y así no encimar una información con otra, logrando con esto la claridad de la información en el display.

Por consiguiente DESP 1 recibe en HL la dirección del mensaje a desplegar, solamente en el campo de direcciones del desplegado y lo despliega

DIAGRAMA DE FLUJO PARA LA SIMULACION DEL VOLMETRO DIGITAL

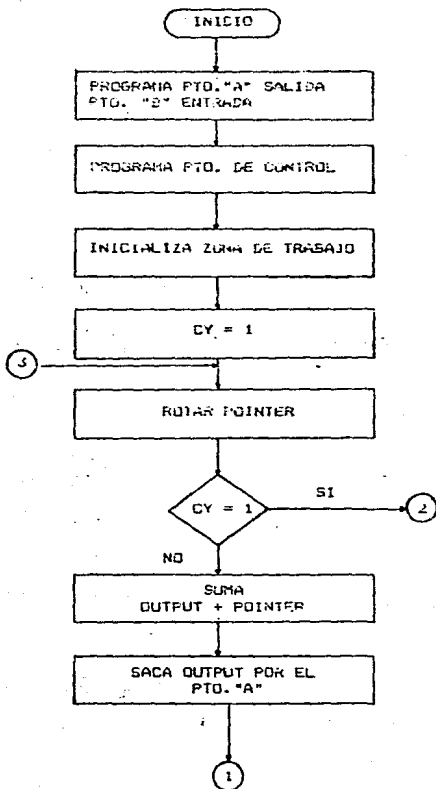
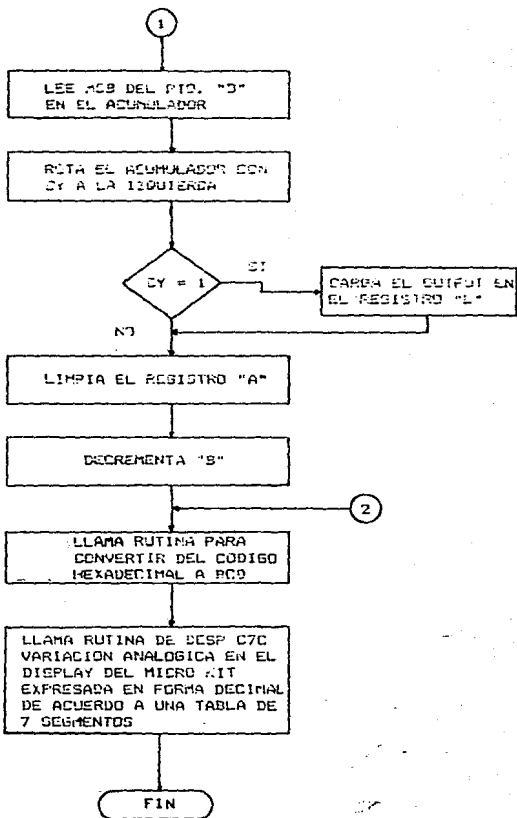


DIAGRAMA DE FLUJO PARA LA SIMULACION DEL VOLMETRO DIGITAL



HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para la simulación de un voltmetro digital con un rango de 0 - 7.55 Vcd

LOCALIDAD	CODIGO DE MQUINA	ETIQUETA	MEMORICO	COMENTARIOS
28FE	0E 0C		LD A, 50H	Programa etc. 01 salida etc. "E"
2800	03 07		OUT (04), A	Programa etc. 02 control
2802	06 0B	INICIO:	LD B, 0FH	Contador
2804	3E 00		LD A, 06H	Limpia "A"
2806	01 0000		LD H, 0000H	Limpia "HL"
2809	37		SCF	Coloca 1 en bandera de CY
280A	09 1C	FOXA:	TFH	FOXA registro "H" con CY a la derecha
280C	30 02		JRNC, SUMA	Si CY es cero salta a SUMA
280E	29 16		JRZ, BCD	Si signo es cero salta a BCD
2810	7D	SUMA:	LD A, L	Carga output en "A"
2811	84		ADD A, H	Suma output + pointer
2812	4F		LD C, A	Carga output en "C"
2813	D3 04		OUT (04), A	Saca el output por el pot. "A"
2815	00 --		NOP	Se da tiempo de
2816	00		NOP	espera para
2817	00		NOP	garantizar la

HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para la simulación de un voltmetro digital con un rango de 0 - 2.55 Vcd

LOCALIDAD	CODIGO DE MAQUINA	ETIQUETA	MNEPONICO	COMENTARIOS
2818	08		NGP	rescueta del
2819	06		NGP	circuito
281A	E3 05		IN A. (35)	Lee NGP del pto"B" en "A"
281C	CB 17		RLA	Rota el acumulador con CY a la izc.
281E	3A 01		JRNC,PREPORA	Si CY es cero salta a PREPORA
2820	69		LD L,C	Carga el output en "L"
2821	AF	PREPORA:	XOR A	Limpia "A"
2822	85		DEC B	Decrementa "B"
2823	E3 0A 28		JP ROTA	Salta a ROTA
2825	11 64 00	BCD:	LD DE,0354	Se convierten centenas a hexadecimal
2829	CD 4C 28		CALL DIVI	Llama a subrutina de división
282C	ED 43 01 29		LD (2701),BC	Guarda dato parcial BCD
282E	11 0A 00		LD DE,000A	Se convierten decenas a hexadecimal
2833	CD 4C 28		CALL DIVI	Llama a subrutina de división
2836	7D		LD A,L	
2837	41		LD B,C	Empaqueta el contenido de los registros BL en A
2838	0E 00		LD C,00	

HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para la simulación de un voltaje digital con un rango de 0 - 2.55 Vcd

LOCALIDAD	CODIGO DE MAQUINA	ETIQUETA	MEMONICO	COMENTARIOS
283A	CB 08		RRC, B	
283C	CB 29		RRC, B	
283E	CB 03		RRC, B	
283G	CB 08		RRC, B	
2842	06		ADD A, 9	
284C	32 02 29		LD (2802), A	Guarda dato parcial en PCP
2844	CD 6C 28		CALL DESP75	Convierte a código de 7 segmentos
2847	CB 08 27		JP INICIO	Salta a INICIO
284C	3F 10	DIVI:	LD A, 10H	
284E	4C		LD C, H	
284F	41		LD E, C	Subrutina de división
2850	4D		LD C, L	
2851	21 09 08		LD HL, 0809	
2854	CB 11	CARGA:	RL D	
2856	CB 10		RL B	
2858	CB 15		RL L	
285A	CB 14		RL H	
285C	E5		PUSH HL	
285D	ED 52		SBC HL, D	

HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para la simulación de un voltmetro digital con un rango de 0 - 2.55 Vcd

LOCALIDAD	CODIGO DE MAQUINA	ETIQUETA	MEMONICO	COMENTARIOS
2855	38 01		JR C, NAC	
2861	57		EX (SP), HL	
2862	E1	NAC:	POP HL	
2863	3F		OCF	
2864	3D		DEC A	
2865	20 ED		JRNZ, CARGA	
2867	CB 11		RL C	
2869	CB 10		PL B	
2868	C9		RET	
286C	7A 02 27	DESP73	LD A, (2902)	Convierte los dos menor orden a codi 32 de 7 siguientes
286F	CC D4 C5		CALL CONVI	
2872	3A 0A 29		LD A, (BUF3)	Coloca los dos digitos de menor orden en la
2875	32 06 20		LD (DES+3), A	zona de mensaje
2878	3A D9 2B		LD A, (BUF4)	
287B	32 05 20		LD (DES+2), A	
287E	3A 01 29		LD A, (2901)	Convierte los dos digitos de mayor orden C7S
2881	CD 04 05		CALL CONVI	

HOJA DE CODIFICACION

DESCRIPCION DEL PROGRAMA Rutina para la simulación de un voltmetro digital con un range de 0 - 2.55 Vcd

LOCALIDAD	CODIGO DE MAQUINA	ETIQUETA	MEMORICO	COMENTARIOS
2884	3A EA 25		LD A, (RSP)	Coloca en area de mensaje
2887	06 8F		ADD A, 8FH	Coloca punto decimal
2889	32 84 21		LD (DES+1), A	Coloca los dos digitos de mayor orden en zona de mensaje
288C	3A D9 23		LD A, (RSP)	de mensaje
288F	32 83 20		LD (DES+0), A	
2872	0D 8F 05		CALL LIMPIA	Limpia area de despliegado
2895	21 E7 20		LD H, DES	Ajusta area de despliegado
2898	0D 74 05		CALL RESP :	Despliega mensaje
289B	09		RET	

CONCLUSIONES.

Se realizó el estudio de los convertidores A/D y D/A encontrando que para utilizar el convertidor se necesita conocer los parámetros del problema, y así seleccionar el método de conversión adecuado.

En el caso particular para la generación de señales se seleccionó el convertidor MC1408 que utiliza la técnica R-2R, ya que es un convertidor D/A.

Para la generación de señales se realizaron diferentes programas (Software) correspondiente a cada una de la señal Cuadrada, Triangular, Diente de Sierra y Senoidal, con un mismo circuito (Hardware).

Para la conversión A/D se realizó la simulación de un voltmetro digital obteniéndose un error real de conversión de una milésima.

Con un convertidor D/A se puede realizar la conversión A/D, esto es utilizando el Software y Hardware apropiado. Así como se realizó en la simulación del voltmetro digital.

Por lo que podemos concluir que con un microprocesador y un convertidor D/A se puede tener una comunicación, tanto del mundo analógico al digital, como del mundo digital al analógico.

Apéndice 1

Especificaciones eléctricas

Regímenes máximos absolutos*

Temperatura bajo polarización	Alcance específico de la operación
Temperatura de almacenamiento	-65°C a +125°C
Tensión en cualquier terminal con respecto a tierra	-0.5 V a +7 V
Disipación de potencia	1.5 W

*COMENTARIO: Los exceder por encima de los valores indicados bajo los regímenes máximos absolutos pueden ocasionar daños permanentes al dispositivo. Este es un régimen de exceso accidental y el funcionamiento del dispositivo no está replicado bajo estas mismas condiciones por encima de los indicados en el apartado operativo de estas especificaciones. La exposición durante largos períodos a los exceder por encima de los regímenes máximos absolutos puede afectar a la fiabilidad del dispositivo.

NOTA: Para la CPU-Z80 todas las características y propiedades idénticas para los modelos de 7 y 9 pines, excepto a lo:

$$I_{CC} = 200 \text{ mA}$$

CARACTERÍSTICAS EN C.C. DE LA CPU-Z80

$T_A = 0^\circ\text{C}$ a 70°C , $V_{CC} = 5 \text{ V} \pm 5\%$, salvo que se indique otra cosa.

Símbolo	Parámetro	Min.	Tip.	Max.	Unidad	Condiciones de prueba
V_{IH}	Tensión de nivel alto del reloj de entrada	-0.2		0.45	V	
V_{IL}	Tensión de nivel bajo del reloj de entrada	$V_{CC} - 0.4$		$V_{CC} - 0.5$	V	
V_{OH}	Tensión de nivel alto a la salida	-0.5		0.5	V	
V_{OL}	Tensión de nivel bajo a la salida	2.0		V_{CC}	V	
V_{IH}	Tensión de nivel alto a la salida		0.4	V		$I_{OH} = 1.0 \text{ mA}$
V_{OL}	Tensión de nivel bajo a la salida	2.4		V		$I_{OL} = -250 \mu\text{A}$
I_{CC}	Corriente de la fuente de alimentación			150	mA	
I_{IH}	Corriente de fuga a la entrada			10	μA	$V_{IH} = 0$ a V_{CC}
I_{OH}	Corriente de fuga a la salida tristado flotante			10	μA	$V_{OH} = 2.4$ a V_{CC}
I_{OL}	Corriente de fuga a la salida tristado flotante			-10	μA	$V_{OL} = 0.4$ V
I_{LH}	Corriente de fuga en el bus de datos en el modo de entrada			± 10	μA	$0 \leq V_{IN} \leq V_{CC}$

CAPACITANCIA

$T_A = 25^\circ\text{C}$, $f = 1 \text{ MHz}$.

con los terminales no medados puestos a tierra

Símbolo	Parámetro	Max.	Unidad
C_{in}	Capacitancia del reloj	35	pF
C_{IN}	Capacitancia de entrada	5	pF
C_{OUT}	Capacitancia de salida	10	pF

CPU-Z80

INFORMACION PARA PEDIDOS

- C - Cerámico
- P - Plástico
- S - Normalizado $5 \text{ V} \pm 5\%$ de 0°C a 70°C
- E - Ampliado $5 \text{ V} \pm 5\%$ de -40°C a 85°C
- M - Militar $5 \text{ V} \pm 10\%$ de -55°C a 125°C

CARACTERÍSTICAS EN C.C. DE LA CPL-289A

$T_A = 0 \text{ C a } 70 \text{ C}$, $V_{CC} = 5 \text{ V} \pm 5\%$, salvo que se indique otra cosa.

Símbolo	Parámetro	Mín.	Tip.	Máx.	Unidad	Condición de prueba
V_{IH}	Tensión de nivel bajo del reloj de entrada	-0.3		0.45	V	
V_{OH}	Tensión de nivel alto de reloj de entrada	$V_{CC} - 0.6$		$V_{CC} - 0.2$	V	
V_{IL}	Tensión de nivel bajo a la entrada	-0.3		0.3	V	
V_{OL}	Tensión de nivel alto a la entrada	2.0		V_{CC}	V	
V_{OH}	Tensión de nivel bajo a la salida			0.4	V	$I_{OL} = 1.5 \text{ mA}$
V_{OL}	Tensión de nivel alto a la salida	2.4		V_{CC}	V	$I_{OH} = -250 \mu\text{A}$
I_{CC}	Corriente de la fuente de alimentación		90	200	mA	
I_{IH}	Corriente de flujo a la entrada			10	μA	$V_{IH} = 0$ a V_{CC}
I_{OH}	Corriente de flujo a la salida (carga flotante)			10	μA	$V_{OH} = 0$ a V_{CC}
I_{IL}	Corriente de flujo en el nivel de datos en el nivel de entrada			10	μA	$V_{IL} = 0$ a V_{CC}
I_{OD}	Corriente de flujo en el nivel de datos en el nivel de salida			10	μA	$V_{OL} = 0$ a V_{CC}

CAPACITANCIA

$T_A = 25 \text{ C}$, $f = 1 \text{ MHz}$.

con los terminales no medidos puestos a tierra

Símbolo	Parámetro	Máx.	Unidad
C_{in}	Capacitancia del reloj	35	pF
C_{in}	Capacitancia de entrada	5	pF
C_{out}	Capacitancia de salida	10	pF

CPL-289A

INFORMACION PARA PEDIDO

C - Cerámico

P - Plástico

S - Normalizado $\pm 5\%$ de $0 \text{ C a } 70 \text{ C}$

CARACTERÍSTICAS EN C.A. DE LA CPL-280

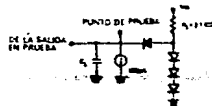
$T_A = 0 \text{ C a } 70 \text{ C}$, $V_{CC} = 5 \text{ V} \pm 5\%$, salvo que se indique otra cosa.

Señal	Símbolo	Parámetro	Mín.	Máx.	Unidad	Condición de prueba
●	$t_{1, \text{clock}}$	Período de reloj	4	125	nseg	[12] $t_{1, \text{clock}} = t_{1, \text{clock}} + t_{1, \text{clock}} + t_{1, \text{clock}}$
	$t_{2, \text{clock}}$	Anchura de impulso de reloj, nivel alto	180	180	nseg	
	$t_{3, \text{clock}}$	Anchura de impulso de reloj, nivel bajo	180	200	nseg	
▲	$t_{4, \text{clock}}$	Tiempo de subida y bajada del impulso de reloj	20	25	nseg	[1] $t_{4, \text{clock}} = t_{4, \text{clock}} + t_{4, \text{clock}} = 75$ [2] $t_{4, \text{clock}} = t_{4, \text{clock}} - 60$ [3] $t_{4, \text{clock}} = t_{4, \text{clock}} - t_{4, \text{clock}} - 40$ [4] $t_{4, \text{clock}} = t_{4, \text{clock}} - t_{4, \text{clock}} - 60$
	$t_{5, \text{clock}}$	Retardo entre dirección y salida		145	nseg	
	$t_{6, \text{clock}}$	Retardo a flotación		110	nseg	
	$t_{7, \text{clock}}$	Dirección establecida antes de MREQ (ciclo de memoria)	[11]		nseg	
□	$t_{8, \text{clock}}$	Dirección establecida antes de MREQ RD o WR (ciclo de E/S)	[12]		nseg	[5] $t_{8, \text{clock}} = t_{8, \text{clock}} - 210$ [6] $t_{8, \text{clock}} = t_{8, \text{clock}} + t_{8, \text{clock}} - 210$ [7] $t_{8, \text{clock}} = t_{8, \text{clock}} + t_{8, \text{clock}} - 80$
	$t_{9, \text{clock}}$	Dirección establecida desde RD, WP, MREQ o MREQ	[13]		nseg	
	$t_{10, \text{clock}}$	Dirección establecida durante RD o WR durante flotación	[14]		nseg	
	$t_{11, \text{clock}}$	Retardo de salida de datos		250	nseg	
	$t_{12, \text{clock}}$	Retardo a flotación durante el ciclo de escritura		90	nseg	
	$t_{13, \text{clock}}$	Tiempo de establecimiento de los datos hasta el flanco ascendente del impulso de reloj durante el ciclo M1	20		nseg	
	$t_{14, \text{clock}}$	Tiempo de establecimiento de los datos hasta el flanco descendente del impulso de reloj durante M2 hasta M5	60		nseg	
$t_{15, \text{clock}}$	Time-out establecidos antes de WR (ciclo de memoria)	[15]		nseg		
■	$t_{16, \text{clock}}$	Datos establecidos antes de WR (ciclo de E/S)	[16]		nseg	[8] $t_{16, \text{clock}} = t_{16, \text{clock}} - 40$ [9] $t_{16, \text{clock}} = t_{16, \text{clock}} + t_{16, \text{clock}} - 30$
	$t_{17, \text{clock}}$	Datos establecidos desde WR	[17]		nseg	
	$t_{18, \text{clock}}$	Cualquier tiempo de retención para el establecimiento	0		nseg	
	$t_{19, \text{clock}}$	Retardo de MREQ desde el flanco descendente del impulso de reloj para MREQ a nivel bajo		100	nseg	
■	$t_{20, \text{clock}}$	Retardo de MREQ desde el flanco ascendente del impulso de reloj para MREQ a nivel alto		100	nseg	$C_L = 50 \text{ pF}$
	$t_{21, \text{clock}}$	Retardo de MREQ desde el flanco descendente del impulso de reloj para MREQ a nivel alto		100	nseg	
	$t_{22, \text{clock}}$	Retardo de MREQ desde el flanco descendente del impulso de reloj para MREQ a nivel bajo		100	nseg	
	$t_{23, \text{clock}}$	Retardo de MREQ desde el flanco ascendente del impulso de reloj para MREQ a nivel bajo		100	nseg	
■	$t_{24, \text{clock}}$	Anchura del impulso, para MREQ a nivel bajo	[18]		nseg	$C_L = 50 \text{ pF}$
	$t_{25, \text{clock}}$	Anchura del impulso, para MREQ a nivel alto	[19]		nseg	

Señal	Simbolo	Parámetro	Min.	Max.	Unid.	Condición de prueba
IORQ	TDI040A	Retardo de IORQ desde el flanco ascendente del impulso de reloj, para IORQ a nivel bajo		90	nseg	$C_L = 50$ pF
	TDI040B	Retardo de IORQ desde el flanco descendente del impulso de reloj, para IORQ a nivel bajo		110	nseg	
	TDI040C	Retardo de IORQ desde el flanco ascendente del impulso de reloj, para IORQ a nivel alto		100	nseg	
	TDI040D	Retardo de IORQ desde el flanco descendente del impulso de reloj, para IORQ a nivel alto		110	nseg	
RD	TDI040E	Retardo de RD desde el flanco ascendente del impulso de reloj, para RD a nivel bajo		100	nseg	$C_L = 50$ pF
	TDI040F	Retardo de RD desde el flanco descendente del impulso de reloj, para RD a nivel bajo		130	nseg	
	TDI040G	Retardo de RD desde el flanco ascendente del impulso de reloj, para RD a nivel alto		100	nseg	
	TDI040H	Retardo de RD desde el flanco descendente del impulso de reloj, para RD a nivel alto		110	nseg	
WR	TDI040I	Retardo de WR desde el flanco ascendente del impulso de reloj, para WR a nivel bajo		90	nseg	$C_L = 50$ pF
	TDI040J	Retardo de WR desde el flanco descendente del impulso de reloj, para WR a nivel bajo		90	nseg	
	TDI040K	Retardo de WR desde el flanco ascendente del impulso de reloj, para WR a nivel alto		100	nseg	
	TDI040L	Anchura del impulso, para WR a nivel bajo	[10]		nseg	
M1	TDI040M	Retardo de M1 desde el flanco ascendente del impulso de reloj, para M1 a nivel bajo		130	nseg	$C_L = 50$ pF
	TDI040N	Retardo de M1 desde el flanco ascendente del impulso de reloj, para M1 a nivel alto		130	nseg	
RFSH	TDI040O	Retardo de RFSH desde el flanco ascendente del impulso de reloj, para RFSH a nivel bajo		150	nseg	$C_L = 50$ pF
	TDI040P	Retardo de RFSH desde el flanco ascendente del impulso de reloj, para RFSH a nivel alto		150	nseg	
WAIT	TDI040Q	Tiempo de establecimiento de WAIT hasta el flanco descendente del impulso de reloj		70	nseg	
HALT	TDI040R	Tiempo de retardo de HALT desde el flanco descendente del impulso de reloj		300	nseg	$C_L = 50$ pF
INT	TDI040S	Tiempo de establecimiento de INT hasta el flanco ascendente del impulso de reloj		80	nseg	
NMI	TDI040T	Anchura del impulso, para NMI a nivel bajo		80	nseg	
BUSRQ	TDI040U	Tiempo de establecimiento de BUSRQ hasta el flanco ascendente del impulso de reloj		60	nseg	
BUSAK	TDI040V	Retardo de BUSAK desde el flanco ascendente del impulso de reloj, para BUSAK a nivel bajo		120	nseg	$C_L = 50$ pF
	TDI040W	Retardo de BUSAK desde el flanco descendente del impulso de reloj, para BUSAK a nivel alto		110	nseg	
RESET	TDI040X	Tiempo de establecimiento de RESET hasta el flanco ascendente del impulso de reloj		90	nseg	
	TDI040Y	Retardo hasta flotación (MREQ, IORQ, RD y WR)		100	nseg	
	TDI040Z	Estabilización de M1 antes de IORQ (caso de interrupción)	[11]		nseg	[11] $t_{set} = 20$, $t_{hold} = 10$

NOTAS

- Los datos han de habilitarse en el bus de datos de la CPU cuando RD está activo. Durante el fase de interrupción, los datos han de habilitarse cuando M1 y IORQ están ambos activos.
- Todas las señales de control están sincronizadas internamente, de modo que pueden ser completamente asincrónicas con respecto al reloj.
- La señal RESET debe estar activa durante un número de tres ciclos de reloj.
- Retardo de la salida frente a capacitancia de carga.
 $T_A = 70^\circ\text{C}$ $V_{CC} = +5 \text{ V} \pm 5\%$
 Aborde 10 nseg de retardo por cada 50 pF de aumento en la carga hasta un máximo de 200 pF en el bus de datos y 100 pF en las líneas de dirección y control.
- Aunque existen por diseño, las puestas garantizan un t_{set} de 200 nseg como máximo.



Circuito de carga para la calificación

CARACTERÍSTICAS EN C.A. DE LA CPU-280

T_A = 0°C a 70°C, V_{CC} = +5 V ± 5%, salvo que se indique otra cosa

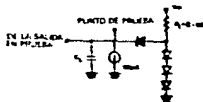
Salida	Símbolo	Parámetro	Mín.	Máx.	Unidad	Condición de prueba
Q	t ₁	Período de reloj	25	125	nseg	[1] t ₁ = t _{1max} + t _{1min} - t ₁
	t ₂ (WH)	Anchura de impulso de reloj nivel alto	110	160	nseg	
	t ₂ (BT)	Anchura de impulso de reloj nivel bajo	110	160	nseg	
	t ₂	Tiempo de subida y bajada del impulso de reloj		30	nseg	
A ₀₋₁₅	t _{0AD}	Retardo entre dirección y salida		110	nseg	C _L = 50 pF [1] t _{0AD} = t _{0ADH} + t _{0ADL} - t ₀ [2] t _{0ADH} = t ₀ [3] t _{0ADL} = t _{0ADH} - t ₀ - 50 [4] t ₀ = t _{0ADH} - t ₀ - 45
	t _{0AD}	Retardo a Gotación		90	nseg	
	t ₀	Dirección establecida antes de MREO (modo de memoria)	[1]		nseg	
	t ₀	Dirección establecida antes de IORO RD o WR (modo de E/S)			nseg	
	t ₀	Dirección establecida antes de EY, WR, IORO, MREO, MREO			nseg	
D ₀₋₁₅	t _{0D}	Retardo de salida de datos		20	nseg	C _L = 50 pF [5] t _{0D} = t _{0D} - 170 [6] t _{0D} = t _{0D} + t _{0D} - t ₀ - 170 [7] t _{0D} = t _{0D} + t _{0D} - t ₀ - 70
	t _{0D}	Retardo a Gotación durante el ciclo de escritura		60	nseg	
	t _{0D}	Tiempo de establecimiento de los datos hasta el flanco ascendente del impulso de reloj durante el ciclo M1	35		nseg	
	t _{0D}	Tiempo de establecimiento de los datos hasta el flanco descendente del impulso de reloj durante M2 hasta M5	50		nseg	
	t _{0D}	Datos establecidos antes de WR (modo de memoria)	[5]		nseg	
	t _{0D}	Datos establecidos antes de WR (modo de E/S)	[6]		nseg	
	t _{0D}	Datos establecidos desde WR	[7]		nseg	
M		Cualquier tiempo de retención para el establecimiento		0	nseg	
MREO	t _{0MREO}	Retardo de MREO desde el flanco descendente del impulso de reloj para MREO a nivel bajo		85	nseg	C _L = 50 pF [8] t _{0MREO} = t _{0MREO} - 30 [9] t _{0MREO} = t _{0MREO} + t _{0MREO} - t ₀ - 10
	t _{0MREO}	Retardo de MREO desde el flanco ascendente del impulso de reloj para MREO a nivel alto		85	nseg	
	t _{0MREO}	Retardo de MREO desde el flanco descendente del impulso de reloj para MREO a nivel bajo		85	nseg	
	t _{0MREO}	Anchura del impulso para MREO a nivel bajo	[8]		nseg	
	t _{0MREO}	Anchura del impulso para MREO a nivel alto	[9]		nseg	
IORO	t _{0IORO}	Retardo de IORO desde el flanco ascendente del impulso de reloj para IORO a nivel bajo		75	nseg	C _L = 50 pF
	t _{0IORO}	Retardo de IORO desde el flanco descendente del impulso de reloj para IORO a nivel bajo		85	nseg	
	t _{0IORO}	Retardo de IORO desde el flanco ascendente del impulso de reloj para IORO a nivel alto		85	nseg	
	t _{0IORO}	Retardo de IORO desde el flanco descendente del impulso de reloj para IORO a nivel alto		85	nseg	
RD	t _{0RD}	Retardo de RD desde el flanco ascendente del impulso de reloj para RD a nivel bajo		95	nseg	C _L = 50 pF
	t _{0RD}	Retardo de RD desde el flanco descendente del impulso de reloj para RD a nivel bajo		95	nseg	
	t _{0RD}	Retardo de RD desde el flanco ascendente del impulso de reloj para RD a nivel alto		85	nseg	
	t _{0RD}	Retardo de RD desde el flanco descendente del impulso de reloj para RD a nivel alto		85	nseg	
WR	t _{0WR}	Retardo de WR desde el flanco ascendente del impulso de reloj para WR a nivel bajo		65	nseg	C _L = 50 pF [10] t _{0WR} = t _{0WR} - 30
	t _{0WR}	Retardo de WR desde el flanco descendente del impulso de reloj para WR a nivel bajo		80	nseg	
	t _{0WR}	Retardo de WR desde el flanco descendente del impulso de reloj para WR a nivel alto		80	nseg	
	t _{0WR}	Anchura del impulso para WR a nivel bajo	[10]		nseg	
MI	t _{0MI}	Retardo de MI desde el flanco ascendente del impulso de reloj para MI a nivel bajo		100	nseg	C _L = 50 pF
	t _{0MI}	Retardo de MI desde el flanco ascendente del impulso de reloj para MI a nivel alto		100	nseg	
RFSH	t _{0RFSH}	Retardo de RFSH desde el flanco ascendente del impulso de reloj para RFSH a nivel bajo		130	nseg	C _L = 50 pF
	t _{0RFSH}	Retardo de RFSH desde el flanco ascendente del impulso de reloj para RFSH a nivel alto		120	nseg	

Señal	Simbolo	Parametro	Min.	Max.	Unidad	Condición de prueba
WAIT	t _{WAIT}	Tiempo de establecimiento de WAIT hasta el flanco descendente del impulso de reloj	70		nseg	
HALT	t _{HALT}	Tiempo de retardo de HALT desde el flanco ascendente del impulso de reloj		300	nseg	C ₁ = 50 pF
INT	t _{INT}	Tiempo de establecimiento de INT hasta el flanco ascendente del impulso de reloj	80		nseg	
NMI	t _{NMI}	Amplitud del impulso para NMI a nivel base	80		nseg	
BUSRD	t _{BUSRD}	Tiempo de establecimiento de BUSRD hasta el flanco ascendente del impulso de reloj	50		nseg	
BUSAK	t _{BUSAK}	Retardo de BUSAK desde el flanco ascendente del impulso de reloj hasta BUSAK a nivel base		100	nseg	C ₁ = 50 pF
	t _{BUSAK}	Retardo de BUSAK desde el flanco descendente del impulso de reloj para BUSAK a nivel base		100	nseg	
RESET	t _{RES}	Tiempo de establecimiento de RESET hasta el flanco ascendente del impulso de reloj	80		nseg	
	t _{IR}	Retardo hasta flotación (MREQ, IORQ, RD y WR)		80	nseg	
	t _{IR}	Establización de MI antes de IORQ (salida de interrupción)	[11]		nseg	

[11] $t_{IR} = 2t_{C1} + t_{BUSRD} + t_{B}$

NOTAS

- Las salidas han de haberse en el bus de datos de la CPU cuando ED está activa. Durante el resto de interrupción, los datos han de haberse cuando MI y IORQ están ambos activos.
- Todas las señales de control están sincronizadas exactamente, de modo que pueden ser temporariamente simultáneas con respecto al reloj.
- La señal RESET debe estar activa durante un mínimo de tres ciclos de reloj.
- Retardo de la salida frente a las salidas de carga.
 $t_A = 20 \text{ nC}$ $t_{V_{OL}} = 1.5 \text{ nC}$
 Además, un nivel de retardo por cada 50 pF de aumento en la carga hasta un máximo de 200 pF en el bus de datos y 100 pF en las líneas de dirección y control.
- Amplificación por efecto de las pruebas garantiza un nivel MI de 200 mseg como máximo.



Circuito de carga para la tabla

Apéndice 2

Instrucciones de la CPU Z-80 clasificadas por código de operación

CODIGO OBJETO	DECLARACION FUENTE	CODIGO OBJETO	DECLARACION FUENTE	CODIGO OBJETO	DECLARACION FUENTE
86	ADCA, HL1	F00F	ADD IV, BC	C84D	BIT 1, L
DD805	ADCA, (IX + #)	F01B	ADD IV, DE	C856	BIT 2, (HL)
FDB056	ADCA, (IV + #)	F025	ADD IV, IV	DDC80556	BIT 2, (IX + #)
8F	ADCA, A	F039	ADD IV, SP	FDC80556	BIT 2, (IV + #)
88	ADCA, B	46	AND HL1	C857	BIT 2, A
89	ADCA, C	22A02C	AND (IX + #)	C85D	BIT 2, B
8A	ADCA, D	F2A02C	AND (IV + #)	C85E	BIT 2, C
8B	ADCA, E	A7	AND A	C85F	BIT 2, D
8C	ADCA, H	A8	AND B	C863	BIT 2, E
8D	ADCA, L	A1	AND C	C854	BIT 2, H
CE7C	ADCA, N	A7	AND D	C855	BIT 2, L
ED9A	ADC HL, BC	A3	AND E	C85E	BIT 3, (HL)
ED9A	ADC HL, DE	A4	AND H	DDC80556	BIT 3, (IX + #)
ED9A	ADC HL, HL	A5	AND H	FDC80556	BIT 3, (IV + #)
ED9A	ADC HL, SP	ED0D	AND H	C857	BIT 3, A
8E	ADDA, (HL)	C84E	BIT 0, (HL)	C858	BIT 3, B
DD8065	ADDA, (IX + #)	DDC80546	BIT 0, (IX + #)	C859	BIT 3, C
FDB065	ADDA, (IV + #)	FDC80546	BIT 0, (IV + #)	C85A	BIT 3, D
87	ADDA, A	C847	BIT 0, H	C85B	BIT 3, E
88	ADDA, B	C849	BIT 0, B	C85C	BIT 3, H
81	ADDA, C	C841	BIT 0, C	C85D	BIT 3, L
82	ADDA, D	C842	BIT 0, D	C86E	BIT 4, (HL)
83	ADDA, E	C843	BIT 0, E	DDC80546	BIT 4, (IX + #)
84	ADDA, H	C844	BIT 0, H	FDC80546	BIT 4, (IV + #)
85	ADDA, L	C845	BIT 0, L	C867	BIT 4, A
CE7D	ADDA, N	C84E	BIT 1, (HL)	C860	BIT 4, B
D9	ADD HL, BC	DDC8054E	BIT 1, (IX + #)	C861	BIT 4, C
81	ADD HL, DE	FDC8054E	BIT 1, (IV + #)	C862	BIT 4, D
79	ADD HL, HL	C84F	BIT 1, A	C863	BIT 4, E
38	ADD HL, SP	BC48	BIT 1, B	C864	BIT 4, H
DD09	ADD IX, BC	C849	BIT 1, C	C865	BIT 4, L
DD19	ADD IX, DE	C84A	BIT 1, D	C86E	BIT 5, (HL)
DD29	ADD IX, IX	C84B	BIT 1, E	DDC8055E	BIT 5, (IX + #)
DD39	ADD IX, SP	C84C	BIT 1, H	FDC8055E	BIT 5, (IV + #)

Cortesia Zilog, Inc.

CODE DEPT	DECLARACION ELEMENTO	CODE DEPT	DECLARACION ELEMENTO	CODE DEPT	DECLARACION ELEMENTO
CB64	8175.A	DD28	DEC1Y	11	LD1ML1.E
CB68	8175.B	FD26	DEC1Y	12	LD1ML1.D
CB65	8175.C	2D	DECL1	13	LD1ML1.E
CB6A	8175.D	36	DECSF	14	LD1ML1.H
CB6B	8175.E	73	DI	15	LD1ML1.A
CB6C	8175.H	102E	DR12.D15	16C	LD1ML1.H
CB7D	8175.L	78	E1	DD77D	LD1M1+2.A
CB76	8176.H1	E3	EY-SF.HL	DD70D5	LD1M1+2.B
DDC82576	8176.H+01	DD53	EX-SF.1A	DD705	LD1M1+2.C
DDC82576	8176.HY+01	DD53	EY-SF.1Y	DD7125	LD1M1+2.D
CB77	8176.A	06	EY-AT.AF	DD7305	LD1M1+2.E
CB7C	8176.B	E8	EY-D1.HL	DD7475	LD1M1+2.F
CB73	8176.C	D9	E1A	DD7506	LD1M1+2.G
CB72	8176.D	76	HAL1	DD362520	LD1M1+21.M
CB73	8176.E	ED46	MM0	FD7755	LD1M1+21.A
CB74	8176.H	ED96	MM1	FD7805	LD1M1+21.B
CB75	8176.L	ED58	MM2	FD7105	LD1M1+21.C
CB7E	8177.H1L1	ED78	MM.A.(C)	FD7205	LD1M1+21.D
DDC83571	8177.HY+01	DD20	MM.A.(M)	FD7305	LD1M1+21.E
DDC8357E	8177.HY+01	ED40	MM.B.(C)	FD7405	LD1M1+21.F
CB7F	8177.A	ED68	MM.C.(E)	FD7505	LD1M1+21.G
CB78	8177.B	ED50	MM.D.(C)	FD380520	LD1M1+21.H
CB79	8177.C	ED58	MM.E.(C)	278405	LD1M1.A
CB7A	8177.D	ED60	MM.H.(C)	ED436425	LD1M1.BC
CB7B	8177.E	ED68	MM.L.(C)	ED528405	LD1M1.DE
CB7C	8177.H	34	MMC.H1L1	278405	LD1M1.HL
CB7D	8177.L	DD3405	MMC.HK+01	DD728405	LD1M11.F
DD3405	CALL M.NN	FD3405	MMC.HY+01	ED728405	LD1M11.F
DD3405	CALL M.NN	3C	MMC.A.	LD1M11.F	LD1M11.F
DD4005	CALL M.NN	08	MMC.B.	6A	LD.A.(BC)
DD4005	CALL M.NN	03	MMC.B.(C)	1A	LD.A.(DE)
CA4005	CALL N2.NN	0C	MMC.C.	7E	LD.A.(HL)
FA4005	CALL P.NN	1A	MMC.D.	DD7E05	LD.A.(HX+01)
ED4005	CALL PE.NN	13	MMC.DE	FD1E05	LD.A.(HY+01)
FA4005	CALL PO.NN	1C	MMC.E.	3A8405	LD.A.(MM)
ED4005	CALL Z.NN	34	MMC.H.	1F	LD.A.(L)
34	CCF	73	MMC.HL	78	LD.A.B
BE	CP.H1L1	DD23	MMC.I.	79	LD.A.C
DD8E05	CP.HK+01	FD73	MMC.IY	7A	LD.A.D
FD8E05	CP.HY+01	2C	MMC.L	7B	LD.A.E
BF	CP.A	33	MMC.SP	7C	LD.A.H
08	CP.B	ED4A	MM.D	ED57	LD.A.1
85	CP.C	ED8A	MM.DA	7D	LD.A.L
8A	CP.D	ED42	MMI	3E30	LD.A.N
8B	CP.E	ED87	MMR	46	LD.B.(HL)
8C	CP.H	E8	JP.H1L1	DD4405	LD.B.(HX+01)
8D	CP.L	DD6B	JP.HK	FD4605	LD.B.(HY+01)
FE20	CP.N	FDEB	JP.HY	47	LD.B.A
ED4B	CPD	DA8405	JP.C.NN	40	LD.B.B
ED8B	CPDR	FA8405	JP.M.NN	41	LD.B.C
EDA1	CP1	DB405	JP.NC.NN	42	LD.B.D
ED81	CP1R	C8405	JP.NN	43	LD.B.E
2F	CPL	C8405	JP.NZ.NN	44	LD.B.H.NN
27	DAA	F78405	JP.P.NN	45	LD.B.L
35	DEC.H1L1	E8A05	JP.PE.NN	0520	LD.B.N
DD3505	DEC.HK+01	E78405	JP.PG.NN	ED4B8405	LD.BC.MN
FD3505	DEC.HY+01	CA8405	JP.Z.NN	018405	LD.C.NN
3D	DEC.A	302E	JR.C.D15	HE	LD.C.H1L1
05	DEC.B	182E	JR.D15	DD4E05	LD.C.HK+01
08	DEC.BC	302E	JR.NC.D15	FD4E05	LD.C.HY+01
0D	DEC.C	202E	JR.NZ.D15	4F	LD.C.A
15	DEC.D	282E	JR.Z.D15	48	LD.C.B
1B	DEC.DE	02	LD1BC).A	49	LD.C.C
1D	DEC.E	12	LD1DE).A	4A	LD.C.D
75	DEC.H	71	LD1HL).A	4B	LD.C.E
78	DEC.HL	70	LD1HL).B	4C	LD.C.H

Cortesia Zilog, Inc.

CODE OBJETO	DECLARACION FUENTE	CODE OBJETO	DECLARACION FUENTE	CODE OBJETO	DECLARACION FUENTE
45	LD C L	DD6605	OR 11 A + d1	CB7F	RES 3 A
46	LD C N	DD6605	OR 11 A + d1	CB8E	RES 3 B
54	LD D (ML)	87	DA A	CB99	RES 3 C
DD6605	LD D 11 A + d1	8C	DA B	CB9A	RES 3 D
DD6605	LD D 11 A + d1	81	DA C	CB9E	RES 3 E
57	LD C A	82	DA D	CB9C	RES 3 H
50	LD D B	83	DA E	CB9D	RES 3 L
51	LD C C	84	DA H	CB9E	RES 4 ML
52	LD C D	85	DA I	DDCB05AE	RES 4 11 A + d1
53	LD C E	1625	DA N	FDCB05AF	RES 4 11 A + d1
54	LD C F	1098	DA N	CBAT	RES 4 A
55	LD C G	1041	DA N	CBAD	RES 4 B
1625	LD C H	1119	DA T C A	CBAT	RES 4 C
DD6605	LD C I	1041	DA T C B	CBAT	RES 4 D
16425	LD C J	1249	DA T C C	CBAT	RES 4 E
56	LD C K	1261	DA T C D	CB9E	RES 4 F
DD6605	LD C L A + d1	1256	DA T C E	CBAS	RES 4 G
DD6605	LD C L A + d1	1261	DA T C H	CBAD	RES 4 H
57	LD C A	1068	DA T C I	CBAT	RES 4 I
58	LD C E	DD37	DA T N A	FDCB05AF	RES 4 11 A + d1
59	LD C E	ED48	DA T D	FDCB05AF	RES 4 11 A + d1
58	LD C E	ED42	DA T D	CBAT	RES 4 A
58	LD C E	11	POP AF	CBAS	RES 4 C
5C	LD C H	01	POP BC	CBAA	RES 4 D
5D	LD C L	01	POP DL	CBAB	RES 4 E
1625	LD C L	41	POP HL	CBAC	RES 4 F
66	LD N (ML)	DD41	POP 11	CBAD	RES 4 G
DD6605	LD N 11 A + d1	1261	POP 11	CB9E	RES 4 H
FDCB05	LD N 11 A + d1	12	PUSH AF	FDCB05M	RES 4 11 A + d1
67	LD N A	05	PUSH BC	FDCB05C	RES 4 11 A + d1
60	LD N B	05	PUSH DE	CBAT	RES 4 A
61	LD N C	15	PUSH HL	CB8D	RES 4 B
62	LD N D	DD65	PUSH 11	CB81	RES 4 C
63	LD N E	FDE5	PUSH 11	CB82	RES 4 D
64	LD N H	CB95	RES 0 11 A + d1	CB83	RES 4 E
65	LD N L	DDCB05B	RES 0 11 A + d1	CB84	RES 4 F
7670	LD N N	DDCB05E	RES 0 11 A + d1	CB85	RES 4 G
248405	LD N N	CB87	RES C A	CB86	RES 4 H
218425	LD N N	CB80	RES C B	CB87	RES 4 I
ED47	LD N A	CB81	RES C C	FDCB05AF	RES 4 11 A + d1
DD248425	LD 11 A	CB82	RES C D	CB8F	RES 4 A
DD218405	LD 11 A	CB83	RES C E	CB88	RES 4 B
FDCB05	LD 11 A (ML)	CB84	RES C F	CB89	RES 4 C
FDCB05	LD 11 A	CB85	RES C G	CB8A	RES 4 D
66	LD L (ML)	CB86	RES 1 (ML)	CB8B	RES 4 E
DD6605	LD L 11 A + d1	FDCB05E	RES 1 11 A + d1	CB8C	RES 4 F
DD6605	LD L 11 A + d1	FDCB05E	RES 1 11 A + d1	CB8D	RES 4 G
67	LD L A	CB8F	RES 1 A	CV	RET
68	LD L B	CB8E	RES 1 B	DE	RET C
69	LD L C	CB87	RES 1 C	FE	RET M
6A	LD L D	CB8A	RES 1 D	DD	RET NC
6B	LD L E	CB88	RES 1 E	DD	RET Z
6C	LD L H	CB8C	RES 1 H	FD	RET F
6D	LD L I	CB8D	RES 1 I	FE	RET F
7670	LD L J	CB86	RES 2 (ML)	ED	RET PO
ED78425	LD SP (ML)	FDCB05B	RES 2 11 A + d1	CE	RET Z
F8	LD SP (L)	FDCB05B	RES 2 11 A + d1	ED4D	RET A
DDF8	LD SP 11	CB87	RES 2 A	ED45	RET N
FDF8	LD SP 11	CB90	RES 2 B	CB16	RL (ML)
318425	LD SP (ML)	CB81	RES 2 C	FDCB05E	RL 11 A + d1
ED48	LD	CB82	RES 2 D	FDCB05E	RL 11 A + d1
ED88	LD	CB83	RES 2 E	CB17	RL A
ED4D	LD	CB84	RES 2 F	CB10	PL B
FDCB05	LD	CB85	RES 2 G	CB11	PL C
ED44	LD	CB86	RES 2 H	CB12	RL D
80	NOP	FDCB05E	RES 3 11 A + d1	CB13	RL E
86	DR (ML)	FDCB05E	RES 3 11 A + d1		

CDGGO OBJETO	DECLARACION AJUENTE	CDGGO OBJETO	DECLARACION AJUENTE	CDGGO OBJETO	DECLARACION AJUENTE
CB14	RL H	CB02	SET 0 E	CBFE	SET 0 ML
CB15	RL L	CB01	SET 0 C	DOCR001E	SET 0 HY + 0
17	RLA	CB03	SET 0 D	FDCR005E	SET 0 HY + 0
CB06	RLC (ML)	CB03	SET 0 E	CB0F	SET 0
DOCR006E	RLC (HX + 0)	CB01	SET 0 F	CB0F	SET 0
FDCR006E	RLC (HY + 0)	CB03	SET 0 G	CB0F	SET 0
CB11	RLC A	CB03	SET 0 L	CB0F	SET 0
CB0C	RLC B	CB0E	SET 1 (ML)	CB0F	SET 0
CB01	RLC C	FDCR002E	SET 1 (HX + 0)	CB1C	SET 0
CB02	RLC D	FDCR002E	SET 1 (HY + 0)	CB0F	SET 0
CB03	RLC E	CB0F	SET 1 A	CB0E	SET 0 (ML)
CB04	RLC H	CB0F	SET 1 B	DOCR002E	SET 0 (ML)
CB05	RLC L	CB0A	SET 1 C	FDCR005E	SET 0 (ML)
CB0F	RLD	CB0F	SET 1 E	CB0E	SET 0 (ML)
CB1E	RR (ML)	CB0C	SET 1 H	CB0E	SET 0 (ML)
DOCR001E	RR (HX + 0)	CB0D	SET 1 L	CB0E	SET 0 (ML)
FDCR001E	RR (HY + 0)	CB06	SET 2 (ML)	CB0E	SET 0 (ML)
CB1F	RR A	FDCR005E	SET 2 (HY + 0)	CB0E	SET 0 (ML)
CB1B	RR B	CB07	SET 2 A	CB0E	SET 0 (ML)
CB1B	RR C	CB00	SET 2 B	CB0E	SET 0 (ML)
CB1A	RR D	CB01	SET 2 C	DOCR001E	SET 0 (ML)
CB1B	RR E	CB02	SET 2 D	FDCR002E	SET 0 (ML)
CB1C	RR H	CB03	SET 2 E	CB0F	SET 0 (ML)
CB1D	RR L	CB04	SET 2 H	CB0E	SET 0 (ML)
1F	RAA	CB05	SET 2 L	CB0E	SET 0 (ML)
CB0E	RAC (ML)	CB0B	SET 3	CB0A	SET 0 (ML)
DOCR002E	RAC (HX + 0)	CB0F	SET 3 (ML)	CB0E	SET 0 (ML)
FDCR002E	RAC (HY + 0)	DOCR002E	SET 3 (HX + 0)	CB0E	SET 0 (ML)
CB0F	RAC A	FDCR002E	SET 3 (HY + 0)	CB0E	SET 0 (ML)
CB0B	RAC B	CB0F	SET 3 A	CB0E	SET 0 (ML)
CB0B	RAC C	CB0B	SET 3 C	DOCR002E	SET 0 (ML)
CB0A	RAC D	CB0A	SET 3 D	FDCR002E	SET 0 (ML)
CB0B	RAC E	CB0B	SET 3 E	CB0F	SET 0 (ML)
CB0C	RAC H	CB0C	SET 3 H	CB0B	SET 0 (ML)
CB0D	RAC L	CB0D	SET 3 L	CB0B	SET 0 (ML)
DF	PACA	CB0E	SET 4 (ML)	CB0A	SET 0 (ML)
ED07	PRD	DOCR001E	SET 4 (HX + 0)	CB0E	SET 0 (ML)
C7	RST 0	FDCR001E	SET 4 (HY + 0)	CB0C	SET 0 (ML)
DF	RST 10H	CB07	SET 4 A	CB0C	SET 0 (ML)
E7	RST 20H	CB00	SET 4 B	BE	SET 0 (ML)
F7	RST 30H	CB01	SET 4 C	DOCR001E	SET 0 (ML)
FF	RST 30H	CB02	SET 4 D	FDCR001E	SET 0 (ML)
CF	RST B	CB03	SET 4 E	BE	SET 0 (ML)
BE	SAC A, (ML)	CB04	SET 4 H	BE	SET 0 (ML)
DOCR006	SAC A, (HX + 0)	CB05	SET 4 L	BE	SET 0 (ML)
FDCR006	SAC A, (HY + 0)	CB0E	SET 5 (ML)	BE	SET 0 (ML)
BE	SAC A, B	DOCR001E	SET 5 (HX + 0)	BE	SET 0 (ML)
BE	SAC A, C	FDCR001E	SET 5 (HY + 0)	BE	SET 0 (ML)
3A	SAC A, D	CB0E	SET 5 B	BE	SET 0 (ML)
BE	SAC A, E	CB0B	SET 5 C	BE	SET 0 (ML)
BE	SAC A, H	CB0A	SET 5 D	BE	SET 0 (ML)
BE	SAC A, L	CB0B	SET 5 E	BE	SET 0 (ML)
BE	SAC A, M	CB0C	SET 5 H	BE	SET 0 (ML)
ED02	SAC A, W	CB0D	SET 5 L	BE	SET 0 (ML)
ED02	SAC HL, BC	DOCR006	SET 6 (HX + 0)	BE	SET 0 (ML)
ED02	SAC HL, DE	FDCR006	SET 6 (HY + 0)	BE	SET 0 (ML)
ED02	SAC HL, ML	CB07	SET 6 A	BE	SET 0 (ML)
ED02	SAC HL, SP	CB0F	SET 6 B	BE	SET 0 (ML)
37	SCF	CB0F	SET 6 C	BE	SET 0 (ML)
CB0C	SET 0, (ML)	CB02	SET 6 D	BE	SET 0 (ML)
DOCR002E	SET 0, (HX + 0)	CB03	SET 6 E	BE	SET 0 (ML)
FDCR002E	SET 0, (HY + 0)	CB04	SET 6 H	BE	SET 0 (ML)
CB07	SET 0, A	CB05	SET 6 L	BE	SET 0 (ML)

MAXIMUM RATINGS (TA = 25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Power Dissipation	P_{DC}	3.5	W
Supply Voltage	V_{CC}	+16.5	V
Input Signal Voltage	V_{I}	-0.5 to +1.5	V
Output Signal Voltage	V_{O}	-1.5 to +3	V
Input Current	I_{I}	5.0	mA
Output Current	I_{O}	100	mA
Operating Temperature Range	T_{A}	-55 to +125	°C
Storage Temperature Range		-55 to +150	°C

ELECTRICAL CHARACTERISTICS (VCC = +5.0 V, VEE = -1.0 V, $I_{O} = 2.0$ mA, MC1448, 1 TA = 25°C, $I_{O} = 10$ mA)

Symbol	Figure	Symbol	Min	Typ	Max	Unit
Propagation Delay Time TA = 25°C	4	t_{pd}	—	—	16.00	ns
Output Full-Scale Current (DC)	5	I_{OFS}	—	20	100	mA
Output Full-Scale Current (AC) High Level, Logic "1" Low Level, Logic "0"	5	I_{OHL} I_{OLL}	2.0	—	8.0	mA
Output Voltage Swing (AC) High Level, V _H = 5.0 V Low Level, V _L = 0.0 V	5	V_{OH} V_{OL}	0	—	4.0	V
Output Current Range V _{CC} = 5.0 V V _{EE} = -1.0 V, TA = 25°C	2	I_{OH} I_{OL}	0	2.0	2.1	mA
Output Current Range V _{CC} = 2.00 V, R _L = 1000 Ω	3	I_{OH}	1.0	1.0	2.1	mA
Output Voltage Compliance (E, S) 50% of TA = 25°C Pin 1 grounded Pin 2 open, V _{CC} within -1.0 V	3	V_{OC}	—	—	-1.5 to +4.0	V
Short-Circuit Current Limit Pin 1 open, V _{CC} within -1.0 V	6	I_{SC}	—	4.0	—	mA (typ)
Power Supply Current 100 kHz tone	3	I_{CC} I_{EE}	—	11.5	-2.0	mA
Power Supply Voltage Range (TA = 25°C)	3	V _{CC} V _{EE}	+6.0	+5.0	-1.5	V
Power Dissipation 100 kHz tone V _{CC} = 5.0 V V _{EE} = -1.0 V All bits high V _{CC} = 4.0 V V _{EE} = -1.0 V	3	P_D	—	3.0	—	W

Note 1: All current ratings are limited to 50% of rated output current.
Note 2: All bits grounded.

TEST CIRCUITS

FIGURE 3 - NOTATION DEFINING TEST CIRCUIT

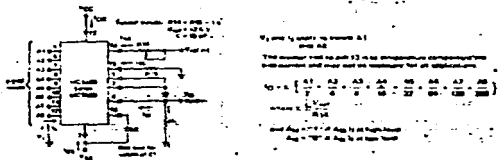


FIGURE 4 - RELATIVE ACCURACY TEST CIRCUIT

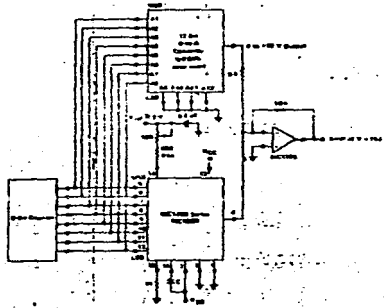
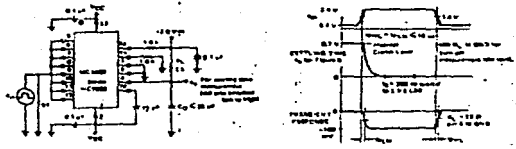


FIGURE 5 - TRANSIENT RESPONSE and SETTLING TIME



TEST CIRCUITS

FIGURE 8 - REFERENCE CURRENT SLEW RATE MEASUREMENT

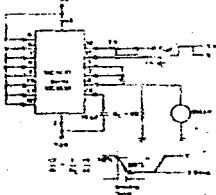


FIGURE 9 - POSITIVE V_{ref}

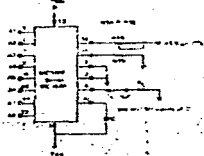
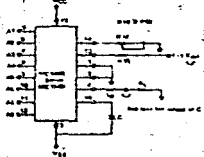


FIGURE 10 - NEGATIVE V_{ref}



Apéndice 4

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Micro-processor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® micro-processors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 6 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

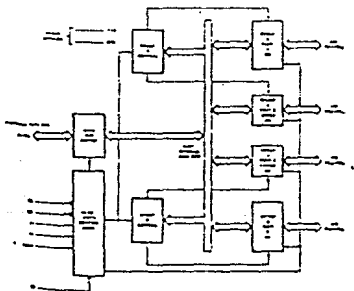


Figure 1. 8255A Block Diagram

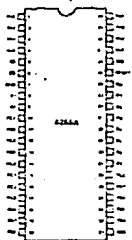


Figure 2. Pin Configuration

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O controller to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3 state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control buses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

(RD)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read" from the 8255A.

(WR)

Write. A "low" on this input pin enables the CPU to send data or control words into the 8255A.

(A₃ and A₁)

Port Select 0 and Port Select 1. These input signals in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the Address Bus (A₃ and A₁).

8255A BASIC OPERATION

A ₃	A ₁	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A ← DATA BUS
0	1	0	1	0	PORT B ← DATA BUS
1	0	0	1	0	PORT C ← DATA BUS
1	1	0	1	0	CONTROL WORD REGISTER
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS ← PORT A
0	1	1	0	0	DATA BUS ← PORT B
1	0	1	0	0	DATA BUS ← PORT C
1	1	1	0	0	DATA BUS ← CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS ← 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS ← 3-STATE

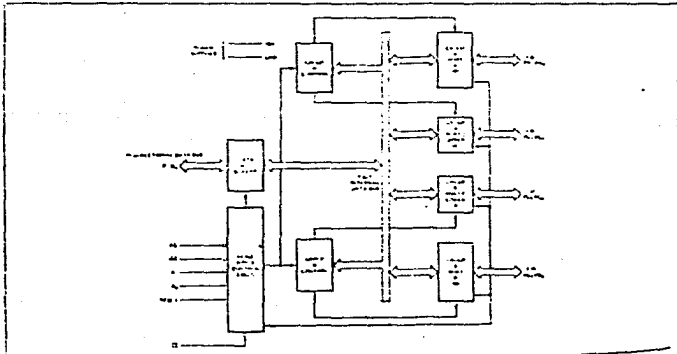


FIGURE 1. Data Buffer and Read/Write Control Logic Functions

RESET

As long as high on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the system software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "IO/M", "init", "Ext reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7-C4)

Control Group B - Port B and Port C lower (C3-C0)

The Control Word Register can **only** be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software, but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A: One 8-bit data output latch buffer and one 8-bit data input latch.

Port B: One 8-bit data input/output latch buffer and one 8-bit data input latch.

Port C: One 4-bit data output latch buffer and one 4-bit data input buffer and latch for each. This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and control signal inputs in conjunction with ports A and B.

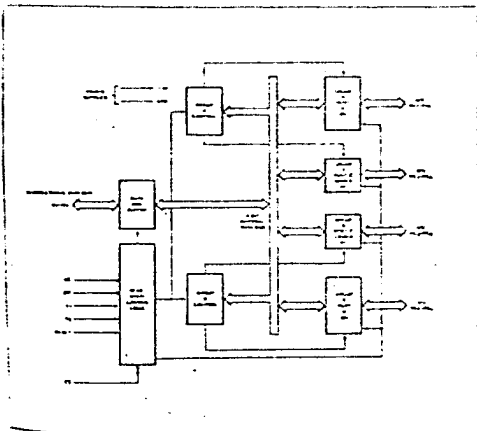
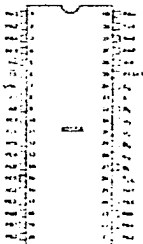


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

1-16	DATA BUS - BIPHESIONAL
16/17	RESET INPUT
CS	CHIP SELECT
IO/M	IO INPUT
IO/M	IO OUTPUT
A0-A3	PORT ADDRESS
A4-A7	PORT A (8-BIT)
A8-A11	PORT B (8-BIT)
A12-A15	PORT C (4-BIT)
A16-A19	PORT C (4-BIT)
20	VCC
21-40	DATA BUS

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 - Basic Input/Output
- Mode 1 - Strobed Input/Output
- Mode 2 - Bidirectional Bus

When the external pull-up resistors are present, all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the resistors are removed, the 8255A can remain in the input mode until the additional mode 0 on request. During the execution of the program, no matter any time, the user can change the mode of any port by output instruction. There is a single 8255A to describe a variety of port configurations with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B. In a sense, A, B, of the output registers, in defining the status of bus, will be reset whenever the mode is changed. Modes may be combined so that their functional partition can be "flexible" to almost any I/O structure. For instance, Group B can be programmed as Mode 0 to monitor a single switch through a simple combinational circuit; Group A can be programmed as Mode 1 to monitor a keyboard or data reader on a term. printer, bus.

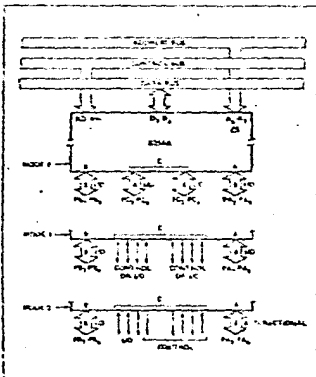


Figure 5. Basic Mode Definitions and Bus Interface

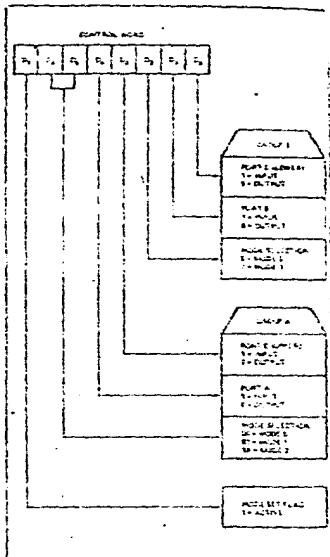
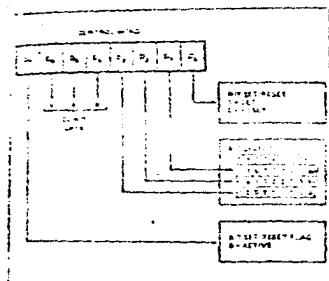


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but offers a sure way to use of the complete device operation in a simple, logical, I/O approach and interface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition, as PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset by a single OUTPUT instruction. This feature reduces software requirements in Control-based applications.



* Figure 7. Bit Set/Reset Format

When Port C is configured as an output port (I/O Mode B), data bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in Mode 0 or Mode 2, control signals are provided that cause used as inputs to request interrupts to the CPU. The interrupt request signal is generated through the interrupt control logic of the 8255A. The interrupt signal is active low and is active only when the interrupt control signal is set to 1.

The 8255A can take the interrupt to hardware with a specific I/O device. Interrupts to the CPU will not affect any other device in the interrupt structure.

INTE and Its Definitions

- INTE = SET = INTR = Interrupt Enable
- INTE = RESET = INTR = RESET = Interrupt Disable

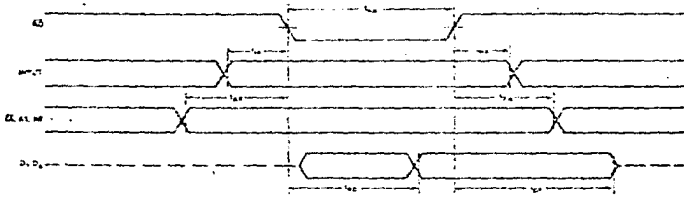
Note: All these operations are automatically reset during mode re-select and device reset.

Operating Modes

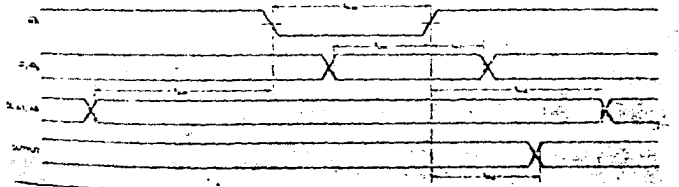
MODE 0 (Basic Input/Output): This functional configuration provides simple input and output operations for each of the three ports. No handshaking is required; data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions

- Two PPIs, one on each 4-bit port.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different input/output configurations are possible with a 3-bit I/O.



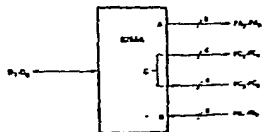
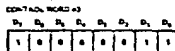
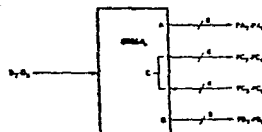
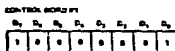
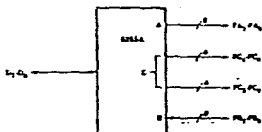
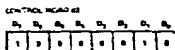
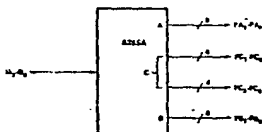
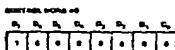
MODE 1 (Basic Input)



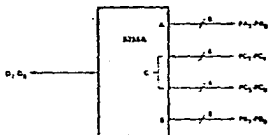
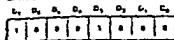
MODE 2 (Basic Output)

MODE 0 Port Definition

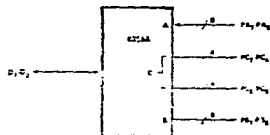
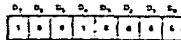
A				B				GROUP A				GROUP B			
D ₄	D ₃	D ₂	D ₁	D ₀	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)						
0	0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT						
0	0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT						
0	0	1	0	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT						
0	0	1	1	0	OUTPUT	OUTPUT	3	INPUT	INPUT						
0	1	0	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT						
0	1	0	1	0	OUTPUT	INPUT	5	OUTPUT	INPUT						
0	1	1	0	0	OUTPUT	INPUT	6	INPUT	OUTPUT						
0	1	1	1	0	OUTPUT	INPUT	7	INPUT	INPUT						
1	0	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT						
1	0	0	1	0	INPUT	OUTPUT	9	OUTPUT	INPUT						
1	0	1	0	0	INPUT	OUTPUT	10	INPUT	OUTPUT						
1	0	1	1	0	INPUT	OUTPUT	11	INPUT	INPUT						
1	1	0	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT						
1	1	0	1	0	INPUT	INPUT	13	OUTPUT	INPUT						
1	1	1	0	0	INPUT	INPUT	14	INPUT	OUTPUT						
1	1	1	1	0	INPUT	INPUT	15	INPUT	INPUT						

MODE 0 Configurations


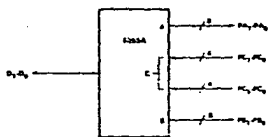
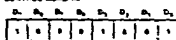
CONTROL WORD #1



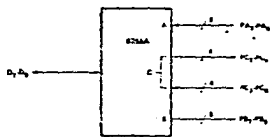
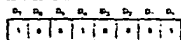
CONTROL WORD #2



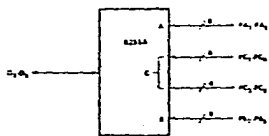
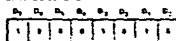
CONTROL WORD #3



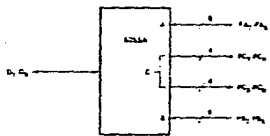
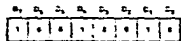
CONTROL WORD #4



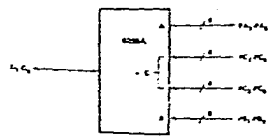
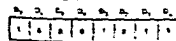
CONTROL WORD #5



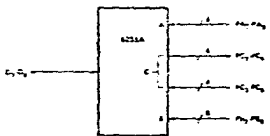
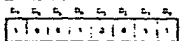
CONTROL WORD #6

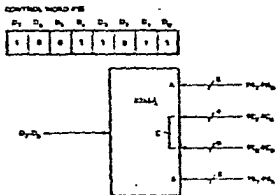
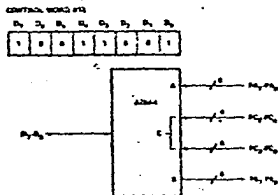
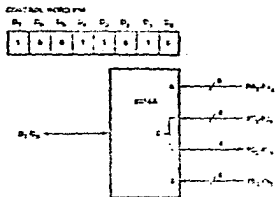
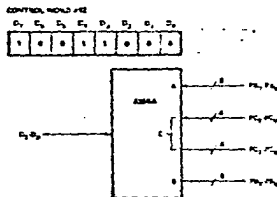


CONTROL WORD #7



CONTROL WORD #8





Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

Input Control Signal Definition

STB (Strobe input). A "low" on this input gates data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been latched into the input latch; in essence, an acknowledgment. IBF is set by STB input being low and is reset by the falling edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "low", IBF is a "low" and INTE is a "low". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC₄.

INTE B

Controlled by bit set/reset of PC₂.

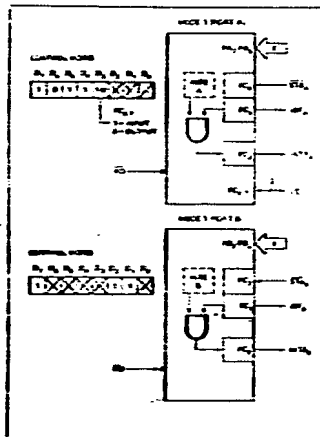


Figure 8. 8255A Input

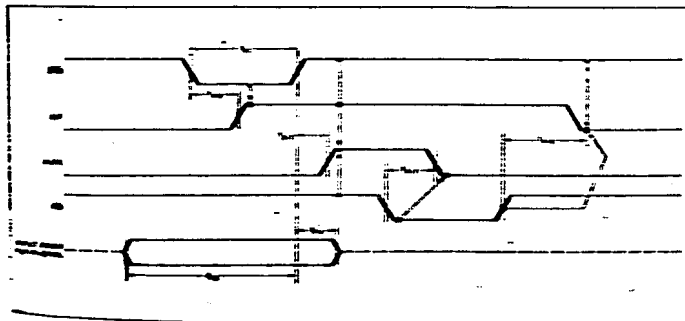


Figure 9. INTR (Interrupt Request)

Output Control Signal Definition

OBF (Output Buffer Full): This OBF output will go "high" to indicate that the CPU has written data out to the specified port. The OBF will be reset by the rising edge of the WR output and reset by ACK in pulsed mode.

ACK (Acknowledge Input): A "high" on this input informs the BISSA that the data from port A or port B has been accepted. In essence, a responsive peripheral device is indicating that it has received the data output by the CPU.

INTR (Interrupt Request): A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a "tone", OBF is a "tone", and INTE is a "tone". It is reset by the falling edge of WR.

INTR (Interrupt Request): A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a "tone", OBF is a "tone", and INTE is a "tone". It is reset by the falling edge of WR.

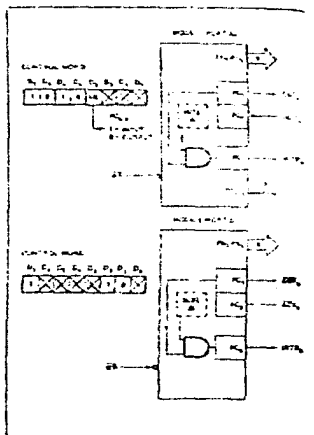
INTE AControlled by bit set/reset of PC₄**INTE B**Controlled by bit set/reset of PC₅

Figure 10. MODE 1 Output

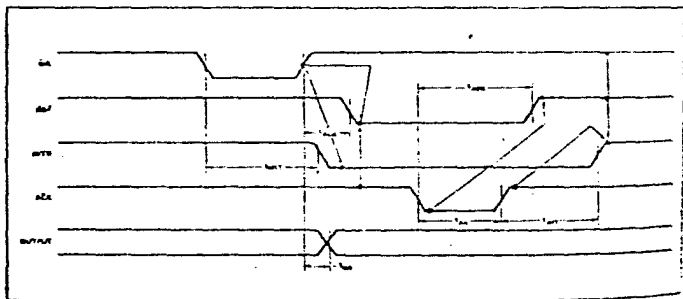


Figure 11. Mode 1 (Strobed Output)

Combinations of MODE 1

Ports A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O operations.

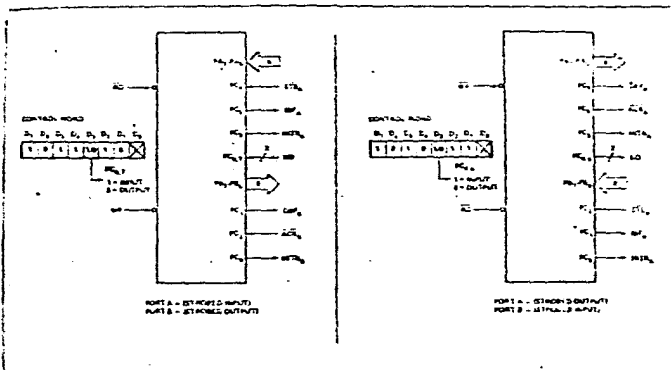


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bidirectional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bidirectional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INT1 (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

OBP (Output Buffer Full). The \overline{OBP} output will go "low" to indicate that the CPU has written data out to port A.

ACK (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBP). Controlled by bit set/reset of PC_4 .

Input Operations

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full FIF). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4 .

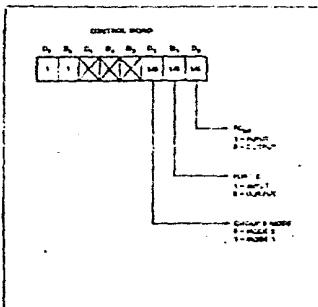


Figure 13. MODE Control Word

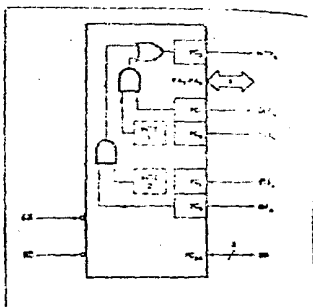


Figure 14. MODE 2

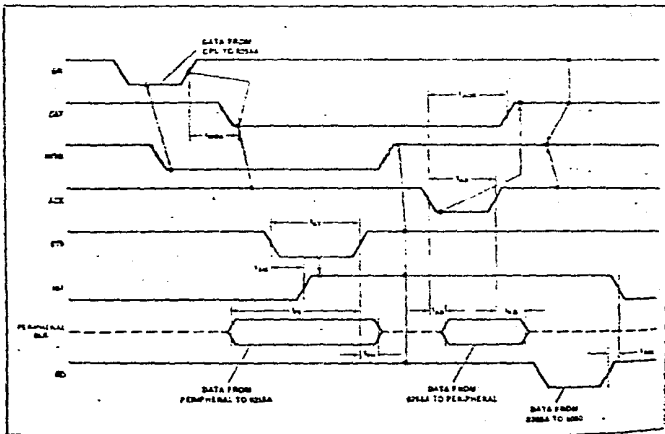


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where \overline{WR} occurs before \overline{ACK} and \overline{STB} occurs before \overline{RD} is permissible.
 $(\overline{INTR} + \overline{IBF} + \overline{MASK} + \overline{STB} + \overline{RD} + \overline{OBF} + \overline{MASK} + \overline{ACK} + \overline{WR})$

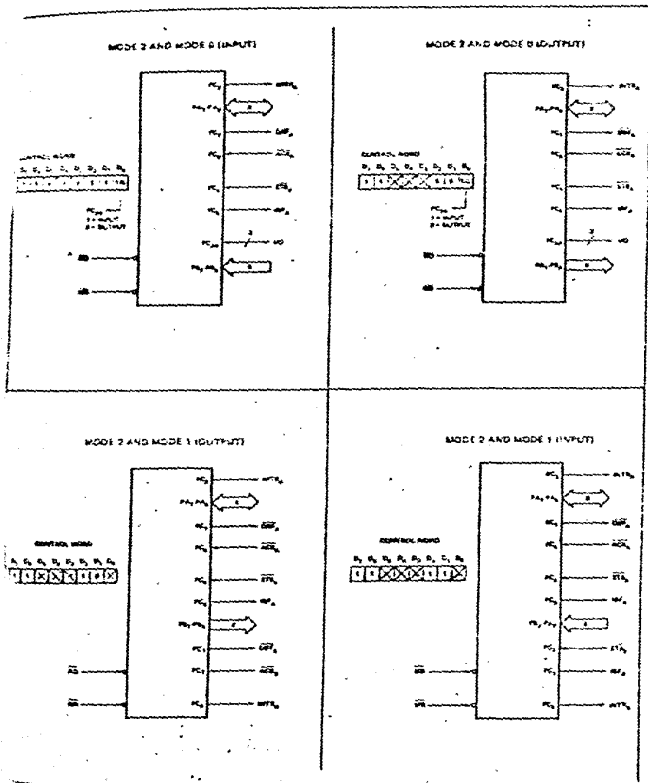


Figure 16. MODE M Combinations

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA0	IN	OUT	IN	OUT	↔	
PA1	IN	OUT	IN	OUT	↔	
PA2	IN	OUT	IN	OUT	↔	
PA3	IN	OUT	IN	OUT	↔	
PA4	IN	OUT	IN	OUT	↔	
PA5	IN	OUT	IN	OUT	↔	
PA6	IN	OUT	IN	OUT	↔	
PA7	IN	OUT	IN	OUT	↔	
PB0	IN	OUT	IN	OUT	—	
PB1	IN	OUT	IN	OUT	—	
PB2	IN	OUT	IN	OUT	—	
PB3	IN	OUT	IN	OUT	—	
PB4	IN	OUT	IN	OUT	—	
PB5	IN	OUT	IN	OUT	—	
PB6	IN	OUT	IN	OUT	—	
PB7	IN	OUT	IN	OUT	—	
PC0	IN	OUT	INTR _B	INTR _B	MO	
PC1	IN	OUT	IE _B	OE _B	IO	
PC2	IN	OUT	ST _B	ACK _B	IO	
PC3	IN	OUT	INTR _A	INTR _A	INTR _A	
PC4	IN	OUT	ST _A	IO	ST _A	
PC5	IN	OUT	IB _A	IO	IB _A	
PC6	IN	OUT	IO	ACK _A	IO	
PC7	IN	OUT	IO	OE _A	OE _A	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —

Bits in C upper (PC₇-PC₄) must be individually accessed using the bit set/reset function.

Bits in C lower (PC₃-PC₀) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

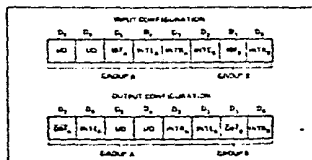


Figure 17. MODE 1 Status Word Format

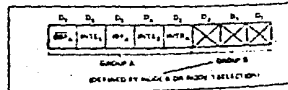


Figure 18. MODE 2 Status Word Format

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing a peripheral device to the microcomputer system. It reduces the minimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system uses a different set of logic associated with it. The logic that manages the peripheral interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O device's interface characteristics for such data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly fit the application. Figures 19 through 25 present a few examples of special applications of the 8255A.

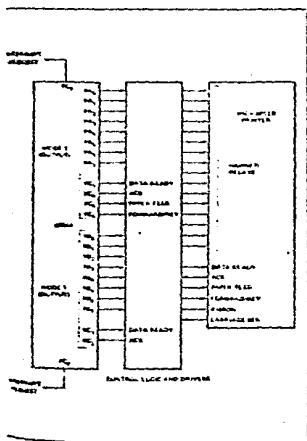


Figure 19. Printer Interface

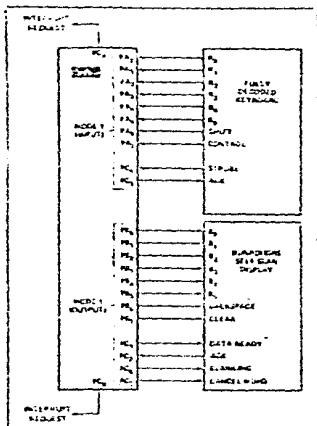


Figure 20. Keyboard and Display interface

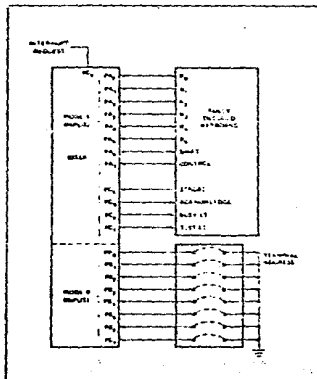


Figure 21. Keyboard and Terminal Address Interface

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	-65°C to +150°C
Warranty on Any Pin	
With Respect to Ground	-0.5V to +7V
Power Dissipation	1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device is not guaranteed at these conditions. Exposure to these conditions above those indicated in the operation section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (TA = 0°C to 70°C, VCC = +5V ± 10%, GND = 0V)†

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V _{IL}	Input Low Voltage	-0.5	0.9	V	
V _{IH}	Input High Voltage	2.0	V _{CC}	V	
V _{OL} (DB)	Output Low Voltage (Data Bus)	0.45*	V	I _{OL} = 2.5mA	
V _{OL} (PER)	Output Low Voltage (Peripherals Port)	0.45*	V	I _{OL} = 1.7mA	
V _{OH} (DB)	Output High Voltage (Data Bus)	2.4	V	I _{OH} = -400µA	
V _{OH} (PER)	Output High Voltage (Peripherals Port)	2.4	V	I _{OH} = -200µA	
I _{CAPI} (1)	Cache Drive Current	-1.0	-4.0	mA	R _{EXT} = 750Ω; V _{EXT} = 1.5V
I _{CC}	Power Supply Current		120	mA	
I _{IL}	Input Load Current		±10	µA	V _{IH} = V _{CC} to 0V
I _{OL}	Output Float Leakage		±10	µA	V _{OUT} = V _{CC} to -4.5V

NOTE:

†. Available on any 2 pins from Port B and C.

CAPACITANCE (TA = 25°C, VCC = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C _{IN}	Input Capacitance			10	pF	f _c = 1MHz
C _{IO}	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (TA = 0°C to 70°C, VCC = +5V ± 10%, GND = 0V)†

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t _{AS}	Address Stable Before READ	0		0		ns
t _{AA}	Address Stable After READ	0		0		ns
t _{AR}	READ Pulse Width	300		300		ns
t _{AD}	Data Valid From READ ⁽¹⁾		250		200	ns
t _{DF}	Data Float After READ	10	150	10	100	ns
t _{AV}	Time Between READs and/or WRITEs	850		850		ns

Apéndice 5

El propósito de este experimento es el de demostrar un método para programar una operación de división en la cual un número binario de 16 bits es dividido por un número binario de 8 bits para calcular un cociente y un resto. En el programa que se lista a continuación, se supone que inicialmente los registros HL contienen el dividendo binario de 16 bits y el registro D contiene el divisor binario de 8 bits. Al finalizar la ejecución, el cociente de 8 bits está en el registro L y el resto de 8 bits está en el registro H. Para que el algoritmo de división implementado en el programa 34 funcione correctamente, suponemos que el divisor y el dividendo están en forma normalizada. Esto es:

- El bit más significativo del dividendo de 16 bits es cero, y
- El bit más significativo del dividendo es menor que el divisor para asegurar de que el cociente cabrá dentro de los 8 bits destinados a él.

Programa N.º 34

Posición de memoria	Código objeto	Código fuente	Comentarios
0300	06 08	DIV: LD B,08H	: # bits en el divisor
0302	1E 00	LD E,00H	: Divisor en DE
0304	29	NXTBIT: ADD HL,HL	: Desplazar HL a la izquierda, colocar a cero
0305	AF	XOR A	: Poner a cero el indicador de arrastre
0306	ED 52	SBC HL,DE	: ¿Cabrán DE?
0308	23	INC HL	: Supongamos que sí
0309	30 02	JR NC,NXT	: Si no, arreglar lo hecho
030B	19	ADD HL,DE	: Sumar DE de nuevo
030C	2B	DEC HL	: Colocar el bit del cociente a 0
030D	10 F5	NXT: DJNZ NXTBIT	
030F	FF	RST 3BH	

Paso 1

Vamos primero a mirar como funciona este programa. El algoritmo utilizado es muy similar al método utilizado para calcular a mano largos problemas de división. Sin embargo es más fácil debido a que solamente existen ceros y unos. Vamos a observar un ejemplo en el cual el número binario de 4 bits N.º 8 es dividido por el número binario de 8 bits 6E. Plantee el problema como lo haría para un problema de división larga, escribiendo los números en binario:

$$1000 \overline{)01101110}$$

Para determinar los bits sucesivos del cociente, simplemente entre un 1 si el divisor "entrará" o un 0 si "no entra" en los bits más significativos del resto de restas sucesivas del divisor desde el dividendo:

Paso 2

Cargue y ejecute el programa precedente en modo paso a paso para varios programas de muestra.

Apéndice 6

DESCRIPCIÓN GENERAL — El 7411 es un emisor de operación específica de alto rendimiento construido usando el proceso especial "Epitaxial Planar". Está diseñado a una amplia gama de aplicaciones múltiples. El circuito admite un voltaje en modo común y la ausencia de tensiones a "lingüeta" (trapeoidal) para el 7411 para usarse como un regulador de voltaje, un alto ganancia y el ancho a banda de circuitos de operación especiales en rendimiento superior como el trazador, en circuitos sumidos, y amplificadores penetrantes de resistencia.

- NO REQUIERE COMPENSACIÓN DE FRECUENCIA
- PROTECCIÓN CONTRA CORTOCIRCUITO
- CAPACIDAD DE DESVIACIÓN DE VOLTAJE CERO
- GRANDES ALCANCES EN MODO COMÚN Y VOLTAJE DIFERENCIAL
- BAJO CONSUMO DE POTENCIA
- SIN ENGANCHE

TASAS MÁXIMAS ABSOLUTAS

Voltaje de suministro

Máx. (741)

Comercial (741C)

+22 V

+18 V

Disipación interna de potencia (véase Nota 1)

Encapsulado metálico

DIP

Mini DIP

Encapsulado plano

300 mW

670 mW

370 mW

570 mW

Voltaje diferencial de entrada

Voltaje de entrada (véase Nota 2)

Márgenes de temperatura de almacenamiento

Encapsulado metálico DIP, y empaque plano

Mini DIP

Márgenes de temperatura de operación

Máx. (741)

Comercial (741C)

-65°C a +100°C

-55°C a +125°C

-55°C a +125°C

0°C a +70°C

Temperatura en terminal (Soldadura)

Encapsulado metálico DIP, y empaque plano 160 segundos

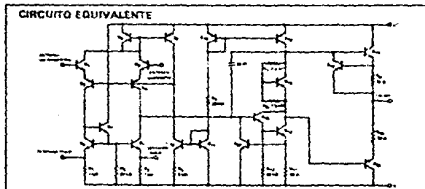
Mini DIP (10 segundos)

300°C

250°C

Duración con la salida en cortocircuito (véase nota 3)

Indefinido

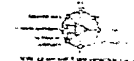


Véase notas en las páginas siguientes.

DIAGRAMAS DE CONEXIÓN

ENCAPSULADO METÁLICO
DE 8 TERMINALES
(VISTA SUPERIOR)

ENCAPSULADO DIP (VISTA SUPERIOR)



INFORMACIÓN PARA ORDEN
TIPO NUM. DE PART.
741 741M
741C 741MC

DIP 14 TERMINALES

(VISTA SUPERIOR)
PAQUETE DIAGRAMA 6A



INFORMACIÓN PARA ORDEN
TIPO NUM. DE PART.
741 741M
741C 741MC

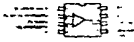
EMPAQUE PLANO 10 TERMINALES

(VISTA SUPERIOR)
ENCAPSULADO DIAGRAMA 7



INFORMACIÓN PARA ORDEN
TIPO NUM. DE PART.
741 741M

MINI DIP 8 TERMINALES
(VISTA SUPERIOR)
ENCAPSULADO DIAGRAMA 8



INFORMACIÓN PARA ORDEN
TIPO NUM. DE PART.
741C 741TC

*Para el uso de este producto consulte el "Manual de Referencia".

CARACTERÍSTICAS ELÉCTRICAS $R_{\theta} = 20^{\circ}\text{C}$ $T_{\text{amb}} = 25^{\circ}\text{C}$ $V_{\text{CE}} = 10\text{V}$ $I_{\text{C}} = 10\text{mA}$

PARÁMETROS	CONDICIONES	MIN.	TYP.	MAX.	UNIDADES
Desviación de voltaje de entrada	$R_{\theta} = 10\text{ k}\Omega$		1.0	5.0	mV
Desviación de corriente de entrada			20	200	μA
Corriente de salida en reposo			60	500	μA
Amplitud de salida		2.3	2.6		V _{CE}
Coeficiente de salida			6		μV
Apertura de banda de paso de salida			1.5		MV
Act. ganancia de salida de potencia	$R_L = 2\text{ k}\Omega$, $V_{\text{CE}} = +10\text{V}$	30 000	300 000		
Resistencia de salida			15		Ω
Corriente de saturación en reposo			25		mA
Suministro de potencia			1.7	2.8	mA
Consumo de potencia			80	65	mW
Resistencia térmica	Juntura de aluminio		0.3		$^{\circ}\text{C}/\text{W}$
Resistencia térmica	Substrato de cerámica	$R_{\theta} = 20\text{ m}^{\circ}\text{C}/\text{W}$, $R_{\theta} = 2\text{ m}^{\circ}\text{C}/\text{W}$ a 10°C		0.2	$^{\circ}\text{C}/\text{W}$
Velocidad de transición	$R_L = 2\text{ k}\Omega$		2.5		V/μs
EN LA SIGUIENTE TABLA SE MUESTRAN LAS CARACTERÍSTICAS A $T_{\text{amb}} = 25^{\circ}\text{C}$ Y $T_{\text{C}} = +125^{\circ}\text{C}$					
Desviación de voltaje de entrada	$R_{\theta} = 10\text{ k}\Omega$		1.0	4.0	mV
Desviación de corriente de entrada	$T_{\text{A}} = +125^{\circ}\text{C}$		20	200	μA
	$T_{\text{A}} = +25^{\circ}\text{C}$		25	600	μA
	$T_{\text{A}} = +125^{\circ}\text{C}$		1.0	0.8	mA
	$T_{\text{A}} = +25^{\circ}\text{C}$		0.3	1.6	mA
Amplitud de salida de potencia		+10	1.2		V
Resistencia de salida en reposo	$R_L = 10\text{ k}\Omega$	70	80		Ω
Act. ganancia de salida de potencia	$R_L = 10\text{ k}\Omega$		30	150	MV/V
Act. ganancia de salida de potencia	$R_L = 2\text{ k}\Omega$, $V_{\text{CE}} = +10\text{V}$	25 000			
Amplitud de salida de potencia	$R_L = 10\text{ k}\Omega$	+12	1.4		V
	$R_L = 2\text{ k}\Omega$	+10	1.8		V
Corriente de saturación	$T_{\text{A}} = +125^{\circ}\text{C}$		1.8	2.8	mA
	$T_{\text{A}} = +25^{\circ}\text{C}$		2.0	3.3	mA
	$T_{\text{A}} = +125^{\circ}\text{C}$		42	15	mA
Consumo de potencia	$T_{\text{A}} = +25^{\circ}\text{C}$		80	100	mW

Apéndice 7

descripción general

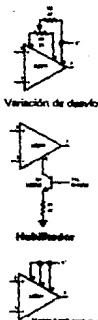
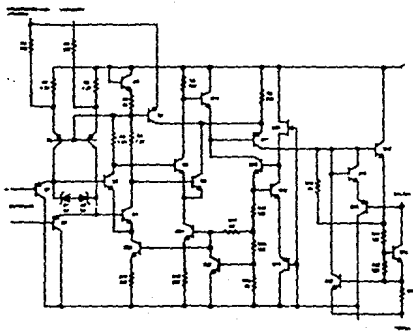
El LM311 es un comparador de voltaje que tiene corrientes de entrada más de cien veces menores que los dispositivos similares al LM306 o LM710C. También está diseñado para operar en una amplitud mayor de voltajes de suministro: de los suministros estándar de ± 15 V descendiendo hasta el suministro de 5 V único que se utiliza para la lógica IC. Su salida es compatible con los circuitos RTL, DTL y TTL al igual que con los circuitos MOS. Además, puede impulsar lámparas o relés, seleccionar voltajes hasta 40 V a corrientes tan altas como 50 mA. Las características sobresalientes incluyen:

- Corriente máxima de entrada: 250 nA
- Desviación de corriente máxima 50 nA

- Alcance de voltaje diferencial de entrada: ± 30 V
- Consumo de potencia: 135 mW a ± 15 V

Tanto la entrada como la salida del LM311 pueden aislarse de la tierra del sistema, y la salida puede impulsar cargas referidas a tierra, el suministro positivo o suministro negativo. Se proporcionan capacidad de balanceo desviación y habilitación y las salidas pueden interconectarse con OR. Aunque es más lento que el LM306 y LM710C (tiempo de respuesta 200 ns en comparación con 40 ns), el dispositivo es mucho menos propenso a oscilaciones espurias. El LM311 tiene la misma configuración de terminales que el LM306 y el LM710C.

diagrama esquemático y circuitos auxiliares



* Aumento de la corriente en la etapa de entrada*

valores máximos absolutos

Suministro total de voltaje (V _S)	35V
Salida de voltaje negativo de suministro (V _{SD})	40V
Tiempo a voltaje negativo de suministro (V _{SD})	30V
Voltaje diferencial de entrada	±30V
Voltaje de entrada (Nota 1)	±15V
Disipación de potencia (Nota 2)	500 mW
Duración de la salida de control de	10 min
Rango de temperatura de operación	0°C a 75°C
Rango de temperatura de almacenamiento	-55°C a 150°C
Temperatura al terminar la potencia (10 seg)	100°C

características eléctricas (Nota 3)

PARÁMETRO	CONDICIONES	MIN	TYP	MAX	UNID.-REF
Desviación de voltaje de entrada (Nota 4)	T _A = 25°C		2.0	7.5	mV
Desviación de corriente de entrada (Nota 4)	T _A = 25°C		8.0	50	µA
Corriente de polarización de entrada	T _A = 25°C		100	250	µA
Gainancia de voltaje	T _A = 25°C		200		V/V
Tiempo de respuesta (Nota 5)	T _A = 25°C		200		ns
Voltaje de saturación	V _{IN} ≤ -10 mV, I _{SUM} = 50 mA		0.75	1.5	V
Fuga de la corriente de salida	V _{OUT} ≥ 10 mV, V _{SAL} = 35V, T _A = 25°C		0.2	50	µA
Desviación de voltaje de entrada (Nota 4)				10	mV
Desviación de corriente de entrada (Nota 4)				70	µA
Corriente de polarización de entrada				300	µA
Rango del voltaje de entrada			1.4		V
Voltaje de saturación	V _{IN} ≤ -10 mV, I _{SUM} ≤ 5 mA		0.25	0.4	V
Corriente positiva de suministro	T _A = 25°C		5.0	7.5	mA
Corriente negativa de suministro	T _A = 25°C		4.1	5.0	mA

Nota 1: Este valor se aplica para suministros de ± 15 V. El límite de voltaje positivo de entrada es 30 V sobre el suministro negativo. El límite de voltaje negativo de entrada es igual al voltaje negativo de suministro de 30 V abajo del suministro positivo, lo que sea menor.

Nota 2: La temperatura máxima de junta de soldadura es 55°C. Para evitar el daño de las juntas elevadas, en los dispositivos en el encapsulado TO-5 debe reducirse el valor de base en una resistencia térmica de 150°C/W, de junta a ambiente, o 45°C/W, de la junta a la caja. Para el paquete plano, la reducción del valor se basa en una resistencia térmica de 185°C/W cuando se monta en un tablero de vidrio epoxy con espesor de 1.16 pulgadas con diez conductores de 2 onzas de cobre de 0.03 pulgadas de ancho. La resistencia térmica del encapsulado doble en línea es de 100°C/W, de junta a ambiente.

Nota 3: Estas especificaciones se aplican para V_S = ± 15 V y 0°C ≤ T_A ≤ 70°C o menos que se especifique otra cosa.

Nota 4: Las desviaciones de voltaje y corriente dadas son los valores máximos requeridos para impulsar la salida abajo, al 1 V, o arriba, a 14 V, con una carga de 7.5 kΩ. Por tanto, estos parámetros definen una banda de error y toman en cuenta los efectos del peor caso de ganancia de voltaje e impedancia de entrada.

Nota 5: El tiempo de respuesta especificado (véanse las definiciones) para una entrada escañón de 100 mV con sobrecarga de 5 mV.

BIBLIOGRAFIA

- 1.- Componentes Electrónicos y Mediciones.
Bruce D. Medlock.
Prentice - Hall.
- 2.- A Users Handbook of D/A and A/D Converters.
Mnatek.
- 3.- Circuitos Electrónicos Avanzados.
Tietze.
Marcombo.
- 4.- Manual Para Técnicos e Ingenieros en Electrónica.
Mc. Graw - Hill.
- 5.- Teoría y Problemas de Principios Digitales.
Roger L. Tokheim, M.S.
Mc. Graw - Hill.
- 6.- MC6800 Systems Reference and Data Sheets.
Motorola Semiconductor Products INC.
- 7.- Microprocesador Z-80 e Interfases.
M. en C. Octavio F. García Narcia.
Prof. e investigador de la sección de Graduados e investigación de
la ESIME - IPN.
Predicción 1990, Octubre.
- 8.- Sistemas Digitales basados en el Microprocesador.
James W. Gault/Russell I. Piasel.
Mc. Graw - Hill.
- 9.- Construya su Computadora basado en el Z-80.
Steve Ciarcia.
Mc. Graw - Hill.
- 10.- National Semiconductors Corporation.
Linear Data Book 2.
- 11.- Sistemas Digitales Principios y Aplicaciones.
Donald J. Toccin.
Prentice - Hall.
Tercera Edición.
- 12.- Programación del Microprocesador Z-80.
Elizabeth A. Nichols.
Marcombo.
- 13.- Circuitos Integrados Lineales y Amplificador Operacional.
Coughlin/Dricoll.
Prentice - Hall.

- 14.- Introducción al Análisis de Circuitos.
Donald E. Scott.
Mc. Graw - Hill.
- 15.- Circuitos Electrónicos Discretos e Integrados.
Donald L. Schilling.
Marcombo.
- 16.- Fundamentos de Electrónica.
Lurch.
CECSA.
- 17.- Circuitos y Dispositivos Electrónicos.
Tocci.
Interamericana.
- 18.- Instrumentación Electrónica y Mediciones.
William Dario.
Prentice - Hall.
- 19.- Introducción al Microprocesador ~~8086/8088~~.
Christopher L. Morgan.
Mc. Graw - Hill.