

91
2 y'



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

Diseño y Realización de un Sistema
de Procesamiento de Señales Digitales
con un TMS32010 para una
Computadora Personal.

T E S I S

QUE PARA OBTENER EL TITULO DE

INGENIERO MECANICO ELECTRICISTA

P R E S E N T A

GERARDO RAMIRO LUNA GUEVARA

Director de Tesis: Dr. Rogelio Alcántara Silva

**TESIS CON
FALLA DE ORIGEN**

México, D. F.

Agosto de 1991



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

	INDICE	1
I	INTRODUCCION	5
II	DESCRIPCION GENERAL DEL SISTEMA	15
III	DISEÑO DEL SISTEMA	20
III.1	COMPUTADORA PERSONAL	21
III.1.1	CONTROLADOR DE ACCESO DIRECTO A MEMORIA ...	23
III.1.2	CIRCUITO DE INTERRUPCION DE DMA	24
III.2	BUFFER DE DATOS DE PC	25
III.3	DECODIFICACION DE PUERTOS DE PC	25
III.4	PROCESADOR DE SEÑALES DIGITALES TMS32010	26
III.4.1	CIRCUITO DE INTERRUPCION	30
III.4.2	ESTADO INACTIVO	31
III.5	BUFFER DE DATOS DE TMS32010	32
III.6	DECODIFICACION DE PUERTOS DE TMS32010	33
III.7	REGISTRO DE CONTROL	35
III.8	RELOJ DE FRECUENCIA DE MUESTREO	35
III.9	SISTEMA DE MEMORIA	36
III.9.1	MEMORIA EXTERNA DE DATOS	36
III.9.2	MEMORIA DE PROGRAMA	38
III.10	LECTURA ESCRITURA ENTRE ESPACIOS DE MEMORIA ...	39
III.11	CONTADOR PARA DIRECCIONES DE MEMORIA	42
III.12	CONTROL PARA CONTADOR DE MEMORIAS	42

III.13	INTERFASE DE LAS MEMORIAS CON LA PC	43
III.14	ENTRADA ANALOGICA	44
III.14.1	FILTRO DE ENTRADA	45
III.14.2	CONVERTIDOR ANALOGICO A DIGITAL	46
III.14.3	CIRCUITO DE LECTURA	48
III.15	SALIDA ANALOGICA	48
III.15.1	CIRCUITO DE ESCRITURA	48
III.15.2	CONVERTIDOR DIGITAL ANALOGICO	48
III.15.3	FILTRO DE SALIDA	50
III.16	ESTATUS DE OPERACION DEL TMS32010	51
III.17	CIRCUITO DE CONTROL TMS-PC	51
IV	REALIZACION DEL SISTEMA	53
IV.1	INTERRUPCION DE DMA/ESTATUS DE OPERACION	54
IV.2	BUFFER DE DATOS DE PC	55
IV.3	DECODIFICACION DE PUERTOS DE PC	55
IV.4	CIRCUITO DE INTERRUPCION DEL TMS32010	56
IV.5	BUFFER DE DATOS DEL TMS32010	56
IV.6	DECODIFICACION DE PUERTOS DEL TMS32010	57
IV.7	REGISTRO DE CONTROL	58
IV.8	RELOJ DE FRECUENCIA DE MUESTREO	58
IV.9	CONTADOR PARA DIRECCIONES DE MEMORIA	59
IV.10	CONTROL DE CONTADOR DE DIRECCIONES	59
IV.11	LATCH DE DIRECCIONES DE MEMORIA DE PROG	60
IV.12	CONTROL DE LAS MEMORIAS POR LA PC	61

IV.13	CANAL DE ADQUISICION	62
IV.14	CIRCUITO DE CONTROL TMS-PC	63
IV.15	COMPONENTES	64
IV.16	MODO DE OPERACION DEL SISTEMA	67
V	VALIDACION DEL SISTEMA	68
VI	CONCLUSIONES	84
VI.1	REVISION DEL OBJETIVO	85
VI.2	APORTACION DEL TRABAJO	85
VI.2	ENFOQUE ECONOMICO	87
VI.4	ALTERNATIVAS	89
	BIBLIOGRAFIA	92

I INTRODUCCION

El procesamiento digital de señales es una área de la Ingeniería Eléctrica que se ha desarrollado en los últimas décadas paralelamente a los avances científicos y tecnológicos de disciplinas tales como la electrónica, las comunicaciones eléctricas, la teoría de control y la computación [10].

Entre las áreas de interés que comportan esta nueva disciplina de la Ingeniería se hallan el análisis de señales y sistemas, el análisis y síntesis de filtros digitales, el análisis y estimación espectral, la modelización de señales, la identificación de sistemas, la Ingeniería de software, las arquitecturas de microcomputadoras y el diseño con circuitos a muy grande escala de integración VLSI . El estudio y entendimiento de cada una de esta diferentes áreas forman un conjunto de principios fundamentales que constituyen la disciplina del Procesamiento Digital de Señales (PDS).

Estas aplicaciones y aquellas consideradas procesamiento de señales digitales tienen varias características en común [7]:

- algoritmos matemáticos intensivos,
- operación en tiempo real,
- implantación de muestreo de datos,
- flexibilidad del sistema.

Para ilustrar estas características, en base a un sistema discreto, específicamente de su respuesta a un impulso finito (RIF), esta técnica es muy usual para caracterizar un sistema en forma completa, para cualquier entrada, la expresión matemática es la siguiente

$$y[k] = \sum_{n=-\infty}^{\infty} x[n] h[k-n] \quad (1.1)$$

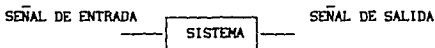
la cual es la definición de la suma de convolución y que puede indicarse como sigue

$$y[k] = x[k] * h[k] \quad (1.2)$$

donde $h(k)$ es la respuesta al impulso unitario, $x(n)$ es la secuencia de números de entrada.

La representación del sistema anterior, es tan sólo una forma en la que puede ser caracterizado, existiendo otras como es, por ecuaciones diferenciales (tiempo continuo), por ecuaciones en diferencias (tiempo discreto), por su función de transferencia, polinomios, etcetera, y dicha caracterización depende del análisis que se pretende. Dado que una de las variables más importantes en la vida del hombre es el tiempo, las características de las señales y los sistemas son principalmente dadas en función de la variable temporal.

El principio fundamental de sistema, sea su naturaleza continua o discreta, es a partir de una abstracción del fenómeno en estudio, y se puede caracterizar dicho fenómeno como sigue.



que de acuerdo a una regla a cada entrada al sistema le corresponde una salida. Como para el procesamiento es un objetivo el utilizar una

computadora digital, es necesario una transformación del tiempo continuo al tiempo discreto, por lo que en este caso discreto la señal de entrada y la de salida significan una secuencia de números o muestras.

Algoritmos matemáticos intensivos

De la expresión (1.1), podemos ver que para generar cada $y[k]$ tenemos que calcular N multiplicaciones y N sumas así como la acumulación de N productos. Estos cálculos lo hacen un trabajo matemático intensivo, especialmente cuando N es grande.

Así el sistema puede representar un fenómeno, físico, biológico, económico, social, etc.

Sea la ecuación (1.1), un modelo económico que representa la variación en las ventas en una compañía. Y donde debido a las operaciones de un día pueden ocurrir grandes cambios, si los datos se graficaran, se observaría una dificultad para obtener información, como puede ser el desgaste del stock, una manera simple de esperejar los datos es el calcular el promedio de los cinco días previos. Para el nuevo valor promedio de cada día, el valor más viejo es calculado y el nuevo valor sumado. Cada día el valor promedio podría ser la suma de los valores ponderados $(x(n))$ de los últimos cinco días, donde los factores de peso $(x(n))$ son $1/5$. En forma de ecuación el promedio es determinado por:

$$\begin{aligned} \text{promedio}(k) = & 1/5*d(k-1)+1/5*d(k-2)+1/5*d(k-3) \\ & 1/5*d(k-4)+1/5*d(k-5) \end{aligned} \quad (1.3)$$

donde $d(k-1)$ es el precio de cierre diario, para el $(k-1)$ ésimo día. La ecuación (1.3) asume la forma igual que la (1.1).

Procesamiento en tiempo real.

En adición al uso matemático intensivo, los algoritmos DSP necesitan ser ejecutados en tiempo real. Tiempo real puede ser definido como un proceso que es realizado por DSP sin crear un retraso apreciable por el usuario. En el ejemplo del modelo económico, el nuevo valor promedio puede ser calculado previamente para tenerlo cuando se necesite al siguiente día, esto puede ser considerado proceso en tiempo real. En aplicaciones de Procesamiento Digital de Señales (DSP) suceden más rápidos que un día. En la ecuación (1.1), la suma de productos necesita ser calculada usualmente dentro de cientos de microsegundos antes de que la siguiente muestra este dentro del sistema.

Implantación del sistema de muestreo de datos.

La aplicación necesita ser capaz de iniciar el manejo como un sistema de toma de datos en orden a ser procesados por el procesador digital. En la ecuación (1.1), la salida $y[k]$ es calculada para ser la suma de los pesos de las N previas entradas. Es decir, la señal de entrada es muestreada en intervalos periódicos, multiplicada por el factor de ponderación $x[k]$, y entonces, sumadas juntas para dar el resultado $y[k]$.

Flexibilidad del sistema

El diseño de un sistema de procesamiento digital necesita ser lo bastante flexible para satisfacer imprevistos. En muchas técnicas de DSP son desarrollados en línea, y por lo tanto los algoritmos tienden a cambiar en función del tiempo, por ejemplo en el reconocimiento de voz se presenta una inexactitud en la técnica que requiere continua

modificación de algoritmos.

La forma de abordar las características muy especiales de las tareas de Procesamiento Digitales de Señales han sido muy diversas.

Históricamente las soluciones en décadas pasadas fue en base a grandes estructuras de computadoras procesar una señal digital, debido a sus limitaciones esto fue hecho en tiempo no real. Sin embargo, la tecnología de circuitos integrados a avanzado, con ello permitiendo el diseño de microprocesadores y microcomputadoras muy rápidos. Como un resultado, muchas aplicaciones de procesamiento digital han tenido el cambio de un arreglo de procesadores a un subsistema microprocesador con la solución de un único circuito integrado.

FAMILIA TMS PARA TAREAS DE DSP

Un reciente desarrollo de tecnología en DSP es el circuito integrado de procesamiento de señales digitales, de la familia de procesadores TMS320. Este procesador da al diseñador una solución comparable solo al arreglo de procesadores de hace años. El primer miembro de la familia apareció en el mercado en 1982, el TMS32010, capaz de ejecutar cinco millones de operaciones de DSP por segundo, hoy en día existen variaciones del TMS32010 de la primera generación, como TMS320C10, TMS320C15 y TMS320C17. La segunda generación incluye al TMS32020 y TMS320C25 que pueden ejecutar diez millones de instrucciones por segundo. La tercera generación, el TMS320C30, puede realizar 33 millones de instrucciones por segundo.

La generación de procesadores TMS320, toma también la misma evolución de tecnología de procesamiento. Bajo consumo de potencia, alto funcionamiento y una alta densidad de integración [1].

SISTEMA DE PROCESAMIENTO DIGITAL

El propósito de la tarjeta es contar con una herramienta, que sea un paso adelante, en cuanto a solo contar con un sistema de adquisición para una computadora personal, es aumentar su potencia en procesamiento, y para poder aspirar a una tarea en tiempo real en cuanto a técnicas de procesamiento digital. Esto puede ser llevado a cabo por un procesador de propósito particular, como coprocesador dentro de el sistema de una computadora personal.

Un sistema de procesamiento de señales en su mínima configuración requiere además del procesador numérico, un convertidor analógico a digital(A/D) y un convertidor digital a analógico(D/A) como canal de adquisición.



En muchas aplicaciones, las señales son originadas en forma analógica, tal como una variación continua de patrones o formas de onda. El primer paso en aplicaciones de las técnicas de DSP es convertir la señal analógica a su forma discreta, de este modo se obtiene una representación de la señal en términos de una secuencia o arreglo de números. En la práctica a este proceso se le llama conversión analógica a digital(A-D).

Una vez que la señal ha sido representada en su forma discreta, ésta puede ser procesada o transformada dentro de otra secuencia o conjunto de números por un proceso numérico por computadora.

Existe también la posibilidad de conversión desde su representación discreta a su forma analógica usando un convertidor digital a analógico(D-A). Esta etapa puede ser no necesaria cuando el propósito de procesamiento digital es el de automáticamente extraer la información de la señal.

La conversión analógica a digital es convenientemente analizada como sigue. Primero esta envuelve una operación de muestreo, donde existen diferentes tipos de muestreo, muestreo periodico, muestreo de orden múltiple, muestreo de ritmo múltiple, y muestreo al azar. De esta operación una secuencia $x[n]$ se obtiene por periodicidad de muestreo de una señal analógica. Las muestras son:

$$x[n] = x'_a(nT)$$

Donde T es el periodo de muestreo, n es un entero y $1/T$ es la frecuencia de muestreo. La conversión de una señal analógica en la correspondiente señal digital es una aproximación, ya que la señal analógica puede tomar infinita cantidad de valores, mientras la variedad de distintos números que pueden formarse con un conjunto finito de dígitos es limitado, por lo que estas muestras necesitan ser representadas usando código binario con precisión finita. Esto envuelve la cuantización de los valores de las muestras. Esto es, la secuencia de las muestras cuantizadas es:

$$\hat{x}[n] = Q[x[n]]$$

donde $Q\{\}$ es una transformación no lineal, tal como redondeo o truncamiento del nivel de amplitud más cercano permitido.

Los objetivos a cubrir por la tarjeta son:

- Contar con un sistema básico de adquisición de datos.
- Disminuir tiempos de procesamiento en tareas de DSP. Así como una opción a la realización de actividades en tiempo real.
- Contar con la dualidad adquisición/procesamiento.
- Flexibilidad de interconexión con una microcomputadora.

II DESCRIPCION GENERAL DEL SISTEMA

El sistema mínimo de procesamiento digital aumenta su capacidad al ser instalado en una computadora personal, siendo un respaldo el uno para el otro en un procesamiento paralelo. La computadora personal(PC), opera como procesador maestro el cual tiene siempre el control de decidir si hace uso del procesador que opera como esclavo, para este caso un TMS32010, procesador que satisface los requerimientos para implementación de algoritmos de Procesamiento Digital de Señales(DSP), como filtros lineales recursivos y no recursivos, transformada de fourier, análisis espectral y demás.

Si bien la PC puede realizar estas tareas, lo cual implica un tiempo de procesamiento considerable, el procesador numérico las realiza en un periodo comparativamente corto. La versatilidad que puede tener el sistema esta basada en la capacidad de sus bloques para interrelacionarse, por ello la dualidad de solo procesar sin requerir el canal de adquisición, o el de solo ocupar el canal de adquisición, así como también en conjunto adquirir y procesar a la vez, por el procesador esclavo.

La tarjeta cuenta con un canal dado por una salida y una entrada analógica siendo estos respectivamente convertidores D/A y A/D de 12 bits. Se cuenta con un contador programable de 16 bits para las frecuencias de muestreo lo que le da un rango de versatilidad, desde señales típicas de control de frecuencia de 1Khz hasta procesamiento de voz con frecuencia de muestreo de 8Khz. Este contador opera en conjunto a un circuito lógico de lectura y escritura con lo que se tiene un sistema básico de adquisición de datos.

El procesador de propósito particular requiere de una memoria para instrucciones de programa de 4K y una memoria de datos de 8K la que puede expandirse a 64K.

La memoria de datos es direccionada a través de un contador de 16 bits, sobre el cual se puede cargar una dirección base en particular.

La interfase entre la computadora personal (PC) y el coprocesador es mediante acceso directo a memoria (DMA), lo que hace más rápida y eficiente la comunicación de instrucciones y resultados. Las memorias son compartidas por la PC y el coprocesador siendo el único punto de comunicación entre éstos.

Los accesos de la PC a las memorias de programa o de datos son en forma secuencial, para esto hace uso del mismo contador de direcciones que el procesador de propósito particular. Únicamente se accesa la memoria de datos en lecturas, y la memoria de programa en escrituras.

Se puede dar la operación de procesamiento en paralelo, esto es con los datos ya procesados por el coprocesador, la PC puede a su vez realizar un procesamiento independiente de el coprocesador pudiendo este último hacerlo igualmente sin perder algún dato.

Si bien existe un retraso de tiempo, que es el tiempo debido al procesamiento del coprocesador, más el tiempo de efectuar el DMA con los resultados hacia la PC, es considerablemente menor al que se requeriría si la PC realiza todo el proceso.

La PC como sistema produce para su comunicación con dispositivos externos E/S, un tiempo de retraso inherente a la arquitectura ya

establecida, ya sea por interrupciones, por DMA y puertos directos E/S.

Si bien los puertos directos E/S son una forma muy rápida de realizar la comunicación, son los más ineficientes en cuanto a lo que se requiere del sistema PC más tarjeta de adquisición-coprocesador, ya que reduciría el tiempo aprovechable de procesamiento en cerca de la mitad, esto debido a tener que chequear un estatus que indique la validez del dato.

Mediante interrupciones su limitación es un aumento en el tiempo, ya que para transferir los datos desde la memoria o hacia la memoria, estos pasan primero por la CPU de la PC, lo que lo hace un inconveniente para intentar procesos en tiempo real. Usando accesos por DMA los datos no pasan a través del procesador reduciendo tiempos.

La secuencia de operación del sistema es la siguiente.

- 1 Escribir el conjunto de instrucciones a realizar por el TMS en cierta localidad preestablecida de la PC. Estas instrucciones pueden ser de adquisición y/o también procesamiento.
- 2 Realizar un acceso directo a memoria(DMA) de memoria de la PC a memoria de instrucciones de programa del TMS32010.
- 3 Indicar cuando inicie el TMS32010 su operación.
- 4 Estando en operación el TMS, éste solo tiene que indicar el fin de la actividad. La PC solo chequea un estatus de fin de operación además de realizar otro proceso.
- 5 Cuando la PC tiene el estatus de fin de operación, efectúa los cambios para realizar un DMA de memoria de datos a una localidad en que la PC puede manejarlos. En tanto, el TMS32010 puede seguir

tomando muestras, no perder ninguna y procesar.

En caso de requerir mas de un DMA la PC le da el inicio de operación al TMS y a la vez que el coprocesador esta en funcionamiento la PC lo puede hacer de manera independiente con los datos del anterior DMA. En caso de no requerir al TMS32010 este se encuentra en estado de reset permanente.

Trabajando en forma complementaria TMS y PC reducen tiempo de trabajo en técnicas de procesamiento digital, a la vez que pueden operar en un procesamiento en paralelo. La PC al contar con el respaldo de un sistema para desplegar datos procesados, manejo de archivos, solo se encarga de una parte de el trabajo, reduciendo el tiempo.

El diagrama de bloques del sistema realizado y el de la PC se muestran respectivamente en las figuras II.1 y II.2.

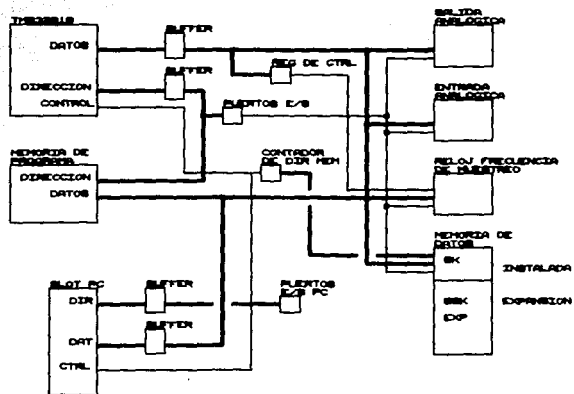


FIG
II.1

SYSTEMA DE PROCESAMIENTO
CON UN TERMINAL PARA PC

DIAGRAMA A BLOQUES
DEL SISTEMA

III DISEÑO DEL SISTEMA

III.1 COMPUTADORA PERSONAL

La Computadora Personal(PC) es una avanzada microcomputadora personal que proporciona al usuario una gran capacidad de memoria y un alto nivel de hardware. Esta usa un microprocesador de 16 bits, lo que permite una alta velocidad de operación y un gran poder en el manejo de gráficas y datos.

El microprocesador 8088 CPU de Intel tercera generación puede procesar dos bytes a la vez, es el corazón de el sistema.

Las líneas de direcciones y datos son conectados a través de buffers, y las líneas de control son conectadas hacia el controlador de buses. El controlador de buses decodifica las líneas de control y demultiplexa las líneas de datos/direcciones para producir el sistema de buses de datos, direcciones y control.

Un coprocesador numérico el 8087 es una opción para incrementar la velocidad en operaciones aritméticas. Un generador de reloj es conectado al CPU para proveerlo de una base de tiempo. Un controlador de interrupciones es conectado al CPU para manejo de interrupciones de el sistema desde componentes tales como el teclado, unidad de disco; puertos de E/S, y cualquier dispositivo sujeto a los slots de expansión.

El controlador de acceso directo a memoria(DMA) esta en el sistema para ejecutar transferencia de datos entre memoria y un dispositivo periférico tal como la unidad de disco, sin ir a través de la CPU. Esto es con el objeto de transferir grandes bloques de datos en un corto periodo. El controlador de DMA es conectado hacia el arbitro de buses, el cual

desconecta el CPU del sistema de buses. Esto es hecho para que el controlador de DMA pueda tomar control sobre el sistema de buses.

Una memoria de solo lectura ROM con el sistema BIOS es conectada hacia la CPU a través del sistema de buses. Cuando el sistema se inicializa, el CPU direcciona la ROM de BIOS y recibe las instrucciones en caso de inicio del sistema a operar.

Los puertos de E/S, controlador de unidad de disco, sistema de memoria, control lógico de video y la memoria de pantalla se comunican con el CPU a través del sistema de buses. La capacidad del sistema de memoria es de un mínimo de 120K a un máximo de 640K. El control lógico de video y la memoria de pantalla generan las señales de video hacia el monitor. El control lógico de video es usado también para hacer el refresco del sistema de memoria y tener acceso de alta resolución en gráficas las cuales son almacenadas en el sistema de memoria. La entrada de lecturas de los puertos E/S desde el teclado, la configuración de los switches (S1), y el puerto serie, generan las salidas hacia los puertos serie y paralelo [4].

El sistema incluye la interfase lógica para los puertos serie y paralelo. Cuenta con cuatro slots de expansión como una opción de conectar un dispositivo periférico.

Unidad del Sistema

- Procesador 8088(16 bits)
- Memoria 640K RAM(expandible)

- Número de unidades 1
 - Capacidad de disco Floppy 360K
 - Comunicación 1 RS-232C puerto serie
 - Slot de expansión 4 IBM PC slots compatibles
- Software
- Sistema operativo MS-DOS
 - Lenguaje GW-BASIC

III.1.1 CONTROLADOR DE DMA (CDMA)

El controlador de acceso directo a memoria (DMAC) es usado para transferir información entre el sistema de memoria y otro dispositivo sin utilizar el CPU. En la PC, el DMA es usado principalmente para transferencias entre la unidad de disco y la memoria. otros dispositivos también pueden requerir servicio a través de los slots de expansión.

El control de DMA se realiza de la siguiente manera. Una señal de requerimiento de DMA (DRQO-DRQ3) es enviada hacia el DMAC desde un dispositivo. El DMAC envía una señal de retenimiento de requerimiento (HRQ DMA) hacia el arbitro de buses. El arbitro de buses, después de recibir la señal HRQ DMA, envía una señal de reconocimiento (HLDA) hacia el DMAC y aísla el CPU de los tres buses (datos, direcciones y control). Después de recibir la señal HLDA, el DMAC envía una señal de reconocimiento (DACKO-DACK3) hacia el dispositivo que hace el requerimiento, indicandole

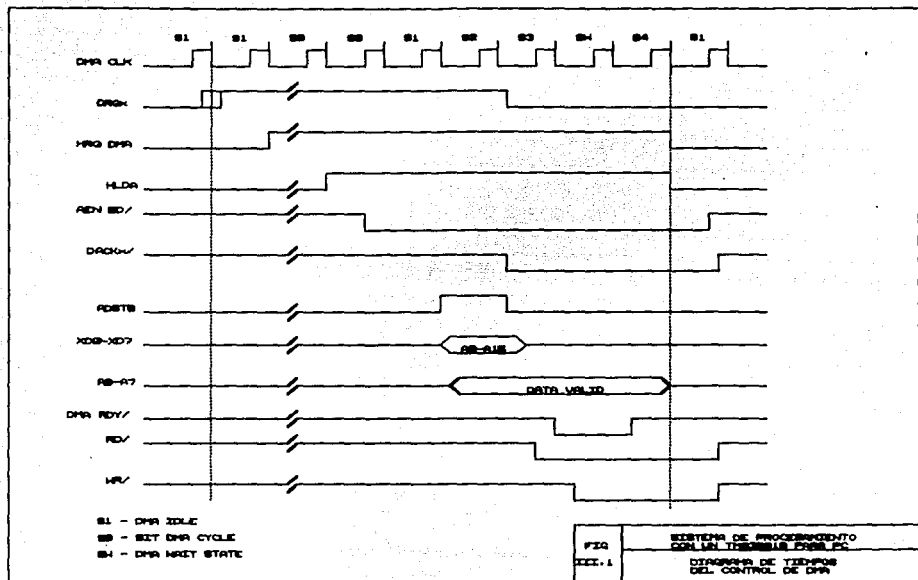
que ha sido aceptada su petición, y entonces el DMAC toma el control sobre el sistema de buses.

Cada ciclo de DMA toma 5 periodos de reloj, pero el diseño de la PC hace que se inserte un ciclo extra como un estado de espera, esto es hecho para asegurar un tiempo bastante grande para acceder desde memoria y los puertos de E/S. Por lo tanto en la PC cada ciclo de DMA toma 6 periodos de reloj, puesto que cada periodo es de aproximadamente 210 nanosegundos el tiempo total es de 1.26 microsegundos. El diseño de la PC requiere que el controlador de DMA opere en modo de transferencia único(byte), esto significa que es necesario que haya un ciclo de bus entre cada ciclo de DMA, puesto que el ciclo de bus de proceso del 8088 toma 4 periodos o 840 nanosegundos, este tiempo es necesario añadir al ciclo de DMA así pues el tiempo mínimo entre ciclos es de 2.1 microsegundos, por lo que la relación de transferencia máxima de DMA es de 476Kb por segundo [9].

Se muestra el diagrama de tiempos de control de DMA en la figura III.1.

III.1.2 CIRCUITO DE INTERRUPCION DE DMA

La señal para accesos por DMA via el slot de expansión, DRQ1 es un nivel alto, el cual debe mantenerse hasta que se habilite DACK1, estando el CDMA en operación de transferencia de un solo byte, ello implica que debe generarse un pulso por cada transferencia el cual debe ser estable, y DACK1 inicializar el circuito para el siguiente pulso de interrupcion [9].



III.2 BUFFER DE DATOS PC

El buffer de la PC para con la tarjeta es doble, una primera etapa formada por las unidades U3 y U57 que es el bus de la memoria de datos y una segunda etapa formada por las unidades U58 y U59 hacia el bus de la memoria de programa. El objeto es que no haya interferencias entre la PC y la tarjeta cuando la primera requiere acceder más de 8K de datos, pero a la vez siga operando la tarjeta y no haya pérdida de dato alguno. Los buffers son habilitados únicamente en transferencias por DMA.

III.3 DECODIFICACION DE PUERTOS PC

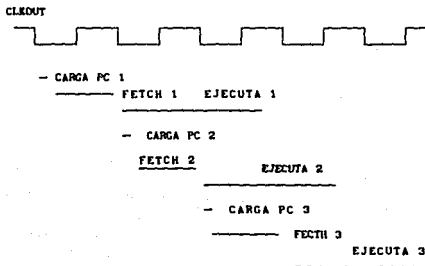
La PC necesita tener acceso a determinados estados de operación de la tarjeta, esto lo realiza a través de la decodificación de puertos.

PTO	OPERACION	FUNCION
Y5	I/O WR/	INICIO DE OPERACION
Y6	I/O WR/	AUTO INT DE DMA
Y7	I/O RD/	ESTATUS DE OPERACION

Los puertos Y0 a Y5 no están definidos para la tarjeta.

III.4 PROCESADOR DE SEÑALES DIGITALES TMS32010

El TMS32010 es el primer miembro de la nueva familia de procesamiento de señales digitales TMS320, diseñado para soportar un amplio rango de aplicaciones a alta velocidad y operaciones numéricas. La familia TMS320 contiene el primer microcomputador capaz de ejecutar cinco millones de instrucciones por segundo. Esta familia utiliza una arquitectura modificada Harvard para velocidad y flexibilidad. En una estricta arquitectura Harvard, las memorias de programa y datos están en dos espacios separados, permitiendo un completo transape de instrucciones fetch y de ejecución. La familia TMS320 con la modificación de arquitectura permite transferencias entre espacios de programas y datos. Esta modificación elimina la necesidad de una ROM, y también maximiza el poder de procesamiento por mantener dos estructuras de bus separados (programa-datos) para ejecución a máxima velocidad.



-Arquitectura Harvard

En conjunción con la arquitectura Harvard, una red de comunicación(pipelng) es usada extensivamente para reducir a su mínimo tiempo absoluto el ciclo de instrucción. Una red de comunicación puede ser desde dos a cuatro niveles de profundidad. La familia TMS320 primera generación usa dos niveles de red de comunicación. Esto significa que el dispositivo esta procesando desde dos a cuatro instrucciones en paralelo, y cada una de las instrucciones estan en una diferente etapa de ejecución. En operación de red de comunicación(pipeline), las operaciones de prefetch, decodificación, y de ejecución pueden manejarse independientemente, esto permite un transiape de instrucciones de ejecución. Durante el ciclo de instrucción, tres diferentes instrucciones son activadas, cada una en una etapa diferente de completarse. Por ejemplo, cuando la Nésima ha iniciado su prefetch la previa (N-1)ésima instrucción inicia su decodificación, y la previa (N-2)ésima instrucción inicia su ejecución. En general una red de comunicación es transparente al usuario.

La característica de cada dispositivo DSP es que es un multiplicador dedicado. En la familia TMS320, la multiplicación se realiza en un ciclo de instrucción como el resultado de un hardware dedicado a ello.

La multiplicación en paralelo de 16x16 consiste de tres unidades: el registro T, el registro P y el arreglo de multiplicadores. El registro T es de longitud de 16 bits que almacena a el multiplicando, mientras que el registro P es de longitud de 32 bits que almacena el producto.

Cuenta con instrucciones especiales para procesamiento de señales

digitales, el operador retraso (z^{-1}) es muy importante. esta función de retraso es dado por la instrucción DMOV. Otra instrucción especial es la LTD, que ejecuta las instrucciones LT, DMOV, y APAC en un solo un ciclo de instrucción.

Las características de el TMC2010 son las siguientes [1].

- Ciclo de instrucción de 200 ns
- ALU/ACUMULADOR de 32 bits soporta aritmética de doble precisión
- Multiplicación de 16x16 bits en complemento a dos en 200 ns
- Ocho canales de entrada y salida
- Bus de datos bidireccional de 16 bits, con relación de transferencia de 40 megabits por segundo
- Instrucción de 16 bits/palabra de datos
- Interrupción con salvación completa de contexto
- Tecnología NMOS en 2.4 micron
- Fuente de poder unica de 5v

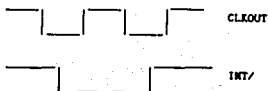
Definición de señales del TMS32010.

SIGNATURE	I/O	DEFINITION
A11/A0- PA2-PA0	O	External address bus. I/o port address multiplexed over PA2-PA0.
BIO/	I	External polling input for bit test and jump operations.
CLKOUT	O	System clock output, 1/4 crystal/CLKIN frequency.
D15-D0	I/O	16-bit data bus.
DEN/	O	Data enable indicates the processor accepting input data on D15-D0.
INT/	I	Interrupt.
MC/ $\overline{\text{MP}}$	I	Memory mode select pin. High selects microcomputer mode. Low selects microprocessor mode
MEN/	O	Memory enable indicates that D15-D0 will accept external memory instruction.
RS/	I	Reset used to initialize the device.
Vcc	I	Power.
Vss	I	Ground.
WE/	O	Write enable indicates valid data on D0-D15.
X1	I	Crystal input.
X2/CLKIN	I	Crystal input or external clock input.

III.4.1 CIRCUITO DE INTERRUPCION

El procesador TMS32010 maneja dos tipos de interrupciones, una por medio de hardware a través de la señal INT/, y la otra por medio de software siendo esta la de menor prioridad, estas se manejan por medio de la instrucción BIOC.

Se utiliza la interrupción por hardware, para tener acceso a los datos de la señal a muestrear. El pin de INT/ provoca que la ejecución sea interrumpida en cualquier punto del programa excepto después de una instrucción de multiplicación. La interrupción por hardware puede ser enmascarada dentro de puntos críticos de un programa con la instrucción DINT, como también habilitarla con EINT, cuando una interrupción INT/ es procesada, la bandera de interrupción INTF, es aclarada, INT es puesta a nivel alto, el contador de programa corriente es introducido en TOS(Top Stack) y el contador de programa es puesto a dos. Es necesario salvar el contexto de el procesador antes de servir la interrupción, para después restaurarlo [6].

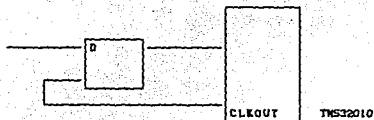


FETCH INST N	FETCH INST N + 1	COPIA FETCH INST N + 2	PECTH INST 002
--------------	------------------	------------------------	----------------

EJECUTA N	EJECUTA N+1	COPIA CICLO	EJEC 002
-----------	-------------	-------------	----------

-Tiempos de la interrupción

SEÑAL DE INTERRUPCION

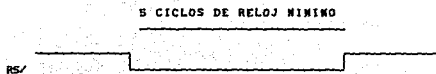


-Circuito de Interrupción

III.4.2 ESTADO INACTIVO DE EL TMS32010

Al operar el procesador TMS32010 en modo microprocesador, este siempre debe realizar una instrucción, una forma de ponerlo en un modo inactivo es por medio de una instrucción de NOP continua o en estado de reset permanente donde no realiza nada.

La función de reset es habilitada cuando esta señal se mantiene por un mínimo de cinco ciclos de reloj. Las líneas del bus de direcciones y el contador de programa son llevados a cero después de completar el siguiente ciclo de reloj.



-Señal de reset

III.5 BUFFER DE DATOS TMS

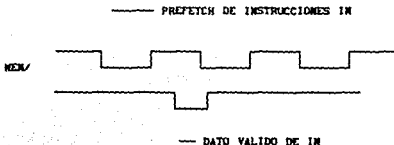
El bus de datos es doblemente buffereado primero por las unidades LS245, U17, U18, como canal hacia memoria de programa y resto de la tarjeta excepto memoria de datos, la cual es buffereada por las unidades LS245, U19 y U20, esto con el objeto de aislar a dicha memoria unicamente del resto de la tarjeta, en caso de que se requieran adquirir o procesar más de 8K de datos, en tanto la PC realiza un DMA, el TMS32010 no pierda muestras, para ello tenga acceso a el canal de adquisición via la primera etapa de buffers.

Una instrucción de OUT genera la habilitación para transferencia de datos hacia un dispositivo periférico. WE/ es activa baja durante el primer ciclo de instrucción. y unicamente es activa en instrucciones de OUT y TBLW, durante la última instrucción es activa en el segundo ciclo de instrucción. La ejecución de una instrucción IN genera la señal de habilitación DEN/ para transferencia de datos desde un dispositivo periférico a memoria de datos.

III.6 DECODIFICACION DE PUERTOS DEL TMS32010

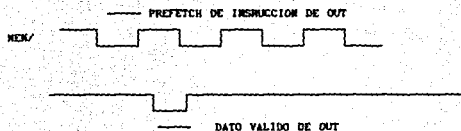
Los datos son transferidos entre el TMS32010 y la tarjeta de adquisición por medio de instrucciones IN y OUT. Este puerto es direccionado por las tres líneas menos significativas A0/PA0-A2/PA2 del bus de direcciones. Las líneas de direcciones son decodificadas y usadas en conjunto con las señales de control WE/ y DEN/ produciendo puertos únicos de entrada o salida.

La instrucción de IN, toma el dato desde un periférico y coloca a este en memoria de datos, es una instrucción de dos ciclos. Durante el primer ciclo, se direcciona el puerto, DEN/ se activa bajo en el segundo ciclo habilitando el dato para ser colocado en el bus de datos, D15-D0.



-Ciclo de instrucción de entrada

La instrucción de OUT transfiere datos desde una memoria de datos a un dispositivo periférico externo. Requiere de dos ciclos de instrucción, durante el primero se direcciona el puerto, y durante el segundo ciclo WE/ se activa bajo habilitando la palabra sobre el bus de datos D15-D0.



-Ciclo de instrucción de salida

Las líneas de dirección A3-A11 son retenidas a cero lógico durante la ejecución de estas instrucciones.

La definición de puertos es como sigue.

DIR PTO	FUNCION ENTRADA	FUNCION SALIDA
0	No usado	Registro de control
1	No usado	Frecuencia muestreo
2	Leer dato A/D	Escribe dato D/A
3	No usado	Dir inic memoria
4	Leer dato de mem	Escribe dato a mem
5	No usado	Fin de operación
6	No usado	Numero de transf. de DMA's
7	No definido	No definido

III.7 REGISTRO DE CONTROL

El registro de control es cargado por el TMS32010 para definir el modo de operación de la tarjeta de adquisición. Un modo específico de operación puede ser seleccionado por medio del bit de control del bus de datos y enviarse hacia el puerto 0 con una instrucción OUT. El registro de control se define como sigue.

Bit 0(X0)-	1 Habilita frecuencia de muestreo 0 Deshabilita frecuencia de muestreo
Bit 1(X1)-	1 Contador de direcciones de memoria incrementa 0 Contador de direcciones de memoria decremента

III.8 RELOJ DE FRECUENCIA DE MUESTREO

El reloj de frecuencia de muestreo consiste de un contador programable divisor por N. Se usa como señal fuente la del reloj del procesador CLKOUT. La señal de salida del reloj de frecuencia es usada por el convertidor A/D para acceder datos. La relación para la frecuencia de muestreo(F_{ms}) esta dada como sigue.

$$F_{ms} = F_{clkout} / N+1$$

La constante N es de longitud de 16 bits que puede ser cargada

enviando por el puerto 1, con una instrucción OUT, dicha constante. El rango de la frecuencia de muestreo es de 76 hz a 5 Mhz. Dentro del registro de control el bit 0(X0) puede deshabilitar a la frecuencia de muestreo, no produciendose por ello salida del reloj. Cuando se halle habilitado el reloj este decrementará la constante que se le cargó para producir la señal periódica de muestreo [2].

III.9 SISTEMA DE MEMORIA

El sistema de memoria es constituido por una memoria para datos de 8Kx16 expandible a 64Kx16, una memoria para intrucciones o de programa de 4Kx16, esto debido a la arquitectua Harvard modificada del procesador TMS32010.

III.9.1 MEMORIA EXTERNA DE DATOS

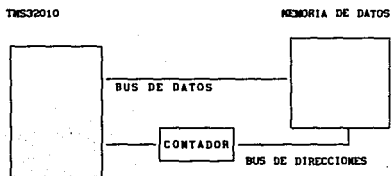
La tarjeta cuenta con una memoria para datos instalada de 8Kx16, esta actúa como una extensión de la memoria interna del procesador TMS32010, la memoria interna del procesador es de 144 localidades. Esta extensión de memoria interna puede ser expandible a 64K. La memoria usada es la HM6264P-12 de 8Kx8 RAM.

La memoria es accesada usando instrucciones de IN y OUT, para el direccionamiento de esta memoria requiere de un contador de direcciones, por lo cual los accesos a ella son en forma secuencial partiendo de una dirección base que puede ser indicada.

El modo del contador se encuentra dentro del registro de control por lo cual con el bit adecuado dentro del bus de datos y enviados por el puerto 0 con una instrucción OUT se especifica la operación. La memoria es entonces leída o escrita por el puerto 4 usando instrucciones de IN y OUT.

La lectura y escritura se refiere a la memoria de datos que es accesada por el puerto 4. El contador de direcciones es siempre modificado con cada instrucción de IN y OUT. Si ocurriera un carry la dirección inicial es de nuevo cargada. Esta característica permite una memoria circular [2],[3].

La memoria interna de datos consiste de 144 palabras de 16 bits RAM.



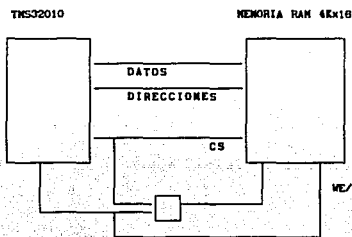
-Acceso a memoria de datos externa

III.9.2 MEMORIA DE PROGRAMA

Doce líneas de salida son disponibles para el direccionamiento de una memoria externa, A0-A11, y contienen las salidas buffereadas del contador de programa y las líneas de E/S de puertos. Cuando una instrucción realiza el ciclo de fetch desde la memoria externa, MEN/ es generada como habilitación. Las palabras de instrucción son entonces transferidas hacia el TMS32010 por medio de el bus de datos. La memoria externa debe de cumplir con un ciclo de acceso menor de 100 ns.

MEN/ nunca es activa en el mismo tiempo que las señales de WE/ o DEN/. MEN/ se activa bajo en cada ciclo de reloj excepto cuando una función de I/O se realiza ya sea por instrucciones IN, OUT, o TBLW [2],[3].

La memoria instalada es la IMS1420 RAM de 4Kx4. Debido a que se opera en modo microprocesador siempre esta realizando una instrucción de operación.



-Memoria de programa

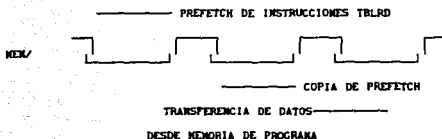
III.10 LECTURA-ESCRITURA ENTRE ESPACIOS DE MEMORIA

Las instrucciones de TBLR Y TBLW permiten la transferencia de palabras entre espacios de programa y de memoria. TBLR es usada para leer palabras desde la memoria de programa hacia la memoria de datos. TBLW es usada para escribir palabras desde la memoria de datos a la memoria de programa. La memoria es la interna del TMS32010 [1], [6].

La ejecución de una instrucción TBLR transfiere una palabra de memoria de programa a una localidad específica en memoria de datos. Los tres ciclos de instrucción son los siguientes.

- Prefetch: MEN/ se activa bajo y el código de operación es buscado. La previa instrucción es ejecutada.
- 1 Ciclo: MEN/ se activa bajo. La dirección de la siguiente instrucción es colocada sobre el bus de direcciones, pero el bus de datos no es leído. El Contador de programa es colocado sobre el stack. Los doce bits menos significativos de acumulador son cargados dentro de el contador de programa.
- 2 Ciclo: MEN/ se activa bajo. El contenido de contador de programa es buffereado hacia las líneas de direcciones. La localidad de la dirección de memoria es leída y es copiada dentro de una localidad específica de la memoria de datos. El nuevo contador de programa es sacado del stack.

3 Ciclo: MEN/ se activa bajo. El siguiente código de operación realiza su prefetch.



-Ciclo de instrucción TABLE READ

La instrucción de TBLW transfiere una palabra desde una localidad específica de memoria de datos a memoria de programa. La instrucción requiere tres ciclos.

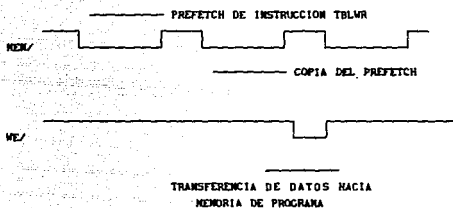
Prefetch: MEN/ se activa bajo y el código de operación es buscado. La instrucción previa esta ejecutandose

1 Ciclo: MEN/ se activa bajo. La dirección de la siguiente instrucción es colocada sobre el bus de direcciones, pero el bus de datos no es leído. El contador de programa es llevado sobre el stack. Los doce bits menos significativos del acumulador son cargados en el contador de programa.

2 Ciclo: WE/ se activa bajo. El contenido del contador de programa es buffereado hacia las líneas de

direcciones. El contenido de una localidad específica de memoria de datos es colocado sobre el bus de datos. El nuevo contador de programa es extraído del stack.

3 Ciclo: MEN/ se activa bajo. El siguiente código de operación realiza su prefetch.



-Ciclo de instrucción TABLE WRITE

III.11 CONTADOR PARA DIRECCIONES DE MEMORIA

El acceso a las memorias, de datos o programa, es en forma secuencial, el contador es formado por cuatro unidades U47, U48, U49 y U50, los cuales conectados en cascada pueden direccionar 64K de memoria. Los contadores son modificados en cada operación de escritura o lectura a las memorias. Una dirección base es cargada a través de la escritura WE/ por el puerto TY3/, en las unidades U21 y U22, a partir de esta dirección se puede incrementar o decrementar las localidades de una memoria. Al ocurrir un 'carry' la dirección base es cargada de nuevo [2].

III.12 CONTROL PARA CONTADOR DE MEMORIAS

La modificación de un estado en el contador de direcciones de memoria es a través de la decodificación de los pulsos, por un lado los del TMS32010, TY4/, WE/ DEN/ y X1, por parte de la PC, I/O WR/, I/O RD/ y DACK1/, dando una combinación específica para cada operación a determinada memoria. Puesto que las señales de control UP y DN las manejan tanto la PC como la tarjeta, es necesario aislar en determinado momento dichas señales, y esto se hace a través de la unidad U68.

III.13 INTERFASE DE LA PC CON LAS MEMORIAS

Para la Computadora Personal(PC) la memoria de programa de 4Kx16 que es como la accesa el TMS32010, conectada como dos memorias de 4Kx8, formando la parte alta y parte baja que corresponde a la memoria de 4Kx16. La memoria de datos de 8Kx16 accesada así por el TMS32010, para la PC, son dos memorias de 8Kx8.

El acceso directo a memoria (DMA) hacia las memorias de la tarjeta es a través del slot via decodificación de señales exclusivas para DMA (DRQ, DACK) del canal en uso.

Para llevar a cabo un acceso por DMA se requiere programar a el controlador básicamente de acuerdo a la siguiente tabla según el canal a utilizar. Se utilizó el canal 1 [9].

Register	Op	A3	A2	A1	A0	Internal Flip-Flop	Data Bus DBO-DB7
Base and Current Address	WR	0	0	1	0	0	A0-A7
		0	0	1	0	1	WB-A15
Current Address	RD	0	0	1	0	0	A0-A7
		0	0	1	0	1	A8-A15
Base and Current Word Count	WR	0	0	1	1	0	W0-W7
		0	0	1	1	1	WB-W15
Current Word Count	RD	0	0	1	1	0	W0-W7
		0	0	1	1	1	WB-W15

Código de direcciones para comandos de software.

A3	A2	A1	A0	OR/	IOW /	Operation
1	0	0	0	0	1	Read status Register
1	0	0	0	1	0	Write Command Register
1	0	0	1	1	0	Write Request Register
1	0	1	0	1	0	Write Single Mask Register Bit
1	0	1	1	1	0	Write Mode Register
1	0	0	0	1	0	Clear Byte Pointer Flip/Flop
1	1	0	1	0	1	Read Temporary Register
1	1	0	1	1	0	Master Clear
1	1	1	1	1	0	Write All Mask Register bits

III.14 ENTRADA ANALOGICA

La sección de la entrada analógica consiste de un filtro activo paso bajas, un convertidor analógico a digital y un circuito de control de lectura de datos.

III.14.1: FILTRO DE ENTRADA

El objetivo de este filtro es limitar la banda de la señal de entrada y minimizar los efectos de traslapo provocados por muestrear la señal de entrada a una relación menor de dos veces la frecuencia máxima de interés. El filtro paso bajas es de sexto orden con aproximación Butterworth, el cual consiste de tres secciones biquadráticas en cascada. Cada una de las secciones es un filtro paso bajas de ganancia infinita con realimentación múltiple. La función de transferencia de un filtro paso bajas de ganancia infinita con realimentación múltiple es [15]:

$$G(s) = \frac{-1/(R1 \cdot R2)}{s^2 C1C2 + sC2[(1/R1)+(1/R2)+(1/R3)] + 1/R2R3}$$

Las especificaciones de el filtro son las siguientes:

Frecuencia de corte (f_c) 4.7 KHz

Frecuencia de banda de rechazo (f_{br}) 5.5 KHz

Atenuación máxima en la banda de paso 2 db

Atenuación mínima en la banda de rechazo 10 db

De la especificaciones se calcula el orden de el filtro y de acuerdo a la función de transferencia se obtienen los elementos.

Orden $N = 5.9$

Los valores de los elementos pasivos ajustados a sus valores comerciales son los siguientes

primera etapa

R₃ = 2.7k

R₄ = 2.7k

R₅ = 1.3k

C₃ = 0.1uf

C₄ = 0.0033uf

segunda etapa

R₆ = 6.8k

R₇ = 6.8k

R₈ = 3.6k

C₅ = 0.12uf

C₆ = 0.0033uf

tercera etapa

R₉ = 10k

R₁₀ = 10k

R₁₁ = 4.7k

C₇ = 0.0068uf

C₈ = 0.0033uf

III.14.2 CONVERTIDOR ANALOGICO A DIGITAL

Se utiliza el convertidor ADC-HZ12B de alto funcionamiento, de 12 bits de resolución, fabricado sobre película delgada con tecnología híbrida. Usa la técnica de conversión por aproximaciones sucesivas para llevar a cabo una conversión en un tiempo de 8 microsegundos. El convertidor A/D es configurado para entradas analógicas entre +10 y -10 volts. Así el convertidor A/D es configurado para trabajar a su máxima frecuencia de conversión de 1.5Mhz con el propósito de eliminar tiempo de retraso, y así siempre tener una muestra 'fresca' en el momento que se requiera.

Definición de señales del convertidor [18].

PIN	FUNTION	PIN	FUNTION
1	BIT 12(LSB)	17	CLOCK RATE
2	BIT 11	18	REF OUT
3	BIT 10	19	CLOCK OUT
4	BIT 9	20	E. O. C. (STATUS)
5	BIT 8	21	START CONVERT
6	BIT 7	22	COMPAR INPUT
7	BIT 6	23	BIPOLAR OFFSET
8	BIT 5	24	10V RANGE
9	BIT 4	25	20V RANGE
10	BIT 3	26	ANALOG COM
11	BIT 2	27	GAIN ADJ
12	BIT 1(MSB)	28	+15V POWER
13	BIT 1(MSB)	29	BUFFER OUTPUT
14	SHORT CYCLE	30	BUFFER INPUT
15	DIGITAL COM	31	-15V INPUT
16	+5V POWER	32	SERIAL OUTPUT

III.14.3 CIRCUITO DE LECTURA

Se tiene acceso al dato del convertidor A/D por medio de la activación simultánea de las señal de control de el puerto TY2/y la frecuencia de muestreo requerida via una instrucción de IN.

III.15 SALIDA ANALOGICA

La etapa de la salida analógica se conforma de un circuito de escritura de dato, el convertidor digital a analógico y un filtro reconstructor de salida.

III.15.1 CIRCUITO DE ESCRITURA

Se activa la escritura de dato mediante una instrucción OUT via señal de WE/ y el puerto TY2 lo que permite que se mantenga el dato hasta la escritura del siguiente.

III.15.2 CONVERTIDOR DIGITAL A ANALOGICO

Se emplea el convertidor DAC1222-12, el cual además es multiplicador. Fabricado sobre una delgada película sobre la cual están los divisores de cargas resistivas R-2R para una referencia de corriente lo que da al circuito un excelente ajuste de temperatura (coeficiente máximo de error de linealidad de temperatura 0.0002%). El circuito usa switches CMOS, manejando un bajo consumo de potencia (30 mW). Requiere de un amplificador externo y un voltaje de referencia para funcionar como convertidor D/A.

Sus características importantes son [19].

- Resolución de 12 bits.
- Bajo consumo de potencia 10mW @ 15V típico.
- Rango del voltaje de referencia $-25V \leq V_{REF} \leq 25V$.
- Tiempo de conversión 500ns típico.
- Bajo error de realimentación $-1/2$ LSB @ 100Khz típico.
- Interfase directa con DTL, TTL y CMOS.

Definición de señales del convertidor.

PIN	FUNTION	PIN	FUNTION
1	OUT1	10	BIT A7
2	OUT2	11	BIT A8
3	GND	12	BIT A9
4	BIT A1(MSB)	13	BIT A10
5	BIT A2	14	BIT A11
6	BIT A3	15	BIT A12(LSB)
7	BIT A4	16	V+
8	BIT A5	17	VREF IN
9	BIT A6	18	RFEEDBACK

III.15.3 FILTRO DE SALIDA

El filtro de salida es idéntico al filtro de entrada, es un filtro paso bajas activo de sexto orden, aproximación Butterworth, y su función es la reconstrucción de la señal. Es posible recuperar la señal $\bar{x}(t)$ analógica de la señal $x[n]$ por la continua interpolación entre las muestras, si de acuerdo a lo siguiente:

$$\bar{x}(t) = \sum X[n] P(t-nT)$$

Siendo $P(t)$ la duración de un pulso cuadrado de duración T . Si bien este es un buen modelo para la salida de muchos de los convertidores D/A. Una mejor aproximación hacia la señal analógica original puede ser obtenida por un filtro paso bajas con forma de pulso. si la forma efectiva del pulso es:

$$P(t) = \frac{\text{sen } (\pi/T) t}{(\pi/T) t}$$

Entonces la señal original $x_a(t)$ puede ser recuperada de las muestras $x[n]$ si la transformada de Fourier de $x(t)$ es de banda limitada [16].

III.16 ESTATUS DE OPERACION DEL TMS32010

Para hacer el cambio de datos del TMS32010 hacia la PC, esta tiene que checar un estatus de operación del primero mediante una instrucción de IN por el puerto Y7, la cual decidirá en caso de ser activo, si procesa tal indicación, de no ser así continuará procesando la PC independientemente.

Se requiere del estatus de operación en caso de accesarmás de 8K de datos, para que la PC realice el cambio de direcciones hacia las cuales las pueda manejar sin interferir con el coprocesador, si este sigue procesando independientemente.

El estatus de operación se checa a través del bit 0 del bus de datos de la PC, esta línea del bus de datos es independiente del doble buffer de datos que utiliza la tarjeta para las transferencias de DMA. El TMS32010 indica a través del puerto TYS el fin de operación.

III.17 CIRCUITO DE CONTROL PC-TMS

El circuito es un controlador que en función de las operaciones dadas por las condiciones de inicio, número de datos y fin de operación, dadas por la PC y el TMS respectivamente, éste actúa dando el control a uno, la función principal del circuito es aislar la memoria de datos compartida, para en caso de requerir más de 8k de datos, mientras los demás bloques de la tarjeta siguen bajo control de el TMS.

Para llevar a cabo el control en base a los pulsos de fin de operación dado por el TMS TYS, el pulso de inicio Y5 por la PC y la señal

de el número de DMAs(BO).

El número de requerimientos de DMAs, es cargado hacia un contador por el puerto TYB con una instrucción de escritura a puerto por parte del TMS. La señal de BO es la que implícitamente pone fin al número de requerimientos.

Las señales de control generadas son ENBUF, la cual actúa sobre la primera etapa de buffers del bus de datos de el TMS y demás latches de aislamiento de la tarjeta, el aislamiento es respecto a la PC.

La señal de ENMDAT actúa sobre la segunda etapa de buffers del bus de datos de el TMS los cuales aíslan a la memoria de datos del TMS y el resto de la tarjeta en el momento que se ha llenado dicha memoria y se requieren más de 8k de datos, con ello se logra que el TMS via la primera etapa de buffers siga tomando o procesando muestras dentro de su memoria interna sin perder alguna en el momento que la PC realiza un DMA de memoria a memoria.

Este momento es en el que TMS y PC pueden operar en tareas independientes.

IV REALIZACION DEL SISTEMA

IV.1 INTERRUPCION DE DMA/ESTATUS DE OPERACION

El pulso que indica el fin de operación, dado por el TMS32010 TY5/, es el reloj para la unidad ALS74, U67, siendo de esta última el nivel hacia DRQ1, la señal para una interrupción vía el slot de la PC. Sobre la unidad ALS74, U67, actúan las señales de RESET y DACK1, la primera para inicialización y la segunda para aclarar la petición de interrupción y preparar a la unidad para la siguiente interrupción, esto es a través de la unidad ALS08, U51.

El pulso Y6/ generado por la PC, actúa como un inicio de autointerrupción de DMA, cuando se transfiere el código de operación de las instrucciones a la memoria de programa.

El nivel de petición de acceso por DMA, sobre DRQ1, establece el estatus de operación de la tarjeta, el cual la PC chequea a través del bit del bus de datos(D0), vía la unidad LS125, U70, este buffer es habilitado por las señales Y7/ y I/O RD/ sobre la unidad ALS32, U40. La línea del bus de datos(D0) es paralela a la primera etapa de buffers de la PC.

Se muestra su diagrama en la figura IV.1.

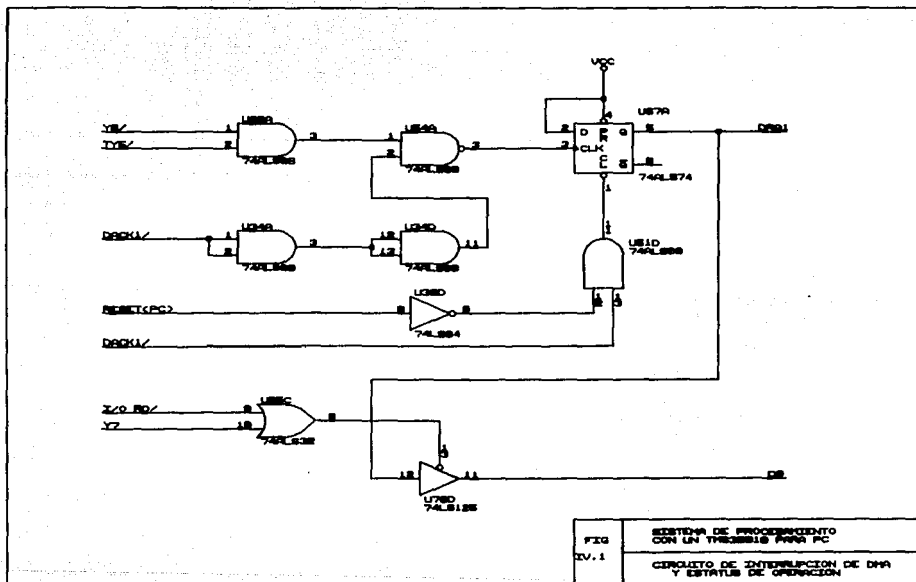


FIG
IV.1

SISTEMA DE PROCESAMIENTO
CON UN TMS320C10 PARA PC

CIRCUITO DE INTERRUPTOR DE DMA
Y ESTATUS DE OPERACION

IV.2 BUFFER DE DATOS PC

El bus de datos de la PC es buffereado por dos etapas, la primera por las unidades LS245, U3, U57, que es la comunicación con el bus de la memoria de datos. La segunda etapa formada por las unidades LS245, U58, U59, que es conectada hacia el bus de la memoria de programa. Se indica la dirección de las transferencias sobre los buffers con la señal I/O RD/ del slot.

La habilitación de la primera etapa es a través de la unidad ALS32, U32, con las señales de DACK1 y ENPC1. Para la segunda etapa en forma similar pero con las señales de DACK1 y ENPC2 via la unidad ALS32, U32.

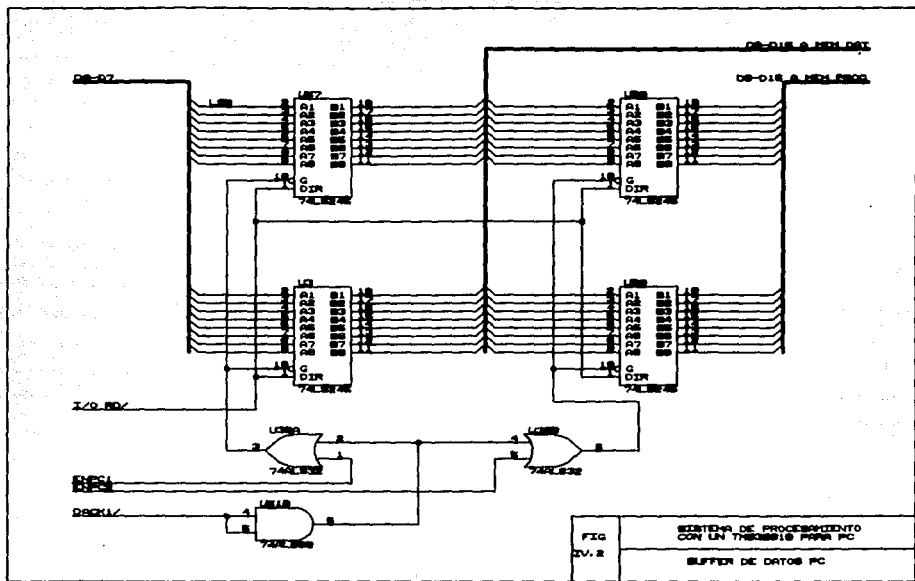
Únicamente durante accesos de DMA se habilitan estos buffers.

Se muestra el diagrama en la figura IV.2.

IV.3 DECODIFICACION DE PUERTOS PC

Se decodifica la dirección de A0-A2, en la unidad LS138, U2 siendo su habilitación la señal generada por la unidad LS688, U1 al comparar los niveles de A3-A9 y AEN que indican la validez de la dirección empleada. Se usan las direcciones 300h a 307h.

Se muestra el diagrama en la figura IV.3.



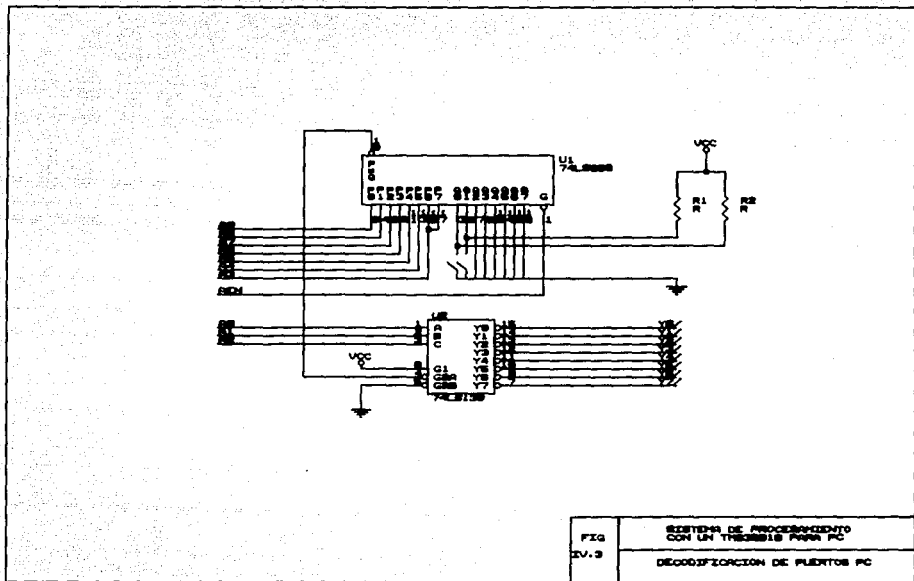


FIG IV.3	SISTEMA DE DECODIFICACION CON UN TRIAC PARA PC
	DECODIFICACION DE PUERTOS PC

IV.4 CIRCUITO DE INTERRUPCION DEL TMS32010

La unidad ALS74, U31, genera el pulso para interrumpir al TMS32010, esta unidad modifica su estado mediante la señal de frecuencia de muestreo (Fms), la cual será atendida si esta habilitada dicha interrupción. La señal de ENPC2 hacia el TMS32010 es la que lo mantiene en estado de reset permanente o lo habilita.

Se muestra su diagrama en la figura IV.4.

IV.5 BUFFER DE DATOS TMS

El bus de datos del TMS32010 es buffereado doblemente, primero por las unidades LS245, U17 y U18. Los transceptores son habilitados por DEN/ y MEN/, a través de las unidades U51, para indicarle la dirección de datos.

A la señal de DEN/ se le añade la de WE/ con un cierto retraso de tiempo. esto permite mantener la salida de datos por un tiempo igual al de retraso después que WE/ se inactiva. de igual forma se retrasa la señal DEN/ a través de las unidades LS08, U51, esto es necesario para prevenir un corto circuito entre los transceptores y la entrada por los latches cuando DEN/ se inactiva al final de un ciclo de lectura.

Las unidades LS245, U19 y U20 son el buffer hacia la memoria de datos que en dado momento aíslan a dicha memoria del TMS32010, y esto es cuando se van a acceder más de 8K de datos por parte de la PC, el control de la dirección es simultáneo al de la primera etapa de transceptores.

La primera etapa es conectada a la tarjeta excepto la memoria de datos, teniendo de esta forma el TMS32010, una vía de acceso para poder seguir operando cuando la PC requiere más de 8K de datos.

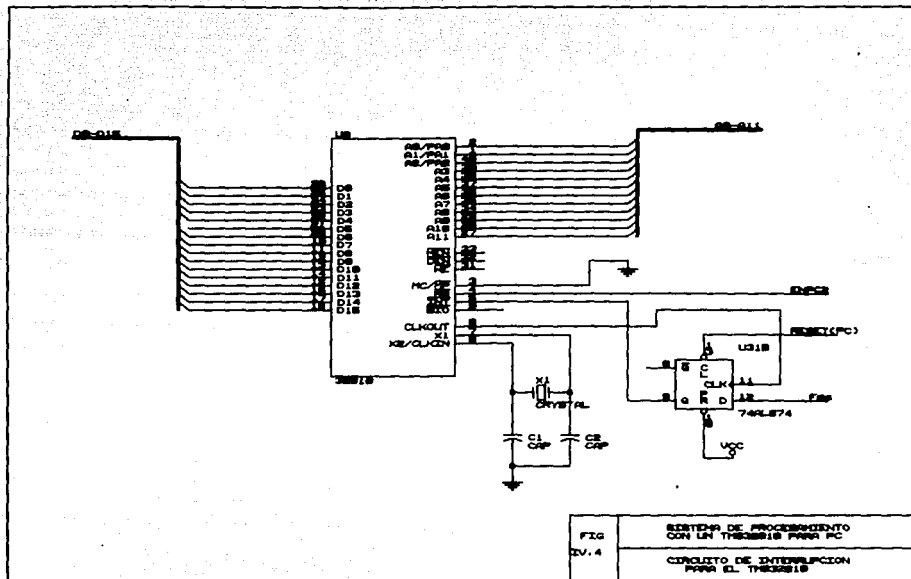
La habilitación de la primera etapa es a través de la unidad ALS32, U35, con la señal ENBUF. La segunda etapa via la unidad ALS32, U36, con la señal ENMDAT.

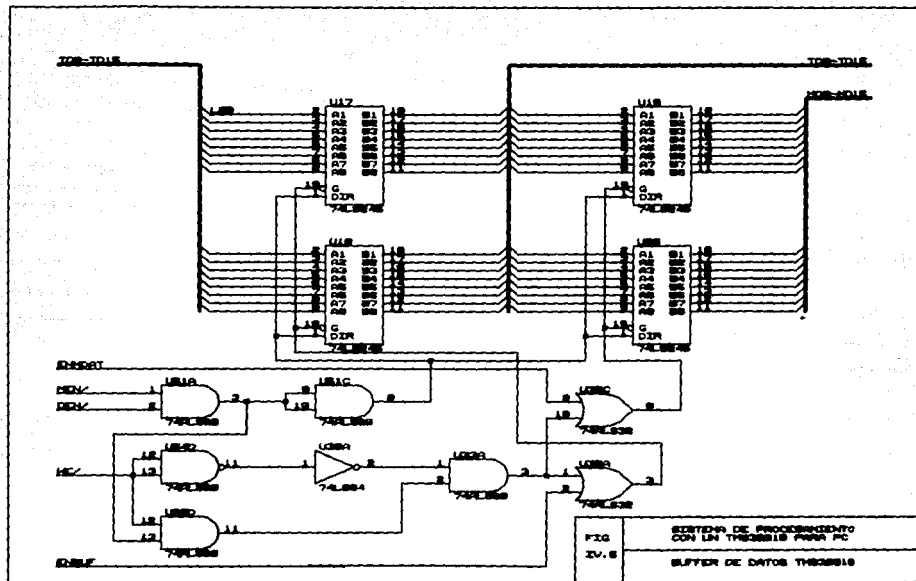
Se muestra el diagrama en la figura IV.5.

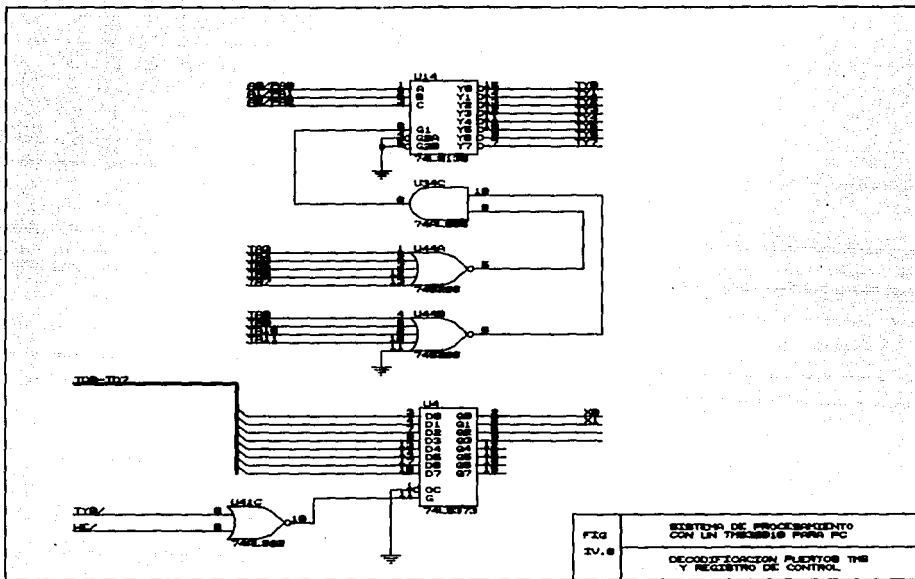
IV.6 DECODIFICACION DE PUERTOS TMS

Las tres líneas AO/PA0-A2/PA2 del TMS32010 son decodificadas por la unidad LS138, U14 la cual es habilitada al ponerse G1 en un nivel alto. La habilitación se da cuando las líneas de direcciones A3-A11 son nivel bajo en la unidad S260.

El diagrama se muestra en la figura IV.6.







IV.7 REGISTRO DE CONTROL

La palabra de control es latcheada por la unidad LS373, U4, mediante las señales de WE/ y TY0/en la unidad ALS02, U41 produciendo el pulso de control, un nivel alto, tiempo durante el cual la palabra de control es escrita y establecida en forma permanentemente para la operación de la tarjeta.

Su diagrama se indica en la figura IV.6.

IV.8 RELOJ DE FRECUENCIA DE MUESTREO

Los dieciséis bits de la constante a cargar son latcheados por las unidades LS373, U5 y U52 del menos significativo al más significativo respectivamente. El control de los latches es mediante las señales TY1/ y WE/ a través de la unidad ALS02, U41, produciéndose el pulso de control, nivel alto, hacia los latches. A la vez que se pone la constante en los latches se carga en los contadores, a través de la unidad ALS02, U41. La señal de reloj CLKOUT lo es para el contador más significativo, haciendo que decremente la constante cargada, conectados en cascada los demás contadores hacen lo propio con cada BO del primero. Al decrementarse la constante, produciéndose un BO por el último contador este pulso, a través de la unidad LS04, U38 y ALS2, U41, carga de nuevo la constante, así como también produce el pulso de control hacia la unidad LS76, U30, para dar salida a la señal de frecuencia de muestreo.

Se muestra el diagrama en la figura IV.7.

IV.9 CONTADOR PARA DIRECCIONES DE MEMORIA

En las unidades LS373, U21 y U22, es cargada la dirección base, esto a través de la unidad ALS02, U40, con los pulsos de TY3/ Y WE/, a la vez que se carga en los latches también se carga en los contadores vía unidad ALS02, U40. La dirección base puede ser cargada automáticamente cuando ocurre un acarreo en el último de los contadores. Mediante las señales UP y DN que actúan como reloj el contador modifica su estado, estas son generadas por el circuito de control para dicho contador de direcciones.

El pulso de TY5/ es para inicializar a los contadores, cuando el TMS32010, ha terminado su procesamiento y los accesos por parte de la PC corran desde una localidad cero.

Se muestra su diagrama en la figura IV.8.

IV.10 CONTROL DE CONTADOR PARA MEMORIAS

Decodificando los pulsos TY4/, WE/ y DEN/ en las unidades ALS32, U36 y ALS32, U65, se generan los pulsos para UP y DN por parte de el TMS32010. XI selecciona modo para UP o DN del contador a través de la unidad ALS04, U38, ALS32, U35. Para la habilitación de este conjunto de señales lo hace la señal ENMDAT en la unidades ALS32, U35. A la vez que se

da el pulso para el contador de direcciones, se realiza la lectura (TY4/, DEN/) o escritura (TY4/, WE/) por parte del TMS32010 a memoria de datos.

Las señales de la PC, I/O WR/, I/O RD/ y DACK1/ generan los pulsos para UP a través de las unidades ALS32, U32, ALS08, U33. Simultáneamente al realizar una lectura por DMA(DACK1/, I/O RD/) a memoria de datos, se direcciona una localidad. Al realizar una escritura por DMA(DACK1, I/O WR/) a memoria de programa se direcciona una localidad. La habilitación de las señales de control de la PC es por ENMDAT.

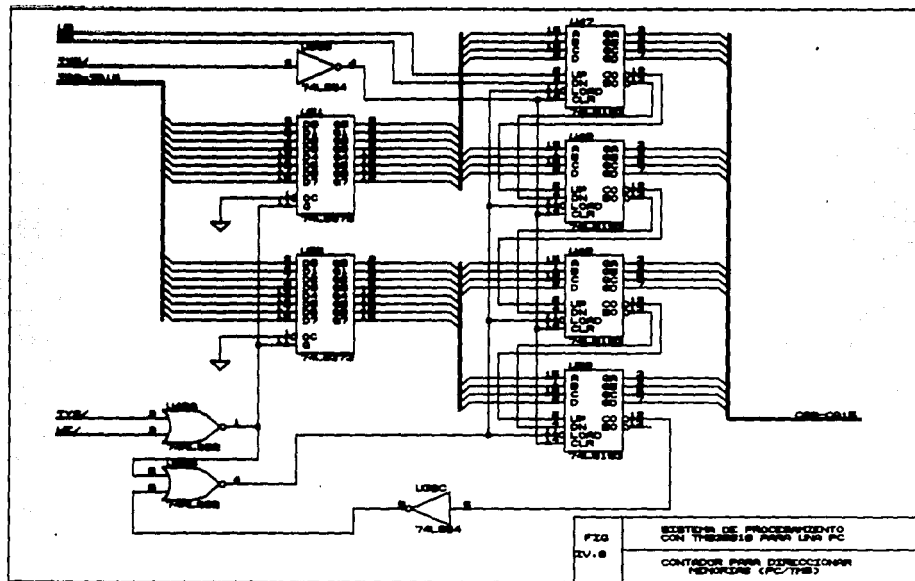
Siendo el conjunto de señales, de la PC y el TMS32010, buffereadas por la unidad LS126, U68.

Se muestra su diagrama en la figura IV.9.

IV.11 LATCH DE DIRECCIONES PARA MEMORIA DE PROGRAMA

La PC direcciona la memoria de programa a través del contador de direcciones, que usa el TMS32010 para acceder la memoria externa de datos, estas líneas de direcciones que usa la PC son latcheadas en las unidades LS373, U64, U62 los cuales son habilitados por la señal ENPC2. El TMS32010 direcciona esta memoria directamente con A0-A11, las cuales son latcheadas por las unidades LS373, U60, U61 los cuales son habilitados por la señal. Los accesos son en forma secuencial por parte de la PC hacia la memoria de programa.

Se muestra el diagrama en la figura IV.10.



F20
IV.8

SISTEMA DE PROCESAMIENTO
CON TMS320 PARA LISA PC
CONTADOR PARA DIRECCIONAR
MEMORIA (PC/XT)

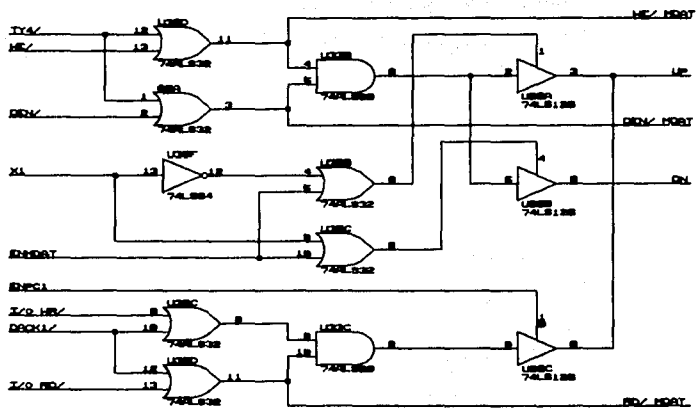
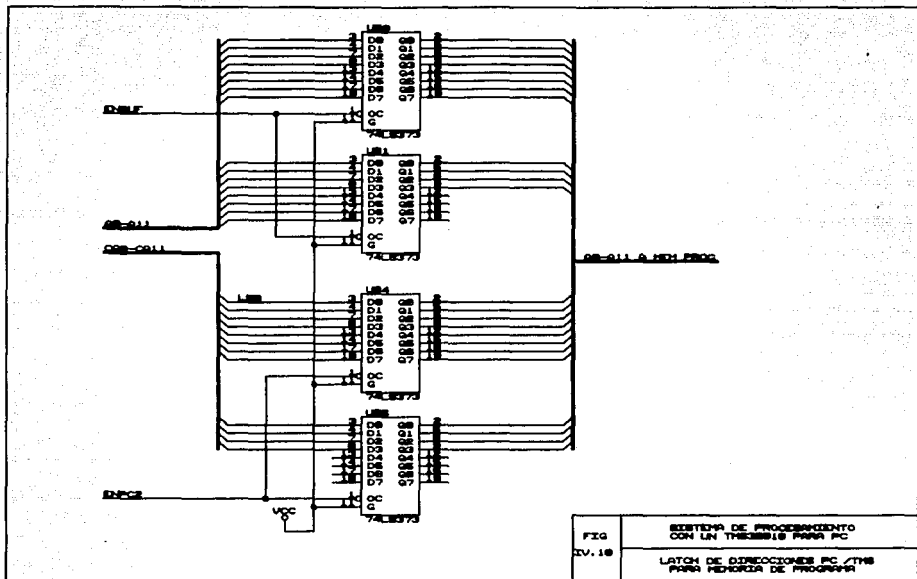


FIG IV.9	SISTEMA DE PROCESAMIENTO CON UN TMS32010 PARA PC
	CONTROL CONTADOR DE MEMORIA



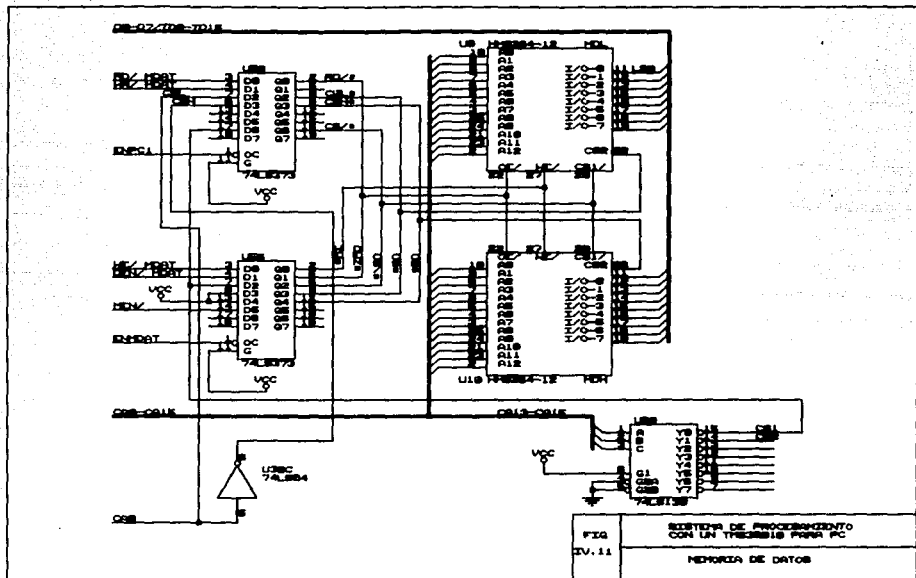
IV.12 CONTROL DE LAS MEMORIAS POR LA PC

La PC selecciona los 8Kx16 de memoria, como dos memorias de 8Kx8, para esto, via la unidad LS138, U29 y con las lineas de direcciones CA13-CA15 habilita cada CS/ de cada memoria como bloques de 8Kx8. Con CA0 se selecciona la memoria de localidades pares e impares, con objeto de que el TMS32010, las accese en forma correcta estas lineas de control junto a la señal de lectura (DACK1, I/O RD/), son buffereadas por la unidad LS373, U56, la cual es habilitada por ENPC1.

Se indica su diagrama en la figura IV.11.

La memoria de 4Kx16, la PC las maneja como dos bloques de memoria de 4Kx8, para ello habilita cada CS por medio de la decodificación de las linea CA0, via la unidad LS04, U39, como localidad par y localidad impar, la señal de escritura(DACK1, I/O WR/) es generada por la unidad ALS32, U65. Las lineas de control de la PC para la memoria de programa son buffereada por la unidad LS125, U70, la cual es habilitada por ENPC2.

Se indica el diagrama en la figura IV.12.



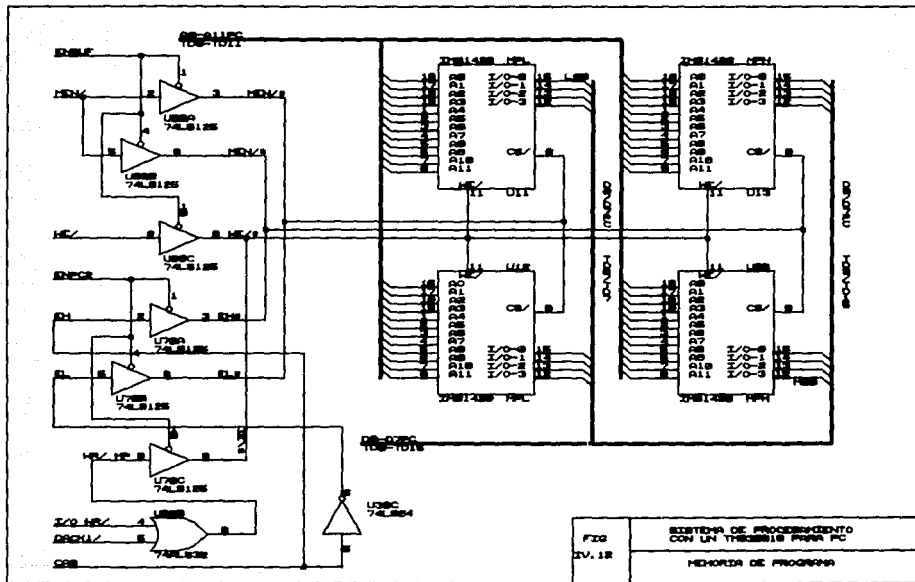


FIG IV. 12 SISTEMA DE PROCESAMIENTO CON UN THEOSIS PARA PC MEMORIA DE PROGRAMA

IV.13 CANAL DE ADQUISICION

El filtro pasobajas para la entrada analógica es realizado por amplificadores operacionales TL082, U71,U72.

Ver diagrama en la figura IV.13.

Debido a la alta frecuencia a la que se encuentra en operación el convertidor analógico a digital (1.5 Mhz), muy por encima de la frecuencia de muestreo, se tiene un dato estable para el momento que se requiera y así se evitan los errores que por retraso de conversión se produzcan.

La palabra debida a la conversión, es colocada en las unidades LS374, U23, U24 siendo las doce líneas más significativas conectadas al bus de datos, la habilitación de el circuito de lectura es a través de los pulsos de TY2/ y DEN/ via la unidad ALS32, U35. El diagrama se muestra en la figura IV.14.

El circuito de escritura al convertidor digital a analógico es a través de las doce líneas del bus de datos más significativas en las unidades LS373, U6, U7, las cuales son habilitadas por las señales de TY2/ y WE/ via la unidad ASL02, U42. El bit más significativo del bus de datos es invertido por la unidad LS04, U39, con el objeto de que los datos en complemento a dos se manejen como desplazamiento binario, el cual es como lo requiere el convertidor digital a analógico. El filtro pasobajas a la salida remueve las componentes de alta frecuencia presentes.

Se indica su diagrama en la figura IV.15.

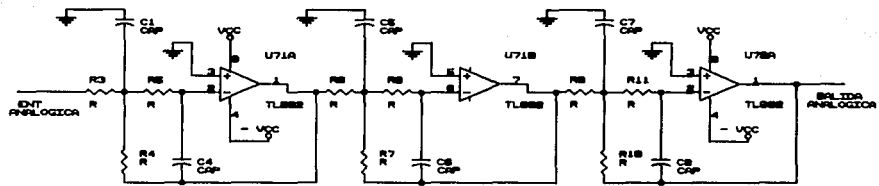
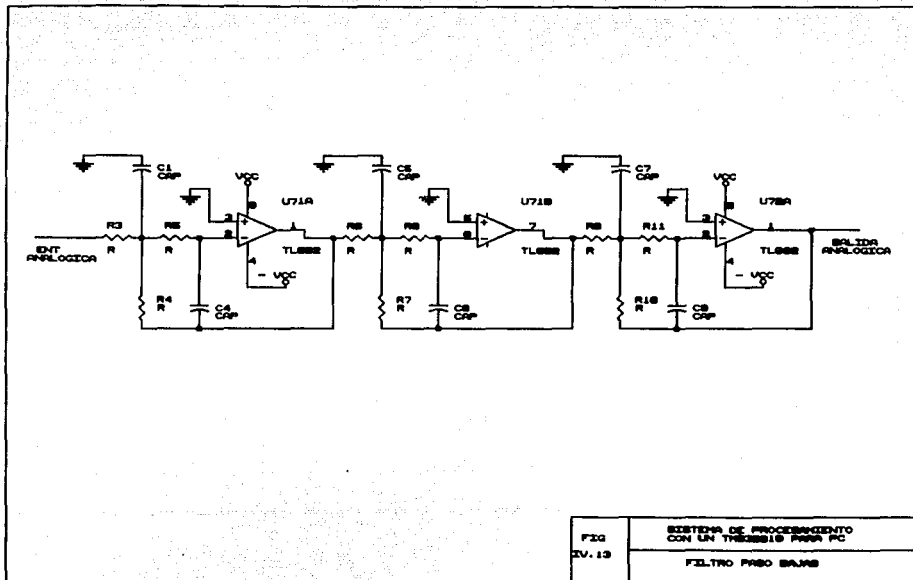


FIG IV.13	SISTEMA DE PROCESAMIENTO CON UN TRANSISTOR PARA PC
	FILTRO PASO BAJOS



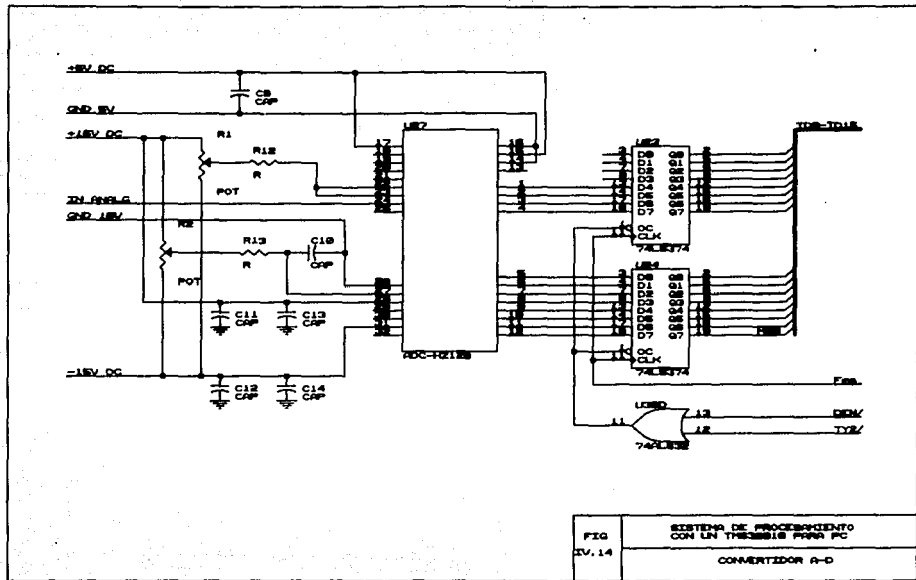


FIG
IV.14

SISTEMA DE PROCESAMIENTO
CON UN TRANSISTOR PARA PC
CONVERTIDOR A-D

IV.14 CIRCUITO DE CONTROL TMS-PC

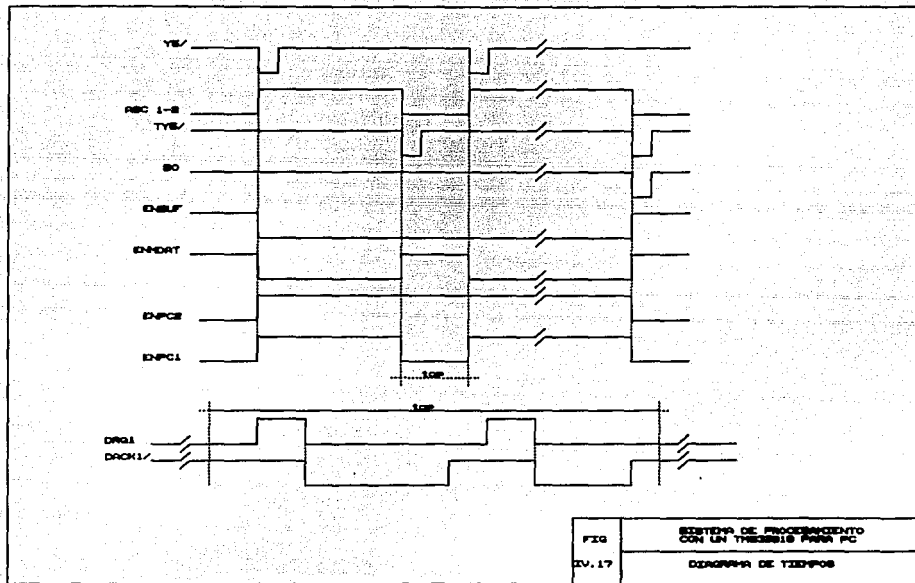
La U43, ALS74 es un contador 0-1 que en función de los flancos de las señales Y5/ y TY5/ via la U54, ALS00 cambia de estado. La señal BO de la U37, LS192 es generada cuando la palabra cargada, que es el número de DMAs a realizar se ha completado, se carga la palabra via la U36 al activarse TY6/ y WE/ en nivel bajo. La señal TY5/ actúa como reloj del contador, esta señal indica el fin de operación por parte de el TMS.

Las señal de reloj es el pulso de BO, esta genera el nivel que habilita o deshabilita la etapa de buffers que produce que se aísle o no al TMS y demás latch de la tarjeta excepto la memoria de datos, via la U31, ALS74 generando ENBUF. La señal de Y5/ y RESET de la PC son una inicialización de la unidad U31.

El diagrama se muestra en la figura IV.16.

Se generan tres señales además de ENBUF, ENPC1, ENPC2 y ENMDAT, que dan el control para toda la tarjeta.

El diagrama de señales se muestra en al figura IV.17.



IV. 15 COMPONENTES

U1	74LS688	COMPARADOR DIGITAL
U2	74LS138	DECODIFICADOR 3 A 8
U3	74LS245	TRANSCEPTOR OCTAL
U4	74LS373	LATCH OCTAL
U5	74LS373	LATCH OCTAL
U6	74LS373	"
U7	74LS373	"
U8	TMS32010	PROCESADOR TMS
U9	HM6264P-12	RAM 4Kx8
U10	HM6264P-12	"
U11	1MS1420	RAM 4Kx4
U12	1MS1420	"
U13	1MS1420	"
U14	74LS138	DECODIFICADOR 3 A 8
U15	74LS193	CONTADOR BINARIO 4 BITS
U16	74LS193	"
U17	74LS245	TRANSCEPTOR OCTAL
U18	74LS245	"
U19	74LS245	"
U20	74LS245	"
U21	74LS373	LATCH OCTAL
U22	74LS373	"
U23	74ALS374	LATCH OCTAL
U24	74ALS374	"

U25	LH741	AMP. OP.
U26	1MS1420	RAM 4Kx4
U27	ADC-HZ12B	
U28	DAC1222	
U29	74LS138	DECODIFICADOR 3 A 8
U30	74ALS76	FLIP FLOP JK
U31	74LS74	FLIP FLOP D
U32	74ALS32	OR
U33	74ALS08	AND
U34	74ALS08	AND
U35	74ALS32	OR
U36	74ALS32	"
U37	74ALS32	"
U38	74LS04	INVERSOR
U39	74LS04	"
U40	74ALS02	NOR
U41	74ALS02	"
U42	74ALS02	"
U43	74ALS74	FLIP FLOP D
U44	74S260	HOR
U45	74LS193	CONTADOR BINARIO 4 BITS
U46	74LS193	" " "
U47	74LS193	" " "
U48	74LS193	" " "

U49	74LS193	" " "
U50	74LS193	" " "
U51	74ALS08	AND
U52	74LS373	LATCH OCTAL
U53	74LS139	DECODIFICADOR 2 A 4
U54	74ALS00	NAND
U55	74LS373	LATCH OCTAL
U56	74LS373	" "
U57	74LS245	TRANSCEPTOR OCTAL
U58	74LS245	" "
U59	74LS245	" "
U60	74LS373	LATCH OCTAL
U61	74LS373	" "
U62	74LS373	" "
U63	LM741	AMP. OP.
U64	74LS373	LATCH OCTAL
U65	74ALS08	AND
U66	74ALS08	"
U67	74ALS74	FLIP FLOP D
U68	74LS125	BUFFER 3 ESTADOS
U69	74LS125	" " "
U70	74LS125	" " "
U71	TL082	AMP. OP.
U72	TL082	" "

IV.16 MODO DE OPERACION DEL SISTEMA

Para inicializar el modo de trabajo del sistema de procesamiento existe la opción a través de un pequeño sistema en lenguaje de alto nivel, éste sistema maneja lo referente a la operación en conjunto tarjeta y PC y contempla las siguientes opciones:

1.-Cargar código de operación a realizar por el TMS32010 mediante teclado directamente o por un archivo, así como checar estatus de este último.

Una etapa que no contempla la primera opción y que es necesario realizar antes a ésta, es la siguiente.

.-Traducir el programa a ejecutar por el TMS32010, de ensamblador -su código de operación- a un formato decimal, escribiendo la parte menos significativa primero(dos bytes), enseguida la parte más significativa(dos bytes), de esta forma sucesivamente para todo el programa.

2.-Con señal de entrada sin procesar por el TMS32010: salvar en archivo señal, procesar ésta señal(PC), salvar datos y desplegar gráfica de señal y datos en pantalla.

3.-Con la señal de entrada y datos procesados por el TMS32010: guardar en archivo señal/datos, desplegar gráfica en pantalla señal/datos.

V VALIDACION DEL SISTEMA

Para llevar a cabo la verificación del sistema, se implanta el algoritmo, para realizar una transformada de Fourier discreta.

El análisis de Fourier no es un concepto nuevo. Desde que su autor lo desarrolló, a principios de 1800, una gran cantidad de libros y artículos han ido apareciendo sin interrupción. A pesar de ello, aún hoy día, el análisis de Fourier puede presentarse en un nuevo contexto, como una interesante transformación matemática que genera información en el dominio de la frecuencia, y que es generalmente difícil de aplicar a mano, con lápiz y papel, en la mayoría de casos prácticos. Aun con la aparición de las computadoras digitales, un análisis de Fourier útil consumía demasiado tiempo y caro económicamente. Fue en 1960, a raíz de la publicación de P. M. Cooley y J. W. Tukey del famoso algoritmo de transformada rápida (FFT), cuando se creó el nuevo contexto del análisis de Fourier, de forma que se obtenían las condiciones de rapidez y economía para desarrollar y aplicar dichas técnicas a una amplia gama de procesos de análisis y medidas

ALGORITMO DE FACTORES PRIMOS EN EL LUGAR (PFA)

Mapa índice de factores primos

Para visualizar la indexación en el algoritmo, consideremos un ejemplo en dos dimensiones. La transformada de Fourier discreta (DFT) se define como sigue [11],[22]:

$$c(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk}, \quad W_N = e^{-j(2\pi/N)} \quad (V.1)$$

para $k = 0, 1, \dots, N-1$. Si la longitud de la secuencia puede ser factorizada en dos factores primos mutuos $N = N_1 N_2$, un cambio de variables* puede realizarse:

$$n = \langle K_1 n_1 + K_2 n_2 \rangle_N \quad (V.2a)$$

$$k = \langle K_3 k_1 + K_4 k_2 \rangle_N \quad (V.2b)$$

$$\hat{x}(n_1, n_2) = x(\langle K_1 n_1 + K_2 n_2 \rangle_N)$$

$$\hat{c}(k_1, k_2) = c(\langle K_3 k_1 + K_4 k_2 \rangle_N)$$

para n_1 y $k_1 = 0, 1, \dots, N_1-1$ y n_2 y $k_2 = 0, 1, \dots, N_2-1$. Esto da

$$\hat{c}(k_1, k_2) = \sum_{n_1=0}^{N_1-1} \sum_{n_2=0}^{N_2-1} \hat{x}(n_1, n_2) \quad (V.3)$$

$$W_N^{K_1 K_3 n_1 k_1} \quad W_N^{K_1 K_4 n_1 k_2} \quad W_N^{K_2 K_3 n_2 k_1} \quad W_N^{K_2 K_4 n_2 k_2}$$

con la condición de que el mapa sea único

$$\begin{aligned} K_1 &= aN_2 & y & & K_2 &= bN_1 \\ K_3 &= cN_2 & y & & K_4 &= dN_1 \end{aligned} \quad (V.4)$$

* Se usa la notación para el residuo de un número $\langle x \rangle_N = x \bmod N$

Las condiciones para cálculos de desacoplar renglones y columnas es dada por .

$$\langle K_1 K_4 \rangle_N = \langle K_2 K_3 \rangle_N = 0 \quad (V.5)$$

Y con los requerimientos que producen sumas cortas de longitud N_1 para N_2 DFT's son

$$\begin{aligned} \langle K_1 K_3 \rangle_N &= N_2 \\ \langle K_2 K_4 \rangle_N &= N_1 \end{aligned} \quad (V.6)$$

Un conjunto de coeficientes que satisfacen todas estas condiciones son:

$$\begin{aligned} a &= b = 1 \\ \text{y } K_3 &= N_2 \langle N_2^{-1} \rangle_{N_1} \quad K_4 = N_1 \langle N_1^{-1} \rangle_{N_2} \end{aligned} \quad (V.7)$$

que con la ecuación (3)

$$\hat{c}(k_1, k_2) = \sum_{n_2=0}^{N_2-1} \sum_{n_1=0}^{N_1-1} x(n_1, n_2) W_{N_1}^{n_1 k_1} W_{N_2}^{n_2 k_2} \quad (V.8)$$

Esta es ahora la forma de una DFT en dos dimensiones, donde los cálculos requeridos para evaluar la ec. (V.8) son menores que en las ec. (V.1) y (V.3). La evaluación de la ec. (V.8) puede hacerse calculando la suma inicial N_1 DFT's de longitud N_2 de la suma externa con N_2 DFT's de longitud N_1 .

Si la longitud tiene tres factores primos dados por

$$N = N_1 N_2 N_3$$

el mapa índice de tiempo es

$$n = \langle N_2 N_3 n_1 + N_1 N_3 n_2 + N_1 N_2 n_3 \rangle N$$

y la DFT es ahora

$$X = \sum_{n_3=0}^{N_3-1} \sum_{n_2=0}^{N_2-1} \sum_{n_1=0}^{N_1-1} x \cdot W_{N_1}^{n_1 k_1} W_{N_2}^{n_2 k_2} W_{N_3}^{n_3 k_3}$$

los cálculos serian de la forma siguiente

$$X = \sum_{n_4=0}^{N_3 N_2 - 1} \sum_{n_1=0}^{N_1 - 1} x \cdot W_{N_1}^{n_1 k_1} W_{N_2 N_3}^{n_4 k_4}$$

donde n_4 y $k_4 = 0..(N_2 N_3 - 1)$

$$X = \sum_{n_4=0}^{N_3 N_2 - 1} \sum_{n_2=0}^{N_2 - 1} x \cdot W_{N_2}^{n_2 k_2} W_{N_1 N_3}^{n_4 k_4}$$

donde n_4 y $k_4 = 0..(N_1 N_3 - 1)$

$$X = \sum_{n_4=0}^{N_3 N_2 - 1} \sum_{n_3=0}^{N_3 - 1} x \cdot W_{N_3}^{n_3 k_3} W_{N_1 N_2}^{n_4 k_4}$$

donde n_4 y $k_4 = 0..(N_1 N_2 - 1)$.

Reordenamiento

Cuando el algoritmo de factores primos en el lugar se utiliza la secuencia de los resultados necesita ser reacomodado para tener la DFT en apropiado orden. Si los datos estan en orden apropiado sea en un arreglo X y Y, el indice de tiempo son las mismas y estan relacionadas a indices en dos dimensiones por el mapa de entrada en (V.2). Después de que los cálculos son hechos, las localidades de los valores de salida de la DFT son dados por el mapa de entrada $n = \langle K_1 k_1 + K_2 k_2 \rangle_N$ pero los indices de frecuencia son dados por el mapa de salida $k = \langle K_3 k_1 + K_4 k_2 \rangle_N$. En orden a reordenar los resultados, una relación entre n y k necesita ser encontrada.

En base al teorema Chino del residuo (CRT) [13]. El cual establece que si un módulo entero es factorizado dentro de dos (o más) factores primos relativos $N = N_1 N_2$ y el residuo de un numero n es modulo evaluable estos dos factores, $n_1 = \langle n \rangle_{N_1}$, y $n_2 = \langle n \rangle_{N_2}$, entonces el valor original puede ser reconstruido por la formula $n = \langle K_1 n_1 + K_2 n_2 \rangle_N$ por una elección adecuada de K_1 .

Una forma más general de el CRT es necesaria. Una definición general de residuos por ni $= \langle a_i n \rangle_{N_i}$ donde a_i y N_i son primos relativos. De nuevo, el número original n puede encontrarse de la generalización de residuos n_1 . Si

$$n_1 = \langle a_1 n \rangle_{N_1} \quad \text{y} \quad (a_1, N_1) = 1 \quad (V.9)$$

$$n = \sum K_i n_i \quad (V.10)$$

$$\text{donde } K_1 = \langle N/N_1 \langle (N/N_1) \rangle_{N_1}^{-1} a_1 \rangle_N^{-1} \quad (\text{V.11})$$

Este es el teorema generalizado del residuo, el cual se reduce a su forma ordinaria si $a_1=1$.

Una característica muy importante, inversa de este teorema puede ser establecida. Para cualquier mapa índice de factores primos permisible de la forma (V.10), un conjunto de a_1 existe tal que este mapa de índices es la forma generalizada para la ecuación de reconstrucción. Los valores para los a_1 se encuentran por sustitución conocidos los valores en (V.9) y (V.10):

Aplicando este resultado para el reordenamiento. Si la ubicación de los valores calculados es dada por

$$n = \langle K_1 k_1 + K_2 k_2 \rangle_N \quad (\text{V.12})$$

y el índice de frecuencia

$$k = \langle K_3 K_1 + K_4 k_2 \rangle_N \quad (\text{V.13})$$

entonces (V.13) es el CRT generalizado y (V.12) se puede escribir

$$n = \langle K \langle a_1 k \rangle_{N_1} + K_2 \langle a_2 k \rangle_{N_2} \rangle_N \quad (\text{V.14})$$

debido a las restricciones

$$K_1 = \alpha N_2, \quad K_2 = \beta N_2 \quad (\text{V.15})$$

$$n = \langle \langle K_1 a_1 k \rangle_N + \langle K_2 a_2 k \rangle_N \rangle_N \quad (\text{V.16})$$

si definimos una variable

$$\text{UNSC} = \langle \sum_1 k_1 a_1 \rangle_N \quad (\text{V.17})$$

dando la relación deseada

$$n = \langle \text{UNSC} * k \rangle_N \quad (\text{V.18})$$

Indexación general

El mapa de índices de factores primos usa la llamada correspondencia Ruritanian [22], [24] y [25], para el mapa índice de entrada, esto es :

$$n = \sum (N/N_1) n_1 \quad (\text{V.19})$$

que para dos dimensiones es

$$n = \langle N_2 n_1 + N_1 n_2 \rangle_N \quad (\text{V.20})$$

el mapa de salida es necesariamente el regular CRT, que es

$$k = \langle K_3 k_1 + K_4 k_2 \rangle_N$$

donde $k_3 = \langle N_2 \langle N_2 \rangle^{-1} N_1 \rangle_N$

$$k_4 = \langle N_1 \langle N_2 \rangle^{-1} N_2 \rangle_N \quad (\text{V.21})$$

que es la misma que (V.11) para $a_1 = 1$, la constante de reordenamiento de (V.17) es

$$\text{UNSC} = \langle \sum (N/N_1) \rangle_N$$

Si se desea tener la salida de la DFT PFA en el lugar y que ocurra en orden apropiado, el orden de la entrada necesita ser reordenada apropiadamente. La salida tienen la ubicación dada por el índice de frecuencia, el mapa de salida (CRT) (V.14) que necesita ser usado en el cálculo del índice al contrario que el mapa de entrada (V.13). La entrada necesita ser permutada para que el mapa de salida direcciona el valor de entrada apropiado. Para que la salida sea:

$$k = \langle K_3 k_1 + K_4 k_2 \rangle_N \quad (V.22)$$

el algoritmo necesita tener los datos en las localidades

$$k = \langle K_3 n_1 + K_4 n_2 \rangle_N \quad (V.23)$$

con el índice de tiempo

$$n = \langle K_1 n_1 + K_2 n_2 \rangle_N \quad (V.24)$$

Usando el mismo argumento como antes, dada para la relación de índices

$$k = \langle SCR * n \rangle_N$$

$$SCR = \langle K_3 b_1 + K_4 b_2 + \dots \rangle_N$$

$$n_1 = \langle b_1 n \rangle_{N_1} \quad (V.25)$$

con los b_j siendo las constantes apropiadas para (V.13), que es la ecuación generalizada del CRT. Este cálculo particular del índice resulta en un PFA equivalente a el algoritmo de decimación en el tiempo con salida ordenada e inversión del dígito de reordenamiento en la entrada.

De lo anterior se observa, que si se usa el mapa de entrada se requiere un postordenamiento, y si se usa el CRT(mapa índice de frecuencia) se requiere un preordenamiento.

Para ilustrar la parte del algoritmo referente a la indexación en un programa en lenguaje FORTRAN.

Ver parte del programa de indexación para el PFA.

```
c N = NI[1] * NI[2] * ... * NI[M]
c unsc = N/NI[1] + N/NI[2] + ... + N/NI[M], MOD N
c-----ciclos anidados-----
```

```
DO 10 K = 1, M
  N1 = NI(K)
  N2 = N/N1
  I(1) = 1
  DO 20 J = 1, N2
    DO 30 L = 2, N1
      35 I(L) = I(L-1) + N2
      IF (I(L).GT.N) I(L) = I(L) - N
    30 CONTINUE
      GOTO (40, 104, ...), N1
    40 I(1) = I(1) + N1
    20 CONTINUE
  10 CONTINUE
c-----reordenamiento-----
```

```
L = 1
DO 2 K = 1, N
  A(K) = X(L)
  B(K) = Y(L)
  L = L + UNSC
  IF (L.GT.N) L = L - N
  2 CONTINUE
```

```
c-----modulos de DFT's de longitud corta-----
```

```
104 DFT de longitud 4
105 DFT de longitud 5
etc.
```

-Indexación para el PFA

El programa toma datos de entrada con parte real en el arreglo X, y parte imaginaria en el arreglo Y, calcula DFT's de longitud N en el lugar (las salidas escritas sobre las entradas X y Y). La longitud N necesita ser factorizada en M factores primos que son dados en los arreglos NI, esto es:

$$N = NI(1) * NI(2) * \dots * NI(M).$$

En el programa, la instrucción DO 10 evalua los M-dos arreglos dimensionales calculados por una construcción secuencial de NI igual a cada uno de los factores y el correspondiente N2 igual a N/NI. La instrucción DO 20 calcula N2 DFT's de longitud NI. Esto se realiza en la instrucción DO 30 usando el mapa indice de entrada $n = N2 * n_1 + NI * n_2$ implementado en las declaraciones 35y40 para calcular las localidades de las NI entradas en arreglos X y Y. La instrucción GOTO computada salta a la sección apropiada que evalúa la DFT de longitud NI por uno de los algoritmos rápidos de Winograd, colocando el resultado en las mismas localidades que la entrada, y regresa a la etiqueta 40 donde el segundo índice del mapa de entrada es incrementado sumandole NI a n. La siguiente DFT de longitud NI es calculada hasta que todos los N2 se han realizado. Cuando los M dos-arreglos dimensionales son calculados, de DFT de longitud N es terminada y localizada en X y Y; sin embargo los cálculos fueron hechos en el lugar, las salidas estan en la localidades determinadas por el mapa de entrada, no por el mapa de salida. La salida es reordenada en la instrucción DO 2 a través de la constante UNSC.

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

Se observa que un algoritmo PFA requiere pocas constantes a ser almacenadas. En otras palabras, el número de multiplicaciones por diferentes constantes es mucho menor que para otros algoritmos, y esto no sólo reduce los requerimientos de memoria, sino que permite la implementación de un esquema de tabla de búsqueda.

Con las bases del algoritmo en lenguaje de alto nivel, se hace el cambio a lenguaje ensamblador para poder implementar en la tarjeta con el procesador TMS32010. La estructura general del algoritmo en ensamblador es la siguiente.

- ESTRUCTURA GENERAL PFA
- APUNTADES DE LOOPS N1 Y N2 PARA CADA MODULO
- UNSC CONSTANTE DE REDORDENAMIENTO

J10	LARK	ARO,11	11 DIRECCION EXTERNA
	LARP	0	
	LAC	J,1	
	SACL	* +	
	LARK	AR1,N1	NI= 4, 7, 9
M10	LARP	0	
	ADD	N2,1	
	SUB	N,1	N= LONGITUD
	BGEZ	MOD1	
	ADD	N,1	
MOD1	SACL	* +, 0, AR1	I(L) = (I + N2) Mod N
	BANZ	M10	FOR L=2 TO N1
	CALL	WFT	WFT4, WFT7, WFT9
	LAC	J	
	ADD	NI	
	SACL	J	J = J + N1
	SUB	N	
	BLZ	J10	WHILE J <= N

▪ REORDENAMIENTO

	LARK	ARO, N-1
	LARP	0
	ZAC	J
UN10	OUT	J, PA0
	IN	X1, PA1
	IN	Y1, PA1
	OUT	X1, PA2
	OUT	Y1, PA2
	LAC	J
	ADD	UNSC, 1
	SUB	N, 1
	BGEZ	UN20
	ADD	N, 1
UN20	SACL	J
	BANZ	UN10

$$J = (J + UNSC) \text{ Mod } N$$

TIEMPOS Y NUMERO DE OPERACIONES DEL ALGORITMO

Se indica el número de multiplicaciones reales(*) y sumas(+) para una DFT con módulos de longitud N con datos reales.

N	*	+
4	0	8
7	8	36
9	10	42

Se indica el número total de operaciones reales para el PFA, esto es, datos con parte real y parte imaginaria, así como los factores primos dados para una DFT de longitud N.

N	=	N1	*	N2	*	N3	*	+	TOTAL
63	1	9	7				284	1236	1520
252	4	9	7				1136	5952	7088
504	8	9	7				2524	13164	15688
1008	16	9	7				5804	29100	34904

Tiempos de programas en lenguaje ensamblador, para el PFA, un RADIX-2 y DFT directa. Los tiempos estan en milisegundos sobre el TMS32010.

ALGORITMO/LONGITUD	64/63	254/252	512/504
DFT Directa	29	65	140
Radix-2	14	23	55
PFA	1.53	4.17	17.5

Tiempos de algoritmos para una PC(μ P 80186). Los tiempos estan en segundos.

ALGORITMO/LONGITUD	64/63	254/252
DFT Directa	12.5	181.65
Radix-2	2.2	8.05
Goertzel	11.8	157.58
PFA	0.95	3.9

Tiempo que toma al sistema un ciclo completo PC-TMS32010 en el proceso o algoritmo a realizar, la transferencia de DMA y desplegar en pantalla. El tiempo es para la longitud especifica de 252 datos.

Tiempo del PFA

operaciones (*) y (+) 1.475 ms
 accesos memoria datos externa 1.75 ms

reordenamiento 1.75 ms

tiempo total PFA 4.4 ms

Tiempo para transferencia de DMA.

504 bytes a transferir, el doble de 252 bytes ya que la palabra del TMS320210 es 16 bits y el del procesador de la PC es de 8 bits externamente.

tiempo DMA 1.058 ms

Tiempo para desplegar en pantalla los 252 datos en la PC en modo de alta resolución.

tiempo desplegar 1 s

El tiempo total del PROCESO/DMA/DESPLEGAR es de 1.5 segundos, que es un retraso aceptable en una tarea de DSP realizada con ayuda de la PC.

El tiempo del DMA es suficiente para que el TMS32010 siga tomando muestras a razón de 8 KHz, para voz, sin pérdida de alguna de ellas, ya que el tiempo del DMA de 1.058 ms, es menor que las posibles 144 muestras que puede almacenar en memoria de datos interna, así el tiempo de adquisición es de $144 \cdot 125 \mu\text{s} = 18 \text{ ms}$, lo que da un margen para tener un sistema continuo de procesamiento, adquisición y gráfica en pantalla.

VI CONCLUSIONES

VI.1 REVISION DEL OBJETIVO

De entrada, con el objetivo se planteó el no sólo contar con un sistema de captación de datos o digitalizador de señales para una computadora personal, sino el aumentar la potencialidad de tareas de procesamiento digital encaminadas a realizar en tiempo real, en base a un coprocesador dedicado a tales funciones, dentro del sistema que como arquitectura tiene una computadora personal.

V.2 APORTACION

La potencialidad que como sistema puede tener una computadora personal y la tarjeta de adquisición y procesamiento, tiene sus pros y contras.

Sus desventajas son las siguientes:

Hardware. Limitación de capacidad de memoria de la tarjeta, el diseño contempla una expansión de memoria a 64K (8K RAM instalada), que para tareas de procesamiento digital de voz es poca capacidad, ya que si se toman muestras cada 8KHz en tan solo 1 segundo se llena la memoria de datos instalada (8k RAM).

En la interfase, la cual si bien se lleva a cabo por DMA hay ciertos tiempos muertos inherentes al diseño de una computadora personal, como el refresco de memoria, y el tiempo en que se enlazan la tarjeta con la computadora.

Software. La función principal de la computadora personal es hacer uso de su capacidad de manejo de archivos y de desplegar gráficas. Pero estas operaciones toman cierto tiempo que es una limitante en problemas de

procesamiento digital encaminadas a realizarse en tiempo real.

La forma de cargar el programa de instrucciones es introduciendo el código de operación en forma de código ASCII, que si bien no implica un problema dentro de la operación del sistema, hace esta operación no muy práctica, esto antes de que entre en funcionamiento el sistema.

Las ventajas de un sistema así son las siguientes:

Hardware. Aumenta la potencialidad de procesamiento en cualquier problema de una computadora personal, más aun esto se refleja mejor al realizar problemas de procesamiento digital encaminadas a realizarse en tiempo real.

Además, se cuenta con un sistema de adquisición de datos básico en análisis de señales.

Software. La capacidad de enriquecer el sistema depende mucho de los programas que pueden hacer más eficiente el manejo de archivos, desplegar gráficas, manejo de ventanas etc. esto en cuanto a la computadora personal se refiere.

El programa o los programas que ejecute el TMS32010 pueden ser 'N', para 'M' aplicaciones, lo cual le da una versatilidad de crear una librería de algoritmos, para cualquier problema, los cuales se pueden utilizar al momento. El enriquecimiento es enorme y se utilizaría al máximo el sistema.

De las ventajas y desventajas se observa la relación capacidad de manejo de datos (archivos, gráficas) y reducción de tiempo en procesos, lo que da argumento para establecer una mejora en función de ello, el

microprocesador de la PC es lento no así uno de propósito particular, los sistemas en base a microprocesador DSP no cuentan con el respaldo de un sistema de manejo de archivos, desplegar gráficas, una PC sí. De lo anterior se da una mayor eficiencia con la tarjeta de procesamiento propuesta.

VI.3 ENFOQUE ECONOMICO

Comparando primeramente con dos tarjetas ya existentes en el mercado, que si bien son de adquisición exclusivamente, se presta a observar algunos puntos importantes tanto desde el punto de vista económico como funcional.

La llamada AIB(Analog Interface Board), tarjeta que usa como canal de adquisición, E/S en un TMS32010 XDS, EVM tarjetas de emulación y que cuenta con lo siguiente.

- Un canal dado por un convertidor A/D de 12 bits.
- Un convertidor D/A de 12 bits.
- Memoria de datos de 8K (expandible a 64k).
- Un reloj programable para accesos de datos.
- Un contador para manejo de memoria de datos.
- Filtros pasobajas de entrada y salida.

Dado que es una tarjeta de expansión, es difícil realizar procesamiento en tiempo real, dependiendo de la tarea a ejecutar, además no tiene el respaldo de manejo de archivos y despliegue de gráficas como en una PC dado el sistema con que cuenta ésta.

La tarjeta LABMASTER, que se usa para una PC como canal de E/S y esta cuenta por lo siguiente.

- Un canal dado por convertidores A/D y D/A de 8 bits.
- Un reloj programable.
- Un puerto paralelo de interfase(PPI).

Resulta difícil realizar una tarea en tiempo real dado la interfase de la tarjeta como la capacidad de procesamiento de la misma PC, ya que si se implementara un algoritmo para DSP el procesamiento en la máquina resultaría lento en su ejecución.

La tarjeta diseñada contempla aspectos de las mencionadas, ya que cuenta con un canal dado por convertidores A/D y D/A de 12 bits, memoria para datos de 64Kx16, reloj programable para acceso de datos, reloj para acceso a memorias, interfase con una PC compatible por DMA, memorias compartidas, filtros pasobajas y aún más un microprocesador para tareas de DSP, que la hace más poderosa que las mencionadas. Por lo que cumple esencialmente con los requerimientos básicos de las tarjetas LABMASTER y la AIB combinadolas en una, esto encaminado ha realizar procesos en tiempo real. Las anteriores tarjetas no contemplan procesamiento y si sólo adquisición, que si cubre la tarjeta propuesta.

El costo de cada tarjeta aproximado es.

LAB MASTER	\$	3, 000 000
DISEÑADA	\$	500 000

(la moneda son pesos, precios de 1989).

V.1.4 ALTERNATIVAS

Se plantean dos tendencias a posteriori, la primera más encaminada a seguir trabajando con una computadora personal, y la segunda si se pretenden hacer trabajos en tiempo real dejar aun lado la computadora personal y realizar sólo en base a un microprocesador de propósito particular una nueva arquitectura.

PRIMERA OPCION.

En la primera opción, el inconveniente de una máquina PC son los tiempos inherentes a su diseño que no se pueden reducir ya más, pero lo que se podría hacer es, aumentar la memoria de la tarjeta de procesamiento, ubicarla dentro de la computadora como memoria de expansión lo cual además, ésta memoria no sólo sería para la tarjeta, sino también en dado momento para la computadora, y por lo tanto, el acceso al estar dentro del mismo mapa de memoria la "memoria de expansión", el enlace de tarjeta y computadora para realizar graficación o manejo de archivos es más rápido.

Pero aún así sería difícil realizar tareas en tiempo real debido a esos tiempos inherentes de procesamiento de la computadora personal, que básicamente son la limitante en cuanto a hardware.

Se podría implementar un traductor de lenguaje de alto nivel a lenguaje ensamblador [26], para poder en cualquier momento cargar un nuevo programa y no hacerlo por código de operación, así como realizar todo el

programa de manejo de la computadora personal, sistema de operación, en lenguaje ensamblador, éste por el lado de software.

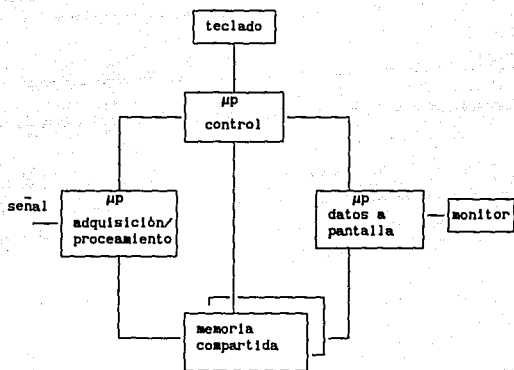
SEGUNDA OPCION

Dentro de la segunda alternativa, ya las tareas serian en tiempo real, se deja a un lado la PC, el diseño de la nueva arquitectura seria en base a operación de microprocesadores en paralelo, un microprocesador para adquisición y procesamiento de datos, donde podrian manejarse más de un canal, un segundo microprocesador par el manejo de resultados dedicado a graficar o desplegar señal de video, esta etapa puede ser cubierta por un procesador dedicado a estas tareas particulares, así como una memoria compartida, fundamental dentro de la arquitectura, todo el control del sistema estaria a cargo de otro microprocesador.

Seria necesario un sistema operativo que manejaría, por un lado el procesamiento y por otro la parte que manejaba la PC.

Si el microprocesador es aún más rápido que el TMS32010 empleado, se aumenta su velocidad de procesamiento, la capacidad de memoria se manejaría en forma indirecta lo que el límite de esta memoria y capacidad de manejo de datos es factor económico [6],[20].

Se muestra la arquitectura propuesta a continuación.



-Arquitectura para PDS en tiempo real

BIBLIOGRAFIA

- 1 TMS32010 USER'S GUIDE
DIGITAL SIGNAL PROCESSOR PRODUCTS, TEXAS INSTRUMENTS, 1983
- 2 TMS32010 ANALOG INTERFACE BOARD USER'S GUIDE
TEXAS INSTRUMENTS, 1983
- 3 XDS/22 TMS32010 EMULATOR USER'S GUIDE
TEXAS INSTRUMENTS, 1983
- 4 PC TECHNICAL MANUAL
CORONA DATA SYSTEMS, INC, 1983
- 5 ASSEMBLER FOR THE IBM PC AND PC-XT
PETER ABEL, 1984
- 6 DIGITAL SIGNAL PROCESSING APPLICATIONS WITH THE TMS320
FAMILY, VOL 1. TEXAS INSTRUMENTS, 1987
- 7 PROCEEDINGS OF THE IEEE, THE INSTITUTE OF ELECTRICAL AND
ELECTRONICS ENGINEERS, SEPTEMBER 1987
"THE TMS320 FAMILY OF DIGITAL SIGNAL PROCESSORS"
- 8 BYTE
INSIDE THE IBM PC'S, 1987
JAMES R DRUMMOND
"THREE BUS INTERFACE DESIGNS FOR THE PC"
- 9 INTERFACING TO THE IBM PERSONAL COMPUTER
LEWIS C. EGGBRECHT, 1988

- 10 INTRODUCCION AL PROCESAMIENTO DIGITAL DE SEÑALES
APUNTES DE LA MATERIA DEPFI, UNAM
ROGELIO ALCANTARA SILVA, 1989
- 11 DFT/FFT AND CONVOLUTION ALGORITHMS
THEORY AND IMPLEMENTATION
C. S. BURRUS, T. W. PARKS, 1985
- 12 MICROCOMPUTER SYSTEMS: THE 8086/8088 FAMILY
YU-CHENG LIU, GLENN A. GIBSON, 1984
- 13 SEMINUMERICAL ALGORITHMS VOL/2
DONALD E. KNUTH, 1981
- 14 ANALOG ELECTRONICS FOR MICROCOMPUTER SYSTEM
P. L. BROUGH, T. LUND, J. RAYNER, 1983
- 15 FUNDAMENTALS OF DIGITAL SIGNAL PROCESSING
LONIE C. LUDEMAN, 1986
- 16 INTRODUCTION TO DIGITAL SIGNAL PROCESSING
JOHNNY R. JOHNSON, 1989
- 17 DATA COMPONENT CATALOG
INTEL, 1981
- 18 DATA SHEETS ADC-HZ12B
DATEL
- 19 DATA SHEETS DAC122-12
NATIONAL SEMICONDUCTOR
- 20 COMPUTER ARCHITECTURE AND PARALLEL PROCESSING
KAI HWANG, FAYE A. BRIGGS, 1984

- 21 OPERATIONAL AMPLIFIERS DESIGN AND APLICATIONS
J. G. GRAEME, G. E. TOBEY, 1984
- 22 IEEE TRANSACTIONS ON ACOUSTICS, SPEECH, AND SIGNAL
PROCESSING, VOL. ASSP-29, AUGUST 1981
C. SIDNEY BURRUS, PETER W. ESCHENBACHER
"AN IN-PLACE, IN-ORDER PRIME FACTOR FFT ALGORITHM"
- 23 MICROCOMPUTER INTERFACING
BRUCE A. ARTWICK, 1980
- 24 NUMBER THEORY IN DIGITAL SIGNAL PROCESSING
J. H. McCLELLAN, C. M. RADER, 1979
- 25 IEEE TRANS, COMPUTER, VOL C-2, MAR, 1971
I. J. GOOD
"THE RELATIONSHIP BETWEEN TWO FAST FOURIER TRANSFORMS"
- 26 SISTEMA DE IMPLANTACION EN PROCESADORES DIGITALES
DE SEÑALES ASISTIDO POR COMPUTADORA
JESUS A. SANCHEZ VELAZQUEZ, DEFFI, 1989