

122
2ej'



Universidad Nacional Autónoma de México

FACULTAD DE INGENIERIA

Diseño de un Sistema de Adquisición Automática
de Datos con Aplicación en Instrumentación
Hidrológica.

TESIS PROFESIONAL
QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA
P R E S E N T A N
RAUL SALINAS OSORNIO
MIGUEL TREJO CASTILLO
ALFREDO HERNANDEZ ROMERO
ABEL GONZALEZ CANCELA
ALEJANDRO GULE FERNANDEZ



Director de Tesis:
M. I. LAURO SANTIAGO CRUZ

MEXICO, D. F.

1991

TESIS CON
FALLA DE ORIGEN



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N T R O D U C C I O N

El presente trabajo tiene como objetivo el diseño de un sistema de adquisición automática de datos (SAAD), con aplicaciones relativas al uso eficiente del agua. Este dispositivo podrá servir como base en la adquisición de datos, en estudios relacionados con la optimización en el aprovechamiento del agua. Ya que en diversos usos que se le da a ésta se desperdician cantidades considerables.

Entre los múltiples experimentos que se realizan en cuanto a la optimización del uso del agua se tienen.- los dimensionamientos adecuados de los dispositivos que utilizan agua, las presiones de funcionamiento, el gasto, el nivel, la temperatura, etc. Otros aspectos que se investigan son por ejemplo qué tan rápido se cierran y abren algunos mecanismos (herrajes), el promedio de vida de los mismos, la distribución del agua en un área determinada, etc.

El sistema a diseñar será útil tanto en mediciones de campo como de laboratorio, podrá funcionar en forma independiente o en conjunto con una computadora, los datos serán almacenados en una tarjeta de memoria, que podrá ser transportada en cualquier momento al centro de análisis y procesamiento de datos.

El sistema a monitorear es un sistema hidráulico consistente de una serie de tuberías donde serán medidas la presión, la temperatura, la velocidad y el gasto del agua que fluye por ellas. Las tres primeras variables serán obtenidas directamente mientras que el gasto se obtendrá a través de la medición de la velocidad. Además, el sistema consiste de una serie de estanques o contenedores de agua donde serán monitoreadas las variaciones de nivel las cuales se harán a través de la medición de presión que existe en el estanque.

El trabajo ha tratado de ser desarrollado de manera clara, para que pueda ser accesible a cualquier persona con cierto grado de conocimiento en el área.

En el capítulo 1, se hace una descripción de un sistema de adquisición y procesamiento de datos, así como los objetivos funcionales y especificaciones que ha de cumplir el sistema a diseñar.

En el capítulo 2, se hace una descripción de las variables a medir, con el objeto de analizar los diferentes métodos de medición (transducción) de las mismas y poder tener bases para seleccionar el más adecuado; asimismo, se proponen los circuitos acondicionadores para manejar la salida de los transductores y tener niveles de voltaje sensibles para nuestro sistema.

En el capítulo 3, se hace un estudio sobre la conversión analógica/digital, para que al igual que en el capítulo anterior, se tengan las bases para seleccionar el convertidor adecuado.

En el capítulo 4, se describe la configuración del "hardware" o circuitos electrónicos que conformarán físicamente al sistema de adquisición de datos.

El capítulo 5 contiene la descripción de los elementos que conforman el "software" o programación del sistema. En este capítulo se presenta de manera clara tal desarrollo, desde la descripción funcional del programa principal y sus subrutinas, pasando por los diagramas de flujo, hasta el listado comentado de los mismos, esto con el fin de que los programas no representen obstáculo a la comprensión del sistema y por ende puedan ser comprendidos por quien quiera consultarlos para lograr desarrollos semejantes.

Finalmente, en el capítulo 6 se comentan los resultados obtenidos y las conclusiones obtenidas durante el proceso llevado a cabo en este trabajo.

También se tiene una sección de apéndices, el apéndice A se refiere a las leyes aplicables a los termopares. En el apéndice B se presentan los diagramas electrónicos de los circuitos diseñados, así también se presentan las tarjetas de circuito impreso con una distribución recomendada de los componentes más importantes en caso de una futura implementación del sistema. El apéndice C contiene las hojas de especificaciones técnicas de los circuitos integrados más importantes. Por último en el apéndice D se presentan los listados de los programas desarrollados.

DESCRIPCION GENERAL DE UN SISTEMA DE INSTRUMENTACION

La integración o el diseño de un sistema de adquisición de datos requiere principalmente de los siguientes módulos: transductores o sensores adecuados a la variable a medir, módulos de acondicionamiento de las señales provenientes de los transductores, módulos de multiplexaje, módulos de conversión analógica-digital (ADC) y digital analógica (DAC), módulos de adquisición y almacenamiento de datos y módulos de comunicaciones.

En la figura 1.1 se muestra el diagrama de bloques del sistema de adquisición automático de datos (SAAD) a diseñar.

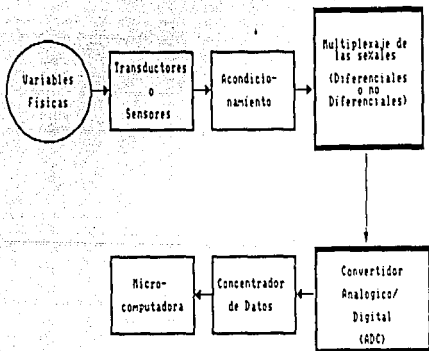


Fig. 1.1 Diagrama de bloques del SAAD.

A) Descripción de los bloques del sistema

1. Transductores

Por definición un transductor es un dispositivo que convierte una forma de energía en otra, manteniendo una proporcionalidad entre ellas.

En la mayoría de los sistemas de instrumentación la variable de entrada no es eléctrica, por lo que se emplean los transductores o sensores como el medio por el cual se sensan los fenómenos físicos que ocurren, a fin de convertirlos en señales eléctricas que sean aceptadas por el sistema de instrumentación. Las señales eléctricas producidas por los sensores son proporcionales al fenómeno físico que se está monitoreando.

En general: "En un sistema de instrumentación el transductor es el elemento de entrada con la función crítica de transformar alguna cantidad física en una cantidad eléctrica proporcional a ésta". De esta manera la selección apropiada del transductor es uno de los pasos más importantes para la obtención de resultados adecuados.

Algunos factores que son importantes en la selección del transductor son:

Características eléctricas y mecánicas.

- a) Parámetros fundamentales. Tipo y rango de medición, sensibilidad y tipo de excitación si es necesaria.
- b) Condiciones físicas. Conexiones eléctricas y/o mecánicas, tipo de montaje y resistencia a la corrosión.

Exactitud del transductor.

- a) Características del transductor. Efectos de no linealidad, histéresis, respuesta en frecuencia o ancho de banda y resolución.
- b) Condiciones ambientales. Efectos de la temperatura, choques térmicos, manejo del dispositivo y vibración.

- c) Compatibilidad con el equipo asociado. Tolerancia de la sensibilidad, acoplo de impedancias, resistencia de aislamiento.

Errores producidos por efecto del ambiente.

Algunos errores son predecibles y se pueden minimizar por medios externos al transductor. Se debe observar que los errores producidos por efectos ambientales, se pueden corregir controlando artificialmente el ambiente del transductor, al aislarlo por medio de envases a prueba de calor, vibración, campos magnéticos, etc.

2. Multiplexaje

En sistemas que miden más de una señal es recomendable emplear un sistema de multiplexaje, a fin de aprovechar las etapas posteriores a los módulos de acondicionamiento y que son comunes al proceso de las diferentes señales como son: los ADC y DAC, los módulos de adquisición, de almacenamiento, de proceso y de comunicaciones. De esta manera el multiplexor permite el acceso de una señal a la vez al sistema de adquisición, la operación del circuito de multiplexaje la controla el microprocesador.

En la selección del multiplexor se consideran factores como:

- a) El número de canales acorde al número de señales provenientes de los módulos de acondicionamiento, sean moduladas o no.
- b) Tipo de señal. (Analógica o digital)
- c) Señales diferenciales o no diferenciales.

3. Convertidores analógico/digitales

Esta sección del sistema tiene por función convertir la señal que por naturaleza es analógica en digital, con el ob-

jeto de obtener un código digital que pueda ser procesado por un sistema lógico o por una computadora.

La elección de este circuito debe contemplar los siguientes factores:

- a) Velocidad de muestreo.
- b) Margen de medición o Escala Completa (Full Scale).
- c) Resolución o número de bits suficientes para representar a la señal analógica en forma adecuada y evitar al máximo los errores incurridos por la conversión.
- d) Precisión. El error de escala completa y el error de linealidad debe encontrarse en un rango de 0.1% al 1.0% o menores de acuerdo a la aplicación que se requiera.
- e) Codificación. El tipo de codificación debe de ser compatible con las etapas posteriores.

4. Sistema básico de computadora

Esta etapa tiene por función controlar la adquisición de los datos provenientes del sistema de medición hacia el sistema de procesamiento de datos. Esta etapa esta constituida por un microprocesador, memorias RAM y ROM, puertos de datos serie y paralelo y un circuito lógico de control.

5. Concentrador digital de datos

El concentrador digital de datos tiene por función preprocesar los datos adquiridos para presentarlos adecuadamente.

B) Descripción funcional del Sistema Automático de Adquisición de Datos (SAAD)

El sistema tiene por función general medir cinco vari-

ables físicas que son: Presión, Temperatura, Nivel, Velocidad y Gasto, almacenarlas en memoria RAM y/o transmitir las, cuando le sea indicado a un sistema de proceso de datos más sofisticado. Asimismo, guarda en memoria la hora real a la que inicia el proceso de medición.

Para cumplir su función el SAAD, ha de poseer cuatro sensores con las siguientes características básicas:

Variable	Rango de Medición	Observaciones
Presión	0 a 5 atm	Medición utilizando un transductor de deformación (strain gage).
Temperatura	0 a 100°C	Medición utilizando un circuito integrado.
Nivel	0 a 40 m	Medición utilizando un transductor de deformación (strain gage).
Velocidad	0.01 a 10 m/seg	Medición por rotor de paletas.

Las señales producidas por estos sensores serán acondicionadas en el SAAD, transformadas a un código binario (BCD) y almacenadas en un arreglo de memoria RAM. Además, como ya se indicó, se graba la información procedente de un Reloj de Tiempo Real (RTR) a fin de tener una referencia de tiempo real.

C) Especificaciones del SAAD.

A continuación se enumeran las características principales del sistema a diseñar:

- Los intervalos de los tiempos de exploración serán de 5, 10 y 15 minutos.
- La capacidad de almacenamiento de datos requerida

es de 16 Kbytes de memoria para almacenar datos durante 7, 14 y 21 días, dependiendo del intervalo de tiempo de muestreo elegido.

- Opción a detener el sistema externamente en el momento que sea necesario.
- Recepción o transmisión de datos con cualquier sistema que trabaje con Norma RS-232C.
- Posibilidad de medir hasta ocho variables mediante las modificaciones adecuadas a los circuitos electrónicos y a la programación.
- Sistema respaldado por batería.
- Reloj de Tiempo Real (RTR) con despliegue de hora o fecha y ajuste de cada una de ellas.
- Indicadores de tiempo de muestreo seleccionado y operación del SAAD (Muestreo, Paro y Transmisión).
- "RESET" interno (circuito de vigilancia) y externo.
- Tarjeta de memoria RAM respaldada por batería transportable a campo o laboratorio.

D) Interfaz Hombre-Máquina

Desde el punto de vista del usuario el manejo del sistema es el siguiente:

FUNCION DE MONITOREO

- a) Se programa el instrumento eligiendo el tiempo de muestreo para lo cual existen tres interruptores de interbloqueo que evitan la selección de más de un tiempo de muestreo y por ende códigos falsos.
- b) En caso necesario se ajusta el RTR. Ver ajuste de RTR.

- c) Se elige la opción "MUESTREO".
- d) Se restablece el sistema externamente.

Una vez hecho lo anterior el SAAD inicia su proceso de medición y almacenamiento.

FUNCION DE PARO

Existen dos posibilidades mediante las cuales se puede detener al SAAD:

- a) Interno. Una vez llena la memoria el SAAD corre un programa de "stand by".
- b) Externo. Se elige por medio del interruptor "Paro".

En este estado se puede proceder a quitar la tarjeta de memoria, que está respaldada por batería, a fin de evitar la pérdida de datos durante el transporte de la misma, del "campo" al laboratorio. Una vez en el laboratorio, es insertada a un sistema lector, a fin de transmitir los datos adquiridos a la microcomputadora mediante el uso de la norma RS-232C.

FUNCION DE TRANSMISION

Seleccionar la opción "Transmisión".

El sistema transmitirá a la microcomputadora la información almacenada hasta ese momento.

Inicialmente enviará una letra indicando la variable que esta transmitiendo y a continuación el bloque de datos. Estas letras son: "P" presión, "T" temperatura, "N" nivel y "V" velocidad.

Finalmente transmitirá la hora y fecha en la que empezó el monitoreo de las variables antecedido de las letras "TPO".

FUNCION AJUSTE DEL RELOJ (RTR)

Normalmente en el desplegado se observará la hora y los

minutos que son las variables que se ajustan inicialmente, esto se lleva a cabo al presionar simultáneamente los botones momentáneos "ajust" y "min/día" o "ajust" y "hora/mes" para ajustar minutos y hora respectivamente. Se observará como cada variable se incrementa conforme se mantienen presionados estos botones y se dejan de presionar hasta llegar a los minutos u hora adecuados. Para modificar la fecha se presionan "ajust" y "camb" y se desplegará el mes y día del mes; su ajuste es similar al anterior al presionar simultáneamente "ajust" y "min/día" o "ajust" y "hora/mes" para modificar en incrementos día y mes respectivamente.

DESCRIPCION DE LAS VARIABLES A MEDIR

A) La presión

1. Descripción de la variable

Se tiene un cuerpo de peso W y área A sobre una superficie horizontal. El cuerpo ejercerá una presión P sobre la superficie horizontal de apoyo. A esta presión se le define como la fuerza por unidad de área ejercida sobre la superficie plana.

Presión en fluidos en reposo.

En el caso de los fluidos en reposo o estáticos es importante considerar las siguientes propiedades :

La presión no es un vector es un escalar. La presión en un punto de un fluido en reposo es igual en todas las direcciones. Esto es, si sumergimos dentro de un fluido un cuerpo infinitesimal, la presión que ejerce el fluido sobre el cuerpo será la misma en cualquier dirección, sea cual fuere la orientación del mismo.

La superficie libre de un líquido en reposo es siempre horizontal. La presión en todos los puntos situados en un mismo plano horizontal, en el seno de un fluido en reposo, es la misma. La fuerza de la presión en un fluido se dirige siempre hacia el interior del fluido, es una compresión, jamás una tracción.

Presión Atmosférica

La presión del aire sobre la superficie libre de un fluido es conocida como presión atmosférica. Es decir, la presión atmosférica es la presión debida al peso de la columna de aire que gravita sobre el fluido.

La presión atmosférica varía con la temperatura y la altitud. La presión atmosférica a cero grados centígrados y al nivel del mar es de 1.01396 bar. Comúnmente la presión atmosférica se mide con un barómetro, por tal motivo se le conoce también como presión barométrica.

Presión relativa

La presión relativa es la que se mide con respecto a la presión atmosférica y generalmente se mide con un dispositivo llamado manómetro, también se le conoce como presión manométrica.

Presión absoluta

La presión absoluta es la que se mide con relación al cero absoluto (vacío total). Es decir, la presión absoluta es igual a la suma de la presión relativa más la presión atmosférica. En la figura 2.1 se muestra la distribución de las diferentes presiones.

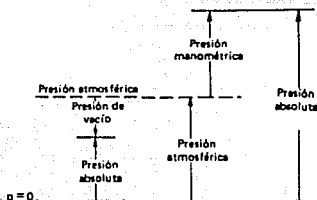


Figura 2.1. Distribución de las diferentes presiones

2. Unidades de medición de la presión.

Existen varios sistemas de unidades de medición, éstos difieren entre sí en las unidades que adoptan para medir la presión.

En el Sistema Internacional de Unidades (SI) la presión está dada en pascuales. Otras unidades de medición son: atmósferas, bar, torr, psi, Kg/cm². algunas equivalencias principales entre estas unidades son:

1 Pascal = 1 N/m²
1 bar = 100 000 Pascales
1 atm = 760 torr
1 atm = 1.01325 bar.
1 atm = 14.696 psi
1 atm = 1.033 Kg/cm²

En la práctica, la presión se expresa en columnas de algún líquido determinado; por ejemplo columna de mercurio (Hg), columna de agua. Pero, dimensionalmente la presión no es una longitud, por tal motivo en el Sistema Internacional de Unidades no se acepta a las alturas como unidades de presión. Pero existe una excepción, el SI acepta el Torr.

1 torr = 1 mm Hg.
1 mm Hg = 1.3332 mbar
1 mm H₂O = 0.098 mbar

Para calcular la presión en función de la altura se utiliza la siguiente expresión:

$$P = pgh \quad \text{-----} \quad (2.1)$$

donde:

p: densidad del fluido
g: gravedad.
h: altura.

3. Métodos de medición de la presión

Los medidores de presión son variadísimos, dependiendo de la aplicación. En los laboratorios y en la industria en general, se miden presiones desde un vacío absoluto hasta 10,000 bares, con grados de precisión muy diversos y en medios muy diversos.

Los aparatos que sirven para medir la presión se denominan manómetros. Los manómetros pueden clasificarse según los siguientes criterios:

I.- Según la naturaleza de la presión medida

a).- Barómetro : mide la presión atmosférica.

b).- Medidores de presión relativa.

Manómetros: miden las sobrepresiones o presiones relativas positivas (con respecto a la presión atmosférica).

Vacuómetros: miden las presiones o depresiones relativas negativas (con respecto a la presión atmosférica).

c).- Manómetros de presión absoluta.

d).- Manómetros diferenciales: sirven para medir presiones muy pequeñas.

e).- Micromanómetros: se utilizan para medir presiones muy pequeñas.

II.- Según el principio de funcionamiento

a).- Manómetros mecánicos: Su funcionamiento consiste en equilibrar la fuerza originada por la presión que se quiere medir con otra fuerza . Por ejemplo, con el peso de una columna de líquido en los piezómetros de líquido y manómetros de líquido, con un resorte en los manómetros clásicos o con la fuerza ejercida sobre la otra cara de un émbolo en los manómetros de émbolo, esta última fuerza se mide mecánicamente.

b).- Manómetros eléctricos: En estos manómetros la presión origina una deformación elástica que se mide eléctricamente.

Entre los manómetros de columna de líquido existen dos tipos los piezómetros de líquido, en donde el líquido manométrico es igual al líquido en el cual se mide la

presión; y los manómetros líquidos en donde el líquido manométrico y el líquido en el cual se mide la presión son distintos.

El grado de exactitud de cada manómetro depende del tipo del mismo, de la calidad de su construcción, de su modo de instalación y por supuesto de su lectura adecuada.

Entre los transductores de presión eléctricos encontramos los siguientes:

- a).- Transductores de capacidad: Una de las placas de un capacitor es al mismo tiempo una membrana sobre la que actúa la presión a medir. Al variar la distancia entre las placas varía la capacitancia del condensador.
- b).- Transductor de inducción: Al actuar una fuerza F sobre un brazo de una palanca, se origina por inducción una corriente, la cual es amplificada. Esta fluye a través de una bobina móvil (sujeta al otro extremo de la palanca), que se introduce en un electroimán fijo, creando una fuerza restauradora que restituye la palanca a su posición de equilibrio. La corriente que fluye por la bobina es una función de la fuerza F y por lo tanto de la presión.
- c).- Transductor piezoeléctrico: Este método utiliza como base a los cristales de cuarzo. Entre dos cristales piezoeléctricos de cuarzo se crea una diferencia de potencial al actuar sobre la cara de uno de ellos la fuerza debida a la presión, $F = PA$. Estos instrumentos son recomendados para medir presiones fluctuantes en el tiempo.
- d).- Transductores potenciométricos: Se utilizan con frecuencia en conexión con los manómetros elásticos. También son utilizados como contadores de valores límites de presión, esto con el fin de poder parar y arrancar automáticamente una bomba o un compresor.
- e).- Transductores indicadores de deformación: Estos transductores modifican su resistencia al ser deformados. Son muy pequeños y por lo general se adhieren a alguna superficie elástica, ésta es la que está en contacto con la parte sobre la que se

ejerce la presión. Se conecta como una rama de un puente de Wheastone.

4. Selección del método de medición.

Con base en el estudio realizado sobre la presión, a los métodos utilizados para medir la misma, analizando la tabla 2.1 y a las características de la variable a medir, se seleccionó como el método más adecuado para medir esta variable al que utiliza transductores piezoeléctricos. Y dentro de éstos, los indicadores de deformación son los más prácticos.

Transductor	Excitación	Nivel de salida (medida por)	Exactitud	Intervalo de presión	Respuesta de frecuencia	Sensibilidad a la vibración o al choque
Capacitivo	CA	Alto (5 V) (frecuencia o puente)	0.5%	0.5 ton-15 atm	0 a 100 Hz	Regular
Transformador diferencial	CA	Alto (5 V) (demodulación de fase o puente)	0.5%	2 a 700 atm	100 Hz	Pobre
Piezoeléctrico	CD	Bajo (necesita amplificarse)	1%	5 ton-700 atm	1 a 100 KHz	Esoficiente
Potenciométrico	CA/CD	Alta	1%	0.3-700 atm	0 a 50 Hz	Pobre
Calibrador de deformación (adherible)	10 V de CD	Bajo, 3mV/v	0.5%	0.3-700 atm	0 a 1 kHz	Muy buena

Transductor	VENTAJAS	DESVENTAJAS
Capacitivo	Poca masa. Excelente respuesta de frecuencia. Ambas masas dinámica y estática. De fácil conversión para frecuencias variables.	Alta impedancia de salida. Sensitivo a la temperatura. Necesita un circuito adicional.
Transformador diferencial	Salida alta. Baja histéresis.	Necesita excitación de CA. Masa alta. Respuesta de frecuencia pobre. Sensitivo a la vibración.
Piezoeléctrico	Buena para frecuencias altas. Señal autogenerada. Pequeño y resistente.	Sensitivo a la temperatura. La señal debe amplificarse. Sólo para presión en CA.
Potenciométrico	Salida alta.	Resolución aproximada. Histéresis grande. Sólo para frecuencia baja. Ruidoso.
Calibrador de deformación	Estático y dinámico. Pequeño y resistente. Relativamente no sensitivo a la temperatura.	Baja amplitud de la señal. Alcance de temperatura limitado.

Tabla 2.1 Transductores de Presión

Como se mencionó anteriormente, los indicadores de deformación basan su principio de funcionamiento en el efecto de piezoresistividad, éste se manifiesta mediante el cambio de la resistencia de un conductor debido al cambio de longitud o del área de la sección transversal del mismo.

Esto es, en los materiales piezoresistivos las deformaciones mecánicas del material producen cambios en la resistencia eléctrica del mismo. Estos transductores se adhieren a alguna superficie elástica que estará en contacto con el elemento que ejercerá la presión. De tal manera que cualquier cambio de presión se manifieste en un cambio en el valor de la resistencia del material. La variación de la resistencia se mide conectando ésta a una rama de un puente de Wheastone, la salida del puente será proporcional al valor de la resistencia. Para seleccionar el transductor de presión adecuado se consultaron varios manuales de equipo de instrumentación. Se seleccionó el medidor de presión COLE & PARMER modelo N-07351-16. Este transductor funciona en un rango de presión de 0 a 100 psi., tiene una precisión del 1%.

El voltaje de alimentación es de 12 a 45 volts y tiene una salida de 4 a 20 mA. Esta última característica es importante ya que así podremos tener un valor de la variación de la presión real, sin que existan pérdidas debidas a la resistencia de los cables, con los cuales conectaremos al transductor con el sistema electrónico.

5. Acondicionamiento de la variable.

La salida de corriente del transductor se debe convertir a un voltaje para poder acoplarla al sistema de conversión analógica-digital y que los niveles eléctricos sean compatibles. Para tal efecto usamos un convertidor de corriente a voltaje, ver figura 2.2. Esto lo hacemos con un amplificador operacional, en una configuración de seguidor de voltaje, cuyas características principales son de impedancia de entrada muy grande, impedancia de salida casi cero y ganancia muy grande. De acuerdo a la Fig. tenemos:

$$\begin{aligned}i_i &= 0; & i_T &= i_r \\V_O &= V_r \\V_r &= i_r \times r\end{aligned}$$

La entrada máxima al convertidor analógico-digital (ADC) es de 5v

$$i_{T\text{máx}} = 20 \text{ mA}$$

$$i_{T\text{mín}} = 4 \text{ mA}$$

$$\text{si } r = 250 \ \Omega$$

$$V_{\text{máx}} = 250 (20 \cdot E-03) = 5 \text{ v}$$

$$V_{\text{mín}} = 250 (4 \cdot E-03) = 1 \text{ v}$$

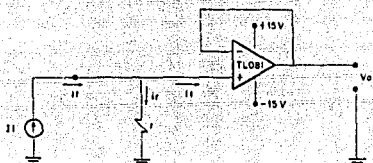


Fig. 2.2. Convertidor de corriente a voltaje

El amplificador operacional empleado es el TLO81 con entrada JFET. Este amplificador fue seleccionado debido a sus características de bajo consumo de potencia, de voltaje de modo común bajo, baja corriente de polarización, baja corriente de "offset", protección contra corto circuito, alta impedancia de entrada, y alto "slew rate".

B) Velocidad

1. Descripción del fenómeno

Fluido es aquella sustancia que se deforma a causa de una fuerza cortante.

La velocidad de un fluido en un punto dado, está

definida como la distancia que recorre una partícula de ese fluido, por unidad de tiempo.

Dependiendo del medio por el cual circule el fluido, ya sea una tubería o un espacio abierto, se tendrán en ciertos casos, diferentes velocidades dentro del mismo fluido, por lo que se ha clasificado a la velocidad como : velocidad local y velocidad media.

La velocidad local se refiere a la velocidad del fluido para un punto específico dentro de su cauce, mientras que la velocidad media es un promedio de las diferentes velocidades locales del fluido.

2. Métodos de medición de la velocidad local.

Para la medición de la velocidad local de un fluido, los dos instrumentos más importantes son :

- a).- El tubo estático de Pitot
- b).- El anemómetro de filamento caliente

A continuación se dará una descripción breve de estos instrumentos.

a).- Tubo estático de Pitot

Consiste de un tubo que combina agujeros de toma de presión total y estática para obtener la velocidad de flujo local.

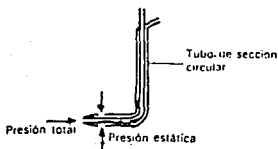


Fig. 2.3 Tubo de Pitot

Como se ve en la figura 2.3 el instrumento posee dos tubos concéntricos, el tubo exterior tiene una serie de agujeros taladrados que forman un angulo recto con la dirección del flujo. Al colocar el tubo dentro de la corriente de fluido, se transmite la suma de las presiones estática y dinámica, mientras que por el espacio anular entre los tubos se transmite únicamente la presión estática. Si se conectan las dos presiones mediante un manómetro de tubo en "U", puede medirse la diferencia entre la columna de presión total y la estática. Esta diferencia de presión será igual a la columna de velocidad o columna de presión producida por la pérdida de energía cinética. Con el tubo de Pitot es posible medir velocidades tan reducidas como 1 m/s con una precisión de aproximadamente 0.5 % e incluso, con algunos ajustes debido a los efectos de compresibilidad, se pueden medir velocidades supersónicas con bastante precisión. La aplicación más común de este dispositivo la tenemos en la aviación donde se le acopla un manómetro de tubo de Bourdon calibrado en unidades de velocidad del aire (m/s) en lugar de unidades de Presión.

b).- Anemómetro de filamento caliente

Este instrumento consiste en una resistencia de alambre muy fino que se enfriará al colocarlo en una corriente de fluido. La velocidad de enfriamiento será una diferencia de temperatura entre el fluido y el filamento y dependerá de la velocidad del fluido (fig. 2.4). Este dispositivo se utiliza con frecuencia en la medición de velocidad de gases.

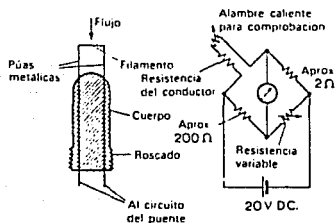


Fig. 2.4 Anemómetro de filamento caliente

3. Métodos de medición de la velocidad media

Los dispositivos más comunes para medir la velocidad media son:

- a) El anemómetro de cazoletas
- b) El anemómetro de paletas
- c) El contador común
- d) El contador de turbina

De estos el (a) y el (b) se usan normalmente para medir la velocidad de flujo de gases, mientras que el (c) y el (d) se usan principalmente para líquidos que son del tipo de fluidos que nos ocupa.

A continuación se dará una breve explicación de los dispositivos (c) y (d).

c).- Contador común

Este aparato posee una hélice y una paleta auto-alineante montadas sobre un poste como se ve en la fig 2.5; La paleta asegura la alineación requerida para que las aspas estén constantemente de frente al flujo con el fin de que este las haga girar y por lo tanto a partir de la velocidad de giro de la hélice se tendrá una medida de la velocidad del fluido.

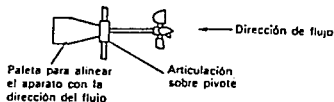


Fig. 2.5 Contador Común

d).- Contador de turbina

Este dispositivo consiste de una rueda con paletas la cual es parcialmente sumergida dentro de la corriente del fluido para que este haga girar la rueda con una velocidad proporcional a la velocidad del flujo; Aun cuando el principio de funcionamiento de este aparato es muy sencillo, no lo es tanto el diseño óptimo de las paletas ya que se debe evitar problemas como la cavitación o problemas de interferencia o arrastre de fluido lo cual podría ser la causa de pérdidas importantes que se reflejarían en un valor de velocidad erróneo.

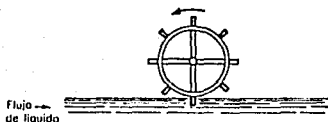


Fig. 2.6 Contador de Turbina

4. Selección del método

Para la selección del método hay que tomar en cuenta el rango requerido para la velocidad que es de 0.01 a 10 [m/seg]. A continuación se muestra una tabla comparativa de los métodos de medición:

Sensor	Tipo	Rango	Ventajas
Mighty	Campo Magnético	0.1525 a 9.8 m/seg	Alta precisión
Rotor-X	Turbina	0.0 a 16.3 m/seg	Resistencia a la corrosión

En base al rango requerido se ha seleccionado el siguiente dispositivo :

Sensor de flujo Rotor-X (rotor de paletas) de Cole & Parmer.

El dispositivo funciona en base al principio del contador de turbina. Contiene un rotor externo con un pequeño magneto en cada una de las paletas (cuatro); las cuales se encuentran sumergidas en el fluido a medir de tal modo que el flujo de líquido las haga girar. Cada una de las paletas posee un magneto el cual al girar induce una corriente eléctrica pulsante en los devanados que se encuentran en el cuerpo del dispositivo, la frecuencia de los pulsos es directamente proporcional a la velocidad de giro de la paletas y esta a su vez es proporcional a la velocidad de flujo del líquido. Esta señal de salida aparece como una señal de frecuencia. Las características generales del dispositivo son las siguientes:

- * Elimina la cavitación debido a su construcción de coraza abierta.
- * Los materiales del sensor son inertes a la mayoría de los químicos.

Especificaciones

- * frecuencia de salida : 1.5 Hz /[m/seg]
- * rango de flujo : 0.0 - 15.0 [m/seg]
- * linealidad 1% escala completa
- * Tmax a 25 psi : 105 grados Centigrados
- * Pmax a 25 grados Centigrados : 200 psi
- * Máximo contenido de sólidos : 1% del volumen del fluido
- * Diámetro del sensor : 1 3/64 "

5. Acondicionamiento de la variable

Una vez elegido el dispositivo para sensar la velocidad

necesitamos acondicionar la señal, esto es, se tiene que entregar a la siguiente etapa (entrada de convertidor analógico-digital) una señal de voltaje con un rango de 0 a 5V, por lo tanto se va a utilizar un circuito integrado que nos convierta la señal de salida en frecuencia del dispositivo, a una señal de voltaje.

Por lo anterior se seleccionó el circuito integrado XR-2917 para esta conversión ya que cumple con los requerimientos de acoplamiento.

Descripción del circuito XR-2917

Este circuito es un convertidor de frecuencia a voltaje, que consiste de un comparador, una bomba de carga, un regulador zener, y una salida por medio de un amp-op y un transistor. Presenta una excelente linealidad y una alta corriente de salida.

El voltaje de salida es proporcional a la frecuencia de entrada y esta dado por la ecuación :

$$V = F \times V_z \times R_1 \times C_1$$

donde :

F .- Frecuencia de entrada

V_z .- Voltaje zener

R₁ y C₁ elementos externos de ajuste para los rangos de voltaje de salida.

A continuación se presenta la memoria de cálculo de los valores de R₁ y C₁ para que la salida de voltaje esté dentro del rango requerido (0.0 a 5.0 Volts).

Primero se calculará la frecuencia máxima que tendremos a la salida del sensor, esto es; De acuerdo a los datos proporcionados por el fabricante, el Rotor-X entrega una señal en frecuencia a razón de 1.5 Hz / [m/seg], entonces como la velocidad máxima a medir es de 10 m/seg, la frecuencia máxima de salida será de 15 Hz esta frecuencia se utilizará a continuación en la fórmula del convertidor XR-2917 antes mencionado, junto con el voltaje zener del convertidor, y en lo que respecta a los valores de R₁ y C₁ lo que se va a hacer es

fijar un valor arbitrario al capacitor quedando en la fórmula únicamente como incógnita R1 cuyo valor obtendremos despejándola, esto es:

datos : F = 15 Hz,
 Vz = 7.6 V,
 C1 = 0.1 μ F,
 V = 5 v
 R1 = ?

donde :

F .- frecuencia máxima de salida del sensor

Vz .- Voltaje Zener del XR-2917

C1 .- Capacitor de ajuste

R1 .- Resistencia de ajuste

despejando R1 de la expresión de voltaje de salida (XR-2917):

$$R1 = V / (C1 * Vz * F)$$

sustituyendo valores obtenemos :

$$R1 = 438.6 \text{ kilohms.}$$

Entonces de acuerdo al rango de velocidad a medir, se sabe la frecuencia mínima y máxima que tendremos y por lo tanto podemos calcular el voltaje mínimo y máximo que tendremos a la salida, es decir :

$$V_{min} = Vz \times f_{min} \times C1 \times R1 = 0.0 \text{ volts}$$

$$V_{max} = Vz \times f_{max} \times C1 \times R1 = 5.0 \text{ volts}$$

Estos valores cumplen con el rango requerido por el convertidor analógico-digital.

C) Gasto

1. Descripción del fenómeno

El gasto está definido como el volúmen de fluido, que atraviesa una sección transversal dada por unidad de tiempo.

Si se conoce la velocidad del fluido para una sección transversal, el gasto se puede obtener multiplicando esta velocidad por el área de la sección transversal.

2. Métodos de medición

Contadores de sección variable

Algunos contadores de este tipo son los siguientes:

- a) El contador de compuerta
- b) El contador de orificio y obturador
- c) El rotámetro

Este tipo de contadores se basa en el hecho de que si a través de una instalación determinada (por ejemplo una tubería) la presión diferencial es constante y la clase de flujo no varía, el gasto que pasa por el orificio dependerá del área de éste y del factor de velocidad de acceso.

Si la presión diferencial se mantiene constante mediante el ajuste del área del orificio, esta área es realmente una medida del gasto que pasa por este orificio.

A continuación se dará una breve explicación de estos contadores.

a) Contador de compuerta

Como se muestra en la fig. 2.7 se tiene una compuerta ajustable manualmente o por medio de un motor eléctrico. regulada automáticamente para mantener una caída de presión constante a través del orificio.

La posición de la compuerta puede observarse sobre una escala graduada en unidades de caudal. Debe tenerse en cuenta que la relación entre el gasto y el área para paso de flujo que deja la compuerta no será lineal debido al hecho de que el factor de velocidad de acceso aumentará con un aumento de área de apertura, o sea que el gasto aumentará más rápidamente que el área de apertura. Entonces la forma del orificio debe ser tal que compense esta no-linealidad, (ver Fig. 2.7).

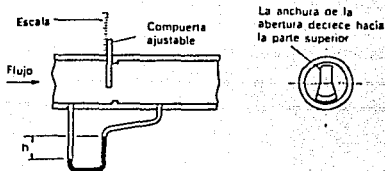


FIG. 2.7 Contador de compuerta

b) Contador de orificio y obturador

Este dispositivo se muestra en la fig. 2.8, posee un tubo cónico que tiene una forma tal que el área del espacio anular entre él y el orificio es proporcional al desplazamiento hacia arriba del mismo, por lo tanto la altura que sube el obturador cuando un fluido pasa por el instrumento, es una medida del gasto en ese punto.

c) Rotámetro

Este dispositivo consta de un tubo vertical graduado largo que posee una conicidad uniforme, dispuesto de modo que la sección mínima esté en la base, (ver Fig. 2.9).

Dentro de este tubo se encuentra un flotador que se mueve libremente. Al incrementarse el caudal a través del rotámetro, aumenta la elevación del flotador en el tubo, manteniéndose así una presión diferencial constante a través de dicho flotador. El desplazamiento del tubo es por tanto una medida del gasto. El tubo vertical puede ser de vidrio o de metal, el Rotámetro de tubo de vidrio graduado mide el caudal en rangos que van desde 30 o 300 ml/s hasta 0.5 a 5 l/s para

liquidos y los de tubo de metal pueden soportar hasta una temperatura de 300 grados centígrados y hasta 120 l/s.

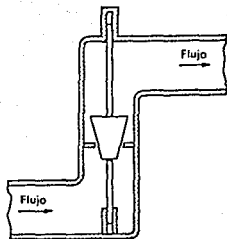


FIG. 2.8 Contador de orificio y obturador

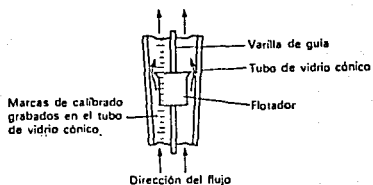


Fig. 2.9 Rotámetro

3. Selección del Método de Medición

Como el gasto se puede calcular a partir de la velocidad multiplicada por el área de la tubería por donde pase el fluido, no se usará ningún dispositivo en especial, sino que se hará el cálculo por medio de la programación tratando los

resultados obtenidos como si se hubieran obtenido de un sensor.

4. Acondicionamiento de la variable

El acondicionamiento se hará como se dijo antes por medio de programación es decir, a cada muestra de velocidad se le multiplicará por un factor constante, este factor será igual al área del punto donde se quiere medir el gasto y por el cual circule el fluido.

D) Temperatura

1. Descripción del fenómeno

La temperatura es el nivel de energía que presenta un cuerpo con respecto a una referencia; definir a la temperatura no es cosa sencilla, aunque frecuentemente se dice que es una propiedad termodinámica intensiva, asociada a la actividad molecular del sistema (a mayor actividad mayor temperatura y viceversa)

2. Métodos de medición

Existen diversos métodos de medición de la temperatura, dentro de los cuales destacan :

los que emplean la dilatación térmica:

- termómetros bimetalicos,
- termómetros de líquido en vidrio,
- termómetros de presión,

los que manejan sensores termoeléctricos (pares termoeléctricos),

los que usan sensores de resistencia eléctrica:

- sensores conductores (termómetros de resistencia),
- sensores semiconductores (termistores),

los métodos de radiación,

los que utilizan sensores de temperatura con cir-

cuitos integrados.

Debido a que se pretende diseñar un sistema de adquisición de datos se expondrá la teoría relativa a los métodos de medición de tipo eléctrico.

Elementos Sensores Resistivos

La resistencia eléctrica de varios materiales cambia en forma reproducible con la temperatura. Los materiales sólidos usados actualmente en la medición de la temperatura se dividen en dos grupos: conductores (metales) y semiconductores. La medición de un cambio de temperatura se puede efectuar a partir de la medición de un cambio en la resistencia del material utilizado. En esta medición se emplean cualquiera de las técnicas establecidas para medir los cambios en la resistencia de estos dispositivos, siendo la más común la del puente de Wheastone.

Sensores Conductores (termómetros de resistencia)

La variación de la resistencia R de un material con respecto a la temperatura T puede representarse mediante la ecuación :

$$R = R_0(1 + a_1T + a_2T^2 + \dots + a_nT^n) \quad (2.2)$$

en la que

R es la resistencia a la temperatura T ,
 R_0 es la resistencia a la temperatura $T=0$,
 a_1, a_2, \dots, a_n son las constantes propias del material que se determinan experimentalmente.

El número necesario de términos depende del material, de la precisión necesaria y del intervalo de temperatura por medir.

Cuando en los sensores de temperatura por resistencia se emplea un circuito con forma de puente y se utiliza el método de puesta en cero, el resistor R_4 de la figura 2.10a se hace variar hasta obtener el equilibrio del puente.

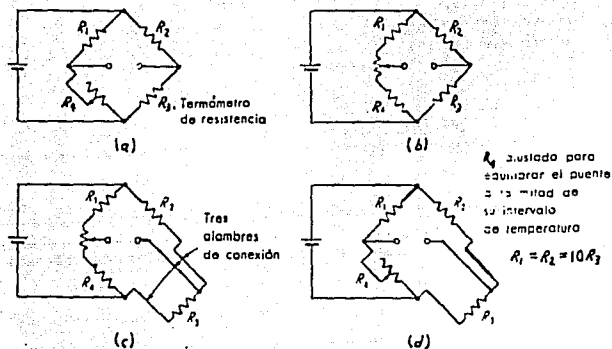


Fig. 2.10 Circuito puente

Quando se requiere de una precisión máxima se usa la disposición de la figura 2.10b. Si en un proceso de medición son inevitables los alambres de conexión largos, sujetos a variaciones de temperatura, pueden cancelarse los errores debidos a los cambios de la resistencia de éstos usando el circuito de Siemens de tres conductores, figura 2.10c. En este circuito, los tres alambres de conexión son de la misma longitud y material por lo que sufren variaciones de resistencia idénticas, y como uno de estos alambres está en cada uno de los lados 2 y 3, sus cambios de resistencia se anulan. El cambio de resistencia del tercer alambre no afecta el equilibrio del puente, ya que está en el circuito detector del cero.

Si los valores de las resistencias R_1 y R_2 se hacen fijos, y de una resistencia considerablemente mayor (digamos 10:1) que R_3 y R_4 , y equilibrando el puente a la mitad de su intervalo de temperatura, en vez de en un extremo, puede obtenerse una buena linealidad (figura 2.10d).

Dentro de los materiales principales utilizados en los

sensores conductores se encuentran : El platino (respuesta muy lineal) se usa de -450 a 1850°F, el cobre de -320 a 500°F, el níquel de -320 a 800°F y el tungsteno de -450 a 2000°F.

Sensores semiconductores (termistores)

Los termistores tiene un coeficiente negativo de temperatura muy grande, son muy alineales. La relación de la resistencia en función de la temperatura es generalmente de la forma:

$$R = R_0 e^{\beta(1/T - 1/T_0)} \quad (2.3)$$

donde R : resistencia a la temperatura T, ohms
 R₀ : resistencia a la temperatura T₀, ohms
 β : constante característica del material ° K
 e : base de los logaritmos naturales
 T, T₀ : temperaturas absolutas, °K

T₀ = 298°K (25°C)
 β es aprox. 4000.

La relación exacta de la resistencia con respecto a la temperatura varía en función del material que se use y la forma del elemento de resistencia, en la figura 2.11 se muestra el tipo general de curva que debe esperarse.



Fig. 2.11 Relaciones resistencia a temperatura

El rango útil para este tipo de sensor es de aproximadamente -420 a 1200 °F.

Una técnica para reducir la alinealidad (la resistencia decrece en forma exponencial al aumentar la temperatura), es poner en paralelo el termistor con un resistor ordinario (ver figura 2.12); así se pueden medir temperaturas usando esencialmente los mismos circuitos que para sensores conductores (puente de Wheastone).

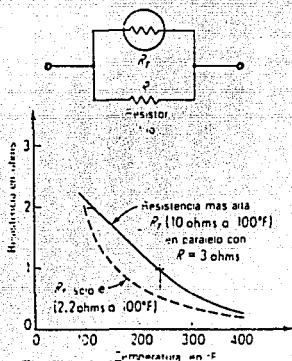


Fig. 2.12 Linealización del termistor

Dentro de este tipo de sensores se pueden citar:

Los cristales de Germanio:
 Los afectan campos magnéticos.
 Intervalo: 1 a 30 °K

Cristales de Silicio:

-50°C a 250°C

Su principal ventaja es su alta sensibilidad para controlar pequeños cambios de temperatura. Sin embargo a altas temperaturas se descalibran, por lo que el rango de medición es limitado a pocos cientos de grados centígrados.

Sensores termoeléctricos (pares termoeléctricos o termopares)

Si se conectan dos alambres de materiales diferentes A y B, a un circuito como el que se muestra en la figura 2.13, con una unión a la temperatura T1 y la otra a T2, al conectar un voltímetro de resistencia infinita se detectará un voltaje E, o si se conecta un amperímetro, se medirá una corriente I. La magnitud del voltaje E depende de los materiales utilizados A y B, y de las temperaturas de las uniones T1 y T2. La corriente I es simplemente el voltaje E dividido por la resistencia total del circuito, incluyendo la resistencia del amperímetro.

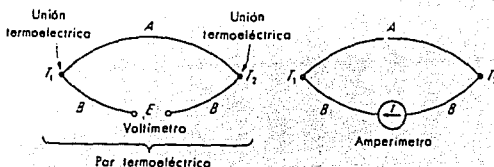


Fig. 2.13 Par termoeléctrico básico

La variación de la temperatura en el medio externo produce una variación de la corriente. Lo anterior da como resultado la generación de una potencia eléctrica. De esta manera se obtiene la conversión directa de energía térmica en energía eléctrica. El efecto es reversible, de manera que obligando a pasar una corriente de una fuente exterior a través de un circuito termoeléctrico producirá una corriente de calor hacia y del circuito.

A la relación global entre el voltaje E y la temperatura T1 y T2, que es la base de la medida termoelectrica de la temperatura, se llama efecto Seebeck. Las temperaturas T1 y T2 se refieren a las mismas uniones, mientras que cuando se usa un par termoelectrico se está tratando de medir la temperatura de algún cuerpo en contacto con la unión termoelectrica. Estas dos temperaturas, no son exactamente las mismas si se permite que pase corriente por la unión termoelectrica, que deberá estar más caliente o más fría que el medio ambiente cuya temperatura se está midiendo. Esta calefacción y enfriamiento se relacionan al efecto Peltier. Estos efectos son proporcionales a la corriente.

Otro efecto reversible de transmisión térmica, el efecto Thomson, influye en la temperatura de los conductores entre las uniones más bien que en las mismas uniones. Cuando pasa corriente por un conductor que tiene un gradiente de temperatura a lo largo de él (y por tanto una corriente de calor), se desprende calor en cualquier punto donde la corriente térmica esté en la misma dirección que la corriente de calor, mientras que se absorbe calor en cualquier punto donde sean opuestas. Como este efecto depende también del paso de la corriente, no se presenta si se usa un potenciómetro.

Aunque muchos materiales producen el efecto termoelectrico en cierto grado, generalmente se emplean los pares de, platino y rodio, cromel y alumel, cobre y constantán, y hierro y constantán. Cada uno de estos pares presenta una combinación de propiedades que se adaptan a una clase particular de aplicaciones. Como el efecto termoelectrico es algo alineal, la sensibilidad varia con la temperatura. La máxima sensibilidad de los termopares anteriores es aproximadamente de $60\mu\text{V}/^\circ\text{C}$ para el cobre y constantan a 350°C . El de platino y rodio es el menos sensible: aproximadamente $6\mu\text{V}/^\circ\text{C}$ entre 0 y 100°C .

A continuación se proporciona una lista de los termopares más comunes; y los rangos de temperatura, dependiendo de los materiales usados en su construcción:

- Cromel-Alumel (700 a 1200°C)
- Hierro-Constantán (150 a 1000°C)
- Cobre-Constantán (200 a 350°C)
- Platino-Platino y Rodio (0 a 1500°C)

Las uniones termoelectricas formadas por soldadura, o simplemente presionando los dos materiales entre sí dan voltajes idénticos. Si se deja pasar corriente, las corrientes

que pasan pueden ser diferentes, ya que la resistencia de contacto difiere con los diferentes métodos de unión. La unión que más se usa es la soldadura (ya sea la de gas o la eléctrica), aunque en los pares de cobre y constantán se usan tanto la soldadura con plata como la soldadura blanda (con bajas temperaturas solamente).

Las características de la relación de la temperatura al voltaje para varios termopares puede observarse en la fig. 2.14.

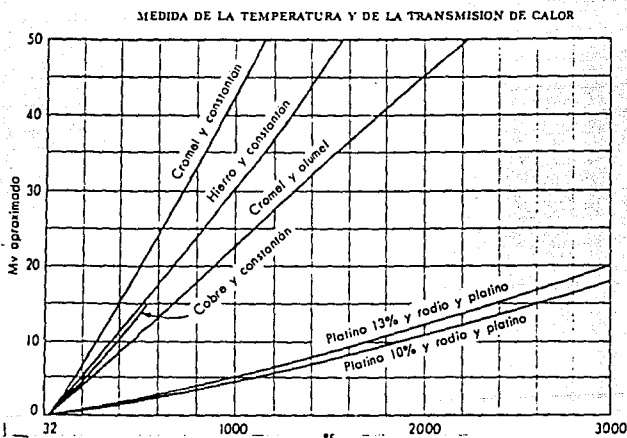


Fig. 2.14 Relación temp/voltaje en termopares

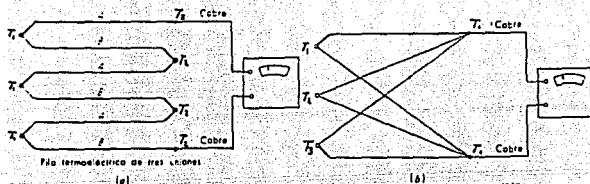


Fig. 2.15 Pares termoelectricos múltiples

Varios termopares pueden conectarse juntos, en serie o en paralelo, a fin de obtener funciones útiles (fig. 2.15). La conexión en serie con todas las uniones medidoras a una temperatura y todas las uniones de referencia a otra se usan principalmente como medio para aumentar la sensibilidad.

Sensores de temperatura con circuitos integrados

Características de estos dispositivos:

- Se pueden hallar calibrados en °Celsius
- Factor de escala lineal de +10mV/°C
- Rango completo de -55°C a 150°C
- Adecuado para aplicaciones remotas
- Opera con voltajes de 4 a 30 v
- Consumo de corriente menor a los 60 μ A
- Bajo autocalentamiento
- Baja impedancia de salida

Presentan el problema de no reflejar fielmente la temperatura cuando se presenta mucha diferencia entre la temperatura del medio y la de la superficie donde se ha de pegar el dispositivo, además de que ha de tomarse en cuenta el hecho de que tal dispositivo no puede mojarse o humedecerse (

ha de envolverse en barniz si ha de exponerse a la humedad).

3. Medición de temperatura por métodos de radiación

En los métodos anteriormente descritos se requiere que el "termómetro" esté en contacto con el cuerpo cuya temperatura se quiere medir; es decir, ha de ser capaz de soportar dicha temperatura, lo que en el caso de cuerpos muy calientes presenta problemas reales, puesto que el termómetro se puede fundir a las elevadas temperaturas que en ocasiones hay que medir. Además para los cuerpos que están en movimiento, el medio más conveniente de sensar la temperatura es aquel en el que no se hace contacto.

Para resolver estos problemas, se han ideado instrumentos que de una u otra forma sensan la radiación. A estos, en general, puede llamárseles radiómetros.

Los sensores de temperatura por radiación operan con la radiación electromagnética, cuyas longitudes de onda quedan en las porciones visibles e infrarrojas del espectro. El espectro visible es bastante angosto : de 0.3 a 0.72 μm . El espectro infrarrojo se define generalmente como el intervalo de 0.72 a aproximadamente 1000 μm . Limitando el espectro visible del lado de menor longitud de onda están los rayos ultravioleta, mientras que las microondas limitan el espectro infrarrojo del lado alto. Los dispositivos sensores utilizan principalmente alguna parte del intervalo de 0.3 a 40 μm .

Los cuerpos físicos (sólidos, líquidos o gases) pueden emitir radiaciones electromagnéticas o partículas subatómicas por varias razones. En cuanto concierne al sensado de la temperatura, necesitamos solamente referirnos a aquella parte de la radiación causada únicamente por la temperatura. Todo cuerpo que esté a una temperatura superior a la del cero absoluto emite una radiación que depende de su temperatura.

Detectores de radiación

En todos los termómetros de radiación (que no sean los pirómetros ópticos), la radiación del cuerpo cuya temperatura se mide, se enfoca a una especie de detector de radiación que produce una señal eléctrica. Los detectores pueden clasificarse como detectores térmicos o detectores de fotones. Los detectores térmicos son elementos ennegrecidos proyectados para absorber un máximo de la radiación que llega de todas las longitudes de onda. La radiación absorbida hace

que suba la temperatura del detector, hasta que se alcanza el equilibrio con pérdida de calor al medio ambiente. En realidad los detectores térmicos miden esta temperatura usando el principio del termómetro de resistencia, termistor, o termopar. En los diferentes tipos de detectores de fotones la radiación incidente (fotones) libera electrones en la estructura del detector y produce un efecto eléctrico medible.

4. Selección del método de medición

Para efectuar la selección del método a utilizar en la medición de la temperatura, se deben considerar, como referencia el rango que deseamos medir (0 a 100 grados centígrados), la precisión y el medio con el que se va a trabajar. A continuación se muestra una tabla comparativa de los métodos de medición:

Sensor	Rango	Ventajas	Sens
termopar T	-418 a 750 F	bajas temps.	60 uV/C
termistor 700	-22 a 212 F	preciso	0.004 Ro/C
RTD 100 Kohms	-387 a 1600 F	estable, preciso	0.009 Ro/C
CI LM35D	0 a 100 C	bajo costo	10 mV/C

Debido a la sensibilidad y a su bajo costo, podemos decidir sobre el método de medición que utiliza el circuito integrado (CI), y considerando que se han de tomar las precauciones necesarias para su operación en un medio ambiente acuoso.

5. Acondicionador de la variable

Tomando como posible transductor de temperatura al C.I. y considerando que esta señal se conecta a un convertidor analógico digital que trabaja con un rango de voltaje de entrada de 0 a 5 v, requeriremos una etapa de amplificación con una ganancia de 5, lo cual se puede implementar con un amplificador operacional configurado como amplificador no in-

versor (fig. 2.16), cuya ganancia esta dada por la expresión:

$$G = 1 + R_r/R_1$$

quedando así determinada la ganancia 5 por la relación:

$$R_r = 4 (R_1)$$

usando valores comerciales para R_1 y R_r :

$$\text{si } R_1 = 1k\Omega$$

R_r ha de formarse con 4 resistencias en serie de $1k\Omega$.

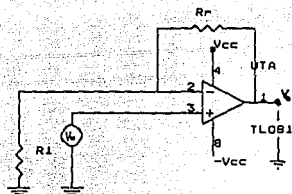


Fig. 2.16 Circuito acondicionador de la señal proveniente del sensor de temperatura

E) NIVEL

1. Métodos de medición.

En general se pueden clasificar a los métodos de medición de nivel en dos grandes grupos: discretos y continuos. Los métodos de medición discretos incluyen sensores ópticos, electrodos, termistores, etc., y se emplean comúnmente cuando no se requiere conocer el nivel exacto del fluido sino su posición en alturas conocidas. Sensores tales como flotadores, cristales de cuarzo, capacitores, sensores de presión, etc., forman parte de la medición de nivel con-

tinua, y su empleo se lleva a cabo cuando es necesario establecer la posición exacta del nivel.

Métodos discretos

a) Método óptico.

Algunas alternativas para implementar la medición de nivel en incrementos discretos se lleva al cabo según se muestra en las figuras siguientes.

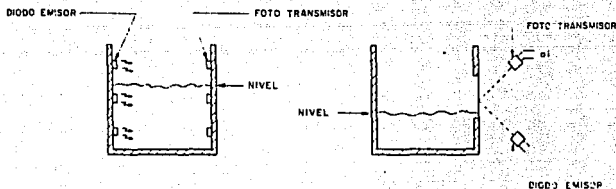


Fig. 2.17 Método Óptico

En la figura 2.17a se muestran pares diodo emisor-fototransistor colocados a diferentes niveles del estanque previamente definidos, a fin de que el fototransistor detecte las variaciones de luz provenientes del diodo emisor, de acuerdo al medio que se interponga entre ellos. Recuérdese que la diferencia de densidad y viscosidad de los fluidos absorbe diferentes frecuencias de luz.

La figura 2.17b muestra el método de reflexión, que aprovecha el cambio de las propiedades de la superficie reflectora al subir el fluido de acuerdo a la Ley de Fresnell.

Ambos métodos son útiles en líquidos transparentes.

b) Método de conducción.

Al colocar un electrodo cilíndrico a lo largo de todo el margen de medición alimentado con una fuente de voltaje de C.A., es posible medir discretamente el nivel que toma el fluido, al ser detectados por electrodos esféricos. El fluido debe tener una alta conductividad para que fluya la corriente fácilmente. Existen muchas formas de implementar este método, una de ellas es la mostrada en la fig. 2.18.

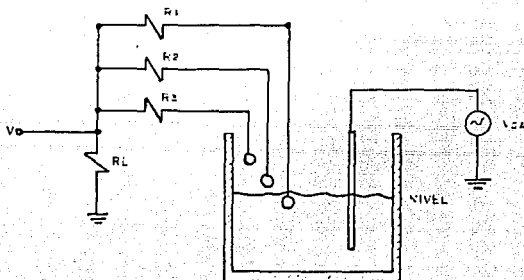


Fig. 2.18 Método de Conducción

El voltaje de salida se puede calcular mediante la siguiente ecuación:

$$V_o = \frac{R_L}{R_L + R_{eq}} V_{ca}$$

donde:

$$R_{eq} = R_1 \parallel R_2 \parallel R_3 \parallel \dots \parallel R_n$$

c) Método resistivo

Si se colocan elementos resistivos variables con la temperatura a intervalos de altura conocidos, es posible medir el nivel del estanque en incrementos discretos. Este método se basa en que el coeficiente de transmisión de calor en la superficie del elemento resistivo cambia radicalmente cuando la superficie del líquido lo cubre. Esto altera su temperatura, y si se construye como se muestra en la figura 2.19, produce un cambio en el voltaje de salida del puente. Estos sistemas se usan para controlar el llenado de tanques de combustible líquido criogénico.

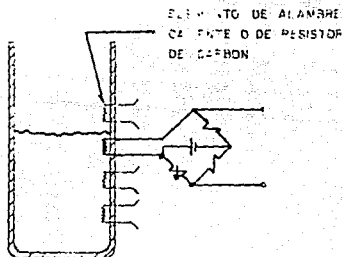


Fig. 2.19 Método Resistivo

Métodos Continuos

Tal vez la mayor importancia de los métodos continuos, radica en la medición de nivel, ya que como su nombre lo indica proporcionan de manera continua la medición.

a) Medición por flotadores

Los flotadores se usan acoplados a dos sistemas básicos de transductor: potenciométrico o de fuerza. Cuando el transductor es potenciométrico el flotador se acopla al cursor. El elemento resistivo es de alambre devanado y puede ser lineal, logarítmico o exponencial; aunque también, para

mejorar el elemento resistivo se emplean depósitos de carbón, películas de platino, etc. El dispositivo potenciométrico se puede alimentar con CC o CA lo que le permite un amplio rango de funciones. Tienen por desventaja principal, debida al envejecimiento, la aparición de ruido por la fricción mecánica entre el cursor y el elemento resistivo. (Figura 2.20a)

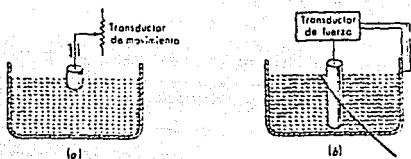


Fig. 2.20 Medición de nivel por flotador

También el flotador se puede acoplar a un transductor de fuerza. Tiene por cualidad, medir pequeñas variaciones de nivel.

b) Método capacitivo.

La variación de la capacitancia, en función de la variación del dieléctrico, tiene gran aceptación debido a su rango de aplicaciones. Por ejemplo en muchos líquidos se han usado los métodos capacitivos para sensar niveles, lo mismo que para sensar sólidos granulares, metales líquidos (a altas temperaturas), gases licuados (a bajas temperaturas), los materiales corrosivos como el ácido fluorídrico y en procesos a altas presiones.

En líquidos que prácticamente no son conductores (0.1 mho/cm^3) se pueden emplear placas desnudas ya que la resistencia del líquido es muy alta (Figura 2.21a). En fluidos conductores las placas deben aislarse para evitar el cortocircuito entre ellas y que actúen como electrodos. (Figura 2.21b). La medición de la capacitancia puede hacerse mediante circuitos osciladores en radiofrecuencia.

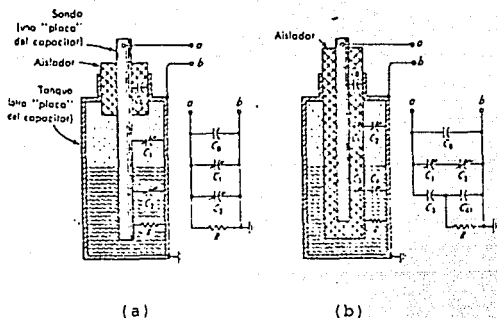


Fig. 2.21 Método de medición de nivel por capacitancia

c) Métodos radioactivos

La figura 2.22 ilustra el empleo de radioisotopos para medir niveles, ya que la absorción de los rayos beta o gamma varía con el espesor del material absorbente entre la fuente y el detector, puede encontrarse la relación entre la señal detectada y el nivel del tanque. Como la fuente que se emplea comúnmente son los rayos gamma del cesio 137 y el aceite $\mu = 0.077 \text{ cm}^2/\text{gr}$, para el aluminio de 0.074, para el acero de 0.072 y para el plomo de 0.103. Para la disposición presentada en la figura 2.22, la ley que lo rige esta dada por:

$$I = I_0 e^{-\mu x}$$

donde:

I = intensidad de la radiación que recibe el detector.

I_0 = intensidad en el detector cuando no hay material absorbente.

e = base de los logaritmos naturales.

μ = Coeficiente de absorción de masa cm^2 / gr

ρ = Densidad de masa del material absorbente gr/cm^3

x = espesor del material absorbente, cm

La relación de I en función de x , como se puede observar, es lineal sólo en un pequeño margen de x . Para grandes margenes (mayores a 100 cm) la alinealidad es evidente, lo que se evita mediante un arreglo logarítmico de detectores.

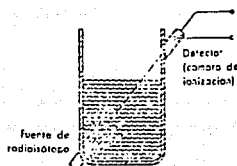


Fig. 2.22 Método radioactivo de medición de nivel

d) Sensores de presión

Como la presión hidrostática está relacionada estrechamente con el nivel del líquido, es común el empleo de sensores de presión para medir el nivel. La medición del nivel a través de estos sensores se puede definir de dos maneras: a) por medio de circuitos de acondicionamiento o b) por medio de la programación en la adquisición de datos.

El uso de este tipo de sensores tiene gran versatilidad, ya que se puede emplear en recipientes abiertos y en recipientes cerrados bajo presión manométrica.

2. SELECCION DEL SENSOR Y ACONDICIONAMIENTO DE LA VARIABLE.

De acuerdo a las características de los sistemas descritos, y rango de medición (0 a 40 m), el sistema

elegido es el transductor de presión, modelo N-07351-16 de "Cole & Parmer" con un salida de 4 a 20 mA. Este transductor puede medir de 0 a 100 psi, que en unidades del Sistema Internacional es igual a 690,398.1 N/m². De acuerdo a esto el máximo nivel de medición de agua cuya densidad es igual a 1000 Kg/m³, se puede calcular mediante una sencilla fórmula ($h=P/\rho g$), obteniéndose el siguiente resultado:

$$h = 70.38 \text{ m}$$

Este resultado sobrepasa el rango de nivel que se pretende medir, por lo que se ajusta a 40 m. Dado que la salida del transductor no inicializa en 0 mA, se toma el rango absoluto que es de 16 mA, de esta manera por una relación de 3 se obtiene la corriente de salida para 40 metros de medición como sigue:

$$\begin{array}{r} 40 \text{ m} \text{ ---- } X \\ 70.38 \text{ m} \text{ ---- } 16 \text{ mA} \end{array}$$

$$\begin{array}{r} 40 \quad X \\ \text{-----} = \text{-----} \\ 70.38 \quad 16 \end{array}$$

$$X = 9.09 \text{ mA}$$

y se suma los 4 mA de "offset" para obtener la salida de corriente total para 40 m.

$$I_{\text{max}} = 13.90 \text{ mA}$$

Asimismo el acondicionamiento de la variable, es similar a la empleada en la medición de la presión, solo que la resistencia empleada tiene un valor de 380 ohms para obtener el máximo "span" de medición, y una salida total de 5 V acorde al voltaje de entrada del ADC.

CONVERSION ANALOGICA DIGITAL

A) Descripción general de convertidores A/D.

Los convertidores analógicos-digitales (A/D ó ADC) transforman las señales analógicas en señales digitales. Las señales analógicas pueden tener la forma de voltajes o de corrientes, mientras que las señales digitales son generalmente binarias, codificadas en binario o en código decimal binario (BCD). Para observar o visualizar las señales resultantes de la conversión A/D, éstas se codifican en un formato adecuado para operar directamente un desplegado, por ejemplo, un código de siete segmentos o una estructura para gráfica de barras. La relación entre los valores analógicos y los digitales puede ser lineal, pero en algunos casos se busca intencionalmente una relación no lineal determinada. Las conversiones A/D se utilizan con mucha frecuencia en sistemas de distintos niveles de complejidad de medición y control.

Dados los avances en el manejo de señales digitales, y la relativa facilidad de su diseño e integración, se han provocado muchos cambios en los sistemas tradicionalmente analógicos. Así, el campo de la alta fidelidad para la grabación y reproducción de audio, se ha estado transformando por la introducción de equipos digitales, a nivel de mercado de consumo, a un precio mucho menor que los sistemas profesionales y de estudios introducidos hace solo unos pocos años. El procesamiento digital de señales se utiliza mucho en televisión para todo tipo de manipulaciones de las señales de video. Lo mismo sucede en los sistemas telefónicos.

Algunos conceptos importantes sobre los convertidores A/D son:

Resolución.

Se refiere fundamentalmente al número de bits de la salida digital y se define como: Valor del "bit" menos significativo (LSB) en relación con el rango de escala completa.

En un convertidor analógico digital de n bits, el valor del LSB es de $V_{ref}/2^n$, donde V_{ref} es el valor del voltaje de referencia máximo o de escala completa, utilizado en el proceso de conversión. La resolución no implica linealidad.

No linealidad diferencial.

Diferencia entre los intervalos de entrada correspondientes a salidas adyacentes y su valor ideal (LSB).

Monotonicidad.

Esta característica solo se presenta en convertidores analógico-digitales que para la conversión utilizan un DAC y se define como: la propiedad que consiste en que la salida de realimentación aumenta siempre que aumente la entrada digital que en nuestro caso es la salida del ADC. Esta está asegurada siempre que la linealidad sea inferior a $1/2$ LSB (bit menos significativo) .

Linealidad.

Especifica la desviación que presenta la relación entrada/salida con respecto al ideal. Esto puede referirse a la "mejor línea recta" ó, en el caso de convertidores de integración, a rectas diferentes para entradas positivas y negativas, con una pequeña discontinuidad en torno al cero.

Tiempo de conversión.

Se define como el tiempo necesario para una conversión completa del ADC. Comúnmente se establece por el intervalo desde la aplicación de la orden de conversión hasta que regresa a la condición de "preparado" ó "start", después de que se entregan todos los "bits".

Exactitud.

El error de un ADC con un código dado de salida es la diferencia del voltaje de entrada analógica teórico y real que se requiere para producir ese código.

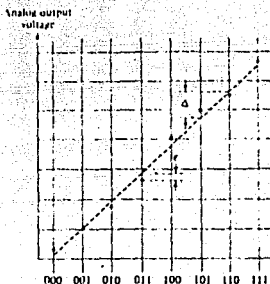


Fig. 3.1 Linealidad

Un convertidor analógico a digital es un tipo especial de codificador. Por ejemplo, si la entrada al convertidor fuera un voltaje variable en cierto rango, la salida del convertidor A/D estará dada en código binario correspondiente a la entrada. El convertidor A/D transformará el voltaje analógico en una palabra binaria de n bits.

Podemos establecer una división entre los convertidores que operan directamente con el voltaje de entrada y los que aplican técnicas de división de tiempo para realizar la conversión; sin embargo, la mayoría de los convertidores A/D son del tipo de entrada por voltaje, por lo que no interesa mucho clasificar los convertidores atendiendo a la clase de entrada que manejan. La clasificación más usual de los convertidores A/D se hace de acuerdo con los métodos fundamen-

tales de conversión. A continuación se describen los métodos de conversión A/D más usuales.

1. Conversión en ráfaga (flash).

Esta técnica puede llamarse la solución de "fuerza bruta" para la conversión A/D. Consiste en poner un comparador para cada nivel de entrada posible y codificar adecuadamente la salida en binario, (fig.3.2). Por lo general, los convertidores de este tipo utilizan una arquitectura interna de tipo "tubería" o "canalizada", que permite procesar digitalmente un resultado al mismo tiempo que efectúa la adquisición de una nueva entrada. Esta técnica de conversión rápida permite obtener un nuevo resultado a cada pulso de reloj. Sin embargo, el gran número de comparadores (255 o 256 para un convertidor de 8 bits), hace que los dispositivos sean relativamente costosos. Este convertidor se conoce también con el nombre de CONVERTIDOR EN PARALELO.

El convertidor de ráfaga de la figura 3.2 tiene una resolución de tres bits y un tamaño de etapa de un volt. El divisor de voltaje fija los niveles de referencia para cada comparador de tal manera que existan siete niveles, (1V, 2V, ... 7V). La entrada analógica, V_a , se conecta a la otra entrada de cada comparador.

Cuando $V_a < 1V$, las salidas de los comparadores serán altas, y cuando $V_a > 1V$, una o más salidas del comparador serán bajas. Como se observa en la figura 3.2 las salidas de los comparadores se conectan a la entrada de un codificador de prioridad de lógica negativa, que tiene por función transformar el código proveniente de los comparadores a una salida binaria. Este codificador de prioridad tiene como característica fundamental generar una salida binaria en base a la salida baja del comparador más significativo. Por ejemplo, cuando V_a está entre 3 y 4 volts, las salidas C_1 , C_2 y C_3 , son bajas y todas las otras serán altas. El codificador de prioridad responderá únicamente a la salida C_3 baja (más significativa) y producirá una salida binaria $CBA = 011$.
Tabla 3.1.

El convertidor de ráfaga no utiliza señales de reloj debido a que no necesita sincronización, a menos que sea seleccionado el momento de conversión por un interruptor con-

trolado por una señal digital o un reloj (figura 3.3). El tiempo de conversión entonces, depende únicamente de las demoras en la propagación de los comparadores y el codificador.

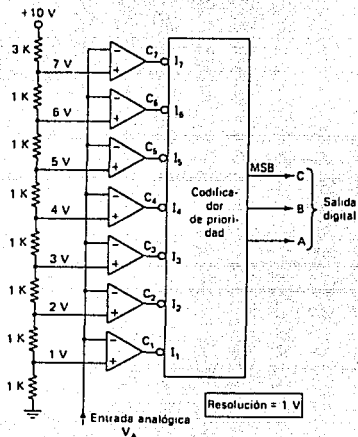


Fig. 3.2. Convertidor de Ráfaga

En general el alto costo de estos ADC limita su uso a aquellas aplicaciones donde la alta velocidad es un requisito primordial.

Otra limitación de los convertidores de ráfaga (multibit) son las imprecisiones, resultado de los voltajes de desbalance de los comparadores. La diferencia entre niveles adyacentes puede ser apenas de unos milivolts y si la "suma de desbalances" de un par de comparadores adyacentes excede este valor la red lógica de decodificación recibirá una señal inconsistente desde el punto de vista lógico. Ultimamente se ha desarrollado un nuevo tipo de comparador en tecnología CMOS, el cual puede resolver este problema utilizando parte del ciclo de conversión para ajustar

automáticamente el cero de los comparadores. Como puede verse en la figura 3.3, un capacitor se conecta a la entrada de cada comparador, cuya salida se retroalimenta a su entrada. Así el capacitor se carga con la suma del punto de referencia y el del desbalance del comparador. En la otra parte del ciclo de conversión el capacitor se conecta al voltaje de entrada y el lazo de retroalimentación del comparador se abre, permitiendo que el comparador sea excitado por la diferencia entre la entrada y la referencia. Los capacitores provocan la circulación de corrientes de conmutación de entrada bastante fuertes, que tienden a cancelarse entre sí, aunque el balance no sea perfecto, la baja impedancia efectiva de entrada de los comparadores no suele ser un problema en los sistemas de alta velocidad en que se usan estos dispositivos.

V_A	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C	B	A
<1V	1	1	1	1	1	1	1	0	0	0
>1V, <2V	0	1	1	1	1	1	1	0	0	1
>2V, <3V	0	0	1	1	1	1	1	0	1	0
>3V, <4V	0	0	0	1	1	1	1	0	1	1
>4V, <5V	0	0	0	0	1	1	1	1	0	0
>5V, <6V	0	0	0	0	0	1	1	1	0	1
>6V, <7V	0	0	0	0	0	0	1	1	1	0
>7V	0	0	0	0	0	0	0	1	1	1

TABLA 3.1

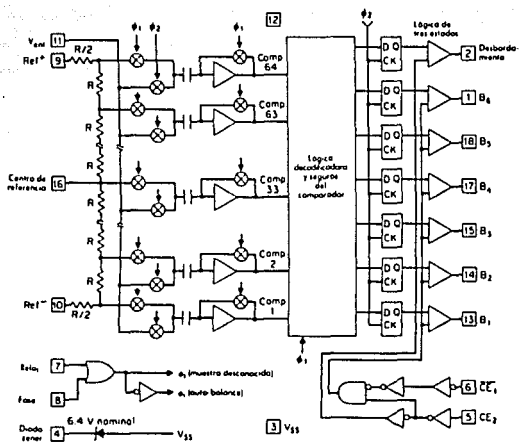


Fig. 3.3 ADC de ráfaga.

2. Convertidores de aproximaciones sucesivas.

La operación de este tipo de convertidores se basa en un convertidor digital-analógico (DAC), el cual utiliza dentro de un sistema lógico y automático que actúa sobre él hasta lograr que su salida corresponda a la entrada. Entonces, la entrada lógica del DAC es el valor digital de salida requerido para el ADC. Es decir, el comparador compara la señal de entrada con la salida del DAC y regresa el resultado al contador, que al término del ciclo de conversión será el resultado deseado. El diagrama de bloques de este tipo de convertidor se muestra en la figura 3.4.

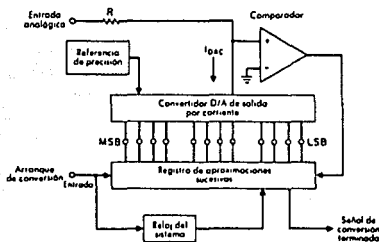


Fig. 3.4 Diagrama a bloques de un ADC de aproximaciones sucesivas

En la figura 3.5 se muestra el diagrama de tiempos del funcionamiento del convertidor. El registro de aproximaciones sucesivas (SAR) empieza con todos sus bits en cero excepto el "bit" más significativo (MSB). El valor analógico correspondiente es el de media escala y un periodo de reloj después el comparador le indicará al registro SAR si la entrada está por encima o por debajo de ese valor. En el primer caso el SAR mantendrá el "bit" MSB en 1, mientras que en el segundo lo pondrá en cero. A continuación el SAR

pondrá en uno el segundo "bit" mas significativo, se efectua el proceso anterior, el comparador le indica al SAR si la entrada está por encima o por debajo de ese valor. Este proceso se efectua sucesivamente con todos los bits hasta que se haya establecido y probado el "bit" menos significativo (LSB). La figura 3.6 muestra el resultado del proceso desde el punto de vista analogico, donde el valor de prueba converge hacia el valor de la señal de entrada.

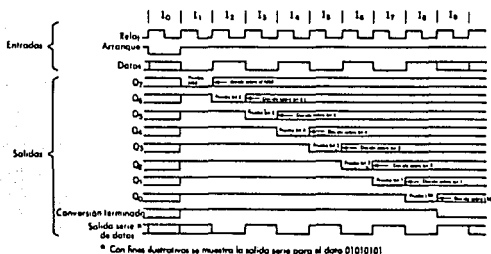


Fig. 3.5 Diagrama de tiempos de un ADC de aproximaciones sucesivas

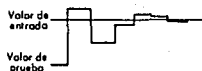


Fig. 3.6 Proceso de conversión analógico.

En la figura 3.7 se puede ver un convertidor A/D de aproximaciones sucesivas. Se utiliza un DAC y un SAR tipo AM2504. El resistor de "retroalimentación" utilizado para tener salida por voltaje sirve aquí como resistor de entrada. Así se asegura la misma precisión nominal del DAC para este tipo de conexión. El único error adicional es el propio del comparador, que debe especificarse con mucho cuidado.

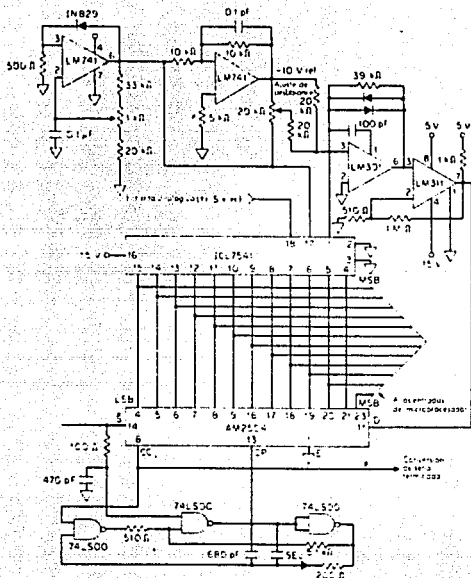


Fig. 3.7 Convertidor A/D de aproximaciones sucesivas.

3. Convertidor de integración.

Este convertidor transforma el cociente de los voltajes de entrada y de referencia en una relación de tiempos. El convertidor de integración es conocido con el nombre de "doble rampa", figura 3.8. La entrada del integrador se conecta alternadamente a la señal de entrada o a una señal de

referencia mediante un conmutador. La salida del integrador pasa a un comparador y luego al sistema lógico y de sincronización.

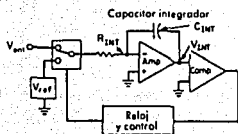


Fig. 3.8 Convertidor A/D de integración.

La conversión se desarrolla en tres fases como se muestra en la figura 3.9. La primera, es la de "autoajuste", se ajusta a cero la salida del integrador y también se anulan los voltajes de desbalance del sistema, por lo que se denomina "fase de autocero" o "fase de reposición". La segunda, es la fase de "integración de la entrada". Aquí la entrada del integrador está conmutada a la señal de entrada, por lo que la variable de entrada se integra durante un tiempo fijo determinado por el sistema de control. La tercera fase se conoce como de "integración de referencia" o "fase de desintegración". Durante este periodo la entrada del integrador se conecta a la referencia durante un tiempo variable, hasta que la salida del integrador regresa a su valor inicial. Como resultado el tiempo necesario para lograr esto queda registrado en el sistema de control lógico.

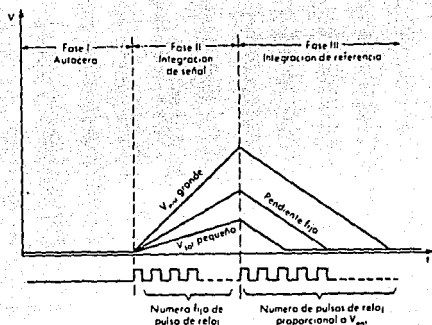


Fig. 3.9 Fases de la conversión A/D de integración.

La ecuación que describe este proceso es la siguiente:

$$V_{int} = \frac{V_{ent} \cdot N_{int}}{R_{int} \cdot C_{int}} = \frac{-V_{ref} \cdot N_{de}}{R_{int} \cdot C_{int}} \quad (3.1)$$

donde:

- N_{int}.- Número de conteos en la fase de integración de la señal de entrada.
- N_{de} .- Número de conteos en la fase de integración de la señal de referencia.
- V_{int}.- Voltaje a la salida del integrador.
- V_{ent}.- Voltaje de entrada.
- V_{ref}.- Voltaje de referencia.
- R_{int}.- Resistencia a la salida del integrador y,

Cint.- Capacitor a la entrada del comparador.

También se puede escribir despejando Nde de la ec. (3.1):

$$Nde = Nint (V_{ent}/V_{ref}) \quad (3.2)$$

ya que Nde será el resultado final.

Las únicas fuentes de error en un convertidor de doble rampa pueden ser el voltaje de referencia y la posible variación del reloj. Un ejemplo de este convertidor es el indicado en la figura 3.10, que corresponde a la parte analógica de un muy conocido convertidor A/D de 3 1/2 dígitos. En ella se pueden distinguir la parte del integrador, y la del conmutador. Además, existe un amplificador de entrada que hace que la resistencia de entrada sea mucho más elevada de lo que sería el simple resistor de la figura 3.8. El autoajuste retroalimenta la salida del comparador a la entrada negativa del integrador para corregir el cero del amplificador del integrador y del propio comparador a la vez.

La sección digital de este convertidor se muestra en la figura 3.11. El oscilador y el contador binario de división controlan la sincronización del conmutador a partir de entradas auxiliares del biestable de polaridad y el detector de cruce por cero. El valor registrado en los contadores se almacena en un segundo y se codifica en siete segmentos para operar directamente un desplegado.

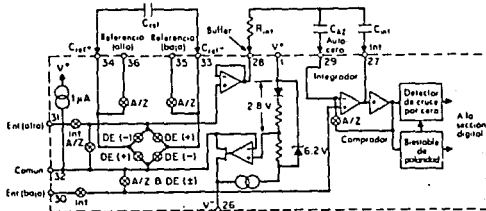


Fig. 3.10 Sección analógica de un convertidor de integración básico.

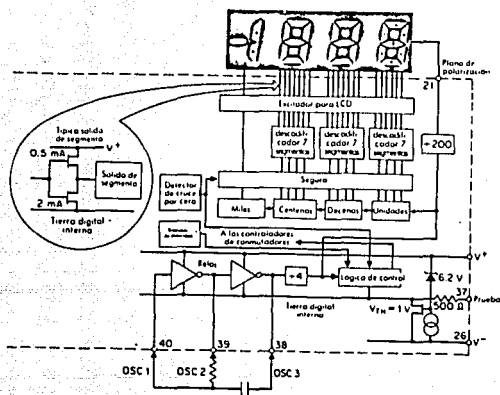


Fig. 3.11 Sección digital del convertidor A/D de integración o doble rampa.

4. Convertidor A/D de dos pasos.

La figura 3.12 muestra al convertidor de dos pasos. Este es fundamentalmente un elemento de aproximaciones sucesivas, en el que se utiliza como comparador un convertidor de ráfaga. El resultado de la primera conversión se resta a la entrada mediante un DAC de precisión y el residuo se amplifica y se pasa al segundo convertidor. El resultado final es una suma digital de ambos parciales. La precisión se aproxima al doble del número de bits del convertidor de ráfaga o paralelo, mientras que, su velocidad es un poco más baja de la mitad de la del convertidor de ráfaga, aunque es superior a la de un elemento ordinario de aproximaciones sucesivas de igual precisión. La segunda etapa puede realizarse con el mismo dispositivo de conversión paralela

que se emplea en la primera etapa, o puede usarse un segundo elemento diferente.

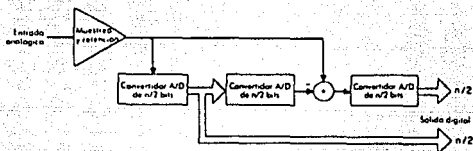


Fig. 3.12 Convertidor A/D de dos pasos.

B) MODULOS MUESTREADORES - SUJETADORES.

1. Fundamento de los circuitos de muestreo y sujeción.

Cuando un voltaje analógico se conecta directamente a un ADC, la conversión puede verse afectada adversamente si el voltaje analógico de entrada varía en el momento de la conversión. Esto se puede evitar si se utiliza un circuito de muestreo y sujeción, para contener la constante de voltaje analógico mientras se lleva a cabo el proceso de conversión A/D. Es decir, un módulo muestreador-sujetador es un circuito que sigue una señal de entrada y que al recibir un orden de un circuito de control lógico, muestrea y sostiene el valor instantáneo del valor de entrada. Un diagrama de este tipo de circuito se muestra en la figura 3.13.

En base al circuito de la figura 3.13, A1 representa un amplificador operacional que presenta por característica propia una alta impedancia de entrada a la señal analógica, y una impedancia de salida muy baja a fin de cargar rápidamente el capacitor Ch. El capacitor Ch es conectado a la salida de A1 por medio del interruptor SW1, a una orden del circuito de control lógico. A este proceso se le llama operación de muestreo. El interruptor SW1 permanecerá cerrado el tiempo suficiente para que Ch se cargue al valor de

la entrada analógica V_0 . Cuando SW1 se abre, C_h "contendrá" ó "sostendrá" este voltaje, de tal manera que la salida del amplificador operacional 2 A_2 aplica el voltaje muestreado al A/D. El amplificador operacional 2 presenta una alta impedancia de entrada, por lo que el capacitor C_h no se descargará significativamente. De esta manera el A/D recibirá un voltaje de entrada sin variaciones considerables para realizar la conversión.

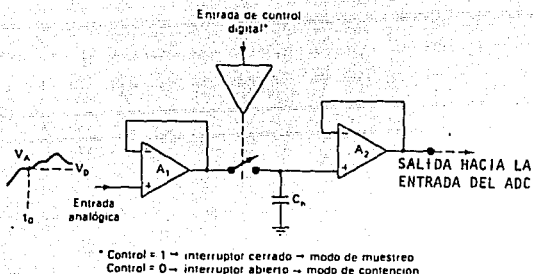


Fig. 3.13 Diagrama simplificado de un circuito de muestreo y sujeción.

Dos especificaciones que definen básicamente a este tipo de circuitos son: el tiempo de apertura y el tiempo de adquisición.

El tiempo de apertura se define como el tiempo que transcurre mientras el control lógico ordena al interruptor SW1 que abra y el tiempo en que éste lo hace realmente. Cuando puede tolerarse un tiempo de apertura muy largo (milisegundos), SW1 puede ser un relevador. Cuando no son tolerables tiempos de apertura mayores a los 100 ns, los conmutadores se deben basar en transistores de efecto de campo o bipolares. La figura 3.14 ilustra el error de sujeción producido por el tiempo de apertura.

Por otro lado, la señal de control se encarga de cerrar el interruptor a fin de cargar Ch a un nuevo valor de entrada de la señal analógica; la cantidad de tiempo que el interruptor tiene que permanecer cerrado se llama tiempo de adquisición, y depende del valor de Ch y de las características del circuito de muestreo y sujeción tales como: la corriente de salida disponible en el amplificador operacional 1 (A1), de su máxima rapidéz de cambio y del tiempo de normalización o estabilización del circuito en general.

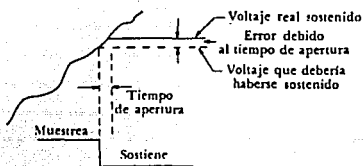


Fig. 3.14 Error de sujeción producido por el tiempo de apertura.

2. Circuito muestreador-sujetador.

Ya que las variables de entrada provenientes de los transductores varían lentamente, este diseño no considera ningún circuito muestreador-sujetador, sin embargo si se requirieran tiempos de adquisición de 4 ó 20 μ s, se propone usar el C.I. LF198 con capacitores Ch de 1000 pF y 0.01 μ F respectivamente.

C) SELECCION DEL CONVERTIDOR.

La selección del convertidor A/D que utilizamos en nuestro sistema automático de adquisición de datos, se basó, principalmente, en un análisis comparativo de las ventajas y limitaciones de los diferentes tipos de convertidores que se conocen y manejan comunmente. Los convertidores que hemos definido representan dispositivos cuya velocidad de operación cae en tres rangos diferentes. El más rápido es el conver-

tidor comparador (ráfaga o comparador paralelo). En principio, excepto por el retardo a través de los comparadores, este convertidor da una salida digital disponible en el momento en que la entrada analógica es aplicada. De aquí que este convertidor es el sistema a elegir cuando se requiere la máxima velocidad. Si los requerimientos de "hardware" de un convertidor comparador son excesivos, una arreglo en cascada puede ser utilizado con algún sacrificio en velocidad y precisión.

El siguiente en orden a su velocidad es el convertidor de aproximaciones sucesivas. Cuando un convertidor relativamente rápido y de buena calidad es requerido, este comparador es el más popular. En este caso, el tiempo requerido para procesar una conversión se incrementa linealmente con el número de bits, requiriendo casi tantos pulsos de reloj como bits.

Los convertidores contadores son los más lentos, utilizan 2^n ciclos de reloj por conversión, siendo n el número de bits. Uno de los convertidores contadores más populares es el convertidor de doble pendiente (también conocido como convertidor de integración de doble rampa), que es ampliamente utilizado en instrumentos como voltímetros digitales, donde la velocidad de conversión no es importante.

De este modo, el convertidor elegido es un convertidor de aproximaciones sucesivas, que tiene la velocidad de conversión requerida por nuestro sistema, y sin hacer excesiva la inversión económica necesaria para desarrollar nuestro trabajo; además se escogió un convertidor que incluye un multiplexor que permite manejar hasta 8 señales de entrada; tal dispositivo es el ADC0809 de National Semiconductor, el cual ofrece alta velocidad de conversión, alta precisión, mínima dependencia respecto a la temperatura, repetitividad y mínimo consumo de potencia.

D) Conexión del A/D al sistema.

Existen cuatro factores importantes que determinan las características de una interfaz microprocesador/ADC.

- 1) Las características de salida digital del ADC.
- 2) La velocidad o tiempo de conversión del ADC.
- 3) El tamaño de palabra del ADC contra el tamaño de

palabra del microprocesador.

4) las señales de control/estado del ADC.

Además las obvias consideraciones de compatibilidad eléctrica entre el ADC y el microprocesador, las dos consideraciones críticas para las salidas digitales del ADC son que estas salidas digitales sean retenidas y preferentemente que tengan una capacidad de tres estados. Al final de cada operación de conversión, el valor digital resultante será retenido por el ADC y transmitido al microprocesador mientras otra conversión se inicia.

La siguiente ilustración muestra como un ADC de 8 bits rápido puede ser conectado a un microprocesador.

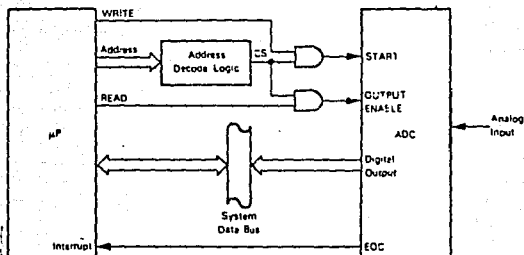


Fig. 3.15 Intefaz del ADC a un microprocesador.

El microprocesador inicia la conversión ejecutando una operación de lectura "read" para generar una señal de inicio "start", requerida por el ADC. Como el ADC elegido no contiene ninguna lógica de habilitación del circuito, la decodificación de la dirección debe ser ejecutada utilizando lógica externa al ADC. La señal decodificada de habilitación de circuito (CS-Chip Select), debe entonces ser combinada con la señal de lectura del microprocesador para producir una señal de inicio "start".

Observe que el ADC es direccionado como si fuera una memoria, por lo que las señales utilizadas en su direccionamiento son "read" y la decodificación del "bus" de direcciones.

Después de que la señal de entrada ha sido generada el microprocesador ejecutará una serie de instrucciones de retardo mientras se completa la conversión. Cuando el ADC ha completado la conversión genera una señal de "fin" de conversión EOC (End-Of-Conversion), la cual está directamente conectada a la terminal de interrupciones del microprocesador para indicarle el término de la conversión. En este momento el microprocesador simplemente ejecuta una operación de lectura en la misma dirección utilizada para iniciar la conversión. La señal de lectura puede entonces ser combinada con la señal CS, para generar una señal de habilitación al ADC y que este envíe el dato digital convertido al microprocesador a través del "bus" de datos.

El circuito de conexiones para este sistema puede verse en los apéndices.

MICROCOMPUTADORA EN UNA SOLA TARJETA

En este capítulo se describe el diseño del modelo de control de la operación del sistema de adquisición digital de datos. En el diseño del controlador se utiliza como arquitectura base la empleada en el microcontrolador PAT 85, desarrollado en el Instituto de Ingeniería de la UNAM.

La tarjeta contiene al microprocesador Z-80, cuenta con un "RESET" automático, circuito de vigilancia (Watch Dog), un puerto serie RS-232C, y un puerto paralelo de 24 líneas de entradas/salidas programables y una capacidad de memoria de 8 Kbytes de EPROM y 4 Kbytes de RAM. A esta tarjeta se le aumentó la capacidad de memoria a 16 Kbytes de RAM, tal ampliación se justifica por la necesidad particular del proyecto. Asimismo, se añadieron también la circuitería necesaria para manejar un reloj de tiempo real.

A continuación se hace la descripción del microcontrolador, así como de la fuente ininterrumpible (soporte de batería) para conservar la información en los casos en que la energía eléctrica falle.

En los apéndices se anexa el diagrama eléctrico de los circuitos, así como las especificaciones técnicas completas de los circuitos más importantes del microcontrolador.

A) Descripción de la operación de la microcomputadora

La descripción del funcionamiento de la microcomputadora la haremos con base al diagrama mostrado en la figura 4.1

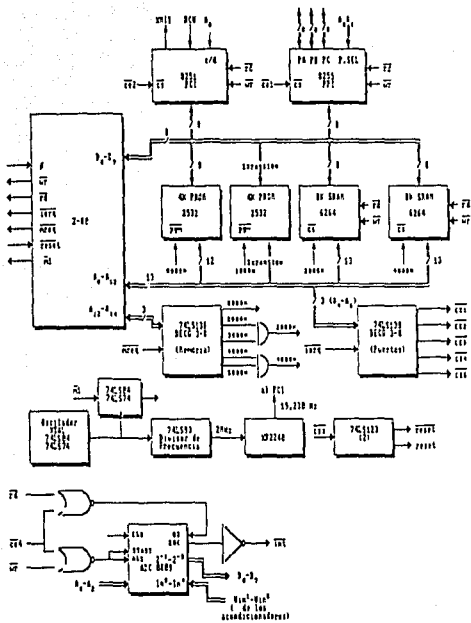


Fig. 4.1 Diagrama a bloques del sistema

1. Microprocesador Z-80

Arquitectura

El CPU Z80 contiene 208 bits de memoria de lectura-escritura (R/W), que se encuentra configurado en 18 registros de 8 bits y 4 registros de 16 bits. Todos los registros del Z80 están implementados usando RAM estáticas. Los registros incluyen dos juegos de registros de propósito general que puedan ser usados individualmente como registros de 8 bits o en pares de 16 bits. También existen dos juegos de registros acumuladores y de banderas.

Acumulador y Unidad Lógico-Aritmética

El acumulador es un registro de 8 bits de gran importancia, ya que es requerido por la Unidad Lógico-Aritmética (ALU) del microprocesador en la mayoría de las operaciones lógicas y aritméticas que lleva a cabo.

El Acumulador siempre proporciona uno de los operandos, necesarios en cualquier operación que va a efectuar la ALU. El resultado de la operación realizada se almacena, en el acumulador.

Esta forma particular de trabajo de los microprocesadores permite expresar las instrucciones usando una sola dirección, que indica la situación del 2o. operando. El primer operando y el resultado se localizan siempre en el acumulador.

Par de registros índice (XI y YI)

Los dos registros índice ocupan una dirección base de 16 bits que es utilizada en modos de direccionamiento indexado. En este modo, un registro índice es usado como base para apuntar a la zona en memoria desde la cual el dato es guardado o extraído. Un byte adicional es incluido en las instrucciones que manejan el modo de direccionamiento indexado, para especificar un desplazamiento desde la dirección base.

Este desplazamiento es especificado como un complemento a dos de un número signado. Este modo de direccionar simplifica grandemente muchos tipos de programas, especial-

mente donde se usan tablas de datos.

Registro de interrupción de página (I).

El Z80 puede ser operado en un modo donde una llamada indirecta a cualquier localidad de memoria pueda ser ejecutada en respuesta a una interrupción. El registro I es usado por este propósito para guardar los 8 bits de más alto orden de la dirección indirecta, mientras el dispositivo de interrupción proporciona los 8 bits más bajos de la dirección. Esta característica permite a las rutinas de interrupción ser dinámicamente localizadas en cualquier parte en la memoria con un tiempo de acceso mínimo a la rutina.

Registro de refrescamiento (R)

Su misión es controlar la generación del ciclo de refrescamiento que necesitan las memorias dinámicas. Proporciona la dirección del "refresco" leyendo la memoria y volviéndola a escribir.

Registro PC (Program Counter)

Se trata del Contador de Programa que con 16 bits señala la instrucción que va a ser ejecutada.

Descripción de algunas de las terminales del microprocesador Z80:

Int (petición de interrupción).

Entrada, activa baja. La petición de interrupción es generada por dispositivos de entrada/salida. Una petición será atendida al final de la instrucción actual. Si el software interno de control de habilitación de interrupción es habilitado y si la señal BUSRQ no esta activa, cuando el CPU acepta la interrupción. Una señal de reconocimiento es enviada hacia fuera al comienzo de la próxima instrucción del ciclo. El CPU puede responder a una interrupción en tres diferentes modos.

NMI (Interrupción no mascarable).

Es una señal de entrada que se dispara con flanco

negativo. La interrupción no mascarable tiene una más alta prioridad que INT y siempre es reconocida al fin de la instrucción actual, independientemente del estado del habilitador de interrupciones NMI automáticamente obliga al CPU para recomenzar en la localidad 0066H. El contador de programa es salvado automáticamente en el "stack" externo, así que el usuario puede regresar al programa que fué interrumpido.

2. RAM

La memoria RAM está compuesta por dos CI MCM61L64 de Motorola a fin de formar una capacidad de memoria total de 16k x 8, cada CI tiene una capacidad de 64 K en un arreglo de 8K x 8, . El CI tiene un tiempo de acceso de 45 ns que es más que suficiente para los requerimientos de velocidad del microprocesador; además es una buena elección cuando se usa un respaldo de batería, ya que en "Stand by" consume únicamente 50 uA y en operación normal 90 mA. Esto, por las características del SAAD en cuanto a consumo de energía será de gran utilidad en caso de que falle el suministro de energía o en su transportación al laboratorio (ver diagrama de conexiones y hoja de especificaciones en el apéndice).

3. PROM

Para grabar el programa se emplea una memoria EPROM 2732A de Intel con un arreglo de 4k x 8. Este tipo de memoria trabaja a 5 V y consume 100 mA en estado activo y en "Stand by" 35 mA, con un tiempo de acceso de 200 ns. (ver diagrama de conexiones y hojas de especificación en el apéndice).

4. Reloj

El oscilador central se forma con 2 inversores 74LS04 conectados a un cristal de 8 MHz, la señal de salida se divide entre 2 por medio de un flip-flop 74LS74, obteniéndose una señal de 4 MHz que es la que se alimenta al microprocesador Z-80.

Por otro lado, la señal de 4MHz en conjunto con la señal

M1, que se genera durante los ciclos de búsqueda del microprocesador, se conectan al circuito 74LS74, con el objeto de generar la señal WAIT (activa baja). El objetivo de esta señal es generar ciclos de espera, permitiendo el acoplamiento con memorias con tiempos de acceso de hasta 450 nanosegundos.

5. Decodificación de memoria y circuitos lógicos de control

Circuito decodificador DM74LS138

Este circuito está diseñado para ser usado en aplicaciones de decodificación de memoria de alto desempeño o de ruteo de información, que requieren tiempos de retardo muy cortos. Cuando se usa con memorias de alta velocidad, los tiempos de retardo de este decodificador son usualmente menores que los tiempo de acceso típico de la memoria. Esto significa que el retardo en el sistema introducido por el decodificador es insignificante.

El DM74LS138 decodifica 1-de-8 líneas, en base a las condiciones en las tres entradas de selección binarias y las tres entradas de activación. Dos activas-bajas y una activa-alta permiten que se reduzca el uso de compuertas externas o inversores cuando haya expansión. Mediante este circuito se puede implementar un decodificador de 24 líneas sin inversores externos, y un decodificador de 32 líneas con sólo un inversor adicional. Una entrada de activación puede ser usada como entrada de datos para demultiplexar.

Este decodificador presenta "buffers" en todas sus entradas, presentando solamente una carga normalizada a su circuito manejador.

Circuito multivibrador monoestable dual redisparable DM74LS123

Este circuito es capaz de generar pulsos de salida con duración desde unos cuantos nano-segundos hasta una duración extremadamente larga. Cada dispositivo tiene tres entradas que permiten la selección del tipo de disparo, ya sea con flanco ascendente o flanco descendente. La terminal (A) es una entrada disparadora de transición activa-baja y la ter-

minal (B) lo es de transición activa-alta. La entrada "clear" (CLR) sirve para terminar el pulso de salida, en un tiempo determinado e independiente de los componentes temporizadores. La entrada "clear" sirve también como entrada disparadora cuando se le presenta un pulso negativo.

El ancho del pulso de salida esta determinado por la selección de elementos externos, un resitor Rx y un capacitor Cx. Una vez disparado el multivibrador, el ancho básico del pulso puede ser extendido, redisparando las entradas de transición activa-baja o activa-alta o puede ser reducido usando la entrada activa-baja o CLEAR. Redisparar al 100% del ciclo de trabajo es posible si se aplica un tren de pulsos, cuyo período sea más corto que el período de salida, tal que un estado lógico continuo de "ALTO" se mantenga en la salida "Q".

Decodificación de la memoria

La decodificación de memoria se lleva a cabo de la siguiente manera:

De acuerdo a lo planteado como objetivo del sistema, es necesario almacenar en memoria la información obtenida durante el proceso de operación en el campo. El formato de registro de la información es en código BCD, usando hasta 2 byte por cada dato. Como la información almacenada ha de poderse transportar desde el campo hasta una estación que pueda accederla y transmitirla a una computadora personal, se requiere que la información se almacene en circuitos de memoria montados en una tarjeta separada del sistema con micropocesor y con un soporte de batería. Para justificar la presencia de una batería se incrementó la capacidad de RAM del sistema PAT 85 de 4 Kbytes a 16 Kbytes y también hubo de cambiar la circuitería de decodificación de memoria. Así, el circuito 74LS138 decodifica las líneas de dirección a12, a13 y a14, lo que permite direccionar 8 Kbytes de memoria ROM (0000H a 1FFFH), de los cuales sólo se emplearán 4 Kbytes, los otros 4 Kbytes se tendrán disponibles para expansión. Para implementar los circuitos de memoria, se seleccionaron las memorias 2732A (EPROM) y MCM61L64 (RAM). En la figura 4.1 se aprecia el esquema de decodificación de memoria, consultar el apéndice B para observar el diagrama circuital.

El mapa de memoria queda definido de la siguiente manera:

0000H - 0FFFH	4K ROM (2732A)
1000H - 1FFFH	Exp. de ROM (máximo 4K)
2000H - 2FFFH	4K RAM (1/2 MCM61L64)
3000H - 3FFFH	4K RAM (1/2 MCM61L64)
4000H - 4FFFH	4K RAM (1/2 MCM61L64)
5000H - 5FFFH	4K RAM (1/2 MCM61L64)
6000H - 6FFFH	Exp. de RAM (8K máx.)
8000H - FFFFH	Libre

6. Puerto de comunicaciones en paralelo (PPI 8255A)

Descripción general.

El CI 8255A es un puerto de comunicaciones en paralelo, de entradas/salidas programables según las necesidades del usuario. Tiene 24 líneas de entrada/salida que pueden ser programadas en dos grupos de 12 líneas y usadas en tres modos principales de operación. En el primer modo, modo 0, cada grupo de 12 líneas pueden ser programados en grupos de 4 para ser entradas o salidas. En el segundo modo de operación, modo 1, cada grupo de 12 líneas se puede programar para tener 8 líneas de entrada o de salida, de las 4 líneas restantes de cada grupo 3 son usadas como líneas de protocolo de comunicación o como señales de control de interrupciones. En el tercer modo, modo 2, o modo de "bus" bidireccional, se usan 8 líneas para comunicación bidireccional y 5 líneas, apropiándose de 1 del otro grupo, para comunicación con otros periféricos.

Características generales.

Las condiciones de operación del CI 8255A se proporciona mediante programación. Esto es una ventaja, ya que no se necesita de lógica externa para conectarlo con algún otro periférico.

El "buffer" del "bus" de datos es bidireccional, de 8 bits, y se maneja con lógica de tres estados. Se usa para conectar al CI 8255A con el "bus" de datos del sistema. A una señal de entrada o de salida de la CPU, los datos son transmitidos ó recibidos por el "buffer". También se emplea para transmitir las palabras de control y la información a evaluar.

Todas las transferencias internas y externas de datos, de palabras de control y de estado, son manejadas por el bloque de lógica de control y lectura/escritura. Este bloque también controla a los puertos A, B y C.

Interfaz con la CPU.

La interconexión del CI 8255A con la CPU se efectúa utilizando las siguientes líneas: 8 líneas de datos, dos líneas de direcciones que acepta el CI 8255A de la CPU y tres líneas de control. A continuación se describen algunas de estas líneas:

- CS (activo bajo).- Esta señal habilita la comunicación entre la CPU y el CI 8255A.
- RD (activo bajo).- Habilita al CI 8255A para mandar los datos o la información del registro de estado a la CPU por el "bus" de datos. En esencia esto permite a la CPU la lectura del CI 8255A.
- WR (activo bajo).- Habilita a la CPU para escribir datos o palabras de control en el CI 8255A.
- AO y AI Estas señales de entrada, en conjunto con las señales de entrada RD y WR, controlan la selección de uno de los tres puertos o del registro de la palabra de control. Están normalmente conectadas a los bits menos significativos del "bus" de direcciones.
- RESET Una señal alta en esta terminal limpia el registro de control y los puertos (A,B,C) son puestos en el modo de entrada. El "RESET" del CI 8255A está controlado por el circuito de vigilancia del sistema, éste está formado por dos circuitos monoestables 74LS123, que son controlados por la señal CE3, generada por el circuito decodificador 74LS138. Este circuito será descrito con más detalle en otra parte del presente trabajo.

Operación general.

El CI 8255A contiene tres puertos de 8 bits (A,B,C). Todos pueden ser configurados en una gran variedad de fun-

ciones por medio de un programa, pero cada uno tiene características especiales, lo que hace al CI 8255A un dispositivo muy poderoso. La CPU manda palabras de control al CI 8255A para inicializarlo. El CI 8255A se divide en dos grupos, el GRUPO A y el GRUPO B. El GRUPO A está formado por el puerto A y cuatro bits del puerto C (bits C4 - C7). El GRUPO B está formado por el puerto B y cuatro bits del puerto C (bits C0 - C3). Es decir, el puerto C se puede dividir en dos puertos de cuatro bits por medio de la instrucción del modo de control. Cada una de las partes del puerto C se puede usar como salida de las señales de control y como entrada de las señales de control en conjunto con los puertos A y B.

Cada uno de los grupos acepta comandos provenientes de la lógica de control de lectura/escritura, recibe palabras de control que provienen del "bus" de datos interno y de los comandos propios del puerto asociado.

Como ya se mencionó el CI 8255A tiene tres modos básicos de operación:

Modo 0 - Entrada/Salida básica.

Modo 1 - Entrada/Salida controlada.

Modo 2 - "Bus" bidireccional.

Los modos para el puerto A y el puerto B pueden ser definidos por separado, mientras que el puerto C es dividido en dos porciones, cada una de las cuales se define según la programación de los puertos A y B.

Interconexión del CI 8255A con el sistema.

En nuestro sistema al CI 8255A le corresponden las direcciones 00H a la 09H. Como ya se mencionó anteriormente, para su conexión con la CPU, el CI 8255A necesita las señales de CS, RD, WR, así como a0, a1 y las líneas de datos D0 a la D7.

La señal de CS es proporcionada por el circuito decodificador 74LS138 como CE1 (activa baja). Esto es, se decodifican las líneas de direcciones a4, a5 y a6. Las señales RD y WR son proporcionadas por la CPU y el "bus" de datos del CI 8255A se conecta directamente al "bus" de datos del sistema.

En la tabla 4.1 proporciona un resumen de la operación básica del CI 8255A.

Para mayor información sobre el CI 8255A consultar el apéndice B.

Al	A0	RD	WR	CS	Operación de entrada(lectura)
0	0	0	1	0	Puerto A ----> Z80
0	1	0	1	0	Puerto B ----> Z80
1	0	0	1	0	Puerto C ----> Z80
					Operación de salida (escritura)
0	0	1	0	0	Z80 ----> Puerto A
0	1	1	0	0	Z80 ----> Puerto B
1	0	1	0	0	Z80 ----> Puerto C
1	1	1	0	0	Z80 ----> Control
					Funciones inhabilitables
*	*	*	*	1	Z80 ----> Tercer estado
1	1	0	1	0	Condición ilegal
*	*	1	1	0	Z80 ----> Tercer estado

Tabla 4.1

7. Puerto de comunicaciones en serie CI 8251A

Descripción general de USART 8251A

El circuito 8251A o USART (Universal Synchronous-Asynchronous Receiver Transmitter), es un dispositivo programable de comunicación serie.

El USART es bidireccional, es decir mediante la programación puede tomar datos en paralelo de la CPU y convertirlos en un flujo de datos serie para su transmisión o en su defecto, recibir datos en serie y convertirlos a formato paralelo para entregarlos a la CPU.

Sus características principales son:

- Le indica a la CPU si se puede recibir un nuevo caracter para ser transmitido.
- La CPU puede leer el estado del USART en cualquier

ESTA TESIS NO DEBE SALIR DE LA BIBLIOTECA

momento, incluyendo errores ocurridos durante la transmisión de datos a través de las distintas señales de control.

- c). Como interfaz, borra o en su caso incluye los "bits" o caracteres adecuados al método de comunicación que se este empleando.
- d). Respecto a otros dispositivos similares, el CI 8251A tiene la posibilidad de manejar una gran variedad de funciones a través de su programación, sin modificar en nada el "hardware" del sistema.

La programación del USART se lleva a cabo a través de un conjunto de palabras de control, las cuales se cargan inmediatamente después de una señal de "RESET". Una vez definidas y cargadas las palabras de control se pueden iniciar la transmisión o recepción de datos, las instrucciones de control se dividen en :

Instrucciones de Modo.

Estas definen las características funcionales del CI 8251A tales como: el número de "bits" de paro, tipo de paridad, habilitación de paridad, longitud del caracter de datos y el factor de razón de "bauds" en modo asíncrono.

Instrucciones de Comando

Este formato define la palabra de estado que será utilizada para la operación del CI 8251A, incluyendo : búsqueda de caracteres SYNC, "RESET" interno, habilitación de transmisión-recepción, "RESET" de error y controles de modem.

La secuencia de instrucciones para la operación correcta del USART deben conformarse de la siguiente manera : después de una operación de "RESET", se carga la instrucción de modo y a continuación la instrucción de comando. Sin embargo, las instrucciones de comando pueden ser escritas en cualquier momento una vez inicializada la operación del CI 8251A. Para retornar a la instrucción de modo se puede habilitar el "RESET" interno a través de la instrucción de comando.

Durante la operación normal del USART se generan una serie de señales de control, para la comunicación adecuada con la CPU. Las señales de control se dividen en:

a) Interfaz con la CPU y las señales de control

Estas señales determinan la operación que realiza el USART en determinado momento. restablecimiento del circuito, escritura, lectura, funciones de control de datos y la selección del circuito son las señales de control de entrada de esta sección.

b) Entrada serie

Estas determinan los "bits" o caracteres especiales de comunicación y mantienen el carácter ensamblador listo para la CPU. De hecho se encarga de coordinar las actividades relacionadas con la recepción serie mediante las señales : recepción lista, reloj de recepción y detección de sincronía.

c) Salida serie

El "buffer" de transmisión acepta datos en paralelo provenientes del "bus" de datos y los convierte en datos serie, inserta los caracteres apropiados o "bits" (basados en la técnica de comunicación) y entrega un flujo de datos serie por la terminal TxD.

Las señales de control de transmisión coordina todas las actividades asociadas con la transmisión en serie y acepta tanto señales internas como externas para cumplir con, esta función. Las cuales son: Transmisor listo, Transmisor vacío y Reloj de transmisión.

d) Control de modem

El CI 8251A tiene un conjunto de entradas y salidas de control que pueden ser usados para simplificar la interfaz con casi todo tipo de modem. Las señales de control de modem son de propósito general, ya que pueden ser usadas para funciones distintas al control del modem.

Operación general del USART

El modo de operación del CI 8251A se define a través de la programación del mismo. Esta programación consiste de un

conjunto de palabras de control que se proporcionan por la CPU para inicializar el circuito y seleccionar la técnica de comunicación deseada. Estas palabras de control programan al USART para iniciar sus funciones de transmisión o recepción de datos. La línea TXRDY se pone en alto para indicar al CPU que esta listo para recibir datos. Cuando el CPU realiza esta función la señal es puesta en nivel bajo.

Cuando se están recibiendo datos serie, del modem o periférico de entrada/salida, la línea RXRDY es puesta en alto para señalar al CPU que el USART tiene un carácter listo para ser tomado.

El USART no puede empezar la transmisión hasta que el "bit" TxEnable está en alto en la instrucción de comando y se haya recibido una señal de entrada "Clear to Send". La línea de transmisión TxD se pone en estado de marca una vez recibido el "RESET".

Interconexión del USART 8251A con el sistema

El microprocesador Z-80 controla al USART como dos puertos. Su selección se lleva a cabo mediante las señales selección del CI (CS) activa baja y control de Datos.

La señal de selección del CI (activa baja), se obtiene de la decodificación de las líneas A4, A5 y A6 del "bus" de direcciones del Z80, respondiendo a la dirección 10H. La selección de Control de Datos se obtiene de la línea A0, de manera que si A0 = 0 se selecciona Datos, y si A0 = 1 se selecciona Control o estado del circuito integrado.

Las señales de transmisión o recepción de datos se obtienen de las líneas activas bajas RD (Read) y WR (Write) provenientes de las señales de control del microprocesador, correspondiendo a RD para la recepción y a WR para la transmisión.

La tabla 4.2 ilustra las distintas opciones para el flujo de información y datos entre el microprocesador Z80 y el USART.

C/D	RD	WR	CS	Función
0	0	1	0	Entrada de datos paralelo 8251A --> Z80
0	1	0	0	Salida de datos paralelo 8251A <-- Z80
1	0	1	0	Lectura de estado 8251A --> Z80
1	1	0	0	Escritura de control 8251A <-- Z80
*	*	*	1	8251A No seleccionado
*	1	1	0	Estado ilegal

Tabla 4.2

El "RESET" externo del USART se obtiene del circuito de vigilancia, conectado de la salida activa alta RESET.

El reloj de sincronía interna del USART se obtiene de la terminal 1 del circuito contador 74LS93 a fin de tener una frecuencia base de 2 Mhz.

Los relojes de transmisión-recepción serie son generados por una sola fuente de frecuencia formada por los circuitos 74LS93 y XR2240. Mediante estos circuitos se integra un divisor de frecuencia entre 208. El contador 74LS93 de 4 bits divide la frecuencia de 4 MHz, proveniente del microprocesador entre 16, por lo tanto en la terminal de salida 11 tendremos es de 250 KHz. El circuito XR2240 es un divisor de frecuencia programable para hacer la división entre 13. La frecuencia de salida de este último circuito es entonces de $250\text{KHz}/13 = 19230\text{ Hz}$. Esta señal se alimenta al circuito serializador CI 8251A, que a su vez tiene un divisor interno programable entre 16 o entre 64, por lo que se tiene posibilidad de obtener velocidades de 1200 o 300 bauds de transmisión-recepción del orden de 300 ó 1200 "bits" por segundo.

Las señales de transmisión (XMIT) y recepción (RCV) del circuito serializador CI 8251 se han de conectar a los circuitos MC 1488 y MC 1489 respectivamente, que hacen las señales compatibles con el estándar RS232 C.

El voltaje de alimentación y tierra del CI 8251A están conectados a la alimentación y tierra respectivas del sistema.

8. Reloj de tiempo real

El CI MM58174 es un circuito de tecnología CMOS que fun-

ciona como una reloj de tiempo real y un calendario para usarse en sistemas con microprocesador. Incluye un temporizador el cual puede ser programado en uno de tres tiempos, La base de tiempo es generada utilizando un oscilador de cristal. Posee registros independientes para décimas de segundo, segundos, decenas de segundos, minutos, decenas de minuto, horas decenas de horas, días, semanas, meses y años.

Características generales

El reloj de tiempo real (RTR) posee un "bus" es compatible con microprocesadores, un sistema independiente de interrupción, además de una línea de selección (CS). En lo que resta a los datos de tiempo estos pueden ser accedidos al leer el estado del "bus" de datos (líneas DB0 a DB3) del RTR tomando en cuenta el "bus" de direcciones (líneas (AD0 a AD3) del mismo, la base de tiempo es generada gracias a un oscilador controlado por cristal de 32,768 Hz y un capacitor para sintonizar el cristal. Se encuentra respaldado por una batería en la misma tarjeta donde se encuentra.

Interfaz con la CPU

El RTR se acopla (ver apéndice B) a un sistema con microprocesador conectando directamente las líneas de dirección DB0 a DB3 y las líneas de datos AD0 a AD3 al "bus" de direcciones y datos del microprocesador respectivamente, el oscilador de cristal va conectado a las líneas 14 y 15 del circuito integrado. La línea de selección de circuito (CS) así como las líneas NRDS y NWS, lectura y escritura de tiempo respectivamente también van conectadas directamente al microprocesador.

CS.- (activa baja), esta señal habilita la comunicación entre la CPU y el CI MM58174.

NRDS.- Habilita la lectura de datos del RTR

NRWS.- Habilita la lectura de datos al RTR

DB0 a DB3 .-Son entradas-salidas de datos, utilizados ya sea para la actualización del RTR o para enviar datos del tiempo al microprocesador.

AD0 a AD3.-Controlan la selección de los diferentes contadores de tiempo del RTR ya sea para leer o escribir datos en el mismo.

Interconexión con el sistema

En nuestro sistema el RTR se conectó de la siguiente manera :

Línea CS (chip select).- Esta línea se conectó a la dirección 40H y es la salida CE5 del decodificador de 74LS138.

DB0 a DB3.- Se conectaron al "bus" de datos del microprocesador

AD0 a AD3.- Se conectaron al "bus" de direcciones del microprocesador

Línea Interrup.- Se conectó directamente a la entrada "Int" del microprocesador.

9. Decodificación de puertos y circuito de vigilancia

Para la decodificación de los dispositivos de entrada/salida se utiliza otro circuito 74LS138, el cual decodifica las líneas a4, a5 y a6 y permite habilitar 8 dispositivos de entrada/salida, de 16 direcciones cada uno (direcciones 00H a 7FH); con lo cual, a la vez que se selecciona o habilita determinado circuito, se precisa la función que ha de desempeñar.

Las salidas CE1 y CE2 (activas bajas) del decodificador habilitan los circuitos 8255 y 8251 respectivamente. La salida CE3 (activa baja) habilita el circuito de vigilancia, la CE4 habilita el circuito conversor Analógico/Digital y la CE5 al circuito de Reloj de Tiempo Real. El resto de las salidas CE6 y CE7 (activas bajas) pueden ser empleadas para la expansión de las funciones del sistema.

Las direcciones de E/S de la tarjeta son:

Dirección	Lectura/ Escritura	Función	Circuito
00H	Lectura	Lee puerto A	8255
00H	Escritura	Escribe puerto A	8255
01H	Lectura	Lee puerto B	8255
01H	Escritura	Escribe puerto B	8255
02H	Lectura	Lee puerto C	8255
02H	Escritura	Escribe puerto C	8255
03H	Escritura	Escribe reg. ctrol.	8255
10H	Lectura	Lee reg. recep.	8251
10H	Escritura	Escribe reg. trans.	8251
11H	Lectura	Lee reg. de estado	8251
11H	Escritura	Escribe reg. ctrol.	8251
20H	Escritura	Escribe 'Watch Dog'	74LS123
30H	Lectura	Lee ADC	ADC0809
30H	Escritura	Escribe ADC	ADC0809
40H	Lectura	Lee RTC	
40H	Escritura	Escribe RTC	
50 a 7FH	Disponibile		

El circuito de vigilancia está formado por el circuito 74LS123 y la circuitería necesaria para la generación del tiempo. La señal CE3 (activa-baja) aplicada en la entrada B1 provoca que el primer monoestable tenga en su salida Q1 un nivel bajo; esta señal se alimenta a la entrada B2. Este segundo monoestable no se dispara, pues requiere de un flanco ascendente para lograrlo. Como el primer monoestable es redispensible y de acuerdo a los valores RC asociados, si la frecuencia de la señal de selección es mayor a 1 Hz, la señal Q1 permanecerá en nivel bajo. Sin embargo, si en algún momento deja de activarse el primer monoestable, éste regresará a su estado estable (Q1 = 1 lógico) disparando el segundo monoestable. El disparo del segundo monoestable genera una señal de "RESET" activa baja al microprocesador.

La función de vigilancia se explica ya que podemos colocar instrucciones, en el cuerpo del programa, que direc-

cionen el circuito de vigilancia con intervalos menores a 1 segundo. En el momento en que el procesador pierda el control sobre el programa, se dejará de direccionar ese puerto y se generará entonces un "RESET" que restablecerá el control.

Además se puede generar un "RESET" en forma manual mediante un interruptor que 'aterriza' momentáneamente la señal de RESET.

10. Baterías de respaldo

Se utilizan dos baterías para respaldo, una para el reloj de tiempo real (RTR) y otra para la memoria RAM. Cada una de ellas se encuentran en la misma tarjeta que tiene al circuito a respaldar. La batería es fabricada por "Power Sonic" modelo PS-510, la cual proporciona una tensión nominal de 5 V y tiene una capacidad de 1 Ampere/Hora durante 20 Horas.

11. Control de despliegue del RTR.

Para el despliegue de la información del RTR se utiliza el CI 74C912 el cual es un controlador de "display" de BCD a 7 segmentos de seis dígitos que será conectado a un "display" de cátodo común (ver en el apéndice C las hojas de especificación).

DESARROLLO DE LA PROGRAMACION

El sistema de adquisición de datos lleva a cabo ciertas funciones que han de ser controladas por el operador, asimismo ha de reportar o desplegar ciertas señales, para que el operador se dé cuenta de lo que el sistema está haciendo o dejando de hacer.

Para el control de la operación del sistema de adquisición de datos, además de "hardware", se requiere de la programación del mismo. En este capítulo se describen los programas desarrollados, necesarios en la operación del mismo.

De acuerdo a la descripción realizada en el capítulo 1, respecto a las funciones a efectuar por el sistema automático de adquisición de datos, se muestran el diagrama de flujo principal, y posteriormente, previa descripción de las subrutinas utilizadas, los diagramas de flujo de las mismas. Esto se hace para que los programas sean entendidos con facilidad, pues resultaría difícil el tratar de entender el programa, cuando sólo se tienen los códigos de operación de las funciones a efectuar.

Los programas fueron editados usando el editor de Turbo-Pascal V. 3.0 de Borland Int., y fueron ensamblados usando inicialmente el programa X-80 de 2500 A.D. Software Inc., que tiene por ventaja respecto a otros ensambladores el mostrar los errores generados en la edición del programa. Para la simulación de cada uno de los programas y del "software" final del sistema se utilizó el simulador SIM280 en conjunto con el ensamblador ASM80, creados en la Universidad Autónoma Metropolitana. Ambos programas son compatibles, y de hecho una vez editado correctamente el programa, el ensamblador ASM80 genera un archivo en el formato "Intel.hex" que es cargado de manera semiautomática desde el simulador SIM280, evitando la carga manual del programa en "código de máquina" ya sea en simuladores de "280" o en "kits" basados en este microprocesador. Los listados del programa principal y subrutinas son los archivos generados "prog.lst" en el X80 y se muestran en el apéndice C.

Descripción del Programa Principal

En el programa principal se dan las condiciones iniciales para que opere el sistema. Primeramente, se verifican los estados de los interruptores de "TRANSMISION", "PARO" Y "RELOJ". Se inicializa el CI 8255A en el modo de operación "cero", esto es, inicializaremos al puerto A como salida, el puerto B como entrada, la parte baja del puerto C como salida y la parte alta del puerto C como entrada (consultar especificaciones del puerto 8255A en el apéndice B.). Del CI 8255A, en el puerto A, se utilizan del "bit" a0 al "bit" a5 como salidas para el desplegado del reloj del tiempo real, el "bit" a6 se utiliza para encender el led que indica que el sistema está en modo de "PARO"; es decir, no está operando. El puerto B lo utilizaremos para leer el tiempo de muestreo seleccionado por el operador, y también para la interpretación del estado de los interruptores de modo de "PARO" y modo "TRANSMISION". Finalmente el puerto C, se divide en dos partes; la parte baja del puerto C enciende uno de los tres "leds" que nos indican el tiempo de muestreo seleccionado por el operador. En la parte alta del puerto C se conectarán los interruptores que se utilizarán para poner a tiempo el RTR (reloj de tiempo real). Se lee el tiempo de muestreo seleccionado por el operador y se almacena en la localidad "CONTADOR". Se manda limpiar las 16,136 localidades de memoria. También se manda almacenar la fecha y la hora del primer ciclo de muestreo.

Tendremos 4 áreas para almacenar datos, una para cada variable, la capacidad de cada área de datos es de 0FC1H. Este valor constante lo almacenamos en la localidad "SUMA". También tenemos como dirección inicial la localidad 103FH, almacenada en la localidad "MEMINIC". Partiendo de esta localidad, la cual almacenamos en la memoria temporal "LOCALI" por medio del registro HL.

En la subrutina "INICIA" se dan las condiciones iniciales para que el sistema inicie un ciclo de muestreo de los 4 canales. Por medio de la subrutina "PRINCI" se dan las condiciones para muestrear cada uno de los cuatro canales. La subrutina "CONVIERT" ordena al multiplexor "tomar" el dato analógico digital (CAD), y le ordena convertir el dato analógico en un dato digital. Cuando está lista la conversión, transfiere el dato a la subrutina "BINBCD", la cual se encarga de convertir el dato digital a código BCD y almacenarlo en la localidad de memoria correspondiente.

Se verifica si ya se muestrearon los cuatro canales, de

no ser así se regresa a la rutina "PRINCI". Si ya se muestrearon los cuatro canales, se verifica si la capacidad de memoria está agotada; de no ser así, se carga el registro H con el tiempo de muestreo seleccionado y se llama a la subrutina "RETARDO", nuevamente se verifica si H es cero, si no es así, se llama a la subrutina "RETARDO", y así hasta que H sea igual a cero. Después iniciaremos un nuevo ciclo de muestreo. Ver el diagrama de flujo de la fig. 5.1.

Subrutina CHECA

Esta subrutina verifica el interruptor de transmisión, si el interruptor se encuentra en la posición de encendido, el sistema se traslada a la subrutina de transmisión de datos. En caso contrario, se continúa con el programa principal (Ver diagrama de flujo Fig. 5.2).

Subrutina RELOJ

Aquí se verifica el interruptor de reloj. Si el interruptor no es seleccionado el sistema continúa con el programa principal. Por el contrario, si el operador desea programar el reloj de tiempo real (RTR), el sistema al detectar que el interruptor es seleccionado, inicia una rutina de limpieza, a fin de evitar funciones pregrabadas que son innecesarias. Posteriormente pasa a una rutina de selección de cambio (rutina ATRA), como es "hora", "minuto", "mes-día" o "fin de ajuste". Si es seleccionada la opción "hora" o "minuto" sucede lo siguiente:

El sistema va a la rutina elegida (rutina HORA o rutina MINUTO) y lee durante aproximadamente medio segundo que se mantenga válida la opción a cambiar ("hora" o "minuto") mientras se despliega la información hora-minuto. Una vez confirmada la opción elegida, se trae la información actual del RTR y se incrementa en 1 para de ahí regresar a la rutina ATRA, de donde se reinicia el proceso.

En caso de ser elegida la opción "cambia", en ATRA se recurre a las opciones de cambio "día", "mes" o "fin de ajuste de reloj". A partir de este momento se despliega la información de mes y día que tiene registrado el RTR. Si se eligió cambio de "mes" o "día", se lee la información durante medio segundo y en caso de ser verificada se trae la información actual del RTR, se incrementa en 1 y se reinicia el proceso (rutina MODIF), pero ahora en la rutina CAMBIA.

En caso de terminar la rutina de ajuste de reloj, el programa recibirá 00 del operador y se terminará el proceso (ver

diagrama de flujo 5.3).

Subrutina CHEC

En esta subrutina se verifica el interruptor de "PARO". Si el sistema está seleccionado en modo "paro", el sistema regresa al inicio del programa principal. El sistema se mantiene en este ciclo hasta que encuentre el interruptor de "transmisión" encendido o que se seleccione el modo de muestreo (ver diagrama de flujo 5.4).

Subrutina LEER

Se lee el tiempo de muestreo seleccionado por el operador (5,10 ó 15 minutos), se almacena en la memoria temporal "CONTADOR" y se enciende el "led" correspondiente al tiempo seleccionado (ver diagrama de flujo 5.5).

Subrutina LIMPIA

En esta subrutina se limpia toda la capacidad de memoria designada para el almacenamiento de datos. Primero, se carga el registro par HL con la dirección almacenada en la localidad PRESLOCI, se carga el registro A con 00H y se almacena en la localidad contenida en el registro par HL, se incrementa este registro y se repite la operación hasta completar la totalidad de la memoria (ver diagrama de flujo 5.6).

Subrutina ALMACE

Esta subrutina almacena en las localidades de memoria asignadas los datos del tiempo y la fecha del primer muestreo. Se toma el dato de los minutos del RTR en dos partes, primero la decenas y luego las unidades, se acomodan en orden y se almacenan en la localidad correspondiente. Se efectúa un proceso similar con las lecturas de las horas, los días y los meses (ver diagrama de flujo 5.7).

Subrutina INICIA

En esta subrutina se dan las condiciones para comenzar con un ciclo de muestreo. Se almacena en la localidad de

memoria temporal "CANAL" la dirección de partida del multiplexor y del ADC que se encuentra almacenada en la localidad "CANALI". Se carga el registro par HL con la dirección almacenada en la localidad de memoria temporal "LOCALI" y se regresa al programa principal (ver diagrama de flujo 5.8).

Subrutina PRINCI

En esta subrutina se dan las condiciones del canal que será muestreado. Esto es, se recupera el valor de la dirección almacenada en "CANAL". Esta dirección es incrementada en 1 y la nueva dirección es almacenada nuevamente en la localidad "CANAL". Se traslada el registro par HL a la dirección del bloque de memoria correspondiente al canal muestreado, en el cual se almacenará el dato. Esto lo hacemos sumando al registro par HL el valor constante almacenado en la localidad "SUMA" que es igual a la capacidad de memoria de cada bloque más 1 (ver diagrama de flujo 5.9).

Subrutina CONVIERT

La rutina se conformó tomando en cuenta la configuración del "hardware", para llevar al cabo la conversión analógica-digital de las 4 variables de entrada al sistema. El convertidor analógico-digital se configuró de manera directa con la CPU, es decir su selección se lleva a cabo por medio del circuito direccionador de E/S y su salida se introduce directamente en el "bus" de datos, el circuito responde a la dirección 30H. En la fig. B1 se muestra la conexión del convertidor a la CPU.

Se activa el modo 1 de interrupciones, el objeto de esto se verá más adelante, se habilitan las interrupciones y se direcciona el convertidor analógico-digital (ADC) mediante la instrucción OUT (C),A, en donde el contenido de C será la dirección del canal a seleccionar para convertir y el de A no importa (la instrucción se usa para "escribir" en el convertidor). A continuación, se inicia una que programa un retardo de 200 microsegundos; el ADC al terminar genera una señal que interrumpe a la CPU, la cual estaba corriendo la rutina de retardo de 200 microsegundos. Al reconocerse la interrupción de modo 1 el contador del programa se carga con la dirección 0038H en donde se corre la rutina "METEDATO". Mediante esta rutina se efectúa la lectura del dato, resultado de la conversión analógica-digital.

La lectura se efectúa mediante la instrucción IN a,(C), en la que ahora A contendrá el valor digital de la variable física. Al regresar de "METEDATO" se concluye el retardo de 200 microsegundos y se regresa de la rutina convierte al programa principal ver (diagrama de flujo 5.10).

Subrutina BINBCD

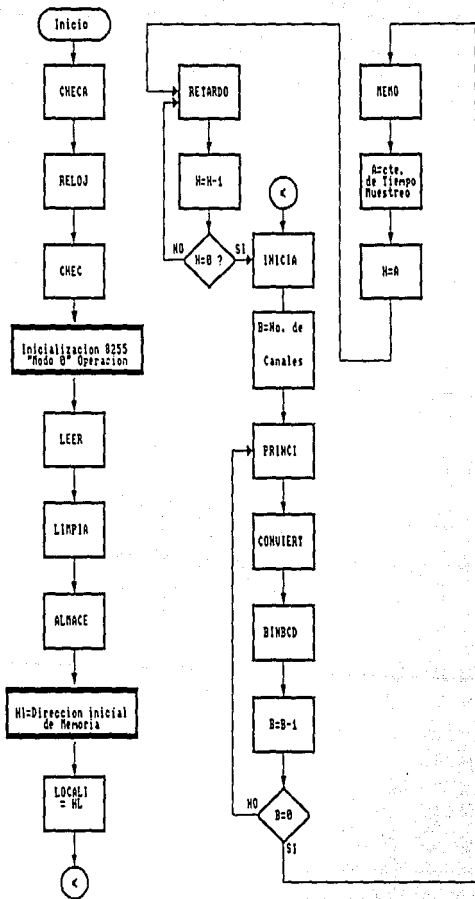
Esta subrutina convierte un dato binario de 8 "bits" a un dato en código BCD de 16 "bits". Primero, se investigamos cuantas centenas tiene el dato binario, esto lo hacemos restando 100 al dato binario, si se genera un acarreo como resultado de la resta, esto nos indica que el dato es menor a 100. A este resultado se le suma 100 nuevamente para recuperar el dato original y el contador de centenas permanecerá en cero. Si no se genera un acarreo, al contador de centenas lo incrementamos en uno y volvemos a restar 100, así hasta que se genere un acarreo. Al generarse un acarreo se almacena el valor del contador de centenas en la primera localidad de memoria (por ejemplo la 2000H) y se incrementa en uno la localidad de memoria. Se le suma 100 al resultado de la resta que generó acarreo para recuperar el dato menor a 100. Ahora se resta 10, si no se genera acarreo se incrementa en uno el contador de decenas y se resta 10 al resultado de la resta para recuperar el dato menor a 10 unidades. Se rota a la izquierda el valor de las unidades. Este dato de 8 "bits" se almacena en la segunda localidad de memoria (por ejemplo 2001H). Se decrementa la localidad de memoria (2000H) y regresamos al programa principal (ver diagrama de flujo 5.11).

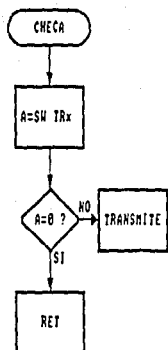
Subrutina MEMO

Esta subrutina comprueba si la memoria destinada a almacenar datos está llena. Si no está llena, se incrementa al registro par HL en dos ocasiones, se almacena el nuevo valor en la localidad de memoria temporal "LOCALI" y se continua con el programa principal. Si la capacidad de memoria está agotada, entonces se carga al registro L con el valor FFH que indicará que la memoria está llena, se enciende el "led" correspondiente a "memoria llena" y se llama a la subrutina "PERDER", permaneciendo en este estado hasta que se mande a transmitir datos. (ver diagrama de flujo 5.12).

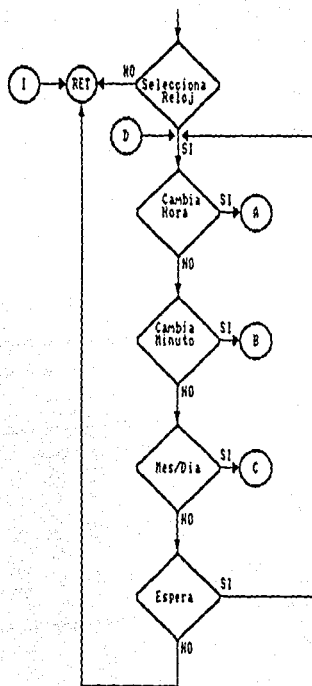
Subrutina RETARDO

La función de esta rutina es la de perder tiempo. Se repite la subrutina "RE05SEG", que es otra subrutina de perder tiempo, con duración de 0.5 seg. Al término de cada subrutina "RE05SEG" se manda la señal del "Watch-Dog", se pregunta por el estado de los interruptores de "PARO" y de "TRANSMISION" (ver diagrama de flujo 5.13)

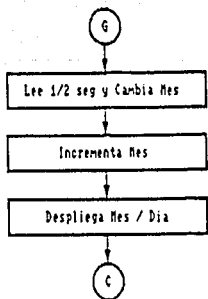
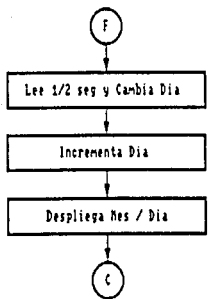


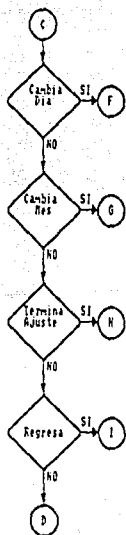
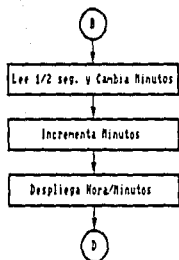
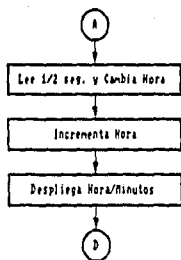


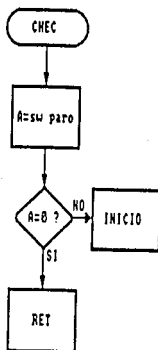
d.f. 5.2 Subrutina CHECA



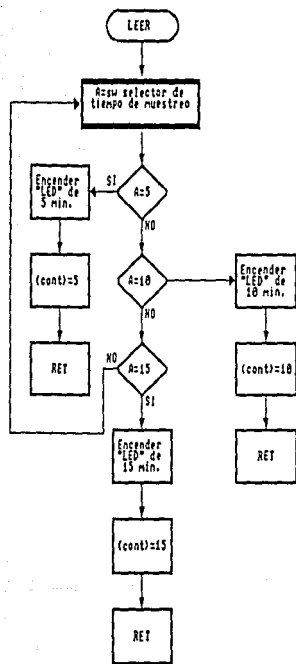
d.f. 5.3 Subrutina RELOJ



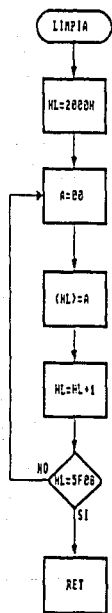




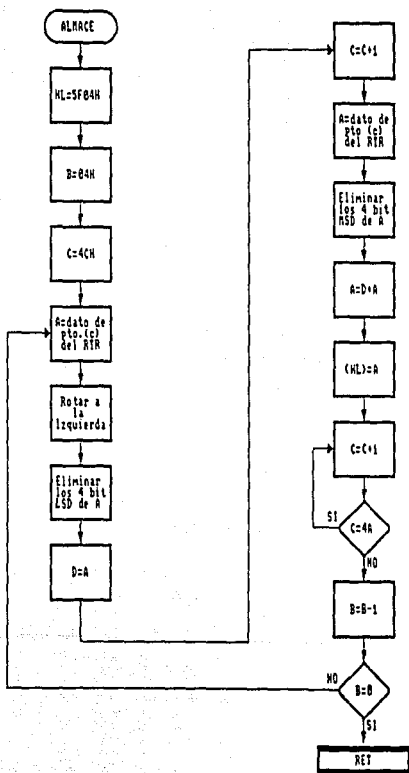
d.f. 5.4 Subrutina CHEC



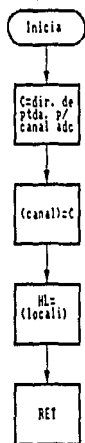
d.f. 5.5 Subrutina LEER



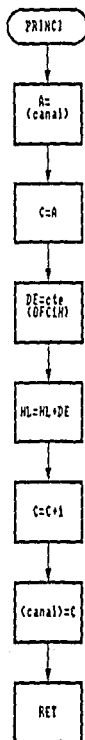
d.f. 5.6 Subrutina LINPIA



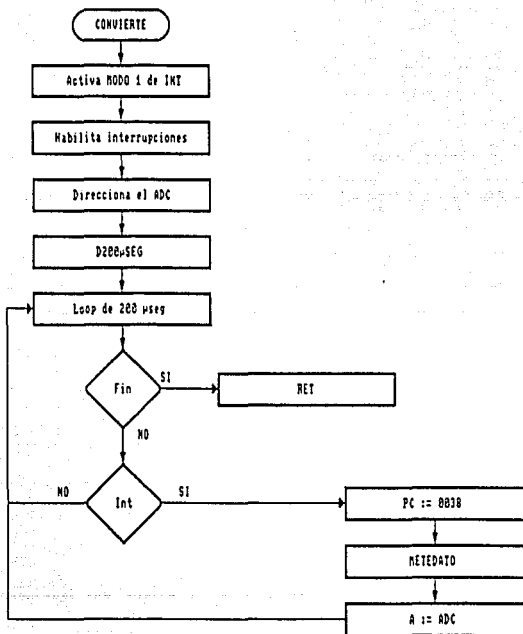
d.f. 5.7 Subrutina ALNACE



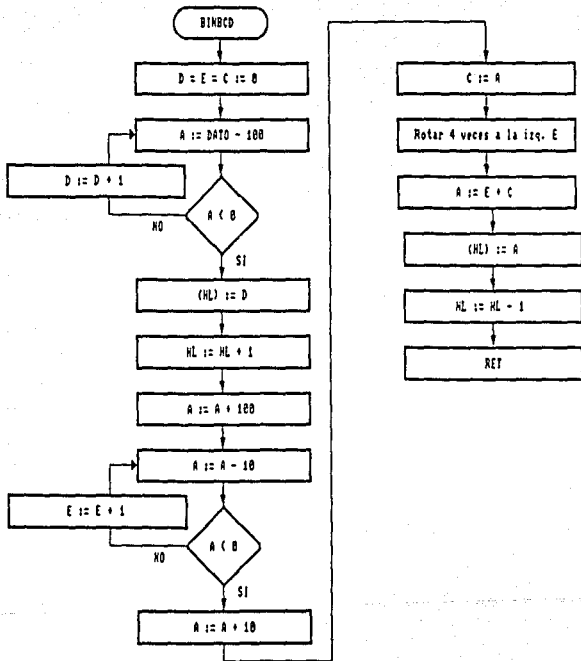
d.f. 5.8 Subrutina INICIA



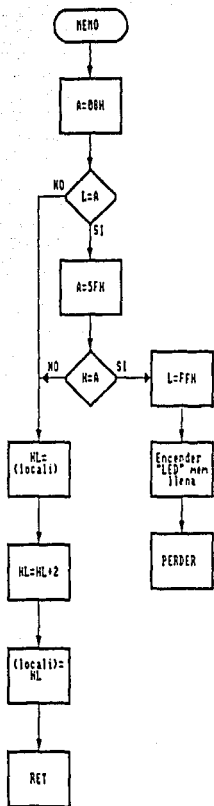
d.f. 5.9 Subrutina PRINCI



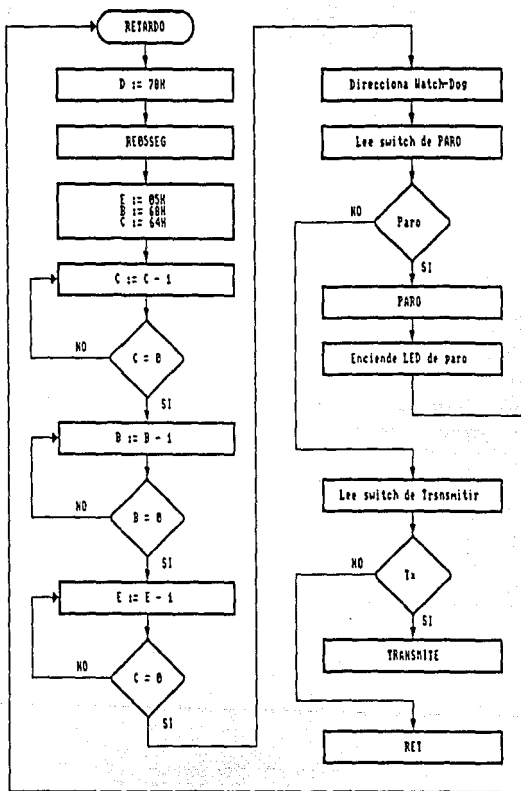
4.f. 5.18 Subrutina CONVIERT



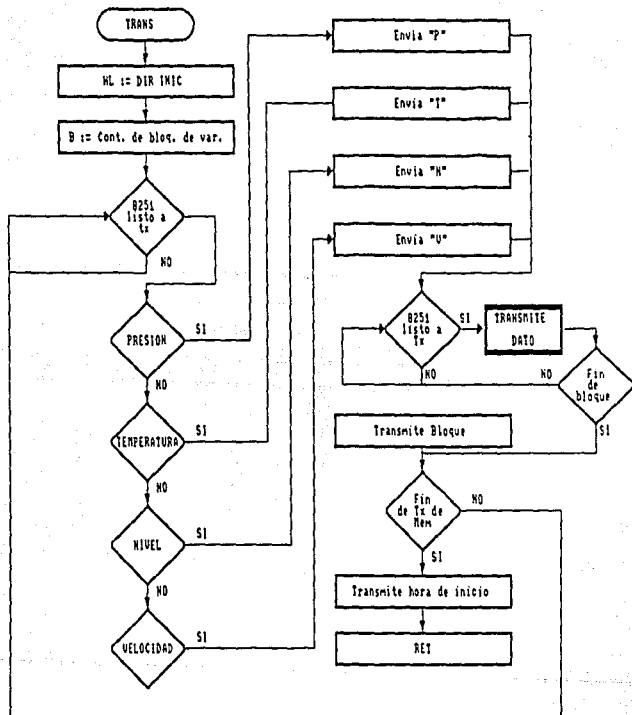
d.f 5.11 Subrutina BINBCD



d.f. 5.12 Subrutina MEMO



d.f. 5.13 Subrutina RETARDO



d.f. 5.14 Subrutina TRANS

RESULTADOS Y CONCLUSIONES

Para el presente trabajo podemos hacer una división al respecto de lo que serían las conclusiones. Por un lado se describirá lo que fué el resultado, el cumplimiento o no de los objetivos, y por otro las inquietudes o puntos de vista de los que elaboramos el trabajo.

El objetivo de diseñar un sistema de adquisición de datos para monitorear algunas variables manejadas en sistemas hidrológicos se cumplió, aún cuando en algunas fases del diseño sólo se habló de justificar el empleo de una cierta arquitectura preexistente. Conviene hacer resaltar el hecho de que, en este tipo de sistemas es en el desarrollo del "software" donde se tiene plena libertad de acción, pues es particular o propio de la aplicación para la que se usará el sistema.

Un trabajo de grupo como el presente, con cierto apoyo económico por parte de los integrantes, y aunado al esfuerzo de la universidad en comunión con la industria, podría generar proyectos que en este momento redituán grandes ganancias.

El Sistema Automático de Adquisición de Datos (SAAD) aquí presentado fué diseñado con el fin de cumplir características tales como: bajo costo, sencillez de manejo y un mínimo de necesidad de operación manual. El funcionamiento fué probado utilizando el programa simulador SIM-Z80 y ensamblado con el programa ASM-80.

Este sistema resulta de gran utilidad en trabajos en donde se requiera tomar muestras de variables físicas, sin la necesidad de intervención continua de un operador, ya que únicamente se requiere de él en el momento de inicializar el sistema y al momento de recoger la tarjeta de memoria con los datos almacenados. El periodo de tiempo entre estas dos acciones estará determinado por el intervalo entre muestra y muestra seleccionado, pudiendo ser en un rango de 7 a 21 días.

El bajo costo se logró al utilizar componentes de fácil adquisición en el mercado nacional, lo que evita el tener que importar componentes lo que elevaría su costo.

El utilizar la configuración básica para el Z80, y únicamente adicionar módulos, tales como, el reloj de tiempo real (RTR) y el de acondicionamiento de datos, dió como resultado que la creación de programas se base principalmente en el manejo del mapa de memoria y que únicamente se requieran módulos de programación específicos para el manejo de los módulos ajenos a la configuración básica. La programación es modular, lo que le da al sistema una gran versatilidad para futuros cambios o ajustes. Una de las ventajas de este sistema es el de tener en una tarjeta los circuitos integrados de memoria RAM, con un respaldo de batería lo que permite extraer la tarjeta del sistema y llevarla al laboratorio, donde se cuenta con un sistema similar, conectado a una computadora PC para poder manipular los datos almacenados en memoria RAM. Lo anterior evita la necesidad de transportar todo el sistema desde el campo al laboratorio, inclusive se puede, al momento de extraer la tarjeta llena, insertar una nueva tarjeta vacía y dejar el sistema funcionando nuevamente.

El trabajo se enfocó a la resolución de problemas que pueden ser cotidianos en el trabajo de ingeniería, a través de él se tuvo acceso a nuevos conocimientos y en base a su repaso se reafirmaron otros, pero en general, podemos decir que es el sentido común, apoyado en un cierto nivel de información, lo que sigue siendo decisivo en el desarrollo de un proyecto.

Acerca del trabajo de tesis en sí mismo, podemos decir que es positivo, pues en la mayoría de los casos permite al estudiante enfrentar situaciones reales, incluso hacer aportaciones importantes; el problema, como durante todo el desarrollo de la carrera, es que su función tiende a ser meramente académica.

A P E N D I C E A

Leyes aplicables a los termopares

La medida de la temperatura por medios termoeléctricos se basa en calibraciones "empíricas" y en la aplicación de las llamadas "leyes" termoeléctricas, cuya validez ha demostrado la experiencia. Estas leyes, son adecuadas para el análisis de la mayor parte de los circuitos prácticos que utilizan pares termoeléctricos. En los casos donde la configuración del circuito no conduce por si misma a la aplicación directa de estas leyes, existen otros procedimientos que pueden emplearse como alternativas.

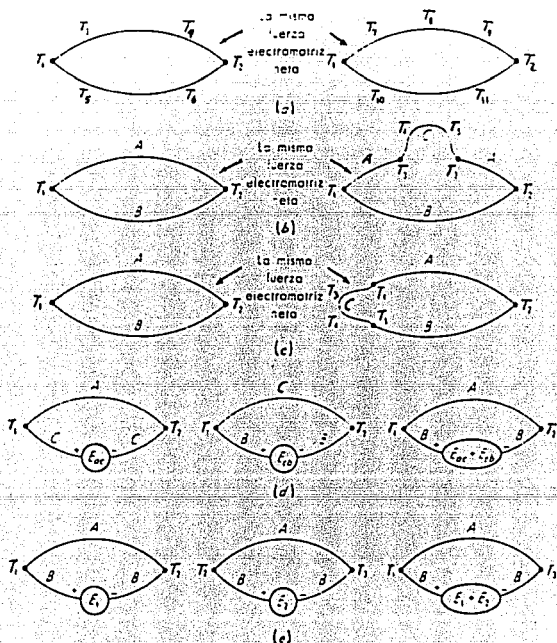


Fig. A.1 Leyes de los pares termoeléctricos

Las leyes del comportamiento de los pares termoeléctricos pueden enunciarse como sigue:

1. El voltaje de un par termoeléctrico con uniones T1 y T2 permanece fijo e independiente de la temperatura, en todo el circuito, si los dos metales que se usan son homogéneos, figura A.1a.
2. Si se inserta un tercer metal homogéneo C, en A o en B, (Fig. A.1b), mientras las dos uniones termoeléctricas nuevas estén a temperaturas iguales, el voltaje neto del circuito permanece invariable cualquiera que sea la temperatura de C fuera de las uniones.
3. Si se inserta el metal C entre A y B, en una de las uniones, la temperatura de C en cualquier punto fuera de las uniones AC y AB es indiferente. Mientras las uniones AC y AB están ambas a la temperatura T1, el voltaje neto es el mismo que si C no estuviera allí (A.1c).
4. Si la fuerza electromotrices de los metales A y C es E_{ac} y la de los metales B y C es E_{cb} , el voltaje térmico de los metales A y B es $E_{ac} + E_{cb}$ (A.1d).
5. Si un par termoeléctrico produce el voltaje E_1 cuando sus uniones están a T1 y T2 y E_2 cuando están a T2 y T3, producirá $E_1 + E_2$ cuando las uniones estén en T1 y T3 (A.1e).

Al considerar la quinta ley debemos notar que, al usar un termopar, para medir una temperatura desconocida, se debe conocer la temperatura de una de las uniones termoeléctricas (llamada unión de referencia), empleando algún medio independiente. La medida del voltaje permite obtener la temperatura de la otra unión de las tablas de calibración. Estas tablas de calibración se obtuvieron, manteniendo la unión de referencia a un valor fijo conocido (comúnmente de 32 °F, el punto de congelación del agua), y haciendo variar la temperatura de la unión medida dentro del intervalo de temperaturas deseado (conocida por algún medio independiente) y registrando los voltajes resultantes. Por lo tanto, la mayor parte de las tablas de calibración se basan en la unión de referencia que está en el punto de congelación. Cuando se usa un termopar, puede usarse la tabla de calibración directamente para encontrar la temperatura de la unión a medir; si

no lo es, la quinta ley nos permite usar la tabla estándar como sigue: si la unión de referencia está a 70°F y el voltaje es 1.23mv ; en la fig A.1 tomamos $T_1=32^{\circ}\text{F}$, $T_2=70^{\circ}\text{F}$ y T_3 es desconocida. Podemos buscar el valor de E_1 directamente en la tabla supongamos que es 0.71mv . Ahora E_2 es el valor medido de 1.23mv , por tanto, $E_1+E_3 = 1.94\text{mv}$. La temperatura desconocida puede encontrarse buscando en la tabla estándar el valor de la temperatura correspondiente a 1.94mv , es de 100°F .

A P E N D I C E B

Diagramas electrónicos de los circuitos diseñados.

Tarjetas del SAAD

El SAAD se compone de seis tarjetas de funciones especiales, una de ellas es la tarjeta madre, en donde se insertan cuatro tarjetas que conforman la parte principal del SAAD, La tarjeta I contiene la parte de acondicionamiento de las variables de entrada, la tarjeta II tiene al microprocesador así como la circuitería de control necesaria, la tarjeta III contiene los circuitos necesarios para la transmisión de la información a la computadora, la tarjeta IV tiene los circuitos de memoria RAM y la batería de respaldo, existe otra tarjeta que es la tarjeta de la carátula. Las tarjetas anteriores se pueden alojar en una caja de aproximadamente 15 x 15 x 20 cm.

Tarjeta I

Esta tarjeta se encarga de recibir las señales de cada uno de los sensores y acondicionar estas señales de modo que entregue en forma multiplexada, la información de cada sensor en una palabra de 8 bits.

Tarjeta II

Esta tarjeta contiene al microprocesador y toda la circuitería de control (memoria ROM, divisores de tiempo, puerto 8251, etc.) además del circuito de reloj de tiempo real (RTR). La tarjeta recibe una palabra de 8 bits por cada sensor a una frecuencia programada de antemano, la procesa y entrega la información a la siguiente tarjeta que contiene a la memoria RAM.

Tarjeta III

Esta tarjeta recibe la palabra de 8 bits de cada sensor y realiza la conversión a la norma RS-232 para transmitir los datos a una computadora PC.

Tarjeta IV

Esta tarjeta recibe la información procesada de cada sensor así como la información del reloj de tiempo real, además de la información sobre el lugar en la memoria donde se haya almacenado la información de acuerdo al sensor de que se trate, esta tarjeta contiene dos circuitos integrados de memoria RAM con una capacidad de 8k cada uno, además de una

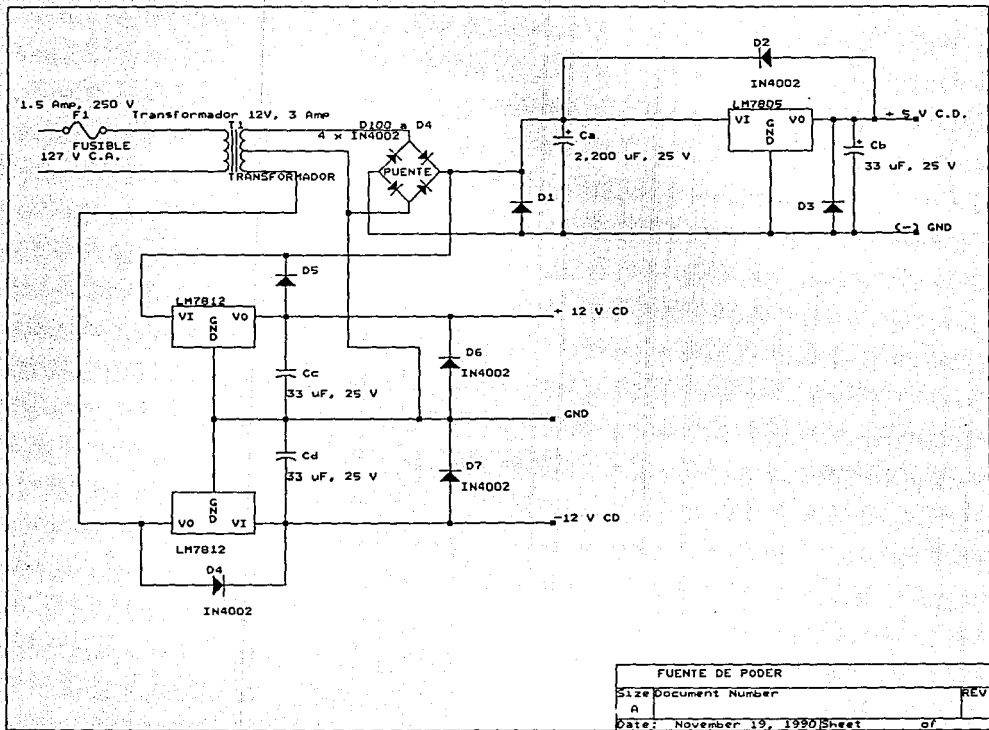
batería que sirve como respaldo en caso de que la energía fallara o de que se transporte la tarjeta al lugar donde se vaya a rescatar la información.

Tarjeta madre

En esta tarjeta se encuentran cuatro conectores de ranura de 36 contactos cada uno, en los cuales se van a insertar las tarjetas del sistema, además de un conector para las señales provenientes de los sensores. Esta tarjeta hace las veces de "back panel" puesto que interconecta las tarjetas del sistema entre sí y también es la entrada de las señales de los sensores.

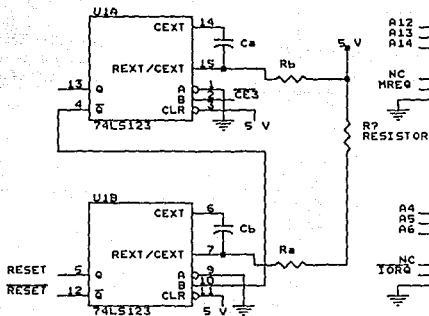
Tarjeta de carátula

Esta tarjeta contiene el desplegado del reloj de tiempo real, los botones de control, (paro/muestreo, Reset, Encendido/apagado, Selección de tiempo de muestreo, cambio de fecha del reloj de tiempo real y transmisión) así como los indicadores del estado del sistema, esta tarjeta se conecta al sistema mediante un conector para cable plano.

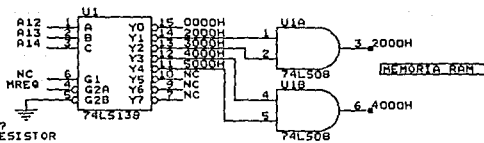


FUENTE DE PODER		
Size	Document Number	REV
A		
Date:	November 19, 1990	Sheet of

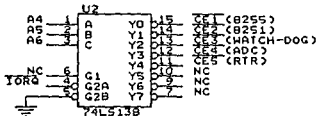
C.T.O. DE VIGILANCIA



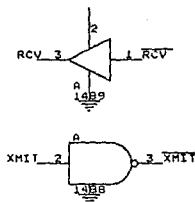
DECODIFICADOR MEMORIA



DECODIFICADOR PUERTOS



TRANSMISOR RS-232

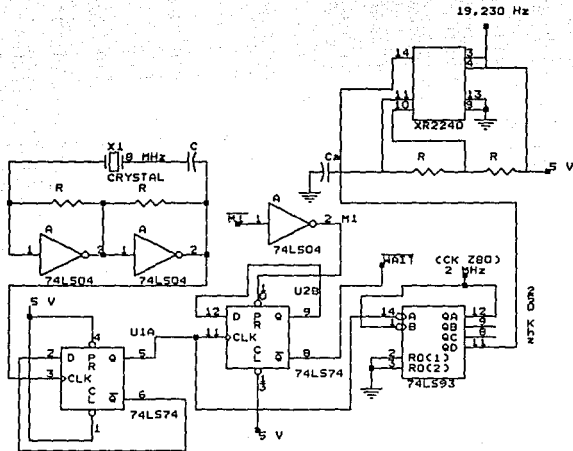


C.T.O. : VIGILANCIA, DECODIFICACION, TRANSMISOR

Size Document Number REV

A

Date: November 19, 1990 Sheet of



LOGICA DE CONTROL PARA EL Z80

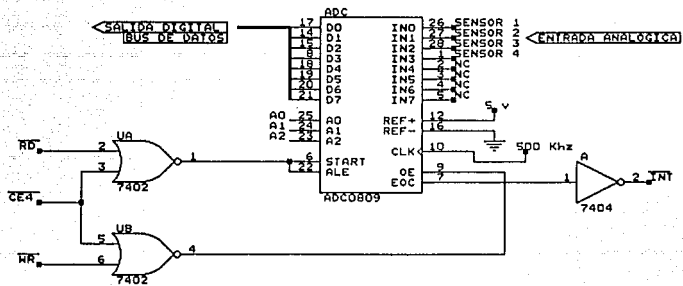
Size Document Number

REV

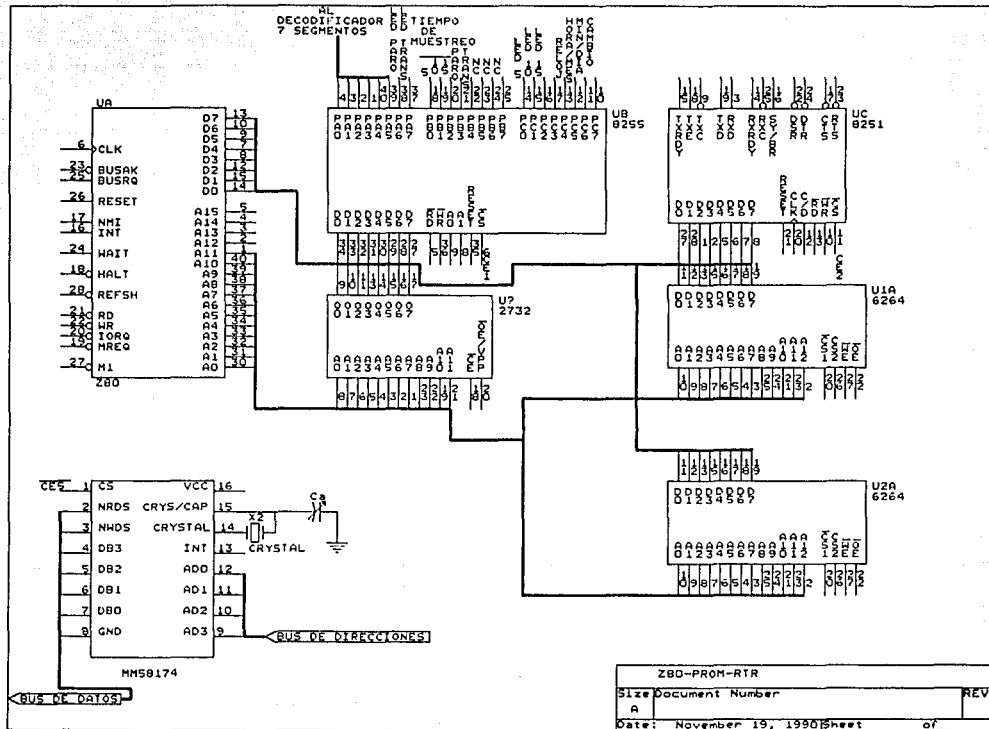
A

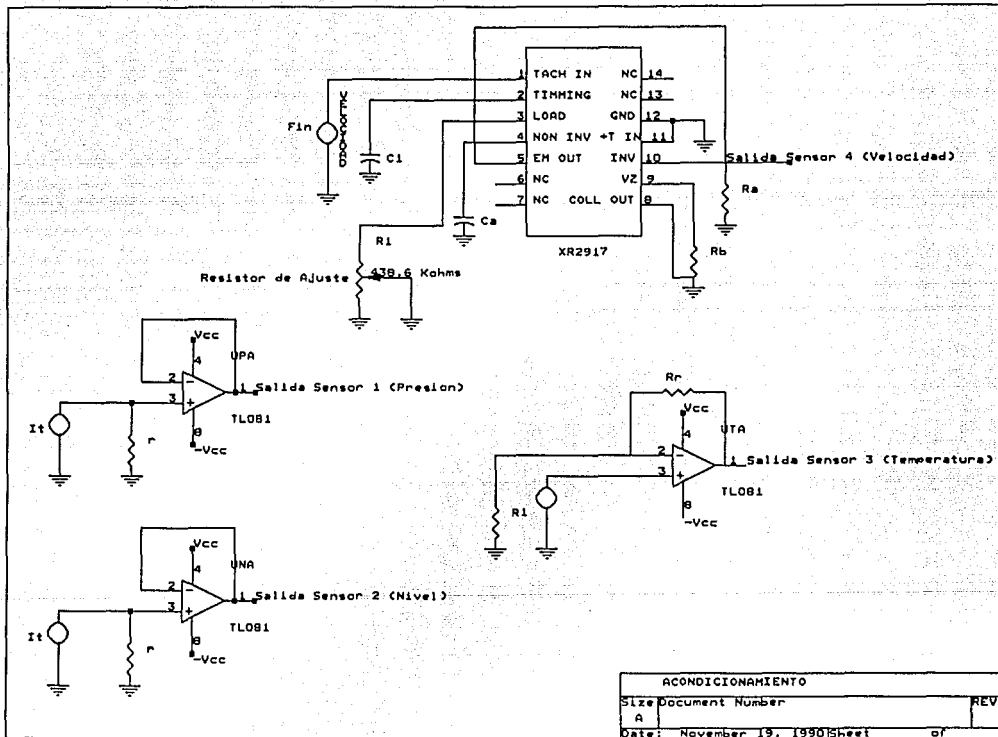
Date: November 19, 1990 Sheet

of

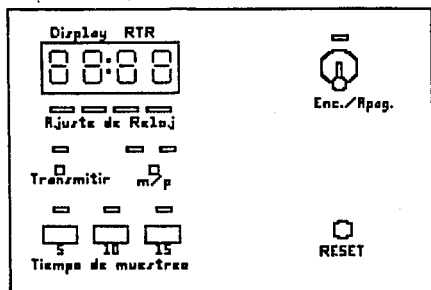


CONV. ANALOGICO-DIGITAL		
Size	Document Number	REV
A		
Date:	November 19, 1990	Sheet of

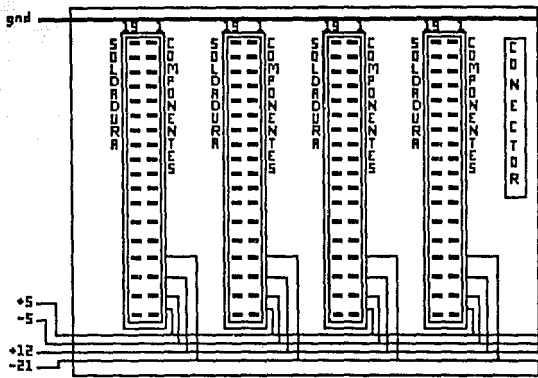




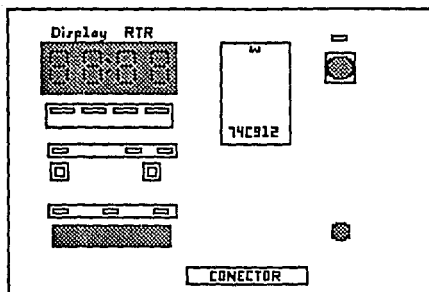
ACONDICIONAMIENTO		
Size	Document Number	REV
A		
Date:	November 19, 1990	Sheet of



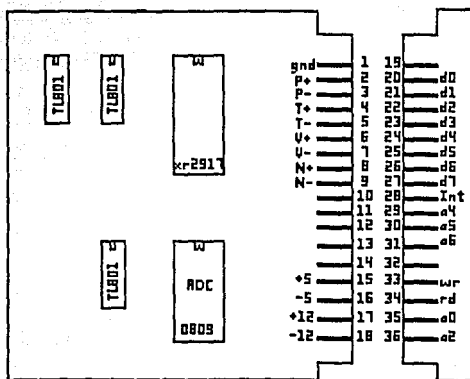
Vista frontal - Caratula



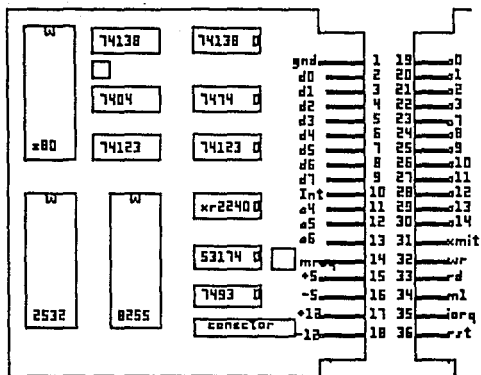
Тарјета Модра

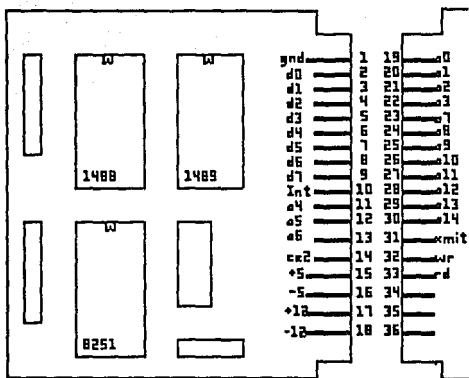


Terjeta de control

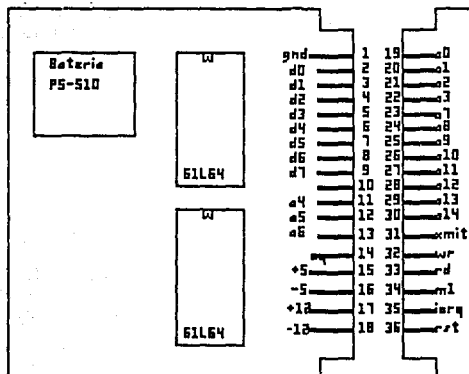


I - Recondicionamiento - RDC





III - 8251 - R5232



IV - RAM

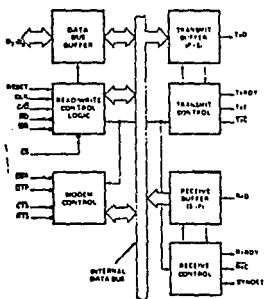
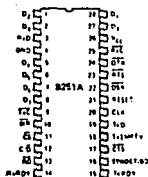
A P E N D I C E C

Especificaciones técnicas de los circuitos más importantes

8251A/S2657
PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
- Synchronous 5-8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous 5-8 Bit Characters; Clock Rate—1, 16 or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2 Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Synchronous Baud Rate — DC to 64K Baud
- Asynchronous Baud Rate — DC to 19.2K Baud
- Full Duplex, Double Buffered, Transmitter and Receiver
- Error Detection — Parity, Overrun and Framing
- Fully Compatible with 8080/8085 CPU
- 28-Pin DIP Package
- All Inputs and Outputs are TTL Compatible
- Single +5V Supply
- Single TTL Clock

The Intel[®] 8251A is the enhanced version of the industry standard, Intel[®] 8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's new high performance family of microprocessors such as the 8085. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use including (B^μ, bi sync). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is constructed using N-channel silicon gate technology.


Figure 1. Block Diagram

Figure 2. Pin Configuration



FEATURES AND ENHANCEMENTS

8251A is an advanced design of the industry standard USART, the Intel[®] 8251. The 8251A operates with an extended range of Intel microprocessors that includes the new 8085 CPU and maintains compatibility with the 8251. Familiarization time is minimal because of compatibility and involves only knowing the additional features and enhancements, and reviewing the AC and DC specifications of the 8251A.

The 8251A incorporates all the key features of the 8251 and has the following additional features and enhancements:

- 8251A has double buffered data paths with separate I/O registers for control, status, Data In, and Data Out, which considerably simplifies control programming and minimizes CPU overhead.
- In asynchronous operations, the Receiver detects and handles "break" automatically, relieving the CPU of this task.
- A refined Rx initialization prevents the Receiver from starting when in "break" state, preventing unwanted interrupts from a disconnected USART.
- At the conclusion of a transmission, TxD line will always return to the marking state unless SBRK is programmed.
- Tx Enable logic enhancement prevents a Tx Disable command from halting transmission until all data previously written has been transmitted. The logic also prevents the transmitter from turning off in the middle of a word.
- When External Sync Detect is programmed, Internal Sync Detect is disabled, and an External Sync Detect status is provided via a flip-flop which clears itself upon a status read.
- Possibility of false sync detect is minimized by ensuring that if double character sync is programmed, the characters be contiguously detected and also by clearing the Rx register to all ones whenever Enter Hunt command is issued in Sync mode.
- As long as the 8251A is not selected, the RD and WR do not affect the internal operation of the device.
- The 8251A Status can be read at any time but the status update will be inhibited during status read.
- The 8251A is free from extraneous glitches and has enhanced AC and DC characteristics, providing higher speed and better operating margins.
- Synchronous Baud rate from DC to 64K.
- Fully compatible with Intel's new industry standard, the MCS-85.

FUNCTIONAL DESCRIPTION

General

The 8251A is a Universal Synchronous/Asynchronous Receiver/Transmitter designed specifically for the 80/85 Microcomputer Systems. Like other I/O devices in a Microcomputer System, its functional configuration is programmed by the system's software for any serial data technique currently in use (including IBM "bi-sync").

In a communication environment an interface device must convert parallel format system data into serial format for transmission and convert incoming serial format data into parallel system data for reception. The interface device must also delete or insert bits or characters that are functionally unique to the communication technique. In essence, the interface should appear "transparent" to the CPU, a simple input or output of byte oriented system data.

Data Bus Buffer

The 3-state, bidirectional, 8 bit buffer is used to interface the 8251A to the system Data Bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions of the CPU. Control words, Command words and Status information are also transferred through the Data Bus Buffer. The command status and data in, and data out are separate 8 bit registers to provide double buffering.

This functional block accepts inputs from the system Control bus and generates control signals for overall device operation. It contains the Control Word Register and Command Word Register that store the various control formats for the device functional definition.

RESET (Reset)

A "high" on this input forces the 8251A into an "Idle" mode. The device will remain at "Idle" until a new set of control words is written into the 8251A to program its functional definition. Minimum RESET pulse width is 8 tcy (clock must be running).

CLK (Clock)

The CLK input is used to generate internal device timing and is normally connected to the Phase 2 (TTL) output of the 8224 Clock Generator. No external inputs or outputs are referenced to CLK but the frequency of CLK must be greater than 30 times the Receiver or Transmitter data bit rates.

WR (Write)

A "low" on this input informs the 8251A that the CPU is writing data or control words to the 8251A.

RD (Read)

A "low" on this input informs the 8251A that the CPU is reading data or status information from the 8251A.

C/D (Control/Data)

This input, in conjunction with the WR and RD inputs, informs the 8251A that the word on the Data Bus is either a data character, control word or status information.
1 = CONTROL/STATUS 0 = DATA

CS (Chip Select)

A "low" on this input selects the 8251A. No reading or writing will occur unless the device is selected. When CS is high, the Data Bus in the float state and RD and WR will have no effect on the chip.

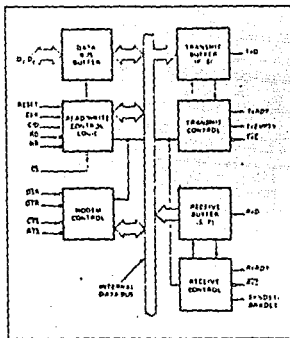


Figure 3. 8251A Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

C/D	RD	WR	CS	
0	0	1	0	8251A DATA - DATA BUS
0	1	0	0	DATA BUS - 8251A DATA
1	0	1	0	STATUS - DATA BUS
1*	1	0	0	DATA BUS - CONTROL
X	1	1	0	DATA BUS - 3 STATE
X	X	X	1	DATA BUS - 3 STATE

Modem Control

The 8251A has a set of control inputs and outputs that can be used to simplify the interface to almost any Modem. The Modem control signals are general purpose in nature and can be used for functions other than Modem control, if necessary.

DSR (Data Set Ready)

The DSR input signal is a general purpose, 1-bit inverting input port. Its condition can be tested by the CPU using a Status Read operation. The DSR input is normally used to test Modem conditions such as Data Set Ready.

DTR (Data Terminal Ready)

The DTR output signal is a general purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The DTR output signal is normally used for Modem control such as Data Terminal Ready or Rate Select.

RTS (Request to Send)

The RTS output signal is a general purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The RTS output signal is normally used for Modem control such as Request to Send.

CTS (Clear to Send)

A "low" on this input enables the B251A to transmit serial data if the Tx Enable bit in the Command byte is set to a "one". If either a Tx Enable off or CTS off condition occurs while the Tx is in operation, the Tx will transmit all the data in the USART, written prior to Tx Disable command before shutting down. On the B251A/S2657 if CTS off or Tx Enable off condition occurs before the last character written appears in the serial bit stream, that character will be transmitted again upon CTS on or Tx Enable on condition.

Transmitter Buffer

The Transmitter Buffer accepts parallel data from the Data Bus Buffer, converts it to a serial bit stream, inserts the appropriate characters or bits (based on the communication technique) and outputs a composite serial stream of data on the Tx/D output pin on the falling edge of Tx/C. The transmitter will begin transmission upon being enabled if CTS = 0. The Tx/D line will be held in the marking state immediately upon a master Reset or when Tx Enable/CTS off or TxEMPTY.

Transmitter Control

The transmitter Control manages all activities associated with the transmission of serial data. It accepts and issues signals both externally and internally to accomplish this function.

TxRDY (Transmitter Ready)

This output signals the CPU that the transmitter is ready to accept a data character. The TxRDY output pin can be used as an interrupt to the system, since it is masked by Tx Disabled, or, for Polled operation, the CPU can check TxRDY using a Status Read operation. TxRDY is automatically reset by the leading edge of WR when a data character is loaded from the CPU.

Note that when using the Polled operation, the TxRDY status bit is not masked by Tx Enabled, but will only indicate the Empty/Full Status of the Tx Data Input Register.

TxE (Transmitter Empty)

When the B251A has no characters to transmit, the TxEMPTY output will go "high". It resets automatically upon receiving a character from the CPU if the transmitter is enabled. TxEMPTY can be used to indicate the end of a transmission mode, so that the CPU "knows" when to "turn the line around" in the half-duplexed operational mode.

In SYNchronous mode, a "high" on this output indicates that a character has not been loaded and the SYNC character or characters are about to be or are being transmitted automatically as "fillers". TxEMPTY does not go low when the SYNC characters are being shifted out.

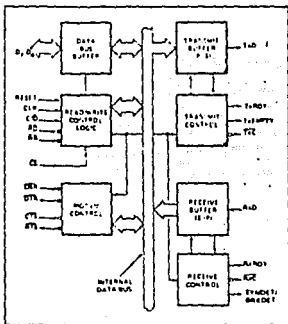


Figure 4. B251A Block Diagram Showing Modem and Transmitter Buffer and Control Functions

TxC (Transmitter Clock)

The Transmitter Clock controls the rate at which the character is to be transmitted. In the Synchronous transmission mode, the Baud Rate (Tx) is equal to the TxC frequency. In Asynchronous transmission mode the baud rate is a fraction of the actual TxC frequency. A portion of the mode instruction selects this factor, it can be 1, 1/16 or 1/64 the TxC.

For Example:

If Baud Rate equals 110 Baud,
 TxC equals 110 Hz (1x)
 TxC equals 1.76 kHz (16x)
 TxC equals 7.04 kHz (64x).

The falling edge of TxC shifts the serial data out of the B251A.

Receiver Buffer

The Receiver accepts serial data, converts this serial input to parallel format, checks for bits or characters that are unique to the communication technique and sends an "assembled" character to the CPU. Serial data is input to RxD pin, and is clocked in on the rising edge of RxC.

Receiver Control

This functional block manages all receiver-related activities which consist of the following features:

The RxD initialization circuit prevents the 8251A from mistaking an unused input line for an active low data line in the "break condition". Before starting to receive serial characters on the RxD line, a valid "1" must first be detected after a chip master Reset. Once this has been determined, a search for a valid low (Start bit) is enabled. This feature is only active in the asynchronous mode, and is only done once for each master Reset.

The False Start bit detection circuit prevents false starts due to a transient noise spike by first detecting the falling edge and then strobing the nominal center of the Start bit (RxD = low).

The Parity Toggle F/F and Parity Error F/F circuits are used for parity error detection and the corresponding status bit.

The Framing Error Flag F/F is set if the Stop bit is absent at the end of the data byte (asynchronous mode), and also sets the corresponding status bit.

RxRDY (Receiver Ready)

This output indicates that the 8251A contains a character that is ready to be input to the CPU. RxRDY can be connected to the interrupt structure of the CPU or, for Polled operation, the CPU can check the condition of RxRDY using a Status Read operation.

Rx Enable off both masks and holds RxRDY in the Reset Condition. For Asynchronous mode, to set RxRDY, the Receiver must be Enabled to sense a Start Bit and a complete character must be assembled and transferred to the Data Output Register. For Synchronous mode, to set RxRDY, the Receiver must be enabled and a character must finish assembly and be transferred to the Data Output Register.

Failure to read the received character from the Rx Data Output Register prior to the assembly of the next Rx Data character will set overrun condition error and the previous character will be written over and lost. If the Rx Data is being read by the CPU when the internal transfer is occurring, overrun error will be set and the old character will be lost.

RxC (Receiver Clock)

The Receiver Clock controls the rate at which character is to be received. In Synchronous Mode, the Baud Rate (1x) is equal to the actual frequency of RxC. In Asynchronous Mode, the Baud Rate is a fraction of the actual RxC fre-

quency. A portion of the mode instruction selects this factor: 1, 1/16 or 1/64 the RxC.

For Example:

Baud Rate equals 300 Baud, if
RxC equals 300 Hz (1x)
RxC equals 4800 Hz (16x)
RxC equals 19.2 kHz (64x)

Baud Rate equals 2400 Baud, if
RxC equals 2400 Hz (1x)
RxC equals 38.4 kHz (16x)
RxC equals 153.6 kHz (64x).

Data is sampled into the 8251A on the rising edge of RxC.

NOTE: In most communications systems, the 8251A will be handling both the transmission and reception operations of a single link. Consequently, the Receive and Transmit Baud Rates will be the same. Both Tx and Rx will require identical frequencies for this operation and can be tied together and connected to a single frequency source (Baud Rate Generator) to simplify the interface.

SYNDET (SYNC Detect) / BRKDET (Break Detect)

This pin is used in SYNChronous Mode for SYNDET and may be used as either input or output, programmable through the Control Word. It is reset to output mode low upon RESET. When used as an output (Internal Sync mode), the SYNDET pin will go "high" to indicate that the 8251A has located the SYNC character in the Receive mode. If the 8251A is programmed to use double Sync characters (brsync), then SYNDET will go "high" in the middle of the last bit of the second Sync character. SYNDET is automatically reset upon a Status Read operation.

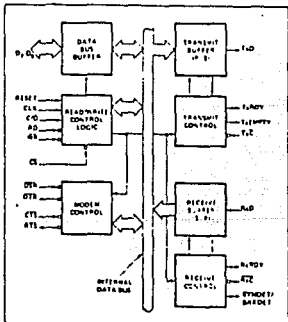


Figure 5. 8251A Block Diagram Showing Receiver Buffer and Control Functions

When used as an input (external SYNC detect mode), a positive going signal will cause the 8251A to start assembling data characters on the rising edge of the next RxD. Once in SYNC, the "high" input signal can be removed. When External SYNC Detect is programmed, the Internal SYNC Detect is disabled.

BREAK DETECT (Async Mode Only)

This output will go high whenever the receiver remains low through two consecutive stop bit sequences (including the start bits, data bits, and parity bits). Break Detect may also be read as a Status bit. It is reset only upon a master chip Reset or RxD Data returning to a "one" state.

NOTE: On the 8251A/S2657, if the RxDData returns to a "one" state during the last bit of the next character after the break, break detect will latch-up, and the device must be cleared by a Chip Reset.

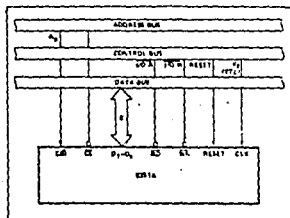


Figure 6. 8251A Interface to 8080 Standard System Bus

DETAILED OPERATION DESCRIPTION

General

The complete functional definition of the 8251A is programmed by the system's software. A set of control words must be sent out by the CPU to initialize the 8251A to support the desired communications format. These control words will program the: BAUD RATE, CHARACTER LENGTH, NUMBER OF STOP BITS, SYNCHRONOUS or ASYNCHRONOUS OPERATION, EVEN/ODD/OFF PARITY, etc. In the Synchronous Mode, options are also provided to select either internal or external character synchronization.

Once programmed, the 8251A is ready to perform its communication functions. The TxDY output is raised "high" to signal the CPU that the 8251A is ready to receive a data character from the CPU. This output (TxDY) is reset automatically when the CPU writes a character into the 8251A. On the other hand, the 8251A receives serial data from the MODEM or I/O device. Upon receiving an entire character, the RxDY output is raised "high" to signal the CPU that the 8251A has a complete character ready for the CPU to fetch. RxDY is reset automatically upon the CPU data read operation.

The 8251A cannot begin transmission until the Tx Enable (Transmitter Enable) bit is set in the Command Instruction and it has received a Clear To Send (CTS) input. The TxD output will be held in the marking state upon Reset.

Programming the 8251A

Prior to starting data transmission or reception, the 8251A must be loaded with a set of control words generated by the CPU. These control signals define the complete functional definition of the 8251A and must immediately follow a Reset operation (internal or external).

The control words are split into two formats:

1. Mode Instruction
2. Command Instruction

Mode Instruction

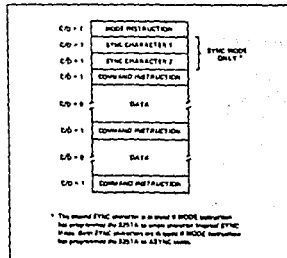
This format defines the general operational characteristics of the 8251A. It must follow a Reset operation (internal or external). Once the Mode Instruction has been written into the 8251A by the CPU, SYNC characters or Command Instructions may be inserted.

Command Instruction

This format defines a status word that is used to control the actual operation of the 8251A.

Both the Mode and Command Instructions must conform to a specified sequence for proper device operation. The Mode Instruction must be inserted immediately following a Reset operation, prior to using the 8251A for data communication.

All control words written into the 8251A after the Mode Instruction will load the Command Instruction. Command Instructions can be written into the 8251A at any time in the data block during the operation of the 8251A. To return to the Mode Instruction format, the master Reset bit in the Command Instruction word can be set to initiate an internal Reset operation which automatically places the 8251A back into the Mode Instruction format. Command Instructions must follow the Mode Instructions or Sync characters.



* The second SYNC character is an odd # MODE instruction has programmed the 8251A to receive character Internal SYNC. If you want SYNC characters on a type # MODE instruction for programming the 8251A in ASYNC mode.

Figure 7. Typical Data Block

Mode Instruction Definition

The 8251A can be used for either Asynchronous or Synchronous data communication. To understand how the Mode Instruction defines the functional operation of the 8251A, the designer can best view the device as two separate components sharing the same package, one Asynchronous the other Synchronous. The format definition can be changed only after a master chip Reset. For explanation purposes the two formats will be isolated.

NOTE: When parity is enabled it is not considered as one of the data bits for the purpose of programming the word length. The actual parity bit received on the RxD Data line cannot be read on the Data Bus. In the case of a programmed character length of less than 8 bits, the least significant Data Bus bits will hold the data, unused bits are "don't care" when writing data to the 8251A, and will be "zeros" when reading the data from the 8251A.

Asynchronous Mode (Transmission)

Whenever a data character is sent by the CPU the 8251A automatically adds a Start bit (low level) followed by the data bits (least significant bit first), and the programmed number of Stop bits to each character. Also, an even or odd Parity bit is inserted prior to the Stop bit(s), as defined by the Mode Instruction. The character is then transmitted as a serial data stream on the Tx/D output. The serial data is shifted out on the falling edge of TxC at a rate equal to 1, 1/16, or 1/64 that of the TxC, as defined by the Mode Instruction. BREAK characters can be continuously sent to the Tx/D if commanded to do so.

When no data characters have been loaded into the 8251A the Tx/D output remains "high" (marking) unless a Break (continuously low) has been programmed.

Asynchronous Mode (Receive)

The RxD line is normally high. A falling edge on this line triggers the beginning of a START bit. The validity of this START bit is checked by again strobing this bit at its nominal center (16X or 64X mode only). If a low is detected again, it is a valid START bit, and the bit counter will start counting. The bit counter thus locates the center of the data bits, the parity bit (if it exists) and the stop bit. If parity error occurs, the parity error flag is set. Data and parity bits are sampled on the RxD pin with the rising edge of RxC. If a low level is detected as the STOP bit, the Framing Error flag will be set. The STOP bit signals the end of a character. Note that the receiver requires only one stop bit, regardless of the number of stop bits programmed. This character is then loaded into the parallel I/O buffer of the 8251A. The RRDY pin is raised to signal the CPU that a character is ready to be fetched. If a previous character has not been fetched by the CPU, the present character replaces it in the I/O buffer, and the OVERRUN Error flag is raised (but the previous character is lost). All of the error flags can be reset by an Error Reset Instruction. The occurrence of any of these errors will not affect the operation of the 8251A.

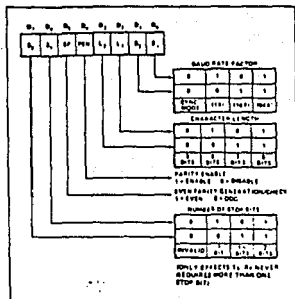


Figure 8. Mode Instruction Format, Asynchronous Mode

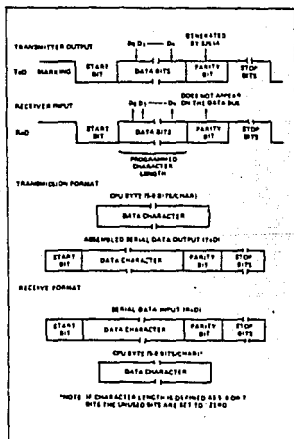
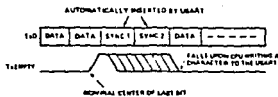


Figure 9. Asynchronous Mode

Synchronous Mode (Transmission)

The TxD output is continuously high until the CPU sends its first character to the 8251A which usually is a SYNC character. When the CTS line goes low, the first character is serially transmitted out. All characters are shifted out on the falling edge of TxC. Data is shifted out at the same rate as the TxC.

Once transmission has started, the data stream at the TxD output must continue at the TxC rate. If the CPU does not provide the 8251A with a data character before the 8251A Transmitter Buffers become empty, the SYNC characters for character of a single SYNC character mode) will be automatically inserted in the TxD data stream. In this case, the TxEMPTY pin is raised high to signal that the 8251A is empty and SYNC characters are being sent out. TxEMPTY does not go low when the SYNC is being shifted out (see figure below). The TxEMPTY pin is internally reset by a data character being written into the 8251A.



Synchronous Mode (Receive)

In this mode, character synchronization can be internally or externally achieved. If the SYNC mode has been programmed, ENTER HUNT command should be included in the first command instruction word written. Data on the RxD pin is then sampled in on the rising edge of RxC. The content of the Rx buffer is compared at every bit boundary with the first SYNC character until a match occurs. If the 8251A has been programmed for two SYNC characters, the subsequent received character is also compared; when both SYNC characters have been detected, the USART ends the HUNT mode and is in character synchronization. The SYNDT pin is then set high, and is reset automatically by a STATUS READ. If parity is programmed, SYNDT will not be set until the middle of the parity bit instead of the middle of the last data bit.

In the external SYNC mode, synchronization is achieved by applying a high level on the SYNDT pin, thus forcing the 8251A out of the HUNT mode. The high level can be removed after one RxC cycle. An ENTER HUNT command has no effect in the synchronous mode of operation.

Parity error and overrun error are both checked in the same way as in the Asynchronous Rx mode. Parity is checked when not in Hunt, regardless of whether the Receiver is enabled or not.

The CPU can command the receiver to enter the HUNT mode if synchronization is lost. This will also set all the used character bits in the buffer to a "one", thus preventing a possible false SYNDT caused by data that happens to be in the Rx Buffer at ENTER HUNT time. Note that

the SYNDT F/F is reset at each Status Read, regardless of whether internal or external SYNC has been programmed. This does not cause the 8251A to return to the HUNT mode. When in SYNC mode, but not in HUNT, Sync Detection is still functional, but only occurs at the "known" word boundaries. Thus, if one Status Read indicates SYNDT and a second Status Read also indicates SYNDT, then the programmed SYNDT characters have been received since the previous Status Read (if double character sync has been programmed, then both sync characters have been contiguously received to get a SYNDT indication.) When external SYNDT mode is selected, internal Sync Detect is disabled, and the SYNDT F/F may be set at any bit boundary.

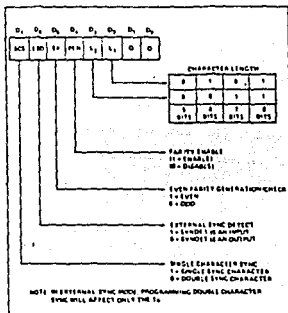


Figure 10. Mode Instruction Format, Synchronous Mode

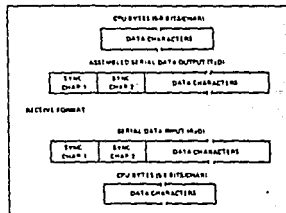


Figure 11. Data Format, Synchronous Mode

COMMAND INSTRUCTION DEFINITION

Once the functional definition of the 8251A has been programmed by the Mode Instruction and the Sync Characters are loaded (if in Sync Mode) then the device is ready to be used for data communication. The Command Instruction controls the actual operation of the selected format. Functions such as: Enable Transmit/Receive, Error Reset and Modem Controls are provided by the Command Instruction.

Once the Mode Instruction has been written into the 8251A and Sync characters inserted, if necessary, then all further "control writes" (C/D = 1) will load a Command Instruction. A Reset Operation (internal or external) will return the 8251A to the Mode Instruction format.

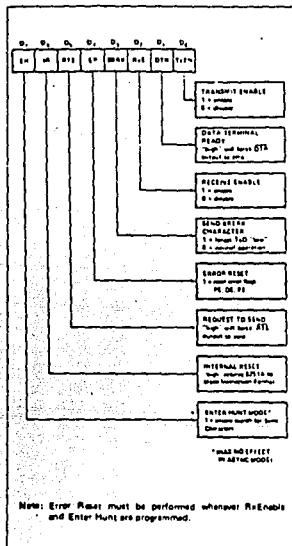


Figure 12. Command Instruction Format

STATUS READ DEFINITION

In data communication systems it is often necessary to examine the "status" of the active device to ascertain if errors have occurred or other conditions that require the processor's attention. The 8251A has facilities that allow the programmer to "read" the status of the device at any time during the functional operation. (The status update is inhibited during status read).

A normal "read" command is issued by the CPU with C/D = 1 to accomplish this function.

Some of the bits in the Status Read Format have identical meanings to external output pins so that the 8251A can be used in a completely Polled environment or in an interrupt driven environment. T₀RDY is an exception.

Note that status update can have a maximum delay of 28 clock periods from the actual event affecting the status.

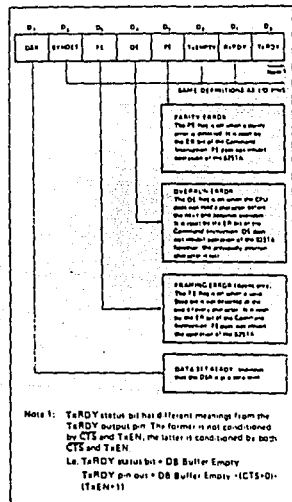


Figure 13. Status Read Format

APPLICATIONS OF THE 8251A

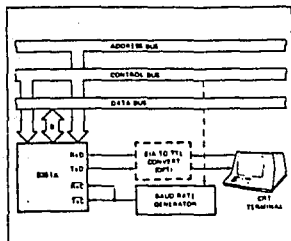


Figure 14. Asynchronous Serial Interface to CRT Terminal, DC-9600 Baud

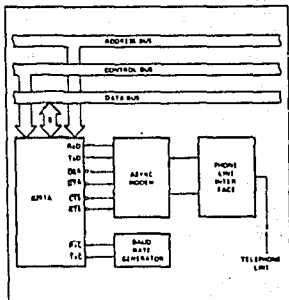


Figure 16. Asynchronous Interface to Telephone Lines

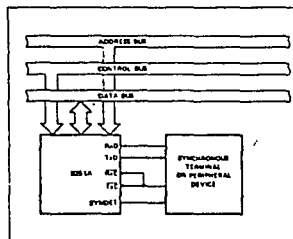


Figure 15. Synchronous Interface to Terminal or Peripheral Device

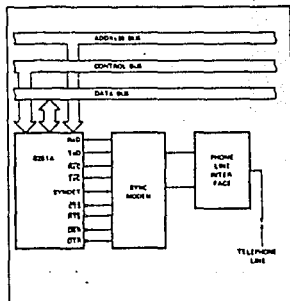


Figure 17. Synchronous Interface to Telephone Lines

**ABSOLUTE MAXIMUM RATINGS***

Ambient Temperature Under Bias 0°C to 70°C
 Storage Temperature -65°C to +150°C
 Voltage On Any Pin
 With Respect to Ground -0.5V to +7V
 Power Dissipation 1 Watt

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5.0\text{V} \pm 5\%$, $GND = 0\text{V}$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.2	V_{CC}	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2.2\text{ mA}$
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400\ \mu\text{A}$
I_{OFL}	Output Float Leakage		± 10	μA	$V_{OUT} = V_{CC}$ TO 0.45V
I_{IL}	Input Leakage		± 10	μA	$V_{IN} = V_{CC}$ TO 0.45V
I_{CC}	Power Supply Current		100	mA	All Outputs = High

CAPACITANCE ($T_A = 25^\circ\text{C}$, $V_{CC} = GND = 0\text{V}$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance		10	pF	$f_c = 1\text{ MHz}$
C_{IO}	I/O Capacitance		20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5.0\text{V} \pm 5\%$, $GND = 0\text{V}$)**Bus Parameters (Note 1)****READ CYCLE**

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{AR}	Address Stable Before $\overline{\text{READ}}$ ($\overline{\text{CS}}$, C/D)	50		ns	Note 2
t_{RA}	Address Hold Time for $\overline{\text{READ}}$ ($\overline{\text{CS}}$, C/D)	50		ns	Note 2
t_{RD}	$\overline{\text{READ}}$ Pulse Width	250		ns	
t_{RD}	Data Delay from $\overline{\text{READ}}$		250	ns	$3, C_L = 150\text{ pF}$
t_{DF}	$\overline{\text{READ}}$ to Data Floating	10	100	ps	



8251AJS2657

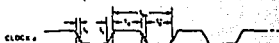
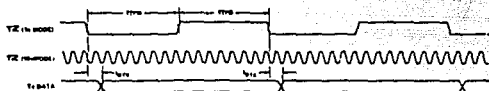
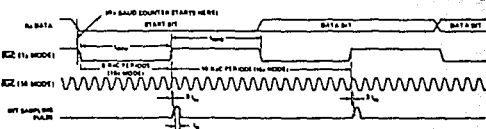
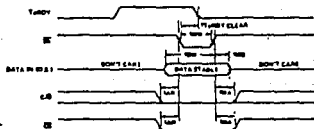
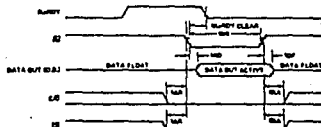
A.C. CHARACTERISTICS (Continued)

WRITE CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t _{AW}	Address Stable Before WRITE	50		ns	
t _{WA}	Address Hold Time for WRITE	50		ns	
t _{WW}	WRITE Pulse Width	250		ns	
t _{DW}	Data Set-Up Time for WRITE	150		ns	
t _{WD}	Data Hold Time for WRITE	60		ns	
t _{AV}	Recovery Time Between WRITES	6		t _{CV}	Note 4

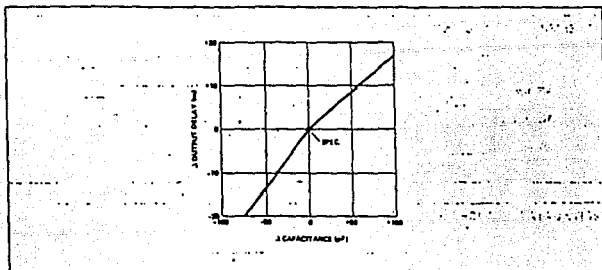
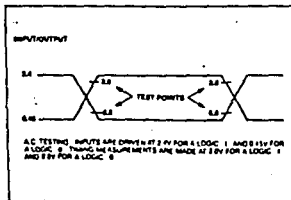
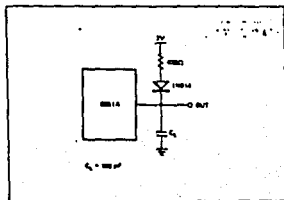
OTHER TIMINGS

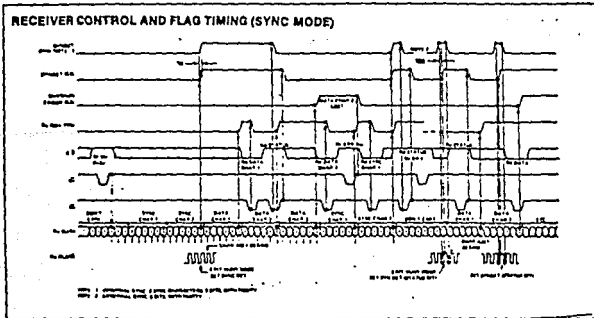
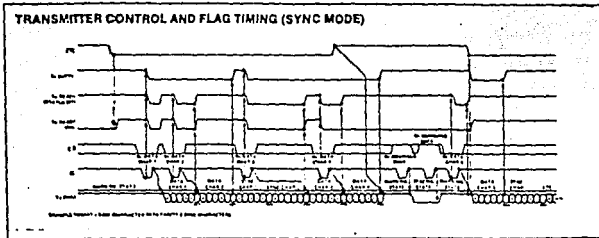
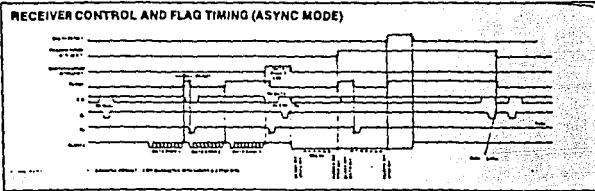
Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t _{CV}	Clock Period	320	1350	ns	Notes 5, 6
t _H	Clock High Pulse Width	140	t _{CV} -90	ns	
t _L	Clock Low Pulse Width	90		ns	
t _{r, f}	Clock Rise and Fall Time		20	ns	
t _{DTx}	TxD Delay from Falling Edge of Tx _{CLK}		1	μs	
t _{TX}	Transmitter Input Clock Frequency 1x Baud Rate 16x Baud Rate 64x Baud Rate	DC DC DC	64 310 615	kHz kHz kHz	
t _{TPW}	Transmitter Input Clock Pulse Width 1x Baud Rate 16x and 64x Baud Rate	12 1		t _{CV} t _{CV}	
t _{TPD}	Transmitter Input Clock Pulse Delay 1x Baud Rate 16x and 64x Baud Rate	16 3		t _{CV} t _{CV}	
t _{RX}	Receiver Input Clock Frequency 1x Baud Rate 16x Baud Rate 64x Baud Rate	DC DC DC	64 310 615	kHz kHz kHz	
t _{RPW}	Receiver Input Clock Pulse Width 1x Baud Rate 16x and 64x Baud Rate	12 1		t _{CV} t _{CV}	
t _{RPD}	Receiver Input Clock Pulse Delay 1x Baud Rate 16x and 64x Baud Rate	16 3		t _{CV} t _{CV}	
t _{TRDY}	TxRDY Pin Delay from Center of Last Bit		8	t _{CV}	Note 7
t _{TRDY CLEAR}	TxRDY $\bar{4}$ from Leading Edge of WR		6	t _{CV}	Note 7
t _{RxRDY}	RxRDY Pin Delay from Center of Last Bit		24	t _{CV}	Note 7
t _{RxRDY CLEAR}	RxRDY $\bar{4}$ from Leading Edge of RD		6	t _{CV}	Note 7
t _{IS}	Internal SYNDET Delay from Rising Edge of R _{TC}		24	t _{CV}	Note 7
t _{ES}	External SYNDET Set-Up Time Before Falling Edge of R _{TC}	16		t _{CV}	Note 7
t _{EMPTY}	TxEMPTY Delay from Center of Last Bit	20		t _{CV}	Note 7
t _{WC}	Control Delay from Rising Edge of WRITE (TxEn, DTR, RTS)	8		t _{CV}	Note 7
t _{CR}	Control to READ Set-Up Time (DSR, CTS)	20		t _{CV}	Note 7

WAVEFORMS
SYSTEM CLOCK INPUT

TRANSMITTER CLOCK AND DATA

RECEIVER CLOCK AND DATA

WRITE DATA CYCLE (CPU → USART)

READ DATA CYCLE (CPU ← USART)


A.C. CHARACTERISTICS (Continued)
NOTES:

1. AC timings measured $V_{OH} = 2.0$, $V_{OL} = 0.8$, and with load circuit of Figure 1.
2. Chip Select (CS) and Command/Data (C/D) are considered as Addresses.
3. Assume that Address is valid before R_D .
4. This recovery time is for Mode Initialization only. Write Data is allowed only when $TXRDY = 1$. Recovery Time between Writes for Asynchronous Mode is 9 t_{CY} and for Synchronous Mode is 16 t_{CY} .
5. The f_{AC} and f_{DC} frequencies have the following limitations with respect to CLK: For 1x Baud Rate, f_{AC} or $f_{DC} \leq 1/(30 t_{CY})$; For 16x and 64x Baud Rate, f_{AC} or $f_{DC} \leq 1/(4.5 t_{CY})$.
6. Reset Pulse Width = 6 t_{CY} minimum; System Clock must be running during Reset.
7. Status update can have a maximum delay of 28 clock periods from the event affecting the status.

TYPICAL Δ OUTPUT DELAY VS. Δ CAPACITANCE (pF)

A.C. TESTING INPUT, OUTPUT WAVEFORM

A.C. TESTING LOAD CIRCUIT


WAVEFORMS (Continued)


intel

PROGRAMMABLE PERIPHERAL INTERFACE

8255A/8255A-5

PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40-Pin Dual In-Line Package
- Reduces System Package Count
- Improved DC Driving Capability

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

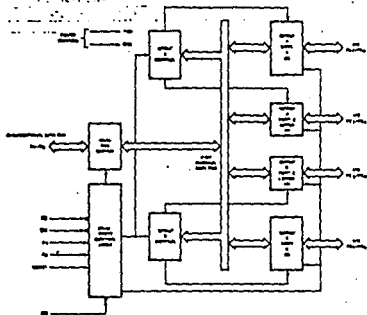


Figure 1. 8255A Block Diagram

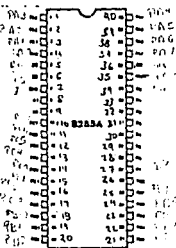


Figure 2. Pin Configuration

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel[®] microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control buses and in turn, issues commands to both of the Control Groups.

 $\overline{\text{CS}}$

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

 $\overline{\text{RD}}$

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

 $\overline{\text{WR}}$

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

 $(A_0 \text{ and } A_1)$

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{CS}}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A - DATA BUS
0	1	0	1	0	PORT B - DATA BUS
1	0	0	1	0	PORT C - DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS - PORT A
0	1	1	0	0	DATA BUS - PORT B
1	0	1	0	0	DATA BUS - PORT C
1	1	1	0	0	DATA BUS - CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS - 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS - 3-STATE

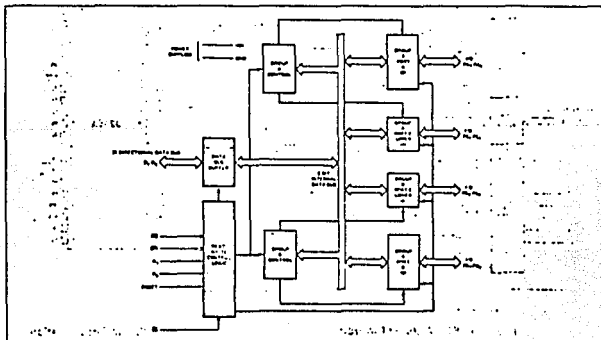


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

(RESET)

Reset A "high on this input clears the control register and all ports (A, C, C) are set to the Input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7-C4)

Control Group B - Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data Input/output latch/buffer and one 8-bit data Input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for Input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

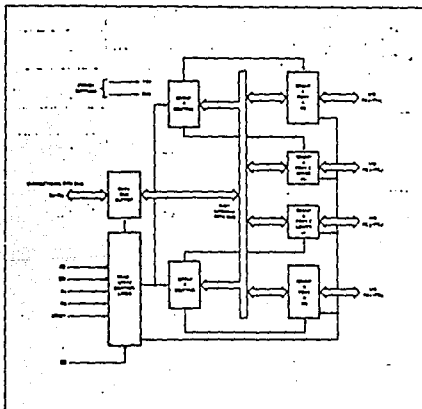
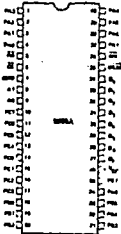


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION

PIN NAMES

CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A	RESET
PA0-PA7	PORT A DATA
PB0-PB7	PORT B DATA
PC0-PC7	PORT C DATA
PC8-PC15	STATUS
PC16-PC23	CONTROL

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 - Basic Input/Output
- Mode 1 - Strobed Input/Output
- Mode 2 - Bi-Directional Bus

When the reset input goes "high" all ports will be set to the Input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance: Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

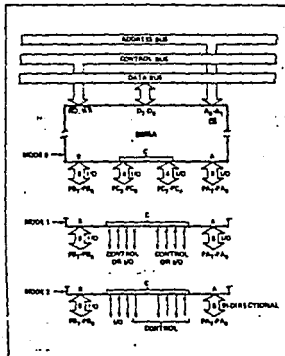


Figure 5. Basic Mode Definitions and Bus Interface

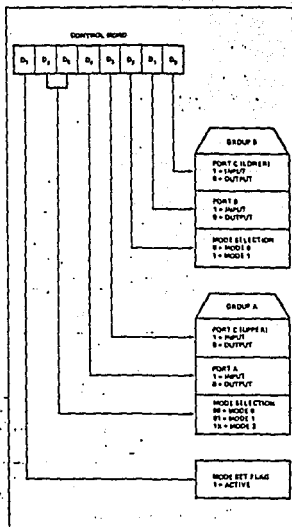


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTPUT instruction. This feature reduces software requirements in Control-based applications.

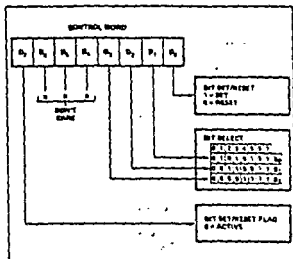


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

- (BIT-SET) — INTE is SET — Interrupt enable
- (BIT-RESET) — INTE is RESET — Interrupt disable

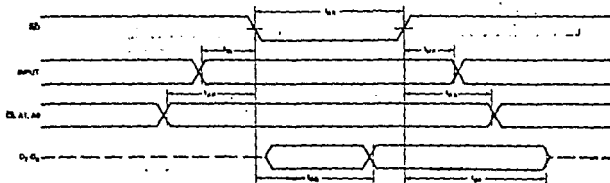
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

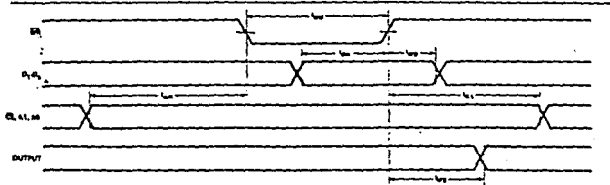
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

MODE 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



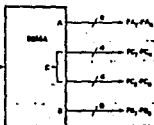
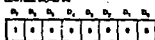
MODE 0 (Basic Output)

MODE 0 Port Definition

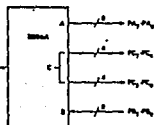
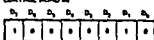
A		B		GROUP A			GROUP B		
D ₄	D ₃	D ₁	D ₀	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)	
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT	
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT	
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT	
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT	
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT	
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT	
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT	
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT	
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT	
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT	
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT	
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT	
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT	
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT	
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT	
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT	

MODE 0 Configurations

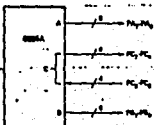
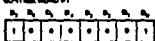
CONTROL WORD #0



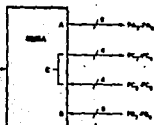
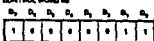
CONTROL WORD #1

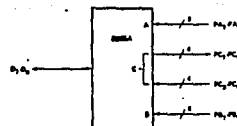
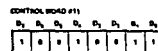
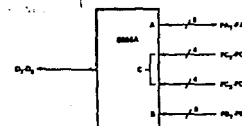
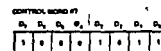
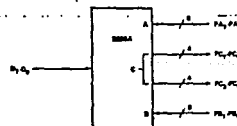
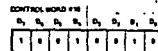
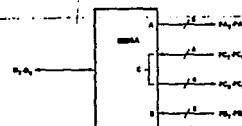
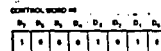
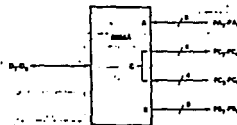
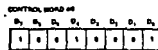
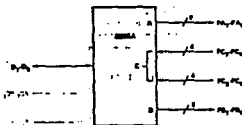
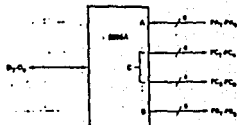
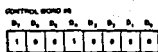
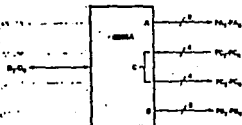
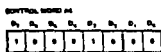


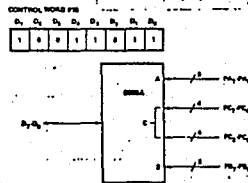
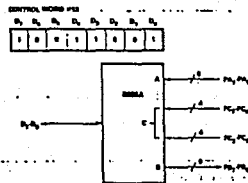
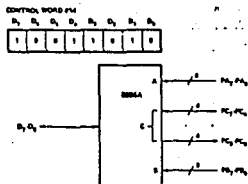
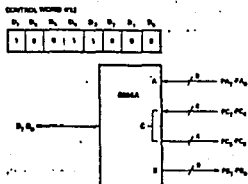
CONTROL WORD #2



CONTROL WORD #3







Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

Input Control Signal Definition

STB (Strobe Input): A "low" on this input loads data into the input latch.

IBF (Input Buffer Full FIF)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC₄.

INTE B

Controlled by bit set/reset of PC₂.

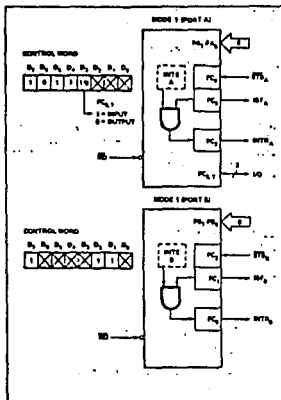


Figure 8. MODE 1 Input

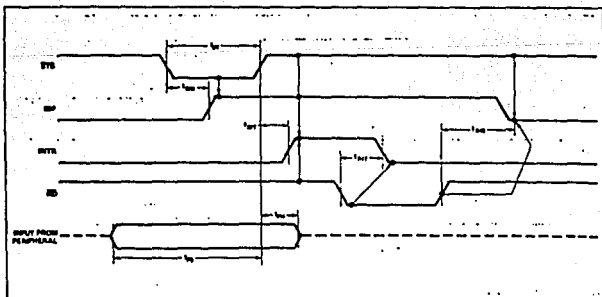


Figure 9. MODE 1 (Strobed Input)

Output Control Signal Definition

OBFF (Output Buffer Full F/F). The OBFF output will go "low" to indicate that the CPU has written data out to the specified port. The OBFF F/F will be set by the rising edge of the WR input and reset by ACK input being low.

ACK (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a "one", OBFF is a "one" and INTE is a "one". It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC₄.

INTE B

Controlled by bit set/reset of PC₃.

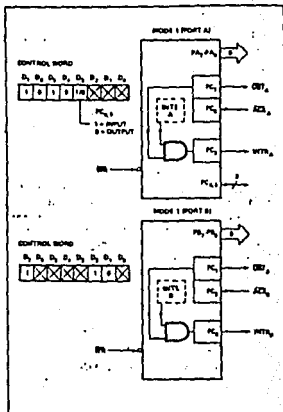


Figure 10. MODE 1 Output

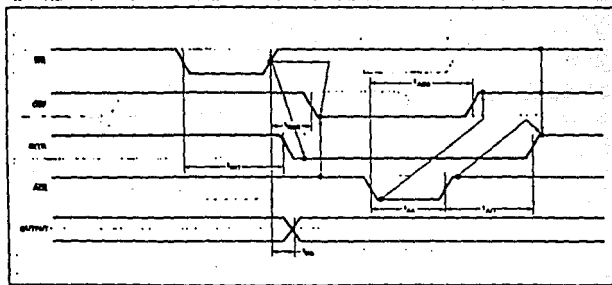


Figure 11. Mode 1 (Strobed Output)

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

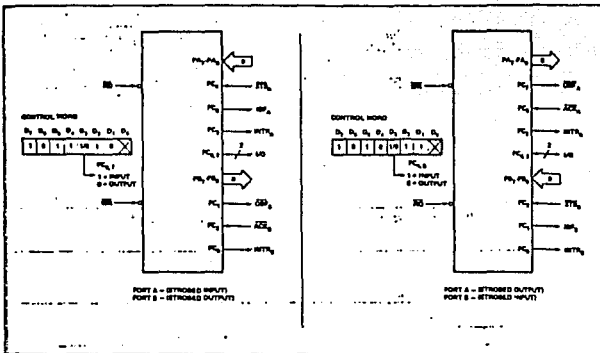


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

OB \bar{F} (Output Buffer Full). The OB \bar{F} output will go "low" to indicate that the CPU has written data out to port A.

ACK (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OB \bar{F}). Controlled by bit 4/reset of PC $_4$.

Input Operations

ST \bar{B} (Strobe Input)

ST \bar{B} (Strobe Input). A "low" on this input loads data into the input latch.

IB \bar{F} (Input Buffer Full/FIF). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IB \bar{F}). Controlled by bit 4/reset of PC $_4$.

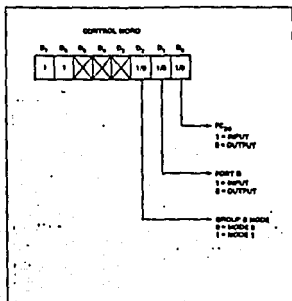


Figure 13. MODE Control Word

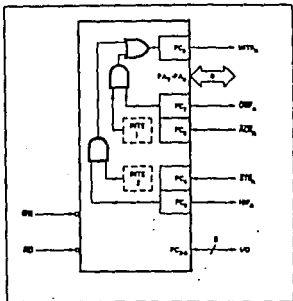


Figure 14. MODE 2

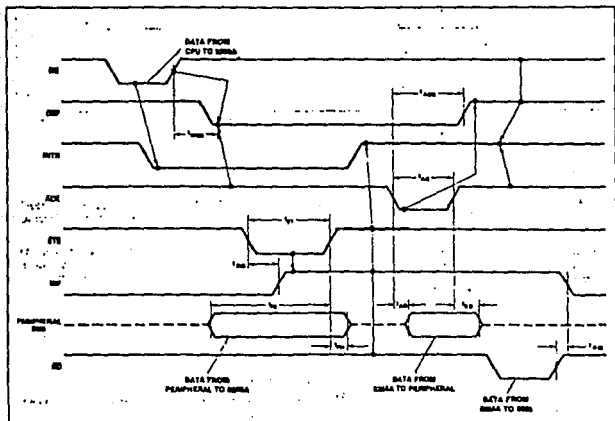


Figure 15. MODE 2 (Bidirectional)

NOTE: Any requests where WR occurs before ACR and STB occurs before RD is permissible.
(INTR = ISP • MAXR • STB • RD • OBF • MAXR • ACR • WR)

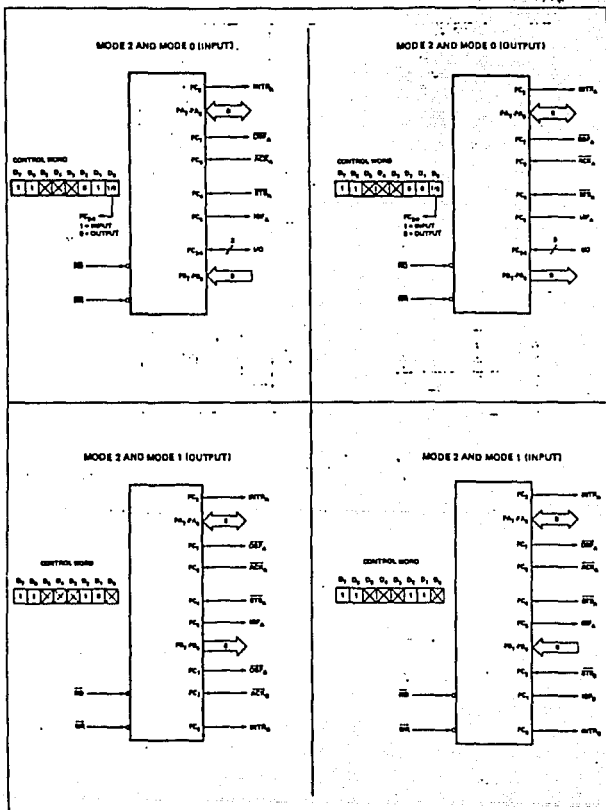


Figure 18. MODE ¼ Combinations

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA ₀	IN	OUT	IN	OUT	↔	
PA ₁	IN	OUT	IN	OUT	↔	
PA ₂	IN	OUT	IN	OUT	↔	
PA ₃	IN	OUT	IN	OUT	↔	
PA ₄	IN	OUT	IN	OUT	↔	
PA ₅	IN	OUT	IN	OUT	↔	
PA ₆	IN	OUT	IN	OUT	↔	
PA ₇	IN	OUT	IN	OUT	↔	
PB ₀	IN	OUT	IN	OUT	—	
PB ₁	IN	OUT	IN	OUT	—	
PB ₂	IN	OUT	IN	OUT	—	
PB ₃	IN	OUT	IN	OUT	—	
PB ₄	IN	OUT	IN	OUT	—	
PB ₅	IN	OUT	IN	OUT	—	
PB ₆	IN	OUT	IN	OUT	—	
PB ₇	IN	OUT	IN	OUT	—	
PC ₀	IN	OUT	INTR _B	INTR _B	I/O	
PC ₁	IN	OUT	IBF _B	OBF _B	I/O	
PC ₂	IN	OUT	STB _B	ACK _B	I/O	
PC ₃	IN	OUT	INTR _A	INTR _A	INTR _A	
PC ₄	IN	OUT	STB _A	I/O	STB _A	
PC ₅	IN	OUT	IBF _A	I/O	IBF _A	
PC ₆	IN	OUT	I/O	ACK _A	ACK _A	
PC ₇	IN	OUT	I/O	OBF _A	OBF _A	

MODE 0
OR MODE 1
ONLY

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —

Bits in C upper (PC₇-PC₄) must be individually accessed using the bit set/reset function.

Bits in C lower (PC₃-PC₀) can be accessed using the bit set/reset function or accessed as a threshold by writing into Port C.

Source Current Capability on Port B and Port C

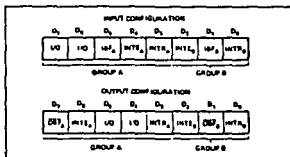
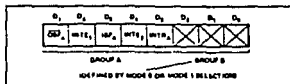
Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.


Figure 17. MODE 1 Status Word Format

Figure 18. MODE 2 Status Word Format

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

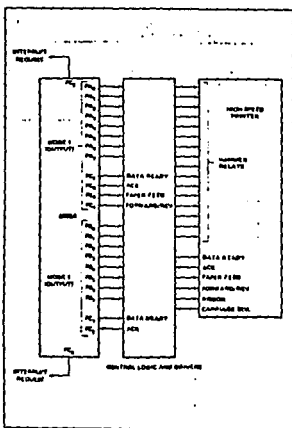


Figure 19. Printer Interface

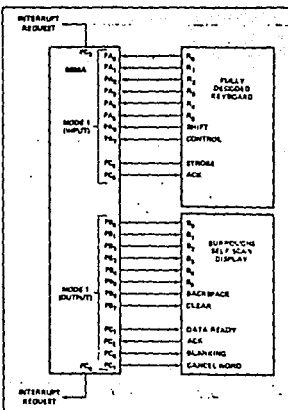


Figure 20. Keyboard and Display Interface

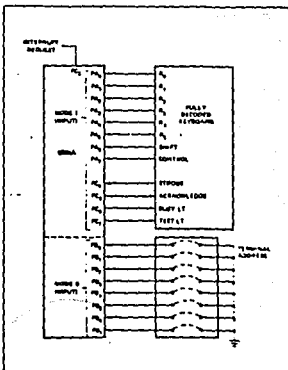


Figure 21. Keyboard and Terminal Address Interface

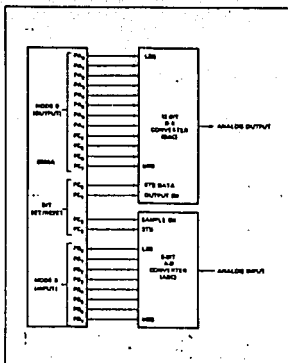


Figure 22. Digital to Analog, Analog to Digital

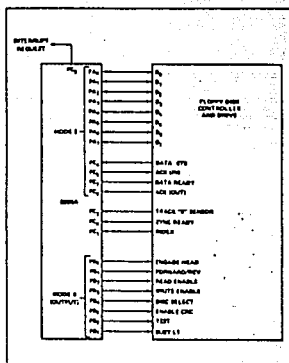


Figure 23. Basic CRT Controller Interface

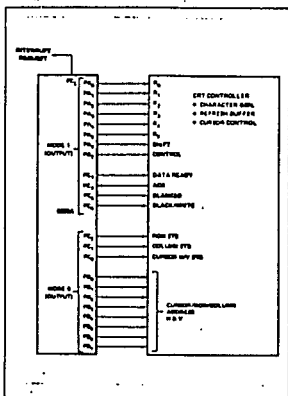


Figure 24. Basic Floppy Disc Interface

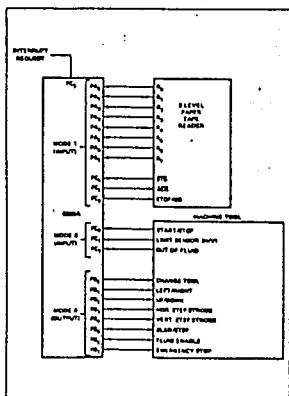


Figure 25. Machine Tool Controller Interface

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	-85°C to +150°C
Voltage on Any Pin	
With Respect to Ground	-0.5V to +7V
Power Dissipation	1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = +5V \pm 5\%$, $GND = 0V$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)	0.45	V	V	$I_{OL} = 2.5\text{mA}$
V_{OL} (PER)	Output Low Voltage (Peripheral Port)	0.45	V	V	$I_{OL} = 1.7\text{mA}$
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4	V	V	$I_{OH} = -40\mu\text{A}$
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4	V	V	$I_{OH} = -20\mu\text{A}$
$I_{DAR}^{(1)}$	Darlington Drive Current	-1.0	-4.0	mA	$R_{EXT} = 750\Omega$; $V_{EXT} = 1.5V$
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		± 10	μA	$V_{IN} = V_{CC}$ to 0V
I_{OFL}	Output Float Leakage		± 10	μA	$V_{OUT} = V_{CC}$ to 0V

NOTE:

1. Available on any 8 pins from Port B and C.

CAPACITANCE ($T_A = 25^\circ\text{C}$, $V_{CC} = GND = 0V$)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	$f_c = 1\text{MHz}$
C_{IO}	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = +5V \pm 5\%$, $GND = 0V$)

Bus Parameters
READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{AA}	Address Stable After READ	0		0		ns
t_{WR}	READ Pulse Width	300		300		ns
t_{VD}	Data Valid From READ ⁽¹⁾		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{AV}	Time Between READs and/or WRITEs	850		850		ns

A.C. CHARACTERISTICS (Continued)
WRITE

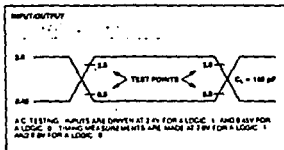
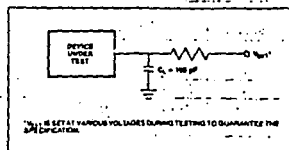
Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{WV}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

OTHER TIMINGS

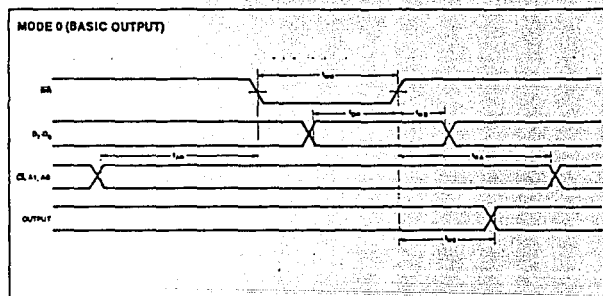
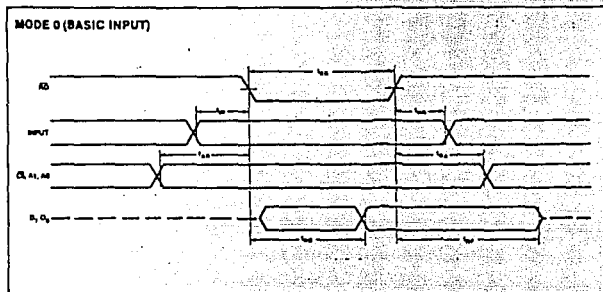
Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output ¹⁾		350		350	ns
t_{PR}	Peripheral Data Before RD	0		0		ns
t_{PA}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output ¹⁾		300		300	ns
t_{OD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0 ¹⁾		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1 ¹⁾		350		350	ns
t_{SIB}	STB = 0 to IBF = 1 ¹⁾		300		300	ns
t_{RIB}	RD = 1 to IBF = 0 ¹⁾		300		300	ns
t_{RIT}	RD = 0 to INTR = 0 ¹⁾		400		400	ns
t_{SIT}	STB = 1 to INTR = 1 ¹⁾		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1 ¹⁾		350		350	ns
t_{WIT}	WR = 0 to INTR = 0 ^{1,2)}		450		450	ns

NOTES:

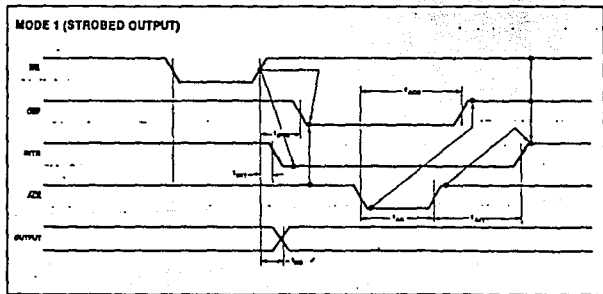
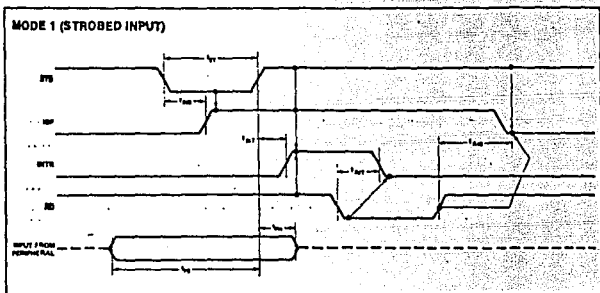
- Test Conditions: 8255A: $C_L = 100pF$; 8255A-5: $C_L = 150pF$.
- Period of Reset pulse must be at least 50 μs during or after power on. Subsequent Reset pulse can be 500 ns min.
- INTR¹⁾ may occur as early as WR¹⁾.

A.C. TESTING INPUT, OUTPUT WAVEFORM

A.C. TESTING LOAD CIRCUIT


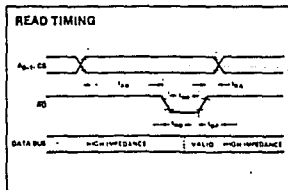
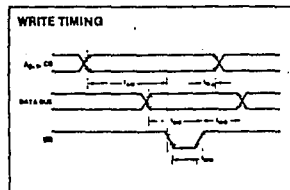
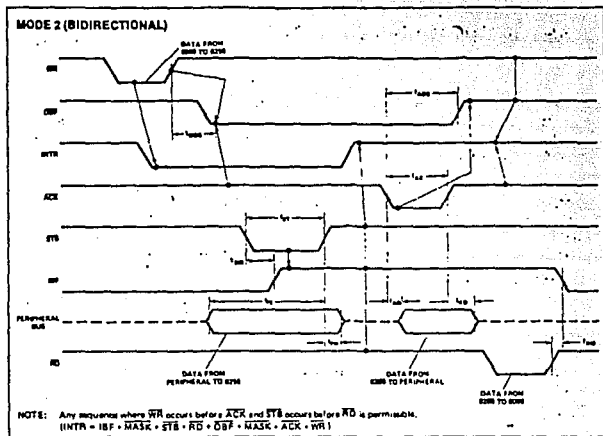
WAVEFORMS



WAVEFORMS (Continued)



WAVEFORMS (Continued)



**ADC0808, ADC0809 8-Bit μ P Compatible A/D Converters
With 8-Channel Multiplexer**
General Description

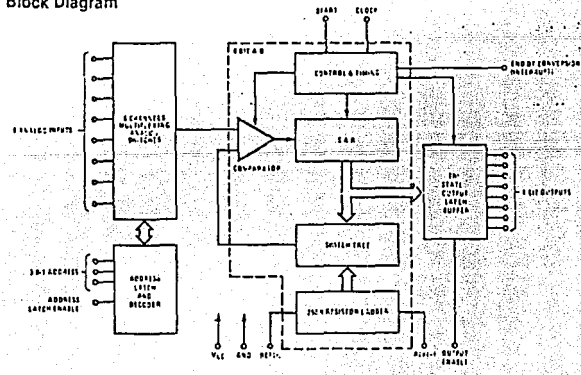
The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8 bit analog-to-digital converter, 8 channel multiplexer and microprocessor compatible control logic. The 8 bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8 single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI STATE™ outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (amplitude only) see ADC0819 data sheet.

Features

- Resolution — 8 bits
- Total unadjusted error — $\pm 1/2$ LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μ s
- Single supply — 5 V_{CC}
- Operates ratiometrically or with \pm V_{OC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T₂ voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range — 40°C to +85°C or -55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI STATE™ output

Block Diagram


Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V _{CC}) (Note 3)	8.5V
Input Voltage of Any Pin	-0.5V to (V _{CC} + 0.5V)
Excess Control Inputs	-0.5V to +15V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at T _A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	T _{MIN} ≤ T _A ≤ T _{MAX} -55°C to +125°C
ADC0808CJ, ADC0808CCJ, ADC0808CCN	-40°C ≤ T _A ≤ +85°C 4.5V ≤ V _{CC} ≤ 5.5V
Range of V _{CC} (Note 1)	

Electrical Characteristics

Converter Specifications: V_{CC} = 5V, V_{OC} = V_{REF(+)} - V_{REF(-)} = GND, T_{MIN} ≤ T_A ≤ T_{MAX} and f_{CLK} = 640 kHz unless otherwise stated.

Parameter	Conditions	Min	Typ	Max	Unit
ADC0808 Total Unadjusted Error (Note 5)	25°C			± 1/2	L31
	T _{MIN} to T _{MAX}			± 3/4	L33
ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C			± 1	L56
	T _{MIN} to T _{MAX}			± 1 1/4	L58
Input Resistance	From Ref(-) to Ref(+)	1.0	2.5		kΩ
Analog Input Voltage Range	(Note 4) V _{I(+)} or V _{I(-)}	GND-0.10		V _{CC} + 0.10	V _{CC}
V _{REF(+)} Voltage, Top of Ladder	Measured at Ref(+)		V _{CC}	V _{CC} + 0.1	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$ Voltage, Center of Ladder		V _{CC} /2 - 0.1	V _{CC} /2	V _{CC} /2 + 0.1	V
V _{REF(-)} Voltage, Bottom of Ladder	Measured at Ref(-)	-0.1	0		V
Comparator Input Current	I _C = 640 kHz, (Note 6)	-2	± 0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, -55°C ≤ T_A ≤ +125°C unless otherwise noted. ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75V ≤ V_{CC} ≤ 5.25V, -40°C ≤ T_A ≤ +65°C unless otherwise noted.

Parameter	Conditions	Min	Typ	Max	Unit
ANALOG MULTIPLEXER					
I _{OFF(+)}	OFF Channel Leakage Current V _{CC} = 5V, V _{IN} = 5V, T _A = 25°C T _{MIN} to T _{MAX}		10	200 1.0	nA μA
I _{OFF(-)}	OFF Channel Leakage Current V _{CC} = 5V, V _{IN} = 0, T _A = 25°C T _{MIN} to T _{MAX}	-200 -1.0	-10		nA μA
CONTROL INPUTS					
V _{IN(1)}	Logical "1" Input Voltage		V _{CC} - 1.5		V
V _{IN(0)}	Logical "0" Input Voltage			1.5	V
I _{IN(1)}	Logical "1" Input Current (The Control Inputs)	V _{IN} = 15V		1.0	μA
I _{IN(0)}	Logical "0" Input Current (The Control Inputs)	V _{IN} = 0	-1.0		μA
I _{CC}	Supply Current	f _{CLK} = 640 kHz	0.3	2.0	mA

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ 4.5V \leq V_{CC} \leq 5.5V, -55°C \leq T_A \leq +125°C unless otherwise noted.
 ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75V \leq V_{CC} \leq 5.25V, -40°C \leq T_A \leq +85°C unless otherwise noted.

Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)					
V _{OH1}	Logical "1" Output Voltage	I _O = -360 μ A	V _{CC} -0.4		V
V _{OL0}	Logical "0" Output Voltage	I _O = 1.6 mA		0.45	V
V _{OL3}	Logical "0" Output Voltage EOC	I _O = 1.2 mA		0.45	V
I _{OL1}	TRI-STATE Output Current	V _O = 5V V _O = 0	-3	3	mA

Electrical Characteristics

Timing Specifications: V_{CC} = V_{REF(+) = 5V, V_{REF(-) = GND, t_r = t_f = 20 ns and T_A = 25°C unless otherwise noted.}}

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{W1}	Minimum Start Pulse Width	(Figure 5)		100	200	ns
t _{WALZ}	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
t _A	Minimum Address Set-Up Time	(Figure 5)	25	50	ns	
t _H	Minimum Address Hold Time	(Figure 5)	25	50	ns	
t _d	Analog MUX Delay Time From ALE	R _S = 0 Ω (Figure 5)		1	2.5	ns
t _{OL1} , t _{OL0}	OE Control to O Logic State	C _L = 50 pF, R _L = 10k (Figure 8)		125	250	ns
t _{OL0H}	OE Control to Hi-Z	C _L = 10 pF, R _L = 10k (Figure 8)		125	250	ns
t _c	Conversion Time	f _c = 640 kHz, (Figure 5) (Note 7)	90	100	116	ns
f _c	Clock Frequency		10	640	1280	kHz
t _{EOC}	EOC Delay Time	(Figure 5)	0		8 + 2 μ s	Clock Periods
C _{IN}	Input Capacitance	All Control Inputs		10	15	pF
C _{OUT}	TRI-STATE ¹ Output Capacitance	All TRI-STATE ¹ Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A Zener diode exists internally from V_{CC} to GND and has a typical breakdown voltage of 7 V_{CC}.

Note 4: Two 100 Ω diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The size of this 100 Ω resistor and bias of either diode. This means that as long as the analog V_A does not exceed the 1.2V drop voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0V_{CC} to 5V_{CC} input voltage range will therefore require a minimum 0.2V drop by voltage of +300 V_{CC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full scale linearity, and multiplier errors. See Figure 3. None of these A/Ds requires a zero or full scale calibration, however if a zero code is desired for an analog input other than 0V_{CC}, or a narrow full scale span exists (for example 0.5 to 0.5V full scale), the ratio and range can be adjusted to achieve this. See Figure 12.

Note 6: Comparator input currents are bias currents injected out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has a temperature dependence of μ A/p.p.m. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Functional Description

Multiplexer: The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table 1 shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE 1

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. Converter digital outputs are positive true.

The 256R ladder network (Figure 1) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed-loop feedback control systems. A non-monotonic relationship causes oscillations that will be catastrophic for a system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in Figure 1 are not the same value as the remainder of the network. The difference in resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached $+1/2$ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs iterations to approximate the input voltage. For an n -bit converter, n iterations are required for an n -bit converter. Figure 2 shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R net-

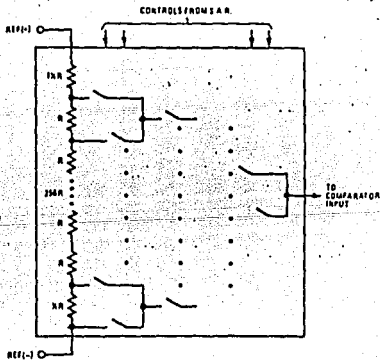


FIGURE 1. Resistor Ladder and Switch Tree

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. This conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the

comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

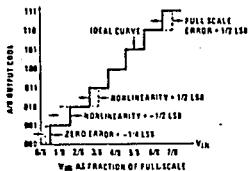


FIGURE 2. 3-Bit A/D Transfer Curve

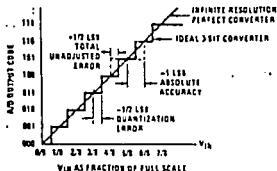


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

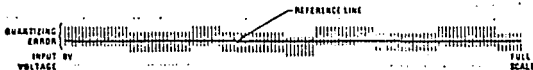
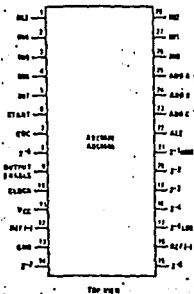


FIGURE 4. Typical Error Curve

Connection Diagram

Dual-In-Line Package



Timing Diagram

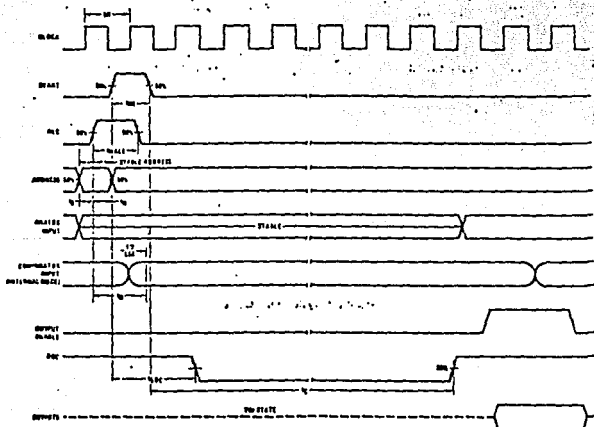


FIGURE 5

Typical Performance Characteristics

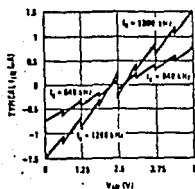


FIGURE 6. Comparator I_{OH} vs V_{OH}
($V_{CC} = V_{REF} = 5V$)

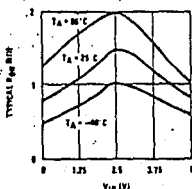
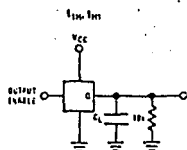
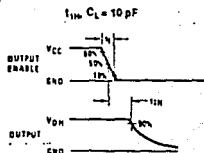


FIGURE 7. Multiplexer R_{OH} vs V_{OH}
($V_{CC} = V_{REF} = 5V$)

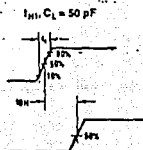
TRI-STATE[®] Test Circuits and Timing Diagrams



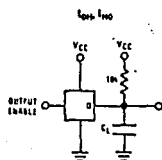
$t_{10L-t_{10H}}$



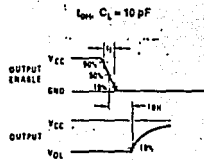
$t_{10L-t_{10H}}$, $C_L = 10 \text{ pF}$



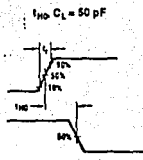
$t_{10L-t_{10H}}$, $C_L = 50 \text{ pF}$



$t_{0H-t_{0L}}$



$t_{0H-t_{0L}}$, $C_L = 10 \text{ pF}$



$t_{0H-t_{0L}}$, $C_L = 50 \text{ pF}$

FIGURE 8

Applications Information

OPERATION

1.0 Ratiometric Conversion

The ADC0606, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full scale which is not necessarily related to an absolute standard. The voltage input to the ADC0606 is expressed by the equation:

$$\frac{V_{IN} - V_Z}{D_{MAX} - D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0809

V_Z = Full-scale voltage

V_Z = Zc70 voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0606, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, (Figure 9).

Ratiometric transducers such as potentiometers, gauges, thermistor bridges, pressure transducers, etc. are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. To means a system reference must be used which is the full-scale voltage to the standard volt. For example, $V_{CC} = V_{REF} = 5.12V$, then the full scale range is divided to 256 standard steps. The smallest standard step is 1LSB which is then 20 mV.

2.0 Resistor Ladder Limitations

The voltages from the resistor ladder are compared to a selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(-), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

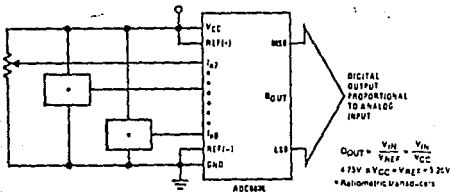


FIGURE 9. Ratiometric Conversion System

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current to operate; the supply from the reference is readily accomplished. In Figure 10 a ground referenced system is shown which generates the supply from the reference. The op amp shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in Figure 12. The LM301 is overcompensated to insure stability when loaded by the 10 μ F output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 12, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

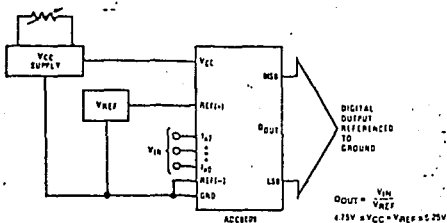


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

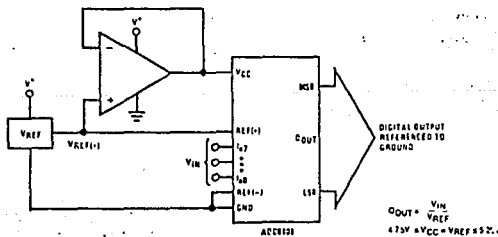


FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

Applications Information (Continued)

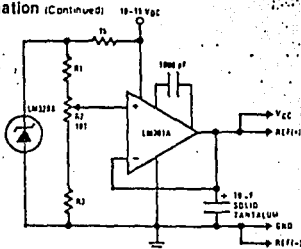


FIGURE 12. Typical Reference and Supply Circuit

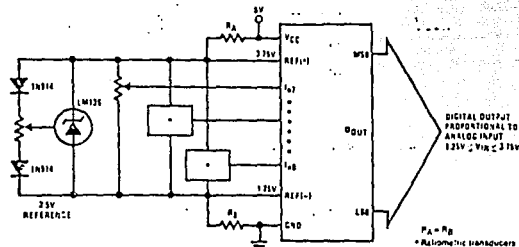


FIGURE 13. Symmetrically Centered Reference

3.0 Converter Equations

The transition between adjacent codes N and $N+1$ is given by:

$$V_{IN} = \left[(V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUT} \right] + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} = \left[(V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUT} \right] + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input
 $V_{REF(+)}$ = Voltage at Ref(+)
 $V_{REF(-)}$ = Voltage at Ref(-)
 V_{TUT} = Total unadjusted error voltage (typically $V_{REF(+)} - 512$)

4.0 Analog Comparator Inputs

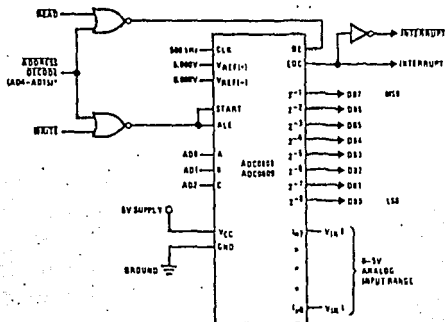
The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the on-chip analog-to-digital converter.

The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in Figure 6.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is latched.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effects can be predicted conventionally.

Typical Application



* Address latches needed for 8085 and 8086 interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (THRU RST CIRCUIT)
8085	RD	WR	INTR (THRU RST CIRCUIT)
Z-80	RS	WR	INT (THRU RST CIRCUIT, MODE B)
8086	NRDS	NRDS	SA (THRU SENSE A)
8088	VMA = 2 RW	VMA = 2 RW	INTA or TRQB (THRU PIA)

Ordering Information

TEMPERATURE RANGE		-40°C to +85°C		-55°C to +125°C
Error	± 1/2 Bit Unadjusted	ADC0808CCN	ADC0802CCJ	ADC0802CJ
	± 1 Bit Unadjusted	ADC2809CCN		
Package Outline		N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic D.P

COMPUTER AND TERMINAL INTERFACE

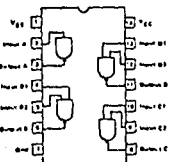
LINE DRIVERS AND RECEIVERS for Modem/Terminal Applications

Voltage Mode

RS-232C SPECIFICATION

DRIVER

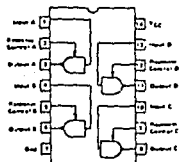
MC1488 - Quad, output current limiting



All devices
 $T_A = 0$ to 70°C
Package:
L Suffix - Case 832

RECEIVERS

MC1489 - Quad, 0.25 V input hysteresis
MC1489A - Quad, 1.1 V input hysteresis

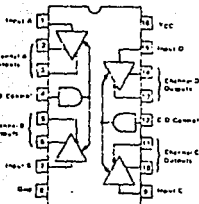


$V_{CC}/V_{EE} = 1.80\text{V}$ Volts Min	V_{OL} $V_{CC}/V_{EE} = 1.80\text{V}$ Volts Max	I_{OS} mA	I_{PHL} $C_L = 15\text{ pF}$ ns Max	Device Number	Input V_{IHL} Volts	Input V_{IHM} Volts	I_{PHL} $R_L = 390\ \Omega$ ns Max
0.0	0.0	> C.D. to 12	123	MC1489	1.0 to 1.3	0.75 to 1.25	80
				MC1489A	1.75 to 2.25	0.75 to 1.25	80

RS-422/423 SPECIFICATION

DRIVER

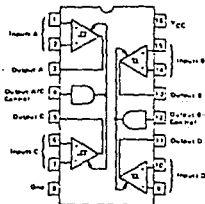
MC3437 - Quad, three state outputs.



All devices
 $T_A = 0$ to 70°C
Package:
L Suffix - Case 620
P Suffix - Case 648

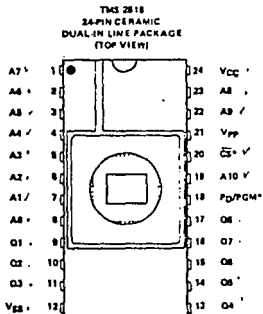
RECEIVER

MC3486 - Quad, three state output, end input hysteresis.



V_{OH} $I_{OH} = 50\text{ mA}$ Volts Min	V_{OL} $I_{OL} = 48\text{ mA}$ Volts Max	$V_{ODD}(\text{Maximum})$ $R_L = 100\ \Omega$ Volts Min	I_{PLH}/I_{PLL} mA Typ	V_{THD} $V_{ICM} = 1.0\text{V}$ Volts Max	I_{ID} $V_{ID} = 1.0\text{V}$ $V_{CC} = 0$ to 5.25V mA Max	I_{PHL}/I_{PLL} mA Typ	$I_{ICM}(\text{Control})$ mA Typ
2.0	0.8	2.0	18	1.0	1.25	20/25	25

- Organization:
 - TMS 2516 ... 2K X 8
 - TMS 2532 ... 4K X 8
- Single +5 V Power Supply
- Pin Compatible with Existing ROMs and EPROMs (8 K, 16 K, 32 K, and 64 K)
- JEDEC Standard Pinouts
- All Inputs/Outputs Fully TTL Compatible
- Static Operation (No Clocks, No Refresh)
- Max Access/Min Cycle Time ... 450 ns
- 8-Bit Output for Use in Microprocessor-Based Systems
- N-Channel Silicon-Gate Technology
- 3-State Output Buffers
- Low Power
 - Active:
 - TMS 2516 ... 285 mW Typical
 - TMS 2532 ... 400 mW Typical
 - Standby ... 50 mW Typical
- Guaranteed dc Noise Immunity with Standard TTL Loads
- No Pull-Up Resistors Required



*FOR TMS 2532:
PIN 18 ... A11
PIN 20 ... PD/PGM

PIN NOMENCLATURE	
A(N)	Address Input
CS	Chip Select
PD/PGM, PD/FGM	Power Down/Program
Q(N)	Output
VCC	+5 V Power Supply
Vpp	+25 V Power Supply
VSS	0 V Ground

description

The TMS 2516 JL and TMS 2532 JL are 16,384 bit and 32,768 bit, ultraviolet light erasable, electrically programmable read-only memories. These devices are fabricated using N-channel silicon-gate technology for high speed and simple interfaces with MOS and Bipolar circuits. All inputs (including program data inputs) can be driven by Series 74 TTL circuits without the use of external pull-up resistors, and each output can drive one Series 74 TTL circuit without external resistors. The data outputs are three-state for OR'ing multiple devices on a common bus. The TMS 2516 is upward pin-compatible with the TMS 2532 and the TMS 2532 is plug-in compatible with the TMS 4732 32K ROM.

Since these EPROMs operate from a single +5 V supply (in the read mode), they are ideal for use in microprocessor systems. One other (+25 V) supply is needed for programming but all programming signals are TTL level, requiring a single 50 ns pulse. For programming outside of the system, existing EPROM programmers can be used. Locations may be programmed singly, in blocks, or at random. Total programming time for all bits for the TMS 2516 is 100 seconds, 200 seconds for the TMS 2532.

TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

operation

DEVICE				MODE								
FUNCTION (PINS)		Read		Output Disable		Power Down		Start Programming		Inhibit Programming		Program Verification
TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516
PD/PGM (17)	PD/PGM (20)	V _{IL}	V _{IL}	Don't Care	V _{IH}	V _{IH}	V _{IH}	Pulsed V _{IL} to V _{IH}	Pulsed V _{IH} to V _{IL}	V _{IL}	V _{IH}	V _{IL}
CS (20)	Use PD/PGM as chip select	V _{IL}	N/A	V _{IH}	N/A	Don't Care	N/A	V _{IH}	N/A	V _{IH}	N/A	V _{IL}
V _{pp} (21)	V _{pp} (21)	+5	+5	+5	+5	+5	+5	+25	+25	+25	+25	+25 (or +5)
V _{CC} (24)	V _{CC} (24)	+5	+5	+5	+5	+5	+5	+5	+5	+5	+5	+5
Q (9 to 11, 13 to 17)	Q (9 to 11, 13 to 17)	Q	Q	HI-Z	HI-Z	HI-Z	HI-Z	0	0	HI-Z	HI-Z	0

read/output disable

When the outputs of two or more TMS 2516's and/or TMS 2532's are commoned on the same bus, the output of any particular device in the circuit can be read with no interference from the competing outputs of the other devices. If the device whose output is to be read is a TMS 2516, it should have a low level TTL signal applied to the CS and PD/PGM pins. If it is a TMS 2532, the low level signal is applied to the PD/PGM pin. All other devices in the circuit should have their outputs disabled by applying a high level signal to these same pins. (PD/PGM on the TMS 2516, can be left low, but it may be advantageous to power down the device during output disable.) Output data is accessed at pins Q1 to Q8. Data can be accessed in 450 ns = $t_{a}(A)$. (On the TMS 2516 access time from CS is 150 ns = $t_{a}(CS)$, once the addresses are stable.)

power down

Active power dissipation can be cut by 80% by applying a high TTL signal to the PD/PGM (PD/PGM for the TMS 2532) pin. In this mode all outputs are in a high impedance state.

erase

Before programming, the TMS 2516 or TMS 2532 is erased by exposing the chip through the transparent lid to high intensity ultraviolet light (wavelength 2537 angstroms). The recommended minimum exposure dose ($I \times UV \text{ intensity} \times X \text{ exposure time}$) is fifteen watt seconds per square centimeter. Thus, a typical 12 milliwatt per square centimeter, filterless UV lamp will erase the device in a minimum of 21 minutes. The lamp should be located about 2.5 centimeters above the chip during erase. After erase, all bits are in the "1" state.

start programming

After erase (all bits in logic "1" state), logic "0's" are programmed into the desired locations. A "0" can be erased only by ultraviolet light. The programming mode is achieved when V_{pp} is 25 V and CS (for TMS 2516 only) is at V_{IH}. Data is presented in parallel (8 bits) on pins Q1 to Q8. Once addresses and data are stable, a 50 millisecond high TTL pulse (low for the TMS 2532) should be applied to the PGM pin at each address location to be programmed. Maximum pulse width is 55 milliseconds. Locations can be programmed in any order. More than one TMS 2516 or TMS 2532 can be programmed when the devices are connected in parallel.

TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

Inhibit programming

When two or more devices (either TMS 2516 or TMS 2532, or a combination of both) are connected in parallel, data can be programmed into all devices or only chosen devices. TMS 2516's not intended to be programmed (i.e., inhibited) should have a low level applied to the PD.PGM pin and a high level applied to the CS pin. TMS 2532's not intended to be programmed should have a high level applied to PD.PGM.

Program verification

A verify is done to see if the device was programmed correctly. A verify can be done at any time. It can be done on each location immediately after that location is programmed. To do a verify on the TMS 2516 Vpp may be kept at +25 V. (Verify on the TMS 2532 is the read operation.)

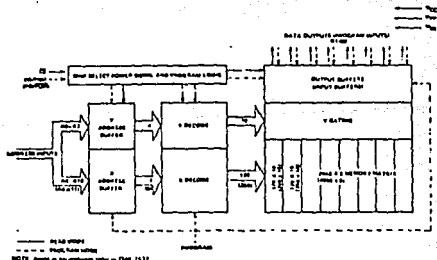
absolute maximum ratings over operating free-air temperature range (unless otherwise noted)*

Supply voltage, VCC (see Note 1)	-0.3 to 6 V
Supply voltage, Vpp (see Note 1)	-0.3 to 28 V
All input voltages (see Note 1)	-0.3 to 6 V
Output voltage (operating with respect to Vss)	-0.3 to 6 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	-55°C to 125°C

NOTE 1: Under absolute maximum ratings, voltage values are with respect to the most negative supply voltage, Vss (substrate).

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute maximum rated conditions for extended periods may affect device reliability.

functional block diagram



TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

Inhibit programming

When two or more devices (either TMS 2516 or TMS 2532, or a combination of both) are connected in parallel, data can be programmed into all devices or only chosen devices. TMS 2516's not intended to be programmed (i.e., inhibited) should have a low level applied to the PD:PGM pin and a high-level applied to the CS pin. TMS 2532's not intended to be programmed should have a high level applied to PD:PGM.

program verification

A verify is done to see if the device was programmed correctly. A verify can be done at any time. It can be done on each location immediately after that location is programmed. To do a verify on the TMS 2516 Vpp may be kept at +25 V. (Verify on the TMS 2532 is the read operation.)

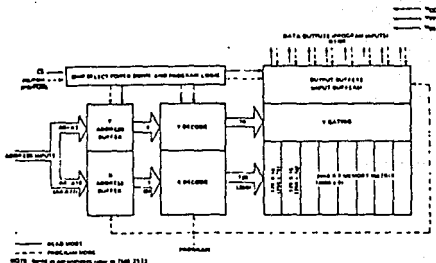
absolute maximum ratings over operating free-air temperature range (unless otherwise noted)*

Supply voltage, VCC (see Note 1)	-0.3 to 6 V
Supply voltage, Vpp (see Note 1)	-0.3 to 28 V
All input voltages (see Note 1)	-0.3 to 6 V
Output voltage (operating with respect to VSS)	-0.3 to 6 V
Operating free-air temperature	0°C to 75°C
Storage temperature range	-55°C to 125°C

NOTE 1: Under absolute maximum ratings, voltage values are with respect to the most negative supply voltage, VSS (substrate).

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute maximum-rated conditions for extended periods may affect device reliability.

functional block diagram



TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMS

recommended operating conditions

PARAMETER	TMS 2516			TMS 2532			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC} (see Note 2)	4.75	5	5.25	4.75	5	5.25	V
Supply voltage, V_{PP} (see Note 2)	$V_{CC}-0.6$	V_{CC}	$V_{CC}+0.6$	$V_{CC}-0.8$	V_{CC}	$V_{CC}+0.8$	V
Supply voltage, V_{SS}	0			0			V
High-level input voltage, V_{IH}	2.0			$V_{CC}-1$			V
Low-level input voltage, V_{IL}	-0.1			0.8			V
Read cycle time, t_{RD}	450			450			ns
Operating free air temperature, T_A	0			70			$^{\circ}$ C

- NOTES: 2. V_{CC} must be applied before or at the same time as V_{PP} and removed after or at the same time as V_{PP} . The device must not be inserted into or removed from the board when V_{PP} is applied so that the device is not damaged.
3. V_{PP} can be connected to V_{CC} directly (except in the program mode). V_{CC} supply current in this case would be $I_{CC} + I_{PP}$. Total amount of ± 8 volts applied to V_{PP} pin to be switched from V_{CC} (read) to 25 volts (programming) using a diode circuit. During programming, V_{PP} must be maintained at 25V ($\pm 1V$).

electrical characteristics over full ranges of recommended operating conditions

PARAMETER	TEST CONDITIONS	TMS 2516		TMS 2532		UNIT
		MIN	TYP ¹ MAX	MIN	TYP ¹ MAX	
V_{OH} High-level output voltage	$I_{OH} = -400 \mu A$	2.4		2.4		V
V_{OL} Low-level output voltage	$I_{OL} = 2.1 mA$	0.45		0.45		V
I_I Input current (leakage)	$V_I = 5.25V$	10		10		μA
I_O Output current (leakage)	$V_O = 5.25V$	10		10		μA
I_{PP1} V_{PP} supply current	TMS 2516	$V_{PP} = 5.85V, PD_PGM = V_{IL}$		8		12 mA
	TMS 2532	$V_{PP} = 5.85V, PD_PGM = V_{IL}$		8		
I_{PP2} V_{PP} supply current (during program burn)	TMS 2516	$PD_PGM = V_{IH}$		30		30 mA
	TMS 2532	$PD_PGM = V_{IH}$		30		
I_{CC1} V_{CC} supply current (standby)	TMS 2516	$PD_PGM = V_{IH}$		10		25 mA
	TMS 2532	$PD_PGM = V_{IH}$		10		
I_{CC2} V_{CC} supply current (active)	TMS 2516	$CS = PD_PGM = V_{IL}$		57		100 mA
	TMS 2532	$PD_PGM = V_{IL}$		80		

¹Typical values are at $T_A = 25^{\circ}$ C and nominal voltages.

capacitance over recommended supply voltage and operating free-air temperature range $f = 1$ MHz

PARAMETER	TEST CONDITIONS	TYP ¹	MAX	UNIT
C_i Input capacitance	$V_I = 0V, f = 1$ MHz	4	8	pF
C_o Output capacitance	$V_O = 0V, f = 1$ MHz	8	12	pF

¹All typical values are $T_A = 25^{\circ}$ C and nominal voltage.

TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

switching characteristics over full ranges of recommended operating conditions, (unless otherwise noted)

PARAMETER	TEST CONDITIONS (SEE NOTES 4 AND 5)	MIN	TYP ¹	MAX	UNIT	
$t_{1(A)}$ Access time from address	$C_L = 100$ pF, 1 Series 74 TTL load, $t_r < 20$ ns, $t_f < 20$ ns		280	450	ns	
$t_{1(2S)}$ Access time from chip select (TMS 2516 only)				120	ns	
$t_{1(PR)}$ Access time from PD.PGM (PD.PGM for TMS 2532)				280	450	ns
$t_{P(X)}$ Output not valid from address change			0		ns	
$t_{P(Z)}$ Output disable time from chip deselect during read only			0	100	ns	
$t_{P(Z)}$ Output disable time from chip deselect during program and program verify					120	ns
$t_{P(Z)}$ Output disable time from PD.PGM (PD.PGM for TMS 2532) during standby		0	100	ns		

¹All typical values are at $T_A = 25^\circ\text{C}$ and nominal voltages.

recommended timing requirements for programming $T_A = 25^\circ\text{C}$ (see Note 4)

PARAMETER	MIN	TYP ¹	MAX	UNIT
$t_{w(PR)}$ Pulse width, program pulse	45	50	55	ns
$t_{r(PR)}$ Rise time, program pulse	5			ns
$t_{f(PR)}$ Fall time, program pulse	5			ns
$t_{su(A)}$ Address setup time	2			ns
$t_{su(CS)}$ Chip select setup time	2			ns
$t_{su(D)}$ Data setup time	2			ns
$t_{su(Vpp)}$ Setup time from V_{pp}	0			ns
$t_{h(A)}$ Address hold time	2			ns
$t_{h(CS)}$ Chip select hold time (TMS 2516 only)	2			ns
$t_{h(D)}$ Data hold time	2			ns
$t_{h(PR)}$ Program pulse hold time (TMS 2532 only)	0			ns
$t_{h(Vpp)}$ V_{pp} hold time (TMS 2532 only)	0			ns

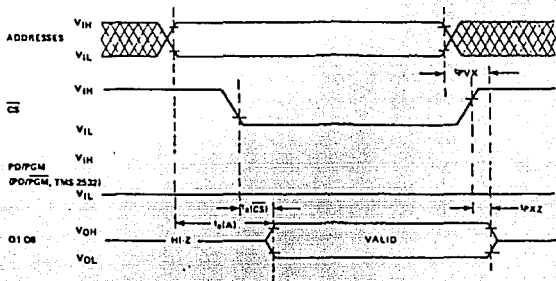
¹Typical values are at nominal voltages.

NOTES: 4 For all switching characteristics and timing measurements, input pulse levels are 0.65 V to 2.2 V and $V_{pp} = 25$ V \pm 1 V during programming.

5. Campaign test conditions apply for $t_{P(Z)}$ needed during programming. For $t_{1(A)}$, $t_{1(CS)}$, and $t_{P(Z)}$, $PD.PGM = \bar{CS} + V_{IL}$ for the TMS 2516 and $PD.PGM = V_{IL}$ for the TMS 2532.

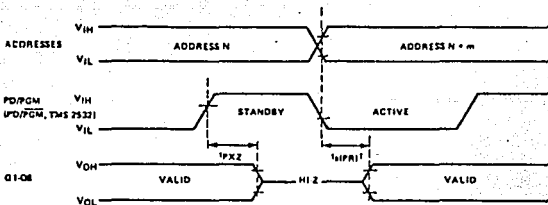
TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

read cycle timing



NOTE: There is no chip select pin on the TMS 2532.
The chip select function is incorporated in the power down mode.

standby mode

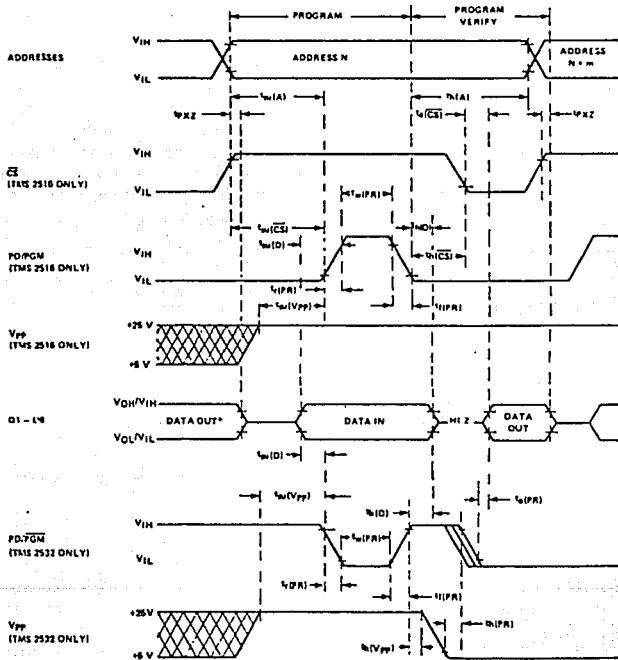


NOTE: \bar{CS} (TMS 2516) must be in low state during Active Mode. "Don't Care" otherwise.
 $t_1(PX)$ referenced to PD/PGM (PD/PGM for TMS 2532) or the address, whichever occurs last.

All timing reference points in this data sheet (inputs and outputs) are 90% points.

TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

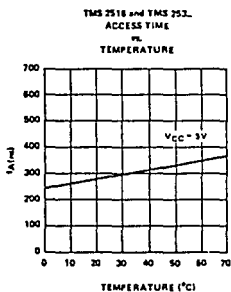
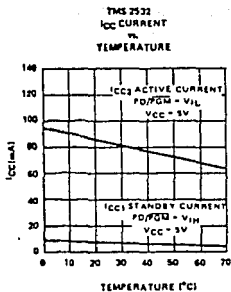
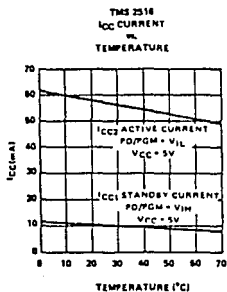
program cycle timing



NOTE: There is no chip select pin on the TMS 2532. Chip select is incorporated in the power down mode.
CS (TMS 2516) is in "don't care" state.
*MI-Z for the TMS 2532

TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

typical device characteristics (read mode)



A P E N D I C E D

Listados de los programas desarrollados.

INPUT FILENAME : PROGFIN.BAN
 OUTPUT FILENAME : PROGFIN.OBJ

```

1
2      04 00          SCANALES: EQU 04M          ;CONTADOR DE CANALES
3      2F 00          CANAL1: EQU 2FM         ;DIRECCION DE LOS CANALES
4      C1 0F          SWA: EQU 0FC1M          ;OFFSET
5      3F 10          NEMIMIC: EQU 103FM       ;DIRECCION DE PARTIDA.
6      C0 20          PRESLOC1: EQU 1000H      ;DIRECCION INICIAL DE
7      C1 2F          TEMLOC1: EQU 2FC1M       ;CADA BLOQUE DE DATOS.
8      02 3F          NIVELOC1: EQU 3F02M      ;
9      A3 AF          VELOC1: EQU 4FA3M        ;
10     02 5F          FINMEMO: EQU 5F02M       ;ULTIMA LOCALIDAD DE MEMORIA
11     04 5F          CONTADOR: EQU 5F04M      ;MEMORIA TEMPORAL PARA CONTADOR
12     00 5F          CANAL: EQU 5FC0M        ;MEMORIA TEMPORAL PARA CANAL
13     0C 5F          LOCAL1: EQU 5F0CM       ;MEMORIA TEMPORAL PARA APUNTADEG
14
15          ;PROGRAMA PRINCIPAL
16
17 0000          .ORG 0000H
18
19 0000 CD 02 00          INICIO: CALL CHECA          ;Comprueba sw de transmisi^n.
20 0003 CD 1F 01          CALL RELOJ          ;Comprueba sw del reloj.
21 0006 CD 0A 00          CALL CHEC          ;Comprueba sw de paro.
22 0009 3E 0A          LD A,0AH          ;Inicializa el 0255A en
23 000E 03 03          OUT (03),A          ;MODO 0,
24 000D CD A8 00          CALL LEER          ;Lee el tiempo de muestreo.
25 0010 CD 0A 00          CALL LIMPIA          ;Limpia la memoria RAM.
26 0013 CD 09 00          CALL ALMACE          ;Almacena la hora y fecha de inicio.
27 0016 21 3F 10          LD HL,NEMIMIC          ;Direcci^n de partida.
28 0019 22 0C 5F          LD (LOCAL1),HL          ;Almacena la direcci^n de inicio.
29 001C CD A6 00          INIC: CALL INICIA          ;Da las condiciones iniciales.
30 001F 06 0A          LD B,MCANALES          ;N^mero de canales de muestreo.
31 0021 CD 50 00          PRJM: CALL PRINCI          ;Inicia el muestreo de cada canal.
32 0024 CD 25 01          CALL CONVIERT          ;Convierte dato anal^gico a binario.
33 0027 CD 00 01          CALL BINCO          ;Convierte de binario a BCD.
34 002A 05          DEC B          ;Decrementa contador de canales.
35 002B C2 21 00          JP NZ,PRJM          ;Se terminaron los canales?
36 002E CD 5E 00          CALL VENO          ;Verifica si la memoria esta llena.
37 0031 3A 0A 5F          LD A,(CONTADOR)          ;Recupera el tiempo de muestreo.
38 0034 E7          LD M,A          ;Contador tiempo de muestreo.
39 0035 C3 3C 00          JP RETAR          ;Del modo 1 de interrupci^n.
40 0039 CD 37 01          CALL RETEGATO          ;
41 003E 09          SET          ;
42 0041 CD 6A 01          RETAR: CALL RETAR0          ;Retardo de un minuto.
43 0044 25          DEC M          ;Decrementa contador de muestreo.
44 0047 C2 17 00          JP MZ,RETAR          ;Fin del tiempo de muestreo.
45 004A C2 1C 00          ;A otro ciclo de muestreo.
46
47
48

```

49	0001	02 07	INICIA:	LD 0,(CANAL)	Recupera la primera direcci ^o n del ADC.
50	0002	08		LD A,C	;
51	0003	09 06 5F		LD (CANAL),A	Se almacena la direcci ^o n del ADC.
52	0004	0A 0C 5F		LD HL,(LOCALI)	Recupera la direcci ^o n de memoria.
53	0005	0B		RET	;
54					
55	0006	0A 0B 5F	PRINCI:	LD A,(CANAL)	Se carga la direcci ^o n del canal de ADC.
56	0007	0F		LD C,A	;
57	0008	11 01 0F		LD CE,SOMA	Carga el OFFSET para sumarlo con HL y tener la
58	0009	19		ADD HL,DE	direcci ^o n de memoria del bloque de la var.
59	000A	0C		INC C	Nueva direcci ^o n de muestreo.
60	000B	03		LD A,C	;
61	000C	02 0B 5F		LD (CANAL),A	Se almacena dir. del sig., canal.
62	000D	03		RET	;
63					
64	000E	0E 03	MEND:	LD A,CSH	Se chequea si se termino la memoria,
65	000F	00		CP I	cantidad SFSOM.
66	0010	02 0D 00		JP NZ,CONTI	;
67	0011	0E 5F		LD A,SFH	;
68	0012	0C		CP H	;
69	0013	02 0D 00		JP NZ,CONTI	;
70	0014	03 06 00		JP LLENA	;
71	0015	0A 0C 5F	CONTI:	LD HL,(LOCALI)	;
72	0016	03		INC HL	Se incrementa HL para el sig. bloque de
73	0017	23		INC HL	memoria.
74	0018	02 0C 5F		LD (LOCALI),HL	Se almacena el valor de HL en LOCALI.
75	0019	0B		RET	;
76					
77	001A	0E 0C	LLENA:	LD A,COM	Al llenarse la memoria el programa
78	001B	01 00		OUT (00H),A	entrara en una rutina de no hacer nada.
79	001C	0E FF	LLEN:	LD L,FFH	Indica no ha sido seleccionado
80	001D	0D 03 01		CALL PERDER	modo paro.
81	001E	03 0A 00		JP LLEN	;
82					
83	001F	0B 01	CHECA:	IN A,(01H)	Verifica al sw de transmissi ^o n.
84	0020	0B 07		BIT 4,A	Si est activado el sistema se
85	0021	0A 00 03		CALL NZ,TRANS	translada al programa de transmissi ^o n
86	0022	05		RET	de datos.
87					
88					
89	0023	0B 01	CHEC:	IN A,(01H)	Verifica el sw de paro, si est activado
90	0024	0E 5F		BIT 4,A	el programa se regresa al inicio y
91	0025	02 00 00		JP NZ,INICIO	se repite de nuevo el programa.
92	0026	0E 0D		LD A,DOH	;
93	0027	03		RET	;
94					
95	0028	01 0D 00	LIMPIA:	LD HL,PRESLOC	Limpia toda la capacidad de memoria
96	0029	0E 00	LIMP:	LD A,DOH	para que se utilizaran para almacenar
97	002A	07		LD (HL),A	los 16,13E datos.
98	002B	05		INC HL	Se carga A con 00 y se almacena en cada
99	002C	0E 03		LD A,DOH	localidad de memoria, empezando por la
100	002D	0D		CP I	capacidad 003H hasta la 5FC0H.
101	002E	02 07 00		JP NZ,IMP	;
102	002F	0E 5F		;	;
103	0030	0E 5F		;	;
104	0031	0C		CP H	;
105	0032	02 07 00		JP NZ,IMP	;
106	0033	0B		RET	;

```

106
107 00A0 0E 01      LEER:   IN A,(C1H)      ;Lee el puerto B del 6255A y
108 00A4 0E 47      BIT 0,A          ;comprueba que tiempo fue
109 00A8 03 0C 0D    JP NZ,CINCO     ;seleccionado por el operador.
110 00AF 0D 4F      BIT 1,A          ;
111 00B1 02 05 00    JP NZ,DIEZ     ;
112 00E4 0E 57      BIT 2,A          ;
113 00B6 02 0E 00    JP NZ,QUINCE   ;
114 00E3 03 A9 03    JP LEER         ;
115 00BC 1E 05      CINCO:  LD E,05H        ;El tiempo seleccionado es
116 00BE 3E 01      LD A,01H        ;almacenado en la memoria
117 00C0 03 02      OUT (02H),A     ;temporal CONTADOR.
118 00C2 03 04 00    JP TIEMPO      ;Se manda encender un indicador
119 00C5 1E 0A      DIEZ:  LD E,0AH        ;optico para que el operador
120 00C7 3E 02      LD A,02H        ;compruebe que el tiempo que
121 00C9 03 02      OUT (02H),A     ;seleccion es el que reconoció
122 00CE 03 04 30    JP TIEMPO      ;el sistema.
123 00D0 1E 0F      QUINCE: LD E,0FH        ;
124 00D2 3E 06      LD A,06H        ;
125 00D4 03 02      OUT (02H),A     ;
126 00D6 7E        TIEMPO: LD A,E          ;
127 00D8 32 04 5F    LD (CONTADOR),A ;
128 00DE 09        RET             ;
129
130 00E9 21 04 5F    ALMACE: LD HL,5F0AH   ;De la localidad de memoria
131 00EC 0E 4C      LD C,4CH        ;5F0AH hasta la 5F0H se almacena
132 00EE 06 0A      LD B,0AH        ;la fecha y la hora del primer
133 00F0 0D 7E      ALGO:  IN A,(C)     ;ciclo de muestreo.
134 00E2 0E 0F      AND 0FH        ;Se leen las decenas del dato a almacenar.
135 00E4 01      RLCA           ;mes, día, hora y minutos, se mantienen
136 00E6 07      RLCA           ;los 4 "bits" menos significativos y se
137 00E8 07      RLCA           ;rotan a la izquierda.
138 00E7 07      RLCA           ;
139 00E9 57      LD D,A          ;El resultado se almacena en D.
140 00EB 0D      DEC C          ;Se cambia de direcc'i'n, ahora a las
141 00EA 0D 79      IN A,(C)       ;unidades, se lee el dato.
142 00EC 0E 0F      AND 0FH        ;Se mantienen los 4 "bit." menos
143 00EE 02      OR D           ;significativos y se unen a E.
144 00EF 77      LD (HL),A      ;Se almacena el dato del mes, día, hora, minuto.
145 00F0 23      INC HL         ;Se incrementa la direcc'i'e.
146 00F1 0D      DEC C          ;Se cambia de direcc'i'n en el reloj.
147 00F2 79      LD A,C         ;Se verifica que no sea la direcc'i'n
148 00F3 7E 4A      CP 4AH         ;4AH ya que no tenemos un dato importante
149 00F5 0A F1 0D    JP Z,DECRE     ;en ella.
150 00F8 05      DEC B          ;Se decrementa el contador de datos.
151 00F9 0A FF 0D    JP Z,FINAL     ;Fin del almacenaje?
152 00FC 03 0C 0C    JP ALGO        ;Continúa con el almacenaje.
153 00FF 09      FINAL: RET      ;
154
155

```

156					
157	0100	11 00 20	CONV: 00 00,00M		; Rutina que convierte un dato
158	0100	00 00	00 00,00M		convirto en un valor DEC.
159	0100	00 00	000 00M		; Se resta 100 al valor almacenado
160	0100	00 00	JE 0,00M		en A, para detectar el número de
161	0100	00 00	INC 0		decenas que tiene el número.
162	0100	00 00 01	JP 00M		;
163	0100	00 00	LC (ML),0		; Se almacena el valor del número
164	0100	00 00	INC ML		de decenas en la localidad correspondiente.
165	0100	00 00	ACD A,00M		; Se recupera el último valor de A.
166	0100	00 00	JE 00M		; Se resta 10 al valor de A para
167	0100	00 00	JE 0,0000		detectar el número de decenas.
168	0100	00 00	INC 0		;
169	0100	00 00 01	JP 0000		;
170	0100	00 00	CC00:	ADD A,00M	; Se suma 10 al resultado negativo de
171	0100	00 00	LD 0,A		la resta para recuperar el valor de
172	0100	00 00	LD A,E		las unidades.
173	0100	00 00	RLCA		; Se acomodan, el valor de las
174	0100	00 00	RLCA		decenas y el valor de las unidades.
175	0100	00 00	RLCA		;
176	0100	00 00	RLCA		;
177	0100	00 00	AGE A,0		;
178	0100	00 00	LD (ML),A		; Se almacenan en la localidad
179	0100	00 00	DEC ML		correspondiente.
180	0100	00 00	RET		;
181					
182	0100	00 00	CONVERT:	IN 0	; Rutina de interrupción
183	0100	00 00	EX		Modo 0
184	0100	00 00	OUT (C),A		;
185	0100	00 00 01	CALL 2000SEG		; Rutina para dar tiempo a que
186	0100	00 00 01	CALL NETE0A0		se realice la conversión en el ADC.
187	0100	00 00	RET		;
188					
189	0100	00 00	NETE0A0:	IN A,(C)	; Lee el dato del convertidor.
190	0100	00 00	RET		;
191					
192	0100	00 00	REOSSEG:	LD 0,00M	; Rutina de retardo de 0.5 seg.
193	0100	00 00	CICLO3:	LD 0,00M	; Se inicializan los contadores.
194	0100	00 00	CICLO2:	LD 0,00M	;
195	0100	00 00	CICLO1:	DEC 0	; Esta rutina no hace nada, solo
196	0100	00 00	JP 02,CICLO1		perde el tiempo.
197	0100	00 00	DEC 0		;
198	0100	00 00	JP 02,CICLO2		;
199	0100	00 00	DEC 0		;
200	0100	00 00	JP 02,CICLO3		;
201	0100	00 00	LD A,00M		; Activa la señal de WATCHDOG.
202	0100	00 00	OUT (00M),A		;
203	0100	00 00	LD A,FFH		; Memoria llena.
204	0100	00 00	CP 0		;
205	0100	00 00 01	JP 02,TEX2		;
206	0100	00 00	IN A,(00M)		; Lee el sw de paro.
207	0100	00 00	BIT 0,A		; Activado se continúa.
208	0100	00 00 01	JP 02,RESE		;
209	0100	00 00	LD A,00M		; Se enciende indicador óptico
210	0100	00 00	OUT (00M),A		indicando modo paro.
211	0100	00 00	TEX2:	IN A,(00M)	; Lee el sw de transmisión.
212	0100	00 00	BIT 0,A		; Activado el programa se
213	0100	00 00 01	JP 02,RESE		transfiere a la rutina de transmisión.
214	0100	00 00 01	CALL TRANS		;
215	0100	00 00	RESE:	RET	;

216				
217	0164	16 75	RETARDO:	LD R,75H ;rutina de retardo de 1 min.
219	0166	06 35 01	MIN:	CALL 4E052CEG ;
219	0169	15	DEC 0	;
220	016A	20 FA	JR NZ,MIN	;
221	016C	09	RET	;
222				
223	016D	16 32	3000USEG:	LD R,32H ;rutina de retardo de
224	016F	15	DLGCP:	DEC 0 ;200 microsegundos.
225	0170	20 FD	JR NZ,DLGCP	;
226	0172	09	RET	;
227				
228	0173	3A 04 5F	PERDER:	LD A,(02H) ;rutina para perder tiempo,
229	0176	57	LD H,A	;en espera de transmitir datos.
230	0177	00 5A 01	LOGP:	CALL RETARDO ;
231	017A	25	DEC H	;
232	017B	CA 77 01	JF Z,LOGP	;
232	017E	09	RET	;
234				
235	017F	08 02	SELEA:	IN A,(02) ;Verifica si se desea modificar
236	0181	0E 07	BIT 4,A	;el tiempo en el RTA.
237	0183	CA 8B 01	JF Z,REG	;
238	0186	3E 00	LD A,00H	;El RTA se inicializa limpiando
239	018E	E3 4F	OUT (4FH),A	;el vector de interrupci3n en-
240	019A	05 4F	IN A,(4FH)	;viando 00 y leyendo el vector
241	019C	0E 4F	IN A,(4FH)	;en tres ocasiones.
242	019E	05 4F	IN A,(4FH)	;
243	019D	3E 00	LC A,00H	;Se detiene el reloj, enviando
244	0192	09 40	OUT (40H),A	;un 00 a la direcci3n 40H.
245	019A	03 4E	OUT (4EH),A	;
246	0196	2E 30	LD L,00H	;
247				
248	0198	16 FF	ATRA:	LD R,FFH ;
249	019A	1E 30	LD E,30H	;
250	019C	09	ATEAM:	EIX ;
251	0195	00 37 02	CALL RESP	;Despliega hora y minutos.
252	01A0	09	EIX	;
253	01A1	10	DEC E	;
254	01A2	20 F8	JR NZ,ATEAM	;
255	01A4	15	DEC 0	;
256	01A5	20 F8	JR NZ,ATEAM	;
257	01A7	00 02	IN A,(02H)	;Lee en el puerto 9255 la varia-
258	01A9	0E F0	AND F0H	;ble a modificar, en este caso:
259	01AB	FE 3C	CP 30H	;
260	01AD	2B 3E	JR Z,PCRA	;Horas
261	01AF	FE 50	CP 50H	;
262	01B1	23 48	JR Z,MINU	;Minutos
263	01B3	FE 90	CP 90H	;
264	01B5	20 07	JR Z,CANBI	;Cambio a mes o dia
265	01B7	FE 30	CP 00H	;
266	01B9	20 00	JR NZ,ATEAM	;
267	01BB	03 09 03	EEG:	JF AHR ;Termina modificaci3n.

269	01EE	2C	CAMBI:	INC L	;
270	01BF	06 90	CAMETA:	LD B,30H	;
271	01C1	CD 25 02		CALL LEE	;
272					
273	01C4	16 FF	OTEA:	LD B,FFH	;
274	01C5	1E 3D		LD E,3DH	;
275	01C8	09	OTEA:	EXX	;
276	01C9	CD A2 02		CALL DESFD	;Despliega mes y día.
277	01CC	09		EXX	;
278	01CD	16		DEC I	;
279	01CE	20 FE		JR NZ,OTEA	;
280	01D0	15		DEC D	;
281	01D1	20 F5		JR NZ,OTEA	;
282	01D3	0B 02		IN A,(02H)	;Lee en el puerto 8255 la varia-
283	01D5	EG F0		AND F0H	ble a modificar, en este caso:
284	01D7	FE 50		CP 50H	;
285	01D9	28 20		JR Z,01A	;01A
286	01DB	FE 30		CP 30H	;
287	01DD	28 37		JR Z,MES	;MES
288	01DF	FE 90		CP 90H	;
289	01E1	08 08		JR Z,REG	;Termina modificacion.
290	01E3	FE 00		CP 00H	;
291	01E5	20 00		JR NZ,OTEA	;
292	01E7	C3 09 03		JP AHE	;Termina modificacion.
293					
294	01EA	06 30	HGRA:	LD B,30H	;Carga el vector de comparacion.
295	01EC	CD 25 02		CALL LEE	;Llama la rutina de lee.
296	01EF	DE 47		LD C,47H	;Carga la direccion del registro
297	01F1	16 24		LD D,24H	;de horas en el RTR y el valor
298	01F3	CD 4E 02		CALL MODIF	;de ajuste (24 horas max).
299	01F6	C3 99 01		JP ATRA	;
300					
301	01F9	06 50	MINU:	LD B,50H	;Carga el vector de comparacion.
302	01FB	CD 25 02		CALL LEE	;Llama la rutina de lee.
303	01FE	0E 45		LD C,45H	;Carga la direccion del registro
304	0200	16 60		LD D,60H	;de minutos del RTK y el valor
305	0202	CD 4E 02		CALL MODIF	;de ajuste (60 min. max).
306	0205	C3 99 01		JP ATRA	;
307					
308	0208	06 50	DIA:	LD B,50H	;Carga el vector de comparacion.
309	020A	CD 25 02		CALL LEE	;Llama la rutina de lee.
310	020D	CD C9 02		CALL VERM	;Llama la rutina de verificacion
311	0210	CD 4E 02		CALL MODIF	;mes y modificacion.
312	0213	C3 C4 01		JP OTRA	;
313					
314	0216	06 30	MES:	LD B,30H	;Carga el vector de comparacion.
315	0218	CD 25 02		CALL LEE	;Llama a la rutina de lee.
316	021B	0E 4C		LD C,4CH	;Carga la direccion del registro
317	021D	16 13		LD D,13H	;de mes del RTK y el valor de
318	021F	CD 4E 02		CALL MODIF	;ajuste (Menor a 13 meses).
319	0222	C3 C4 01		JP OTRA	;

322					
321	0225	16 FF	LEE:	LD C,FFH	Lee el dato proveniente del
322	0227	1E 05	DSM:	LD E,354	registro 2005, durante aproximadamente
323	0229	7D		LD A,L	un cuarto de segundo para ver-
324	022A	09		EXX	ificar la modificación, y
325	022B	FE 00		CF 00H	despliega el dato en el ATR.
326	022D	20 04		JR Z,HR	;
327	022F	FE 04		CF 01H	Verifica con el registro L
328	0231	23 06		JR Z,MD	si se despliega la hora/min
329	0233	00 07 02	HR:	CALL DESP	(DESP) e el mes/día (DESPD).
330	0235	03 3C 02		JF INTER	;
331	0236	00 42 02	MD:	CALL DESPD	;
332	023C	03	INTER:	EXX	;
333	023E	0B 02	CONT:	IN A,(02H)	;
334	023F	E6 F0		AND 0FH	;
335	0241	08		CP B	;
336	0242	20 07		JR NZ,ATRAC	;
337	0243	1C		DEC E	;
338	0245	20 F6		JR NZ,CCHT	;
339	0247	15		DEC D	;
340	0248	20 00		JR NZ,COM	;
341	024A	0E		RET	;
342					
343	024B	03 9E 01	ATRAC:	CF ATRA	;
344					
345	024C	ED 78	MOEIF:	IN A,(C)	Lee el dato que se encuentra en
346	0250	E5 0F		AND 0FH	el 07E y lo incrementa en uno,
347	0252	07		RLCA	verificando si se trata de mes,
348	0253	07		RLCA	día, hora o minutos, a fin de
349	0254	07		RLCA	ajustarlo en caso necesario.
350	0255	37		RLCA	;
351	0256	00		DEC C	;
352	0257	47		LD E,A	;
353	0259	ED 79		IN A,(C)	;
354	025A	E6 0F		AND 0FH	;
355	025C	00		OR B	;
356	025D	3C		INC A	;
357	025E	27		GAA	;
358	025F	0A		CP E	;
359	0260	29 10		JR Z,AJUSTE	;
360	0262	17	REC:	LD E,A	;
361	0263	E6 0F		AND 0FH	;
362	0265	ED 79		OUT (C),A	;
363	0267	70		LD A,E	;
364	0268	07		RLCA	;
365	0269	37		RLCA	;
366	026A	07		RLCA	;
367	026B	07		RLCA	;
368	026C	E6 0F		AND 0FH	;
369	026E	0C		INC C	;
370	026F	ED 79		OUT (C),A	;
371	0271	C9		RET	;

372					
373	0212	19	AJUSTE:	LE 1,C	;Hace el ajuste de la siguiente
374	0213	FE 45		CP 45H	horera:
375	0215	CA 02 02		JP 2,UND	;hora: 24 hrs + 00 hrs.
376	0214	FE 50		CP 50H	;minutos: 60 min + 00 min
377	0214	CA 02 02		JP 2,UND	;mes: mes 11 + mes 1
378	0216	1E 00		LE 1,00H	;dia: dia 31 o 32 + dia 1
379	0217	C3 02 02		JP ECD	;
380	0202	2E 01	UN3:	LE 1,01H	;
381	0204	23 02 02		JP ECD	;
382					
383	0207	0E 43	DESF:	LE C,43H	;Despliega la hora y minutos.
384	0209	1E 00		LE 0,00H	;Lee del STR el dato de unidades
385	0208	2E 00		LD H,00H	;y decenas de hora y
386	0206	0C	NOV:	INC C	;los envia a traves del 0255.
387	020E	EO 20		IM X,(C)	;De la misma manera hace con
388	0200	5F		LD E,A	;los datos de minutos. El
389	0201	7A		LD A,D	;despliegue se hace con un
390	0202	07		RLCA	;barrido de los digitos del
391	0203	07		RLCA	;despliegue.
392	0204	07		RLCA	;
393	0205	07		RLCA	;
394	0206	07		LD H,A	;
395	0207	7B		LD A,E	;
396	0208	04		OR H	;
397	0209	D3 00		GUT (00H),A	;
398	0208	14		INC D	;
399	020C	7A		LD A,D	;
400	0230	FE 04		CP 04H	;
401	020F	2E EC		JR R2,NOV	;
402	02A1	C9		RET	;
403					;
404	02A2	0E 47	DESPD:	LD C,47H	;Se lee del STR el valor de las
405	02A4	1E 00		LD D,00H	;decenas y unidades del mes y
406	02A6	2E 00		LE H,00H	;los envia a traves del 0255. El
407	02A8	0C	NOV2:	INC C	;mismo tratamiento se da a los
408	02A9	19		LD A,C	;datos del dia.
409	02AA	FE 4A		CP 4AH	;
410	02AC	2E 1E		JR 2,INCA	;
411	02AE	EO 20	NOV3:	IM X,(C)	;
412	02B0	5F		LD E,A	;
413	02B1	7A		LD A,D	;
414	02B2	07		RLCA	;
415	02B3	07		RLCA	;
416	02E4	07		RLCA	;
417	02B5	07		RLCA	;
418	02B6	07		LD H,A	;
419	02B7	7B		LD A,E	;
420	02B9	04		OR H	;
421	02B9	D3 00		GUT (00H),A	;
422	02E2	14		INC D	;
423	02E3	7A		LD A,D	;
424	02E4	FE 04		CP 04H	;
425	02E5	2E 17		JR R2,NOV1	;
426	02E1	C3 00 0C		JP FJMM	;
427	02E4	0C	INCA:	INC C	;
428	02E5	23 AE 02		JP NOV0	;
429	02E8	07	CMM:	RET	;

430					
431	02C3	16 01	VERM:	LD 0,01H	;Se verifica si el mes que
432	02C6	0E AC		LD C,ACH	guarda actualmente el KTE,
433	02C6	ED 18		IN A,(C)	corresponde a un mes de 30,
434	02CF	EE 0F		AND OFH	31 o 29 dias, para asignar
435	02D1	07		RLCA	el valor de comparacion en
436	02D2	37		RLCA	el ajuste.
437	02D3	07		RLCA	;
439	02D4	07		RLCA	;
439	02D5	00		DEC C	;
440	02D6	47		LD B,A	;
441	02D7	ED 79		IN A,(C)	;
442	02D9	E6 0F		AND OFH	;
443	02DB	BD		3R B	;
444	02DC	FE 12		CP 12H	;
445	02DE	28 1E		JR Z,TUNO	;
446	02E0	FE 02		CP 07H	;
447	02E2	29 1F		JF Z,VNEVE	;
448	02E4	EA	SE:	CP C	;
449	02E5	28 17		JR Z,TUNO	;
450	02E7	47		LD B,A	;
451	02E8	7A		LD A,C	;
452	02E9	FE 07		CP 07H	;
453	02EB	28 01		JR Z,TUNO	;
454	02ED	3C		INC A	;
455	02EE	3C	TUNO:	INC A	;
455	02EF	27		DAA	;
457	02F0	FE 12		CP 12H	;
459	02F2	29 05		JR Z,VTA	;
453	02F4	57		LD 0,A	;
460	02F5	76		LD A,B	;
461	02F6	C3 E8 02		JP SE	;
462	02F9	16 31	VTA:	LD 0,31H	;
463	02FB	C3 05 03		JP INA	;
464	02FE	16 32	TUNO:	LD 0,32H	;
465	0300	C3 05 03		JP INA	;
466	0303	1E 29	VNEVE:	LD 0,29H	;
467	0305	0E A9	INA:	LD C,A9H	;
469	0307	C9		RET	;
469					
470	0309	3E 01	AHE:	LD A,01H	;Se inician nuevamente los
471	030A	D3 4E		OUT (AHE),A	ciclos de reloj.
472	030C	C9		RET	;
473					
474					
475					
476					
477					
478					
479					

450	0310	21 11 03	TRAN:	LC NL,TAB,A	;Se inicializa el 8251 para
461	0310	21 11		LC 2,114	;transmision.
462	0310	26 05		LC 6,05H	;
463	0314	10 23		OTC	;
464	0316	09		JF (4L)	;
465	0317	30	TABLA:	ABG A,B	;90H
466	0318	00		YOP	;0CH
467	0319	40		LC E,E	;10H
468	031A	C7		FST 00H	;CFH
469	031E	37		3C7	;17H
480					
481	031C	21 00 20		LC NL,200H	;Se da la direccion de partida.
492	031F	05 00		LC 0,004	;
493	0321	00 11	ANIE:	IN A,(11H)	;Se verifica que bloque de
494	0323	05 47		OUT C,A	;datos corresponde enviar.
495	0325	26 FA		JR 2,ANID	;
496	0327	0A		INC B	;
497	0329	14		LD A,B	;
498	0329	FE 01		CP 01H	;
499	032E	20 2F		J6 2,PRESION	;Presion
500	032C	FE 02		CP 02H	;
501	032F	20 37		JR 2,TEMP	;Temperatura
502	0331	FE 03		CP 03H	;
503	0333	20 35		JR 2,NIV	;Nivel
504	0335	FE 04		CP 04H	;
505	0337	20 34		JR 2,VEL	;Velocidad
506					
507	0339	16 10	CCA:	LD 0,10H	;Se toma el dato de cada localidad
508	033B	1E FC	CCA:	LD C,FCM	;de memoria y es enviado a traves
509	033C	00 11	DAT:	IN A,(11H)	;del 8251 a la microcomputadora.
510	033F	0E 47		BIT 0,A	;
511	0341	20 FA		JR 2,DAT	;
512	0343	7E		LD A,(HL)	;
513	034A	03 10		OUT (10H),A	;
514	034E	23		INC HL	;
515	0347	10		DEC E	;
516	0340	20 F3		JR N2,GAT	;
517	034A	15		DEC C	;
518	034B	20 EE		JR N2,CCA	;
519	0340	3E 00		LD A,00H	;
520	034F	03 26		OUT (20H),A	;
521	0351	70		LD A,L	;Verifica si va a transmitir el
522	0352	FE 02		CP 02H	;siguiente bloque de datos o, si
523	0354	20 CE		JR N2,ANID	;finaliza la transmision enviand-
524	0356	7C		LD A,H	;el tiempo de inicio.
525	0357	FE 5F		CP 5FH	;
526	0359	CA 76 03		JR 2,TEMP	;
527					
528	035C	3E 80	PRESION:	LD A,80H	;Envia una letra P y regresa a
529	035E	03 10		OUT (10H),A	;transmitir el bloque de datos
530	0359	C3 30 03		JP CCA	;de Presion.
531					
532	0363	3E 84	TEMP:	LD A,84H	;Envia una letra T y regresa a
533	0355	E3 10		OUT (10H),A	;transmitir el bloque de datos
534	0367	C3 35 C3		JP CCA	;de Temperatura.
535					
536	036A	3E 70	NIV:	LD A,70H	;Envia una letra N y regresa a
537	036C	03 15		OUT (15H),A	;transmitir el bloque de datos
538	036E	C3 35 C3		JP CCA	;de Nivel.

```

529
540 0371 3E 36      VEL:      LG A,SEN      ;Envia una letra V y regresa a
541 0373 03 12      ;transm:ir el bloque de datos
542 0375 03 03 03   JP C'A      ;de Velocidad.
543
544 0378 21 0A 5F   TIEP:      LG HL,SFOAH    ;Transmite las letras TPO y los
545 0378 7E 05      LD O,PSH      ;datos de tiempo de inicializa-
546 0378 05 11      TPOF:      IN A,(11H)    ;cion de muestreo.
547 037F 0E 17      ;
548 0381 28 FA      ;R 2,TPOF
549 0383 3E 0A      LD A,PSH
550 0385 03 10      OUT (10H),A   ;Envia la letra T
551 0387 0E 11      TPOF:      IN A,(11H)
552 0389 0E 17      BIT O,A
553 038B 28 FA      JR 2,TPOF
554 038D 3E 00      LD A,SEN
555 038F 03 13      OUT (10H),A   ;Envia la letra P
556 0391 0E 11      TPOF:      IN A,(11H)
557 0393 0E 17      BIT O,A
558 0395 28 FA      JR 2,TPOF
559 0397 3E 13      LD A,PSH
560 0398 03 10      OUT (10H),A   ;Envia la letra O
561 0398 0E 11      VUEL:      IN A,(11H)
562 0398 0E 17      BIT O,A
563 039F 28 FA      JR 2,VUEL
564 03A1 7E
565 03A2 03 10      OUT (10H),A
566 03A4 23      INC HL
567 03A5 15      DEC D
568 03A6 20 F3      JR NZ,VUEL
569 03A8 7E      HALT
570 03A8      .ENC

```

***** SYMBOLIC REFERENCE TABLE *****

AHR	0308	AJUSTE	0272	ALGO	00E0	ALMACE	00D9
AVIC	0321	ATRA	0198	ATRAC	0248	ATRAM	019C
BCD	0252	BINBCD	0180	CAMBT	018E	CAMBIA	018F
CANAL	= 5F09	CANALI	= 002F	CCA	0339	CENT	010D
CGA	0338	CHEC	008A	CHECA	0082	CICLO1	013E
CICLO2	0139	CICLO3	0137	CLEN	0105	CINCO	008C
CON	0227	CONT	0230	CONTADOR	= 5F04	CONTI	0060
CONVIERT	0125	D200USEG	0160	DAT	0330	DECE	0119
DECRE	00F1	DESP	0287	DESPO	0242	DIA	0208
DIEZ	0111	DIEZ	00C1	DLOOP	015F	FINAL	00FF
FINMEMO	= 5F02	FINN	02C8	MORA	01EA	HR	0233
INA	0305	INCA	02C4	INIC	001C	INICIA	0046
INICIO	0009	INTER	023C	IUNO	02EE	LEE	0225
LEER	0048	LIMP	0051	LIMPIA	0094	LLEN	007A
LLENA	0078	LOCALI	= 5F0C	LOOP	0177	MO	0239
MENINIC	= 103F	MEND	005E	MES	0216	METEDATO	0131
MIN	0166	MINU	01F9	MODIF	024E	MCANALES	= 0C04
MIV	036A	NIVELCCI	= 3FE2	NOV	028D	NOVI	02A8
NOVO	02AE	OTRA	01C4	OTRAM	01C8	PERDER	0173
PRECION	035C	PRESLOCI	= 2000	PRIN	0021	PRINCI	0050
QUINCE	00CE	RESSEEG	0135	REG	018E	REGR	0163
RELOJ	017F	REPAR	003C	RETAEGO	016A	SE	02E4
SUMA	= 0FC1	TAGLA	0317	TEMLCCI	= 2FC1	TENP	03E3
TIEMP	0379	TIEMPO	0304	TPGO	0391	TPGP	0387
TP2T	0370	TRANS	0300	TRX2	0159	TUNG	02FE
UNC	02E2	VEL	0371	VELOC1	= 4F43	VEAN	02C9
VREVE	0303	VTA	02F8	VEL	039E		

LINES ASSEMBLED : 570

ASSEMBLY ERRORS : 0

B i b l i o g r a f í a

Digital Integrated Electronics
Herbert Schilling
Mc Graw Hill

Microcontrolador PAT 85
Martínez G., Juan
Inst. Ing. UNAM

Microprocesadores, Diseño práctico de sistemas
Angulo, José Ma.
Paraninfo

González V., Víctor J., Mtz. G. F., R. Alfonso
Diseño y construcción de la unidad de control de
una máquina empapeladora de mosaicos venecianos
Tesis, Fac. Ing. UNAM

Programación Z-80
Octavio F. Narcia
Bioediciones

Diseño y aplicación de Sistemas de Medición
Doelbein

Apuntes de Microprocesadores y Sistemas Digitales
Facultad de Ingeniería UNAM

Mecánica de Fluidos y Máquinas Hidráulicas
Claudio Mataix
Harla

Termodinámica
José A. Manrique
Rafael S. Cárdenas
Harla

Termodinámica
Reynolds
Mc Graw Hill

Mechanical Measurement and Instrumentation
Ambrosius E.
University Microfilms International

Instrumentos para Medición y Control
W.G. Holzbock
CECSA

Microprocesadores, Dispositivos periféricos y de interfaz.
Arthur B. Williams
Mc Graw Hill

Amplificadores Operacionales
Arthur B. Williams
Mc Graw Hill

Amplificadores operacionales.
Tobey

Instrumentación Electrónica y Mediciones
William David Cooper
Prentice-Hall

Electronica Industrial. Dispositivos y Sistemas
Timothy J. Maloney
Prentice-Hall

Manual para ingenieros y técnicos en electrónica
Milton Kaufman
Arthur H. Seidman

Sistemas digitales, principios y aplicaciones
Ronald J. Tocci

Z80 Microcomputer device,
Technical Manual

Personal computer hardware reference
IBM

CMOS Logic DataBook
National

Data Acquisition Converters
National

Real Time Clock Handbook
National

CMOS Logic Data
Motorola

Memory Components Handbook
Intel. 1989

General Purpose Device Data
National 1989

Manual de Semiconductores de Silicio
Texas Instruments

Linear Databook (2)

National Rev.1 1988

**LS/S/TTL Logic Databook
National 1987**

INDICE

Introducción	1
--------------	---

Capítulo 1

Descripción general de un Sistema de Instrumentación

A) Descripción de los bloques del sistema	4
1. Transductores	4
2. Multiplexaje	5
3. Convertidores Analógico/Digitales	5
4. Sistema básico de microcomputadora	6
5. Concentrador digital de datos	6
B) Descripción funcional del Sistema Automático de datos (SAAD)	6
C) Especificaciones del SAAD	7
D) Interfaz Hombre-Máquina	8

Capítulo 2

Descripción de las variables a medir

A) Presión	11
1. Descripción de la variable	11
2. Unidades de Medición de la presión	12
3. Métodos de Medición de la presión	13
I. Según la naturaleza de la presión medida	14
II. Según el principio de funcionamiento	14
4. Selección del método de medición	13
5. Acondicionamiento de la variable	17
B) Velocidad	18
1. Descripción del fenómeno	18
2. Métodos de medición de la velocidad local	19
3. Métodos de medición de la velocidad media	21
4. Selección del método	22
5. Acondicionamiento de la variable	23
C) Gasto	
1. Descripción del fenómeno	26
2. Métodos de medición	26
a) Contador de compuerta	26
b) Contador de orificio y obturador	27
c) Rotámetro	27

3. Selección del método de medición	28
4. Acondicionamiento de la variable	29
D) Temperatura	29
1. Descripción del fenómeno	29
2. Métodos de Medición	29
3. Medición de temperatura por métodos de radicación	39
4. Selección del método de medición	39
5. Acondicionador de la variable	39
E) Nivel	
1. Métodos de medición	40
2. Selección del sensor y acondicionamiento de la variable	46

Capítulo 3

Conversión analógica/digital.

A) Descripción general de convertidores A/D	48
1. Conversión en ráfaga	51
2. Convertidores de aproximaciones sucesivas	55
3. Convertidor de integración	57
4. Convertidor A/D de dos pasos	61
B) Módulos muestreadores-sujetadores	62
1. Fundamentos de los circuitos de muestreo y sujeción	62
2. Circuito muestreador-sujetador	64
C) Selección del convertidor	64
D) Conexión al A/D del sistema	65

Capítulo 4

Microcomputadora en una sola tarjeta

A) Descripción de la operación de la microcomputadora	68
1. Microprocesador Z-80	70
2. RAM	72
3. PROM	72
4. Reloj	72
5. Decodificación de la memoria y circuitos lógicos de control	73
6. Puerto de comunicaciones en paralelo (8255 PPI)	75
7. Puerto de comunicaciones en serie (8251 A)	78
8. Reloj de tiempo real	82
9. Decodificación de puertos y circuitos de	

vigilancia	84
10. Batería de respaldo	86
11. Control de despliegue del RTR	86

Capítulo 5

Desarrollo de la programación

Descripción del programa principal	88
Subrutina CHECA	89
Subrutina RELOJ	89
Subrutina CHEC	90
Subrutina LEER	90
Subrutina LIMPIA	90
Subrutina ALMACE	90
Subrutina INICIA	90
Subrutina PRINCI	91
Subrutina CONVIERT	91
Subrutina BINBCD	92
Subrutina MEMO	92
Subrutina RETARDO	93

Capítulo 6

Resultados y conclusiones	94
---------------------------	----

Apéndice A

Leyes aplicables a los termopares	96
-----------------------------------	----

Apéndice B

Diagramas electrónicos de los circuitos diseñados	100
---	-----

Apéndice C

Especificaciones técnicas de los circuitos más importantes	116
--	-----

Apéndice D

Listados de los programas desarrollados	174
---	-----

