

300617
25
2ej



UNIVERSIDAD LA SALLE

ESCUELA DE INGENIERIA

INCORPORADA A LA U. N. A. M.

“ SISTEMA PARA LA DETECCION Y CORRECCION
DE FALLAS EN COMPUTADORAS PERSONALES ”

T E S I S P R O F E S I O N A L
QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA
CON ESPECIALIDAD EN INGENIERIA ELECTRONICA

P R E S E N T A

DANIEL MARIN CANO

DIRECTOR DE TESIS :

ING. PATRICIA VASQUEZ AGUILERA

FALLA DE ORIGEN



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

INTRODUCCION

CAPITULO I

Pag.

OPERACION DEL MICROPROCESADOR 8088 EN LA IBM PC.

- 1.1 Arquitectura interna del 8088. 1
- 1.2 Señales y terminales del 8088. 9

CAPITULO II

CIRCUITOS DE SOPORTE DEL MICROPROCESADOR 8088 EN LA IBM PC.

- 2.1 Controlador de canal (8288). 17
- 2.2 Generador de reloj (8284). 22
- 2.3 Controlador de interrupciones programable (8259). 26
- 2.4 Interfaz paralela programable (8255). 32
- 2.5 Temporizador de intervalos programable (8253). 42
- 2.6 Controlador programable de acceso directo a memoria (8237). 49

CAPITULO III

MEMORIA DE LA IBM PC.

- 3.1 Memoria de la IBM PC. 61
- 3.2 Memoria ROM de la IBM PC. 64
- 3.3 Memoria RAM de la IBM PC. 68
 - 3.3.1 Direccionamiento para bancos de memoria. 69
 - 3.3.2 Verificación de paridad. 71

CAPITULO IV

PUERTOS DE ENTRADA/SALIDA DE LA IBM PC.

- 4.1 Adaptadores de video. 74
 - 4.1.1 Adaptadores de video monocromático. 75
- 4.2 "Drives" en la IBM PC. 74
 - 4.2.1 Estructura de un "drive". 74
 - 4.2.2 Principio de lectura y escritura en disco. 90
 - 4.2.3 Tarjeta controladora de "drives" 93
- 4.3 Teclado en la IBM PC. 100
- 4.4 Bocina. 109

CAPITULO	V	Pag.
DETECCION Y CORRECCION DE FALLAS EN MICROCOMPUTADORAS.		
5.1	Puntos importantes en el seguimiento de fallas.	111
5.2	Diagnóstico y reparación de fallas en microcomputadoras.	116
5.2.1	Diagrama de flujo general.	117
5.2.2	Diagrama de flujo para la detección y corrección de fallas en la tarjeta principal.	118
5.2.3	Detección y corrección de fallas en la tarjeta de video monocromático.	124
5.2.4	Detección y corrección de fallas en la fuente de poder.	133
5.2.5	Códigos de error audibles o visuales.	139
5.2.6	Detección y corrección de fallas en "drives" y su tarjeta controladora.	145
5.2.7	Detección y corrección de otro tipo de fallas de video.	163
5.2.8	Detección y corrección de fallas en teclado.	174
APENDICE		178
CONCLUSIONES		180
BIBLIOGRAFIA		183

INTRODUCCION

INTRODUCCION

El acelerado desarrollo tecnológico ocurrido en los últimos años, la gran necesidad de almacenar y manejar una gran información han convertido a la computadora en una herramienta indispensable en nuestros días.

En las últimas décadas las computadoras han tenido una evolución sorprendentemente acelerada. Se ha logrado almacenar y manejar grandes cantidades de información a altas velocidades, desarrollandose cada día nuevas técnicas que son cada vez más sofisticadas y precisas.

Hace tan sólo 30 años, las pocas computadoras que existían, eran máquinas enormes y muy costosas; frecuentemente utilizadas con fines científicos y especiales, por lo tanto, tenían poco efecto en la vida de la mayoría de la gente. Sólo un número pequeño de personas tenía conocimiento directo de las capacidades y limitaciones de las computadoras.

Pero los tiempos han cambiado, actualmente hay millones de computadoras de diversos tipos y tamaños, en oficinas, fabricas, escuelas, hogares, hospitales, bancos, tiendas, laboratorios, etc. Sus precios son relativamente bajos, y estos dependen de la marca, calidad y tipo de tecnología.

Los avances tecnológicos han logrado que la computadora se convierta en una de las fuerzas más poderosas de la sociedad actual. Asimismo, han hecho posible que la utilización de la computadora se introduzca a los hogares y a las organizaciones de todos tamaños.

Actualmente existen miles de tiendas que venden microcomputadoras; en los últimos años se han vendido millones de microcomputadoras producidas por docenas de fabricantes. Los sistemas de micros son utilizados por millones de individuos con diversos fines.

Hoy en día existen grandes avances en el campo del diagnóstico por medio de programas y paquetería destinada a sistemas basados en microprocesadores, dentro de este campo las computadoras personales ocupan un alto porcentaje debido a la aplicación que han tenido en todos los ámbitos, a pesar de que es ya una necesidad latente la reparación y el servicio de estos equipos, sucede que es poco el desarrollo de México en este campo, donde por cada 40 empresas que comercializan equipo y programas, existe solo una dedicada a dar servicio a computadoras personales.

Esto se debe en primer lugar, a que con la aparición de las computadoras personales en los últimos cinco años, era más atractiva la venta de equipo, sin embargo existía personal dedicado a la reparación de sistemas grandes, varios de ellos con malas experiencias en el campo de las computadoras personales de 8 "bits", no contaban con la información adecuada, ni la experiencia en esta clase de equipo.

Otro aspecto no menos importante era la falta de personal conocedor de los diferentes modelos de computadoras que aparecieron en poco tiempo y sobre todo la escasez de información y refacciones de marcas poco o nada conocidas en

México.

Debido a todo lo expuesto anteriormente, surge la idea de desarrollar una guía de fácil comprensión, en forma organizada se desarrolla un estudio de los principales componentes de una computadora personal, para finalmente en forma metódica, detectar y por lo tanto, corregir problemas que pudieran surgir en computadoras personales.

Este trabajo intenta ofrecer una idea clara de la estructura funcional de una IBM PC de 16 "bits", en este caso se estudió una IBM PC modelo 5150, y con esto tener las bases para la detección y corrección de fallas en computadoras personales compatibles. Se escoge la IBM PC por ser la pionera de las microcomputadoras de 16 "bits" y por ser la computadora personal que ha establecido los estándares a programas y dispositivos de expansión.

El hecho de que solo se analice una microcomputadora no limita a este trabajo, ya que todas las PC compatibles con IBM trabajan con los mismos principios y muchas son copias de la IBM PC 5150.

La forma en que se desarrolló este trabajo es la siguiente:

En el capítulo I se analiza la estructura interna del microprocesador 8088, así como la función que tiene cada terminal y su funcionamiento en general.

En el capítulo II se tratan los circuitos de soporte del microprocesador 8088, como son: el controlador de canal 8288, el generador de reloj 8284, el controlador de

interrupciones programable 8259, la interfaz paralela programable 8255, el temporizador de intervalos programable 8253, y el controlador programable de acceso directo a memoria 8237. De cada uno de estos se estudia su funcionamiento y cada una de sus terminales.

En el capítulo III se presenta la estructura de la memoria, así como la localización correspondiente de cada dispositivo dentro del mapeo de memoria.

En el capítulo IV se presenta un estudio de cada uno de los dispositivos de entrada salida (E/S) de la IBM PC. Estos son; el adaptador de video monocromático, los "drives" y su tarjeta controladora, el teclado y por último la bocina.

En el capítulo V se da una guía para el seguimiento de fallas, y también un conjunto de diagramas de flujo que nos permiten llegar a detectar y corregir fallas en computadoras personales.

CAPITULO I

OPERACION DEL MICROPROCESADOR 8088 EN

LA IBM PC

CAPITULO I

OPERACION DEL MICROPROCESADOR 8088 EN LA IBM PC.

1.1 ARQUITECTURA INTERNA DEL 8088.

El 8088 es un microprocesador de propósitos general de Intel, cuya estructura interna (registros) es de 16 "bits", que cuenta con un canal de datos de 8 "bits".

El 8088 es capaz de realizar al mismo tiempo las principales funciones internas de transferencia de datos y búsqueda de instrucciones. Para conseguirlo el 8088 consta de dos procesadores interconectados en la misma pieza de silicio (figura 1.1), una unidad está encargada de buscar instrucciones y la otra de ejecutarlas. Además, la unidad encargada de buscar instrucciones utiliza un método llamado de estructura tubular ("PIPELINE") o por cola para almacenar nuevas instrucciones hasta que se necesiten.

Al procesador principal se le llama unidad de ejecución ("EU: Execution Unit"). Está encargada de codificar y ejecutar todas las instrucciones. Al otro procesador se le llama la Unidad de Interfaz de Canal ("BIU: Bus Interface Unit"). La BIU está encargada de localizar las instrucciones y de transferir todos los datos entre los registros y el mundo exterior. La BIU del 8088 es compleja, ya que debe transferir datos entre el canal de datos interno de 16 "bits" y el canal de datos externo de 8 "bits"

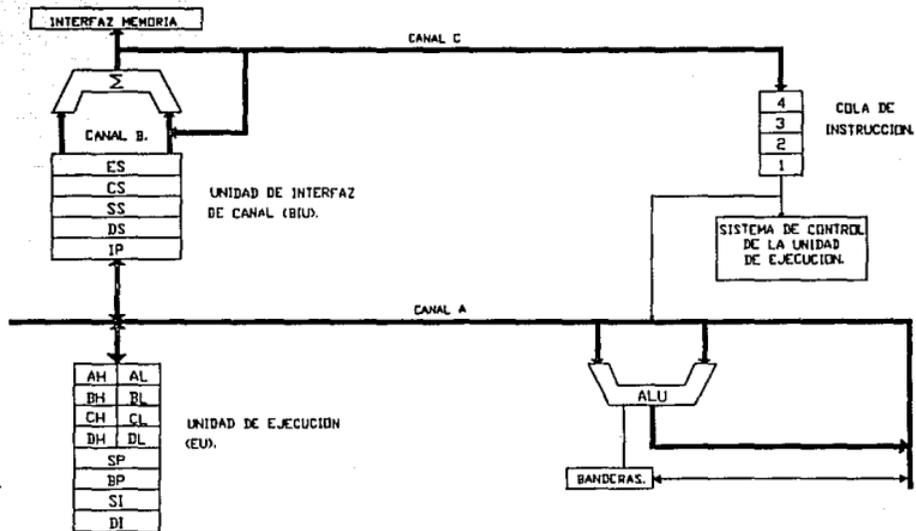


FIG. 1.1 PROCESADORES EU Y BIU DEL 8088

Cuando la BIU localiza en memoria un byte de código de máquina, lo coloca en una cola de instrucciones tipo FIFO ("First-In First-Out"), que es una forma de almacenar datos, en la cual el primero en entrar es el primero en salir. La figura siguiente ilustra mejor este concepto.

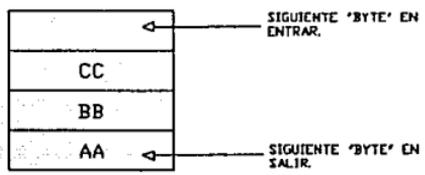


FIG. 12. FUNCIONAMIENTO DE UNA COLA DE DATOS "FIFO".

En el 8088 la cola de instrucciones tiene 4 "bytes" de longitud y el código de máquina se guarda "byte" por "byte".

REGISTROS DEL 8088.

El 8088 debe ejecutar instrucciones y realizar operaciones lógicas y aritméticas, al mismo tiempo recibe instrucciones y transfiere datos a/y desde memoria. Para realizar esto, utiliza registros lógicos de 16 "bits".

Como se puede observar en la figura 1.3, el 8088 tiene un total de 14 registros de 16 "bits". Algunos pertenecen a la EU y otras a la BIU.

REGISTROS DE PROPOSITOS GENERALES. Cuatro de los registros son llamados de propósito general y son utilizados para almacenar temporalmente los resultados intermedios y los operandos de las operaciones lógicas y aritméticas. Los

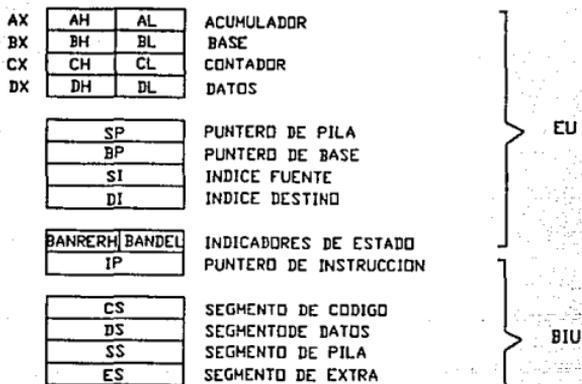


FIG. 1.3. CONJUNTO DE REGISTROS DEL 8088.

registros de propósito general son conocidos como **AX**, **BX**, **CX** y **DX**. Cada uno de ellos puede ser dividido y direccionado separadamente como dos registros de 8 "bits".

La parte alta de estos registros es conocida como AH, BH, CH y DH, y la parte baja como AL, BL, CL y DL. EL uso de estos, ya sea par de registros (16 "bits"), o registros de 8 "bits" cada uno, pueden ser libremente intermezclados según las necesidades del programa. Estos registros son utilizados la mayoría de la veces como área de trabajo temporal, particularmente para operaciones aritméticas. Las sumas y restas pueden ser realizadas en memoria sin el uso de registros; pero estos son más rápidos. Aunque estos registros están disponibles para cualquier trabajo de uso general, cada uno tiene también su función especial.

-El registro AX, es el acumulador, y es el registro principalmente utilizado para realizar operaciones aritméticas.

-El registro BX, es el registro de base y es frecuentemente utilizado para apuntar al inicio de una tabla de traslación en memoria. Puede ser usado para almacenar la parte relativa de una dirección segmentada (este tipo de dirección se explica en el capítulo de memoria en la IBM PC).

-El registro CX, es el registro contador y es utilizado como un contador de repetición para el control de un bucle y repetir el movimiento de datos. Ninguno de los otros registros puede realizar esta función.

-El registro DX de datos, es utilizado para almacenar datos de 16 "bits".

REGISTRO DE SEGMENTO. Como se verá en la parte correspondiente a la memoria de la IBM PC, la dirección completa de una localidad de memoria consiste de la dirección de un segmento de 64 "Kbytes" y una dirección relativa dentro del segmento. La BIU contiene cuatro registros de 16 "bits", llamados CS, DS, SS y ES, son usados para identificar cuatro segmentos específicos de memoria de 64 "Kbytes". De los cuatro registros de segmento, los tres siguientes están dedicados para propósitos especiales :

-El registro CS, localiza el segmento de código, el cual

contiene el programa que está siendo ejecutado.

-El registro **DS**, localiza el segmento de datos, el área de memoria donde están almacenados los datos por el programa en curso.

-El registro **SS**, localiza el segmento de pila ("stack") en un área de trabajo temporal que contiene los parámetros y direcciones utilizados por el programa que se está ejecutando.

-El cuarto registro de segmento, el segmento **ES**, apunta a un segmento extra que normalmente se utiliza como suplemento del segmento de datos, de manera que mas de 64 "Kbytes" de memoria pueden ser utilizados para almacenar datos. Es también usado para la tranferencia de datos entre los segmentos.

Estos registros se usan para retener los 16 "bits" superiores de la dirección donde comienzan los cuatro segmentos de memoria con los que el 8088 trabaja en un momento determinado. La BIU del 8088 envía 20 "bits" de direcciones, por lo que puede direccionar 1,048,576 "bytes" en memoria (1 "Mbytes"). Sin embargo en un momento específico el 8088 solo trabaja con 4 segmentos de 65,536 "bytes" (64 "Kbytes"). La BIU siempre inserta ceros para los cuatro "bits" mas bajos de la dirección de 20 "bits" para un segmento.

REGISTROS INDICE Y PUNTEROS. Cinco son los registros utilizados para localizar un "byte" o palabra en un segmento

especifico de 64 "Kbytes". Un registro llamado **Puntero de Instrucción (IP)**, provee la dirección relativa dentro del segmento de código donde el programa está siendo ejecutado. Es utilizado junto con el registro **CS** para "rastrear" la localidad exacta de la siguiente instrucción a ser ejecutada. Dos registros **Puntero de Pila ("Stack Pointer")**, **SP** y el **Puntero de Base ("Base pointer") BP**, proveen la dirección relativa en el segmento de pila. El registro **SP** da la localidad de tope actual de la pila y es análogo al registro **IP**. El registro **BP** se utiliza para "tomar nota" de la localidad inicial de la pila, de manera que mas tarde, sepamos exactamente donde está localizada cierta información en el segmento de pila.

Los registros de índice, llamados **Índice Fuente (SI)** e **Índice Destino (DI)**, son utilizados para proveer la dirección relativa del inicio del campo de datos dentro del segmento de datos. Se usan frecuentemente en la transferencia de grandes cadenas de datos entre localidades de memoria; tanto **SI** como **DI** incrementan automáticamente su valor relativo cuando ocurre la transferencia de datos, de manera que el programador no debe sumar un uno, cada vez que se mueven al siguiente "byte".

REGISTRO DE BANDERAS. El décimo cuarto y último registro del 8088, es llamado el Registro de Banderas. Las banderas están disponibles en la forma de un registro, de manera que pueden ser ya sea almacenadas, recargadas o inspeccionadas

como datos ordinarios. Hay nueve banderas de un "bit" en el registro de 16 banderas, dejando 7 "bits" sin uso. Las banderas pueden ser divididas en dos grupos: seis banderas de estado, las cuales son usadas para llevar un registro de la información del estado del microprocesador (usualmente indicando que pasa con una comparación o con una operación aritmética) y tres banderas de control. Las banderas son las que se muestran a continuación:

CODIGO	NOMBRE	USO
CF	Bandera de acarreo.	Indica si existe un "bit" de acarreo en una operación aritmética.
OF	Bandera de sobreflujo.	Indica si existe un sobreflujo en una operación aritmética.
ZF	Bandera de cero.	Indica si el resultado es cero o comparación igual a cero.
SF	Bandera de signo.	Indica un resultado o comparación negativa.
PF	Bandera de paridad.	Indica un número par de unos.
AF	Bandera de auxiliar de acarreo.	Indica un acarreo en operaciones aritméticas BCD.
DF	Bandera de dirección.	Controla la dirección izquierda/derecha en operaciones repetidas.
IF	Bandera de interrupción.	Controla si las interrupciones están habilitadas.
TF	Bandera de desvío.	Controla las operaciones paso a paso (utilizadas por el programa "DEBUG").

1.2 SEÑALES Y TERMINALES DEL 8088.

El microprocesador 8088 puede operar tanto en modo mínimo como en modo máximo. Cuando está operando en modo máximo, el 8088 comparte sus funciones de control con un controlador de canal externo (8288), este controlador provee comandos y generación de tiempos de control así como también un canal bidireccional que optimiza el funcionamiento del sistema. Cuando trabaja en modo mínimo algunas de estas funciones de control son generadas por el propio 8088. En la figura 1.4 se muestra un diagrama de las terminales del 8088.

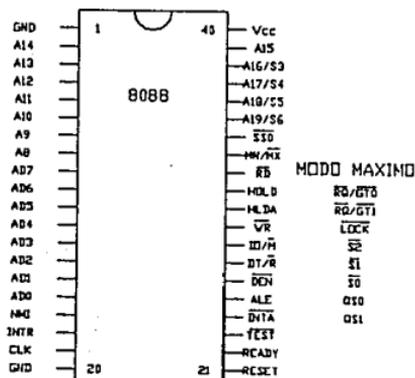


FIG. 1.4. DIAGRAMA DE REFERENCIA DE LAS TERMINALES DEL 8088.

A continuación se presentan las señales del 8088 que son comunes tanto en modo máximo como en modo mínimo.

NOMBRE	TIPO	NOMBRE Y FUNCION
MN/MX	E	Mínimo/Máximo ó "Minimum/Maximum". El modo en el que está trabajando el 8088 queda determinado por esta terminal. Cuando está conectada a tierra el 8088 está trabajando en modo máximo.
AD7-AD0	E/S	Canal de datos y direcciones ó "Address Data Bus". En las señales del 8088 se observan las líneas del canal de datos y los 8 "bits" menos significativos del canal de direcciones el cual se encuentra multiplexado. El significado de estas líneas dependerá de la porción de ciclo de máquina que esté activo. Estas líneas se activarán como direcciones al inicio de un ciclo de máquina y posteriormente cambiarán a ser líneas bidireccionales de datos. Los datos y direcciones son demultiplexados por "buffers" (LS373 para direcciones y LS245 para datos), por medio del controlador de canal y por medio de las señales ALE y DEN.
A15-A8	S	Canal de datos ó "Address Bus". Estas líneas contienen las señales de direcciones de A8 a A15. A la salida del 8088 pasan por un "buffer" (74LS373), que sirve para elevar la señal.
A16/S3 -A19/S6	S	Estado/dirección ó "Address/Status". Estas líneas tienen dos significados: como direcciones y como estados. Las señales de los estados S3 a S6 no son utilizadas en la IBM PC. Justo como en las líneas de direcciones anteriores la PC usa un 74LS373 y la señal ALE para amarrar las direcciones de las líneas A16-A19.
+5V GND CLK	E	Alimentación, tierra, reloj ó "Vcc,GND,Clock". Existen tres líneas esenciales, las cuales son +5V ("Vcc", terminal 40), tierra ("GND", terminal 1 y 20) y reloj (CLK, terminal 19). Las líneas de voltaje y tierra son distribuidas a través de toda la tarjeta principal, que

en la PC consta de circuito impreso de cuatro capas ("Four Layer Printed Board"). La señal de reloj es una onda cuadrada asimétrica con un ciclo de trabajo útil de 33%, del ciclo total. Esta señal es generada por el circuito generador de reloj 8284A. En la PC el reloj trabaja a 4.772727MHz. Aunque en forma estándar se considera a 5MHz. Esta frecuencia de 4.77 MHz se obtiene de la frecuencia generada por el cristal, dividida entre tres (14.31818 MHz/3). Existen sin embargo otras frecuencias de reloj en la PC, estas son la frecuencia base de 14.31818 MHz para la formación de un punto de tarjeta de color/gráficas; la frecuencia base dividida entre cuatro (14.31818 MHz/4), es decir 3.579 MHz, para la mezcla de los primitivos en la obtención de un color especial.

RD

S

/Lectura ó "/Read". Cuando el 8088 están trabajando en modo mínimo esta línea indica cuando el procesador está realizando un ciclo de lectura, ya sea de memoria o de puertos de E/S. Sin embargo en modo máximo es superflua, debido a que esta información está proporcionada por las líneas S0-S2 que van al controlador 8288.

READY

E

"Ready". La señal "READY" es una entrada de los dispositivos externos, tanto memoria como puertos de E/S. La señal "READY" pasa a través del generador de pulsos 8284 para sincronizarse con la señal de reloj. Esta señal trabaja de la siguiente forma: si se ha seleccionado un dispositivo de E/S o de memoria para lectura o escritura y todavía no está preparado para completar la transferencia de datos, estos dispositivos detienen a la CPU poniendo su línea "I/O" "CH" "RDY" en bajo, la cual pasa a la línea "RDY/WAIT" del 8284 (generador de reloj) y que a su vez desactivará la línea "READY" del 8088, provocando este se detenga y no ejecute ninguna tarea, hasta que la señal "READY" vuelva a nivel alto, indicando que el dispositivo externo está preparado para realizar la transferencia de información. Acabada la transferencia, las actividades del procesador continúan normalmente. El

8088 logra este retardo de sus tareas insertando ciclos extras de reloj dentro de su ciclo de máquina. El 8088 aunque no esté ejecutando ninguna tarea está pendiente de la habilitación de la línea "READY". El uso de estados de espera es una forma muy poderosa de poder sincronizar dispositivos que no son tan rápidos como la CPU. Sin embargo es bueno mencionar, que esta línea de "READY" no debe mantenerse desactivada mas de 2.1 μ seg.

INTR, NMI E

Petición de interrupción e Interrupción no enmascarada ó "Interrupt Request, Non-Maskable Interrupt". INTR y NMI forma parte del sistema de interrupciones del 8088.

Un pulso en la línea NMI provoca una interrupción especial llamada interrupción tipo 2. Una señal en la línea INTR causará una respuesta de interrupción de tipo general.

El término "No Enmascarable" se refiere al hecho de que la interrupción generada por el NMI no puede ser desactivada. Esta línea de interrupción es particularmente útil para situaciones desastrosas tales como una falla de alimentación o una falla de memoria. La línea NMI es activada con el flanco positivo en contraste a INTR que se activa con el nivel alto. El flanco positivo es necesario porque la NMI no puede ser deshabilitada, sin embargo, en la PC existe un circuito extra para permitir la deshabilitación de la línea NMI.

Las interrupciones generadas por INTR pueden desactivarse vía programa. La línea INTR es controlada por un controlador de interrupciones con 8 niveles de interrupción, del cual se hablará mas tarde. Cuando el controlador de interrupciones (8259) recibe una petición para servicio, él manda una señal INT a la CPU, para que interrumpa su operación. Al mismo tiempo, manda una dirección al canal de direcciones que dice a la CPU, donde ir para realizar el servicio requerido. Después que recibe la señal de INT del controlador de interrupciones, la CPU provoca que el controlador de "bus" (8288) envíe una señal INTA al controlador de

interrupciones. Su función es decir al controlador de interrupciones que la CPU ha recibido su petición para una rutina de servicio. El 8088 saltará a la subrutina de interrupción de la misma forma que la ejecución de una interrupción por programa.

TEST E "/Test". Esta señal se utiliza para enlazar al 8088 con un procesador paralelo tal como el 8087, sincronizando el procesador principal con el(los) otro(s). Mientras el 8087 está realizando una operación numérica pone a "1" la terminal de "TEST". La CPU suspende toda actividad hasta que "TEST" vuelve a "0".

RESET E "Reset". Esta línea se utiliza para reestablecer el sistema, generalmente cuando la PC se queda trabada. El "RESET" provoca poner los registros DS, ES, SS e IP en ceros además de poner FFFFOH en el registro de código de segmento "CS". Por lo que la memoria contendrá una rutina de arranque que empieza en la dirección FFFFOH. La mayoría de las computadoras traen un interruptor conectado a la línea del "RESET" sin embargo, la PC tiene una señal llamada "POWER GOOD" conectada a la fuente y que cuando está en alto indicará que la fuente trabaja apropiadamente, de otra manera enviará un código de error relacionado con la fuente, por esto en caso de que la PC quede trabada se deberá apagar por unos segundos y volver a encender.

Si aún, al quedarse trabada las interrupciones se han dejado habilitadas y no se ha escrito sobre los vectores de interrupción en la memoria baja, se podrá restablecer el sistema por medio de las teclas CTRL-ALT-DEL, pesionándolas simultaneamente.

Debido a que el 8088 en la IBM PC trabaja en modo máximo, a continuación se explicará únicamente las señales de este modo.

Las terminales que cambian su función en modo máximo son de

la terminal 24 a la 31 y la terminal 34.

NOMBRE TIPO NOMBRE Y FUNCION

S2, S1, S0 S /Estado ó "/Status"). Por medio de las señales de estado S2, S1 y S0, se realiza la comunicación del 8088 con el 8288. El 8288 realiza una interfaz entre el 8088 y el canal de control. Las señales para el canal de control son generadas por el circuito controlador de canal por medio de las líneas de estado S2-S0. El 8288 no es un circuito inteligente por lo que su única tarea es decodificar la información presente en las líneas S2-S0 del 8088. A continuación se presenta una tabla de estas señales:

<u>S2</u>	<u>S1</u>	<u>S0</u>	ESTADO DEL 8088	ORDENES AL 8288
0	0	0	Reconocimiento de interrupciones.	INTA
0	0	1	Lectura de puerto de E/S.	IORC
0	1	0	Escritura en puerto de E/S.	IOWR
0	1	1	Parar.	NINGUNA
1	0	0	Código de acceso.	MRDC
1	0	1	Leer de memoria.	MRDC
1	1	0	Escribir en memoria.	MWTC
1	1	1	Pasivo.	NINGUNA

En el modo mínimo el 8088 produce algunas de las señales del 8288 directamente.

RQ/GTO E/S "/Request//Grant". Las terminales de concesión/petición son utilizadas por otro canal local. Cada terminal es bidireccional teniendo "RQ/GTO" mayor prioridad que "RQ/GT1". Estas líneas están encargadas de coordinar el trabajo de coprocesadores en el mismo canal del 8088, es decir que existen dos clases de

procesadores: los que ejecutan sus propias cadenas de instrucciones tales como el 8086/8088 y el 8089 (procesador de E/S) y aquellos que extienden el juego de instrucciones de un 8088 u 8086 a través de instrucciones "ESC" tal es el caso del coprocesador 8087. El 8087 incrementa grandemente la ejecución de cálculos numéricos. A través de la línea RQ/GT1 el 8087 puede cargar tantos como 10 "bytes" por operando y de esta forma ganar acceso al canal de la CPU, esto se hace manteniendo la línea RQ/GT1 en bajo durante un período de reloj. Este pulso es llamado Pulso de Requisición. Tan pronto como se puede, el 8088 responde en la misma línea con un pulso de nivel bajo, poniendo inmediatamente en tercer estado las líneas de su canal.

Después de que el 8087 ha completado la transferencia de datos envía un pulso en la misma línea, avisando al 8088 que puede continuar. Como se ve la línea RQ/GT1 es una línea bidireccional que permite a un par de microprocesadores compartir el mismo canal.

La línea RQ/GT0 opera de igual manera, mas sin embargo no es utilizada en la IBM PC.

LOCK

S

"/Lock". La señal "/LOCK" comunica a otro procesador del sistema cuando no debe intentar tomar el control del canal, esto sucede cuando esta se encuentra activada. "/LOCK" es una señal que se activa en bajo. Esta señal dice al controlador de canal y al arbitro de canal que no debe tomar los canales. Esto es importante ya que permite que los esquemas de protección definidos via programa puedan operar correctamente. Estos esquemas de protección requieren que un bloque de código el cual pueden accasar dos o mas procesadores, que esté protegido de forma que un procesador no lo puede cambiar, mientras el otro lo está leyendo para realizar otro trabajo. La señal "/LOCK" previene al control de los canales del sistema de ser transferidos de un componente a otro en el tiempo incorrecto.

QS1,QS0

S

"Queue Status". Estas líneas permiten al 8087 sincronizar su cola de instrucciones

con las del 8088. Los dos "bits" que se utilizan para codificar los cuatro estados posibles son:

QS1	QS0	ESTADO DE COLA
0	0	No operación.
0	1	Primer "byte" de la instrucción.
1	0	Cola vacía.
1	1	"Byte" siguiente de la instrucción.

Este sistema posee la ventaja de que cada instrucción puede extraerse de memoria mientras otras se están ejecutando, reduciéndose en consecuencia el tiempo de proceso.

Como se nombró en la arquitectura interna del 8088, una cola FIFO ("First-In First-Out"), que es una forma de almacenar datos en la cual el primero dato que entra es el primero que sale.

Es decir, no es mas que un área temporal de almacenamiento de datos que es llenado por un dispositivo y vaciado por otro de tal manera que el primer "byte" almacenado será el primer "byte" leído. Un ejemplo de la estructura FIFO es el "buffer" del teclado en la PC, el cual permite teclear por adelantado un número determinado de caracteres.

El 8088 posee una estructura FIFO de 4 "bytes" que se usa como cola en el ciclo de búsqueda de instrucción ("Fetch"). Su propósito es de aumentar la velocidad de ejecución de un programa. Esta estructura FIFO es constantemente llenada por una unidad de interfaz del canal, contenida dentro del 8088, la cual toma por anticipado nuevos "bytes" antes de que el apuntador de instrucción los registre y sean utilizados por la CPU. Ya que siempre en la cola están ya listas las instrucciones a ser ejecutadas, la CPU no tendrá que esperar para obtener la siguiente instrucción.

Como se ve la cola FIFO es de gran utilidad para el ciclo de búsqueda de la CPU y su velocidad aproximada de búsqueda de instrucciones es de 1.25 "Mbytes"/seg.

CAPITULO II

CIRCUITOS DE SOPORTE DEL

MICROPROCESADOR 8088 EN LA IBM PC

CAPITULO II

CIRCUITOS DE SOPORTE DEL MICROPROCESADOR 8088 EN LA IBM PC.

2.1 CONTROLADOR DE CANAL (8288).

El controlador de canal 8288 es un circuito integrado de 20 terminales, encargado de realizar la interfaz entre el microprocesador y el canal de control, como se mencionó anteriormente. Por medio de la decodificación de las señales de estado del 8088 (S2-S0), genera un conjunto complejo de señales de control, de las cuales ya se habló anteriormente en el capítulo I.

En la figura 2.1 se muestra un diagrama de referencia de las terminales 8288.

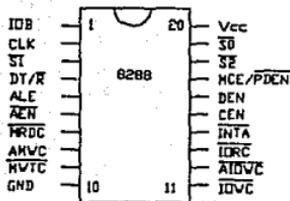


FIG. 2.1. DIAGRAMA DE REFERENCIA DE LAS TERMINALES DEL 8288.

A continuación se explica las terminales y señales del 8288.

NOMBRE	TIPO	NOMBRE Y FUNCION
S_0, S_1, S_2	E	"/Status Input". Estas son las terminales de entrada de "status" desde el 8088. El 8288 decodifica estas entradas para generar comandos y señales de control en el tiempo apropiado. Cuando estas terminales no estan activadas, están todas en un nivel alto.
CLK	E	Reloj ó "Clock". Esta señal proviene del generado de reloj 8284, y sirve para establecer la sincronía cuando las señales y comandos de control son generados.
ALE	S	"Address Latch Enable". Cuando esta señal se habilita en un nivel alto permite amarrar el valor de la dirección del dato que se desea leer.
DEN	S	"Data Enable". Esta señal sirve para habilitar el paso de los datos al canal de datos al sistema. Esta señal se activa en nivel alto.
DT/\bar{R}	S	Recepción o transmisión de datos ó "Data Transmit//Receive"). Esta señal establece la dirección del flujo de los datos. Un nivel alto en esta línea indica la transmisión (escribir a memoria o a puertos) y un nivel bajo indica recepción (lectura).
\bar{AEN}	E	"/Address Enable". Esta señal habilita la salida del valor de la dirección que se desea leer o del comando.
CEN	E	"Command Enable". Si la señal se encuentra en un nivel bajo se deshabilitan los comandos de salida, así como las señales DEN y /PDEN. Cuando la señal está en nivel alto, se habilitan las mismas señales.
IOB	E	"Input/Output Bus Mode". Cuando esta señal está amarrada a un nivel alto del 8288 funciona en el modo de canal del sistema. En la IBM PC esta señal se encuentra

amarrada a un nivel bajo, es decir el 8288 está en modo de canal de sistema. En este modo, ningún comando es enviado hasta después de 150 nseg. de que la línea AEN se ha habilitado. En el modo de canal E/S todas las líneas de comando están siempre habilitadas, es decir no dependen de la señal AEN.

<u>A</u> IOWC	S	"/Advanced I/O Write Command". Esta señal se activa en nivel bajo. Es una señal de comando que envía una indicación a los puertos de E/S de que se va a recibir una instrucción de escritura.
<u>I</u> OWC	S	"/I/O Write Command". Esta señal se activa en nivel bajo y es un comando que da la orden a un puerto de E/S de leer los datos en el canal de datos.
<u>I</u> ORC	S	"/I/O Read Command". Esta señal se activa en nivel bajo y es una señal de comando que da la orden a un puerto de E/S de enviar sus datos a través del canal de datos.
<u>A</u> MWC	S	"/Advanced Memory Write Command". Esta señal se activa en nivel bajo. Es una señal de comando envía una indicación a la memoria de que va a recibir una instrucción de escritura.
<u>M</u> WTC	S	"/Memory Write Command". Esta señal se activa en nivel bajo. Es una señal de comando que da la orden a la memoria de almacenar los datos contenidos en el canal de datos.
<u>M</u> RDC	S	"/Memory Read Command". Esta señal se activa en nivel bajo. Es una señal de comando que da la orden a la memoria de enviar sus datos a través del canal de datos.
<u>I</u> NTA	S	"/Interrupt Acknowledge". Esta línea de comando dice al controlador de interrupciones que su interrupción a sido reconocida y que puede enviar su información a través del canal de datos. Esta línea se activa en nivel bajo.
<u>MCE/PDEN</u>	S	"Master Cascade Enable//Peripheral Data Enable". Esta terminal tiene una doble

función, una para leer direcciones desde un controlador de interrupciones y la otra para habilitar datos. Esta señal no está conectada en la IBM PC.

En su estructura interna el 8288 está constituido básicamente de 4 bloques (fig. 2.2) que son: El decodificador de "estatus", la lógica de control, el generador de las señales de comando y el generador de las señales de control.

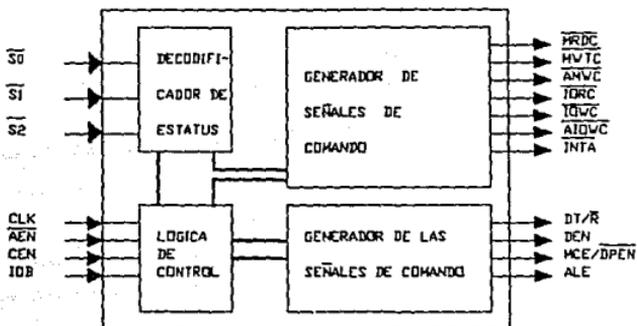


FIG. 2.2. DIAGRAMA INTERNO A BLOQUES DEL 8288.

Algunas de las señales del 8288 son importantes en la ejecución de un ciclo de máquina dentro de la IBM PC. La CPU leerá los datos de la memoria colocando primeramente la dirección en el canal de dirección y amarrandola; ya amarrada esta dirección actuará la señal de MEMR como se muestra en el diagrama de tiempos, de la figura 2.3. Como se observa en este diagrama, la línea superior esquematiza los ciclos de reloj T1, T2, T3 y T4. La duración de un

periodo en la PC es de 120 μ seg , a la frecuencia de 4.77 MHz. En el caso del 8088, para cada ciclo de máquina se utilizan cuatro periodos de reloj. A la mitad del periodo T1, la señal ALE ("Address Latch Enable"), generada por el 8288 va a un nivel bajo permitiendo amarrar los valores de la dirección del dato que se desea leer dentro de los circuitos 74LS373. Al mismo tiempo la señal DT/R ("Data Transmit/Receive"), generada también por el 8288, va a un nivel bajo provocando de esta manera que el "buffer" bidireccional 74LS245 lea el canal de datos (para el ciclo de escritura esta señal permanecerá en un nivel alto). Al final del periodo T1, la señal MEMR va a nivel bajo indicando a los circuitos de memoria que el procesador desea leer un "byte". A la mitad del periodo T2, la señal DEN ("Data Enable"), la cual es generada por el 8288, se activa y habilita las salidas de tercer estado del 74LS245 hacia las líneas AD del 8088. Hacia el final del periodo T3 la línea "READY" es muestreada, y si está en bajo se incertará inmediatamente estados de espera. Al inicio del periodo T4 el 8088 leerá el dato de las líneas AD. Para el ciclo de escritura el diagrama de tiempos es muy similar, activándose MEMW el lugar de MEMR, también DT/R permanece en un nivel alto y la señal DEN se activa al inicio del periodo T2 y se desactiva a la mitad del periodo T4. En el caso de ciclos de máquina de escritura y lectura de E/S se tienen los mismos diagramas de tiempos que para memoria, cambiando solo MEMR y MEMW por IOR e IOW, respectivamente.

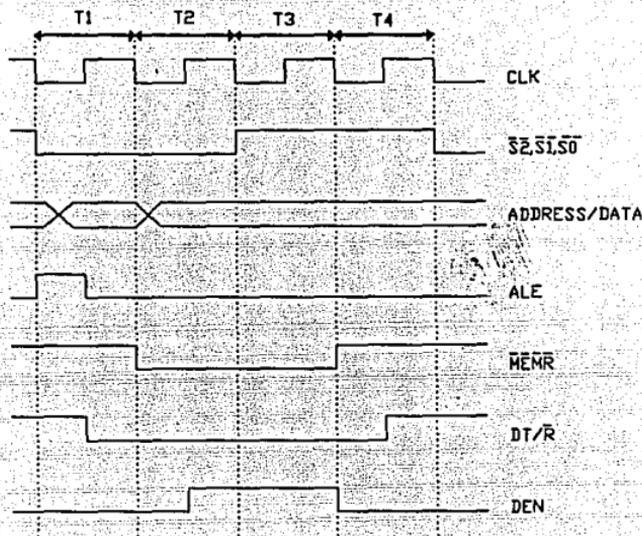


FIG. 2.3 DIAGRAMA DE TIEMPOS PARA EL CANAL DE CONTROL.

2.2 GENERADOR DE RELOJ (8284).

El procesamiento de la información dentro de la computadora es posible en gran parte a que el generador de reloj (U11), continuamente envía a la CPU señales de reloj. Como se aprecia en la figura 2.4; un cristal oscilante (Y1) se conecta al generador de reloj 8284.

Cuando se enciende la fuente de poder o cuando se acciona la combinación de las teclas CTRL-ALT-DEL, la señal "POWER GOOD" (de la cual se habló anteriormente), llega al 8284 y se genera una señal de "RESET". Esta señal

inicializa los registros de almacenamiento dentro del 8088 y provoca que la CPU comience su operación en la dirección FFFF0H, de ROM.

El generador de reloj (U11), también genera una señal de "READY" para permitir a la CPU saber si el resto de la circuitería está lista para recibir o transmitir información. Si la memoria o algún puerto de E/S no es capaz de seguir al 8088 la línea de "READY" se pone en un nivel bajo, provocando que el 8088 detenga su procesamiento hasta que el resto del sistema esté listo para continuar. El 8284 entonces enviará nuevemante la línea "READY" a un nivel alto.

Cuando la fuente de poder se enciende, el oscilador comienza a funcionar a una frecuencia de 14.31818 MHz. Esta señal maestra es utilizada para generar todas las señales de reloj en tarjeta madre, como lo muestra la figura 2.4.

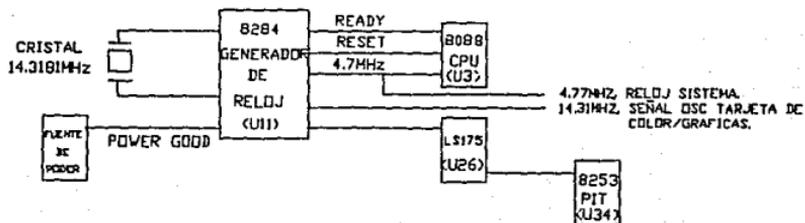


FIG. 2.4 CIRCUITERIA DE RELOJ DE LA IBM PC

La frecuencia original de reloj es dividida en tres dentro del 8284 (U11) para producir la frecuencia del sistema de 4.7772727 MHz (reloj del 8088). Esta señal de

reloj se pasa a través de un 74LS244 ("TRI-STATE OCTAL BUFFER") (U15), con el objeto de que llegue con la potencia necesaria a las ranuras de expansión.

El generador de reloj también produce una frecuencia intermedia de 2.386363 MHz, la cual es dividida en dos, en el 74LS175 ("flip-flop" tipo D) (U26), para obtener una señal de reloj de 1.1931817 MHz que se utiliza para el reloj programable 8253 (U34). La señal básica de reloj, OSC es la encargada de generar las señales de sincronización y barrido horizontal. La señal OSC está presente también en las ranuras de expansión.

En la figura 2.5 se muestra un diagrama de referencia de las terminales de 8284.

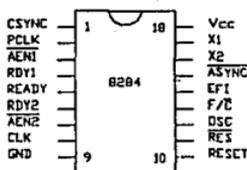


FIG. 2.5 DIAGRAMA DE REFERENCIA DE LAS TERMINALES DEL 8284.

A continuación se explican las terminales y señales del 8284.

NOMBRE	TIPO	NOMBRE Y FUNCION
--------	------	------------------

$\overline{\text{AEN1}}, \overline{\text{AEN2}}$	E	"/Address Enable". Estas señales se activa en nivel bajo y sirven para activar a sus respectivas señales de RDY ("BUS READY"). AEN1 valida a RDY1, mientras que AEN2 valida a RDY2. Esto es para poder utilizar
--	---	---

un sistema de canales multimaestro. En la IBM PC solo se utiliza AEN1.

- RDY1, RDY2 E Canal disponible ó "Bus Ready". RDY es una señal que se activa en nivel alto y sirve para indicar a un periférico localizado en el canal de datos del sistema que los datos han sido recibidos o están disponibles. En la IBM PC sólo se utiliza RDY1.
- ASYNC E "/Ready Synchronization Select". Es una entrada que define el modo de sincronización de la lógica READY. Cuando ASYNC está bajo se generan dos periodos de sincronización READY. Cuando está en un nivel alto se genera un periodo de sincronización READY. En la IBM PC esta señal está amarrada a tierra.
- READY S "Ready". Esta señal se activa en nivel alto y está sincronizada por la señal de entrada ASYNC. Esta es enviada directamente al microprocesador donde ya se explicó la función de la misma.
- X1, X2 E "Cristal In". X1 y X2 son las terminales de las cuales está conectado el cristal. La frecuencia del cristal es tres veces mayor a la deseada para la frecuencia de reloj del microprocesador.
- F/C E "Frequency//Crystal Select". Cuando esta señal se encuentra en nivel bajo, permite al reloj del microprocesador ser generado por el cristal. Cuando está en alto, el CLK es generado desde la entrada EFI del 8284. en la IBM PC esta señal está amarrada a tierra.
- EFI E Frecuencia externa ó "External Frequency". Cuando F/C está en nivel alto, la señal CLK es generada desde la frecuencia de entrada que aparece en esta terminal. En la IBM PC esta señal no está conectada.
- CLK S Clock ó "CLK". Es la señal que proporciona el reloj de salida utilizado por el microprocesador y todos los dispositivos o periféricos que estén conectados directamente al canal del microprocesador. Esta señal tiene una frecuencia de 1/3 de la frecuencia del cristal.

PCLK	S	Reloj periférico ó "Peripheral Clock". Es una señal de salida de reloj cuya frecuencia es la mitad de la frecuencia de la señal CLK. Se activa en nivel alto.
OSC	S	"Oscillator Output". Es una señal de salida de reloj cuya frecuencia es la misma que la del cristal. Se activa en nivel alto.
$\overline{\text{RES}}$	S	"Reset In". Es una señal que se activa en nivel bajo y es utilizada para generar el "RESET".
RESET	S	"Reset". Es la señal de salida "RESET" utilizada por el microprocesador. Esta señal está conectada directamente al microprocesador y se explicó en la parte correspondiente a éste.
CSYNC	S	Sincronización de reloj ó "Clock Synchronization". CSYNC es una señal que se activa en nivel alto. Esta señal es la que permite al 8284 ser conectado a otros circuitos 8284 y sincronizar los relojes de estos. En la IBM PC esta señal está amarrada a tierra.

2.3 CONTROLADOR DE INTERRUPCIONES PROGRAMABLES (8259).

El controlador de interrupciones programable 8259, es responsable de coordinar los requerimientos de interrupción que hacen los diferentes periféricos o puertos de E/S, tales como, teclado, impresora, "drives", etc. El microprocesador es el circuito más ocupado en la IBM PC, de manera que si algún puerto o dispositivo requiere de su atención, debe primero ser atendido por el 8259, el cual actúa como intermediario. El 8259 decide que puerto o dispositivo de E/S tiene mayor prioridad y si el 8088 está haciendo algo que puede ser interrumpido. La estructura interna del 8259

se muestra en la figura 2.6. El 8259 maneja ocho líneas de requerimiento de interrupción que van de IR0 a IR7, las cuales se activan en alto. La mayor prioridad está en la línea IR0 y la mas baja prioridad en la línea IR7. Cuando el 8259 ha aceptado un requerimiento de interrupción a través de cualquiera de sus líneas IR0-IR7, este activa la señal INT del 8088. Si las interrupciones del 8088 están habilitadas, el 8088 reconoce la interrupción activando la señal INTA del 8288 (en nivel bajo), por medio de las líneas de estatus S0-S2. Al activarse la señal INTA, el 8259 coloca en el nivel de datos un número del vector de interrupción correspondiente a la interrupción que se está atendiendo. Este número identifica un vector de intrrumpción de cuatro "bytes" en la parte mas baja de la memoria RAM. Mas especificamente, si el 8259 coloca el número "nn" en el canal de datos, se lee el vector de interrupción que se encuentra en la dirección 4(nn) y entonces el 8088 ejecuta la rutina de la dirección contenida en este vector de interrupción. Cuando la interrupción ha sido atendida el 8088 continuará con la tarea que inicialmente estaba realizando.

A continuación se muestran las señales y terminales del 8259:

NOMBRE	TIPO	NOMBRE Y FUNCION
\overline{CS}	E	/Selección de circuito ó "/Chip select". Un nivel bajo en esta terminal habilita la

comunicación de las señales RD y WR entre la CPU y el 8259. Las funciones de petición de interrupción son independientes de esta señal.

<u>WR</u>	E	/Escritura ó "/Write". Un nivel bajo en esta señal (cuando también hay un nivel bajo en la señal CS), habilita al 8259 para aceptar comandos provenientes de la CPU.
<u>RD</u>	E	/Lectura ó "/Read". Un nivel bajo en esta señal (cuando también hay un nivel bajo en la señal CS), permite al 8259 enviar el "estatus" del registro de requerimiento de interrupción (IRR) del registro "en servicio" (ISR) y el registro de interrupción mascarable (IMR) sobre el canal de datos. Estos registros se explicarán mas adelante.
CASO- CAS2	E/S	"Cascade Lines". Las líneas CAS, forman un canal privado del 8259 para coordinar las funciones de múltiples 8259's. Se pueden interconectar hasta ocho circuitos 8259, para tener hasta 64 niveles de interrupciones. Esta terminal actúa como salida para el 8259 maestro y como entrada para el (los) 8259 esclavo(s).
<u>SP/EN</u>	E/S	"Slave Program//Enable Buffer". Esta es una terminal con doble función. Cuando está en modo "Buffered", es usada como salida para asegurar el "byte" del vector de interrupciones en su canal de datos. Cuando no está en ese modo es usada como entrada para designar al circuito como maestro (SP=1) o como esclavo (SP=0).
INT	S	Interrupción ó "Interrupt". Esta señal se activa siempre que un requerimiento de interrupción ha sido aceptado. Es usada para interrumpir a la CPU y está conectada directamente a esta.
IRO-IR7	E	Requerimiento de inerrupción ó "Interrupt Requests". Estas señales son las que utilizan los periféricos para hacer el requerimiento de una interrupción. Permanecen activadas hasta que la interrupción ha sido reconocida.
<u>INTA</u>	E	"/Interrupt Acknowledge". Cuando esta señal

se habilita en un nivel alto, el 8259 coloca en el canal de datos el número del vector de interrupción.

AO E "Address Line". Esta terminal actua en conjunto con las terminales /CB, /WR y /RD. Es usada por el 8259 para descifrar las palabras de comando que la CPU escribe y los "estatus" que la CPU desea leer. Está directamente conectada a la dirección AO de la CPU.

Como se puede apreciar en la figura 2.6, el 8259 consta de ocho bloques internos.

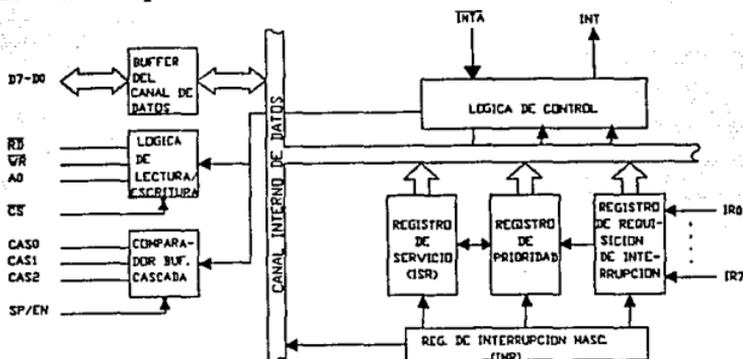


FIG. 2.6: DIAGRAMA A BLOQUES INTERNO DEL 8259.

Básicamente el requerimiento de interrupción está manejado por tres registros en cascada: el registro de requerimiento de interrupción (IRR), es utilizado para almacenar todos los niveles de interrupción que están demandando atención desde el exterior. El registro en servicio (ISR), almacena todos los niveles que están siendo atendidos y el registro de interrupción mascarable (IMR) almacena los "bits" de las líneas de interrupción que son

mascarables. El 8259 puede programarse para que ignore o controle cualquier combinación de sus líneas IR0-IR7. Esta selección se determina a través de lo que recibe el nombre de máscara de interrupciones, esto es, un "byte" que envía al 8259 el 8088 a través del canal de datos. Los ocho "bits" de la máscara corresponden a las ocho interrupciones. Si se quiere ignorar alguna de las interrupciones (IR0-IR7), basta con poner a 1 el "bit" de la máscara de interrupciones asociado a dicha interrupción. Así, si la máscara es 11111111, el 8259 ignorará todas las interrupciones, y si la máscara es 00000000 el 8259 responderá a todas las interrupciones, respetando los niveles de prioridad. Si al 8259 le llegan dos o mas requerimientos de interrupción al mismo tiempo, el bloque de decisión de prioridad determinará a cual debe atender primero; para tomar su decisión este bloque verifica a los registros IRR, ISR e IMR. Este bloque es también el que determina si la lógica de control debe enviar una señal INT al 8088. El bloque de "Buffer" del canal de datos, es bidireccional y es utilizado para hacer la interfaz del 8259 con el 8088 por medio del canal de datos formado por las líneas DB0-DB7. Las palabras de control, la información de estado y los datos del vector de interrupción son transferidos a través de este bloque. La función del bloque de la lógica de escritura/lectura es controlar la programación del 8259. Las terminales /RD,/WR,AO y /CS son utilizadas para controlar el acceso a este bloque por el 8088. Como se mencionó anteriormente, se

pueden conectar varios 8259 para expandir el número de los niveles de interrupción hasta 64. Esto se controla por medio del bloque comparador/"buffer" cascada, el cual utiliza las terminales SP/EN y CAS0-CAS2, para determinar cual es el circuito maestro y cuales son los esclavos.

A continuación se presenta una tabla de que dispositivos son los que están conectados a las líneas IR0-IR7 en la IBM PC.

LINEA	PROVIENE DEL DISPOSITIVO
IRQ	PIT (8253)
IR1	TECLADO
IR2	RANURA DE EXPANSION
IR3	RANURA DE EXPANSION
IR4	UART (8250)
IR5	RANURA DE EXPANSION
IR6	FDC (8272)
IR7	PPI (8855)

En la figura 2.7 se muestra un diagrama de referencia de las terminales del 8259.

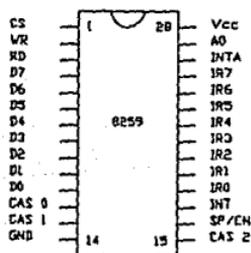


FIG. 2.7. DIAGRAMA DE REFERENCIA DE LAS TERMINALES DEL 8259.

2.4 INTERFAZ PARALELA PROGRAMABLE (8255).

Por medio del puerto programable 8255, se logra fácilmente y a bajo costo controlar dispositivos externos e internos en forma paralela.

El 8255 PPI ("Programmable Peripheral Interface"), es un circuito de cuarenta terminales (figura 2.8), de las cuales 24 son líneas que pueden ser programadas individualmente ya sea como entradas o como salidas. Estas 24 líneas se dividen en dos grupos (A y B) de 12 líneas ("bits") cada uno, los cuales están formados por tres puertos:

GRUPO A - Puerto A (8 "bits") y parte alta del puerto C (4 "bits").

GRUPO B - Puerto B (8 "bits") y parte baja del puerto C (4 "bits").

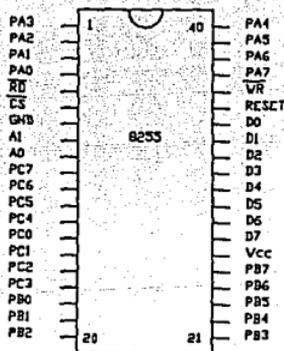


FIG. 2.8. DIAGRAMA DE REFERENCIA DE LAS TERMINALES DEL 8255.

Debido a que la configuración funcional del 8255 se define por programa, generalmente no se requiere de lógica externa para interfazar dispositivos periféricos. Su configuración a bloques es la que se muestra en la figura 2.9.

El "buffer" del canal de datos de tercer estado, es utilizado para interfazar al 8255 con el canal de datos del sistema. Los datos serán transmitidos y recibidos a través de esta unidad durante la ejecución de instrucciones de E/S. Las palabras de control y de "estatus" son transferidas también a través de este bloque. La lógica de control de lectura/escritura, maneja las transferencias internas y externas, tanto de las palabras de datos y control como de estado, además de transferir los comandos a los grupos de control. La comunicación entre el 8255 y la CPU se habilitará por medio de la terminal /CS (se activa en nivel bajo). Por medio de la línea /RD (se activa en nivel bajo), se habilitará al 8255 para enviar datos o palabras de control al CPU por el canal de datos. De manera opuesta por medio de la línea /WR (se activa en nivel bajo), se habilitará a la CPU para escribir datos o palabras de control dentro del 8255. Existen dentro de la lógica de control de lectura/escritura puertos de selección (A0 y A1) que en combinación con las señales /WR y /RD controlan la selección de alguno de los tres puertos. Por lo general se conectan a los "bits" menos significativos del canal de direcciones, (A0-A1). En la siguiente tabla se esquematiza la operación

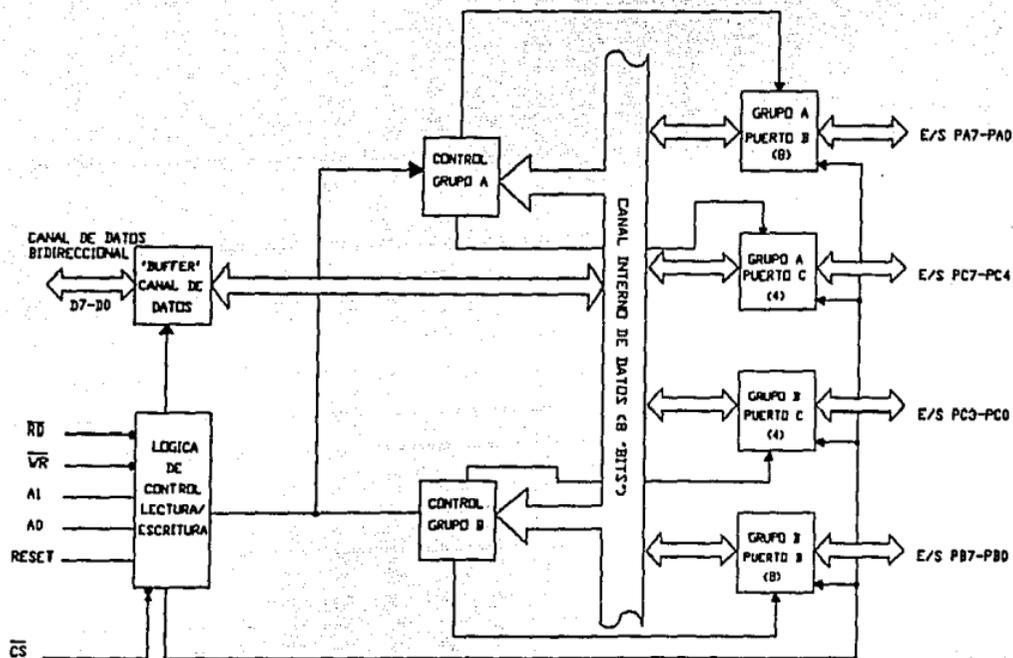


FIG. 2.9: DIAGRAMA INTERFAZ PARALELA PROGRAMABLE.

básica del 8255 con las señales /RD, /WR, /CS, AO Y A1.

A1	AO	RD	WR	CS	OPERACION DE ENTRADA (LECTURA)
0	0	0	1	0	DEL PUERTO A AL CANAL DE DATOS
0	1	0	1	0	DEL PUERTO B AL CANAL DE DATOS
1	0	0	1	0	DEL PUERTO C AL CANAL DE DATOS
OPERACION DE SALIDA (ESCRITURA)					
0	0	1	0	0	DEL CANAL DE DATOS AL PUERTO A
0	1	1	0	0	DEL CANAL DE DATOS AL PUERTO B
1	0	1	0	0	DEL CANAL DE DATOS AL PUERTO C
1	1	1	0	0	DEL CANAL DE DATOS AL CONTROL
FUNCION DE DESHABILITACION					
X	X	X	X	1	TERCER ESTADO DEL CANAL DE DATOS
1	1	0	1	0	CONDICION ILEGAL
X	X	1	1	0	TERCER ESTADO DEL CANAL DE DATOS

MODOS DE OPERACION DEL 8255.

SELECCION DE MODO. Existen tres modos de operación del 8255 que pueden ser seleccionados por programa:

MODO 0: Modo de E/S básico.

MODO 1: Modo de E/S, con "handshaking".

MODO 2: Modo de canal bidireccional.

Los modos para el puerto A y B pueden ser definidos separadamente, mientras que el puerto C es dividido en dos porciones como requisito para la definición de los puertos A y B. Todos los registros de salida, incluyendo los

biestables de "estatus", son restablecidos siempre que se cambia de modo. Los modos de operación pueden ser combinados, por ejemplo: el grupo B puede ser programado en el modo 0, para monitorear el estado de interrupciones, mientras que el grupo A puede ser programado en modo 1 para monitorear un teclado o lector de cintas en forma conmutada. En la figura 2.10 se muestra la definición de los modos de operación para cada puerto. A continuación se presentan las características resumidas de cada modo de operación de los puertos del 8255, enfatizando el modo 0, que es en el cual trabaja la IBM PC.

MODO 0. En este modo se pueden realizar operaciones simples de entrada y salida para cada uno de los tres puertos en operaciones que no requieran protocolos; simplemente los datos serán leídos o escritos a un puerto específico. Las definiciones del modo 0 son las siguientes:

- Dos puertos de 8 "bits" y dos puertos de 4 "bits".

- Cualquier puerto puede ser entrada o salida.

- Las salidas de datos son amarradas.

- Las entradas de datos no son amarradas.

- Existen 16 diferentes configuraciones de E/S en este modo.

Para la programación del 8255 en modo 0, se requiere enviar una palabra de control a la lógica de escritura/lectura y de control. El formato de esta palabra se muestra en la figura 2.11. Con este formato se pueden tener 16 diferentes configuraciones para cualquiera de los tres puertos. Estas configuraciones se muestran en la siguiente tabla:

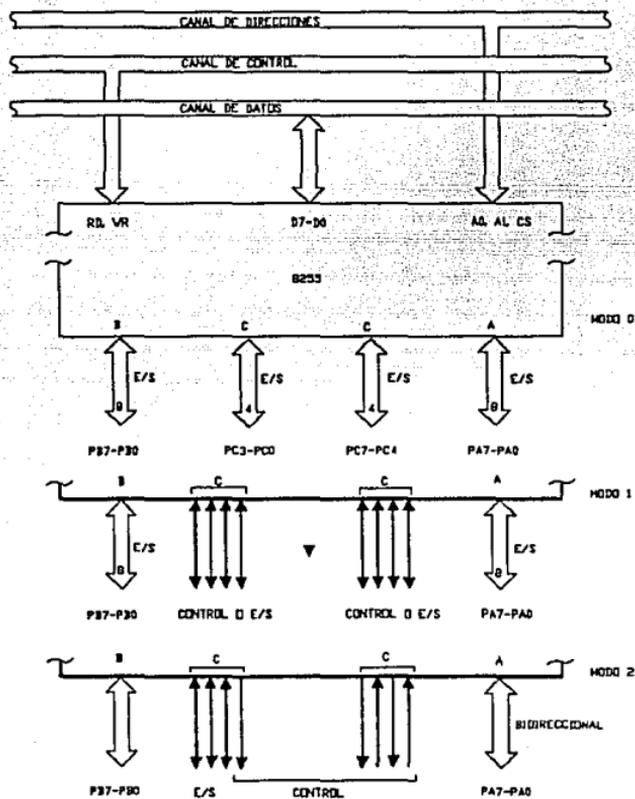


FIG. 2.10. DEFINICIONES DE LOS MODOS DEL 8255.

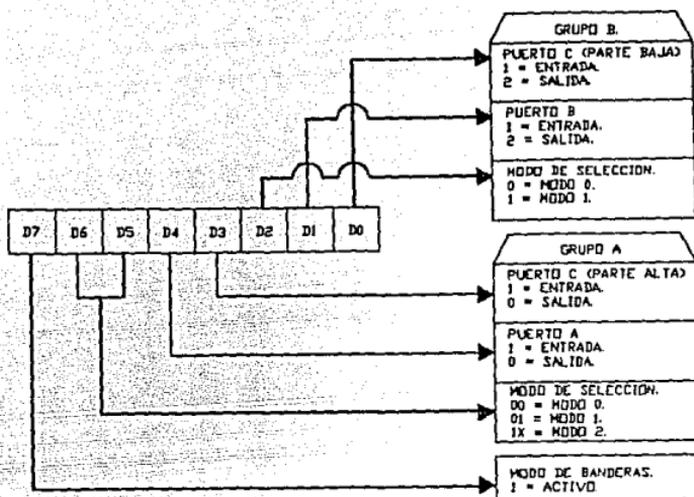


FIG 2.11. FORMATO DE DEFINICIONES DE LOS MODOS EN EL 8255.

A		B		GRUPO A			GRUPO B	
D4	D3	D1	D0	PUERTO	PUERTO	#	PUERTO	PUERTO
0	0	0	0	SALIDA	SALIDA	0	SALIDA	SALIDA
0	0	0	1	SALIDA	SALIDA	1	SALIDA	ENTRADA
0	0	1	0	SALIDA	SALIDA	2	ENTRADA	SALIDA
0	0	1	1	SALIDA	SALIDA	3	ENTRADA	ENTRADA
0	1	0	0	SALIDA	ENTRADA	4	SALIDA	SALIDA
0	1	0	1	SALIDA	ENTRADA	5	SALIDA	ENTRADA
0	1	1	0	SALIDA	ENTRADA	6	ENTRADA	SALIDA
0	1	1	1	SALIDA	ENTRADA	7	ENTRADA	ENTRADA

A		B		GRUPO A			GRUPO B	
D4	D3	D1	D0	PUERTO A	PUERTO C (ALTO)	#	PUERTO B	PUERTO C (BAJO)
1	0	0	0	ENTRADA	SALIDA	8	SALIDA	SALIDA
1	0	0	1	ENTRADA	SALIDA	9	SALIDA	ENTRADA
1	0	1	0	ENTRADA	SALIDA	10	ENTRADA	SALIDA
1	0	1	1	ENTRADA	SALIDA	11	ENTRADA	ENTRADA
1	1	0	0	ENTRADA	ENTRADA	12	SALIDA	SALIDA
1	1	0	1	ENTRADA	ENTRADA	13	SALIDA	ENTRADA
1	1	1	0	ENTRADA	ENTRADA	14	ENTRADA	SALIDA
1	1	1	1	ENTRADA	ENTRADA	15	ENTRADA	ENTRADA

MODO 1. Esta configuración permite la transferencia de datos de o hacia un puerto específico conjuntamente con señales de protocolo. En el modo 1, el puerto A y el puerto B utilizan las líneas del puerto C, para la generación o aceptación de las señales de protocolo. Las definiciones funcionales del modo 1 son las siguientes:

-Dos grupos (grupo A y grupo B).

-Cada grupo contiene un puerto de 8 "bits" de datos y uno de 4 "bits" como puerto de datos o de control.

-Los puertos de 8 "bits" pueden ser entradas o salidas. En ambos casos son amarrados los datos.

-Los puertos de 4 "bits" se usan para el control de los puertos de 8 "bits".

MODO 2. Este modo permite la comunicación con dispositivos periféricos a través de un canal de datos de 8 "bits" en forma bidireccional en combinación con señales de protocolo. También se pueden realizar funciones de interrupción. Las definiciones funcionales del modo 2 son las siguientes :

-Este modo sólo se usa con el grupo A.

-El puerto bidireccional es el A (8 "bits"), controlado por 5 "bits" del puerto C.

-Tanto la entrada como la salida de datos son amarradas.

En la IBM PC, 16 líneas son utilizadas como entradas y 8 como salidas. El puerto A y C actúan como entradas, mientras que el puerto B actúa como salidas. El puerto A del 8255 en la IBM PC lee los interruptores SW1, de la tarjeta del sistema cuando PB7 está en un nivel alto. En los

interruptores SW1, se especifica la configuración que tiene la máquina, con el interruptor 1 la operación normal del sistema (siempre debe estar en apagado), el interruptor 2 indica si se tiene instalado coprocesador matemático (8087), los interruptores 3 y 4 indican la cantidad de memoria que está instalada en el sistema principal, el 5 y 6 indican el tipo de monitor conectado ya sea color o blanco y negro, los interruptores 7 y 8 indican el número de unidades de "drives" que están instalados. Los "bits" de la parte alta del puerto C del 8255, reportan el estado de la paridad de la RAM, el estado del canal de E/S (las líneas conectadas a las ranuras de expansión) y la salida del canal 2 del 8253 (temporizador de intervalos programable). La parte baja da el valor binario del número de bancos de memoria RAM de 32 "Kbytes" en el canal de E/S como está especificado en el interruptor SW2. Esto permite a la PC reconocer hasta ocho bancos de 64 "Kbytes" en los canales de E/S. El puerto B de 8255 de la IBM PC es usado para habilitar el canal 2 del 8253 y generar la onda cuadrada para la bocina, además de que se pueden enviar formas de onda programadas a la bocina (PB1). En la figura 2.12 se muestra en forma esquemática la configuración del 8255 y la función de cada uno de sus puertos en la IBM PC.

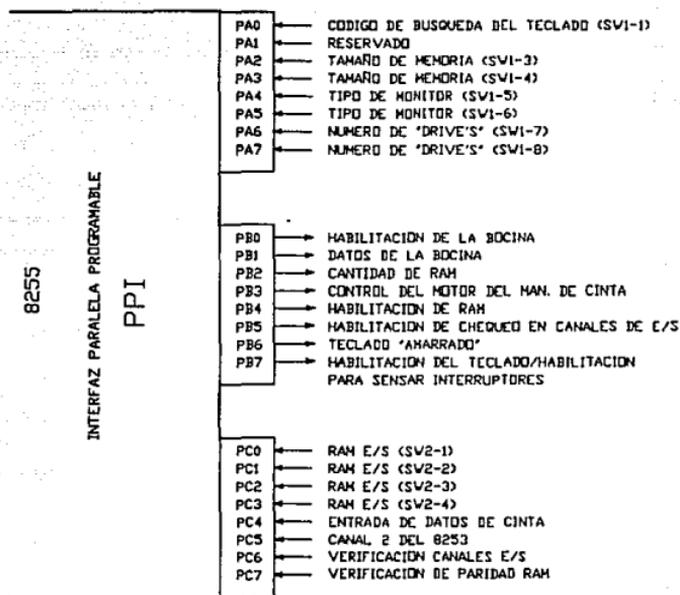


FIG. 2.12. CONFIGURACION DEL 8255 EN LA IBM PC.

2.5 TEMPORIZADOR DE INTERVALOS PROGRAMABLE (8253).

El 8253 es un circuito de 24 terminales (figura 2.13), contador/temporizador programable diseñado para trabajar como periférico en sistemas de microprocesadores. Cuenta con tres contadores independientes de 16 "bits" cada uno y que pueden manejar a la entrada señales de reloj desde 0 hasta 2.6 MHz. La cuenta puede ser en binario o en BCD, siendo programables sus modos de conteo. La función principal del 8253 es la de generar retardos de tiempo con buena precisión (si estos retardos se generan por programa se requieren demasiadas iteraciones). Este circuito tiene la facilidad de iniciar automáticamente cualquier conteo e interrumpir a la CPU al momento de finalizarlo, por lo que la programación de este es mínima y permite tener un buen número de retardos de tiempo mediante la asignación de niveles de prioridad. Otras tareas que puede desarrollar el 8253, además de retardos de tiempo, son conteo de eventos, reloj del tiempo real, como disparador de circuitos digitales , como multiplicador binario, etc.

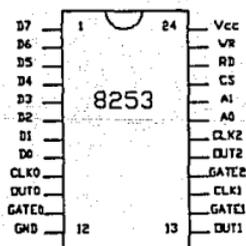


FIG. 2.13. DIAGRAMA DE REFERENCIA DE LAS TERMINALES DEL 8253.

En la figura 2.14 se muestra un diagrama a bloques de la estructura interna del 8253.

El "buffer" de datos bidireccional de tercer estado, se utiliza para interconectar el canal de datos del sistema con el 8253. Los datos serán transmitidos y recibidos a través de este "buffer". Por medio de interrupciones "OUT" o "IN" de la CPU. Las funciones básicas de este "buffer" son tres:

- 1) Programación de los modos del 8253.
- 2) Carga de los registros de la cuenta.
- 3) Lectura de los valores de la cuenta.

Otro bloque del 8253 es el de la lógica de lectura/escritura, la cual genera las señales de control para la operación del dispositivo, este bloque se activa o desactiva a través de la línea /CS (se activa en nivel bajo), lo cual no permite que se active a menos que este periférico haya sido seleccionado por la lógica del sistema. Por medio de la línea /RD (se activa en nivel bajo), se notifica al 8253 que la CPU está leyendo el valor de los contadores. Cuando la línea /WR se activa (en nivel bajo), la CPU informa al 8253 que está cargando a los contadores o que está enviando información en los modos de operación. Las líneas A0 y A1, van conectadas al canal de direcciones permitiendo la selección de uno de los tres contadores y además direccionan al registro de control para la selección del modo. La combinación de A0 y A1, con las líneas /RD, /WR y /CS, seleccionan la lectura, carga y deshabilitación de cada contador. La siguiente tabla muestra las diferentes combinaciones:

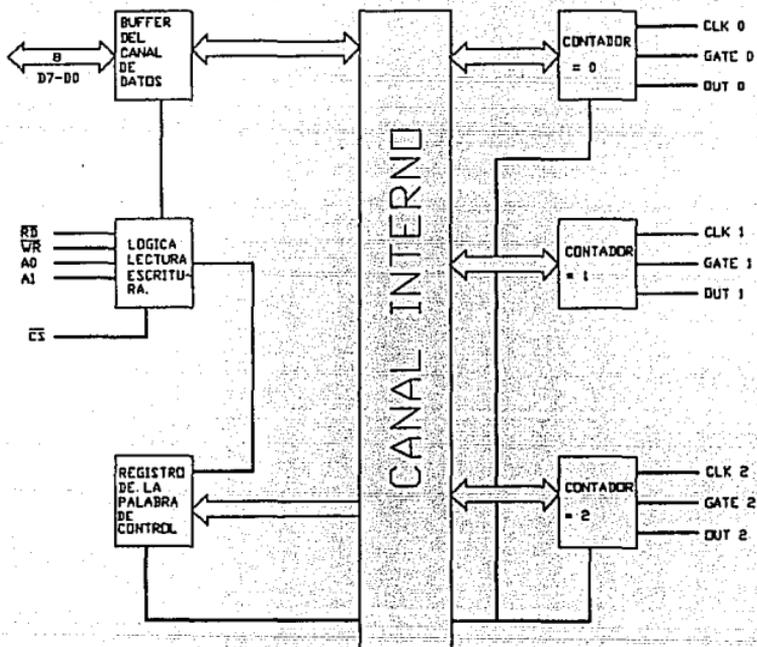


FIG. 2.14. TEMPORIZADOR DE INTERVALOS PROGRAMABLE 8253, USADO EN LA PC PARA EL RELOJ DE TIEMPO REAL Y REFRESCO DE MEMORIA.

CS	RD	WR	A1	A0	
0	1	0	0	0	CARGA AL CONTADOR 0
0	1	0	0	1	CARGA AL CONTADOR 1
0	1	0	1	0	CARGA AL CONTADOR 2
0	1	0	1	1	ESCRIBE LA PALABRA DE MODO
0	0	1	0	0	LEE CONTADOR 0
0	0	1	0	1	LEE CONTADOR 1
0	0	1	1	0	LEE CONTADOR 2
0	0	1	1	1	TERCER ESTADO (NO OPERA)
1	X	X	X	X	TERCER ESTADO (DESHABILITADO)
0	1	1	X	X	TERCER ESTADO (NO OPERA)

Otro bloque del 8253 es el registro de control, el cual es seleccionado cuando A0 y A1 son "11", en este momento la información que se encuentra en el "buffer" del canal de datos queda almacenado en este registro y controlará la operación de cada contador, además seleccionará si la cuenta será binaria o BCD y cargará cada registro. En el registro de control sólo se puede escribir, mas no leer.

Los tres últimos bloques son los contadores del 8253. Cada contador consiste de un solo contador de 16 "bits", pre-seleccionable descendente y su entrada, salida y compuerta son configuradas por la selección del modo almacenado en el registro de control. El contador puede operar ya sea en binario o en BCD, cada contador puede programarse en forma independiente por lo que cada uno puede tener su propia configuración y operación de conteo. Dentro de la IBM PC, el contador 1 es usado para activar el DMA (8237) e iniciar el refresco de la memoria RAM. El contador 2 y el 0 son usados para el calendario y el reloj, y para la generación de frecuencias para la bocina.

PROGRAMACION DEL 8253.

Todos los modos del 8253, son programados por el programa del sistema por medio de operaciones de E/S. Cada contador del 8253 es programado individualmente por medio de una palabra de control que se almacena en el registro de control (A0,A1=11). El formato de la palabra de control del 8253 es el siguiente:

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

En donde:

SC - selección del contador: SC0 SC1

0	0	SELECCION DEL CONTADOR 0.
0	1	SELECCION DEL CONTADOR 1.
1	0	SELECCION DEL CONTADOR 2.
1	1	ILEGAL

RL - lectura/carga: RL1 RL2

0	0	OPERACION DE "AMARRE DEL CONTADOR".
1	0	LECTURA/CARGA SOLO DEL "BYTE" MAS SIGNIFICATIVO.
0	1	LECTURA/CARGA SOLO DEL "BYTE" MENOS SIGNIFICATIVO.
1	1	LECTURA/CARGA PRIMERO DEL "BYTE" MENOS SIGNIFICATIVO Y DESPUES DEL "BYTE" MAS SIGNIFICATIVO.

M - modo:

M2	M1	M0	
0	0	0	MODO 0
0	0	1	MODO 1
X	1	0	MODO 2
X	1	1	MODO 3
1	0	0	MODO 4
1	0	1	MODO 5

BCD:
0 CONTADOR BINARIO DE 16 "BITS".
1 CONTADOR BCD.

DEFINICION DE LOS MODOS.

MODO 0: (Interrupción al final de la cuenta). La salida se mantiene inicialmente en nivel bajo, después de seleccionar el modo de operación. Así se mantiene mientras la cuenta es cargada en el registro del contador seleccionado y aún cuando el contador comienza a contar. Cuando la cuenta terminal se ha alcanzado la salida irá a un nivel alto y así se mantendrá hasta que el registro de control sea nuevamente inicializado con el modo y una nueva cuenta. El contador continúa decrementándose después de que la cuenta terminal ha sido alcanzada.

MODO 1: (De disparo programable). La salida se mantiene en nivel bajo durante la cuenta, siguiendo el flanco de subida de la entrada "GATE". La salida irá a un nivel alto al finalizar la cuenta. Si durante la cuenta actual se carga un nuevo valor para otra cuenta la duración del pulso de disparo no se afectará hasta que suceda el disparo actual. El pulso de disparo es "redisparable", por lo que la salida permanecerá en nivel bajo para la cuenta terminada después de cualquier flanco de subida de la entrada "GATE".

MODO 2: (Generador de proporción). Es un contador que divide la entrada por "n", donde "n" es un número de 16 "bits". La

salida se mantiene a nivel alto para los "n" periodos de reloj de entrada y en cada terminación de cuenta se va a nivel bajo durante un periodo de reloj. Por lo que la salida es una forma de onda asimétrica, cuyo periodo es: entrada de reloj/n.

MODO 3: (Generador de onda cuadrada). Este modo genera una salida simétrica en forma de onda cuadrada. Este modo es usado por el contador 0 y el contador 2 para el calendario y la bocina en la IBM PC.

Los modos 4 y 5 son similares a los modos 0 y 1, excepto que la salida permanece a nivel alto hasta que se ha terminado la cuenta y en este momento va a un nivel bajo durante un periodo de reloj de entrada y nuevamente regresa a un nivel alto.

Los modos 1 y 5 que poseen la función de disparo son "redisparables", esto es, la salida permanece en el estado de su cuenta (nivel bajo para el modo 1 y nivel alto para el modo 5), para la cuenta completa después del último flanco de subida de la entrada "GATE". Para los modos 0 y 2, un nivel alto en la terminal "GATE" habilitará la cuenta. En la siguiente tabla se reúne las operaciones de la terminal "GATE".

MODO	BAJO/FLANCO DE BAJADA	ESTATUS DE LA SEÑAL FLANCO DE SUBIDA.	ALTO
0	Deshabilita la cuenta	----	Habilita la cuenta
1	—	1) Inicializa la cuenta. 2) Limpia la salida después del siguiente reloj.	—
2	1) Deshabilita la cuenta. 2) Pone la salida inmediatamente en alto.	1) Carga al contador. 2) Inicializa la cuenta.	Habilita la cuenta
3	1) Deshabilita la cuenta. 2) Pone la salida inmediatamente en alto.	1) Recarga al contador. 2) Inicializa la cuenta.	Habilita la cuenta
4	Deshabilita la cuenta.	—	Habilita la cuenta
5	—	Inicializa la cuenta.	Habilita la cuenta

2.6 CONTROLADOR PROGRAMABLE DE ACCESO DIRECTO A MEMORIA (8237).

El DMA ("Direct Memory Access"), es un microprocesador de propósito especial de 40 terminales (figura 2.15), optimizado esencialmente para transferir bloques de datos hasta 64 "Kbytes" de uno a otro lado de la memoria o bien entre dispositivos de E/S y memoria.

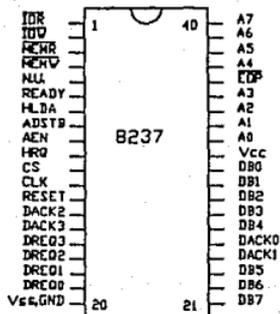


FIG. 2.15. DIAGRAMA DE REFERENCIA DE LAS TERMINALES DEL 8237.

En la figura 2.16, se muestra un diagrama a bloques de la estructura interna del 8237. El 8237 contiene 344 "bits" de memoria interna en forma de registros. La siguiente tabla enlista estos registros por nombre y muestra en tamaño cada uno. Una descripción de los registros y sus funciones se hará mas adelante.

NOMBRE	TAMAÑO("bits")	NUMERO DE REGISTRO
Registros de dirección base.	16	4
Registros contadores de palabra base.	16	4
Registros de dirección en curso.	16	4
Registros contadores de palabra en curso.	16	4
Registro temporal de direcciones.	16	1
Registro temporal contador de palabra.	16	1
Registro de estado.	8	1

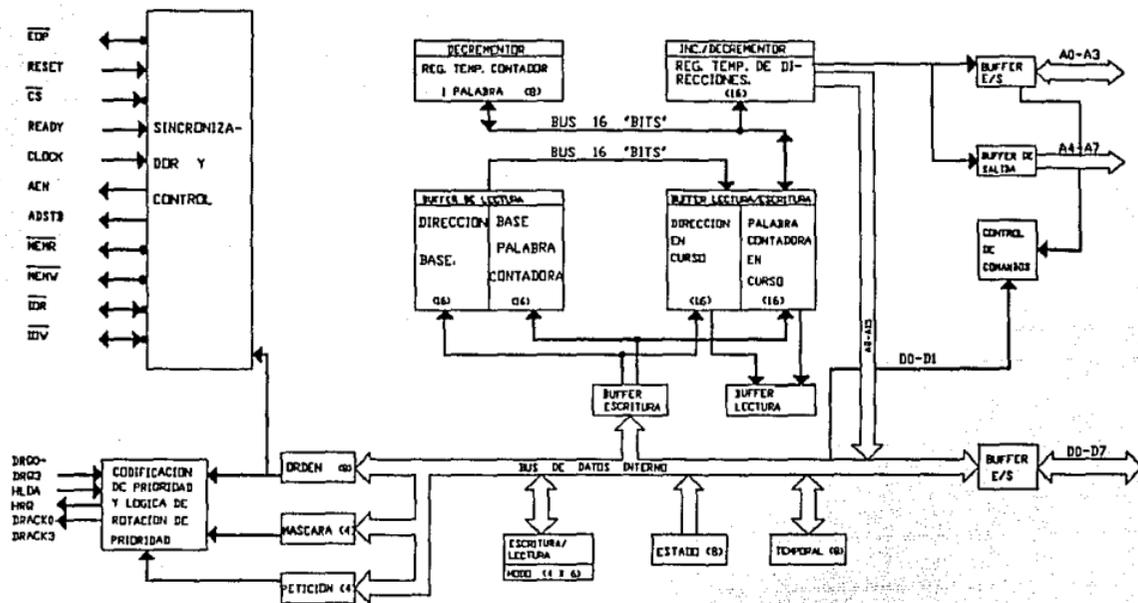


FIG. 2.16. CONTROLADOR DE ACCESO DIRECTO A MEMORIA 8237.

NOMBRE	TAMANO("bits")	NUMERO DE REGISTRO
Registro de orden.	8	1
Registro temporal.	8	1
Registro de modo.	6	4
Registro de máscara.	4	1
Registro de petición.	4	1

El 8237 contiene 3 bloques básicos de lógica de control. El bloque de control y sincronización, que genera el tiempo interno y el control externo de las señales del 8237. El bloque de control de comandos, que decodifica los comandos dados al 8237 por el microprocesador para realizar un servicio. Y el bloque codificador de prioridad, que resuelve la prioridad entre los canales del DMA que requieren de su servicio simultáneamente.

A continuación se muestran las terminales y señales del DMA:

NOMBRE	TIPO	NOMBRE Y FUNCION
CLK	E	"Clock". La señal de reloj controla la operación interna del 8237 y su razón de transferencia de datos. Esta entrada es de 3 MHz para el 8237 estándar y de 5 MHz para el 8237-5.
RESET	E	"Reset". Esta señal cuando se activa (a nivel alto), limpia los registros de estados, temporal, orden y petición.
READY	E	"Ready". Es una señal de entrada que se activa en nivel alto y se usa para retardar los pulsos de lectura/escritura en la memoria del 8237 cuando está haciendo transferencia a memoria o a dispositivos de E/S mas lentos.
HLDA	E	"Hold Acknowledge". Esta señal se activa en nivel alto e indica al 8237 que la CPU ha abandonado el control del sistema de canales.

DREQ0- DREQ3	E	"DMA Request". Las líneas de requerimiento de DMA son usadas por circuitos periféricos para obtener el servicio del DMA. La mayor prioridad la tiene la línea DREQ0 y la menor la tiene la línea DREQ3. Un requerimiento es generado activando la línea DREQ de un canal. La señal DREQ debe ser mantenida en un nivel alto hasta que la correspondiente señal DACK se active.
DB0-DB7	E/S	"Data Bus". Las líneas del canal de datos de tercer estado son bidireccionales y están conectadas al sistema principal del canal de datos. Las salidas son habilitadas durante el ciclo de lectura de E/S. Cuando se activan como salida, llevan al microprocesador el contenido del registro de estado, del registro temporal o del registro contador de palabra base. Las salidas son deshabilitadas y las entradas son leídas durante el ciclo de escritura de E/S y entonces el microprocesador programa los registros de control del 8237.
<u>IOR</u>	E/S	/Lectura de entrada o salida ó "/I/O read". La lectura de E/S es una señal bidireccional que se activa en nivel bajo. Cuando el 8237 no está activo, esta es una señal de control de entrada usada por el microprocesador para leer los registros de control. Cuando el 8237 está activo, esta es una señal de control de salida usada por el 8237 para acceder los datos de un circuito periférico durante la transferencia de escritura del DMA.
<u>IOW</u>	E/S	/Escritura de entrada o salida ó "/I/O Write". La escritura de E/S es una señal bidireccional que se activa en nivel bajo. Cuando el 8237 no está activo, esta es una señal de control de entrada usada por el microprocesador para cargar la información en el 8237. En el ciclo activo del 8237, esta es una señal de control de salida usada por el 8237 para cargar datos a un periférico durante una transferencia de lectura del DMA.
<u>EOP</u>	E/S	/Fin de proceso ó "/End of process". El fin de proceso es una señal bidireccional que se activa en nivel bajo. Información concerniente al cumplimiento de los

servicios del DMA" se encuentra en esta señal. La recepción de una señal "/EOP" provoca que el DMA dé por terminado el servicio; restablezca la petición y escriba los registros bases a los registros en curso de ese canal.

- A0-A3 S Direcciones ó "Address". Las cuatro señales menos significativas son bidireccionales. En el ciclo inactivo del 8237, son entradas y son usadas por el microprocesador para direccionar los registros donde se va a cargar o a leer la información. En el ciclo activo son señales de salida y actúan como los 4 "bits" menos significativos del canal de direcciones.
- A4-A7 S Direcciones ó "Address". Son las cuatro señales de direcciones mas significativas que usa el DMA. Se habilita sólo durante un servicio del DMA.
- HRQ S "Hold Request". Esta señal se activa en nivel alto y es utilizada por el 8237 para requerir el control del sistema de canales.
- DACK0-DACK3 S "DMA Acknowledge". Esta señal es usada para notificar a un periférico cuando ha sido concedido un servicio del DMA.
- AEN S "Address Enable". Habilita los 8 bits de direcciones del DMA. Esta señal se habilita en nivel alto.
- ADSTB S "Address Strobe". Esta señal se activa en nivel alto y es utilizada para interrumpir el paso del "byte" mas alto del canal de direcciones externo al 8237.
- MEMR S /Lectura de memoria ó "/Memory Read". Esta señal se activa en nivel bajo y es utilizada para accesar los datos de una localidad de memoria seleccionada durante la lectura del DMA o una transferencia de memoria a memoria.
- MEMW S /Escritura en memoria o "/Memory Write". Esta señal se activa para escribir datos en una localidad de memoria seleccionada durante la escritura del DMA o una transferencia de memoria a memoria.

El DMA se encuentra en estado inactivo o de espera, hasta que una señal DREQ le indique que un nuevo dato está listo para ser transferido. Entonces el DMA envía inmediatamente una señal de selección del circuito (/CS) hacia el dispositivo de E/S a través de una señal "DACK", provocando que el puerto coloque el dato en el canal de datos. El DMA proporciona simultáneamente la dirección de memoria a la cual y de la cual se hará la transferencia de bloques, así como también las señales necesarias para cada caso. Comparando al 8088 con el DMA, el proceso del DMA requiere únicamente 5 periodos de reloj por "byte" transferido, contra 29 de la CPU. El 8237, como ya se mencionó, cuenta con cuatro líneas de requerimiento de DMA que son DREQ0-DREQ3. Estas líneas están conectadas a dispositivos de E/S que requieran del servicio del DMA, en la tabla siguiente se muestra a que dispositivos están conectadas estas líneas en la IBM PC.

LINEA DQR	DISPOSITIVO
DQR0	8253
DQR1	RANURA DE EXPANSION .
DRQ2	CONTROLADOR DEL "DRIVE".
DRQ3	RANURA DE EXPANSION.

REGISTROS DEL DMA.

REGISTRO DE DIRECCION EN CURSO. Cada canal tiene un registro de dirección en curso de 16 "bits". Este registro almacena el valor de la dirección usada durante las transferencias del

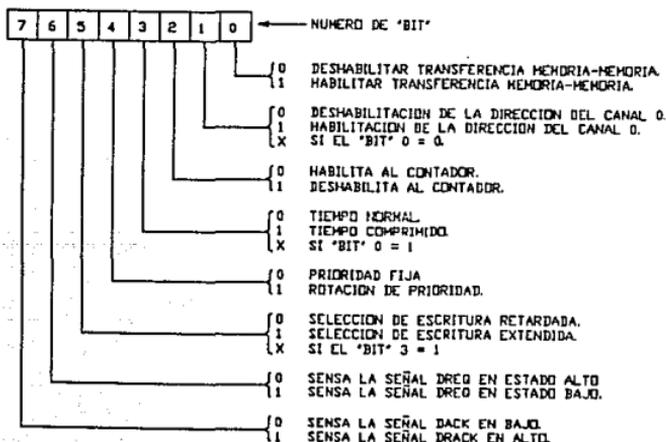
DMA. La dirección es automáticamente incrementada o decrementada, después de cada transferencia. El microprocesador puede leer o escribir en este registro. También puede ser reinicializado por una característica propia del DMA que es la autoinicialización a su valor original. La autoinicialización tiene lugar sólo después de una señal /EOP.

REGISTRO CONTADOR DE PALABRA EN CURSO. Cada canal tiene un registro de palabra contadora en curso de 16 "bits". Este registro determina el número de transferencias ha ser ejecutadas. El contador de palabra es decrementado después de cada transferencia. El valor inmediato del contador de palabra es almacenado en el registro durante la transferencia. Este registro es cargado o leído por el microprocesador. Cuando el DMA ha terminado un servicio este registro puede también ser reinicializado por una autoinicialización a su valor original. La autoinicialización tiene lugar sólo después de una señal /EOP.

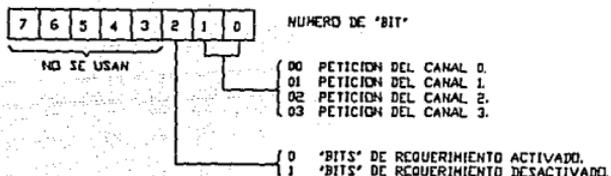
REGISTRO CONTADOR DE PALABRA BASE Y DIRECCION BASE. Cada canal tiene un registro contador de palabra base y un registro de dirección base. Estos registros almacenan el valor original de sus respectivos registros en curso. Durante la autoinicialización, estos valores son usados para reestablecer a los registros en curso a sus valores originales. El microprocesador puede escribir en estos

registros, mas no leer de ellos.

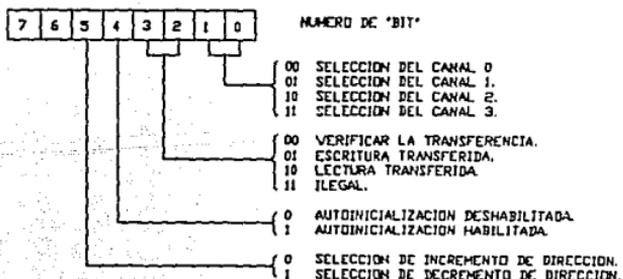
REGISTRO DE ORDEN. Es un registro de 8 "bits" que controla la operación del 8237. Es programado por el microprocesador y su contenido se limpia por medio de un "RESET". En la siguiente tabla se muestra la programación de este registro. El 8237 tiene dos tipos posibles de prioridad: la prioridad fija, donde la prioridad está basada en el valor numérico del canal en forma descendente. La menor prioridad la tiene el canal 3 y la mayor prioridad la tiene el canal 0; y la prioridad rotativa donde el último canal que obtuvo un servicio del DMA es el canal que llega a tener la menor prioridad. Esto previene que algún canal monopolice el sistema. El 8237 también puede "comprimir" el tiempo de transferencia, que normalmente le lleva de 5 ciclos de reloj, a 2 ciclos de reloj.



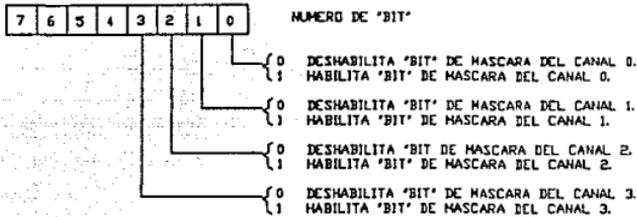
REGISTRO DE PETICION. El 8237 puede responder a los requerimientos de servicio del DMA que es inicializado por programa, al igual que por una señal /DREQ. Cada canal tiene un "bit" de requerimiento asociado con él, en el registro de petición de 4 "bits".



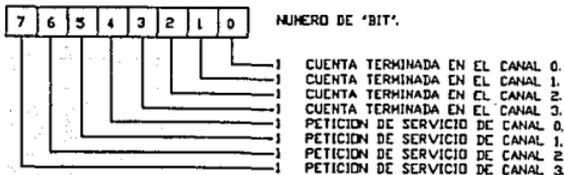
REGISTRO DE MODO. Cada canal tiene un registro de 6 "bits" asociado con él. Cuando el registro está siendo cargado por el microprocesador los "bits" 0 y 1 determinan cual registro va a ser cargado.



REGISTRO DE MASCARA. Cada canal tiene asociado con él un "bit" de máscara el cual puede ser encendido, deshabilitando la entrada DREQ. Cada "bit" de máscara es colocado cuando su canal asociado produce una señal /EOP y el canal no está programado para la autoinicialización. Cada "bit" del registro de máscara de 4 "bits" puede ser activado o desactivado.



REGISTRO DE ESTADO. El registro de estado está disponible para que el 8088 lea el contenido del 8237. Contiene información acerca del "estatus" de los dispositivos. Esta información incluye que canales han llegado a su cuenta final y que canales están pendientes de ser atendidos por el DMA.



REGISTRO TEMPORAL. El registro temporal es usado para almacenar los datos durante las transferencias de memoria-memoria. Siempre contiene el último "byte" transferido en la operación de transferencia previa de memoria-memoria, a menos que sea borrado por una señal de restablecimiento ("RESET").

CAPITULO III

MEMORIA DE LA IBM PC

CAPITULO I I I
MEMORIA DE LA IBM PC

3.1 MEMORIA DE LA IBM PC.

La IBM PC está provista de una capacidad de memoria de 64K a 256K en la tarjeta principal dependiendo si la liberación fué antes de Marzo de 1983. Las primeras IBM PC usaron memorias 4116 , posteriormente 4164 DRAM ("dinamic RAM") de capacidad de 1 "bit" x 64K, es decir que se requieren 8 circuitos 4164 en paralelo para tener 64K de memoria.

Utilizando tarjetas de expansión, se puede incrementar hasta 640K de memoria disponible, para lo cual se requiere que existan 256K en la tarjeta madre, esto es que los zócalos de la tarjeta estén todos ocupados antes de insertar la tarjeta en la ranura de expansión. Cualquier RAM, ROM o tarjeta de expansión de memoria, queda localizada dentro del espacio de 1 "MByte" que puede direccionar el 8088.

El espacio de direcciones está seleccionado en áreas para RAM, ROM y puertos de E/S. Los puertos de E/S tienen direcciones únicas de memoria, o sea que los puertos de E/S están mapeados como memoria. Por ejemplo, para enviar datos a la bocina (para que suene) vía el puerto B, la línea 1 del 8255 se deberá direccionar a la localidad 00061H (97d) y además direccionar al 8253 a través de la localidad 00043H (67d) para activar la frecuencia de salida para la bocina.

Direccionando el puerto C del 8255 (PPI) en la

localidad 00062H se habilitará a la lectora de cinta para poder leer datos a través del "bit" 4 del puerto C.

Los "bytes" mas bajos de memoria están dedicados a los vectores de interrupción. Esto es seguido por 128 "bytes" de RAM del sistema usado por el ROM BIOS y 384 "bytes" usados por el BASIC, DOS y otros programas. Los datos en ésta área pueden usarse para determinar el estado de algunos dispositivos. Por ejemplo, se puede determinar si el programa manejado por el video está en el modo gráfico o de texto, o bien si la cola del teclado está vacía. Pácticamente se puede hacer uso de toda la RAM entre el final del DOS y 9FFFH (640 "Kbytes") sin problemas. La figura 3.1 muestra el mapeo de memoria en la IBM PC.

DIRECCION	FUNCION
0-3FF	VECTORES DE INTERRUPCION.
400-47F	ROM BIOS RAM.
480-5FF	BASIC Y FUNCIONES ESPECIALES DEL SISTEMA RAM.
600-9FFFF	MEMORIA DE PROGRAMA, USUALMENTE NO INSTALADO.
0A0000-0AFFFF	RESERVADO PARA EXPANSION DE VIDEO.
0B0000-0BFFFF	USADO POR EL ADAPTADOR DE VIDEO MONOCROMATICO.
0B8000-0BFFFF	USADO POR EL ADAPTADOR DE COLOR/GRAFICAS.
0C0000-0CFFFF	RESERVADO PARA ROM E/S.
0D0000-0D7FFF	ROM BASICA OPCIONAL 2.
0D8000-0DFFFF	ROM BASICA OPCIONAL 1.
0E0000-0E7000	ROM BASICA ESTANDAR 2.
0E8000-0EFFFF	ROM BASICA ESTANDAR 1.
0F0000-0F3FFF	AREA DE ROM NO USADA.
0F4000-0F5FFF	NO USADA.
0F6000-0FDFFF	ROM BASIC.
0FE000-0FFFFF	ROM BIOS.

FIG.3.1: MAPEO DE LA MEMORIA EN LA IBM PC.

A partir de la página con dirección en 0A0000H está

reservado para expansión de video y con áreas de video estandar a partir de la página 0B0000H.

La página comienza en la dirección 0C0000H, está reservada para los ROM's de E/S en la IBM, y partes de esta página son usadas por el controlador de disco duro de la IBM XT. Las páginas a partir de las direcciones 0D000H y 0E0000H son usadas para rutinas de la IBM. La página a partir de la dirección 0F0000H está reservada para la ROM.

Antes de comenzar una explicación mas a fondo de la memoria RAM y ROM en la IBM PC, es necesario saber como siendo el 8088 un microprocesador con solo 16 "bits" en sus registros internos, es capaz de direccionar 1 "Mbyte", (debe recordarse que en el exterior del circuito 8088 se encuentra un canal de direcciones con 20 líneas).

Las direcciones de memoria están lógicamente subdivididas en segmentos de 64 "Kbytes" cada uno. Para direccionar un "byte" dentro de cada uno de los segmentos se hace uso de una palabra de 16 "bits" llamada dirección relativa. La dirección física de 20 "bits" es construida internamente en el 8088 sumando la dirección "offset" de 16 "bits" a la dirección de segmento con un corrimiento a la izquierda de 1H, como se muestra en la figura 3.2.

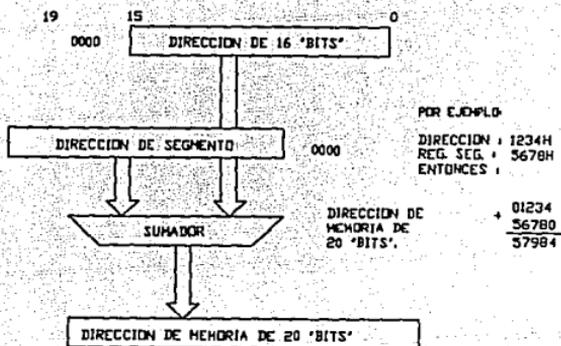


FIG. 3.2 FORMACION DE LAS DIRECCIONES DE MEMORIA EN EL 8089.

3.2 MEMORIA ROM DE LA IBM PC.

La memoria ROM de la IBM PC ocupa de la dirección C0000H a la FFFFFH. El circuito ROM U28, es un zócalo vacío planeado para parte de los programas en BASIC de la grabadora de cintas. Su localización en el mapeo de la ROM es de F4000H a F5FFFH. Los cuatro siguientes circuitos ROM que comprenden del U19 al U32, contienen los programas para grabadora de cintas (en BASIC) y sus direcciones van de la F6000H a la FFFFFH. El ROM U33 contiene las rutinas de entrada/salida del sistema (BIOS), estas direcciones cubren de la dirección FE000H a la FFFFFH.

Dentro del ROM BIOS se encuentran las rutinas para manejar el video, la impresora, las comunicaciones asíncronas, el calendario y el reloj, las gráficas, la grabadora de cintas, el programa de autoinicialización del disco flexible para verificación de periféricos. En realidad

la autoprueba inicial ocupa 2 "Kbytes" de los 8 "Kbytes" de ROM y consiste básicamente de 14 pruebas que comienzan al encender la PC.

Las pruebas verifican el 8088, el ROM, la RAM, el teclado, la tarjeta de video, la grabadora de cinta y el sistema de "dirves".

La prueba de memoria RAM incluye cinco diferentes pruebas de lectura/escritura. también se verifica la memoria disponible para el usuario. cada una de las cinco pruebas incluyen la lectura y escritura de un patrón diferente de "bits". Dependiendo de cuanta memoria RAM se tenga instalada, la prueba podrá durar hasta 1.5 minutos. Un sistema con 128 "Kbytes" se llevará aproximadamente 30 segundos en verificar memoria e inicializar el sistema. Cuando la computadora es reinicializada (sin apagarla), no ejecutará la autoprueba y reduce el tiempo de inicialización en un 40%.

En la figura 3.3 se muestra la circuitería de ROM, la cual se explica a continuación.

Las líneas de direcciones A0-A7 son manejadas por el "buffer" 74LS244 (U16) y combinadas con las líneas A8-A12 que a su vez pasan por otro 74LS244 (U15), para formar XA0-XA12. Estos 13 "bits" de direcciones son aplicados a las entradas de los ROM's de U29-U33. Un ROM específico es habilitado por la terminal de selección de circuito (CS, Chip Select) que se decodifica a través de un 74LS138 (decodificador/demultiplexor) (U46). Las entradas del

74LS138 son las líneas (A13-A19) y la señal de lectura a memoria XMEMR. Las líneas A16-A19 son usadas para generar la dirección del ROM que se desea seleccionar (ROM ADDR SEL).

Esta misma señal es combinada con la línea de IOR y la línea de dirección XA9 en un 74LS02 (compuerta "NOR") para determinar la dirección del flujo de datos a través del 74LS245 (tranceptor octal de tercer estado) (U13) en la salida de arreglo de ROM's.

Los datos leídos del ROM pasan a través de U13 hacia el canal de datos, en donde pueden ser accedados por la CPU.

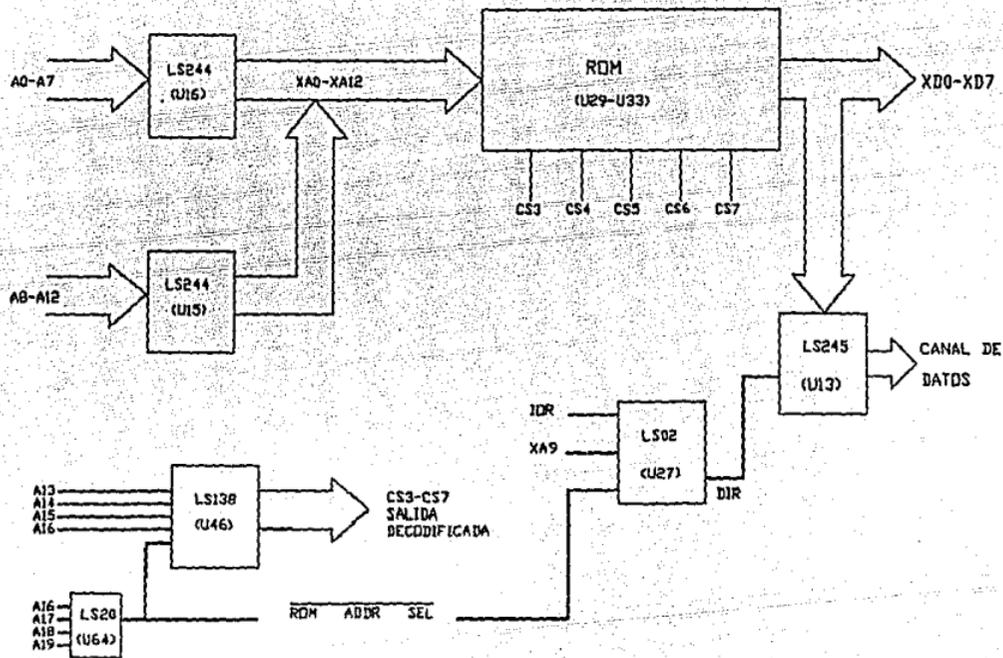


FIG. 3.3 CIRCUITERIA DE MEMORIA ROM.

3.3 MEMORIA RAM DE LA IBM PC.

Las primeras computadoras personales IBM PC que salieron al mercado, tenían una tarjeta principal diseñada para memorias RAM 4116 de 16K x 1"bit". Estas tarjetas alcanzaban una capacidad hasta de 64 "Kbytes" de memoria RAM. Inmediatamente después (Marzo 83) las PC usaron memorias 4164 de 64K x 1"bit", y la tarjeta se expande hasta 256 "Kbytes". Para obtener 640 "Kbytes" se requiere de otros 384 "Kbytes" que se obtienen en la tarjeta de expansión de memoria.

En la figura 3.4 se muestra una tabla en donde se esquematiza el mapeo de la memoria RAM de la IBM PC tanto para el sistema de 16-64K como para el 64-256K.

DIRECCION HEXADECIMAL	SISTEMA 16-64 "KBYTES"	SISTEMA 64-256 "KBYTES"
0000H	64K DE RAM SOBRE TARJETA PRINCIPAL	256K DE RAM SOBRE TARJETA PRINCIPAL
0BFFFFH		
0C000H	576 RAM	
3FFFFH		EN TARJETA DE EXPANSION
40000H		384K DE RAM
9FFFFH		

FIG.3.4. MAPEO DE LA MEMORIA RAM EN LA IBM PC.

3.3.1 DIRECCIONAMIENTO PARA BANCOS DE MEMORIA.

Ya que existen cuatro bancos de RAM, se requiere de un esquema de direccionamiento para cada banco y en particular para cada localidad, tanto para escritura como para lectura.

El direccionamiento de los bancos se ilustra en la figura 3.5.

Los "bits" 14 y 15 del canal de direcciones se combina con la señal RAM ADDR SEL y la señal CAS ("COLUMN ADDRESS SELECT"), por medio de un 74LS138 (U47), para de esta manera generar la señal de selección en cada una de las cuatro columnas (CAS0, CAS1, CAS2 y CAS3). Para la selección de la fila se combinan también los bits 14 y 15 con la señal DACK0 y la RAM ADDR SEL a través de otro 74LS138 (U65) y por una compuerta "AND", 74S08 (U49), junto con la señal REFRESH GATE para que de esta forma se genere la selección de filas (RAS0, RAS1, RAS2 y RAS3).

De acuerdo con la figura 3.5 se puede observar que las señales CAS0 y RAS0 habilitan el paso de datos a través de un 74LS245 ("octal bus transceivers"). Los cuales serán leídos o escritos del banco 0 de RAM (U38-U45).

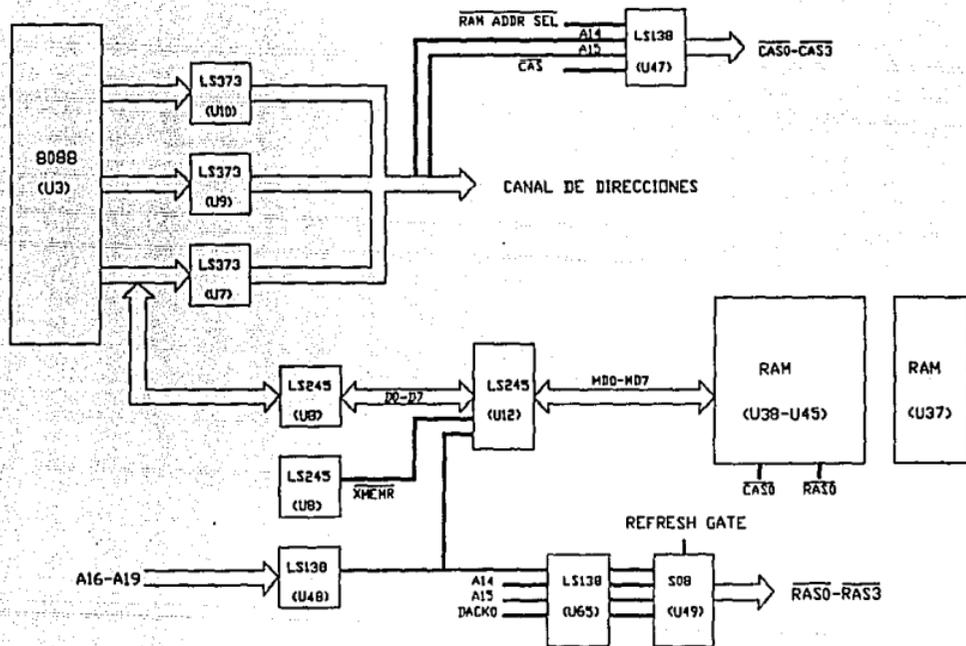


FIG. 3.5. ESQUEMA DE DIRECCIONAMIENTO DEL BANCO DE MEMORIA RAM.

3.3.2 VERIFICACION DE PARIDAD.

La verificación de paridad se utiliza para asegurar que la lectura de un dato sea correcta y que ningún "bit" cambie su valor lógico.

El concepto de "bit" de paridad se refiere a que cuando un dato es almacenado en memoria se suman todos los unos lógicos y el "bit" de paridad se habilitará o no dependiendo del resultado de esta suma. El "bit" de paridad se utiliza para asegurar que el resultado de la suma sea un número par.

En la figura 3.6 se muestra un diagrama del circuito de paridad en la IBM PC. La palabra de datos pasa (MD0-MD7) pasa a través del 74LS280 (9 -"bit ODD/EVEN PARITY GENERATOR/CHECKER"). Este circuito sensa el número de unos lógicos en la palabra de datos y colocará un "1" lógico por la terminal de paridad par o impar.

Si el resultado es impar, el 74LS280 coloca un "1" lógico en su terminal de paridad impar. Esta señal pasa a través de un 74LS125 (U80) y dentro del circuito de RAM de paridad para esa fila de circuitos (U37, en este caso). Cuando el dato es leído, el "bit" de paridad es leído junto con la palabra de datos (MD0-MD7). Si el dato con el "bit" de paridad es par, la salida del 74LS280 será "0" lógico en su terminal impar. Esta señal será combinada con la señal RAM ADDR SEL para producir un "1" lógico a la entrada del biestable 74LS74 (U96), y por lo tanto habilitar la señal de

salida Q a "1" indicando a través de la señal PCK al 8255 que la paridad es correcta. Ahora bien, si la palabra de memoria junto con el "bit" de paridad es sensada como impar, la salida impar de U49 se va a "1" provocando que la salida de U27 vaya a "0". Este valor se mantiene en U96 y la salida Q (PCK) se hace "1". Cuando las señales de I/O CH CK y ENABLE I/O CH son sensadas a la entrada del 74LS10, junto con las señales del 74LS00 (U81) y la de PCK, U84 producirá una salida en alto. A este "1" lógico le es aplicada la función lógica "AND" a través de un 74LS08 junto con la señal ALLOW NMI, de tal manera que se producirá una interrupción no enmascarable al 8088. Esta interrupción indicará que un dato ha sido mal leído o bien que alguna parte de la circuitería de memoria está dañada. Toda la memoria RAM está siendo continuamente verificada de paridad. Esta verificación de paridad es muy útil para prevenir la incorrecta utilización de datos.

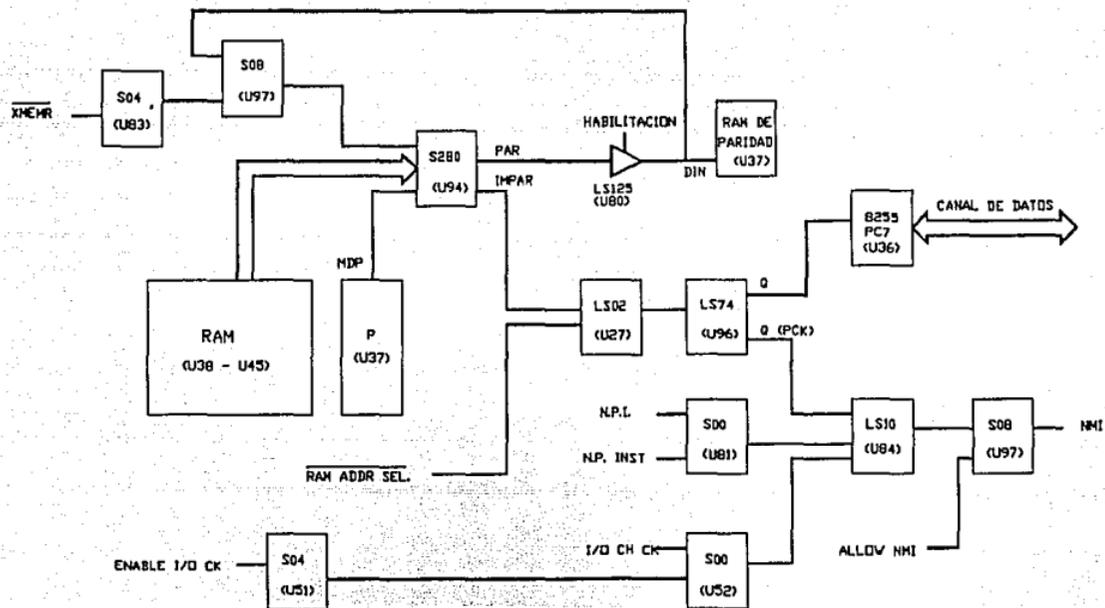


FIG 3.6. CIRCUITO DE PARIDAD EN LA IBM PC.

CAPITULO IV

PUERTOS DE ENTRADA/SALIDA DE LA IBM PC

CAPITULO IV.

PUERTOS DE ENTRADA/SALIDA DE LA IBM PC.

4.1 ADAPTADORES DE VIDEO .

Para generar la señal de video, algunas microcomputadoras requieren una tarjeta adaptadora, tal es el caso de la IBM PC.

Los adaptadores de video están basados en un circuito llamado controlador programable de CRT (TUBO DE RAYOS CATODICOS) auxiliado por un ROM generador de caracteres y una memoria RAM para sostener la información de pantalla.

Hay varios tipos de adaptadores de pantalla, pero todos están basados en los dos adaptadores originales de IBM para la PC: el adaptador de color/gráficas y el adaptador monocromático.

Las pantallas de video son producidas fundamentalmente de dos modos llamados: modo de texto y modo de gráficas.

El modo de textos despliega sólo caracteres, aunque muchos de estos caracteres pueden producir líneas de dibujo. El modo de gráficas es usado principalmente para producir dibujos complejos, además de caracteres en una gran variedad de formas y tamaños.

El adaptador de color/gráficas puede operar en ambos modos, textos y gráficas para producir tanto dibujos como caracteres en diversos formatos y colores. Está diseñado para trabajar con todo tipo de pantallas, desde los

televisores estándar hasta los monitores de color de alta resolución.

El adaptador monocromático puede operar solo en modo de textos, usando un conjunto de caracteres ASCII (alfanuméricos y gráficos) y desplegándolos solo en un color. El adaptador monocromático sólo trabaja con el monitor IBM monocromático o su equivalente, el cual es un monitor de alta resolución especial. De aquí que con el adaptador color/gráficas se sacrifique resolución y viceversa para el monocromático.

Para sobrellevar estas limitaciones, algunos fabricantes han hecho variaciones al adaptador monocromático de IBM, tal como el popular adaptador de pantalla Hércules, el cual, combina la capacidad de gráficas de adaptador color/gráficas (pero sin color) con la alta calidad de textos del adaptador monocromático.

4.1.1 ADAPTADOR DE VIDEO MONOCROMATICO.

El corazón del adaptador de video monocromático (al igual que el de color), es el controlador de CTR 6845 de Motorola. El 6845 es un circuito periférico que genera las señales de control y temporización necesarias para el despliegue de video en la pantalla.

La tarjeta adaptadora monocromática posee memoria mapeada de pantalla, así llamada, por lo que cada dirección en la memoria de la pantalla corresponde a una localidad específica en la pantalla. Esta memoria mapeada, es una

parte de la memoria RAM principal, que se localiza a partir de la dirección B0000H y tiene 4K disponibles para este adaptador.

Esta memoria puede ser accesada por la CPU y por el 6845, aunque no por los dos al mismo tiempo.

Cuando la CPU no está accedando a la memoria la operación de la tarjeta adaptadora es la siguiente:

El 6845 constantemente produce los pulsos de sincronía horizontal y vertical necesarios para pantalla, y también lee el contenido de la memoria; entre los pulsos de sincronía para sincronizar los datos del video en la pantalla. Debido a que los datos en memoria son caracteres ASCII, deben ser convertidos a un patrón de puntos, antes de que sean enviados al CTR (Tubo de Rayos Catódicos). Esta conversión se lleva a cabo por un generador de caracteres, el cual es una memoria ROM que contiene el patrón de puntos de cada caracter.

Antes de continuar, es conveniente saber que los caracteres en pantalla se generan por medio de puntos. Cada caracter es producido como matriz de puntos de 7 x 9 sobre un arreglo de 9 x 14 puntos. Los puntos extras arriba y abajo de la matriz son usados para generar letras tales como la "g" y la "j". En la figura 4.1 se muestra como se forma la letra A en la pantalla por medio de puntos.

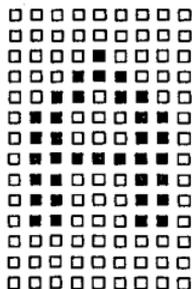


FIG. 4.1. REPRESENTACION DE LA LETRA 'A' EN EL VIDEO MONOCROMATICO DE IBM.

Ocho de las líneas de direcciones del ROM están conectadas a las líneas de datos que contienen los caracteres ASCII leídos de la memoria y cuatro líneas de direcciones están conectadas a la salida de un contador de renglones en el circuito controlador de CTR.

Las ocho líneas seleccionan, el patrón de puntos del caracter a ser desplegado y las cuatro líneas seleccionan que renglón del patrón debe desplegarse.

Por ejemplo, si el caracter enviado sobre las ocho líneas es un 41H (una "A") y las líneas del contador de renglones tienen un 5, entonces el generador de caracteres, sacará el quinto renglón de la figura 4.1.

Para cada caracter que se genera se envían dos "bytes": uno que contiene el código ASCII del caracter y el segundos que contiene la información de atributo tal como puede ser el parpadeo, la doble intensidad, el modo normal o el vivo

inverso.

Cuando la CPU quiere leer información de la memoria, los multiplexores de direcciones y los "buffers" de datos son conmutados por las señales de control de la CPU de manera que las líneas de direcciones y datos de la CPU accedan a la memoria en lugar del controlador del CTR.

El 6845 genera los pulsos de sincronía horizontal y vertical. Entre la generación de los pulsos de sincronía el 6845 lee de la memoria de video el caracter a generar y lo extrae del generador de caracteres.

Dentro del adaptador monocromático las señales de sincronía vertical y horizontal y la señal de video son enviadas en forma separada al monitor.

Posteriormente la señal de video es dividida en dos partes: una señal normal de video y una señal que produce la brillantez. Estas señales son entregadas al monitor a través de un conector de 9 salidas tipo D (DB 9), como se muestra en la siguiente figura 4.2.



PATA	SEÑAL
1	TIERRA
2	TIERRA
3	TIERRA
4	TIERRA
5	TIERRA
6	INTENSIDAD
7	VIDEO
8	SINTONIA HORIZONTAL
9	SINTONIA VERTICAL

FIG. 4.2. SEÑALES PRESENTES EN EL CONECTOR DE LA TARJETA MONOCROMATICA.

En sí, el generador de caracteres es el circuito MK-36000 que es un ROM de 8K, aunque el video monocromático se utiliza unicamente los primeros 4K .

Como se muestra en la figura 4.3, los datos provenientes del 8088 son almacenados en una memoria estática (RAM) de 4K cuya dirección inicial es B0000H que corresponde a la esquina superior izquierda de la pantalla.

Con 2 "bytes" por caracter la esquina inferior derecha corresponde al tope de los 4K, es decir a la dirección B0FEFH.

Ahora bien cuando el 6845, determina que se requiere desplegar algún caracter, esto provoca que el código ASCII y el atributo queden almacenados en la memoria de video y después sean amarrados por dos biestables. Posteriormente, como se decía antes, el dato del caracter a desplegar es enviado al MK-36000 (generador de caracteres), en donde con la ayuda de otra dirección de entrada de 4 "bits" se definirá cual fila de puntos se extraerá. El siguiente paso es enviar el patrón de puntos a través de un registro de corrimiento, el cual será encargado de recibir el patrón de puntos a desplegar en forma paralela para convertirlo en modo serie. La información de los atributos es combinada con el juego de puntos para producir un patrón de puntos modificado, esta señal sera entonces extraída sincronizándola con pulsos de reloj hacia el monitor en donde será convertida en un rayo de electrones de alto voltaje que iluminará el fósforo en una cierta fila de la

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

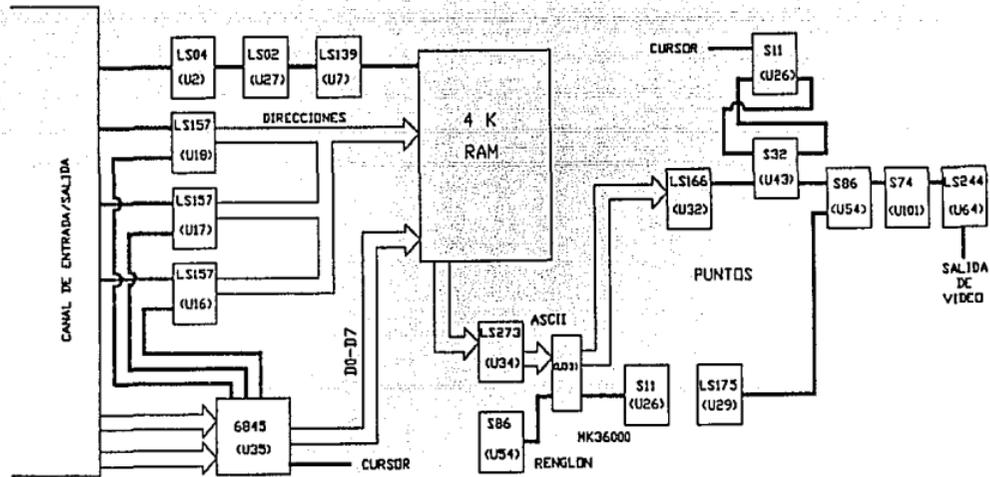


FIG. 4.3. REPRESENTACION DE LA CIRCUITERIA QUE PRODUCE LA SEÑAL DE VIDEO MONOCROMATICO

pantalla. Las señales que controlan en que parte de la pantalla deberán aparecer los puntos de cada caracter serán las de sincronización horizontal y vertical. Estas señales se generan a través de la circuitería que se muestra en la figura 4.4.

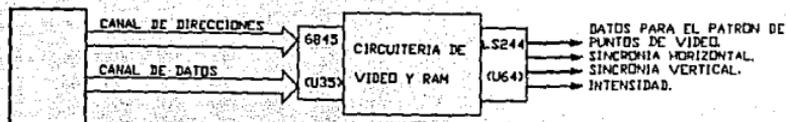


FIG. 4.4. SEÑALES DE ENTRADA Y SALIDA EN LA CIRCUITERIA DE VIDEO MONOCROMATICO.

Ambas señales se originan en el 6845 (U35). la sincronía horizontal tiene una frecuencia de 15.75 MHz y es usada para mover el haz de izquierda a derecha de la pantalla , de acuerdo al patrón de puntos del caracter. Es decir que cuando un punto es recibido, el cátodo envía un haz de electrones en dirección hacia el lugar de la pantalla, en donde la circuitería de sincronía horizontal esté apuntando. Los electrones impactarán el fósforo de pantalla, provocando que un punto o elemento de impresión ("PIXEL") sea iluminado, o brille. Entonces la sincronía horizontal moverá el dato al siguiente "PIXEL" y así sucesivamente hasta terminar con la línea.

Al final del barrido horizontal, el haz de electrones es blanqueado y el barrido horizontal es enviado al inicio de la pantalla. Simultáneamente, la sincronía vertical que utiliza la frecuencia de la línea de 60 Hz, moverá el haz de

electrones hacia abajo a la siguiente fila para que la señal de sincronía horizontal pueda mover el haz a través de la pantalla y hacer el rastreo de una nueva línea.

4.2 "DRIVES" EN LA IBM PC.

4.2.1 ESTRUCTURA DE UN "DRIVE".

Un "drive" está fundamentalmente formado por tres módulos:

- Módulo mecánico.
- Módulo electrónico y sensores.
- Módulo magnético.

MODULO MECANICO.

Este módulo contiene los siguientes subensambles:

- a) Motor de disco.
- b) Motor de paso.
- c) Guía de disco y expulsor.
- d) Cono de centrado.
- e) Mecanismo de carga y descarga de cabezas.
- f) Bisel y palanca de acceso.

MOTOR DE DISCO. El motor de disco hace girar una polea que a su vez maneja al disco de trabajo. La primera versión de este sistema se implementó con una banda de transmisión y dos poleas, una en el eje del motor y la otra como eje del disco. En los modelos de media altura el motor maneja directamente el disco por lo que no existe la banda de

transmisión, con esto se logra una velocidad constante mas exacta y se eliminan los problemas que se pueden producir por la banda. La velocidad de rotación es de 300 RPM, para unidades de 5 1/4", tanto de media como de altura completa.

MOTOR DE PASO. El motor de paso sitúa al cabezal doble radialmente sobre cada pista. Para esto se utiliza una banda metálica que sujeta a una polea que hace girar el motor de paso. Uno de los parámetros mas importantes en un motor de paso es su capacidad para ejecutar un cambio de energización entre bobina y bobina en un tiempo especificado; a este tiempo se le denomina razón de paso ("step rate"). La razón de paso en los "DRIVES" de 5 1/4" varía normalmete entre 3 y 5 mseg dependiendo de la especificación manejada en el diseño del controlador. Por lo anterior, la razón de paso es el tiempo que tarda la cabeza en desplazarse de una pista a otra contigua. El control de motor se lleva a cabo a través de comandos generados en el controlador del "drive", los cuales después de ser procesados en la lógica activan las bobinas del motor de paso. Estos comandos son los siguientes:

- 1) Activación del movimiento.
- 2) Dirección.

GUIA DE DISCO Y EXPULSOR. Al insertar el disco en el "drive", la guía de disco posiciona a al perforación circular central sobre el cono de posicionamiento. Haciendo

coincidir la perforación de protección de grabación con el ensamble de sensado óptico. el expulsor es un mecanismo opcional que no todos los "drives" lo tienen. El expulsor se comprime y embraga de tal forma que al abrir la puerta del "drive", el disco será expulsado sobresaliendo un par de centímetros de la superficie del bisel.

CONO DE CENTRADO. El cono centra con precisión al disco y lo prensa contra la polea, esta a su vez girará al activarse el motor de disco.

MECANISMO DE CARGA Y DESCARGA DE LA CABEZA. Este mecanismo es opcional y está constituido por un solenoide que actúa sobre una placa que a su vez separa al brazo de la cabeza superior (1) de la inferior (0). La cabeza cero es aquella que está fija sobre el ensamble del cabezal.

BISEL Y PALANCA DE ACCESO. El bisel es la cubierta exterior del "drive". Puede ser metálica o de material plástico conteniendo al "LED" de actividad. El "LED" de actividad se enciende al ser seleccionada la unidad por el controlador.

La palanca de acceso es aquella que al ser activada permite la inserción o recuperación del disco.

MODULO ELECTRICO Y SENSORES.

La electrónica del "drive" contiene dos circuitos:

- a) Circuito de control.
- b) Circuito de lectura-escritura.

CIRCUITO DE CONTROL. Este circuito recibe las siguientes señales desde el controlador del "drive", al "drive".

- 1) Selección ("DRIVE SELECT 0-3").
- 2) Carga de cabezal ("HEAD LOAD").
- 3) Comando de movimiento para motor de paso ("STEP").
- 4) Dirección de movimiento para motor de paso ("DIR").
- 5) Selección de cabeza ("HEAD SELECT").
- 6) Encendido de motor del disco ("MOTOR ENABLE 0-3").

SELECCION. La selección del "drive" es comandada por el controlador. El controlador puede seleccionar hasta 4 "drives" del 0 al 3. Los puentes de selección que están localizados en cada "drive", están numerados de tal forma que al instalar el 0 se cerrará el circuito para él, y solamente podrá ser activado cuando el controlador envíe un patrón binario que represente el número 0, de esta manera la selección se lleva a cabo únicamente sobre una unidad ("drive") y esta sea la que tenga la configuración de selección coincidente con aquella enviada por el controlador. La electrónica del "drive" procesa la señal de selección con un serie de señales para activar sus diferentes funciones. Cabe señalar que en condiciones normales, la ausencia del puente de selección hará que el "drive" no sea reconocido por el controlador.

CARGA DE LA CABEZA. La carga puede ser directa o controlada

a través de un solenoide. En forma directa la carga se hace automáticamente al cerrar la puerta del "drive". De no ejecutarse esta acción la cabeza no será capaz de recuperar información ni de grabar.

COMANDO DE MOVIMIENTO Y DIRECCION PARA EL MOTOR DE PASO. El comando de movimiento es un tren de pulsos cuya duración está especificada en la razón de paso. El comando de dirección determina si el cabezal se acerca o se aleja del centro del disco.

SELECCION DE CABEZA. La señal de selección de cabeza determinará a través de la electrónica del "drive" cual de las dos cabezas se seleccionará. Cuando se recibe un nivel alto se seleccionará la cabeza 1 y cuando se recibe nivel bajo se seleccionará la cabeza 0.

ENCENDIDO DE MOTOR DE DISCO. Este canal permite el control directo del motor de disco desde el controlador.

Las siguientes señales son las que el "drive" envía al controlador del "drive".

- a) Protección de escritura ("WRITE PROTECT").
- b) Pista cero ("TRACK 0").
- c) Datos leídos ("READ DATA").
- d) Índice ("INDEX").
- e) Identificación ("READY").

PROTECCION DE ESCRITURA. Esta señal es generada por el "drive" al sensar la configuración del disco a través de un

fototransistor y un "led".

PISTA CERO. Siempre que el cabezal esté posicionado en la pista mas cercana al borde del disco, se generará esta señal cuya importancia es fundamental para que el controlador pueda situar el cabezal exactamente en la pista deseada.

DATOS LEIDOS. La información recuperada del disco es enviada a través de este canal. Esta información debe tener una calidad suficiente para que el controlador pueda identificar los datos correctamente.

INDICE. El índice es un tren de pulsos cuya frecuencia está determinada por la velocidad de giro del disco. Diferentes sincronizaciones se llevan a cabo con esta señal en el controlador.

IDENTIFICACION. La señal de "READY" es generada por el "drive" al estar en condiciones de enviar y recibir información. Para que esto suceda deben estar presentes los siguientes estados.

- a) El "drive" debe tener conectada su alimentación de corriente directa (cd).
- b) El "drive" debe ser seleccionado por el controlador.
- c) El disco debe estar insertado correctamente y la puerta cerrada.

CIRCUITO DE ESCRITURA-LECTURA. Los datos enviados por el controlador constituyen un tren de pulsos con niveles TTL,

que al ser procesados se convierten en señales analógicas, las cuales a través de las bobinas de lectura-escritura contenidas en la pastilla de las cabezas, serán grabadas sobre la superficie del disco. Las cabezas en este tipo de "drives" están en contacto directo con el disco.

Al recuperar la información se hace el procedimiento inverso, es decir, la señal recuperada del disco es analógica.

Esta señal se procesa antes de ser enviada como señal leída ("READ DATA"), para ser identificada por el controlador.

ESCRITURA DE DATOS. La secuencia de escritura es la siguiente:

- a) Señal de NO protección de escritura.
- b) Señal de escritura.
- c) Datos a ser leídos.

Al no tener señal de protección de escritura generada por el "drive" y recibir la señal de escritura enviada por el controlador, el "drive" podrá grabar los datos transmitidos.

LECTURA DE DATOS. Al posicionarse la cabeza en la pista deseada y tener el "drive" las señales suficientes para su operación, las bobinas de lectura-escritura detectarán la señal localizada sobre la superficie del disco. Esta señal será amplificada con características de nivel TTL para ser enviada al controlador.

SENSORES. La pista 0 y la protección de grabación son detectados a través de sensores ópticos o microinterruptores, mientras el índice que es una perforación localizada en el disco, sólomente es detectada por sensores ópticos.

PISTA 0. La pista 0 será activada al situar la cabeza en la pista inicial partiendo desde la parte exterior del disco. Este sensor es ajustado en combinación con el motor de paso puesto que el "drive" inicia a leer la información desde la parte exterior del disco, y es la única referencia para que sepa que es la primera pista.

INDICE. El índice es generado cada vez que el disco gira 360 grados. La perforación que tiene el disco es detectada por un sensor óptico produciendose un tren de pulsos que es enviado al controlador.

PROTECCION DE GRABACION. La presencia o ausencia de la ranura que tiene cada disco para protección de grabación es detectada por este sensor el cual genera una señal que inhibe cualquier comando de escritura enviado por el controlador.

CERROJO. Este sensor es opcional y no todos los "drives" lo tienen. Este sensor detecta la posición de cerrado de puerta. Al producirse esta señal es utilizada en algunos modelos para generar la señal de "READY".

MODULO MAGNETICO. Está constituido por el cabezal doble (dos

cabezas). Cada cabeza está constituida por una bobina de escritura-lectura y una bobina de borrado.

4.2.2 PRINCIPIO DE LECTURA Y ESCRITURA EN DISCO.

Grabar en disco y recuperar información del mismo significa convertir, desde el punto de vista electrónico, señales analógicas a digitales y viceversa. La ventaja principal de esta conversión es que los datos en forma digital pueden procesarse, transmitirse y almacenarse casi sin error, aún si no existiesen señales de localización de los mismos, la razón principal es la siguiente: la información digital se representa normalmente por una secuencia de dígitos en la cual cada dígito es un "bit", ya sea un "1" o un "0". Ahora bien en las zonas pequeñas en donde se almacena esta información binaria (por ejemplo el recubrimiento de óxido de hierro sobre la superficie del disco), deben localizarse uno u otro estado para representar los datos. Para el almacenamiento magnético, ambos estados deben ser de tal forma distintos y específicos, que no pueden ser deformados a capricho por un campo remanente existente en la cabeza de lectura-escritura, o por el generador debido a la información almacenada en sitios próximos.

La grabación magnética es aquella que se almacena en un medio magnético, está basada actualmente en el principio de Poulsen: Si una corriente fluye a través de una bobina de

alambre, esta produce un campo magnético. El campo fluye sobre un núcleo de material magnético en forma de anillo seccionado, sobre el cual se encuentran las espiras de alambre (figura 4.5). La pequeña ranura que lo secciona, se encuentra ubicada longitudinalmente. El campo en la vecindad de la ranura es lo que magnetiza el medio, el cual se localiza lo mas próximo posible a la ranura mencionada, de esta forma es como se escriben los datos.

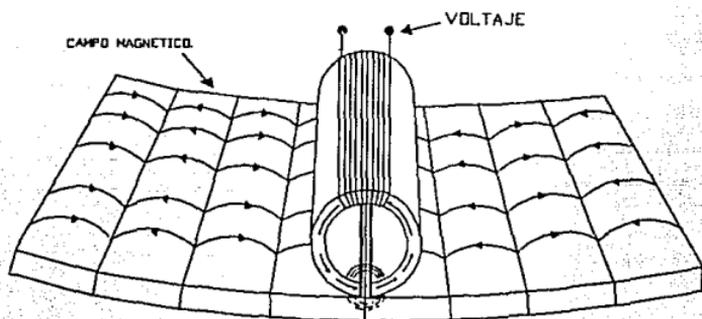


FIG. 4.5. AL GIRAR EL DISCO EL CAMPO MAGNETICO DE LOS DATOS ALMACENADOS PASA SUCESIVAMENTE BAJO LA CABEZA. ESTE CAMPO CAMBIANTE INDICA UNA SEÑAL A LA CABEZA, YA SEA UN NIVEL ALTO O UN NIVEL BAJO.

La cabeza que escribe los datos, se usa también para leerlos. Esto se lleva a cabo dentro del principio de inducción formulado por Michel Faraday , según el cual el voltaje es inducido en un circuito abierto tal como una espira de alambre por la presencia de un campo magnético variante. En el caso de una cabeza posicionada sobre un disco magnético girando que contenga datos escritos, el campo magnético emanará de las regiones magnéticas del disco.

Durante el tiempo en el cual la cabeza se encuentra sobre una región magnética del mismo tipo, el campo será parcialmente uniforme, por lo cual no se generará ningún voltaje producido por el cabezal mismo a través de la bobina, sino que solamente aquel voltaje que se forma por el campo sobre el disco cuando la cabeza pasa por una región en la cual se invierte el sentido de la orientación, existe entonces un cambio inmediato en el campo, por ello el pulso de voltaje evoluciona de tal forma que los datos digitales almacenados se leen a través de una señal analógica, la cual se convertirá posteriormente por medios electrónicos en una señal digital. Tanto la escritura como la lectura de datos depende básicamente de las propiedades magnéticas del medio y de la cabeza que graba y recupera.

Dentro del "drive", el disco es un elemento que se encuentra girando continuamente a una velocidad angular constante, esto provoca que la misma información pase por la cabeza (en una misma pista) en un cierto intervalo de

tiempo o sea en una revolución. Para poder identificar cada revolución existe la perforación de "INDEX" o índice, la cual se encuentra físicamente en el disco y se detecta fotoelectricamente. El problema de identificar la revolución se resuelve por medio de la señal de "INDEX" ya que al ser el sistema de velocidad angular constante, esta señal se vuelve periódica. La variación de esta periodicidad está contemplada por la eficiencia del sistema mecánico y el ajuste, sin embargo la variación siempre existe y debe ser tomada en cuenta por el controlador, este no debe perder de ninguna manera la identificación de la señal, o sea, debe guardar las mismas variaciones respecto a la periodicidad.

Una vez definido el principio y final de cada pista o revolución es necesario enfocarse a observar los datos, los cuales provienen del "drive" como una serie de impulsos llamados "bits".

4.2.3 TARJETA CONTROLADORA DE "DRIVES".

El corazón de esta tarjeta es el circuito 8272 ("Floppy Disk Controller", FDC), llamado controlador de "drives".

En la figura 4.6 se muestra un diagrama a bloques de la lógica de la tarjeta controladora de los "drives".

A continuación se explica como funciona este diagrama. El controlador envía y recibe datos a través de un "buffer" bidireccional 74LS245 (U30), el cual está conectado al canal de datos de la tarjeta principal. Las líneas de datos van

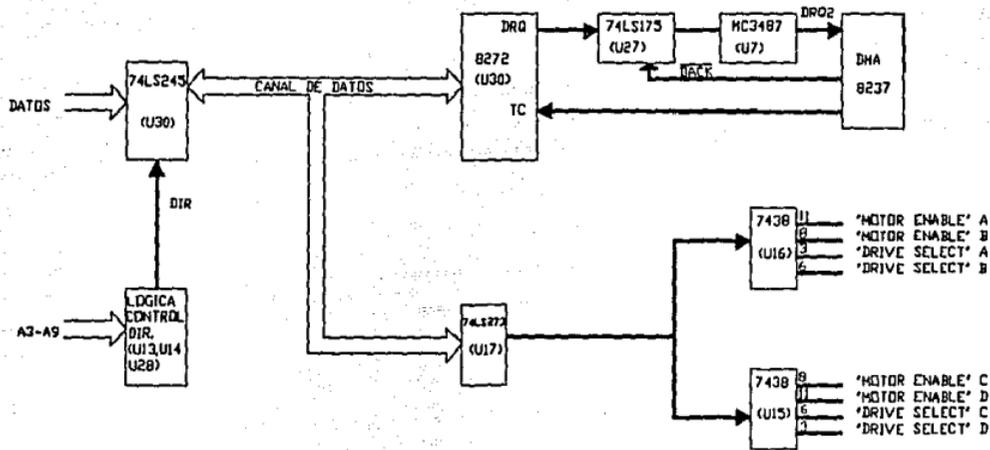


FIG. 4.6. LOGICA DE LA TARJETA CONTROLADORA DE "DRIVES".

conectadas directamente de U30 al controlador y al mismo tiempo a la lógica de selección para cada "drive". Esta lógica está formada por un decodificador 74LS273 (U17) y dos "buffers" 7438 (U15, U16).

El controlador 8272, es habilitado a través de la línea CS (terminal 4) que está conectada directamente a la dirección A1.

La dirección en la que va a pasar los datos a través del circuito 74LS245 (U30), está controlada por un conjunto de compuertas formadas por (U13, U14 y U28) y por las direcciones A3-A9 del canal de direcciones.

El controlador de disco de la IBM PC trabaja en modo de DMA ("Direct Memory Access"), es decir tanto para la escritura como para la lectura el acceso de datos es directo de o hacia memoria. Por esto se requiere que el DMA genere la señal necesaria para escribir en disco y por otro lado se requiere que el controlador de discos genere las señales necesarias para la lectura a través del DMA.

El FDC (8272), genera la señal de requerimiento de DMA por medio de DRQ (Requerimiento de DMA), que va directamente al circuito biestable 74LS175 (U27) y al "driver" MC3487 (U7) por cada "byte" a ser transferido.

El DMA responderá con la señal de reconocimiento /DACK ("/DMA Acknowledge"), la cual indicará al FDC que el DMA está listo para la transferencia y al mismo tiempo restablecerá al biestable generador de DRQ2 (U27) para la preparación del siguiente "byte" a transferir.

Cuando la transferencia finaliza, el DMA envía una señal TC al 8272, para indicar el final de la cuenta.

LOGICA DE RELOJ, PRECOMPENSACION DE ESCRITURA Y SEPARADOR DE DATOS.

En la figura 4.7 se muestra un diagrama a bloques de la lógica de reloj, la precompensación de escritura y del separador de datos.

El reloj de escritura, U1, utiliza un cristal oscilador de 16 MHz, que serán divididos por el biestable JK 74LS109 (U2) y por el circuito divisor de frecuencia 74LS93 (U3) de donde se obtiene una frecuencia de 1 MHz, para la señal WR CLK("Write Clock", terminal 21) del 8272.

Esta señal WR CLK, envía la frecuencia a la que los datos son escritos, es decir, a 1 MHz, con un ancho de pulso constante de 250nseg. Esta señal de entrada al 8272, debe estar presente todo el tiempo.

La lógica de precompensación de escritura está formada por el circuito biestable 74LS175 (U11) y el multiplexor 74LS153 (U10). Del 8272 se envía la señal "WR DATA" ("Write Data") al 74LS175 donde es retardada. Esta señal junto, con las señales LCT/DIR (Low Current/Direction), precompensación PB0 y PB1 ("pre-shift"), entran al circuito 74LS153.

La señal de WR DATA en combinación con la señal de reloj (CLK) A 8 MHz y con los "bits" de datos sirven para escribir en el disco.

LCT/DIR. Cuando el FDC está en modo de escritura-lectura,

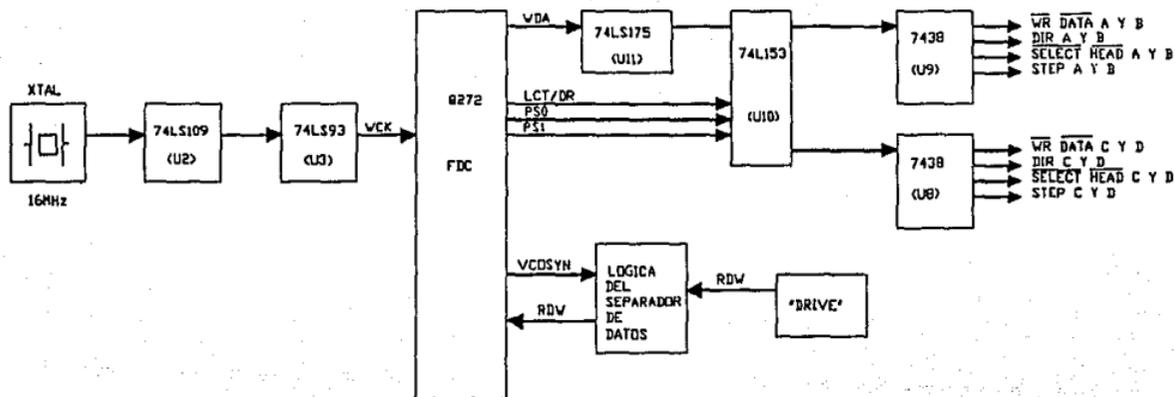


FIG. 4.7) CIRCUITO DE LOGICA DE RELOJ, PRECOMPENSACION DE ESCRITURA Y SEPARADOR DE DATOS.

esta señal indica que la cabeza ha sido posicionada sobre las pistas internas del disco (44-77). En el modo de búsqueda determina la dirección del motor de paso para el movimiento de las cabezas, un nivel alto en esta terminal provoca que las cabezas se muevan a una pista interna, un nivel bajo indica que la cabeza se moverá a una pista externa.

El modo está dado por la terminal "RW/SEEK" ("Read,Write/Seek mode selector"); cuando tiene un nivel alto selecciona el modo de búsqueda y cuando tiene un nivel bajo selecciona el modo de escritura-lectura.

Estas señales controlan la precompensación durante la escritura. Por medio de la combinación de estas señales se envía a la lógica de precompensación un par de "bits" que indican si el tiempo de la señal de lectura es normal, atrasado o adelantado.

Las salidas del circuito decodificador U10, entran a dos "buffers" 7438 (U8, U9). En U8 se obtienen las señales de "WR DATA", HDSEL ("Head Select") selección de cabeza 1 o cabeza 0, y "STEP", tanto para el drive A como para el B. En U9 se obtienen las mismas señales sólo que para los manejadores C y D.

Debido a que en el momento de la escritura los datos y los pulsos de reloj quedan grabados juntos, se requiere de un circuito que haga la separación de estos. La señal de RD DATA ("READ DATA"), es leída desde el "drive" a la lógica del separador de datos. Esta señal contiene los "bits"

tanto de datos como de reloj. El separador de datos consiste básicamente en un oscilador fijador de fase (PLL) que es accionado por la señal VCO del 8272. Cuando esta señal tiene un nivel alto el PLL se habilita y cuando tiene un nivel bajo el PLL se desactiva. El PLL se activa sólo cuando se reciben datos válidos desde el "drive". El circuito separador de datos envía la señal DW ("Data Window") para indicar al 8272 que está recibiendo sólo datos desde el disco.

4.3 TECLADO EN LA IBM PC.

El teclado de la IBM PC en un principio presentó controversias respecto al cambio de posición de algunas teclas con respecto a los teclados de las máquinas de escribir IBM. Sin embargo, el usuario se ha acostumbrado a este, y sobretodo, que algunos fabricantes como "Keytronic" han hecho ciertas modificaciones favorables a este.

El teclado de la IBM PC incluye una matriz de interruptores de contacto momentaneo tipo "push-button", y el controlador programable de 8 bits 8048 con 2K internos de ROM, además de la electrónica de control.

La figura 4.8 es un esquemático simplificado del circuito del teclado.

El 8048 es capaz de examinar la matriz de interruptores de 4 a 6 veces mas rápido que el tiempo que tarda en cerrarse un interruptor de una tecla, y aún mas cuando se presionan dos teclas al mismo tiempo el controlador examina y reacciona rápidamente seleccionando la que cerró el circuito un poco antes que la otra.

Las 83 teclas están conectadas a una matriz de interrupciones de 23 filas por 4 columnas. Cada vez que se presiona una tecla, se cierra un interruptor con ciertas coordenadas X,Y. La señal generada en este punto es leída por el 8048 y convertida en un código especial llamado "código de búsqueda", el cual es enviado al 8088 para su interpretación. Cada 3 o 5 useg, el 8048 examina la matriz,

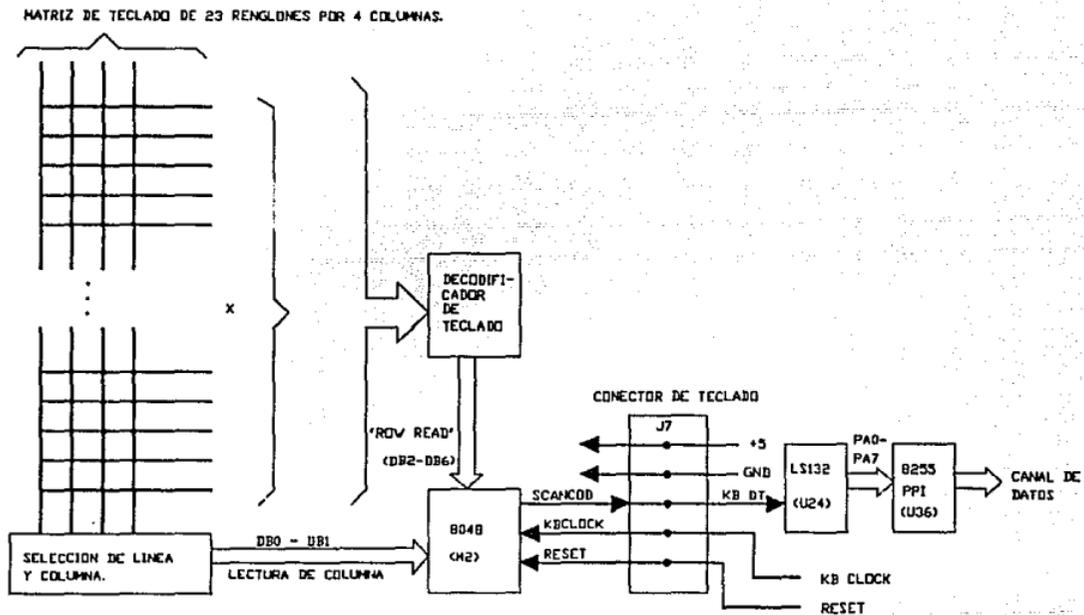


FIG. 4B. CIRCUITERIA DE TECLADO.

inspeccionando cada columna, para sensar si alguna línea está en nivel bajo. Primero una columna es examinada y los estados de los interruptores en cada fila de esa columna son leídos y almacenados en memoria. Si algún interruptor fué cerrado, esta coordenada representará un voltaje 0.

La búsqueda continúa hasta que las cuatro columnas han sido leídas. Cada "código de búsqueda" es almacenado en la memoria del 8048 por lo que aquí se registra el estado ("estatus") del teclado.

Si se presionan dos exactamente al mismo tiempo, estas son ignoradas, (a excepción de la combinación de teclas que tiene funciones definidas).

Durante el proceso de muestreo, cuando una interrupción cerrado se sensa, el 8048 espera unos pocos milisegundos para que se estabilice el movimiento mecánico de la tecla, de lo contrario, se genera ruido que es producto de las vibraciones generadas por el movimiento mecánico, estas vibraciones serán interpretadas como señales válidas, causando que el caracter de una tecla que se presionó una sola vez, sea repetido hasta cuatro veces.

El 8048, envía códigos de las teclas activadas en forma serial, siendo el mismo código para la tecla desactivada sólo que con el "bit" mas significativo en alto. Otra característica de este teclado es el modo de repetición al mantener una tecla presionada por mas de 0.5 segundos, el 8048 envía el código de la tecla activada a razón de 10 veces por segundo.

Mientras tanto la CPU no pierde tiempo en efectuar el monitoreo y la búsqueda de armónicos al presionar una tecla ("debouncing"), ya que es trabajo del 8048. Sin embargo a cambio de esto, la CPU debe traducir los códigos usados por el 8048 a códigos ASCII.

Debido a su gran flexibilidad, el usuario sólo quedará limitado por el sistema operativo, es decir que podrá modificarse las características del teclado al momento de inicializar la máquina con solo ejecutar programas definidos en un archivo. Por ejemplo se puede utilizar teclado en español, en inglés, francés, etc. Todo depende del sistema operativo que se esté utilizando. En cada tipo de teclado varían la posición de algunas teclas o tiene diferentes tipos de caracteres dependiendo del lenguaje en el que se esté trabajando.

Consideremos ahora a partir de la figura 4.10, los valores decimales de cada tecla transmitido por el teclado a la PC cuando una tecla es activada. El código correspondiente cuando la tecla se desactiva es el mismo código mas 128. En binario esto corresponde a encender el "bit" 7 del "byte" transmitido por el teclado.

La figura 4.9 muestra en detalle como se transmite el código en forma serial. Cuando ningún código es enviado, la salida permanece en bajo (0 volts). Para indicar el comienzo de un código, la salida del teclado va a un nivel alto durante 0.2 useg.

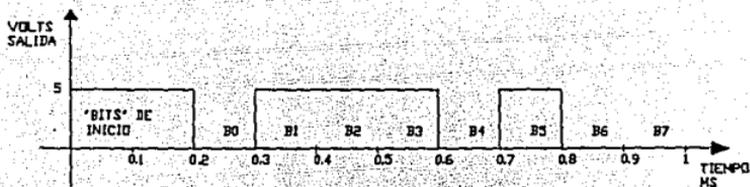


FIG. 4.9 Diagrama que muestra el voltaje de salida contra el tiempo cuando la tecla "C" (con código 46d, es decir 00101110b) es presionada. En la ausencia de transmisión, el voltaje es 0. Dos "bits" de inicio (5 volts) definen el principio de un código de transmisión. Seguido por 8 "bits", cada uno de 0.1 mseg.

Seguido a los "bits" de comienzo está el código (8 "bits") usando 0.1 mseg por cada "bit", primeramente el "bit" menos significativo ("bit" 0) y al último el "bit" de deshabilitación ("bit" 7).

Primeramente la línea "KBD CLK" proveniente del 8048 es retardada dos periodos de reloj ($CLK = 4.77MHz/2$) y al mismo tiempo invertida por un par de 74LS175 ("FLIP-FLOP" tipo D). Esta señal es utilizada para sincronizar los "bits" de la señal "KDB DATA" dentro del registro de corrimiento serie-paralelo 74LS323. Cuando han sido cargados 8 "bits" en el 74LS323 la línea QH de este circuito provoca una interrupción por medio de un 7474 ("FLIP-FLOP" con "RESET" y "CLEAR").

VALOR DECIMAL	TECLA	CODIGO BUSQUEDA	VALOR DECIMAL	TECLA	CODIGO BUSQUEDA
1	ESC	01	43	\	2B
2	1	02	44	z	2C
3	2	03	45	x	2D
4	3	04	46	C	2E
5	4	05	47	v	2F
6	5	06	48	b	30
7	6	07	49	n	31
8	7	08	50	m	32
9	8	09	51	,	33
10	9	0A	52	.	34
11	0	0B	53	/	35
12	-	0C	54	SHIFT	36
13	=	0D	55	PR SC	37
14	B.S.	0E	56	ALT	38
15	TAB	0F	57	SPACE	39
16	q	10	58	C.L.	40
17	w	11	59	F1	41
18	e	12	60	F2	42
19	r	13	61	F3	43
20	t	14	62	F4	44
21	y	15	63	F5	3F
22	u	16	64	F6	40
23	i	17	65	F7	41
24	o	18	66	F8	42
25	p	19	67	F9	43
26	j	1A	68	F10	44
27	¿	1B	69	N. LOCK	45
28	ENT.	1C	70	S. LOCK	46
29	CTRL.	1D	71	7	47
30	a	1E	72	8	48
31	s	1F	73	9	49
32	d	20	74	-	4A
33	f	21	75	4	4B
34	g	22	76	5	4C
35	h	23	77	6	4D
36	j	24	78	+	4E
37	k	25	79	1	4F
38	l	26	80	2	50
39	;	27	81	3	51
40	"	28	82	0	52
41	'	29	83	DEL	53
42	SHIFT	2A			

FIG. 4.10: CODIGOS DE BUSQUEDA GENERADOS AL PRESIONAR LAS TECLAS EN LA IBM PC.

En la figura 4.11 se esquematiza la circuitería del teclado. La circuitería trabaja de la siguiente manera.

Esta interrupción llama al manejador de la interrupción INT9 para que el 8255 lea el caracter a través del puerto A y al mismo tiempo se limpie la interrupción. El puerto A es usado también para leer el juego de interruptores SW1, dependiendo del valor del "bit" 7 del puerto B.

En la figura 4.12, se observa el diagrama a bloques de la matriz (23 x 4) que forman las 92 teclas.

Existen cinco salidas del 8048 con las cuales activará una de las 23 líneas a nivel bajo (que normalmente está en nivel alto). Una tecla en particular conecta una de las 23 líneas a una de las 4 líneas que van a un selector de datos leído por el 8048. El 8048 realiza un barrido continuo de la matriz de interruptores y cuando encuentra uno cerrado espera unos milisegundos a que la tecla deje de vibrar ("debouncing").

Posteriormente el 8048 almacena el código de la tecla accionada en un "buffer" y por último se envía al CPU. En forma similar si el 8048 sensa la deshabilitación de una tecla, almacena el código de la tecla en cuestión con el "bit" 7 encendido.

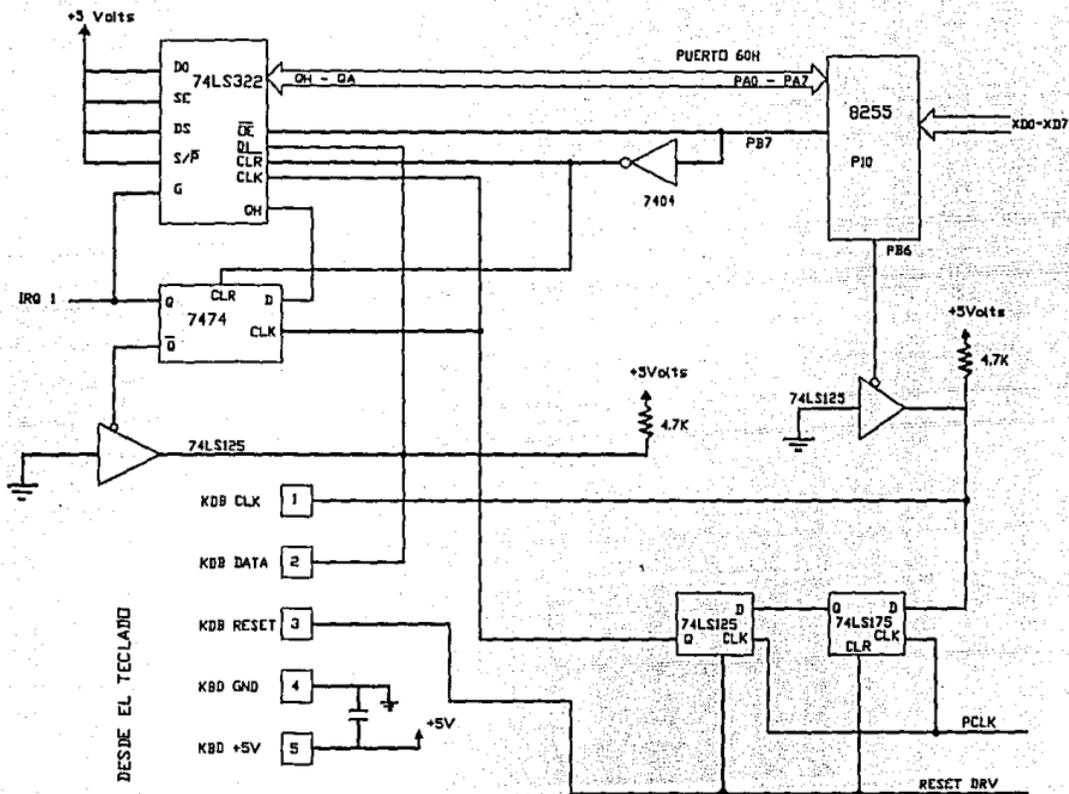


FIG. 4.11. INTERFAZ DE ENTRADA DEL TECLADO IBM.

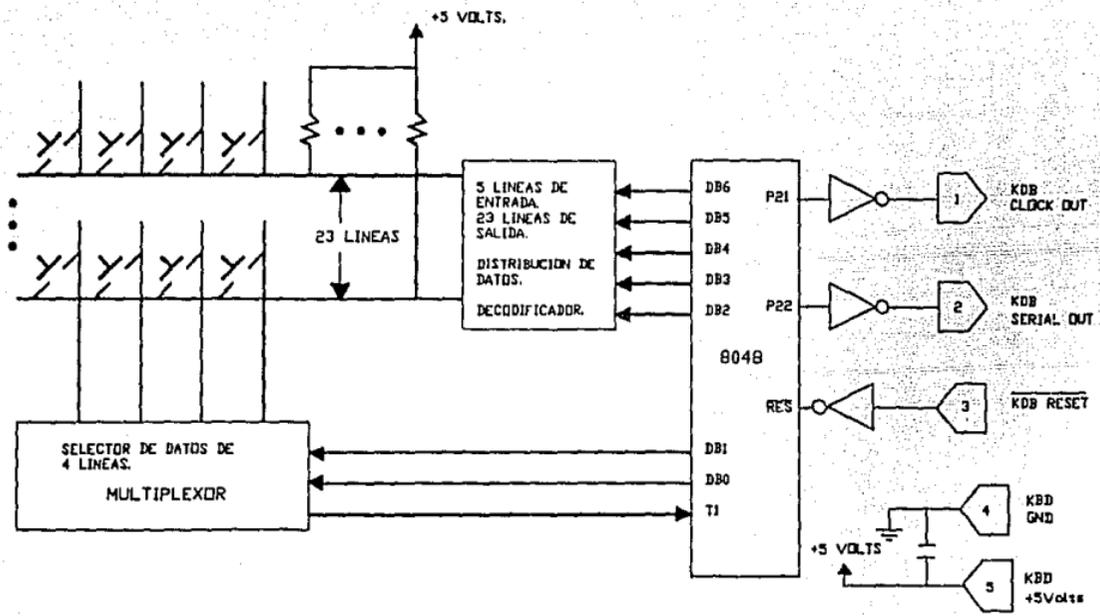


FIG. 4.1B DIAGRAMA A BLOQUES DEL CIRCUITO MICROPROCESADOR DEL TECLADO EN LA IBM PC.

4.4 BOCINA.

La bocina en la IBM PC puede generar sonidos siempre que se accese la dirección 0061H, el puerto B del 8255 (PPI, U36), es decir que un uno lógico en el "bit" 1 (PB1) del puerto, puede ser usado para encender la modulación de la señal que va a la bocina.

Esto provoca que la señal "OUT" del 8253, se combine con la señal "ENABLE" del 8255 (U36), en el circuito 74LS38 (U36), para posteriormente pasar a través del amplificador 75477 (U95).

Cada cambio es amplificado por U95 y transmitido al cono de la bocina. Dependiendo que tan rápido y que tan seguido sean estos cambios se producirán diferentes frecuencias. La frecuencia del pulso de salida de U34 controla el tono del sonido producido por la bocina. También se puede controlar la bocina por medio de variaciones (encendido/apagado) de la señal proveniente del 8255 o bien variando la entrada de reloj del 8253.

El rango de frecuencias que se puede generar depende del programa empleado, si el programa es "BASIC" se podrá generar frecuencias hasta de 1000 Hz. Sin embargo con el lenguaje de máquina se puede cubrir la banda de audio de 300 a 3000 Hz.

El "ROM BIOS" de la IBM PC no contiene rutinas para la generación de sonidos, esto quiere decir que los sonidos deben ser generados por programa, en cada aplicación. En la

figura 4.13 se muestra la figura para la habilitación de la bocina.

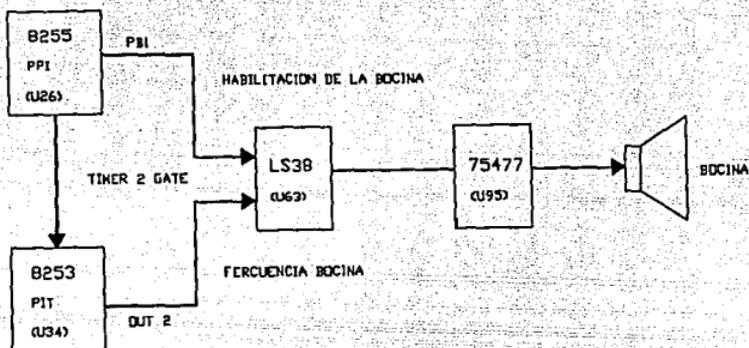


FIG. 4.13: CIRCUITERIA DE LA BOCINA.

CAPITULO V

DETECCION Y CORRECCION DE FALLAS EN

MICROCOMPUTADORAS

CAPITULO V.

DETECCION Y CORRECCION DE FALLAS EN MICROCOMPUTADORAS.

5.1 PUNTOS IMPORTANTES EN EL SEGUIMIENTO DE FALLAS.

En este capítulo se analizará las fallas mas comunes o probables que se encuentran en microcomputadoras. A continuación se presentan algunos puntos importantes en el seguimiento de estas fallas.

Existen varias causas por las que puede fallar una microcomputadora, sin embargo, si el análisis y seguimiento de la falla se realiza en forma ordenada y sencilla, es mas fácil poder llegar a una determinación de que produce la falla y por lo tanto como poder corregirla.

Algunos de los pasos mas importantes para el seguimiento de fallas en microcomputadoras son los siguientes:

1) Observar las condiciones en las cuales ha ocurrido la falla, algunas de estas pueden ser:

- Condiciones existentes al momento de ocurrir la falla.
- Programa que se estaba ejecutando.
- Aparece algún mensaje en la pantalla del monitor.
- Sucedió algo con el video.
- Tiene sonidos provocados por la computadora.
- etc.

2) Utilizar los sentidos para observar si existen olores típicos de componentes sobrecalentados o bien tocar para saber si alguna parte del sistema se encuentra demasiado

caliente.

3) Verificar puntos básicos como son: cables de alimentación; que estos se encuentren bien conectados y que en la toma de corriente exista suministro de energía, cables de conexión con equipos periféricos; en caso de que alguno de estos falle probar con otro que se encuentre en buen estado, verificar controles de brillantez e intensidad del video ya que algunas veces estos se encuentran desajustados y no existe imagen.

Si el problema tiene que ver con algún dispositivo externo como puede ser el video, impresora, modem, graficador, etc., se recomienda apagar la microcomputadora y verificar las conexiones del dispositivo en cuestión y volver a encender la computadora.

4) La mayoría de las fallas en microcomputadoras tienen que ver con "drives", sin embargo antes de desarmar el sistema para verificar el "drive", se debe estar seguro que el problema no tiene que ver con los discos, es decir, hay que intentar con una copia confiable del sistema operativo o programa de aplicación con el que a ocurrido la falla.

Si aún así la máquina no responde lo recomendable es desconectar cada uno de los módulos externos de la microcomputadora, y observar si al menos direccionan los "drives". Esto es porque muchas veces sucede que algún dispositivo periférico defectuoso provoca que la microcomputadora se trabe desde el encendido o incluso ya estar trabada.

5) Es muy recomendable anotar lo que se haya visto u observado al momento de ocurrir la falla como puede ser mensajes en pantalla, sonidos de error por medio de la computadora, despliegue periodico de caracteres raros.

6) La ventaja en el diagnóstico de fallas en microcomputadoras es de que se puede hacer el análisis inicial a nivel módulo, lo cual es recomendable para evitar confusiones con módulos ajenos a la falla. Otra muy importante ventaja es que existen en el mercado paquetes o programas para ayudarnos en el diagnóstico a nivel módulos. Estos programas son útiles, mas no siempre certeros, debido principalmente a que presentan la falla en módulos de donde viene a manifestarse, mas no siempre de donde se está originando. Como apoyo para esta tesis se utiliza el siguiente:

-"Drive Diagnostics Utilities" en complemento con el "Digital .Diagnostics Diskette".

7) Es elemental contar con procedimientos o rutinas de diagnósticos para acelerara la preparación del equipo, sin embargo es importante tener presente que las rutinas de diagnóstico, como las que se presentan en este capítulo, nos darán un diagnóstico a nivel módulo e incluso a nivel circuitería, pero que de ninguna forma se puede esperar que mediante estas se repare cualquier problema que exista en la microcomputadora.

8) Es recomendable contar con la información necesaria para

diagnosticar fallas en microcomputadoras. Aunque refiriendonos a línea PC compatible básicamente, se tienen los mismos módulos y circuitos principales, pero existen fallas en donde sin el diagrama propio de la máquina es difícil diagnosticar.

Es muy útil contar con el manual del usuario para poder verificar puntos importantes como son ensamble y desensamble de partes, interruptores de configuración e inclusive posibles cambios de rutinas del sistema operativo.

En algunos manuales de usuario se encuentran los códigos de error que despliega la microcomputadora y los cuales son una valiosa ayuda.

9) Una vez que se ha diagnosticado a nivel módulo es recomendable desconectar los cables de alimentación tanto de la PC como del monitor antes de iniciar el desensamble.

Es importante mencionar que si la microcomputadora cuenta con disco duro se deberá correr la rutina para estacionar las cabezas en una zona segura, esto es, colocarlas en un lugar lejano a donde se encuentra la información del usuario.

Esta rutina tiene diferentes nombres dependiendo del equipo, pero el más general es **PARK**, aunque puede ser **SHIPZONE** o **DOWN**.

Una vez abierto el equipo se debe proceder al diagnóstico del o de los componentes dañados.

Existen en su mayoría fallas declaradas como puede ser

problemas en la fuente de alimentación, ausencia de señal de video, inicialización nula o con mensajes de error, etc. En estos casos el componente problema se localizará en base a esta falla por lo que el diagnóstico puede ser mas rápido. Sin embargo existen las fallas que se presentan solo bajo ciertas condiciones y aparentan ser aleatorias; estas condiciones pueden ser :

-Ruido eléctrico.

-Calor excesivo.

-Interferencia electromagnética, etc.

En el caso de fallas intermitentes es recomendable observar bajo que circunstancias específicas está ocurriendo la falla, de este modo se podrán seguir varios caminos.

El camino mas práctico antes de iniciar un seguimiento de señales es el utilizar un enfriador en circuitos que sospechamos están fallando por calentamiento excesivo. O bien por medio de una pistola de aire calentar el circuito sospechoso y de esta forma se declarará la falla mas rápidamente.

Una vez hecho el diagnóstico se procederá a efectuar la reparación y a probar la microcomputadora exhaustivamente, de esta forma se habrá hecho una reparación confiable.

Suelen presentarse fallas cuando se tienen aditamentos recién instalados en la microcomputadora como pueden ser tarjetas de expansión de memoria, modems, controladores de disco duro, instalación de coprocesadores. En este último

punto sucede algo muy frecuente y que se refiere a la versión del 8088 que se tiene instalada respecto a la del 8087 (coprocesador) que se está instalando. Básicamente si la liberación del 8088 es de fecha 1978 lo mas seguro es que no trabajará adecuadamente con el 8087. Pero si el 8088 es de fecha 78-81 (escrito en la parte superior del circuito), deberá trabajar con el 8087.

5.2 DIAGNOSTICO Y REPARACION DE FALLAS EN MICROCOMPUTADORAS.

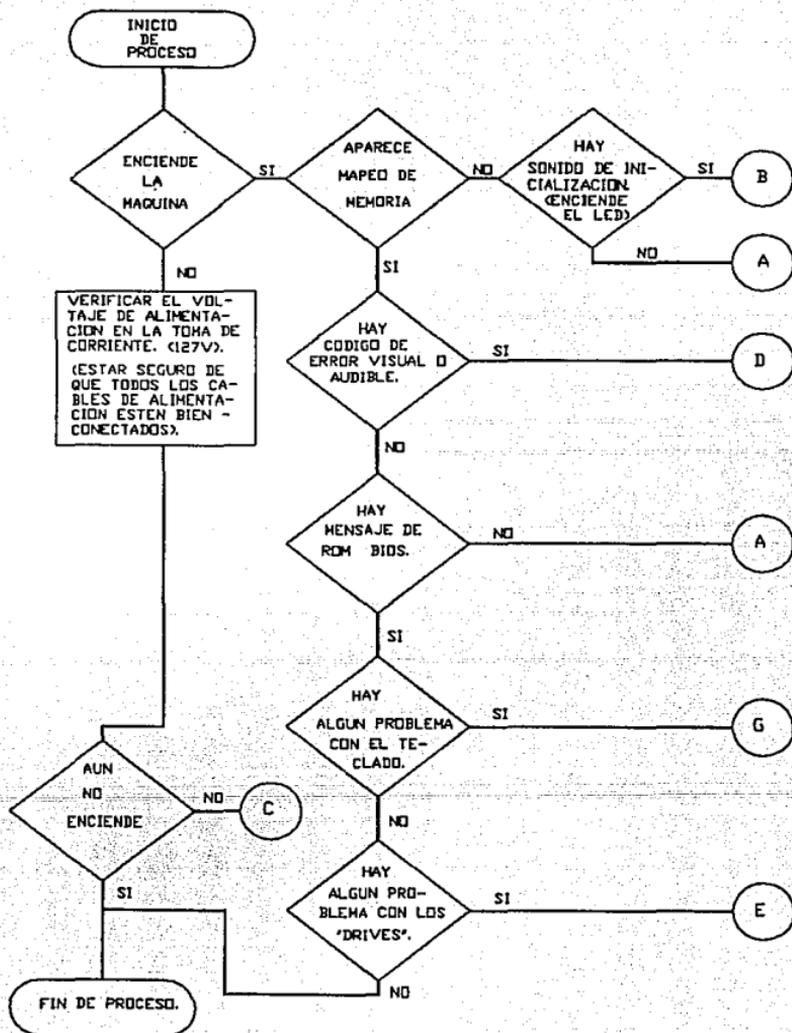
Las rutinas que se presentan para realizar el diagnóstico y la reparación de fallas en microcomputadoras, es por medio de diagramas de flujo.

Se tiene un diagrama de flujo inicial, por medio del cual se aísla el bloque de donde procede la falla.

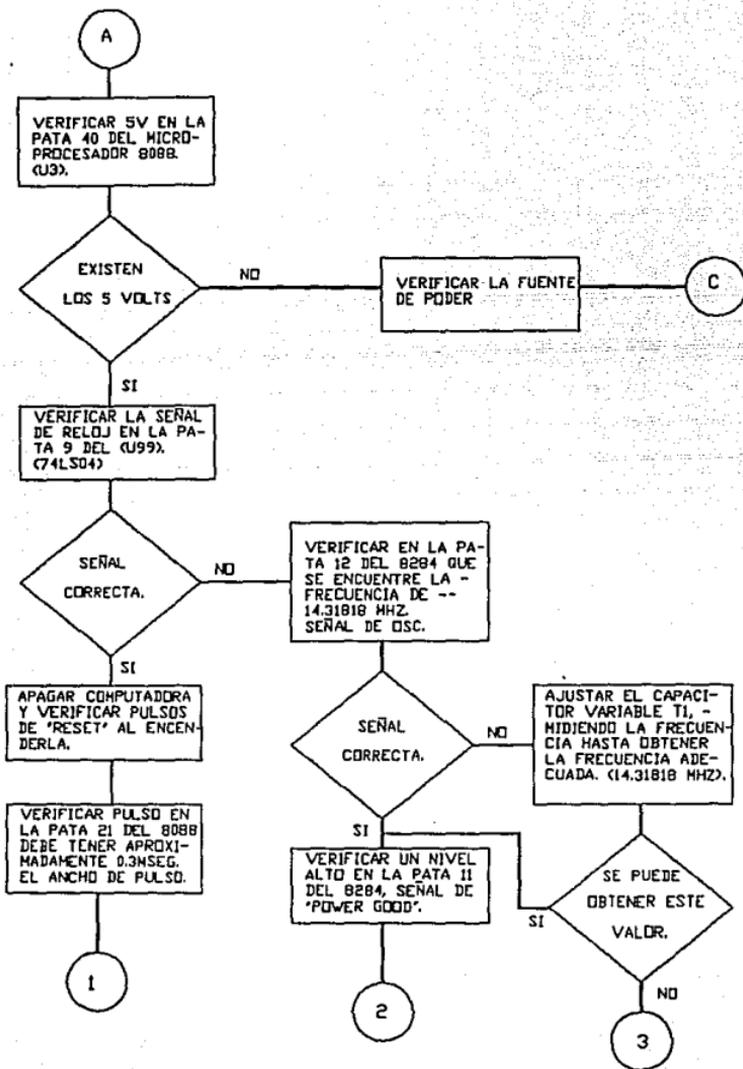
A partir de este diagrama se manda a otros diagramas, para hacer el diagnóstico y reparación de la parte que no está operando adecuadamente.

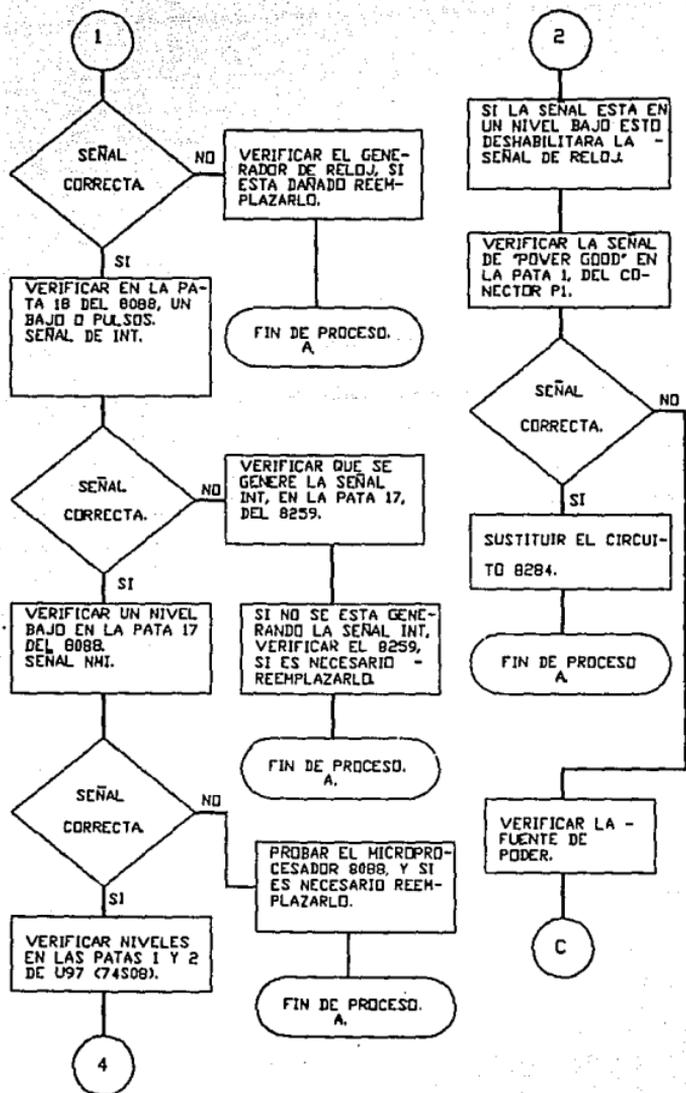
- A- Problemas con la tarjeta principal de la computadora.
- B- Problemas con el video monocromático.
- C- Problemas con la fuente de poder.
- D- Codigos de error, tanto visuales como audibles.
- E- Problemas con los "drives".
- F-Problemas de video monocromático como son la mala operación de los diferentes atributos o la falta de cursor.
- G-Problemas con teclado.

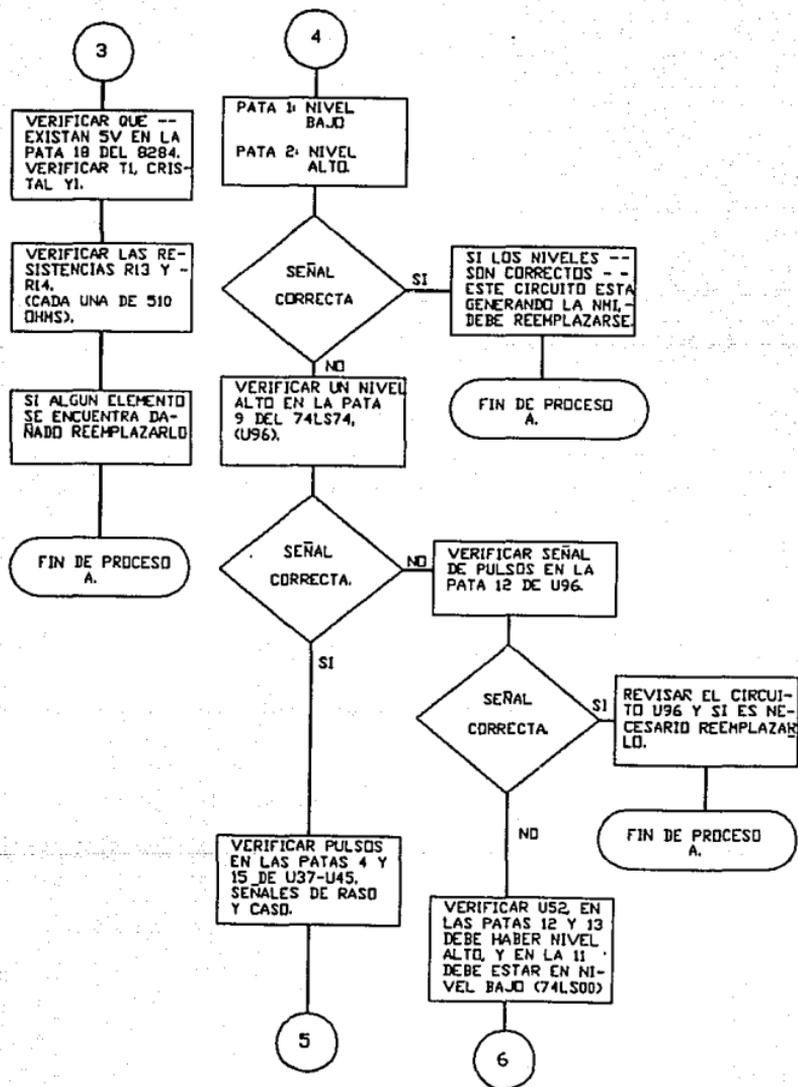
5.2.1. DIAGRAMA DE FLUJO GENERAL

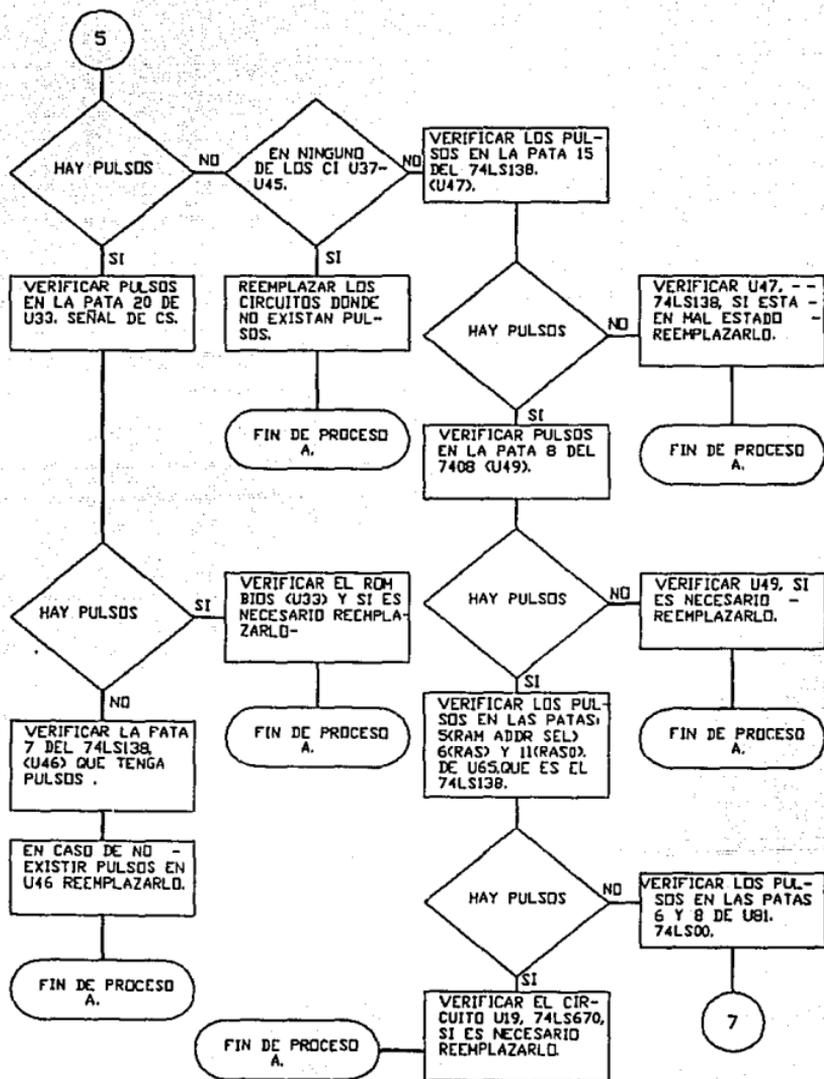


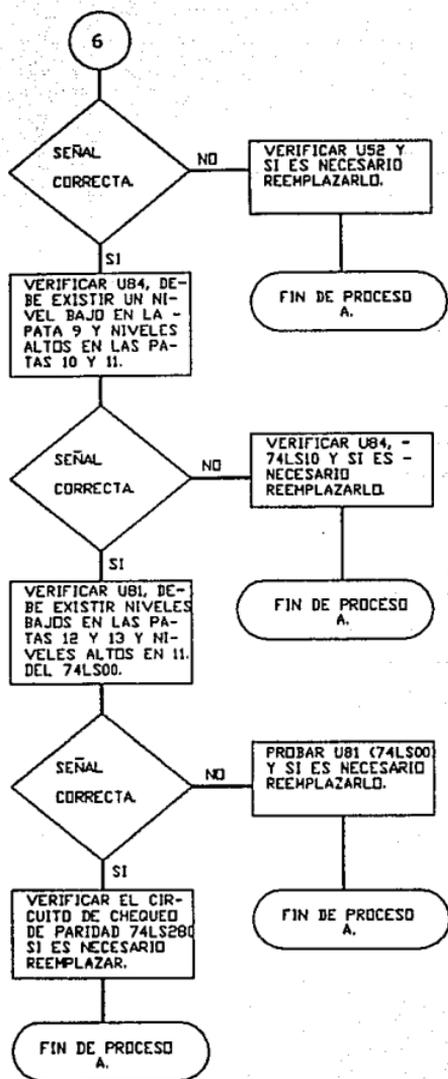
5.2.2 DIAGRAMA DE FLUJO PARA LA DETECCION Y CORRECCION DE FALLAS EN LA TARJETA PRINCIPAL (TARJETA MADRE).

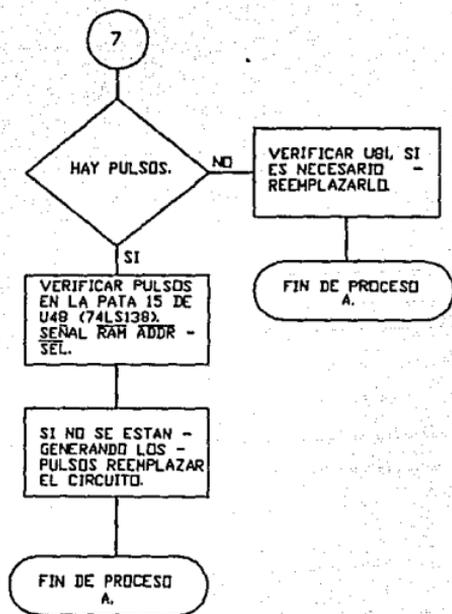




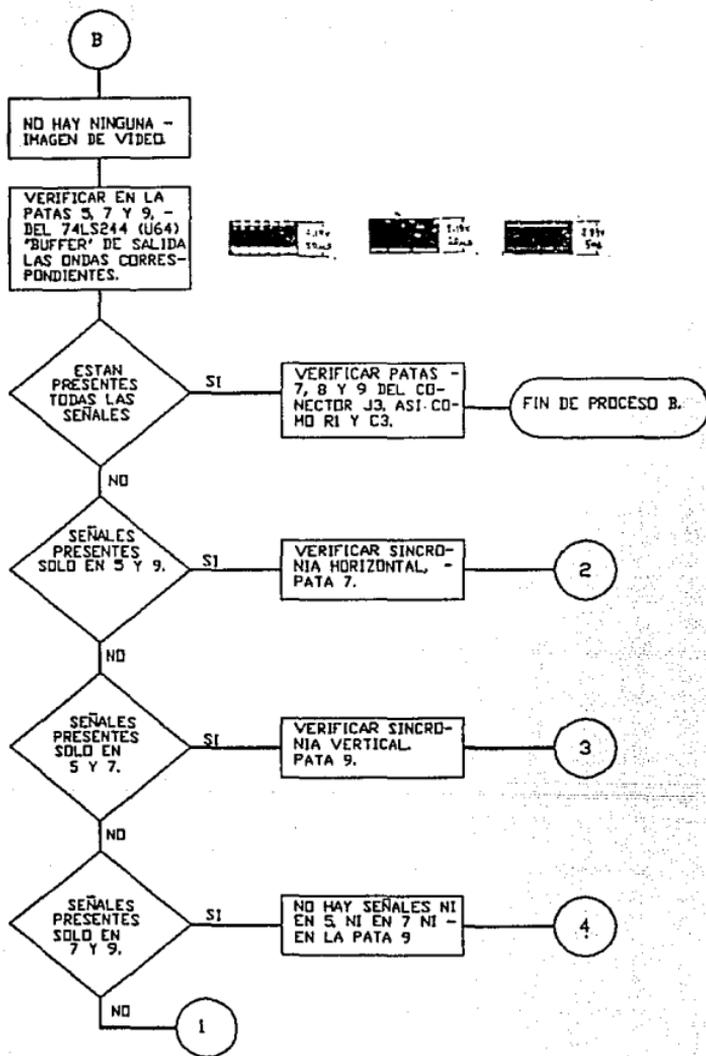


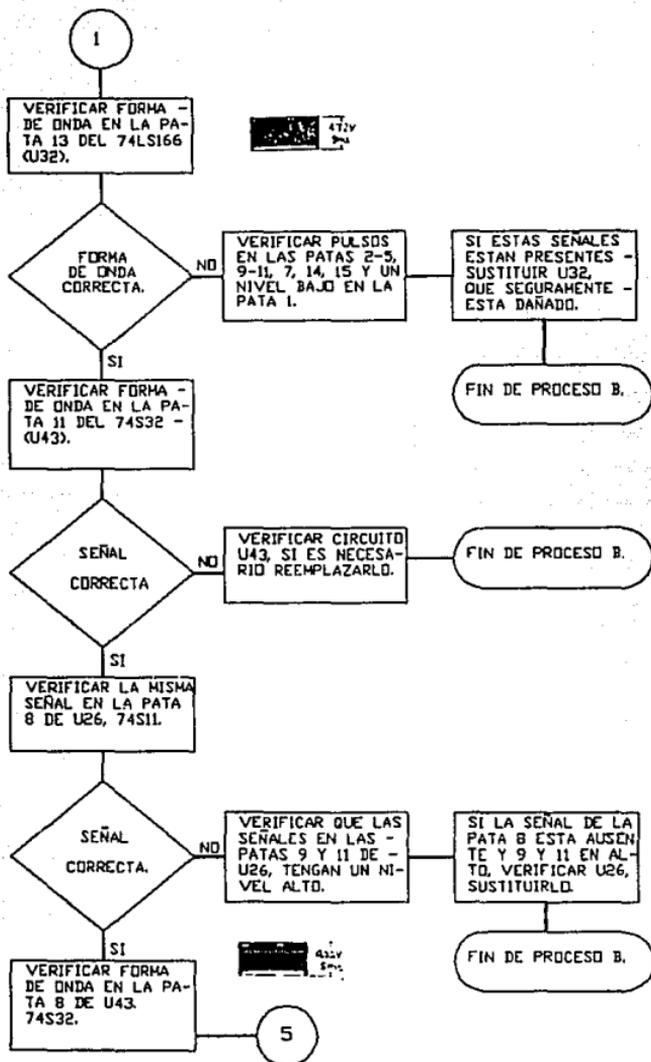


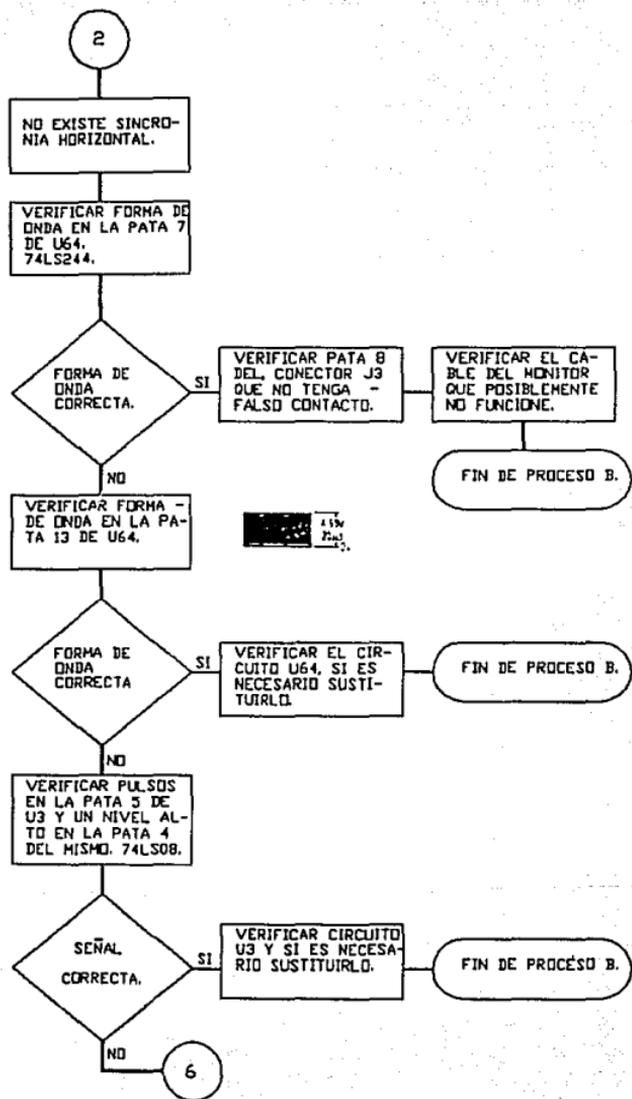


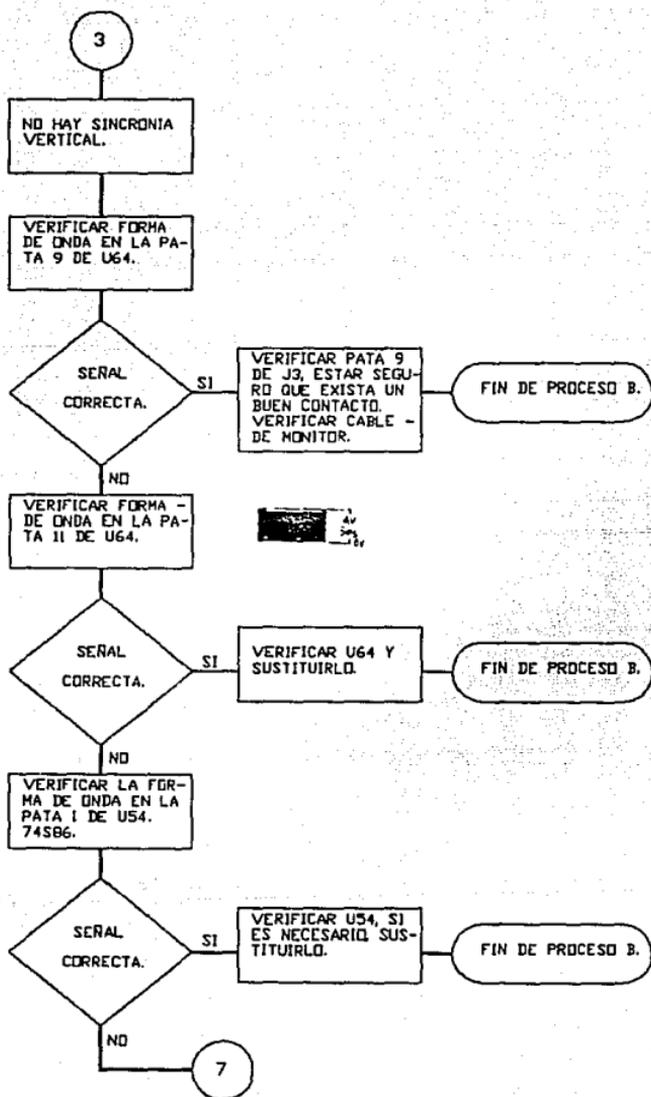


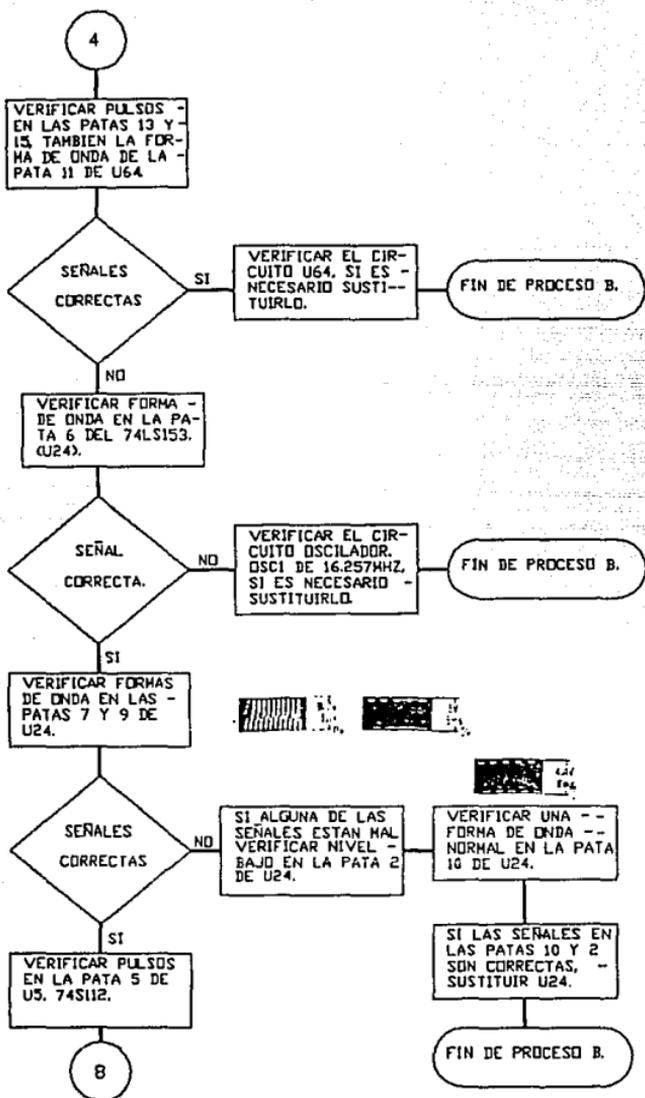
5.2.3. DETECCION Y CORRECCION DE FALLAS EN LA TARJETA DE VIDEO MONOCROMATICO

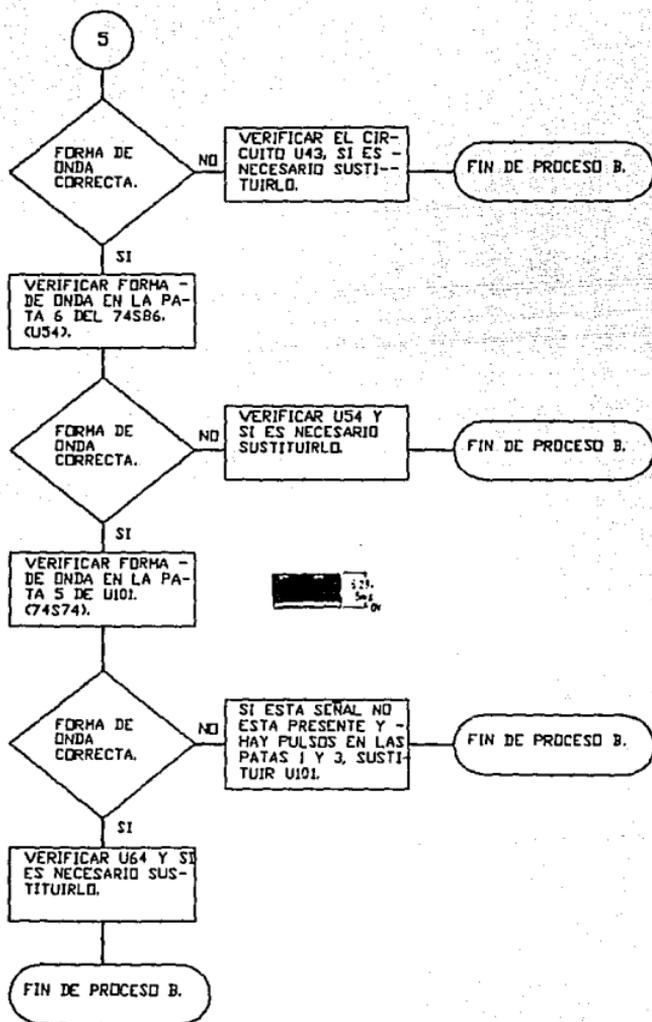


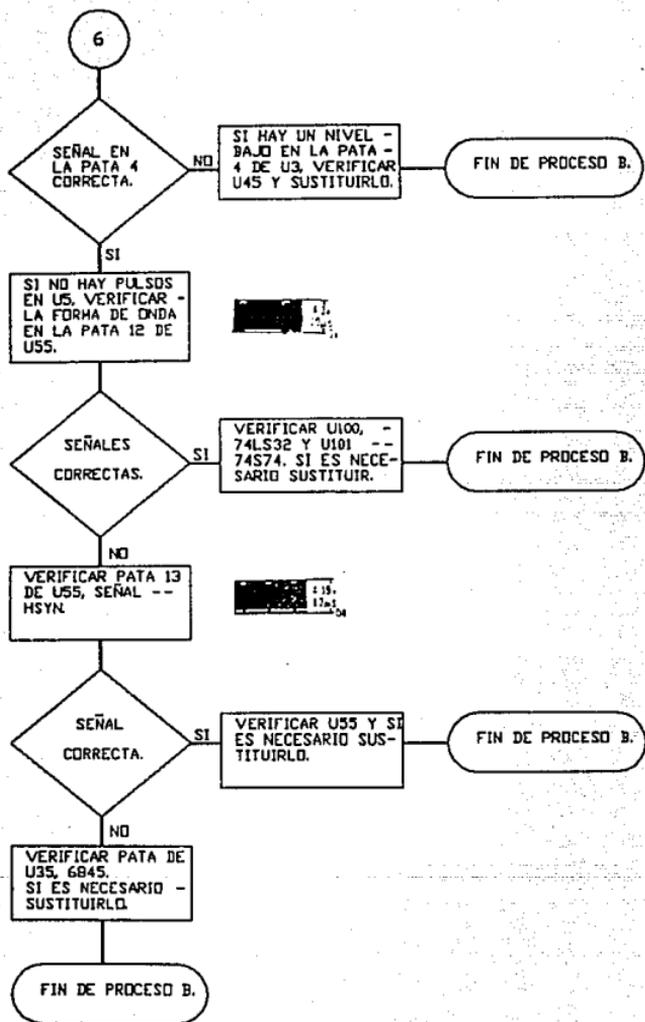


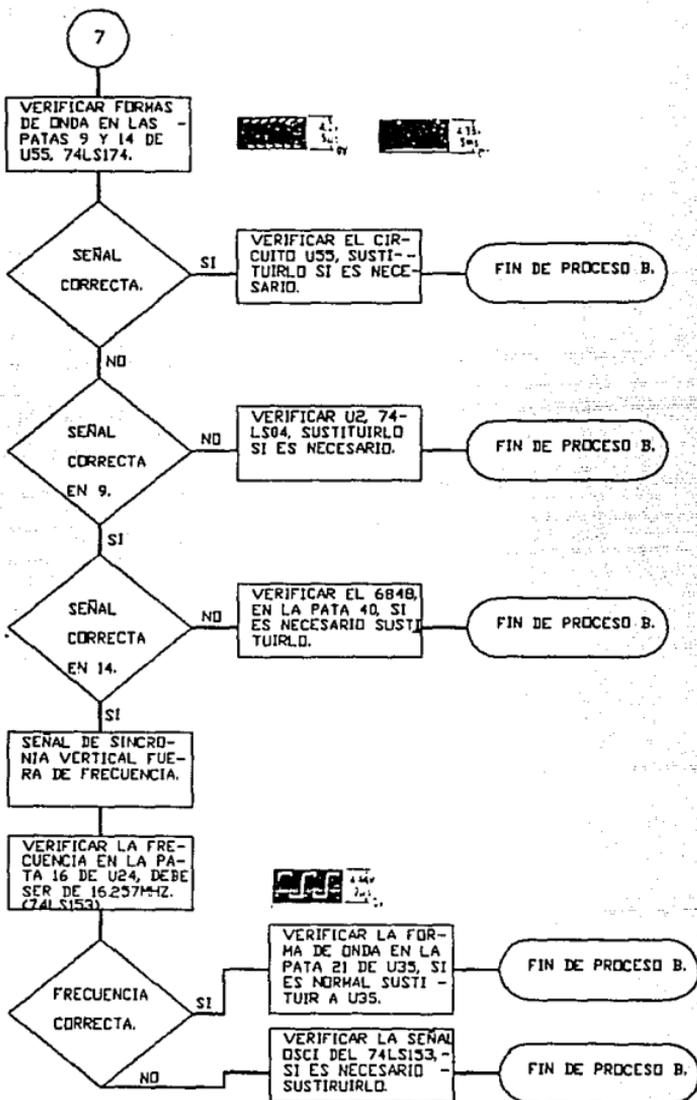


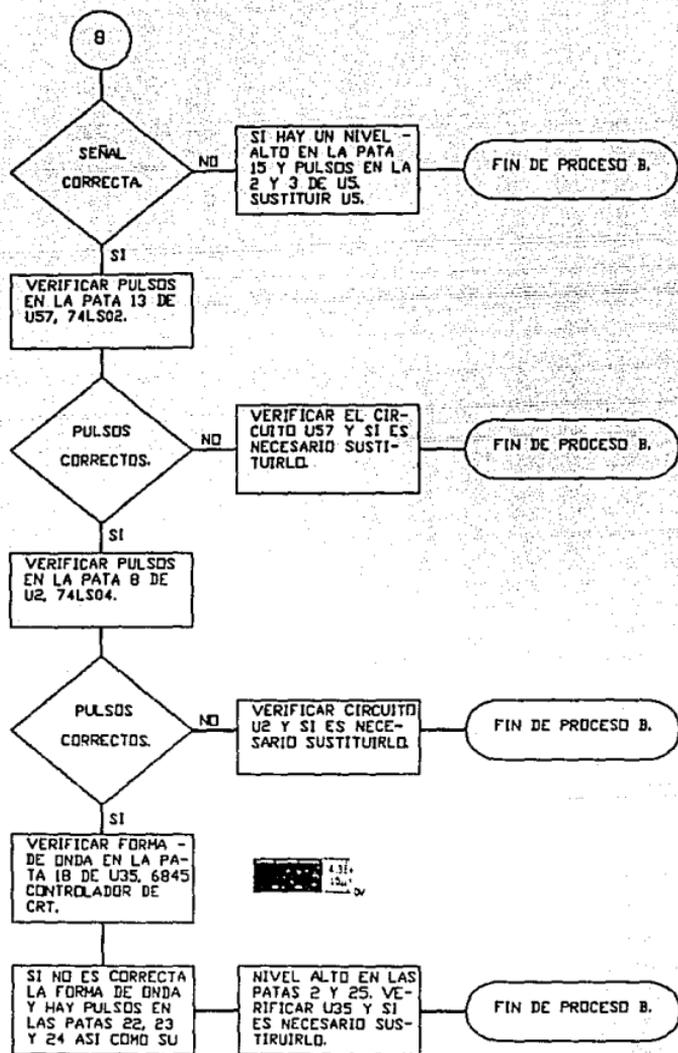




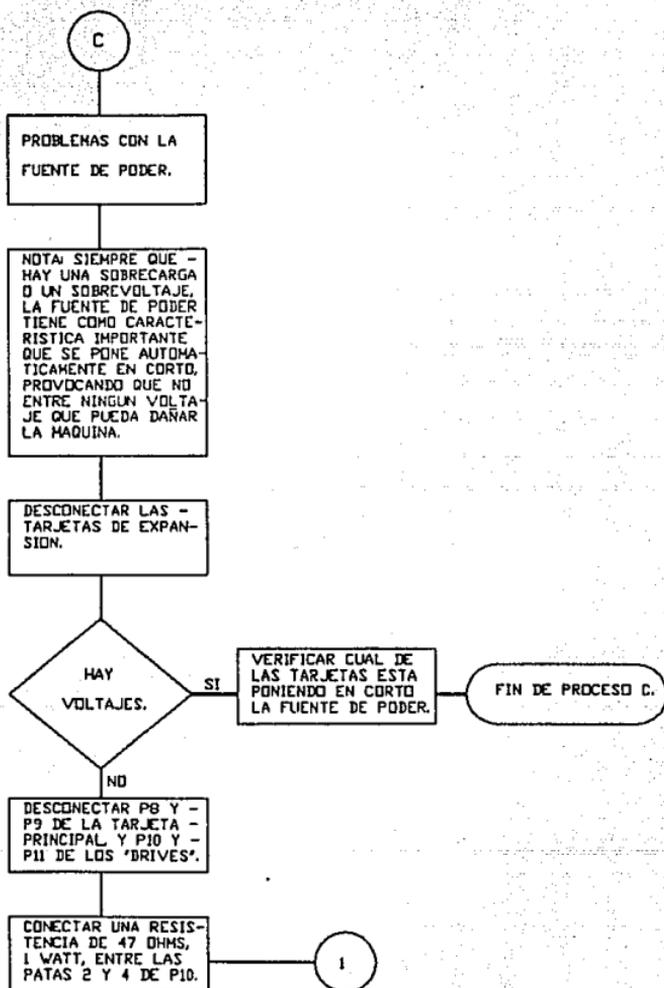


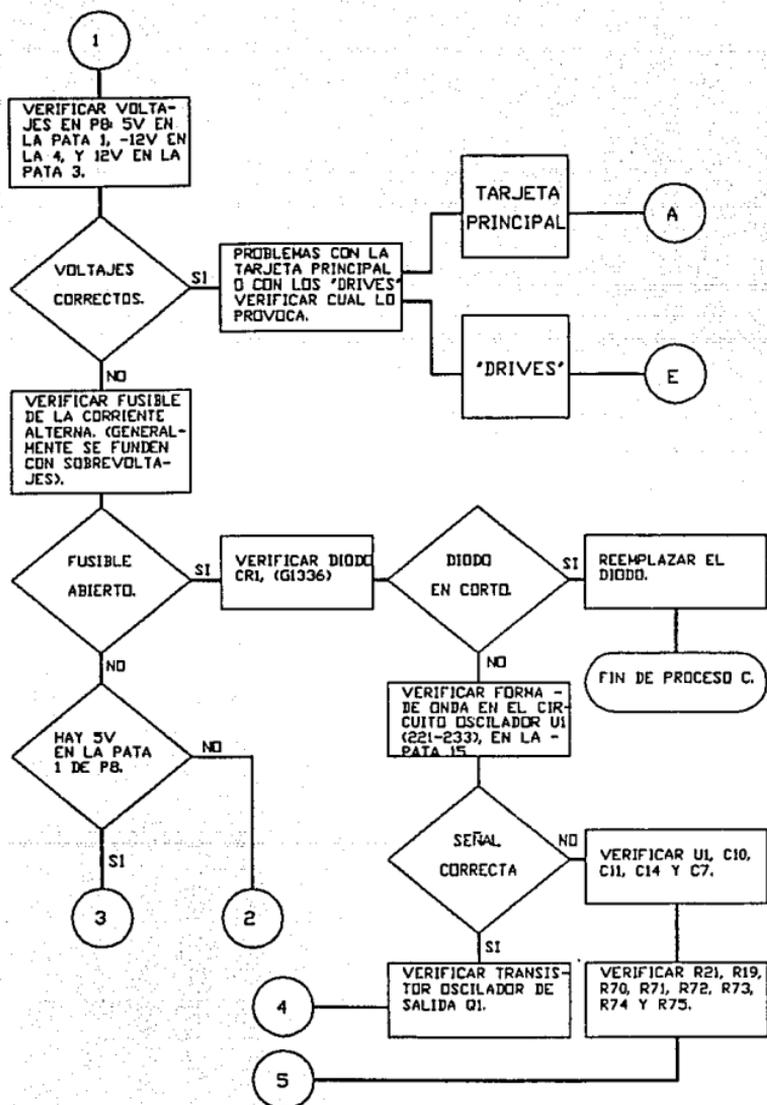


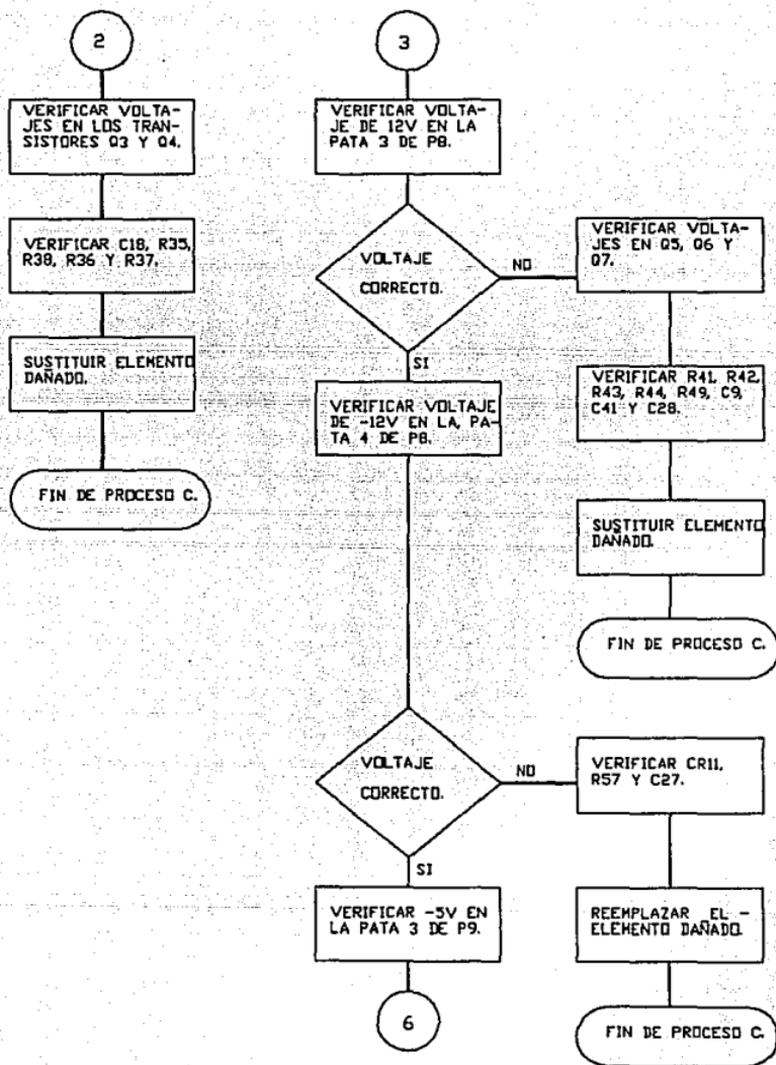




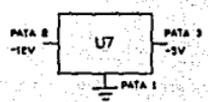
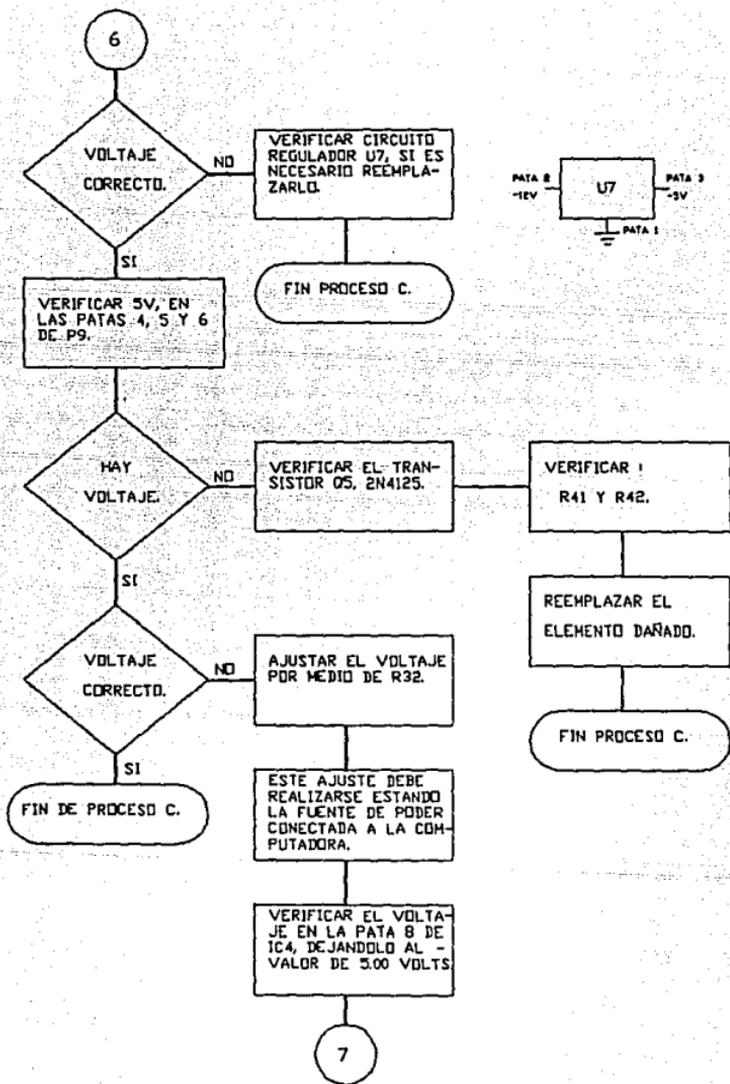
5.2.4. DETECCION Y CORRECCION DE FALLAS EN LA FUENTE DE PODER.

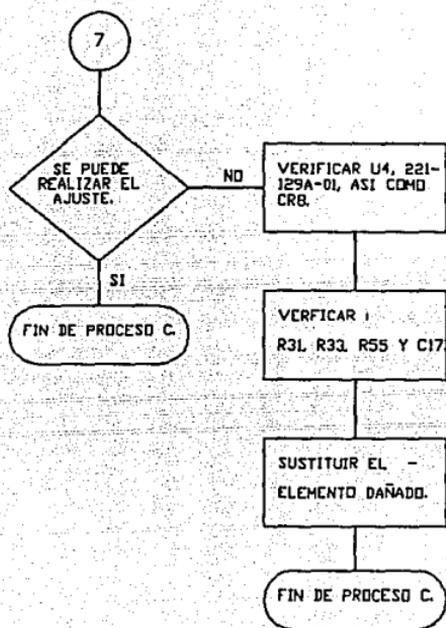




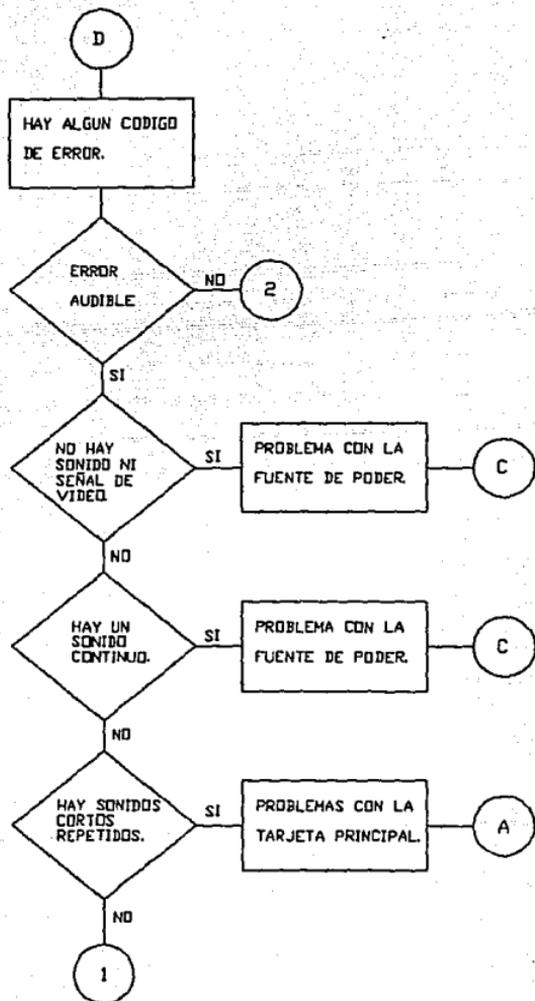


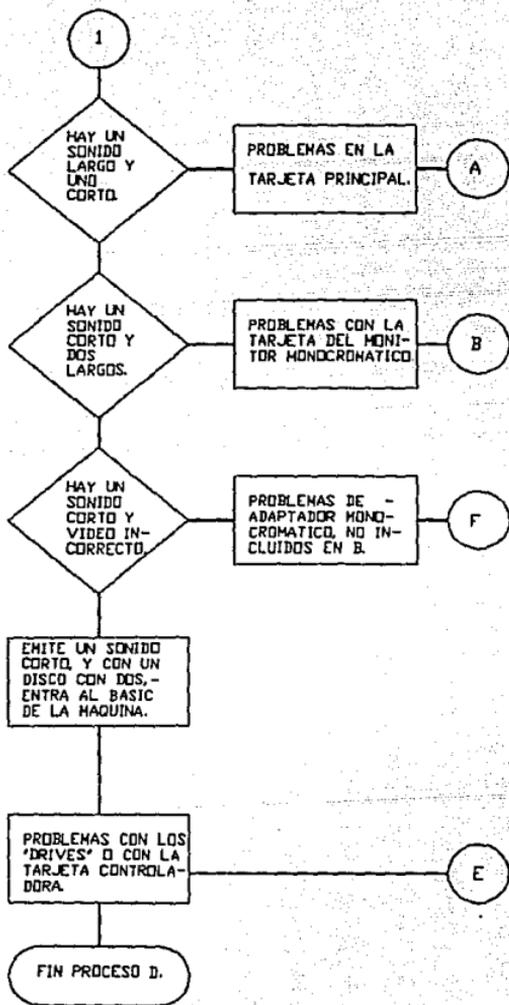


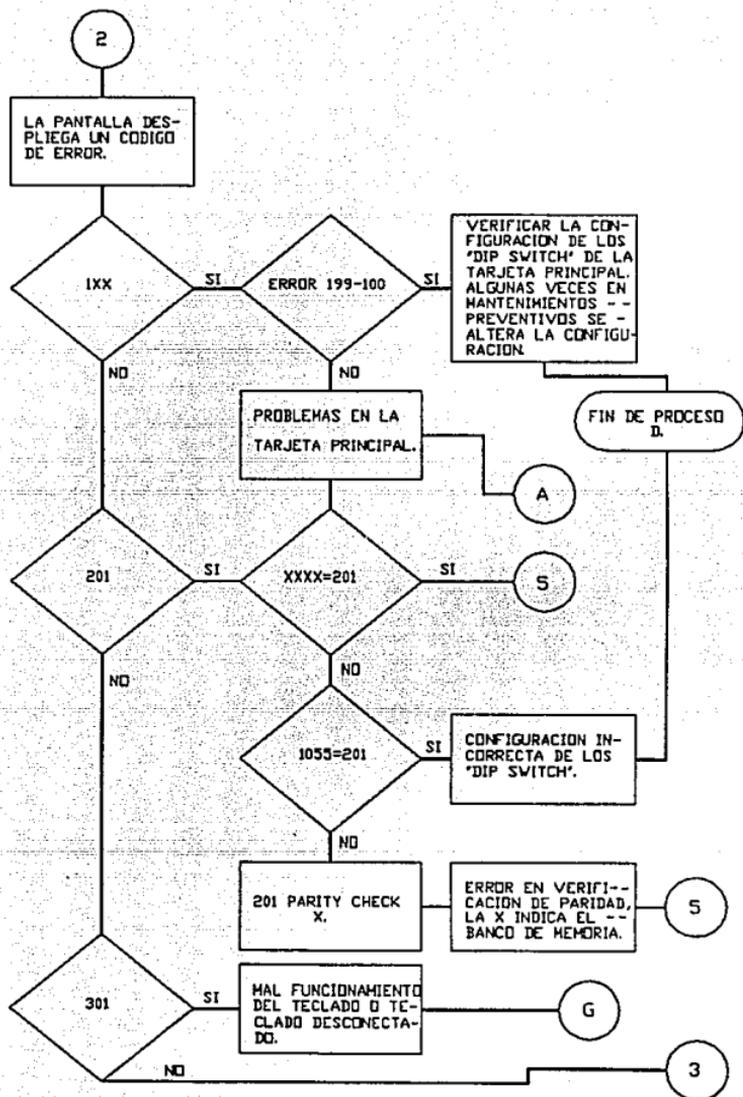


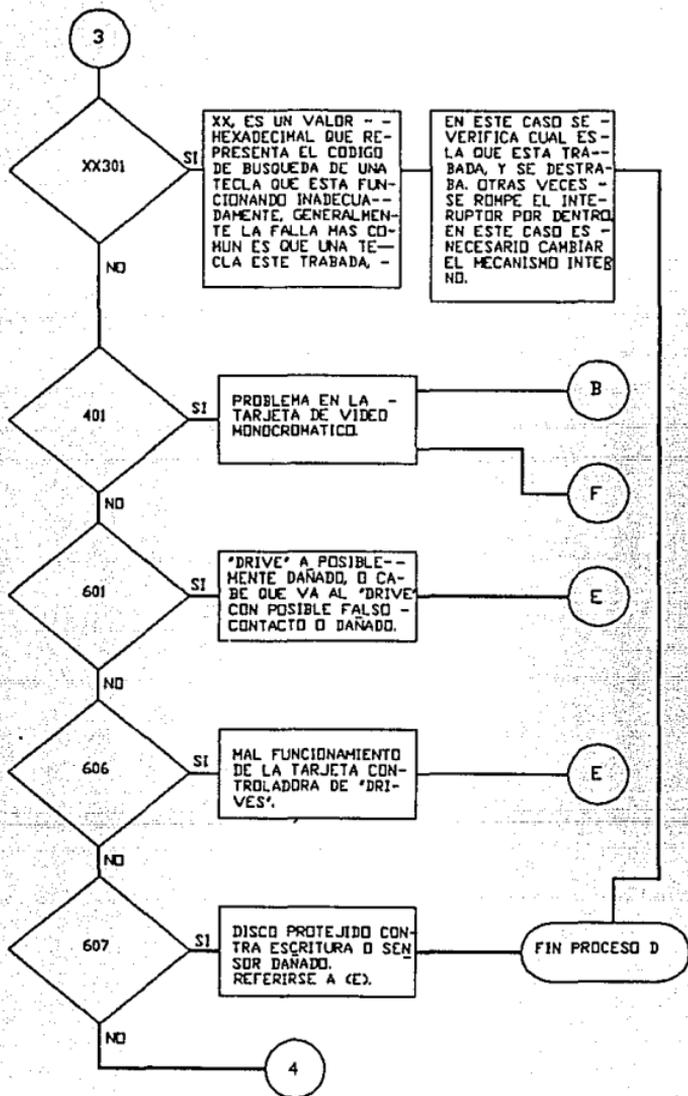


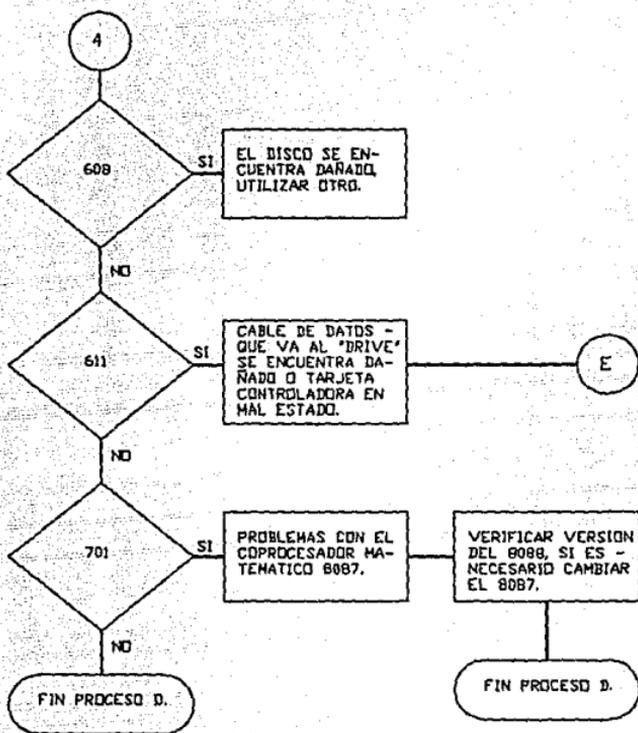
5.2.5. CODIGOS DE ERROR AUDIBLES O VISUALES.

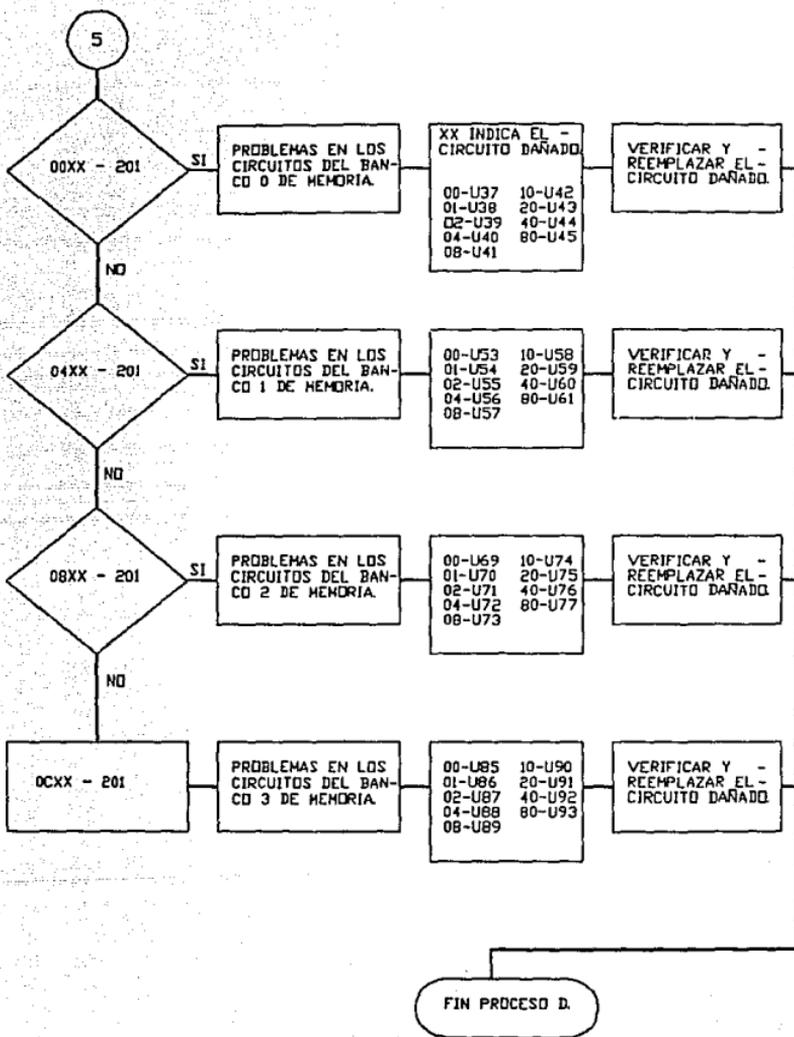




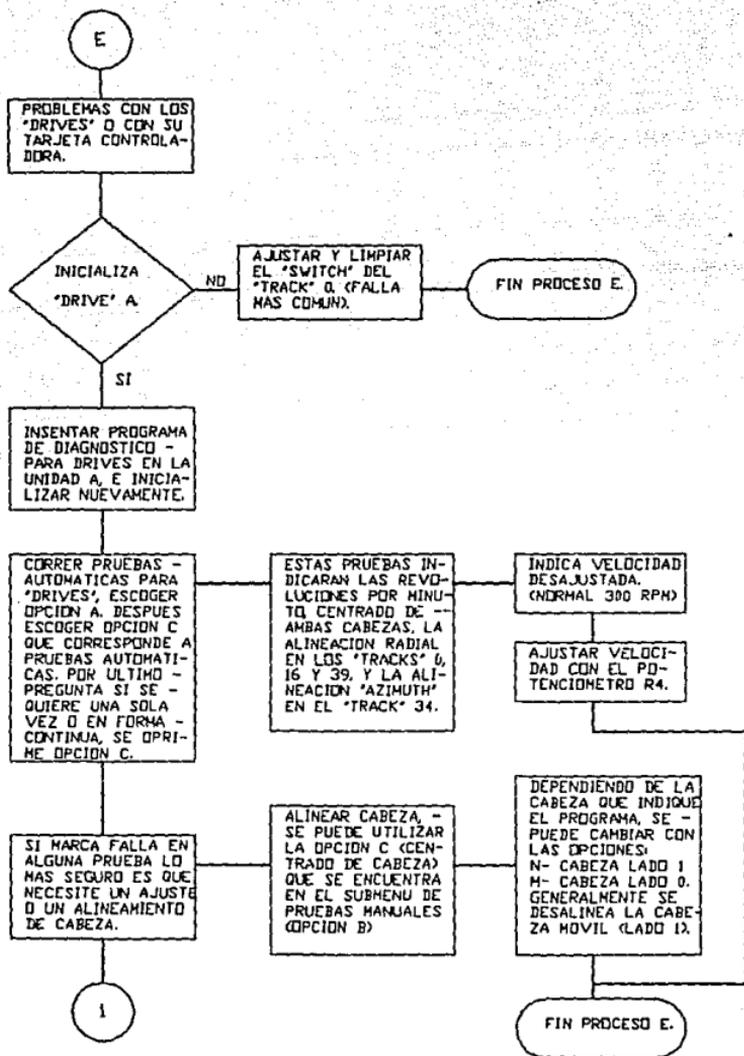


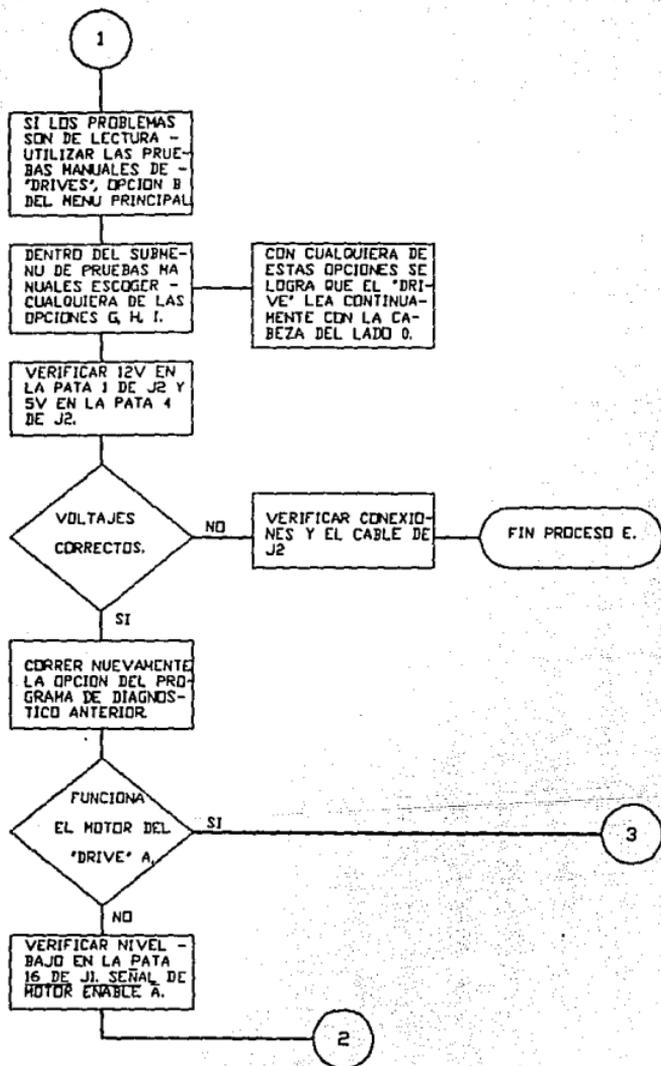


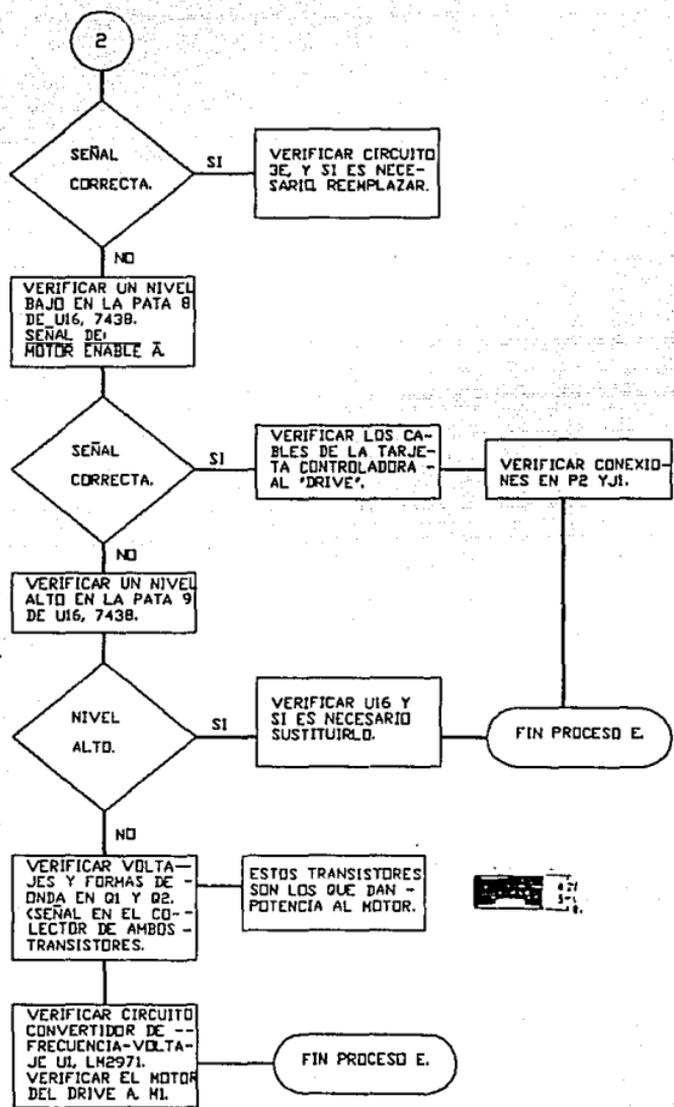


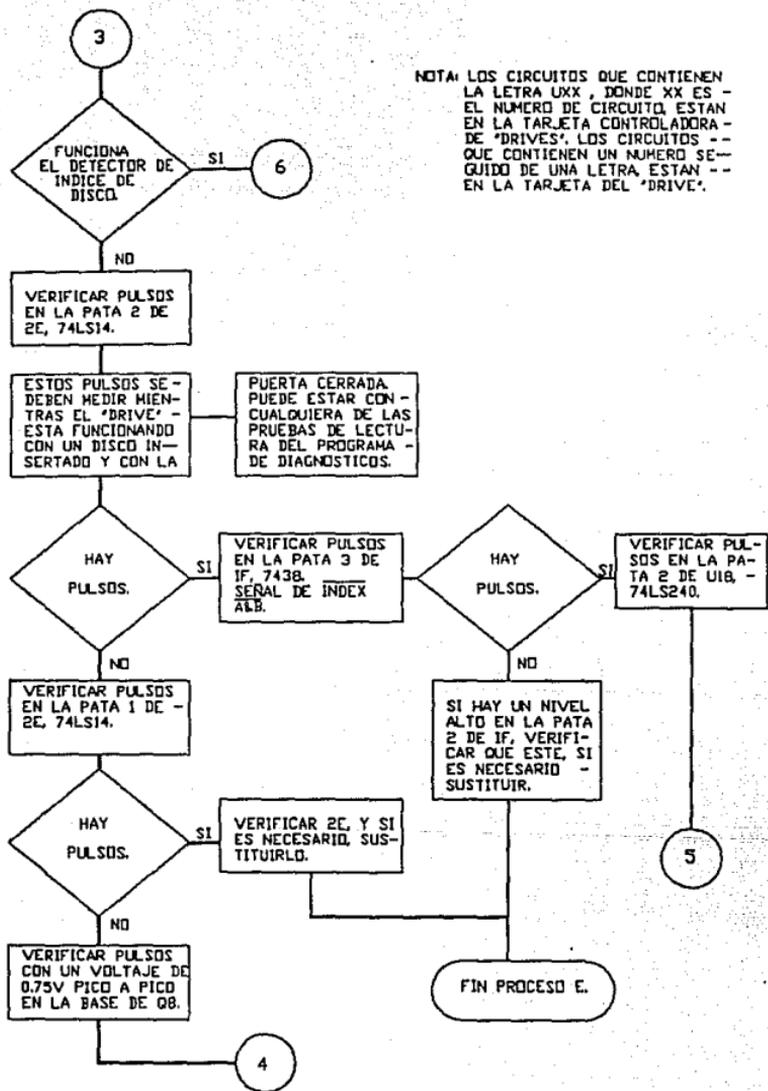


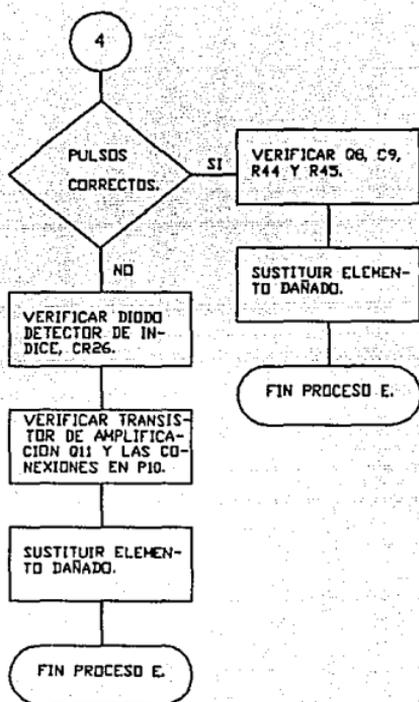
5.2.6. DETECCION Y CORRECCION DE FALLAS EN 'DRIVES' Y SU TARJETA CONTROLADORA.

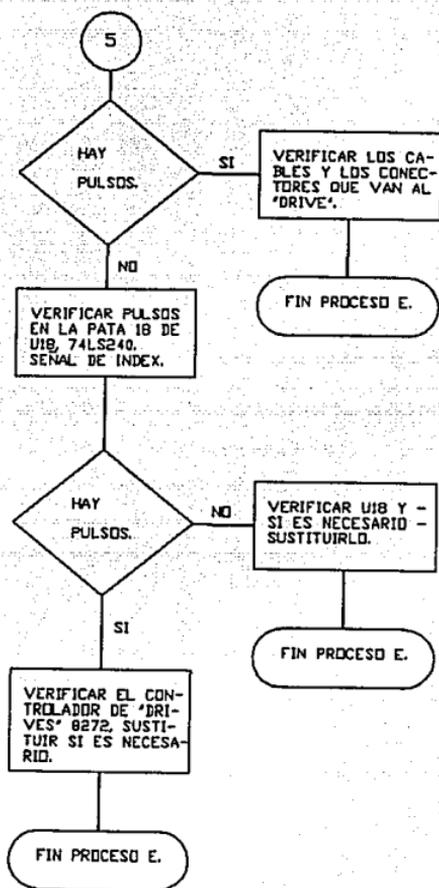


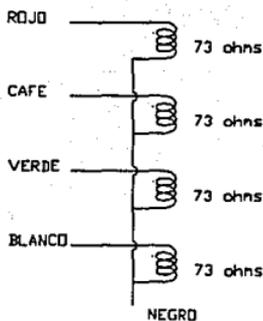
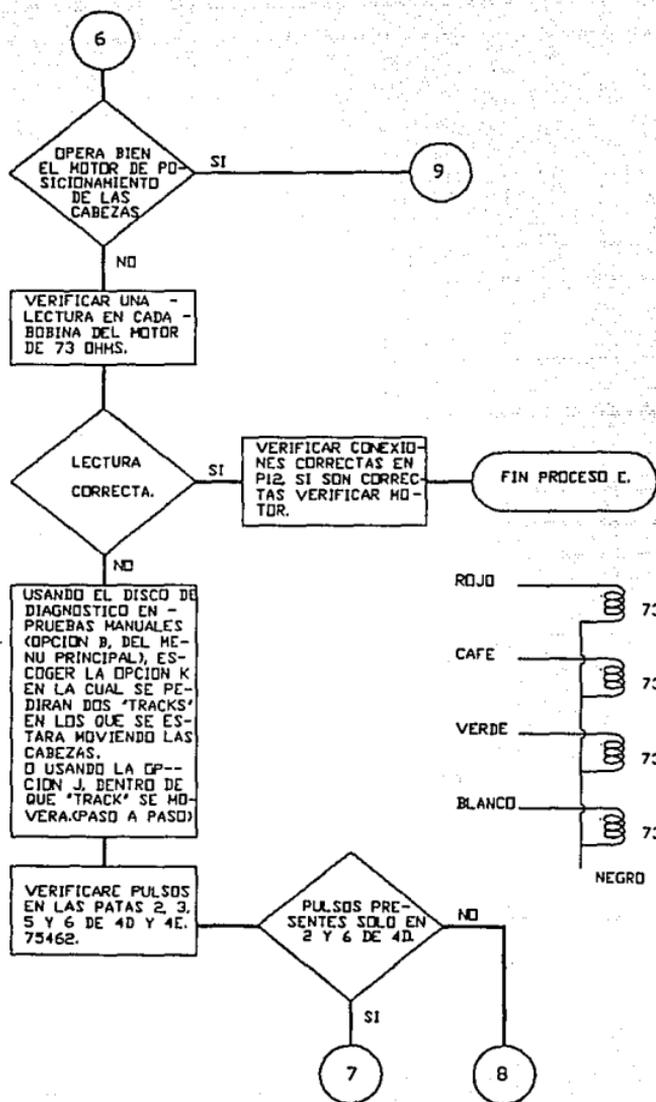


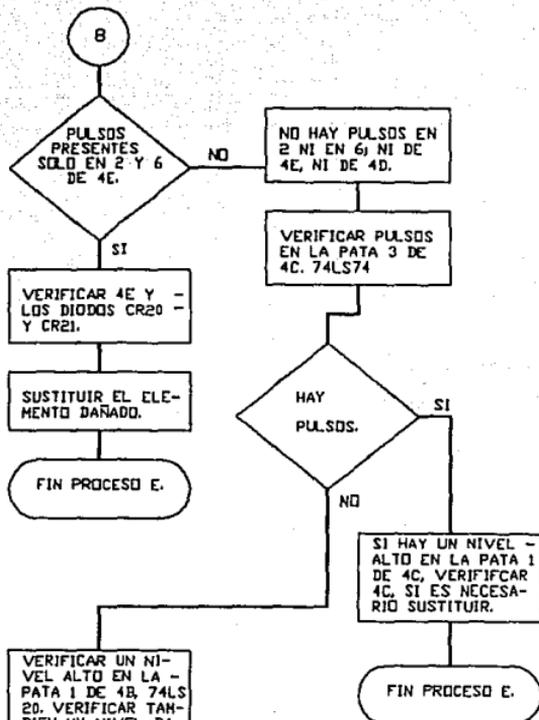




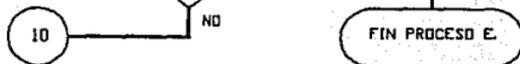


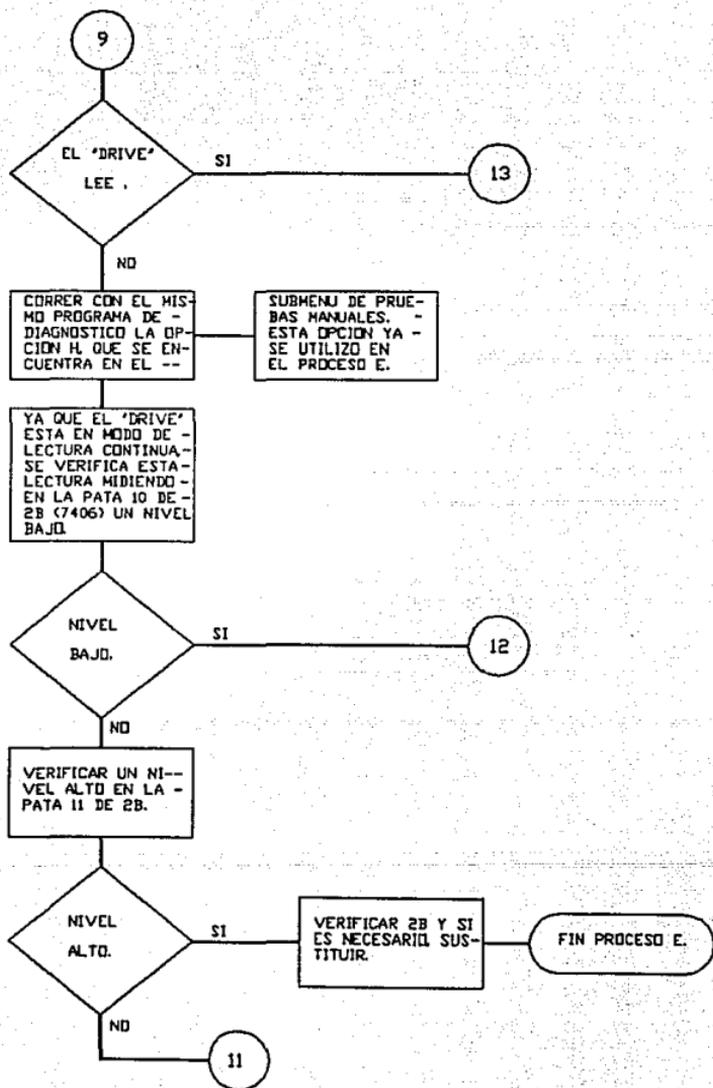


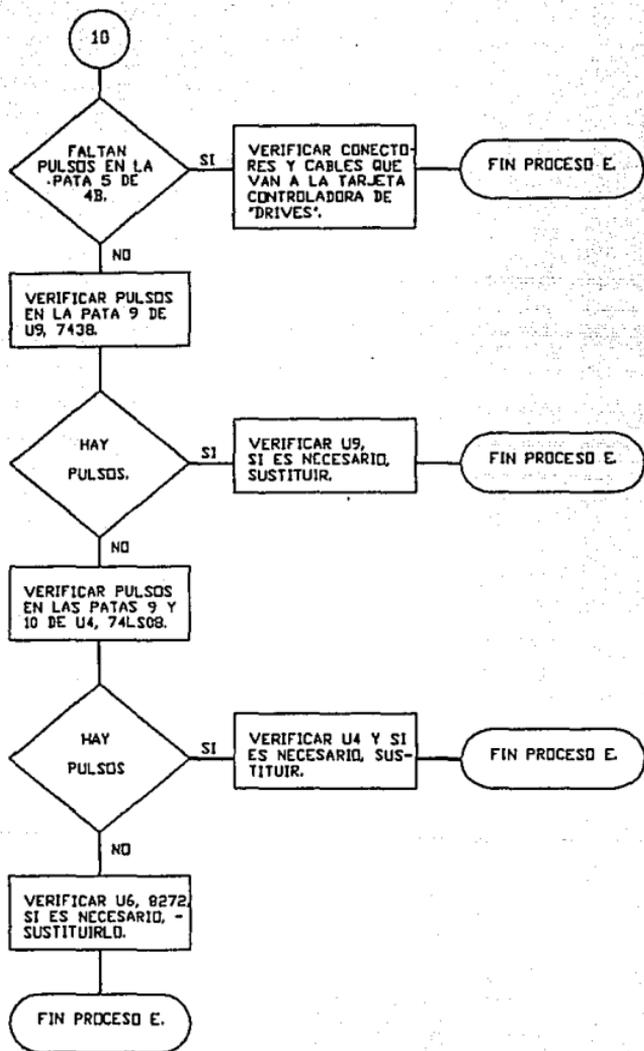


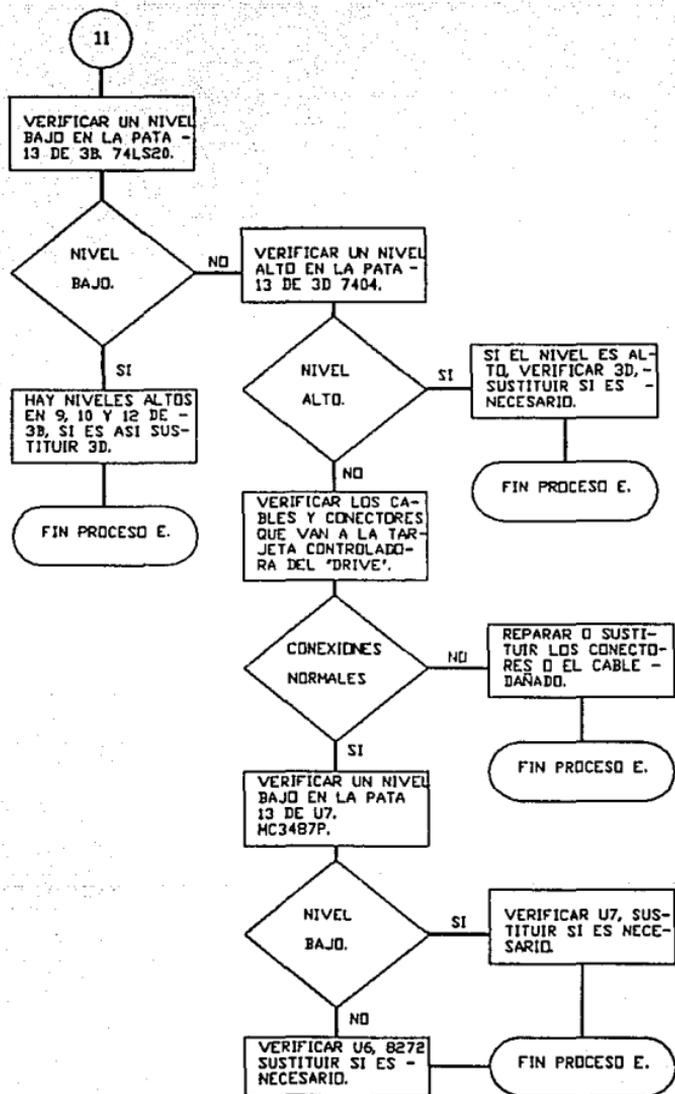


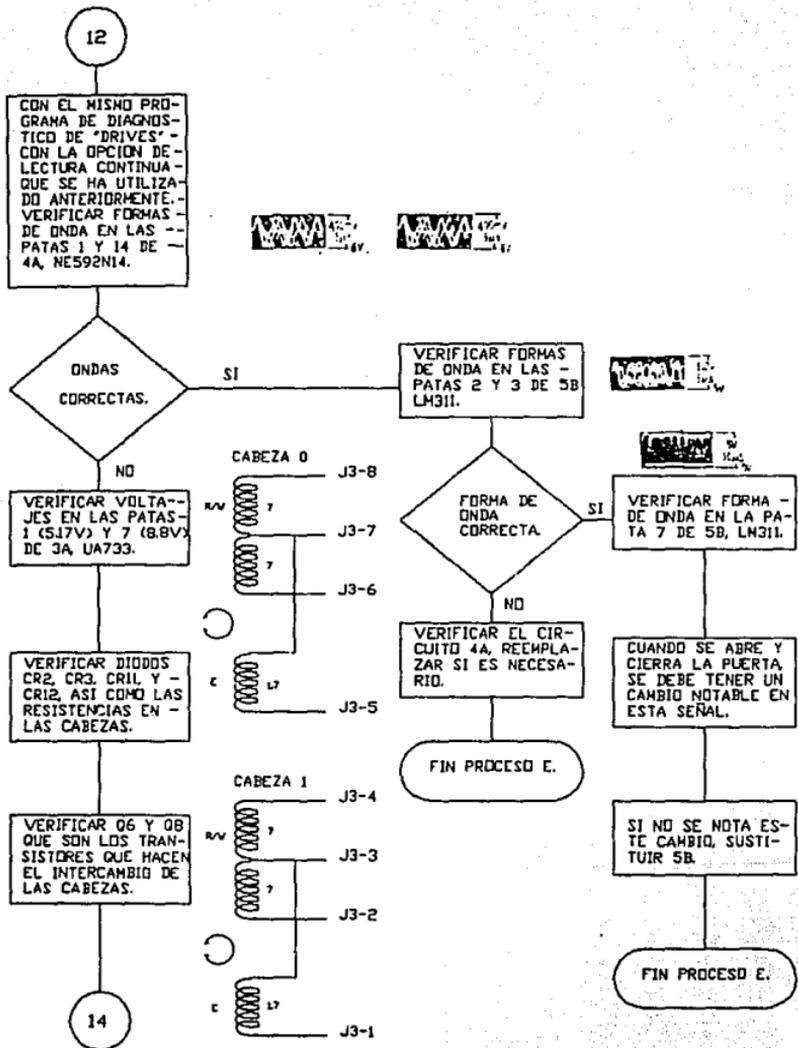
(*) ESTA SEÑAL TENDRA UN NIVEL ALTO CUANDO - CUANDO LA CABEZA SE ACERCA AL CENTRO DEL DISCO, Y BAJO CUANDO SE ALEJA DEL CENTRO.

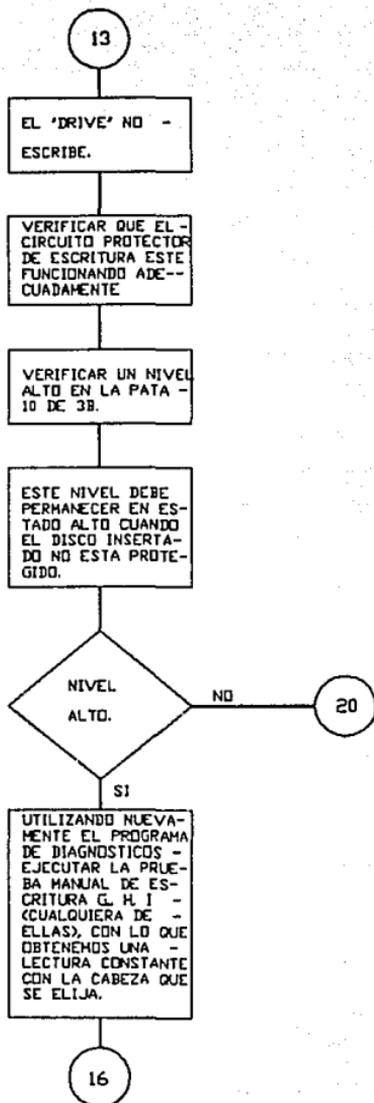


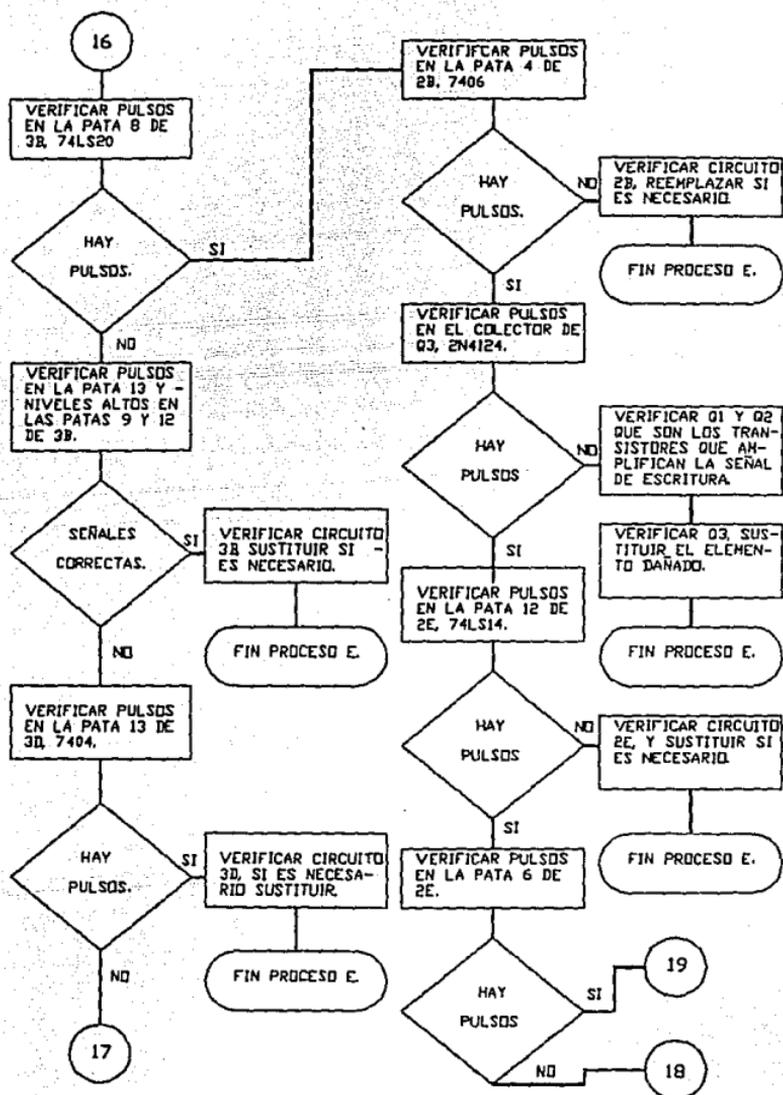


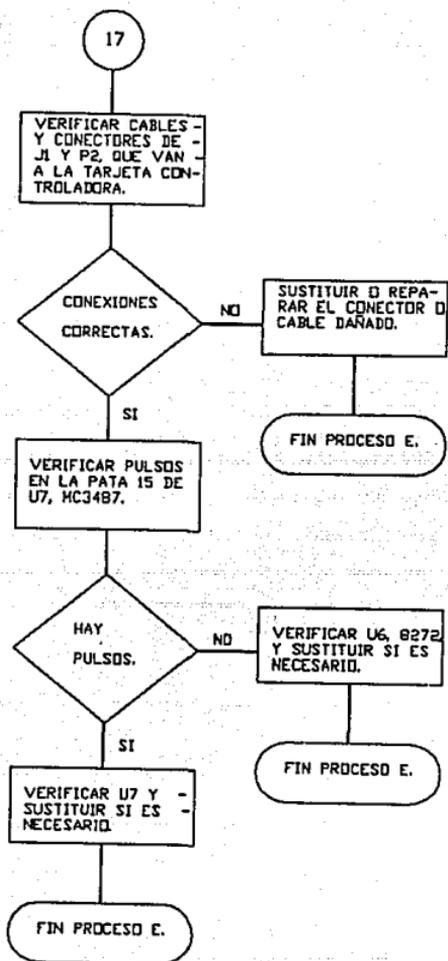


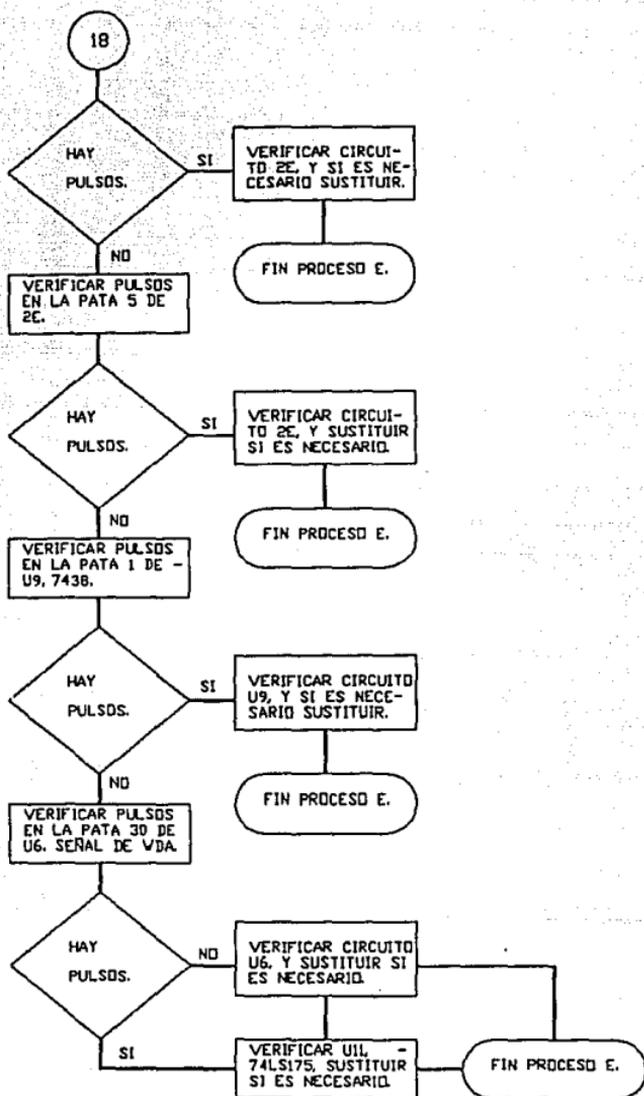


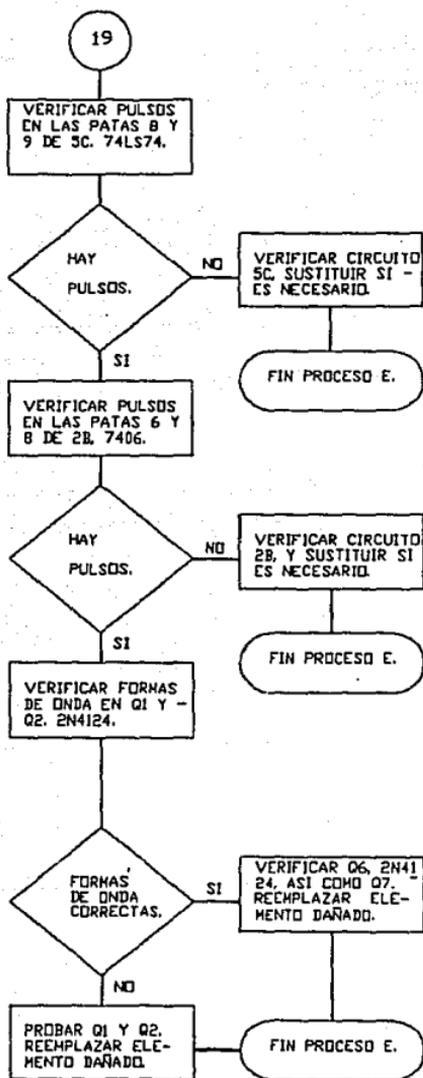


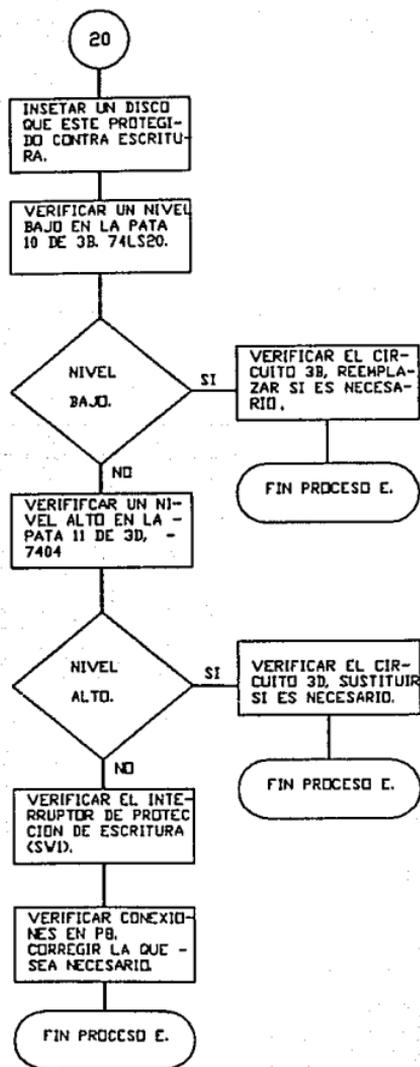




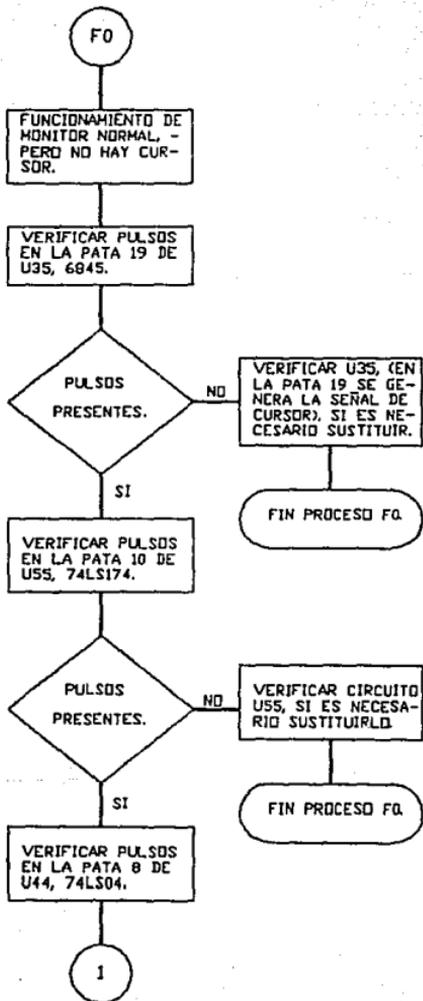


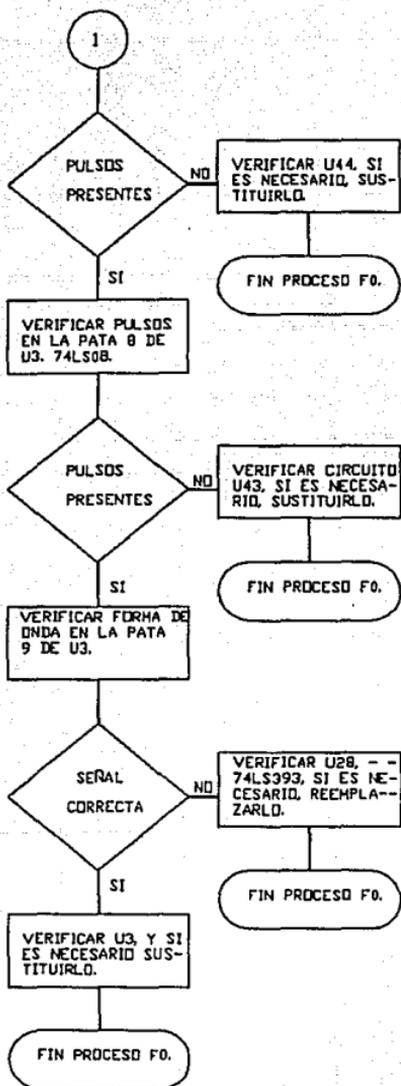


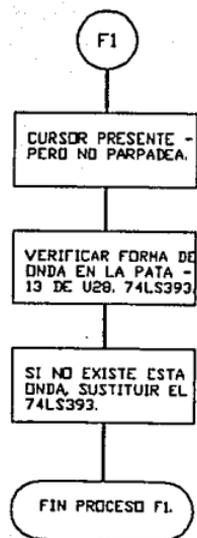


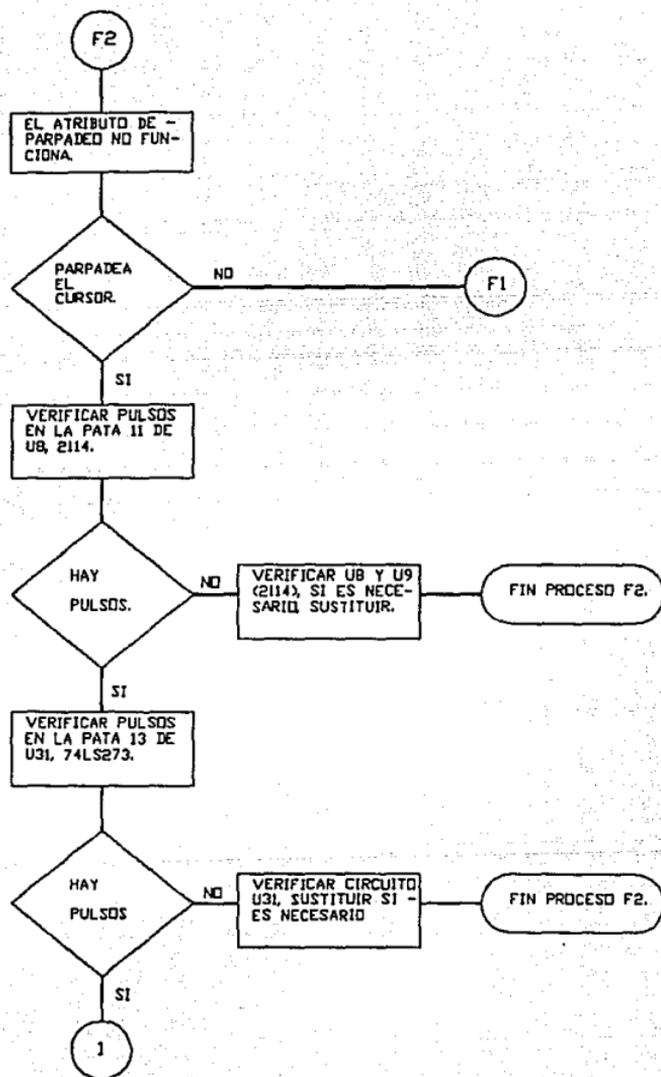


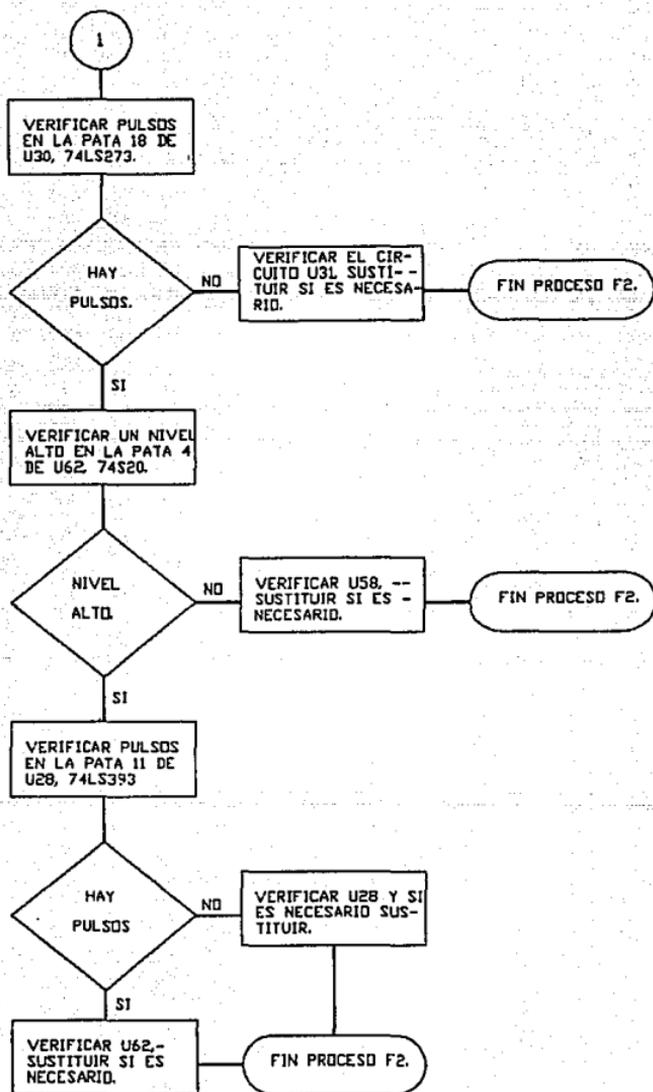
5.2.7. DETECCION Y CORRECCION DE OTRO TIPO DE FALLAS DE VIDEO. (F).

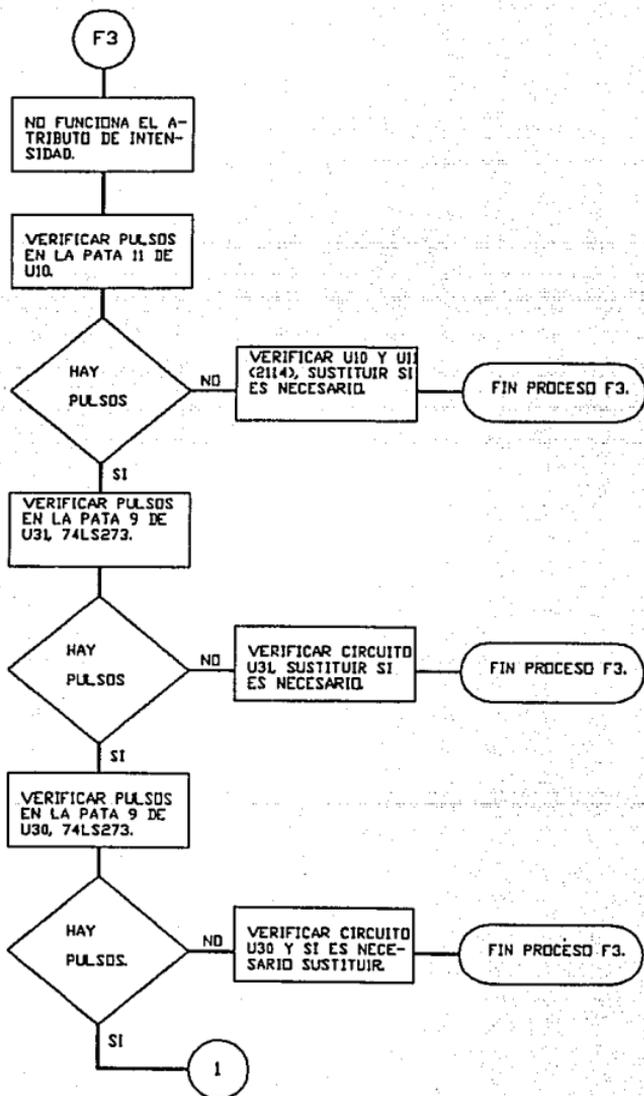


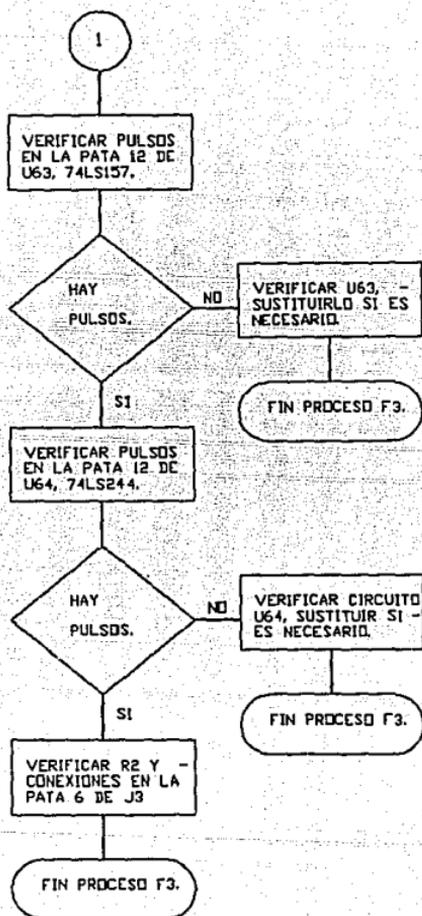


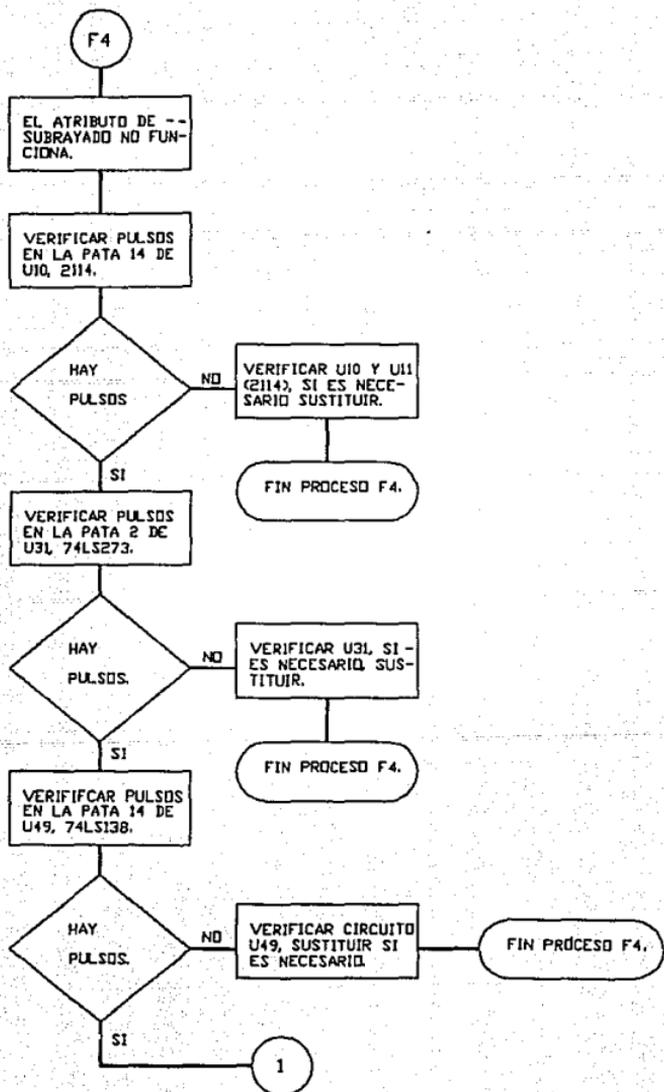


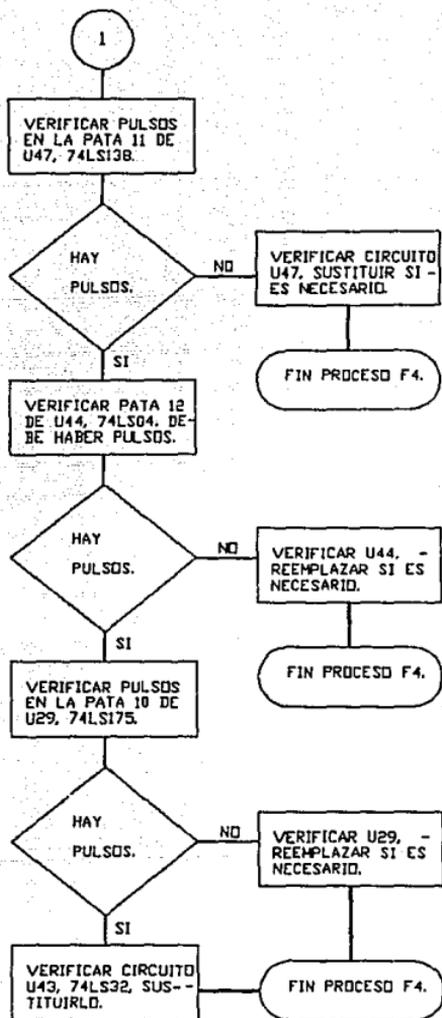


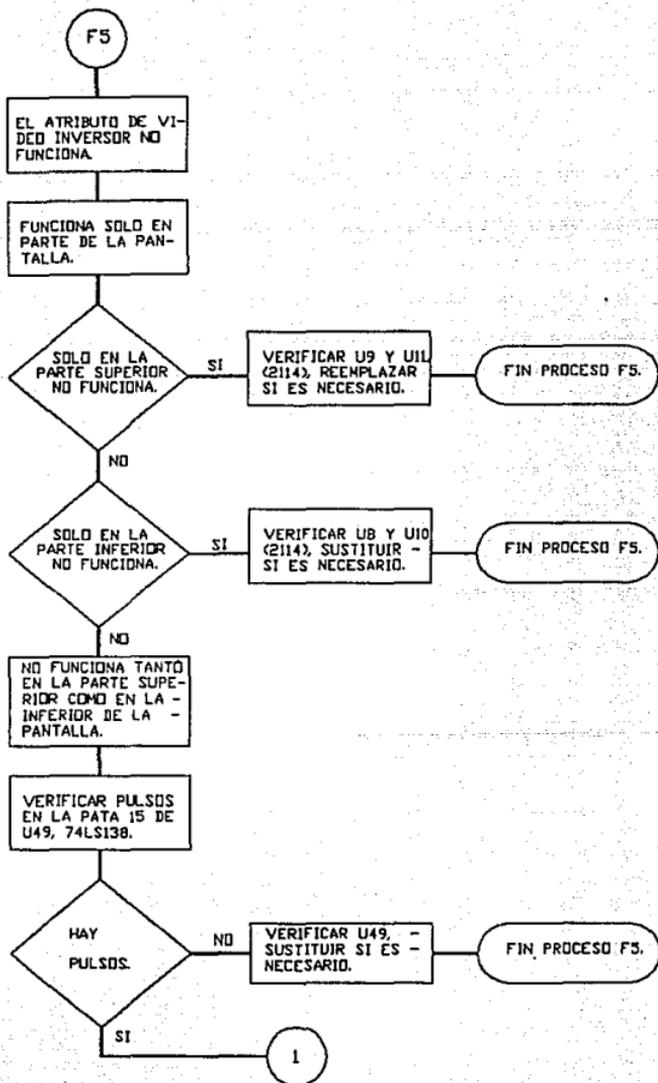


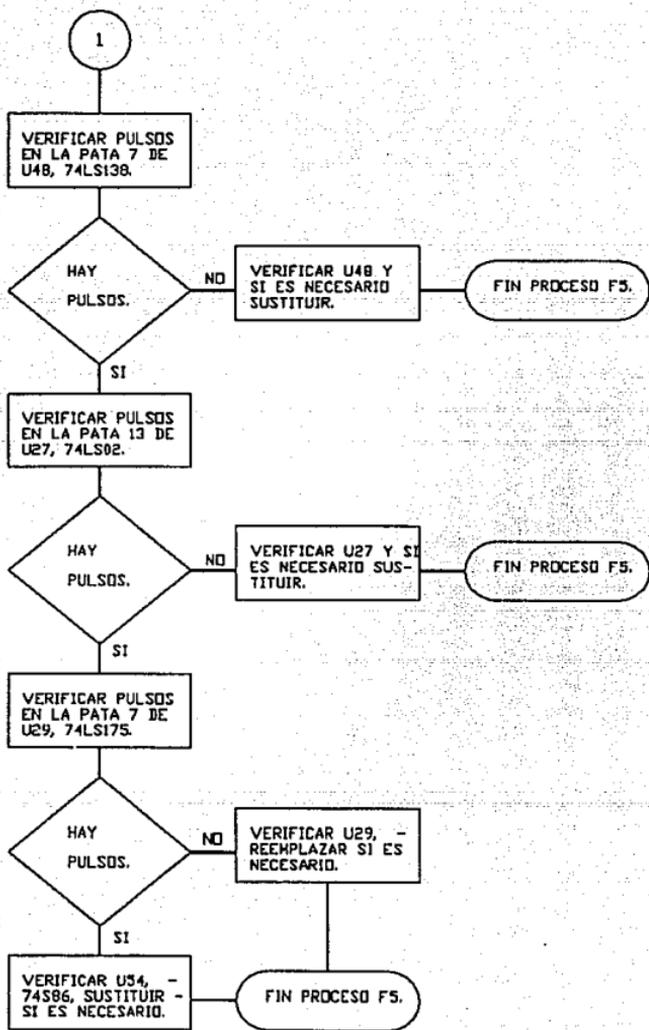




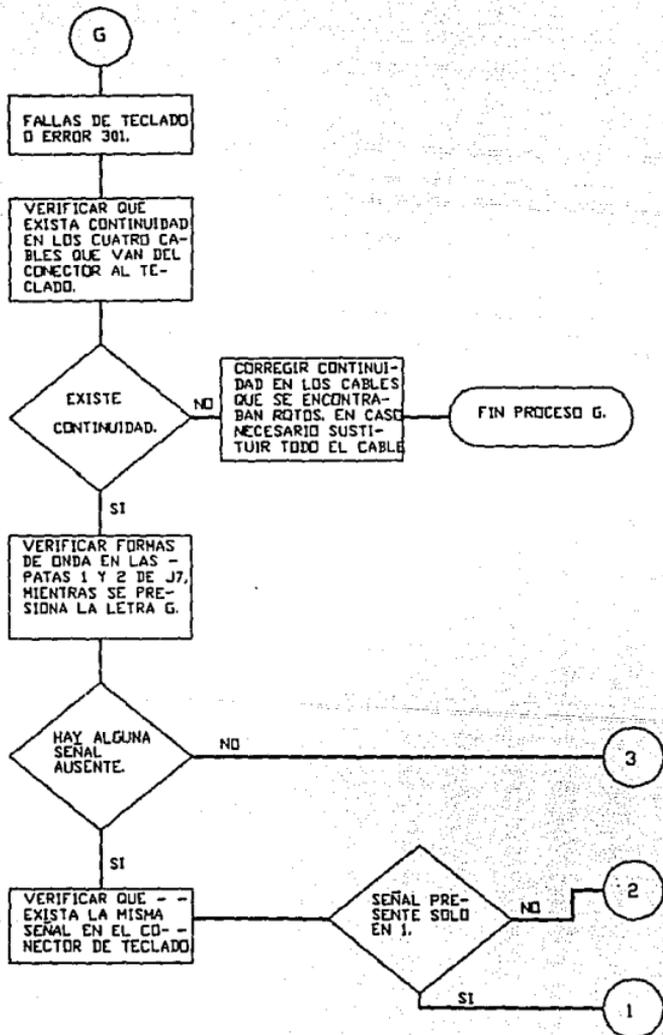


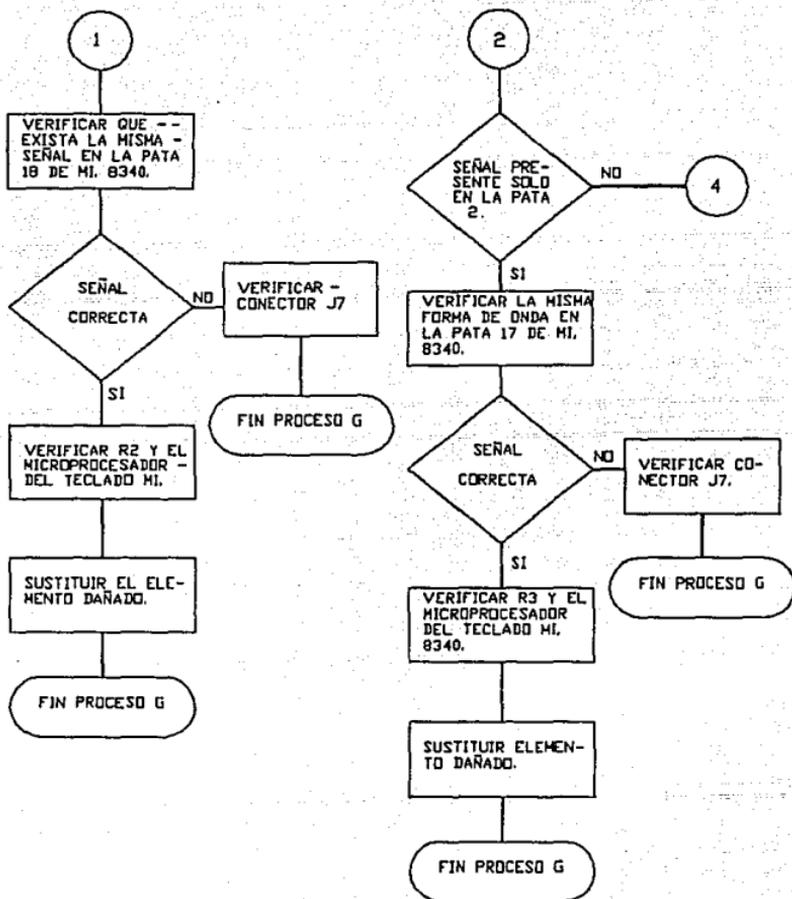


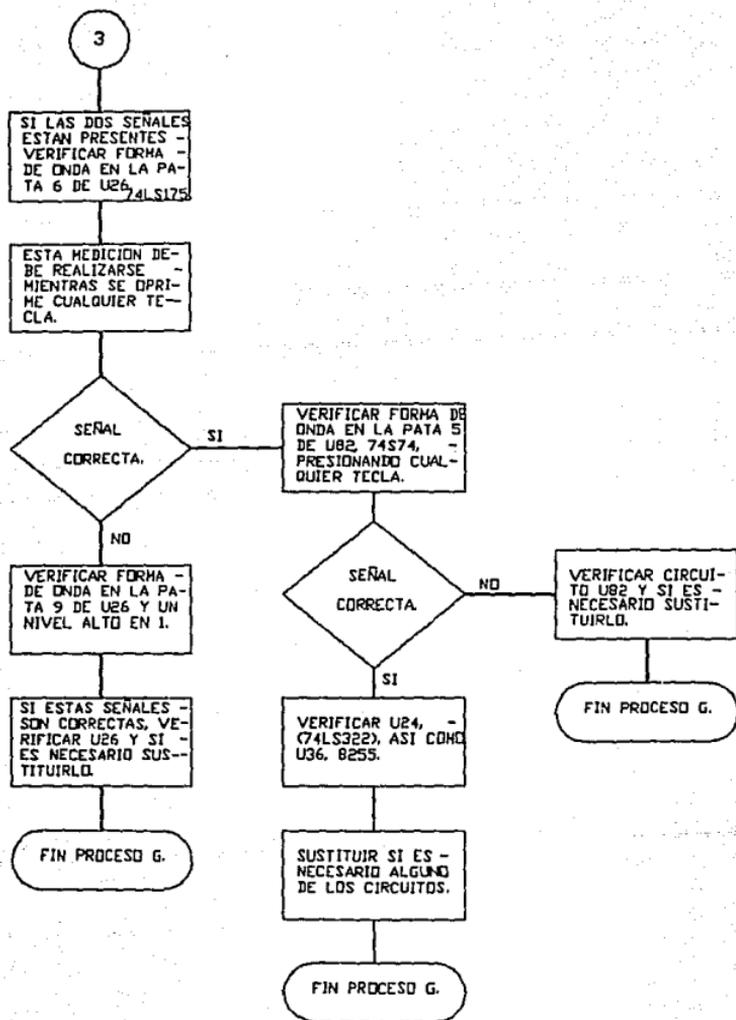


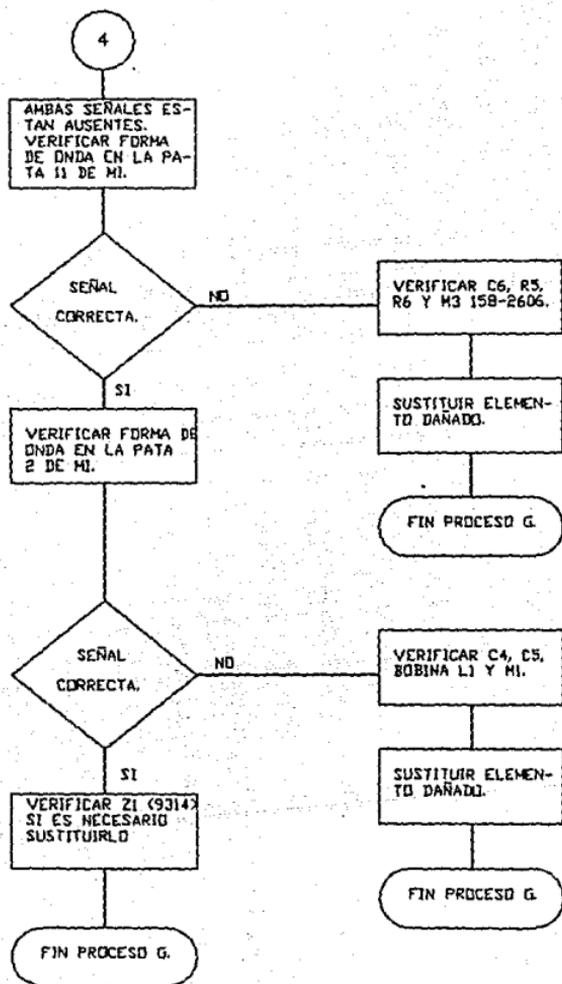


5.2.8. DETECCION Y CORRECCION DE FALLAS EN TECLADO.









APENDICE

APENDICE

Programa para verificar el correcto funcionamiento en los puertos paralelos de una computadora personal.

```
PROGRAM PUERTOS;
```

```
USES
```

```
  CRT, DOS;
```

```
VAR
```

```
  AUX: CHAR;  
  OPCION_2: INTEGER;  
  REGISTRO: REGISTERS;  
  SERVICIO: INTEGER;  
  INTERR: INTEGER;  
  IMPRESORA: INTEGER;
```

```
PROCEDURE INICIALIZA;
```

```
  BEGIN
```

```
    SERVICIO:=1;  
    REGISTRO.AH:=SERVICIO;  
    REGISTRO.DX:=IMPRESORA;  
    INTR(INTERR, REGISTRO)
```

```
  END;
```

```
PROCEDURE ESTADO;
```

```
  BEGIN
```

```
    WITH REGISTRO DO
```

```
      BEGIN
```

```
        AH:=SERVICIO;  
        DX:=IMPRESORA
```

```
      END;
```

```
    INTR(INTERR, REGISTRO);  
    IF ((REGISTRO.AH AND 32)=32) THEN  
      WRITE('IMPRESORA SIN PAPEL');  
    IF ((REGISTRO.AH AND 8)=8) THEN  
      WRITE('I/O ERROR')
```

```
  END;
```

```
PROCEDURE ESCRIBE;
```

```
  BEGIN
```

```
    WITH REGISTRO DO
```

```
      BEGIN
```

```
        AH:=SERVICIO;  
        AL:=66;  
        DX:=IMPRESORA;
```

```
      END;
```

```
    INTR(INTERR, REGISTRO)
```

```
  END;
```

```
PROCEDURE MENU;
```

```

VAR
  OPCION:INTEGER;
BEGIN
  REPEAT
    CLRSCR;
    GOTOXY(30,12);
    WRITE('1.- LEER ESTADO DEL PUERTO PARALELO #',IMPRESORA);
    GOTOXY(30,13);
    WRITE('2.- ESCRIBIR AL PUERTO PARALELO #',IMPRESORA);
    GOTOXY(30,15);
    WRITE('ESCOGE UNA OPCION');
    READ(OPCION);
  UNTIL (OPCION IN [1..3]);
  INICIALIZA;
  CASE OPCION OF
    1:BEGIN
      SERVICIO:=2;
      ESTADO
    END;
    2:BEGIN
      SERVICIO:=0;
      ESCRIBE
    END
  END;
END;
END;

BEGIN
  INTERR:=23;
  REPEAT
    CLRSCR;
    GOTOXY(10,30);
    WRITE('CUAL PUERTO PARALELO ESCOGES (1,2,3): ');
    READ(OPCION_2);
  UNTIL (OPCION_2 IN [1..3] );
  CASE OPCION_2 OF
    1:IMPRESORA:=0;
    2:IMPRESORA:=1;
    3:IMPRESORA:=2
  END;
  MENU;
  AUX:=READKEY;
END.

```

Como se puede ver se pueden realizar programas sencillos probar alguna tarjeta importante de las microcomputadoras, en este caso se utilizó Turbo Pascal, pero se puede realizar en cualquier lenguaje ya que lo importante es detectar cualquier falla.

CONCLUSIONES

CONCLUSIONES

Existen diversas fallas que se pueden presentar en una microcomputadora, debido a multiples causas, como pueden ser: negligencia del usuario, una mala instalación eléctrica, defectos de fabricación, mantenimiento preventivo nulo, paquete que este manejando (que no se compatible), encontrarse en climas inadecuados o simplemente por el tiempo que tenga funcionando el equipo. Sin embargo en el presente trabajo se pretendió dar las bases teóricas y prácticas para el seguimiento de las fallas más comunes. Estas fallas se han recopilado de experiencias vividas en el campo, por lo que no estan todas las que pudiesen existir, sino las más representativas o comunes. Esta guia se debe completar con un adecuado conocimiento del funcionamiento de las microcomputadoras que se pretende diagnosticar, aquí se toma como base la IBM PC, pero los pasos a seguir pueden ser utilizados en otros sistemas compatibles con esta. Se escogió la IBM PC modelo 5150 debido a que es la pionera de las computadoras personales, y gran número de computadoras personales actualmente son copias de esta, por lo que la reparación de cualquiera de ellas se puede llevar a cabo con esta misma guia.

Actualmente existen un variado número de computadoras personales que presentan una estructura diferente a la IBM PC; estos cambios se encuentran básicamente en la circuiteria de "drives" así como su tarjeta controladora, y

la tarjeta de video. Esta circuitería se encuentra integrada en la misma tarjeta principal, además de utilizar circuitos "VLSI", del tipo de arreglo de compuertas ("Gate, los cuales además de ofrecer alta confiabilidad en su funcionamiento, permite la sustitución de un gran número de compuertas, con lo que se ocupa menor espacio.

Apesar de esto , los pasos expuestos anteriormente pueden ser aplicados a cualquier computadora personal e incluso a cualquier sistema basado en el microprocesador 8088.

Gracias a los grandes avances en el diseño de circuitos de alta integración, cada vez mas pequeños y poderosos, se facilita el diagnóstico y por lo tanto la reparación de las microcomputadoras, ya que cada uno de ellos representa parte de un bloque definido dentro del sistema, por lo que puede ser más facilmente identificable en una falla.

Existen equipos basados en microprocesadores mas poderosos que el 8088, como son el 80286 y el 80386 que se utilizan para computadora personales para crear ambientes multiusuarios. La estructura funcional de estas microcomputadoras parten del diseño establecido para la IBM PC, por lo que esta guía puede ser de mucha ayuda, ya que la información de este tipo de equipo es confidencial, procurando que no suceda lo que con la IBM PC, en la que varios fabricantes realizaron copias de esta por no cuidar la información.

En México existe el gran problema de una gran escasez

de partes, información y soporte por parte de muchos fabricantes de microcomputadoras, por lo que las compañías dedicadas a esta área se ven forzadas a importar refacciones, afectando en última instancia al usuario que debe pagar reparaciones costosas. Es por esto que el personal dedicado a la reparación de computadoras personales debe poseer un buen número de canales de información como son directorios de fabricantes de componentes, manuales de usuarios, manuales de componentes, manuales técnicos con diagramas esquemáticos, manuales actualizados de reemplazo de componentes, publicaciones nacionales y extranjeras de equipos nuevos, periféricos y expansiones, etc.

De este modo la reparación del equipo se logrará en el menor tiempo posible y a un precio justo, de no ser así se perderá tiempo en encontrar los componentes o refacciones necesarias para la reparación.

BIBLIOGRAFIA

BIBLIOGRAFIA

MICROSYSTEM COMPONENTS HANDBOOK
MICROPROCESSORS AND PERIPHERALS VOLUME I
INTEL

MICROSYSTEM COMPONENTS HANDBOOK
PERIPHERALS VOLUME II
INTEL

MICROPROCESSORS AND INTERFACING.
DOUGLAS V. HALL
MCGRAW HILL

TECHNICAL REFERENCE MANUAL IBM PC.
IBM

THE IBM PERSONAL COMPUTER FOR THE INSIDE OUT.
SARGENT/SHOEMAKER
MICROCOMPUTER BOOK.