

870117

UNIVERSIDAD AUTONOMA DE GUADALAJARA

Incorporada a la Universidad Nacional Autónoma de México



FACULTAD DE INGENIERIA MECANICA ELECTRICA



52
Segura

TESIS CON
FALLA DE ORIGEN

DISEÑO DE UN LECTOR DE CODIGO DE BARRAS

TESIS PROFESIONAL

QUE PARA OBTENER EL TITULO DE:

INGENIERO MECANICO ELECTRICISTA

PRESENTA:

MANUEL ANTONIO COVARRUBIAS RUEZGA



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

Introducción	1
Antecedentes	3
Cap. I.- Especificaciones del sistema	5
Cap. II.- Etapa sensora	12
Cap. III.- Etapa acondicionadora de señal	20
Cap. IV.- Etapa de memoria	24
a) Conversión serie-paralelo	24
b) Etapa de memoria	28
c) Programador del A.C.I.A.	30
d) Interfaz RS 232-C	32
Cap. V.- Integración de las partes	33
estudio económico	39
Conclusiones	49
Bibliografía	51

I N T R O D U C C I O N

Una tienda de autoservicio atiende diariamente, si no a cientos, a miles de compradores que buscan los bienes que satisfagan, en mayor o menor grado, sus necesidades y/o las de su familia. Las grandes cadenas de autoservicios, para crear una buena imagen que atraiga a los clientes, separa los artículos que ofrece, para que el cliente pueda encontrar rápidamente el o los artículos que busca, pudiendo comparar precio y calidad de bienes equivalentes; tampoco puede faltar la higiene casi hospitalaria ni la música de fondo.

Aún con todas las comodidades que ofrecen estos centros, ¿quién hay que no haya tenido que "hacer cola" para pagar su cuenta? Esta espera, indeseada por el cliente, puede llegar, en ciertos casos, a crear estados de tensión y retrasos que no ayudan, en modo alguno, a mejorar la imagen de la empresa, sino que por el contrario, la degradan. En conclusión, si el tiempo de cobro se pudiera reducir, saldrían ganando el cliente y la empresa.

Por lo general el cobro de la mercancía se lleva a cabo de la siguiente manera: la cajera toma el artículo, teclea en su máquina registradora el departamento del que proviene luego lee el precio y lo marca, multiplicando luego dicha cantidad por el número de artículos iguales que lleve el cliente

te; luego repite el proceso con cada uno de los artículos, ---
efectúa la suma de las cantidades, le indica al cliente el to-
tal a pagar, espera el pago, teclea el pago, lee el cambio que
deberá recibir el cliente, lo cuenta y se lo entrega.

Esta es la manera de hacerlo en la mayoría de los estable-
cimientos comerciales, si logramos semi-automatizar este proce-
dimiento repetitivo, los tiempos de "colas" se reducirán consi-
derablemente. Este será el reto de la presente tesis: obtener
un sistema electrónico capaz de agilizar el cobro de artículos
en las cajas registradoras (que pueda ser utilizable en otros -
campos), y que sea competitivo con los equipos ya existentes -
para lectura de códigos de los que se hablará en el siguiente
capítulo:

A N T E C E D E N T E S

Para resolver este problema, en algunos países se han comenzado a probar e implementar sistemas que agilicen el cobro de artículos desde hace ya algunos años, por diversas -- compañías de la industria electrónica; algunos mediante el uso de cintas con información grabada magnéticamente (no utilizadas en la actualidad) y los más usando "barras" impresas que constituyen un código de una franja que contiene las barras, las que a su vez contienen la información del artículo correspondiente, misma que algunas veces hace que la franja se haga más extensa. Dichas barras pueden ser leídas mediante un "lector óptico", dispositivo electrónico que convierte la información eléctrica, que manda a la caja registradora, previamente modificada.

Este sistema ha mantenido éxito y aceptación en los -- Estados Unidos y en algunos países de Europa, así como en Ja pón, lo que ha provocado su aplicación en control de inventa rios y sistemas de identificación de personal. Este sistema puede, en cierto modo, decirse que es el padre de los siste mas FAX y de identificación de patrones.

Como el sistema cuenta con una franja única, esta debe contener dos señales: el dato propiamente dicho y una señal

de referencia o de reloj. Esto se logra mediante un detector de nivel de voltaje con histéresis para la detección del dato, y un arreglo para detectar la señal de referencia o reloj que consta de un detector de cruce por cero con referencia, seguido de un supresor de picos negativos y de un dispositivo que recorta el ancho de los pulsos. Esto es un sistema básico actual de lector óptico. Pretendemos que al final de este trabajo se haya creado un lector óptico más sencillo en su funcionamiento y más completo en sus funciones, para lo cual comenzaremos por "complicar" el código de barras, para poder después "simplificar" los circuitos lectores.

C A P I T U L O U N O

ESPECIFICACIONES DEL SISTEMA

En este capítulo definiremos los requerimientos básicos del sistema y obtendremos un diagrama de bloques que nos dé una idea general de las características propias de cada una de las secciones que compondrán al sistema, así como de las interacciones necesarias entre las mismas.

Lo primero que debemos hacer, para tener un punto de partida, es crear un nuevo código de barras, del tipo impreso con líneas alternadas blancas y negras, que contenga las dos señales necesarias: a) la señal que contiene el dato y b) la señal de referencia. Para simplificar el funcionamiento del sistema, el código constará de dos franjas de barras, una por cada señal necesaria, lo que nos ayudará, puesto que entonces la sección que detecta el dato y la que detecta la referencia serán iguales.

Como ya tenemos la información en las barras, el siguiente paso es crear un dispositivo que "sense" dicha información: dadas las características del código a leer, utilizaremos dos transductores de iluminación, puesto que son dos señales a leer. Para proveer de información luminica a los sensores, requerira cada uno de ellos de una fuente de iluminación adecuada para su correcto funcionamiento.

A la salida de esta primera sección, que llamaremos "ETAPA SENSORA", obtendremos un par de señales eléctricas analógicas, una que contenga el dato y otra que contenga la señal de sincronía o reloj.

Esas señales analógicas deben adecuarse para que puedan ser procesadas por un sistema TTL, por lo que la señal deberá tomar valores lógicos de cero (cero volts) o uno (cinco volts) únicamente. Esto lo haremos mediante una sección que llamaremos "CONDICIONADORA DE SENAL". En su salida obtendremos dos señales eléctricas lógicas, mismas que se procesaran en la siguiente etapa, la mas compleja, que denominaremos "ETAPA DE MEMORIA", aunque por sus características bien se le podría llamar etapa logica o digital, puesto que en ella necesitaremos: un dispositivo que direcciona las posiciones de memoria conforme vayan llegando los datos para almacenarlos, la memoria en si, que cambia su entrada serie en salida paralelo por requerimientos del sistema de interfaz RS-232C con que concluye esta sección. Con esta terminación del lector optico se incrementan en mucho las posibilidades para el usuario, puesto que es posible conectar el dispositivo con cualquier tipo de computador que tenga este tipo de interfaz y lograr con un software adecuado (como dBase III) aplicaciones gigantescas (en el capítulo de esta etapa se muestra un pequeño programa basic para leer bytes generados

con el lector óptico).

Además se requerirá de algunas líneas de control disponibles al usuario para: seleccionar envío de datos o programación de puerto, configuración (programa) del puerto e inicio de lectura.

Para comprender mejor las secciones que se han mencionado y que constituirán en conjunto el lector de código de barras completo, se ha construido el diagrama de bloques que se muestra en la figura 1. Como se puede observar, se muestra con líneas punteadas lo que llamamos etapas y con rectángulos las partes que las constituyen, vistas de una manera muy general. Se muestra además la naturaleza de las señales circulantes.

Para comenzar formalmente el trabajo, de acuerdo con el plan establecido líneas arriba, y para finalizar este capítulo, veamos el nuevo código de barras.

El código de barras utilizado en la actualidad, consta de una sola barra, como la mostrada en la figura 2, en donde podemos apreciar el juego de barras; nótese que una unidad lógica (sea esta 0 o 1) está comprendida en realidad por dos barras, una negra y una blanca. Para definir un 1 lógico, se hace la combinación de una barra negra delgada con una barra blanca también delgada, mientras que para definir un 0 lógico, requerimos de una barra negra gruesa con una barra blanca delgada.

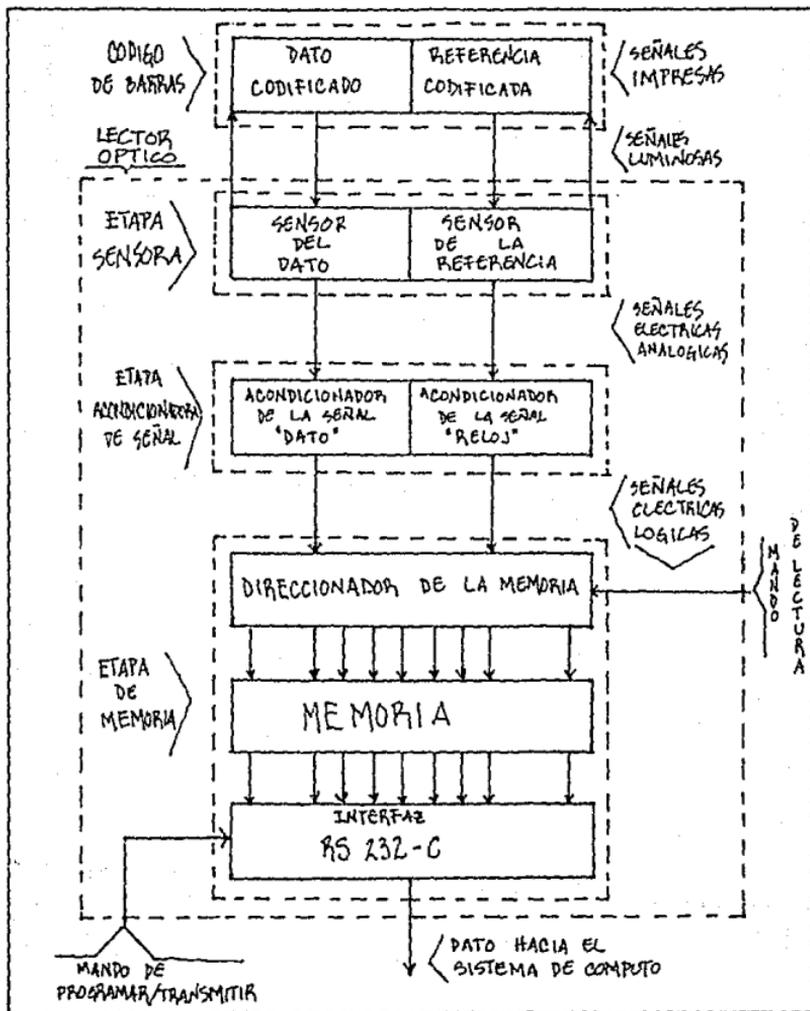


Fig. 1.- Diagrama de bloques del lector de código de barras.

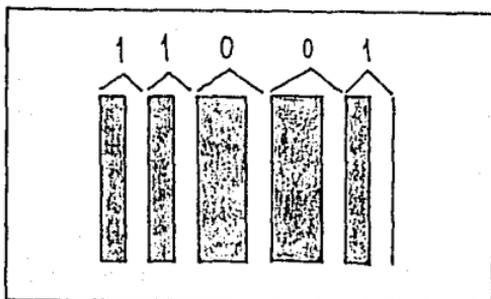


Fig. 2.- El número 11001 (binario) expresado en el código de barras común (de una franja).



Fig. 3.- Etiqueta de identificación de un artículo, utilizando el código de barras de una franja.

Esta es la forma de trabajo establecida. Ahora presento como propuesta, y como base de esta tesis, un nuevo código, que consta de dos franjas de barras, una que contiene el dato y otra que contiene la señal de referencia. En la figura 4 se representa la propuesta. Obsérvese como la franja superior contiene el dato 11001 (compare su sencillez con la complejidad del mismo dato contenido en el código de la figura 2), utilizando una barra blanca para definir un 1 lógico y una barra negra para definir un 0 lógico. Ambas barras tienen la misma anchura, lo que hace más sencilla la manufactura de la etiqueta.

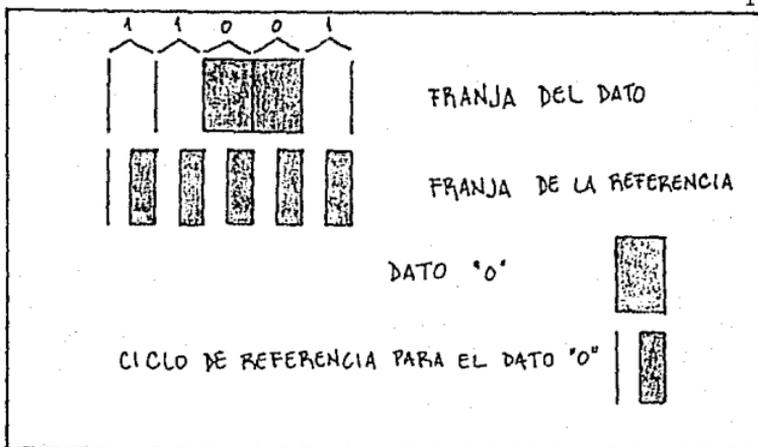


Fig. 4.- Propuesta para un nuevo código de barras. Obsérvese que los cambios ayudan a hacer más sencillos los circuitos del lector óptico.

En la franja inferior podemos observar una serie de barras alternadas en blanco y negro. Estas barras son de la mitad de la anchura de las barras que contienen el dato, para que se presente un ciclo completo blanco/negro por cada dato, sea un 0 o un 1 lógico. Esta segunda franja contiene la señal de referencia o de reloj.

Para trabajar con un código de barras de una franja lo que se hacía era: de una sola información, obtener las dos señales (dato y referencia) mediante dos circuitos complejos; con este nuevo código, mediante la separación de las señales antes de su lectura, se logra una simplificación en los circuitos a realizar.

Una vez definido el nuevo código de barras, ya tenemos una base para el desarrollo de nuestro proyecto, ya que en base a él diseñaremos la siguiente etapa, que se dedicará a sensor o "leer" la información de dicho código.

C A P I T U L O D O S

ETAPA SENSORA

La información del código se encontrará impresa en una etiqueta. ¿De qué medios electrónicos disponemos para sensorarla?

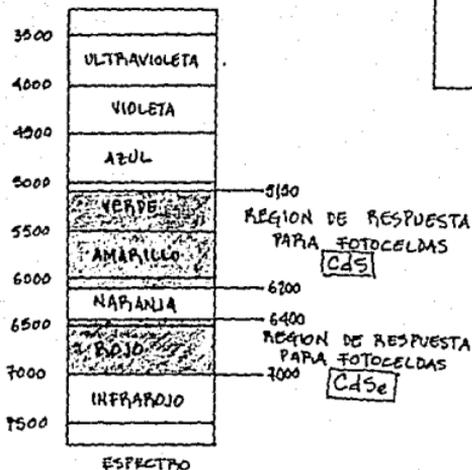
Las opciones que nos presenta la industria electrónica son tan variadas en sus características y sus aplicaciones, que se puede dar gusto a casi cualquier cliente. Entre ellas tenemos: fotodiodos, fotoresistencias, fototransistores, fototiristores y fotofets. ¿Cuál será el indicado? Las decisiones en ingeniería no se deben tomar por azar ni por capricho. Analizando nuestras necesidades, damos de baja fotodiodos, fotodarlingtonos y fototiristores puesto que no necesitamos manejar potencias grandes, mientras que descartamos los fotofets por sus bajas inmunidades al ruido, quedando a la mano dos dispositivos: fotoresistencias y fototransistores. En la figura 5 mostramos las características comparativas de unos y otros. En base a estos, vemos cierta desventaja de la fotoresistencia en cuanto a su velocidad de respuesta y el efecto de "memoria luminica", cosas que para nuestro caso tienen poco valor, puesto que las velocidades con que el usuario pueda pasar el lector sobre la etiqueta no son muy altas. Sin embargo,

CARACTERISTICA	FOTOTRANSTISTORES (NULCIO)	FOTOCELDAS (CADMIO-SELENIO)
* VELOCIDAD DE RESPUESTA	0.1 milisegundos	10 milisegundos
* SENSIBILIDAD	alta	alta
* ESTABILIDAD TERMICA	muy buena	regular a mala
* ESPECTRO DE RESPUESTA	infrarojo principalmente	visible (dependiendo del material de dopado)
* POLARIDAD	característica importante	característica indiferente
* COSTO	bajo	bajo

Fig. 5.- Tabla de comparación de los fototransistores y las fotoresistencias (fotoceldas).

la gráfica de la figura 6, que muestra las respuestas de fototransistores y fotoresistencias con respecto a las longitudes de onda de la luz incidente en el dispositivo, es la base de la decisión tomada, ya que, por trabajar en la región infrarroja del espectro, el fototransistor presentó dificultad para ser alineado con su fuente. Si no fuera por este detalle (o si se dispusiera de equipo adecuado), sería el dispositivo óptimo para el desarrollo de esta tesis. Como quiera que sea, se encontraron mas fáciles de alinear las fotoresistencias. Ahora bien, disponemos de dos tipos de fotoceldas: de Cadmio-Selenio y de Sulfuro de Cadmio (ver figura 6) con respuestas diferentes a las longitudes de onda. Se escogió la fotocelda de Cadmio-Selenio (CdSe) porque la luz roja es más difícil de encontrar

LONGITUDES DE ONDA (ANGSTROMS)



LA REGION DE RESPUESTA
PARA LOS FOTOTRANSISTORES
VA DE LOS 7250 HASTA LOS
8000 ANGSTROMS

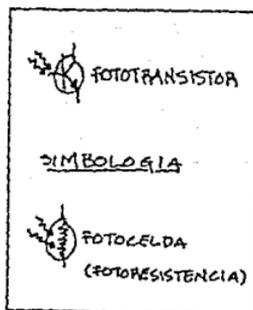
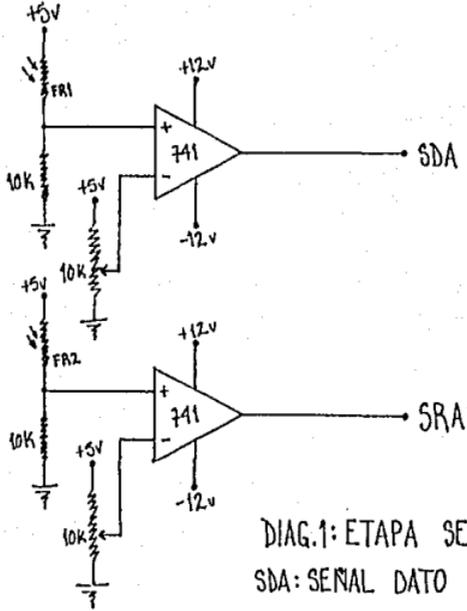
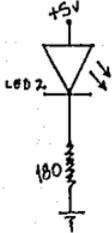
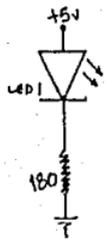


Fig. 6.- Tabla del espectro de respuesta de fotoresistencias y fototransistores (las figuras 5 y 6 corresponden a dispositivos de la Honeywell Co.).

en el lugar donde el dispositivo trabajará, lo que reduce el riesgo de interferencias.

La característica de la fotocelda en la que se basó el circuito sensor es el cambio de su resistencia con respecto a la luz que recibe; cuando se encuentra totalmente iluminada tiene una resistencia aproximada de un kilohm, mientras que cuando no recibe luz su resistencia es de diez kilohms aproximadamente.



DIAG.1: ETAPA SENSORA.
 SDA: SENAL DATO ANALOGICA.
 SRA: SENAL RELOJ ANALOGICA.

El diagrama 1 (página anterior) muestra el circuito de la etapa sensora, mismo que se analizará a continuación. Nótese que la sección que lee el dato y la que lee la referencia son idénticas, por lo que nos limitamos a explicar sólo una de ellas.

La primera parte, compuesta por un LED y una resistencia limitadora, es la que se encarga de proveer de luz constante e independiente de la luz ambiental a los sensores. Los LED'S usados en esta sección son rojos, dadas las características de los sensores CdSe (FR1, FR2) utilizados en el circuito (ver figura 6).

La resistencia limitadora forza un poco más de la corriente nominal (20 mA) de los LED'S, logrando con esto que haya un poco más de los lúmenes que ordinariamente producirían; la corriente forzada (27 mA) representa aproximadamente un 30% de exceso de corriente en el LED; poco riesgo si se considera la tolerancia que el fabricante da al dispositivo.

Los LED'S están enfocados sobre la superficie que contiene el código de barras, logrando que haya un "acoplamiento óptico" con las fotoceldas, esto es, que las fotoceldas reciban una parte proporcional de la luz emitida por los LED'S, de acuerdo a la superficie reflectante (ver figura 7).

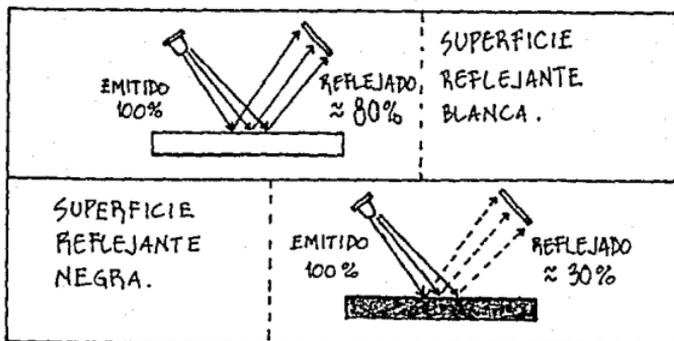


Fig. 7.- Acoplamiento óptico entre emisor y receptor.

Una vez que la luz es reflejada por la superficie, llega a la fotocelda, que forma un divisor de tensión con la resistencia de diez kilohms. Como se puede observar, las variaciones de resistencia en la fotocelda provocan que haya una variación en el divisor de tensión, ya que en el momento en que aquella recibe el haz de luz, su resistencia baja hasta un kilohm aproximadamente, lo que provoca que en el divisor de tensión (unión entre la resistencia y la fotocelda) haya un voltaje V , dado por:

$$V = (5v) * (10k / (1k + 10k)),$$

lo que da el límite superior del divisor (4.54v), mientras que cuando la fotocelda se encuentre en la sombra total, con un valor de fotoresistencia de 10k, el voltaje V será de:

$$V = (5v) * (10k / (10k + 10k)),$$

con lo que tenemos que el límite inferior del divisor de tensión será de 2.5v.

El voltaje V será, por lo tanto, proporcional a la cantidad de luz que reciba la fotocelda, comprendido en el rango:

$$4.54v > V > 2.5v,$$

puesto que la superficie nunca reflejará el 100% de la luz que reciba. Para tener un control más estricto sobre la señal, dicho voltaje es utilizado para manejar un amplificador que nos proporcione una señal más uniforme. Esto no representa problemas para el divisor de tensión, ya que la impedancia de entrada del OPAMP es tan grande que se puede despreciar, en comparación con las resistencias del divisor.

La configuración del circuito amplificador produce una ganancia muy alta, sólo limitada por las fuentes de alimentación; el voltaje de salida sólo podrá ser +12v cuando el voltaje presentado en su entrada no inversora sea mayor que el de la no inversora, o -12v cuando suceda lo contrario. El voltaje que da la referencia para este cambio lo ubicamos en la patilla inversora del OPAMP, y se puede ubicar con precisión gracias al preset de 10 kilohms 10 vueltas. Dicho preset está alimentado por la fuente de 5v, puesto que dicho valor es un poco mayor que el máximo del rango necesario. Es mediante este preset que ajustamos la respuesta del circuito. En la figura 8 podemos observar la señal obtenida en el divisor de tensión (V), la señal de referencia (V_r) y la señal de salida de esta etapa (señales

SDA o SRA del diagrama 1).

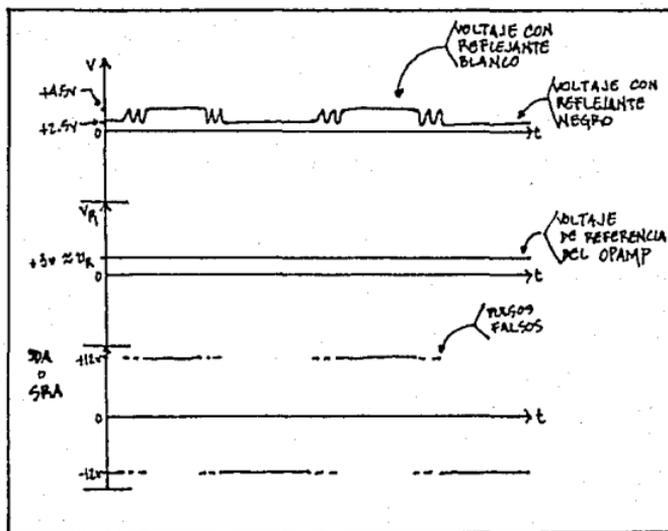


Fig. 8.- Analisis de las señales producidas en la etapa sensora.

Estas señales son las que "alimentan" la siguiente etapa, que es la que acondicionan la señal para ser procesada más tarde por circuitería TTL.

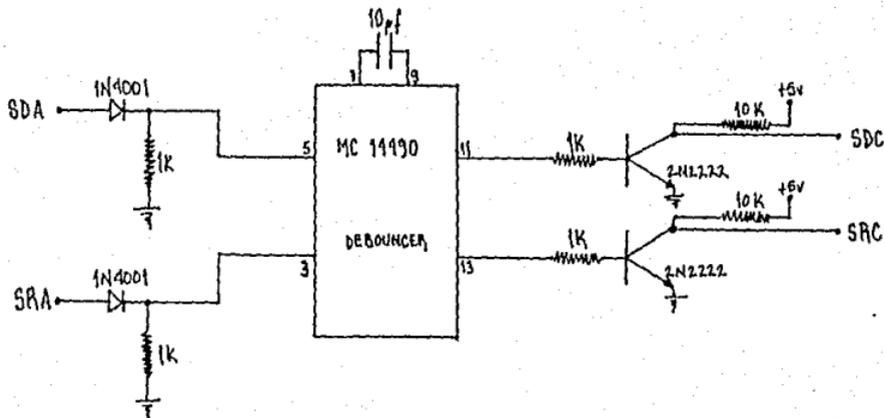
C A P I T U L O T R E S

ETAPA ACONDICIONADORA DE SEÑAL

Esta sección se podría definir como de acoplamiento entre las etapas sensora y de memoria, dado que las señales obtenidas en el desarrollo explicado en el capítulo anterior no son compatibles con los sistemas TTL con que se trabajó en el subsistema del siguiente capítulo; esto creó la necesidad de "acondicionar" las señales.

Las señales en la entrada de esta etapa (SDA y SRA) toman valores de: +12v cuando las fotoceldas reciben más luz (un uno lógico impreso refleja la luz) o -12v cuando reciben menos luz (un cero lógico impreso refleja la luz), además de ciertas variaciones de alta frecuencia producidos en los cambios de negro a blanco; a la salida de esta etapa deberán tomar valores de +5v cuando en la entrada haya +12v y cero volts cuando en la entrada se presenten -12v, aparte de eliminar los falsos cambios de señal arriba mencionados.

En el diagrama 2 (página siguiente) se muestra el circuito construido con tales finalidades. El primer paso en la transformación de las señales es rectificarlas, mediante el uso de una red diodo-resistencia. En el nodo de salida se obtendrán valores de +12v cuando estos se presenten en la entrada o cero volts cuando lleguen -12v. El diodo ofrecerá



DIAG.2: ETAPA ACONDICIONADORA.
 SDC: SEÑAL DATO CONVERTIDA.
 SRC: SEÑAL RELOJ CONVERTIDA.

una baja caída de tensión cuando se presente el voltaje positivo, mientras que ofrecerá una alta caída cuando exista un voltaje negativo (en realidad absorbe prácticamente toda la tensión).

Estas señales rectificadas son insertadas en un circuito CMOS MC 14490 (debouncer), cuya función es eliminar las alteraciones de alta frecuencia. Esto lo logra manteniendo el primer valor alto presentado en su entrada durante ocho ciclos del reloj que genera internamente ayudado de un capacitor. Durante ese periodo no acepta los pulsos siguientes, dando por resultado que se eliminen las rápidas señales falsas. Al final del ciclo mantendrá un estado bajo hasta que reciba el siguiente pulso alto. El valor del capacitor mostrado en el diagrama 2 es tal que la frecuencia del reloj interno permite lecturas rápidas eliminando adecuadamente las alteraciones, siempre y cuando las barras a leer sean bien definidas. Valores mayores reducen la velocidad de lectura, mientras que valores menores producen errores. Al no contar con información para el cálculo del valor del capacitor, este se tuvo que encontrar a prueba y error.

La tecnología CMOS se utilizó en esta sección ya que este tipo de dispositivos no se encuentran en circuitería TTL, además de que CMOS acepta trabajar con un rango mayor de voltajes (+12V fueron utilizados en este caso, dado que es el valor en sus entradas de señal).

A la salida del debouncer tenemos unas señales cuyos unos lógicos son de +12v; para convertir ese voltaje a +5v se utilizan dos inversores a transistor (ver diagrama 2), cuya alimentación al colector es de +5v a través de una resistencia de limitación. Aterrizando el emisor y con una resistencia de la salida del debouncer a la base del transistor se logra ese fin. Las señales se invierten para el correcto funcionamiento de la siguiente etapa (se explicará más adelante).

Los transistores 2N2222 se prestan admirablemente a esta aplicación, dadas sus aptitudes para switcheo.

En la figura 9 se comparan las señales a la entrada y a la salida de esta etapa. Las variaciones rápidas en los cambios (señal de entrada) son debidos a cambios no controlados en las fotoceldas.

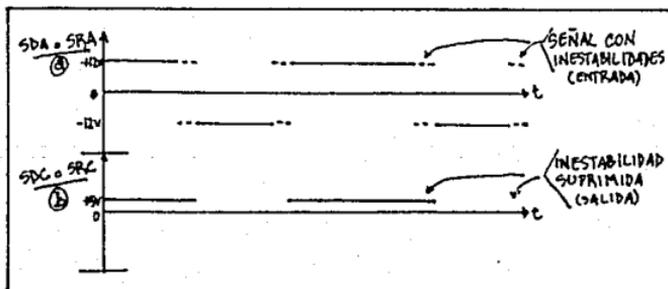


Fig. 9.- a) Señal a la entrada de esta etapa y b) Señal acondicionada (a la salida de la misma).

CAPITULO CUATRO

ETAPA DE MEMORIA

Es la etapa más compleja de toda la tesis, por lo que se dividió en cuatro secciones:

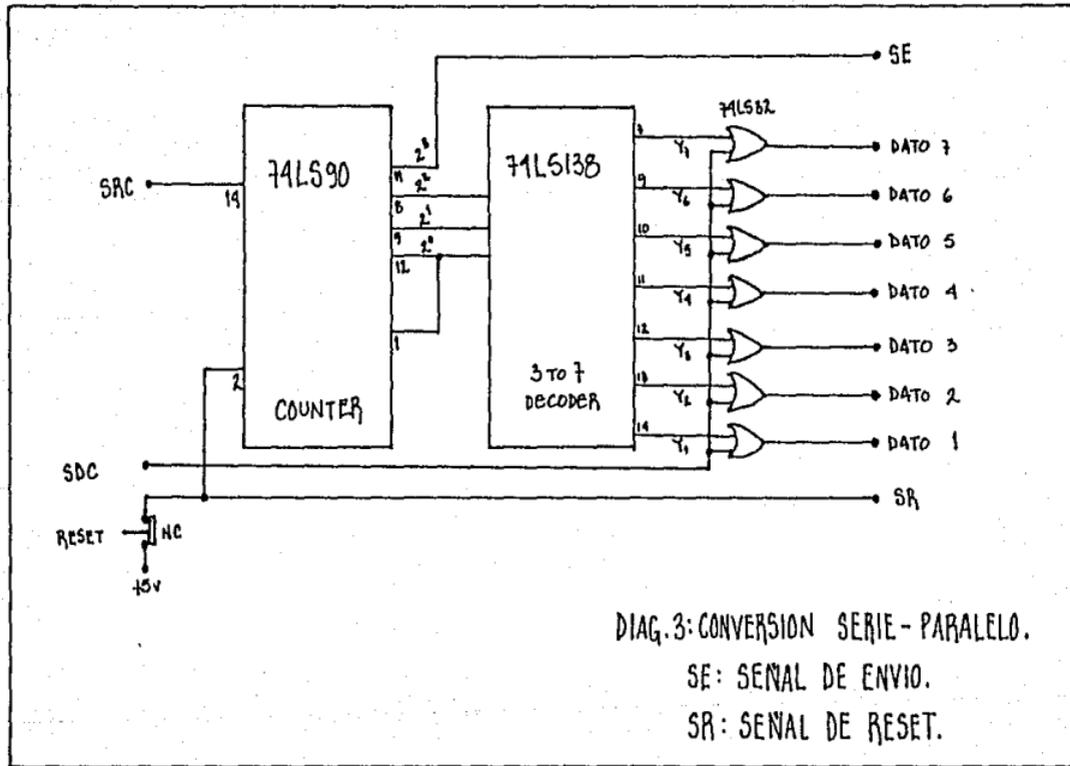
- a) Conversión serie-paralelo
- b) Etapa de memoria
- c) Programador del ACIA
- d) Interfaz RS 232-C

Una vez que las señales analógicas han sido adaptadas a las características eléctricas que maneja la tecnología TTL, ya pueden ser procesadas. Como se dijo en el capítulo pasado, las señales fueron invertidas. Esto se debió a que el estado inicial de la entrada de reloj del contador 74LS90 (SRC) debe estar en bajo inicialmente, si no es así, se produce un conteo extra indeseado. La señal "dato" (SDC) se invirtió también para conservar simetría entre ambos circuitos.

Pasemos ahora al análisis de los circuitos componentes de esta etapa:

- a) Conversión serie-paralelo.

El diagrama 3 (página siguiente) muestra la configuración de los elementos utilizados en esta sección,



que se encarga de transformar la señal SDC (señal dato convertida) de su forma serial a forma paralelo. También se podría decir que dicha señal se "multiplexa" de uno a varios canales. Esto se logra mediante el acoplo de un circuito contador, un decodificador de 3 a 7 líneas y una serie de compuertas OR. En la figura 10 se muestra la tabla de verdad de las líneas de salida del circuito contador utilizado en el diagrama 3 con respecto a la entrada de reloj.

RESET	H	L	L	L	L	L	L	L	L	L
PULSO #	X	0	1	2	3	4	5	6	7	8
Z^0	L	L	H	L	H	L	H	L	H	L
Z^1	L	L	L	H	H	L	L	H	H	L
Z^2	L	L	L	L	L	H	H	H	H	L
Z^3 (SE)	L	L	L	L	L	L	L	L	L	H

H=ALTO. L=BAJO. SOLO SE REPRESENTA EL CONTEO UTILIZADO.

Fig. 10.- Tabla de verdad del contador utilizado en el circuito.

La línea del interruptor RESET mantiene el contador 74LS90 "limpio" (en cero) hasta que se oprime dicho botón. La lecutra se deberá hacer, entonces, mientras se encuentre activado dicho interruptor. Tres de las líneas de salida del circuito contador (las de más bajo valor) alimentan las entradas del circuito decodificador, cuya respuesta respecto de dichas entradas se recopila en la tabla de verdad de la figura 11. Como la señal SDC es común a todas las compuertas

OR, entonces sus salidas pueden representarse por la tabla de verdad de la figura 12.

Z^0	Z^1	Z^2	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1
0	1	0	1	0	1	1	1	1	1
1	1	0	1	1	0	1	1	1	1
0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	0

Fig. 11.- Tabla de verdad de las salidas del decodificador.

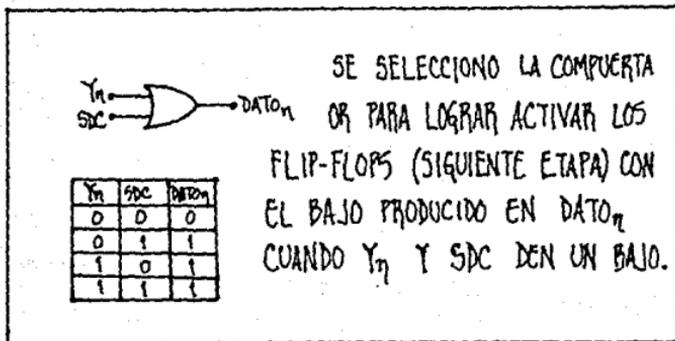
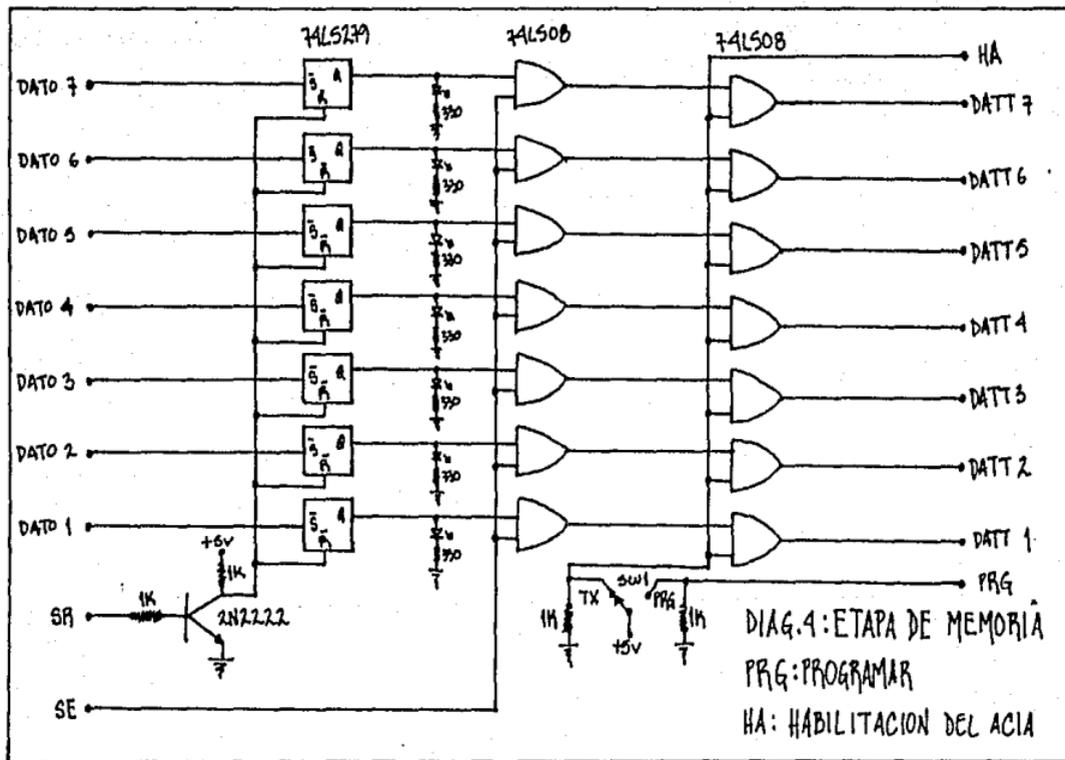


Fig. 12.- Tabla de verdad de las salidas $DATO$ del diagrama 3.

Como se puede apreciar en las tablas presentadas anteriormente, el dato SDC se presentará en una salida a la vez, esto es, el dato que esté presente durante el primer ciclo de reloj del código se presentará en la salida DATO1, mientras las demás no varían, el dato presente durante el segundo ciclo sólo se presentará en la salida DATO2, y así sucesivamente, hasta que la cuenta llegue del 74LS90 llegue a 8, en la que se activará parte de la siguiente sección. La conversión a paralelo de la señal SDC limita a 7 el número de bits paralelos que se pueden enviar, mientras que en el código impreso se deberá poner un ciclo de reloj extra a los datos, para que se produzca la señal SE (señal de envío) y puedan trabajar correctamente secciones posteriores.

b) Etapa de memoria.

Ya que los datos en paralelo de la sección anterior sólo permanecerán el tiempo que dure su lectura disponibles, se adaptó una sección de Flip-Flops (ver diagrama 4 en la siguiente página) del tipo Set-Reset 74LS279. Estos se dispararán en el momento en que se vayan activando cada salida de la sección anterior; si el estado anterior de entrada no cambia simplemente mantendrán su estado actual de salida. Para facilidad en la comprobación de las etapas anteriores, se colocaron LED'S en cada salida de los Flip-Flops. Como el estado natural de la línea SR (señal reset) es alto, se implementó el inversor a transistor mostrado en

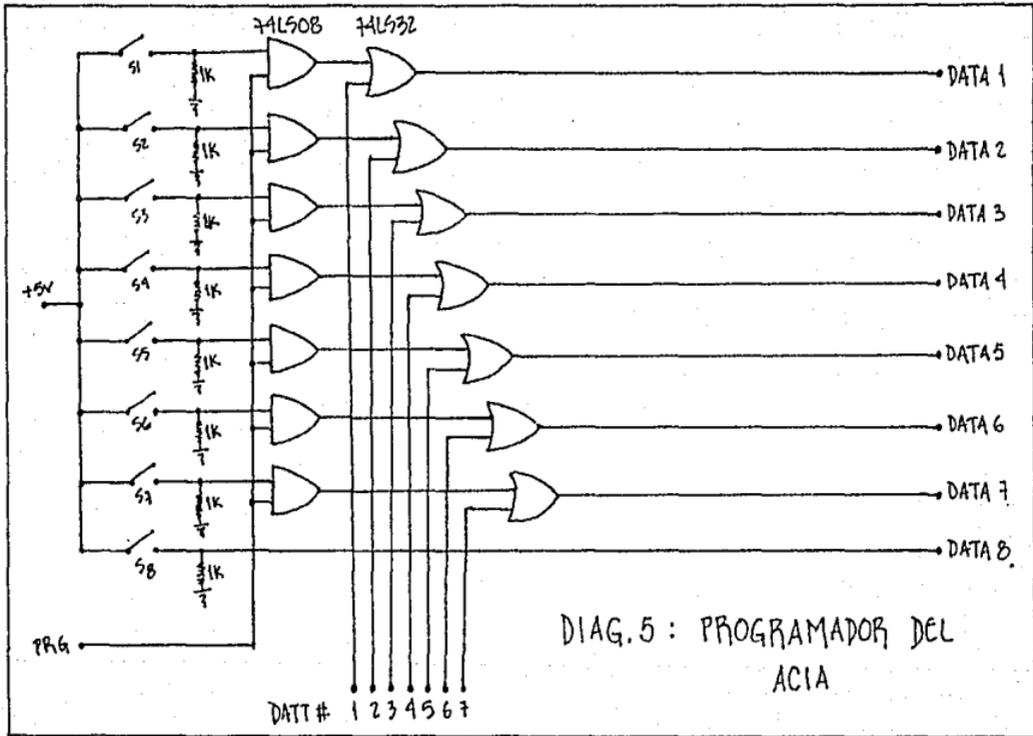


la parte baja izquierda del diagrama 4, puesto que cuando la línea se active (cambie a cero) deberá haber un alto en la línea común de reset de los Flip-Flops.

La activación de los Flip-Flops mantendrá los 7 bits leídos en paralelo hasta que vuelva la línea SR a su estado natural. Sin embargo, antes de que eso suceda el lector detectará el octavo ciclo de reloj impreso, con lo que se activará la línea SE (señal de envío), poniendo en ella un alto, lo que hará que las compuertas AND a las que se encuentra conectada dicha línea permitan el paso hacia el interfaz RS 232-C. Estos datos llegarán hasta el interfaz siempre y cuando el switch 1 se encuentre en la posición TX (transmitir), permitiendo el paso de los datos por la segunda serie de compuertas AND.

c) Programador del ACIA.

Para la programación del circuito ACIA se construyó el circuito mostrado en el diagrama 5 (página siguiente). Allí se pueden observar ocho interruptores que ponen un alto cuando son cerrados en cada una de las líneas. El envío de estos datos (programación) se produce cuando no hay datos a transmitir, esto es, cuando el switch 1 (diagrama 4) se encuentra en la posición PRG (programar) y se pone un alto en la entrada común de las compuertas AND del diagrama 5. Como los datos de programación y los datos de transmisión entran por las mismas terminales del ACIA, se deben unir



DIAG. 5 : PROGRAMADOR DEL ACIA

por medio de las compuertas OR que se localizan a la salida del programador. La programación del ACIA se tratará más adelante. Las resistencias que aparecen en la sección de interruptores del programador sirven para definir un estado cuando el interruptor deja la línea al aire, con lo que se evitan problemas de interferencia por la cercanía con líneas de alimentación.

d) Interfaz RS 232-C.

En una etapa de computarización como la que nos ha tocado vivir, las comunicaciones digitales se han generalizado a tal grado, que fué necesario crear un puerto de comunicaciones estandarizado. Tal puerto es conocido como RS 232-C y es rara la computadora personal que no cuente con él. Es por esto que se seleccionó este estándar para finalizar el presente proyecto, con lo que se le incrementan sus posibilidades, ya que no se aplicará únicamente a supermercados y cajas registradoras, sino que su uso dependerá de la imaginación.

¿Cuáles son las características eléctricas del puerto?

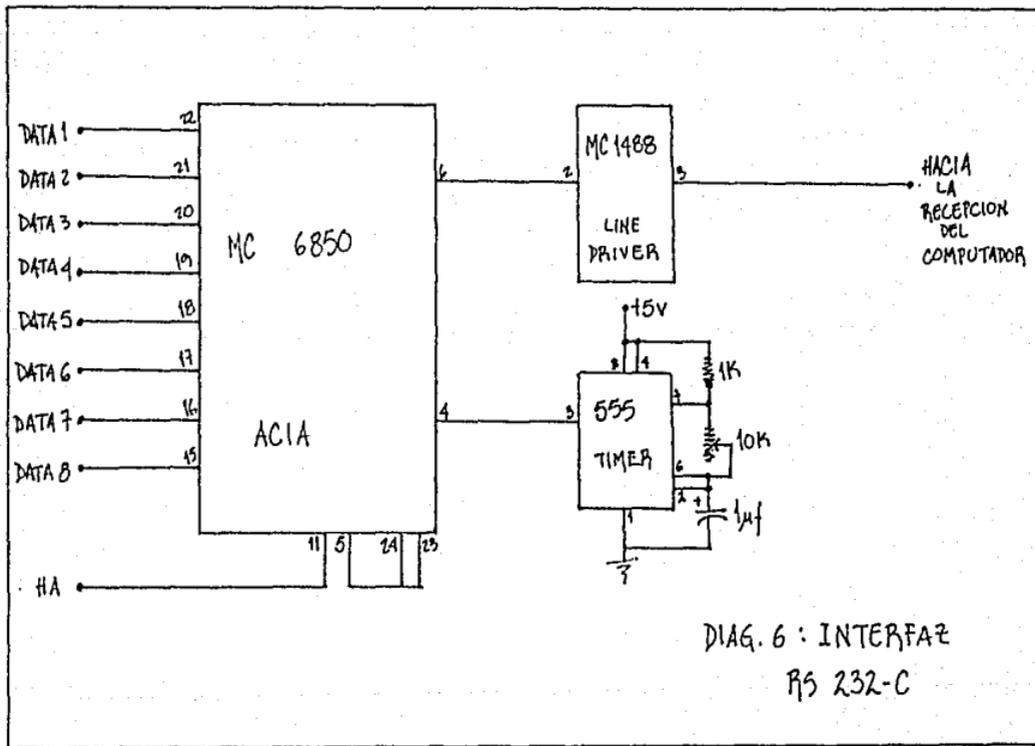
- 1) Los voltajes manejados son de +/- 12v a +/- 28v, esto es, son señales bipolares.
- 2) Las velocidades de transmisión pueden ser solamente: 150, 300, 600, 1200, 2400, 4800 o 9600 baudios.
- 3) El conector a usar debe ser tipo DB-25, en el que

sólo se utilizarán los siguientes pines:

- pin 1.- Chasis
- pin 2.- Transmisión
- pin 3.- Recepción
- pin 4.- DSR (data set ready)
- pin 5.- DTR (data terminal ready)
- pin 6.- CTS (clear to send)
- pin 7.- Referencia para la lógica
- pin 8.- CD (carrier detect)
- pin 20.- RTS (request to send)

Sin embargo, la comunicación básica se puede lograr sólo con las líneas Tx (transmitir), Rx (recibir) y Referencia para la lógica, si se "engaña" al sistema uniendo las señales CD, CTS y RTS (conexión modem null), con lo que la máquina se contesta sola el protocolo de comunicación. Como nuestro dispositivo únicamente transmitirá, se utilizarán solamente Rx y su referencia (además de hacer la conexión modem null) en el puerto del computador (que será el receptor), mientras que el puerto de nuestro sistema sólo usará Tx, su referencia y la conexión modem null.

Para constituir el puerto RS 232-C, se armó el circuito del diagrama 6 (página siguiente). El centro nervioso del interfaz es el circuito CMOS MC 6850, el cual es un ACIA (adaptador interfaz de comunicación asíncrona). La identificación de los pines de dicho circuito se muestra en



DIAG. 6 : INTERFAZ
RS 232-C

la tabla de la figura 13, indicando también las conexiones que se hicieron en todos los pines, ya que, aunque hay algunos que no se utilizan, en la tecnología CMOS es muy recomendable que los pines no utilizados se conecten a alguna posición, esto es, a voltaje o a tierra, para que no queden como valores aleatorios. También se puede observar la conexión modem null (pines 5, 24 y 23) y la programación del circuito mediante los switches S1-S8 del programador. En el diagrama 6 se pueden observar las interacciones con el sistema.

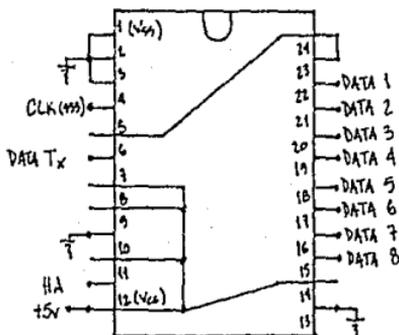
El circuito timer 555 nos proporciona la señal de reloj de transmisión para el ACIA; los cálculos inherentes al generador de pulsos están en la figura 14, pudiendo obtener, gracias al preset de 10 vueltas, frecuencias de 100 a 1000 hertz, con lo que se cubren tres de las velocidades de transmisión (150, 300 y 600 baudios), con una precisión bastante aceptable.

Ahora bien, el circuito ACIA nos está presentando en su pin 6 una señal que cumple con todos los requisitos del puerto RS 232-C, excepto que esta señal aun esta representada en valores lógicos de 0v y 5v. Para pasarlos a valores lógicos de +12v y -12v se utiliza el circuito MC1489, un manejador de línea (line driver), que se encarga de ello.

Complementa el sistema un conector que, además de comunicarlo con el computador, proporciona a éste la conexión modem null requerida.

ACIA.	
PIN #	FUNCION
1	V _{cc}
2	R _x DATA
3	R _v CLK
4	Tx CLK
5	RTS
6	Tx DATA
7	IRG
8	CS ₀
9	CS ₂
10	CS ₁
11	PI ₅
12	V _{cc}
13	W/R
14	E
15	DB
16	D7
17	D6
18	D5
19	D4
20	D3
21	D2
22	D1
23	DCD
24	CTS

* ESTAS LINEAS SON CONECTADAS A 0V, PORQUE NO SON UTILIZADAS Y DEBEN CONECTARSE PARA EVITAR MALFUNCIONAMIENTOS EN EL A.C.I.A.



◊ EL DATO SE TRANSMITE CUANDO: 11 y 13 (NA) Y EL CHIP SE PROGRAMA CON: 11 y 13 (NA). LA SIGUIENTE ES LA TABLA DE PROGRAMACION:

S1	DIVISOR DE FRECUENCIA	$\left\{ \begin{array}{l} s_1 = 0 \\ s_2 = 0 \end{array} \right\} \Rightarrow \div 1$
S2		
S3	CARACTERISTICAS DE LA PALABRA	$\left\{ \begin{array}{l} s_3 = 0 \\ s_4 = 0 \\ s_5 = 0 \end{array} \right\} \Rightarrow 7 \text{ bits + even parity}$
S4		
S5		
S6	RTS Y IRG HABILITADO	$\left\{ \begin{array}{l} s_6 = 0 \\ s_7 = 0 \end{array} \right\} \Rightarrow \overline{\text{RTS}} = 0, \overline{\text{IRG}} = X$
S7		
S8	HABILITACION DE REQ. FULL	$\left\{ \begin{array}{l} s_8 = 0 \\ s_8 = 0 \end{array} \right\} \Rightarrow \overline{\text{RF}} = X$

◊ SE CONECTARON DE TAL FORMA QUE EL CHIP SIEMPRE TRABAJE.

■ LA CONEXION MODEM NULL SE LLEVA A CABO UNIENDO LOS PINES 5 (RTS), 23 (DCD = CD) Y 24 (CTS). COMO LAS TRES LINEAS SON NEGADAS, SON COMPATIBLES.

Fig. 13.- Circuito ACIA. conexiones y programación.

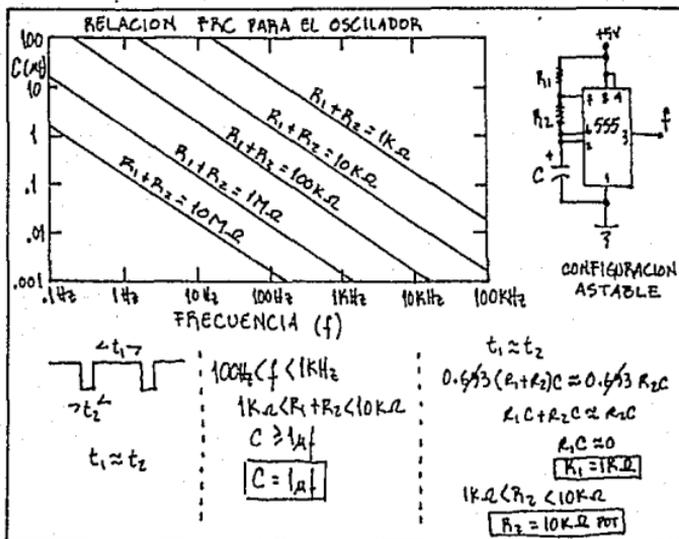


Fig. 14.- Circuito generador de reloj y sus cálculos.

A continuación se muestra un pequeño programa en basic que "lee" lo que hay en el puerto diez veces (lee 10 bytes) e imprime en pantalla los diez datos.

```

10 CLS
20 FOR T=1 TO 10
30 OPEN "COM1:150,E,7" AS #3
40 COM(1) ON
50 AS=INPUTS(1,#3)
60 PRINT ASC(AS)
70 CLOSE #3

```

```
80 PRINT "BYTE RECIBIDO"  
90 NEXT T  
100 END
```

Este programa trabaja para las siguientes especificaciones: 150 bauds, even parity, palabra de 7 bits. El ACIA de nuestro sistema deberá estar programado de esa misma forma o adaptar el programa a la forma en que está configurado el ACIA (ambos sistemas deben "hablar el mismo idioma"). Para darle más aplicaciones al lector óptico, se deberá desarrollar software más complejo e interactuado con paquetes poderosos, como dBase IV, Works o Lotus.

CAPITULO CINCO
INTEGRACION DE LAS PARTES Y ESTUDIO ECONOMICO

Una vez terminadas las partes o etapas del sistema, el siguiente punto es ver su comportamiento en conjunto. La construcción del prototipo llevó aproximadamente un mes, al cabo de los cuales se obtuvieron como resultado:

1.- Una unidad central, que contiene tres circuitos impresos universales (conteniendo las etapas de memoria, acondicionadora y una parte de la sensora, así como cinco fuentes de voltaje), un transformador, cable tomacorriente, el interruptor de encendido general, el selector de programar/transmitir y el conector para el cable adaptador.

2.- Una unidad lectora, que contiene los sensores y el interruptor de reset. Se encuentra conectada a la unidad central por medio de un cordón flexible.

3.- El cable adaptador para el computador.

Una vez construido el prototipo se procedió a hacer las calibraciones de:

a) Sensibilidad de los sensores (con los presets del diagrama 1).

b) Frecuencia del generador de reloj (con el preset del diagrama 6).

Enseguida se programó el ACIA con los datos: 150 bauds, even parity, 7 bits por palabra, mediante la puesta de todos los interruptores del diagrama cinco en abierto, lo cual pondrá un cero en todas las líneas de dato cuando se active el interruptor de programar. En la figura 15 se da una vista general al equipo (vista externa), mientras que en la figura 16 se observa la parte interior, ubicando además los presets de calibración.

Una vez hecho lo anterior, se apagó el equipo, se conectaron lector y computador, se puso el selector programar/transmitir en la posición de programar, se encendieron ambos equipos, se tecleó en el computador el programa que se transcribió en el capítulo anterior, se corrió y luego se pasó el selector a la posición de transmitir. Se comprobó que la comunicación se establece sin problema. El computador recibe sólo ceros si no se activa el interruptor de reset. Se observó que existen algunas fallas en la lectura del código por dos razones:

- 1.- Si las líneas del código de barras no están bien definidas, las alteraciones de alta frecuencia (de las que se habló en los capítulos dos y tres) no alcanzan a ser eliminadas, lo que produce alteraciones indeseables en el contador de la etapa de memoria y, por lo tanto, lecturas erróneas enviadas al computador.

- 2.- Si el código de barras no se lee correctamente, esto es, el sensor de dato sobre la barra de dato y el de

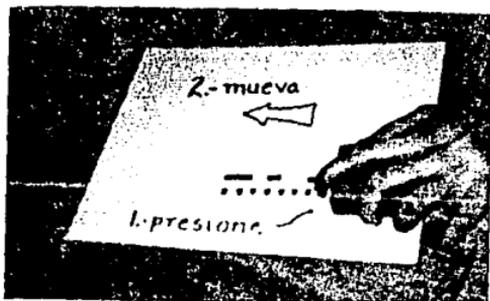
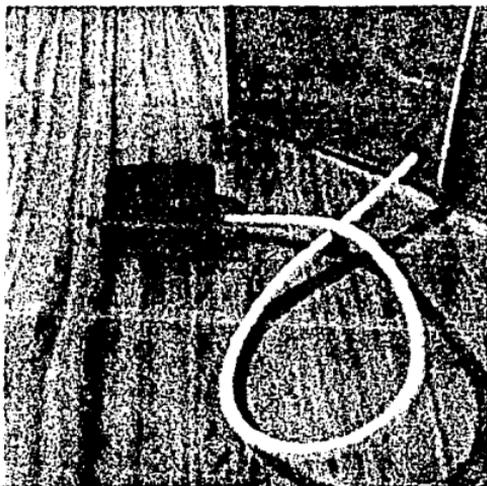
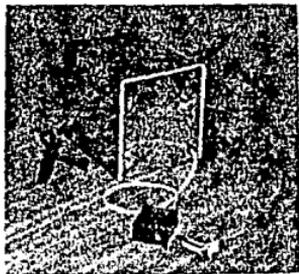
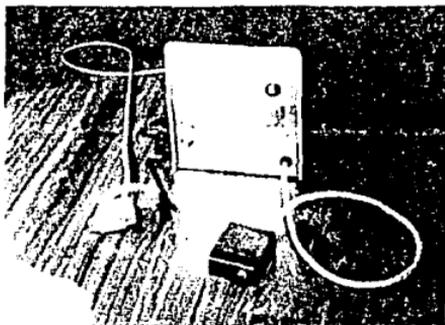
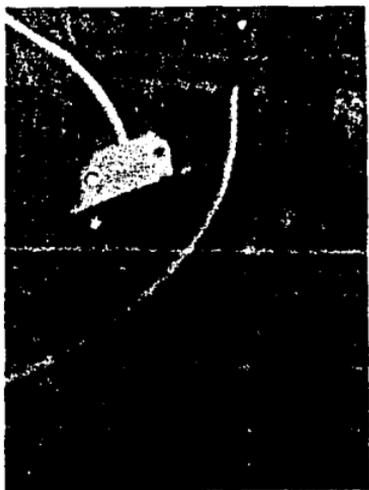
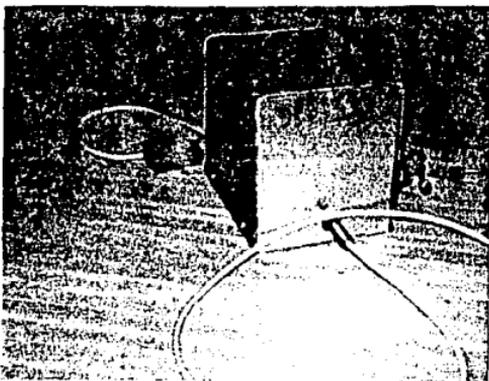


Fig. 15.- Vistas exteriores del sistema, ya terminado.



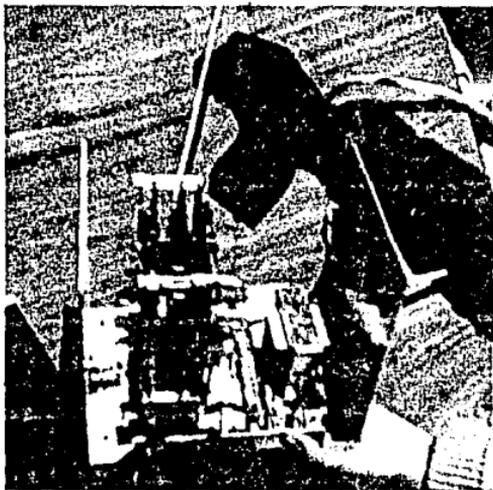
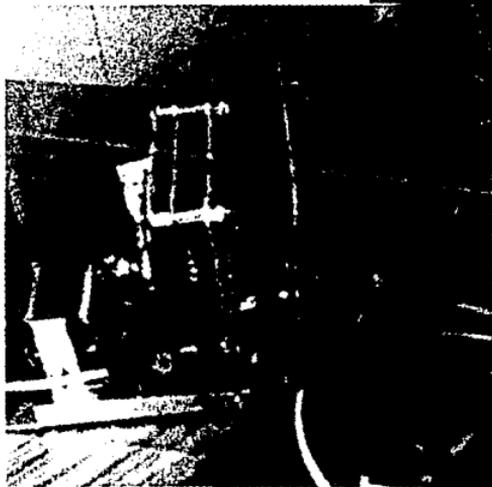
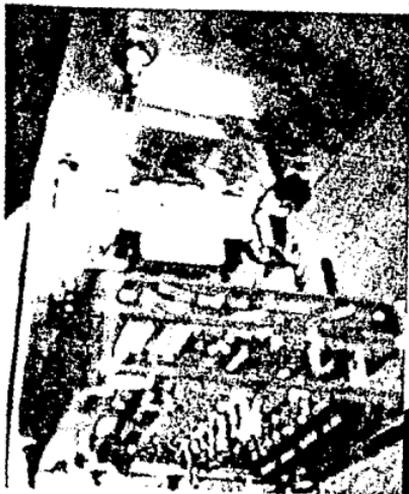


Fig. 16.- Vistas internas del sistema, ya terminado.



referencia sobre la correspondiente, puede haber problemas de sincronía; lo mismo pasa si los sensores hacen la lectura no colineales con las franjas.

3.- Se requirieron tres fuentes de +5v por la carga relativamente alta. Dichas fuentes se fueron construyendo conforme se iban necesitando, ubicándose una en cada tablilla impresa universal. También se requirió una fuente de +12v y otra de -12v.

Estos fueron los problemas observados; sin embargo también se apreciaron cosas positivas, como:

1.- El código no debe ser necesariamente con líneas negras. La sensibilidad de respuesta (calibración de los OPAMPS) permite hacer variaciones en el color del código, aunque el negro sea el más adecuado.

2.- Con pequeños agregados en el circuito y/o en los programas se pueden leer números con más de 7 bits.

3.- Se puede aplicar no solo a tiendas, sino a cualquier actividad que requiera lectura de información.

En lo que se refiere al estudio económico, procederemos primero a obtener el costo total del sistema, para proceder después a visualizar las posibilidades de venta y comercialización en el mercado nacional.

En el proceso de construcción, pruebas y correcciones que se llevo a cabo para terminar el sistema, se buscó siempre conseguir los precios promedio, es decir, ni los más altos ni los más bajos, para que el costo del sistema fuera

real. Enseguida se enumeran los componentes del sistema y su costo:

Cantidad y descripción.....	precio total
(1) Circuito MC6850.....	5,800
(1) Circuito MC1488.....	1,750
(1) Circuito MC14490.....	1,600
(6) Circuito 74LS08.....	6,000
(4) Circuito 74LS32.....	4,000
(2) Circuito 74LS279.....	1,650
(1) Circuito 74LS90.....	1,000
(1) Circuito 74LS138.....	1,200
(2) Circuito 741.....	1,300
(1) Circuito 555.....	600
(3) Transistor 2N2222.....	1,000
(3) Regulador 7805.....	3,000
(1) Regulador 7812.....	1,000
(1) Regulador 7912.....	1,000
(2) Fotorresistencias.....	10,000
(1) Puente rectificador.....	1,100
(2) Diodos 1N4001.....	300
(14) Led's.....	2,800
(9) Capacitores varios.....	8,100
(3) Presets 10k 10 vueltas.....	5,800
(35) Resistencias varias.....	3,500
(1) Fitolito.....	2,500
(1) Circuito impreso.....	6,000
(3) Circuito impreso universal.....	15,000
(1) Transformador 12V 2A.....	23,000
(1) Dip switch.....	3,500
(3) Interruptores varios.....	5,100
(1) Conector DB-25.....	3,400
(1) Conector monaural.....	1,200
(1) Disipador.....	3,000
(1) Portafusible.....	700
(1) Fusible.....	400
(1) Clavija tomacorriente.....	2,100
(1) Mt. cable blindado.....	2,700
(0.75) Mt. de espiral.....	1,500
(1) Recorte de aluminio.....	7,500
(1) Recorte de acrilico.....	20,100
(1) Lata de pintura en aerosol.....	8,500

TOTAL.....	168,600

Como se puede observar, el costo total del sistema no es muy alto, aún cuando se trata de un prototipo. La producción en serie de este dispositivo reduciría los costos en un buen porcentaje. Pero ¿quién se interesaría por un equipo de estos? Para la construcción del gráfico de la figura 17 se dividió el mercado en tres tipos de comercios:

A.- Empresas grandes: Las que están establecidas en todo el territorio nacional y/o empresas transnacionales

B.- Empresas medianas: Las que sólo cubren una porción del territorio nacional, estando establecidas en más de dos estados.

C.- Empresas chicas: Las de tipo regional y que no están establecidas en más de dos estados del territorio nacional.

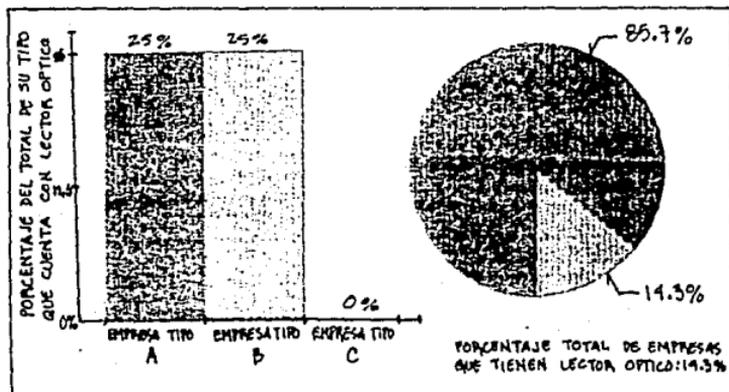


Fig. 17.- Estudio de mercado para el lector de código de barras.

Dicho gráfico consta de dos diagramas: el primero muestra el porcentaje de cada tipo de empresa que cuenta con un sistema de lector óptico, mientras que el segundo muestra el total de empresas que cuentan con el sistema del total de la muestra (se tomaron como base 4 empresas de cada subdivisión). Como se pudo observar, un alto porcentaje (85.7%) del total de empresas muestreadas no cuenta con el sistema. Ese es el mercado posible para nuestro producto; sin embargo, deberán hacerse pruebas exahustivas del dispositivo, así como una mejora en su aspecto externo actual antes de llevarlo a ofrecer a los posibles interesados. Resulta por demás obvio afirmar que el mejor mercado son las empresas del tipo A, puesto que cuentan con mayor capital y requerirían de una cantidad mayor de lectores por su alcance territorial, lo que disminuiría los costos de manufactura y el costo unitario total de los dispositivos.

CONCLUSIONES

Una vez concluido el proyecto, debemos hacer una evaluación a fondo del mismo, desde los aspectos teóricos a los prácticos.

1.- En el aspecto académico o de aprendizaje, creo que tuve oportunidad de aprender técnicas y aplicar teoría ya conocida, lo que me condujo a poder terminar el proyecto de una forma satisfactoria.

2.- En el aspecto eléctrico del sistema, obtuve pruebas de que sus características son buenas en todos los sentidos, excepto en los sensores, puesto que tienen demasiada sensibilidad para los requerimientos de lectura.

3.- El nuevo código propuesto para esta tesis, puede llegar a provocar una serie de lecturas falsas, debido a que la lectura de las dos franjas de barras debe ser perfectamente sincronizada.

4.- En el aspecto económico, una vez que se adecuara el sistema y que se hayan solucionado esos detalles (el más difícil es conseguir sensores de iguales características eléctricas pero de menor sensibilidad, puesto que la sincronización se puede lograr por medios mecánicos), creo que se pueden obtener beneficios de tipo económico, dado que su costo es bajo; sin embargo, para conseguir

**ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA**

un cliente (de preferencia perteneciente a las empresas tipo "A"), y que tal cliente financie (al menos en parte) la manufactura de los dispositivos.

Por otra parte, todos los elementos que constituyen el sistema se pueden encontrar en México, lo que hace más fácil la operación de manufactura.

B I B L I O G R A F I A

- * Coughlin y Driscoll. Circuitos integrados lineales y OPAMPS. Prentice-Hall, México, 1989.
- * Taub, Herbert y Schilling, Donald. Digital integrated electronics. McGraw-Hill, New York, 1983
- * Middleton, Robert. Understanding digital logic circuits. Howard W. Sams & Co., New York, 1980.
- * Serie mundo electrónico. Transductores y medidores -- electrónicos. Marcombo-Boixareu Editores, Barcelona, 1981.
- * Understanding series. Understanding optronics. Texas instruments learning center, Dallas, 1983.
- * National Semiconductor Corporation. ALS/AS Logic --- databook.
- * National Semiconductor Corporation. CMOS databook.
- * National Semiconductor Corporation. LINEAR databook.