

49
24

UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA



DISEÑO Y CONSTRUCCION DE UNA MEMORIA DIGITAL PARA OSCILOSCOPIO

**TESIS CON
FALLA DE ORIGEN**

T E S I S
QUE PARA OBTENER EL TITULO DE:
INGENIERO EN COMPUTACION
P R E S E N T A N :
ROCIO GEORGINA ROJAS MUÑOZ
SOCORRO LOERA VIVAR





UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

C O N T E N I D O .

CAPITULO I

INTRODUCCION

CAPITULO II

ANTECEDENTES HISTORICOS

CAPITULO III

SISTEMA DE ADQUISICION DE DATOS

- 3.1 CONVERTIDORES ANALÓGICOS/DIGITALES.
- 3.1.1 CONVERTIDORES DE A/D DE APROXIMACIÓN SUCESIVA.
- 3.1.2 CONVERTIDOR DE A/D DE RAMPA CONTADORA.
- 3.1.3 CONVERTIDOR DE A/D COMPARADOR.
- 3.1.4 MODULOS MUESTREADORES-SUJETADORES.
- 3.1.4.1 DEFINICIÓN.
- 3.1.4.2 FUNDAMENTOS DE LOS MUESTREADORES-SUJETADORES.
- 3.1.4.3 MUESTREO DE SEÑALES.
- 3.1.4.4 REALIZACIÓN PRÁCTICA DE UN MUESTREADOR-SUJETADOR.

CAPITULO IV

CONVERTIDOR DE SEÑALES DIGITALES A ANALÓGICAS

- 4.1 CONVERTIDORES DIGITALES-ANALÓGICOS.
- 4.2 EL CONVERTIDOR ANALÓGICO-DIGITAL 0809.
- 4.3 DESCRIPCIÓN GENERAL.
- 4.4 DESCRIPCIÓN FUNCIONAL.
- 4.4.1 MULTIPLEXOR.
- 4.5 CONVERTIDOR.
- 4.6 LIMITACIONES DE LA ESCALA DE RESISTENCIAS.
- 4.7 ECUACIÓN DE CONVERSIÓN.

CAPITULO V

DISEÑO DEL SISTEMA DE MEMORIA

- 5.1 INTRODUCCIÓN AL DISEÑO DEL SISTEMA.
- 5.2 DISEÑO DEL SISTEMA DE ADQUISICIÓN DE DATOS.
 - 5.2.1 EL PREAMPLIFICADOR.
 - 5.2.2 EL MUESTREADOR-SUJETADOR.
 - 5.2.3 EL CONVERTIDOR ANALÓGICO-DIGITAL ADC0809.
 - 5.2.4 MEMORIA DE ACCESO ALEATORIO (RAM).
 - 5.2.5 EL CONTADOR DE MUESTRAS.
- 5.3 DISEÑO DEL SISTEMA DE TRANSFERENCIA DE DATOS.
 - 5.3.1 TRANSFERENCIA DE DATOS DE LA MEMORIA RAM A LOS CONVERTIDORES B/A.
 - 5.3.2 CIRCUITO GENERADOR DE RAMPA PARA UN GRAFICADOR EXTERNO.
- 5.4 LÓGICA DE CONTROL DEL SISTEMA.
 - 5.4.1 EL INTERCAMBIO DE DATOS DE MEMORIA A LOS CANALES A Y B DE SALIDA.
 - 5.4.2 ARBITRAJE DEL BUS DE DIRECCIÓN PARA EL MUESTREO Y BARRIDO DE MUESTRAS.
 - 5.4.3 BARRIDO DE MUESTRAS HACIA UN GRAFICADOR EXTERNO "XY".
 - 5.4.4 LÓGICA DE CONTROL DEL MODO DE OPERACIÓN.
 - 5.4.5 GENERACIÓN DE LA SEÑAL TRIGGER EXTERIOR PARA CONTROL DEL OSCILOSCOPIO.
 - 5.4.6 INDICADOR DE MUESTREO ACTIVO.
- 5.5 FUNCIONAMIENTO DEL SISTEMA DE MEMORIA PARA OSCILOSCOPIC.

CAPITULO VI

CONCLUSIONES

CAPITULO VII

BIBLIOGRAFIA

I.- INTRODUCCION.

EN CUALQUIER PROYECTO O INVESTIGACIÓN QUE SE REALIZA SIEMPRE ES NECESARIO TENER UN REGISTRO DE GRÁFICAS O DATOS DE UN DETERMINADO EVENTO QUE ESTÁ SUCEDIENDO EN UN INSTANTE DE TIEMPO. ESTO SE DEBE A QUE CUALQUIER ESTADÍSTICA O RESULTADO DE DETERMINADAS INVESTIGACIONES O PROYECTOS SON SUCEPTIBLES DE MEJORAR EN BASE A DICHAS ESTADÍSTICAS. COMO TODA INVESTIGACIÓN VA ACOMPAÑADA DE UNA OBSERVACIÓN, DE UN POSTULADO E HIPÓTESIS, ESTA TIENE LA FINALIDAD DE ABRIR NUEVOS CAMINOS EN CUANTO A OBSERVACIÓN DE EVENTOS SUMAMENTE LENTOS QUE PASARIAN DESAPERCIBIDOS SINO SE TUVIERA EL EQUIPO ADECUADO.

LAS SEÑALES ELECTRICAS ES EL RESULTADO DE UNA TRANSFORMACIÓN DE ENERGIA CINÉTICA QUE CONTIENE UN EVENTO, MEDIANTE LA UTILIZACIÓN DE UN TRANSDUCTOR.

LAS APLICACIONES POSIBLES DE ESTE PROYECTO DE TESIS PUEDEN SER MUY VARIADAS COMO SE MENCIONARÁ MÁS ADELANTE.

II.- ANTECEDENTES HISTORICOS.

LA NECESIDAD DE TENER UN REGISTRO DE CIERTOS EVENTOS QUE ESTAN SUCEDIENDO O QUE SUCEDIERON EN UN DETERMINADO INSTANTE DE TIEMPO HA OBLIGADO AL SER HUMANO A LLEVAR UNA CIERTA ORGANIZACIÓN PARA NO COMETER UN ERROR DOS VECES, O BIEN, A PARTIR DE LAS INVESTIGACIONES MEJORAR SU CALIDAD DE VIDA. PARA TENER UN REGISTRO DE INFORMACION, A LO LARGO DE LA HISTORIA DEL SER HUMANO SE A VALIDO DE VARIOS MEDIOS COMO SON LA ESCRITURA, EL DIBUJO Y EL LENGUAJE. SIN EMBARGO LOS REGISTROS DE INFORMACION QUE HAN PERDURADO HASTA LA FECHA SON LA ESCRITURA Y EL DIBUJO PRINCIPALMENTE. SIN EMBARGO LOS AVANCES TECNOLOGICOS QUE SE HAN VENIDO DANDO EN LOS ULTIMOS SIGLOS HAN PERFECCIONADO LOS REGISTROS DE SUCEOS Y EXPERIMENTOS EN FORMA HISTORICA.

EL ANTECEDENTE HISTORICO DE LAS TARJETAS PERFORADAS QUE NO HACE MUCHO TIEMPO UTILIZABAN LAS PRIMERAS COMPUTADORAS, DATA DEL SIGLO HCMXIX. DICHO SISTEMA SE UTILIZABA PARA AUTOMATIZAR ALGUNAS FUNCIONES DE CONTROL DE EVENTOS. UNA APLICACION DIRECTA DE ESTAS TARJETAS O PAPEL PERFORADO SE UTILIZO EN LOS INSTRUMENTOS MUSICALES CON MODALIDAD DE TIPO PIANOLA O BIEN, EN LAS CAJITAS DE MUSICA. SIN EMBARGO CON LOS AVANCES TECNOLOGICOS QUE SE HAN DADO EN EL SIGLO XX, Y SOBRE TODO EN LOS ULTIMOS 30 AÑOS EN CUANTO A SISTEMAS DIGITALES, ES POSIBLE ALMACENAR UNA GRAN CANTIDAD DE INFORMACION MEDIANTE EL USO DE MEMORIAS O UNIDADES DE DISCO.

EN CUANTO A UNIDADES DE MEMORIA PARA OSCILOSCOPIO SE PUEDE DECIR QUE DESDE LA APARICIÓN DEL PRIMER OSCILOSCOPIO SE PENSÓ EN LA POSIBILIDAD DE TENER UN REGISTRO QUE PERDURE EL SUFICIENTE TIEMPO PARA ANALIZAR UNA SEÑAL LENTA. SE PENSÓ INMEDIATAMENTE EN LA POSIBILIDAD DE DISEÑAR UNA UNIDAD DE REGISTRO QUE PERMITIERA VER TODO EL TRAZO ANTERIOR DE UN EVENTO DESPLEGADO EN FORMA DE UNA GRÁFICA CONTINUA. AL PRINCIPIO SE TUVIERON MUCHOS PROBLEMAS DEBIDO A QUE LA TECNOLOGÍA PARA DESARROLLAR ESTAS UNIDADES DE REGISTROS PRÁCTICAMENTE NO LO PERMITÍA.

LAS PRIMERAS UNIDADES DE MEMORIA PARA OSCILOSCOPIO TENIAN LA MODALIDAD DE SER UNIDADES DE REGISTRO ELECTROSTATICAS CON LO CUAL PODEMOS DECIR QUE SE REGISTRABAN GRÁFICAS EN FORMA ANALÓGICA. ESTE PROCESO DE GRAFICADO SE REALIZABAN MEDIANTE LA IONIZACIÓN DE UN CIERTO MATERIAL ÁVIDO DE ELECTRONES (SOLO DETERMINADAS CONDICIONES).

LAS UNIDADES DE MEMORIA DIGITALES TIENE LA FACILIDAD DE PODER GUARDAR LA INFORMACIÓN POR TIEMPO INDEFINIDO PARA UN PROCESAMIENTO O UN ANÁLISIS ESTADÍSTICO DE GRÁFICAS POSTERIORES.

EN LA ACTUALIDAD, PARA LLEVAR UN REGISTRO DE EVENTOS NO ES NECESARIO DISPONER DE UN OSCILOSCOPIO, YA QUE SE VENDEN COMERCIALMENTE PERIFERICOS ADAPTABLES A CUALQUIER MICROCOMPUTADORA, QUE TIENEN LA MODALIDAD DE FUNCIONAR COMO UNIDADES DE MEMORIA DE EVENTOS QUE SUCEDEN EN FORMA ANALÓGICA O DIGITAL ALREDEDOR DE NOSOTROS.

III.- SISTEMA DE ADQUISICION DE DATOS.

3.1 CONVERTIDORES ANALOGICOS/DIGITALES.

EL CONVERTIDOR DE SEÑALES ANALÓGICAS A DIGITALES A/D TRADUCE EL LENGUAJE UNIVERSO ANALÓGICO AL LENGUAJE DEL UNIVERSO DIGITAL. LA SEÑAL ANALÓGICA SE PRESENTA A LA ENTRADA DEL CONVERTIDOR DE A/D Y DESPUES DE UN TIEMPO FINITO DE CONVERSIÓN SE DISPOHE DE LA SALIDA DIGITAL PARA USARSE EN UN SISTEMA DIGITAL.

EXISTEN VARIOS TIPOS DE CONVERTIDORES A/D DE LOS CUALES PODEMOS MENCIONAR: APROXIMACIONES SUCESIVAS, RAMPA, TIPO FLASH, ETC.

3.1.1 CONVERTIDORES DE A/D DE APROXIMACION SUCESIVA.

EL CONVERTIDOR DE ANALÓGICO A DIGITAL, DE APROXIMACIÓN SUCESIVA, DE "N" DIGITOS BINARIOS REQUIERE "N" PERIODOS DE RELOJ PARA COMPLETAR UNA CONVERSIÓN. CUALQUIERA QUE SEA LA MAGNITUD DE LA SEÑAL DE ENTRADA.

EL PROCESO DE CONVERSIÓN NO ES CONTINUO. EMPIEZA CON UN PULSO DE CONVERSIÓN Y TERMINA CON "N" PERIODOS DE RELOJ DESPUES, CUANDO LA SALIDA DIGITAL ES VÁLIDA.

LA SEÑAL DE ENTRADA PERMANECE CONSTANTE DURANTE EL PROCESO DE CONVERSION Y APARECE EN LA SALIDA DIGITAL AL FINAL DEL PERIODO DE CONVERSION. POR LO TANTO PARA QUE LA SEÑAL PERMANESCA CONSTANTE DURANTE LA CONVERSION ES NECESARIO AGREGAR UN CIRCUITO SUJETADOR DE MUESTRA (MUESTREADOR).

EL CONVERTIDOR DE LA FIGURA 3.11 REQUIERE UN PULSO DE CONVERSION, QUE PONE EN CERO LOS FLIPFLOPS DEL REGISTRADOR DE DESVIACION Y TODOS LOS FLIPFLOPS QUE IMPULSAN LOS CONMUTADORES DE D/A, EXCEPTO EL FLIPFLOP F1, QUE SE PONE EN 1. TAMBIEN SE DESVIA 1 EN EL FLIPFLOP F11 DEL REGISTRO DE DESVIACION. EL BMS SE PONE EN CONDUCCION, HACIENDO QUE LA SALIDA DE COMPARADOR VAYA A BAJA SI $|I_1|$ ES MAYOR

QUE LA MITAD DE ESCALA, O A ALTA SI $|I_1|$ ES MENOR QUE LA MITAD DE ESCALA. SUCEDEN TRES COSAS LA SIGUIENTE VEZ QUE SE HACE LA TRANSICION DE ALTO-BAJO DEL RELOJ:

EL 1 QUEDARA EN EL FLIPFLOP F1, SI LA SALIDA DEL COMPARADOR ESTA EN BAJA O EL FLIPFLOP F1 SE VOLVERA A 0, SI LA SALIDA DEL COMPARADOR ES ALTA, EL FLIPFLOP F2 SE AJUSTA EN 1, Y SE DESVIA UN 1 EN EL FLIPFLOP F22. DE NUEVO, A LA SIGUIENTE VEZ QUE SE HACE LA TRANSICION DE ALTO-BAJO DEL RELOJ, F2 PERMANECERA EN 1 O SE VOLVERA A 0, LO QUE DEPENDE DE LA SALIDA DEL COMPARADOR. F3 SE FIJA EN UN 1, Y SE DESVIA UN 1 EN F33. CONTINUA ESTE PROCESO HASTA QUE EL 1 EN FN O SE QUITA O SE DEJA SOLO. LA CONVERSION ESTA AHORA COMPLETA Y LA SALIDA DIGITAL TIENE UNA PRECISION DE $\pm 1/2 \text{ BMS}$.

LA VELOCIDAD MAXIMA DE OPERACION PARA LOS TRES PROYECTOS DE CONVERTIDOR QUE SE HAN VISTO HASTA AHORA DEPENDERA PRINCIPALMENTE DEL TIEMPO NECESARIO PARA QUE EL COMPARADOR CAMBIE DE NIVELES. MAS

EL TIEMPO NECESARIO PARA QUE SE NORMALICEN LAS ONDAS TRANSITORIAS DE CONMUTACION. LO QUE ES ASI, PORQUE LA LOGICA DIGITAL Y EL CONVERTIDOR DE D/A SERAN GENERALMENTE MUCHO MAS RAPIDOS QUE EL COMPARADOR. EL VOLTAJE Y LA CORRIENTE DE COMPENSACION DEL COMPARADOR AFECTARAN EL PUNTO DE COMPARACION, Y POR TANTO, LA PRECISION DEL CONVERTIDOR A/D.

LOS ERRORES QUE SON INTRODUCIDOS POR LA PORCION DEL CONVERTIDOR DE D/A DEL CONVERTIDOR DE A/D LOS CAUSA LA DESVIACION CON EL TIEMPO Y LA TEMPERATURA EN EL VOLTAJE DE REFERENCIA, LAS COMPENSACIONES DE LOS CONMUTADORES, Y LA RED DE RESISTOR.

Convertidor de A/D de aplicaciones su-
cesivas.

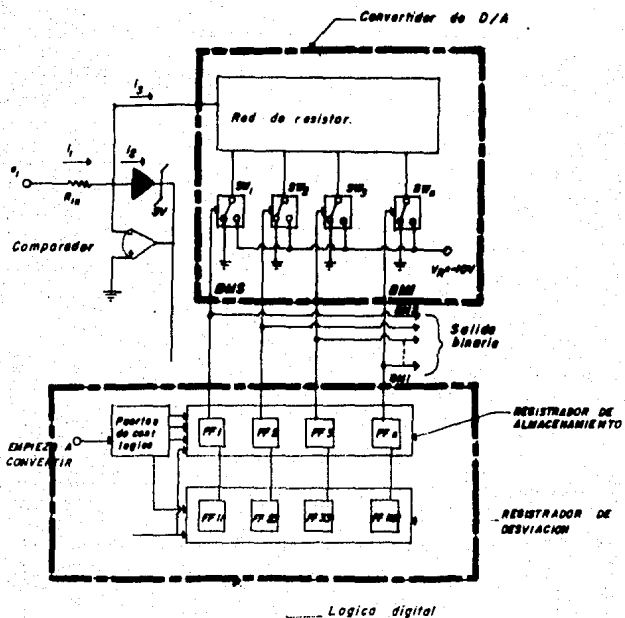


FIGURA 3.1.1

3.1.2 CONVERTIDOR DE A/D DE RAMPA CONTADORA.

UNO DE LOS TRES TIPOS DE CONVERTIDORES DE A/D QUE USAN UN CONVERTIDOR DE A/D QUE VAMOS A CONSIDERAR ES EL DE RAMPA CONTADORA.

LA PORCIÓN DE LA LÓGICA DIGITAL DE ESTE CONVERTIDOR ES UN CONTADOR BINARIO QUE SE PUEDE PONER EN CERO.

LA LÓGICA PARA EL CONVERTIDOR DE RAMPA CONTADORA ES DIRECTA, PERO EL TIEMPO DE CONVERSIÓN ES LARGO, YA QUE EL CONTADOR BINARIO DEBE SIEMPRE EMPEZAR EN CERO AL PRINCIPIO DE LA CONVERSIÓN. EL CONVERTIDOR DESCRITO EN LA SIGUIENTE SECCIÓN ELIMINA ALGUNAS DE LAS DESVENTAJAS DEL CONVERTIDOR DE RAMPA CONTADORA, A EXPENSAS DEL AUMENTO DE COMPLEJIDAD EN LOS CIRCUITOS LÓGICOS DIGITALES.

LA PRECISIÓN BÁSICA DE ESTE TIPO DE CONVERTIDOR ESTA DETERMINADA POR LA COMPENSACIÓN DE VOLTAJE Y LA CORRIENTE POLARIZADA DEL DEL AMPLIFICADOR OPERATIVO EJECUTANDO LA FUNCIÓN DE COMPARADOR.

3.13 CONVERTIDOR DE A/D COMPARADOR.

LA CORRIENTE DE ENTRADA DEL COMPARADOR DINAMICO ES CAUSADA POR LA CONMUTACION PERIODICA DE LAS CAPACITANCIAS DISTRIBUIDAS DEL CIRCUITO INTEGRADO. ESTAS SON CONECTADAS ALTERNATIVAMENTE A LA SALIDA DE LA ESCALERA DE RESISTENCIAS Y A LA RED DEL ARBOL DE CONMUTADORES Y LA ENTRADA DEL COMPARADOR COMO PARTE DE LA OPERACION DEL COMPARADOR ESTABILIZADO POR CHOPPER.

EL VALOR PROMEDIO DE LA CORRIENTE DE ENTRADA DEL COMPARADOR VARIA DIRECTAMENTE CON LA FRECUENCIA DE RELOJ Y CON LA TENSION DE ENTRADA.

SI NO SE USA NINGUN FILTRO EN LA ENTRADA ANALOGICA Y LA IMPEDANCIA DE LA FUENTE DE SEÑAL ES BAJA, LA CORRIENTE DE ENTRADA EN EL CONVERTIDOR NO DEBE INTRODUCIR ERRORES DE CONVERSION, PUES LOS TRANSITORIOS CREADOS POR LA DESCARGA CAPACITIVA YA SE HABRAN AMORTIGUADO ANTES DE QUE LA SALIDA DEL COMPARADOR SEA HABILITADA.

3.1.4 MODULOS MUESTREADORES - SUJETADORES.

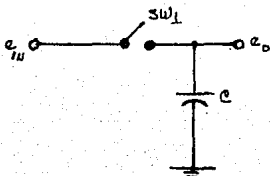
3.1.4.1 DEFINICION.

UN MODULO MUESTREADOR-SUJETADOR ES UN CIRCUITO QUE TOMA UNA MUESTRA DE LA SEÑAL DE ENTRADA MANTENIENDOLA CONSTANTE DURANTE UN INTERVALO DE TIEMPO DETERMINADO.

LOS MODULOS MUESTREADORES-SUJETADORES SE USAN CON APARATOS DE MEDICIÓN QUE NO PUEDEN TOLERAR QUE LA SEÑAL DE ENTRADA QUE VARIE EN UN DETERMINADO INTERVALO DE TIEMPO.

3.1.4.2 FUNDAMENTOS DE LOS MUESTREADORES-SUJETADORES.

EL CIRCUITO MUESTREADOR-SUJETADOR MAS SENCILLO ES UN INTERRUPTOR Y CAPACITOR COMO SE MUESTRA A CONTINUACIÓN:



SE PUEDE DECIR QUE EL CIRCUITO DE LA FIGURA ES UN ELEMENTO DE MEMORIA ANALÓGICO QUE SE TIENE COMO INFORMACIÓN UN NIVEL ANALÓGICO DE VOLTAJE.

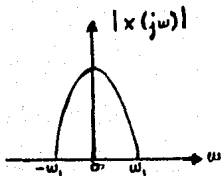
3.1.4.3 MUESTREO DE SEÑALES.

EL TEOREMA DEL MUESTREO NOS DICE QUE SE REQUIERE UNA FRECUENCIA DEL DOBLE DE LA FRECUENCIA DE LA SEÑAL DE ENTRADA PARA QUE ESTÁ SEA RECUPERADA CON TODA SU INFORMACIÓN ANALÓGICA A LA SALIDA.

EN LA REALIDAD SE REQUIEREN MAS MUESTRAS PARA PODER RECUPERAR LA INFORMACIÓN INTEGRA.

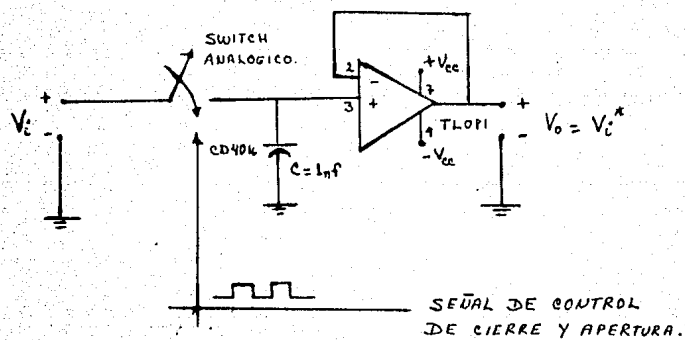
EL TEOREMA DEL MUESTREO DE SHANNON ES IMPORTANTE EN EL DISEÑO DE SISTEMAS DISCRETOS EN EL TIEMPO, PUES DA LA MINIMA. FRECUENCIA DE MUESTREO NECESARIA. PARA RECONSTRUIR LA SEÑAL ORIGINAL A PARTIR DE UNA SEÑAL MUESTREADA.

SE SUPONE QUE LA SEÑAL CONTINUA $x(t)$ TIENE EL ESPECTRO DE FRECUENCIA QUE SE MUESTRA EN LA FIGURA SIGUIENTE. ESTA SEÑAL $x(t)$ NO CONTIENE NINGUN COMPONENTE DE FRECUENCIA POR ENCIMA DE ω_1 (RAD/SEG).



SI $\omega_s = 2\omega_1/T$, DONDE T ES EL PERÍODO DE MUESTREO Y ADEMÁS ω_s ES MAYOR QUE $2\omega_1$ DONDE $2\omega_1$ CORRESPONDE AL ESPECTRO DE FRECUENCIA DE LA SEÑAL CONTINUA $x(t)$, SE PUEDE RECONSTRUIR COMPLETAMENTE LA SEÑAL $x(t)$ A PARTIR DE LA SEÑAL $x^*(t)$.

3.1.4.4 REALIZACION PRACTICA DE UN MUESTREADOR-SUJETADOR.



Formas de onda de entrada y salida de un Mo-
dulo MUESTREADOR SUJETADOR.

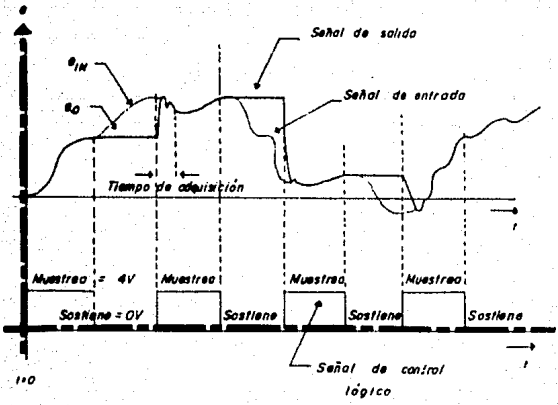


FIGURA 3.1.4.4

IV.- CONVERTIDORES DE SEÑALES DIGITALES A ANALÓGICAS.

4.1. CONVERTIDORES DIGITALES - ANALÓGICOS.

UN CONVERTIDOR DE SEÑALES DIGITALES -ANALÓGICAS (D/A) ACEPTA UNA PALABRA DIGITAL COMO ENTRADA Y LA TRADUCE, O CONVIERTE, EN UN VOLTAJE ANALÓGICO.

LOS ELEMENTOS BÁSICOS DE UN CONVERTIDOR D/A SON LA RED DE RESISTORES, LOS CONMUTADORES DE VOLTAJE O DE CORRIENTE, LA FUENTE DE ALIMENTACIÓN DE REFERENCIA.

LA FIGURA 4.1 SIGUIENTE MUESTRA EL DIAGRAMA DE UN CONVERTIDOR D/A DE ENTRADA EN PARALELO, CIFRADO EN BINARIO CON RED DE RESISTORES PESADA EN BINARIO. LAS CORRIENTES PESADAS EN BINARIO SON FIJADAS POR LA RED DE RESISTORES Y EL VOLTAJE DE REFERENCIA V_R ; SON SUMADOS POR EL AMPLIFICADOR OPERACIONAL QUE ESTÁ FUNCIONANDO COMO CONVERTIDOR DE CORRIENTE-VOLTAJE, DE BAJA IMPEDANCIA DE SALIDA.

ELIGIENDO EL RESISTOR DE RETROALIMENTACIÓN R_F IGUAL A $5\text{ K}\Omega$ HACE EL PESO DEL "BMS" (BIT MAS SIGNIFICATIVO) IGUAL A 5.00 VOLTS, EL SIGUIENTE BIT BINARIO IGUAL A 2.50 VOLTS, Y EL SIGUIENTE BIT A 1.25 VOLTS, Y ASÍ SUCESIVAMENTE HASTA EL "BMI" (BIT MAS INSIGNIFICANTE). SI R_F FUERA $5.12\text{ K}\Omega$, EL PESO DE LOS BITS BINARIOS EMPEZANDO EN EL BMS SERÍA 5.12 V, 2.56 V, 1.28 V, ETC.

Circuitos equivalentes a) voltaje en el nodo con el conmutador SW₁ conectado; y b) voltaje en el nodo con el SW₂ conectado.

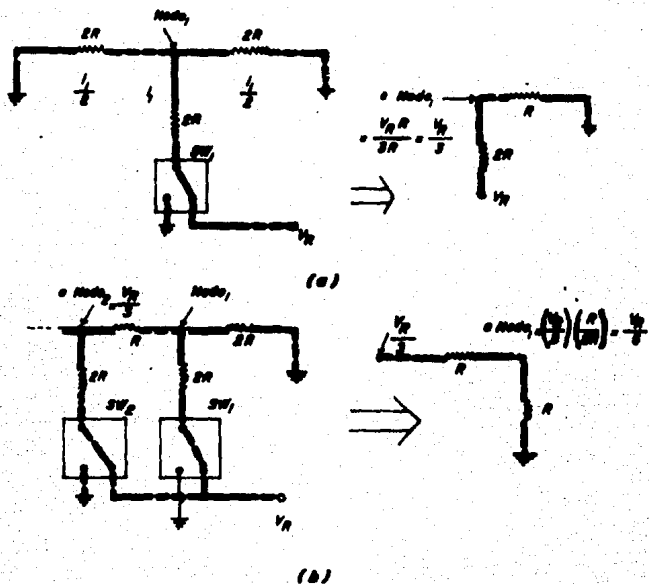


FIGURA 4.1

LOS CONMUTADORES DE VOLTAJE PUEDEN SER SWITCHES ANALOGICOS O TRANSISTORES BIPOLARES CONECTADOS PARA FORMAR CONMUTADORES DE UN SOLO POLO Y DE DOBLE TIRO. LA RED DE RESISTORES REQUIERE SOLAMENTE UN RESISTOR POR BIT BINARIO. PERO LOS RESISTORES TIENEN UNA GRAN VARIACION DE TAMAÑOS. LO QUE DIFICULTA LA IGUALACION DEL COEFICIENTE DE TEMPERATURA.

UNA DESVENTAJA ES LA GRAN VARIACION DE LOS VALORES DE LAS RESISTENCIAS QUE SE NECESITAN. LA RED EN ESCALERA COMUNMENTE USADA DE R , $2R$ DE LA SIGUIENTE FIGURA 4.11.

Convertidor D/A que usa una Red en Escalera R, 2R

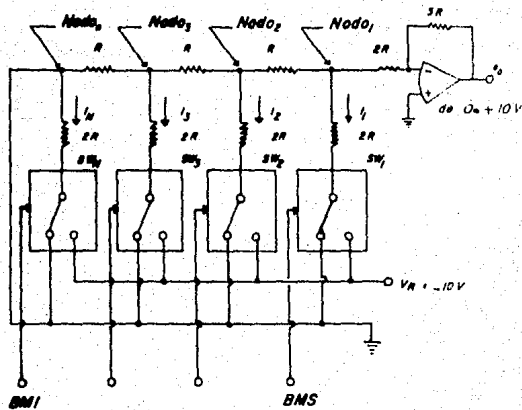


FIGURA 4.1.1

4.2. EL CONVERTIDOR ANALOGICO-DIGITAL 0809.

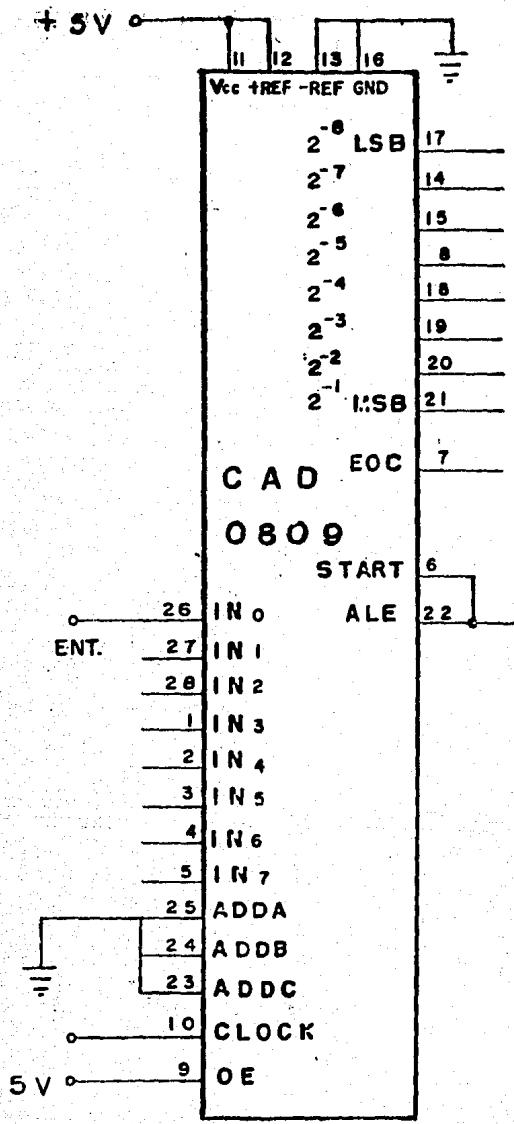
EL CONVERTIDOR ANALOGICO-DIGITAL 0809 TOMA UNA SEÑAL CONTINUA EN EL RANGO DE 0 A 5 VOLTS QUE PROVIENE DEL RECTIFICADOR DE PRECISION, Y LA CONVIERTE EN UN NUMERO DE 8 BITS EL CUAL PUEDE SER MANIPULADO POR EL SISTEMA DEL MICROPROCESADOR. EL NUMERO BINARIO DE 8 BITS ES UNA EXPRESION BINARIA QUE REPRESENTA LA RELACION ENTRE UNA FUNCION DESCONOCIDA Y LA TENSION A ESCALA COMPLETA DEL CONVERTIDOR.

4.3. DESCRIPCION GENERAL.

EL COMPONENTE PARA ADQUISICION DE DATOS ADC0809 ES UN DISPOSITIVO CMOS MONOLITICO CON UN CONVERTIDOR ANALOGICO -DIGITAL DE 8 BITS, CON MULTIPLEXOR DE 8 CANALES Y LOGICA DE CONTROL COMPATIBLE CON SISTEMAS DIGITALES. EL CONVERTIDOR USA LA TECNICA DE CONVERSION POR APROXIMACIONES SUCESIVAS.

EL CONVERTIDOR CONSISTE EN UN COMPARADOR DE ALTA IMPEDANCIA ESTABILIZADO POR UN "CHOPPER", UN DIVISOR DE TENSION TIPO 256R CON UN ARBOL DE INTERRUPTORES (SWITCHES) Y UN REGISTRO DE APROXIMACIONES SUCESIVAS. EL MULTIPLEXOR PUEDE ACCESAR DIRECTAMENTE UNA SEÑAL ANALOGICA PRESENTE EN CUALQUIERA DE SUS 8 TERMINALES DE ENTRADA.

ESTE DISPOSITIVO NO NECESITA AJUSTES EXTERNOS DE CERO Y DE ESCALA COMPLETA. LA FACILIDAD PARA INTERFACEAR CON LOS MICROPROCESADORES ES DEBIDA A SUS ENTRADAS DE DIRECCIONAMIENTO, DECODIFICADAS Y MEMORIZADAS PARA SELECCION DEL CANAL DEL MULTIPLEXOR, Y SUS SALIDAS SON TTL DE TRES ESTADOS.



4.4 DESCRIPCIÓN FUNCIONAL.

MULTIPLEXOR.

EL DISPOSITIVO CONTIENE UN MULTIPLEXOR DE 8 CANALES DE UNA SOLA TERMINAL PARA SEÑAL ANALÓGICA. USANDO EL DECODIFICADOR DE DIRECCIÓN SE SELECCIONA UN CANAL DE ENTRADA.

LA TABLA MUESTRA LOS ESTADOS DE ENTRADA DE LAS LINEAS DE DIRECCIÓN PARA SELECCIONAR CUALQUIER CANAL. LA DIRECCIÓN ES MEMORIZADA EN EL DECODIFICADOR CON LA TRANSICIÓN BAJO-ALTO DE LA SEÑAL QUE HABILITA EL LATCH DE DIRECCIÓN.

CANAL ANALÓGICO

LINEAS DE DIRECCIÓN

SELECCIONADO.

	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

4.5. CONVERTIDOR.

EL CONVERTIDOR ESTA DIVIDIDO EN TRES PARTES PRINCIPALES: LA RED DE ESCALERA DE 256R, EL REGISTRO DE APROXIMACIONES SUCESIVAS Y EL COMPARADOR. LAS SALIDAS DIGITALES DEL CONVERTIDOR USAN UNA LOGICA POSITIVA. LA RED ESCALERA DE 256R RESISTENCIAS (VER FIGURA 4.5) FUE ESCOGIDA POR LOS DISEÑADORES EN VEZ DE LA ESCALERA CONVENCIONAL R-2R DEBIDO A SU INHERENTE MONOTONICIDAD, LO CUAL GARANTIZA QUE NO SE OMITAN CODIGOS DIGITALES. LA MONOTONICIDAD ES PARTICULARMENTE IMPORTANTE EN SISTEMAS DE CONTROL CON RETROALIMENTACION DE MALLA CERRADA. UNA RELACION NO-MONOTONICA PUEDE CAUSAR OSCILACIONES QUE SERIAN CATASTROFICAS PARA EL SISTEMA. ADEMAS, LA RED DE 256R NO OCASIONA VARIACIONES DE TENSION EN EL VOLTAJE DE REFERENCIA.

LAS RESISTENCIAS INFERIOR Y SUPERIOR DE LA RED ESCALERA NO TIENE EL MISMO VALOR QUE LAS RESTANTES DE LA RED. LA DIFERENCIA EN ESTAS RESISTENCIAS HACE QUE LA SALIDA SEA SIMETRICA EN LOS PUNTOS CERO Y DE ESCALA COMPLETA DE LA CURVA DE TRANSFERENCIA. LA PRIMERA TRANSICION EN LA SALIDA OCURRE CUANDO LA SEÑAL ANALOGICA ALCANZA 1/2 BIT MENOS SIGNIFICATIVO, Y LAS SIGUIENTES TRANSICIONES OCURREN CADA 1 BIT MENOS SIGNIFICATIVO HASTA LLEGAR A LA PARTE SUPERIOR DE LA ESCALERA.

EL REGISTRO DE APROXIMACIONES SUCESIVAS (S.A.R.) REALIZA 8 ITERACIONES. PARA UN CONVERTIDOR DEL TIPO S.A.R., SE REQUIEREN "N" ITERACIONES PARA UN CONVERTIDOR DE N-BITS. LA SIGUIENTE FIGURA 4.5.1 MUESTRA UN EJEMPLO TIPICO DE UN CONVERTIDOR DE 3 BITS.

EN EL ADC0809, LA TÉCNICA DE APROXIMACIONES SE EXTIENDE A OCHO BITS USANDO LA RED DE 256 RESISTENCIAS.

EL S.A.R. DEL CONVERTIDOR ANALÓGICO DIGITAL ES RESTABLECIDO POR EL FLANCO ASCENDENTE DEL PULSO DE INICIO DE CONVERSIÓN (SC). LA CONVERSIÓN ES INICIADA POR EL FLANCO DESCENDENTE DE PULSO DE INICIO DE CONVERSIÓN.

UNA CONVERSIÓN EN PROCESO SE INTERRUMPIRA SI SE RECIBE UN NUEVO PULSO DE INICIO DE CONVERSIÓN. SE PUEDEN EFECTUAR CONVERSIONES CONTINUAS SI SE UNE LA SALIDA DE FIN DE CONVERSIÓN (EOC) CON LA ENTRADA SC. SI EL CIRCUITO ES USADO DE ESTE MODO, DEBE APLICARSE UN PULSO DE INICIO DE CONVERSIÓN EXTERNO DESPUES DEL ENCENDIDO. LA SALIDA EOC (FIN DE CONVERSIÓN) SE IRA A CERO LÓGICO ENTRE 0 Y 5 PULSOS DE RELOJ. DESPUES DEL FLANCO DESCENDENTE DE INICIO DE CONVERSIÓN.

LA SECCIÓN MAS IMPORTANTE DEL CONVERTIDOR ANALÓGICO DIGITAL ES EL COMPARADOR. ESTA SECCIÓN ES RESPONSABLE DE LA EXACTITUD FINAL DE TODO EL CONVERTIDOR. EL CORRIMIENTO ("DRIFT") DEL COMPARADOR TIENE GRAN INFLUENCIA SOBRE LA REPETIBILIDAD DEL DISPOSITIVO. UN COMPARADOR ESTABILIZADO POR "CHOPPER" ES EL MÉTODO MAS EFECTIVO PARA SATISFACER TODOS LOS REQUERIMIENTOS DEL CONVERTIDOR.

EL CONVERTIDOR ESTABILIZADO POR "CHOPPER" CONVIERTE LA SEÑAL DE ENTRADA DE CORRIENTE DIRECTA (C.D.) EN UNA SEÑAL DE CORRIENTE ALTERNA (C.A.).

ESTA SEÑAL PASA A TRAVES DE UN AMPLIFICADOR DE C.A. DE ALTA GANANCIA Y LUEGO SE LE RESTAURA EL NIVEL DE CORRIENTE DIRECTA. ESTA TECNICA LIMITA LA COMPONENTE DE CORRIMIENTO DEL AMPLIFICADOR PUESTO QUE EL CORRIMIENTO ES UNA COMPONENTE DE C.D. LA CUAL NO PASA POR EL AMPLIFICADOR DE C.A. ESTO HACE AL CONVERTIDOR A/D EXTREMADAMENTE INSENSIBLE A LA TEMPERATURA, CORRIMIENTO A LARGO PLAZO Y ERRORES DE CORRIMIENTO EN LA ENTRADA.

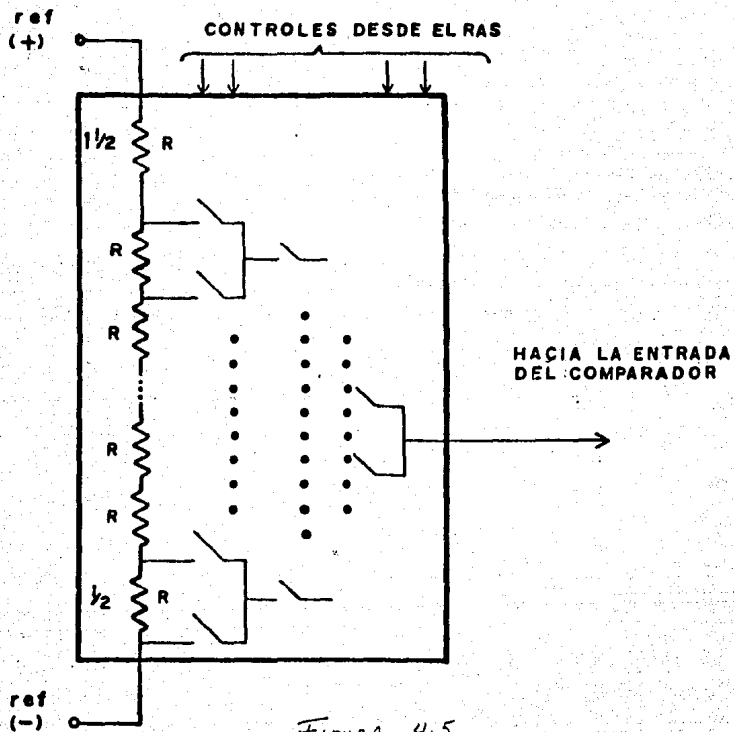


FIGURA 4.5

4.6. LIMITACIONES DE LA ESCALERA DE RESISTENCIAS.

EN CADA CONVERSION, LAS TENSIONES DE LA ESCALERA DE RESISTENCIA SON COMPARADAS OCHO VECES CON LA ENTRADA SELECCIONADA. ESTAS TENSIONES SON ACOPLADAS HACIA AL COMPARADOR POR MEDIO DE UN ARBOL DE CONMUTACION ANALOGICO EL CUAL ESTA REFERIDO A LA ALIMENTACION. LAS TENSIONES EN LA PARTE SUPERIOR, CENTRAL E INFERIOR DE LA ESCALERA DEBEN SER CONTROLADAS PARA MANTENER UNA OPERACION APROPIADA.

LA PARTE SUPERIOR DE LA ESCALERA, REF (+), NO DEBE SER MAS POSITIVA QUE LA ALIMENTACION, Y LA PARTE INFERIOR DE LA ESCALERA, REF(-), NO DEBE SER MAS NEGATIVA QUE TIERRA.

LA TENSION EN LA PARTE CENTRAL DE LA ESCALERA DEBE SER APROXIMADAMENTE LA MITAD DE LA ALIMENTACION DEBIDO A QUE EL ARBOL DE CONMUTACION ANALOGICO CAMBIA DESDE SWITCHES CANAL "N" HACIA SWITCHES CANAL "P". ESTAS LIMITACIONES SON SATISFECHAS AUTOMATICAMENTE EN LOS SISTEMAS RACIOMETRICAS Y PUEDEN SER FACILMENTE ENCONTRADOS EN SISTEMAS REFERENCIADOS A TIERRA.

EL ADC0809 NECESITA MENOS DE UN MILIAMPERE DE LA CORRIENTE DE ALIMENTACION, POR LO QUE ES FACIL TOMAR LA ALIMENTACION DE LA REFERENCIA. LA SENSIBILIDAD DEL CONVERTIDOR PUEDE SER AUMENTADA (ES DECIR, EL TAMAÑO DE LOS PASOS DEL BIT MENOS SIGNIFICATIVO PUEDE SER DISMINUIDO),USANDO UN SISTEMA DE REFERENCIA SIMETRICO.

4.7. ECUACIONES DE CONVERSION.

LA TRANSICIÓN ENTRE CODIGOS ADYACENTES "N" Y "N(+)" ESTA DADA POR:

$$VENT = ((VREF (+) - VREF(-)N/256 + 1/512) \pm VETD) + VREF (-)$$

EL CENTRO DE UN CÓDIGO "N" DE SALIDA ESTA DADO POR:

$$VENT = ((VREF (+) - VREF (-) (N/256) \pm VETD) + VREF (-)$$

EL CODIGO "N" DE SALIDA PARA UNA ENTRADA ARBITRARIA SON LOS NUMEROS ENTEROS DENTRO DEL RANGO:

$$N = \frac{VENT - VREF(-)}{VREF (+) - VREF (-)} \times 256 \pm \text{EXACTITUD ABSLUTA}$$

DONDE: VENT = TENSION DE ENTRADA AL COMPARADOR.

VREF(+): TENSION DE REFERENCIA POSITIVA.

VREF(-): TENSION DE REFERENCIA NEGATIVA.

VETD : DESAJUSTE TOTAL DE ERROR DE TENSION

(TIPICAMENTE ES IGUAL A VREF (+)/512).

V.- DISEÑO DEL SISTEMA DE MEMORIA.

5.1 INTRODUCCIÓN AL DISEÑO DEL SISTEMA.

UN OSCILOSCOPIO CON MEMORIA ES MÁS CARO QUE UNO CONVENCIONAL SIN MEMORIA. POR LO TANTO RESULTA A VECES PROHIBITIVO TENER UN OSCILOSCOPIO CON ESAS CARACTERÍSTICAS. SIN EMBARGO EN EL MERCADO SE CUENTA CON UNIDADES DE MEMORIA EXTERNA PARA ESTE TIPO DE OSCILOSCOPIOS SIN MEMORIA. LA DESVENTAJA DE ESTAS UNIDADES ES QUE SU COSTO ES TAMBIÉN ELEVADO.

EN ESTE CAPÍTULO SE HARÁ UN ANÁLISIS DEL SISTEMA DISEÑADO EN CUANTO A SU ESTRUCTURA INTERNA (HARDWARE) Y AL FINAL DEL CAPÍTULO SE HARÁ UNA COMPARACIÓN EN CUANTO A SU COSTO.

EL SISTEMA BÁSICO ESTÁ COMPUESTO DE LOS SIGUIENTES ELEMENTOS:

- UNA MEMORIA RAM (LECTURA-ESCRITURA).
- UNA LÓGICA DE CONTROL DE FUNCIONES.
- UN SISTEMA DE BARRIDO DE MUESTRAS.
- UN SISTEMA DE ADQUISICIÓN Y TRANSFERENCIA DE DATOS.

TODOS LOS ELEMENTOS ANTES MENCIONADOS CONSTITUYEN AL SISTEMA DE MEMORIA PARA OSCILOSCOPIO EL CUAL REALIZA LOS SIGUIENTES MODOS DE OPERACIÓN:

- MODO DE BARRIDO AUTOMÁTICO.
- MODO DE BARRIDO SIMPLE.
- MODO GRAFICADOR.

ESTOS MODOS DE OPERACIÓN MENCIONADOS HACEN QUE EL SISTEMA SEA SUFICIENTEMENTE VERSÁTIL, LO CUAL PERMITE UTILIZARLO EN UNA GRAN VARIEDAD DE EXPERIMENTOS O MEDICIONES DE LABORATORIO.

5.2 DISEÑO DEL SISTEMA DE ADQUISICIÓN DE DATOS.

EL DISEÑO DEL SISTEMA DE MEMORIA PARA OSCILOSCOPIO REQUIERE DE UN SUBSISTEMA EL CUAL LE SIRVA PARA LA ADQUISICIÓN DE INFORMACIÓN DE LOS EVENTOS QUE SUCEDEN EN FORMA ANALÓGICA O DIGITAL EN MEDIO AMBIENTE. POR LO TANTO, ESTE SUBSISTEMA REQUIERE DE LOS SIGUIENTES ELEMENTOS:

- PREAMPLIFICACIÓN.
- MUESTREADOR-RETÉN.
- MULTIPLEXAJE DE SEÑALES.
- CONVERSIÓN ANALÓGICO-DIGITAL.
- CONTADOR DE MUESTRAS.

5.2.1 EL PREAMPLIFICADOR.

EL DISEÑO DEL SISTEMA REQUIERE DE UNA AMPLIFICACIÓN PREVIA QUE ADECUÉ LA SEÑAL O SEÑALES DE ENTRADA DENTRO DE UN RANGO DE "0" A "5" VOLTS NECESARIOS PARA QUE EL CONVERTIDOR ANALÓGICO-DIGITAL ENTREGUE UNA PALABRA DIGITAL A SER ALMACENADA EN MEMORIA Y POSTERIORMENTE ESTA SER HANDADA A LOS CONVERTIDORES DIGITAL-ANALÓGICOS.

ESTA ETAPA ANALÓGICA ESTÁ CONSTITUIDA POR UN ARREGLO DE AMPLIFICADORES OPERACIONALES, QUE PERMITEN CON LOS CIRCUITOS ADECUADOS TENER DIFERENTES RANGOS DE VOLTAJES DE ENTRADA. ESTOS RANGOS SON SELECCIONADOS CON UN SWITCH.

DEBIDO A QUE LAS SEÑALES DE ENTRADA PUEDAN TENER COMPONENTES DE D.C. O BIEN, TENER PARTE POSITIVA Y PARTE NEGATIVA, SE TIENE UN CIRCUITO SUMADOR DE VOLTAJE CAPAZ DE LEVANTAR LA SEÑAL CON UNA COMPONENTE DE D.C. SOLUCIONANDO ASI ESE PROBLEMA.

LA ETAPA PREAMPLIFICADORA ESTA POLARIZADA CON ± 12 VOLTS, PERO LA ETAPA SUMADORA ESTA POLARIZADA CON ± 5 VOLTS CON LA FINALIDAD DE EVITAR QUE LA ENTRADA DEL SWITCH ANALÓGICO DEL MUESTREADOR SEA DAÑADA. POR LO TANTO LA SALIDA DEL SUMADOR VA A ESTAR LIMITADA EN RANGO.

5.2.2. EL MUESTREADOR - RETEN.

DESPUES DE LA ETAPA PREAMPLIFICADORA-SUMADORA EL SISTEMA TIENE UNA ETAPA MUESTREADORA CONSTITUIDA POR UN SWITCH ANALÓGICO EN CUYA ENTRADA SE APLICA EL VOLTAJE A MUESTREAR.

A LA SALIDA DEL SWITCH SE TIENE UN CAPACITOR QUE MANTIENE O RETIENE EL VOLTAJE CONSTANTE PARA ASI EVITAR CUALQUIER ERROR AL REALIZAR LA CONVERSIÓN ANALÓGICO-DIGITAL.

LA SALIDA DEL SWITCH ALIMENTA LA ENTRADA DE UN AMPLIFICADOR OPERACIONAL QUE ESTA CONECTADO COMO SERVIDOR DE EMISOR, LA CUAL AISLA AL MUESTREADOR-RETEN DE LA ENTRADA DEL CONVERTIDOR ANALÓGICO-DIGITAL.

EL CONTROL DE APERTURA Y CIERRE DE LOS DOS SWITCHES ANALÓGICOS, SE REALIZA MEDIANTE EL USO DE DOS COMPARADORES. EL USO DE LOS COMPARADORES ES NECESARIO PORQUE EL SWITCH ANALÓGICO ESTA POLARIZADO CON ± 5 VOLTS Y POR LO TANTO SE TIENE QUE LOS NIVELES DE OPERACIÓN DE LA PARTE DIGITAL DEL SISTEMA OPERAN CON ± 5 VOLTS, LO CUAL HARÍA QUE LOS SWITCHES ANALÓGICOS NO OPERARAN CORRECTAMENTE.

SE TIENE UN ARREGLO DE LOS COMPARADORES QUE PERMITE TENER UNO DE LOS SWITCHES CERRADO A LA VEZ, PERO NO LOS DOS CERRADOS AL MISMO TIEMPO (VER FIGURA 5.2.2).

LA SEÑAL DE SALIDA DEL MUESTREADOR-RETEN ES UNA SEÑAL DISCRETA, LA CUAL ES MUESTREADA A UNA FRECUENCIA VARIABLE. ESTA FRECUENCIA DE MUESTREO ES SELECCIONADA MEDIANTE UNA PERILLA DE CONTROL PROVENIENTE DE LA BASE DE TIEMPO.

Memoria RAM. Convertidor Analógico Digital. Multiplicador. Reten.

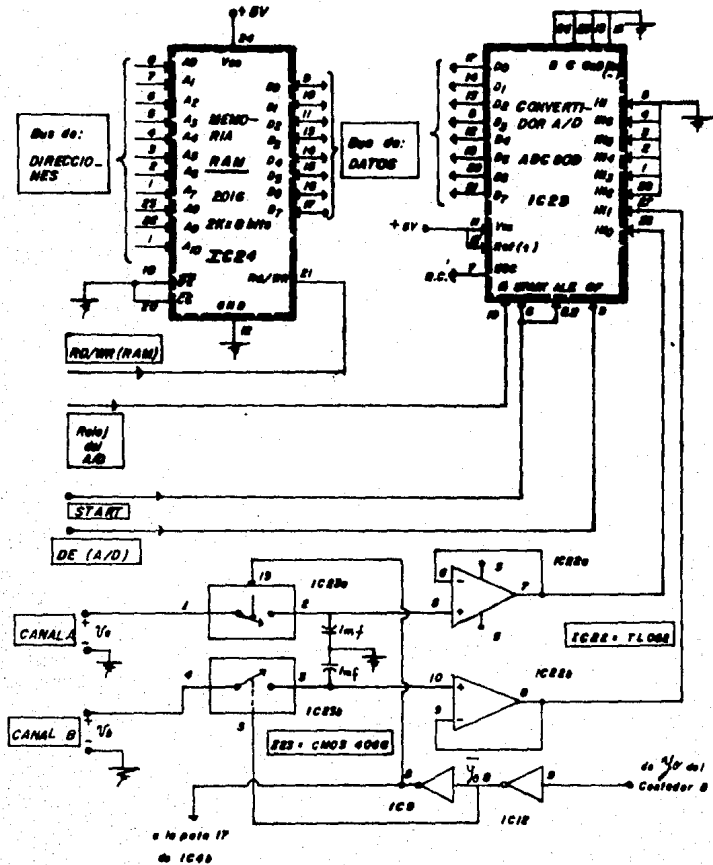


FIGURA 5.2.2

5.2.3. EL CONVERTIDOR ANALÓGICO - DIGITAL ADC809.

UNA VEZ MUESTREADA LA SEÑAL ANALÓGICA QUEDA LISTA PARA SER CONVERTIDA DE UN NIVEL ANALÓGICO DE VOLTAJE A UN CÓDIGO DIGITAL QUE PUEDE SER ALMACENADO EN UNA MEMORIA RAM, DE LA CUAL SE VA HABLAR MÁS ADELANTE. EL CONVERTIDOR ANALÓGICO-DIGITAL UTILIZADO EN ESTE PROYECTO ES EL ADC809 DEL CUAL PODEMOS DECIR QUE ES UN CONVERTIDOR A/D DE 8 BITS CON 8 ENTRADAS MULTIPLEXADAS DEL CANAL SE HARÁ UNA BREVE DESCRIPCIÓN DE LOS ELEMENTOS QUE LOS CONSTITUYEN.

5.2.4. MEMORIA DE ACCESO ALEATORIO (RAM).

UNA VEZ QUE LA SEÑAL ANALÓGICA ES CONVERTIDA A UN CÓDIGO DIGITAL NUMÉRICO ESTE CÓDIGO TIENE QUE SER ALMACENADO EN UNA MEMORIA RAM. ALMACENADOS LOS DATOS EN LA MEMORIA LA DISTRIBUCIÓN DE ESTA INFORMACIÓN ESTA ORDENADA DE TAL MANERA QUE LAS LOCALIDADES DE DIRECCIÓN PAR CORRESPONDEN AL CANAL A DE ENTRADA ANALÓGICAS (CONVERTIDOS A INFORMACIÓN DIGITAL), Y LAS LOCALIDADES IMPARES CORRESPONDEN AL CANAL B. ESTO SE LOGRA MEDIANTE UNA LÓGICA DE CONTROL DE LA CUAL SE HABLARÁ MÁS ADELANTE.

LA MEMORIA RAM UTILIZADA PARA ESTOS PROPÓSITOS ES UNA MEMORIA ESTÁTICA DE 2K POR 8 BITS. LA CUAL ES HABILITADA PARA ESCRITURA DE DATOS CUANDO LA TERMINAL $\overline{RD/\overline{WR}}$ TIENE NIVEL "0" LÓGICO. ESTA OPERACIÓN DE ESCRITURA SE LOGRA SIN INTERFERIR CON LAS FUNCIONES DEL RESTO DEL SISTEMA.

5.2.5. EL CONTADOR DE MUESTRAS.

EL CONTADOR DE MUESTRAS ES UN CONTADOR DE 12 BITS QUE COMO SU NOMBRE LO INDICA LLEVA UN CONTEO GLOBAL DE MUESTRAS ALMACENADAS EN MEMORIA.

ESTE DISPOSITIVO ES MUY IMPORTANTE DEBIDO A QUE GUARDA UNA RELACIÓN MUY ESTRECHA CON LA FRECUENCIA DE MUESTREO. ESTOS ES, LA VELOCIDAD DE CONTEO ES IGUAL A LA FRECUENCIA DE MUESTREO.

ESTE CONTADOR ESTÁ ASOCIADO A UNA LÓGICA DE CONTROL DE MUESTREO CONSTITUIDO ESTA LÓGICA EN PARTE POR LA BASE DE TIEMPO.

5.3. DISEÑO DEL SISTEMA DE TRANSFERENCIA DE DATOS.

EL SISTEMA DE MEMORIA PARA OSCILOSCOPIO CONTIENE UN SISTEMA DE TRANSFERENCIA DE DATOS EL CUAL ESTÁ CONSTITUIDO POR UNA SERIE DE ELEMENTOS QUE MANDAN LA INFORMACIÓN DIGITAL A UNA VELOCIDAD MUY DIFERENTE DE LA FRECUENCIA DE MUESTREO A LA CUAL CORRESPONDE EL NÚMERO DE MUESTRAS POR SEGUNDO QUE SON ALMACENADAS EN MEMORIA.

LOS ELEMENTOS CONSTITUIDOS DE ESTE SISTEMA DE TRANSFERENCIA SON LOS SIGUIENTES:

- LA MEMORIA RAM.
- LOS CONVERTIDORES D/A.
- EL GENERADOR DE RAMPA.
- EL CONTADOR DE BARRIDO.

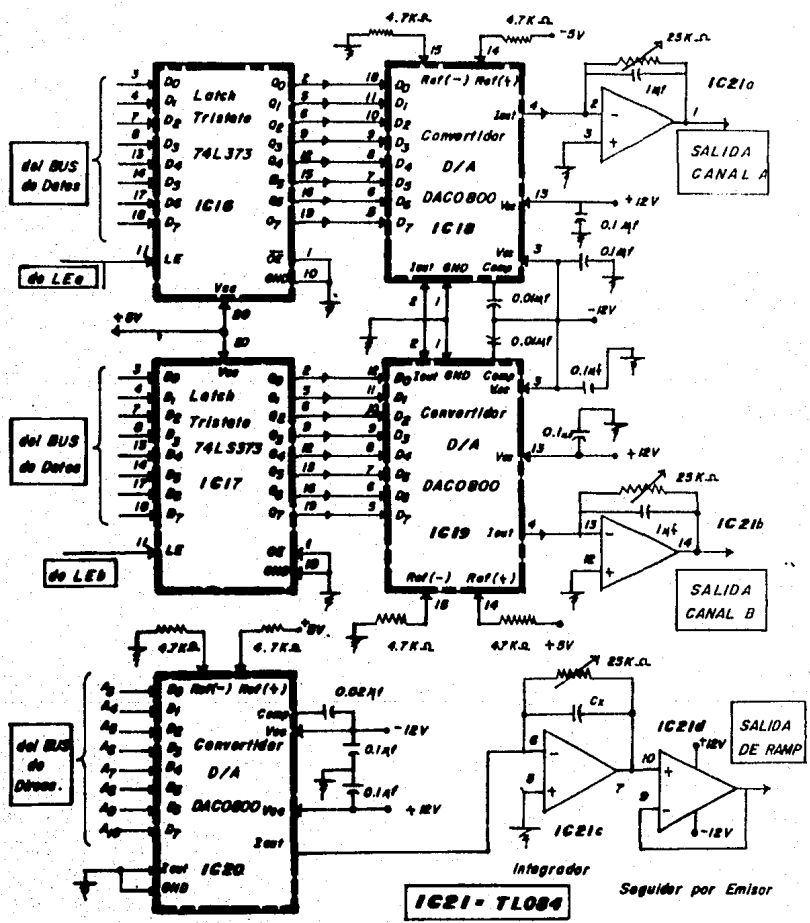
5.3.1. TRANSFERENCIA DE DATOS DE LA MEMORIA RAM A LOS CONVERTIDORES D/A.

LA MEMORIA RAM TIENE UNA DOBLE FUNCION QUE ES LA DE ALHACENAR Y DISTRIBUIR LAS MUESTRAS TOMADAS EN FORMA DIGITAL HACIA LOS CONVERTIDORES D/A. ESTO SE LOGRA A TRAVES DE DOS LATCH 74LS373, LOS CUALES SON MANEJADOS MEDIANTE UNA LOGICA DE CONTROL QUE OBLIGA A REALIZARSE LA TRANSFERENCIA DE DATOS, CORRESPONDIENDO LAS LOCALIDADES PARES PARA EL CANAL A Y LAS LOCALIDADES IMPARES PARA EL CANAL B.

PARA PODER REALIZARSE LA TRANSFERENCIA DE DATOS ES NECESARIO QUE LA TERMINAL RD/WR TENGA COMO ESTADO "1" LÓGICO. EN OTRAS PALABRAS SE PUEDE DECIR QUE EL INTERCAMBIO DE DATOS SE REALIZA EN FORMA TRANSPARENTE SIN ESTORBAR AL ALHACENAMIENTO DE DATOS.

LOS CONVERTIDORES D/A UTILIZADOS PARA ESTE FIN SON DEL TIPO DAC0800 LA INTERCONEXION DE ESTOS SE PRESENTA EN LA FIGURA 5.3.1.

Etapa de Conversión de Digital Analógica y Generador de Rampa para el modo gráfico...



IC21 - TL084

FIGURA 5.3.1

5.3.2. CIRCUITO GENERADOR DE RAMPA PARA UN GRAFICADOR EXTERNO.

DENTRO DE LOS MODOS DE OPERACION QUE MANEJA LA UNIDAD DE MEMORIA PARA OSCILOSCOPIO DE LOS CUALES SE HARÁ UN ANÁLISIS MÁS ADELANTE, SE PUEDE MENCIONAR EL MODO GRAFICADOR. LA FINALIDAD DE ESTE MODO DE OPERACIÓN ES LA DE GENERAR ATRAVEZ DE UN CONVERTIDOR D/A UNA RAMPA SINCRONIZADA CON TRANSFERENCIA DE DATOS QUE SE REALIZAN EN LOS CANALES A Y B DE SALIDA. CUANDO EL SISTEMA OPERA EN MODO DE BARRIDO AUTOMÁTICO LA RAMPA QUE SE GENERA TIENE UN PERIODO DE TIEMPO MUY PEQUEÑO, LO CUAL NO PERMITIRÍA MANEJAR UN GRAFICADOR X,Y DE LABORATORIO. PARA LOGRAR QUE EL GRAFICADOR FUNCIONE ES NECESARIO AUMENTAR EN TIEMPO EL PERIODO DE LA RAMPA. ESTE AUMENTO DE TIEMPO LO QUE HACE ES TAMBIÉN CAMBIAR LA PENDIENTE DE LA RAMPA, DANDO TIEMPO PARA QUE EL GRAFICADOR PUEDA DESPLEGAR EN UN PAPEL LAS GRAFICAS MEMORIZADAS POR EL SISTEMA.

EL CAMBIO DE PENDIENTE DE ESTA RAMPA SE LOGRA CON EL CAMBIO DE FASE DE TIEMPO DEL CONTADOR A QUE SE ENCARGA DEL BARRIDO DE MUESTRAS.

EL CONTADOR A SE ENCARGA DE CONTROLAR LAS LINEAS DE DIRECCIÓN DE LA MEMORIA RAM PARA REALIZAR LA TRANSFERENCIA DE DATOS A LOS CONVERTIDORES D/A DE SALIDA DE MUESTRAS. ESTE CONTADOR ES DE 12 BITS, DEL TIPO CMOS 4040. DE LOS 12 BITS DEL CONTADOR NO SE UTILIZAN LOS 4 BIT MENOS SIGNIFICATIVOS DEBIDO A QUE EL CONVERTIDOR D/A UTILIZADO ES DE 8 BITS. PARA LOGRAR QUE LA SEÑAL DE RAMPA NO TENGA DEMASIADAS DISCONTINUIDADES SE UTILIZO UN INTEGRADOR LOGRANDOSE ASÍ UNA RAMPA PERFECTA.

EL RANGO DE VOLTAJE MÁXIMO DE LA RAMPA SE AJUSTO A 5 VOLTS.

EL CONVERTIDOR D/A QUE SE UTILIZO ES TAMBIEN EL DAC0800. EL CIRCUITO UTILIZADO ESTA REPRESENTADO EN LA FIGURA 5.3.2.

Contadores de Barrido y Muestreo Lógico del Control de Modo de Operación

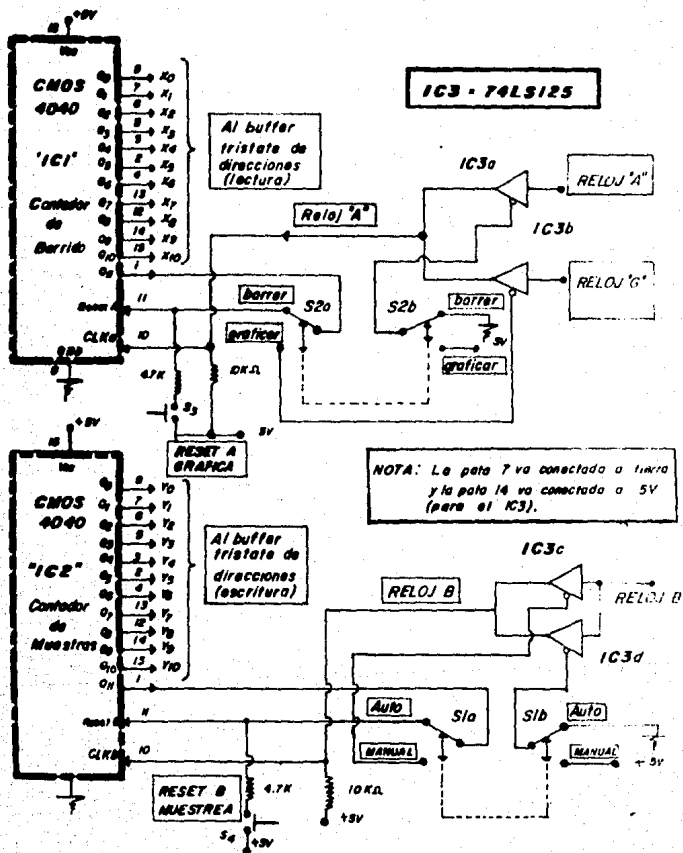


FIGURA 5.3.2

5.4. LOGICA DE CONTROL DEL SISTEMA.

PARA QUE EL SISTEMA OPERE ADECUADAMENTE ES NECESARIO DISEÑAR UNA LÓGICA DE CONTROL QUE MANEJE EL ARBITRAJE DE SEÑALES NECESARIAS PARA REALIZAR LA TRANSFERENCIA DE DATOS.

EN ESTA SECCION SE DISCUTIRA EL DISEÑO DE ESTA LÓGICA.

5.4.1. EL INTERCAMBIO DE DATOS DE MEMORIA A LOS CANALES A Y B DE SALIDA.

PARA PODER ARBITRAR QUE LAS LOCALIDADES PARES E IMPARES DE MEMORIA SE NECESITA CONTROLAR ADECUADAMENTE EL BUS DE DIRECCIONES MANDANDO UNA SEÑAL DE CONTROL A LOS LATCHS DE SALIDA DE TAL MANERA QUE ESTA SEÑAL NO INTERFIERA CON LA ESCRITURA DE DATOS EN LA MEMORIA RAM. LA LÓGICA QUE REALIZA ESTA FUNCION ESTA CONSTITUIDA POR UN INVERSOR QUE CORRESPONDE AL CIRCUITO IC9A Y DOS COMPUERTAS AND CORRESPONDIENTE AL CIRCUITO IC7B E IC7C ASOCIADOS A LAS SEÑALES DEL RELOJ A Y LA TERMINAL X0 DEL CONTADOR A DE BARRIDO EL DIAGRAMA DE TIEMPO ES PRESENTADO EN LA FIGURA 5.4.1.

Sistema de Control principal de Acceso y Transferencia de Información. (a los D/A y el A/D).

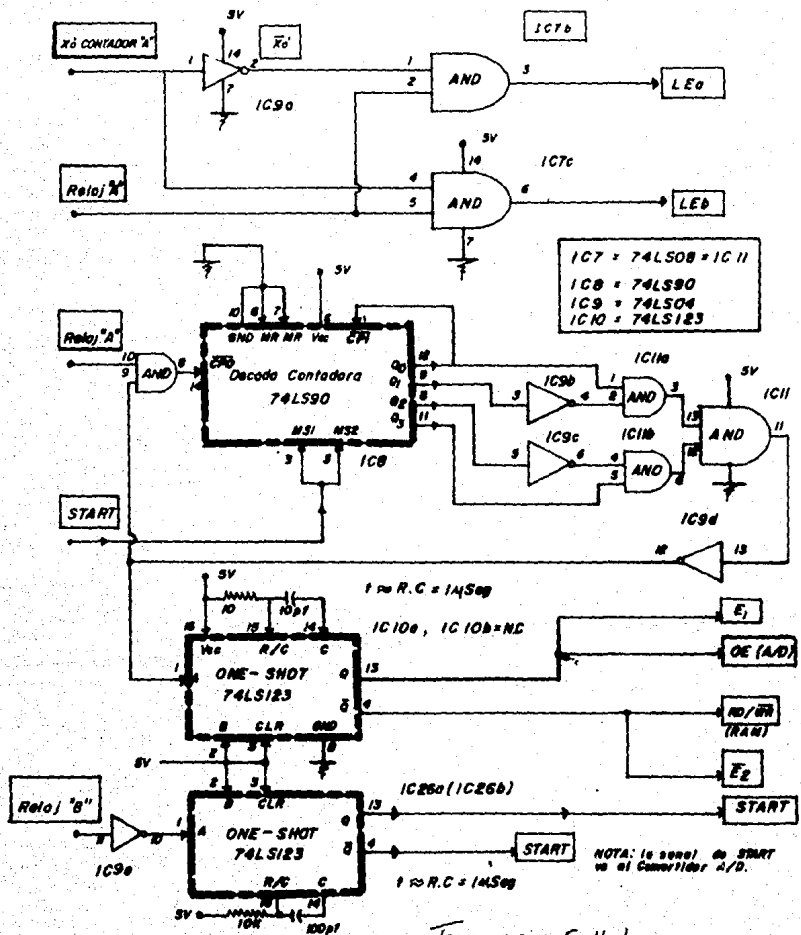


FIGURA 5.4.1

"Diagrama de tiempos del Sistema de memoria para Osciloscopio."

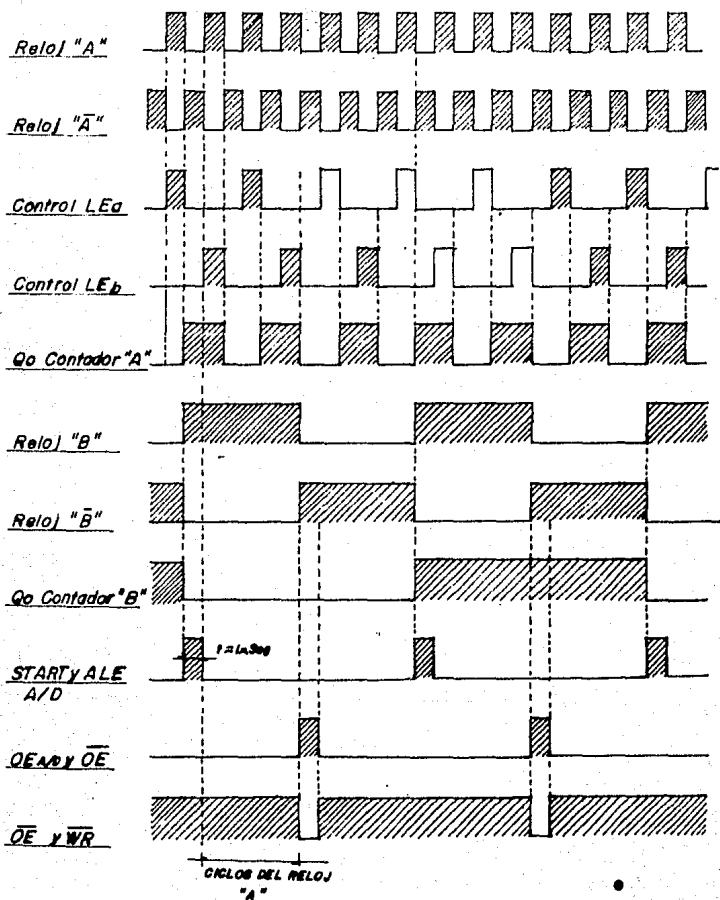


FIGURA 5.4.1

5.4.2 ARBITRAJE DEL BUS DE DIRECCIONES PARA EL MUESTREO Y BARRIDO DE MUESTRAS.

EL BUS DE DIRECCIONES DE LA MEMORIA RAM ES COMPARTIDO POR DOS COMPARADORES, QUE COMO YA SE HABIAN MENCIONADO ANTERIORMENTE EL CONTADOR A SE ENCARGA DE CONTROLAR LA SALIDA DE MUESTRAS HACIA LOS CONVERTIDORES D/A Y EL CONTADOR B ESTA DEDICADO A CONTROLAR EL ACCESO DE MUESTRAS DEL CONVERTIDOR A/D HACIA LA MEMORIA RAM.

COMO EL CONVERTIDOR A/D NECESITA UN CIERTO INTERVALO DE TIEMPO PARA CONVERTIR UNA SEÑAL ANALÓGICA A UNA SEÑAL DIGITAL, ESTO ES, MAS ESPECIFICAMENTE EL CONVERTIDOR NECESITA UN INTERVALO DE 8 CICLOS DE RELOJ PARA PODER REALIZAR UNA CONVERSION A/D. PARA LOGRAR TENER UN CONTROL EN BASE A ESOS 8 CICLOS DE RELOJ SE DISEÑO UN CONTADOR QUE DIVIDE A LA ENTRADA DEL RELOJ A' ENTRE 9. SE HIZO ESTA RELACION DE DIVISION CON LA FINALIDAD DE ASEGURARSE DE QUE LA CONVERSION EFECTIVAMENTE SE HIZO.

EL CIRCUITO CONTADOR ESTA CONSTITUIDA POR EL CONTADOR IC8 ASOCIADO CON LOS CIRCUITO IC9B, IC9C, IC1A, IC1B, IC9D E IC7D. UNA VEZ QUE LLEGA LA CUENTA A NUEVE CESA LA OPERACION DE CONTEO INHIBIENDOSE LOS PULSOS DEL RELOJ A' POR EL CIRCUITO IC7D. JUSTAMENTE EN ESE MOMENTO LA SALIDA DEL CIRCUITO IC9D TOMA NIVEL LOGICO "0" Y ESTE CAMBIO DE NIVEL A SU VEZ DISPARA UN CIRCUITO ONE-SHOT CONSTITUIDO POR IC10A, EL CUAL TIENE UNA CONSTANTE DE TIEMPO $T=1.1 \times RC=1$ SEG. LA SALIDA Q DE ESTE ONE-SHOT VA CONECTADO A LA TERMINAL $\bar{E}1$ Y A LA TERMINAL OE DEL CONVERTIDOR A/D. ESTA TERMINAL Q NORMALMENTE

TIENE NIVEL "0" LÓGICO PERO EN EL MOMENTO EN QUE LA SALIDA IC9 TOMA NIVEL LÓGICO "0" IC10 SE DISPARA TOMANDO 0 ASÍ UN NIVEL LÓGICO "1": EN ESE MOMENTO ES CUANDO SE REALIZA LA TRANSFERENCIA DE DATOS DE LA SALIDA DEL CONVERTIDOR A/D A LA MEMORIA RAM. LA TERMINAL \bar{O} DE IC10A TIENE NORMALMENTE NIVEL "1" LÓGICO Y ESTA TERMINAL ESTA CONECTADA AL CONTROL DE $\overline{RD}/\overline{WR}$ DE LA MEMORIA RAM Y A LA TERMINAL $\bar{E}2$ DE LOS CIRCUITOS IC4B, IC5B E IC5C. QUE SIRVEN PARA INDICAR EN QUE LOCALIDAD DE MEMORIA RAM SE ALMACENARÁ LA MUESTRA TOMADA POR EL CONVERTIDOR A/D.

EL CONTROL DE LAS TERMINALES $\bar{E}1$ Y $\bar{E}2$ SIRVEN PARA ARBITRAR EL MANEJO DE LAS LINEAS DE DIRECCIÓN DE LA MEMORIA RAM. SE PUEDE DECIR QUE ESTAS LINEAS CONTROLADAS POR LOS CONTADORES DE 12 BITS IC1 E IC2. LA ACCIÓN DE $\bar{E}1$ Y $\bar{E}2$ CORRESPONDEN A LO SIGUIENTE:

A) LA TERMINAL $\bar{E}1$ NORMALMENTE TIENE NIVEL "0" LÓGICO LO CUAL PONE LOS BITS DEL CONTADOR A CONTROLANDO DIRECTAMENTE AL BUS DE DIRECCIONES PARA EL PROCESO DE DESPLEGADO DE MUESTRAS A LOS CONVERTIDORES D/A.

B) LA TERMINAL $\bar{E}2$ TIENE NORMALMENTE NIVEL "1" LÓGICO. LO CUAL QUIERE DECIR QUE LA MAYOR PARTE DEL TIEMPO EL CONTADOR B VA A ESTAR SIN MANEJAR EL BUS DE DIRECCIONES DE LA MEMORIA RAM. CUANDO SE TIENE EL MODO DE FUNCIONAMIENTO DEL SISTEMA VA A ESTAR CONTINUAMENTE ALMACENANDO MUESTRA CADA VEZ QUE LA SALIDA DE IC9 TOMA NIVEL "0" LÓGICO. CUANDO ESTÁ OPERANDO EN MODO MANUAL EL CONTADOR VA A DEJAR DE FUNCIONAR CUANDO LLEGUE A LA CUENTA DE 1024 MUESTRAS TOMADAS POR EL CONVERTIDOR A/D DE TAL MANERA QUE UNA VEZ

QUE DEJA EL SISTEMA DE MUESTREAR LA SEÑAL DE ENTRADA LA TERMINAL EI SIEMPRE ESTARA ACTIVA. DANDO LA IMPRESIÓN DE QUE LA SEÑAL DESPLEGADA SE CONGELÓ EN EL TIEMPO. PARA PODER REINICIAR EL MUESTREO SE LE TIENE QUE DAR AL CONTADOR B UN PULSO DE RESET.

EL MANEJO DE LA SEÑAL DE INICIO DE CONVERSION A/D SE REALIZA CON EL ONE-SHOT IC26A Y EL INVERSOR IC9E EL CUAL TAMBIEN ESTA CALIBRADO PARA UNA ANCHURA DE PULSO DE 1 MICROSEGUNDO EL MECANISMO DE FUNCIONAMIENTO ES EL SIGUIENTE:

A) LA SEÑAL DEL RELOJ B' QUE CORRESPONDE A LA FRECUENCIA DE MUESTREO ACTUA SOBRE IC9E NEGANDO LA SEÑAL DE RELOJ B'.

B) LA SEÑAL NEGADA (DEL RELOJ B') DISPARA A IC26 CUYA SALIDA Q VA A LA TERMINAL START Y ALE DEL CONVERTIDOR. ESTA LINEA TAMBIEN ESTÁ CONECTADA A LAS PATAS 2 Y 3 DEL CONTADOR IC8 LO CUAL LO PONE EN ESTADO DE RESET PARA INICIAR LA CUENTA DE 9 CICLOS DE RELOJ PARA CONVERSION.

C) LA FRECUENCIA DE RELOJ B' PUEDE SER VARIABLE CON LA FINALIDAD DE TENER FRECUENCIAS DIFERENTES DE MUESTREO.

D) EN EL MOMENTO EN QUE SE APLICA LA SEÑAL DE START, CON LA TERMINAL ALE SE MEMORIZA CUAL CANAL DE ENTRADA HA SIDO SELECCIONADO. LA SELECCIÓN DEL CANAL A O B DEPENDE DE LA TERMINAL Y0' DEL CONTADOR B VER FIGURÁ 5.4.2.2.

Sistema de Control Principal de Acceso y Transferencia de Información. (o los D/A y el A/D)

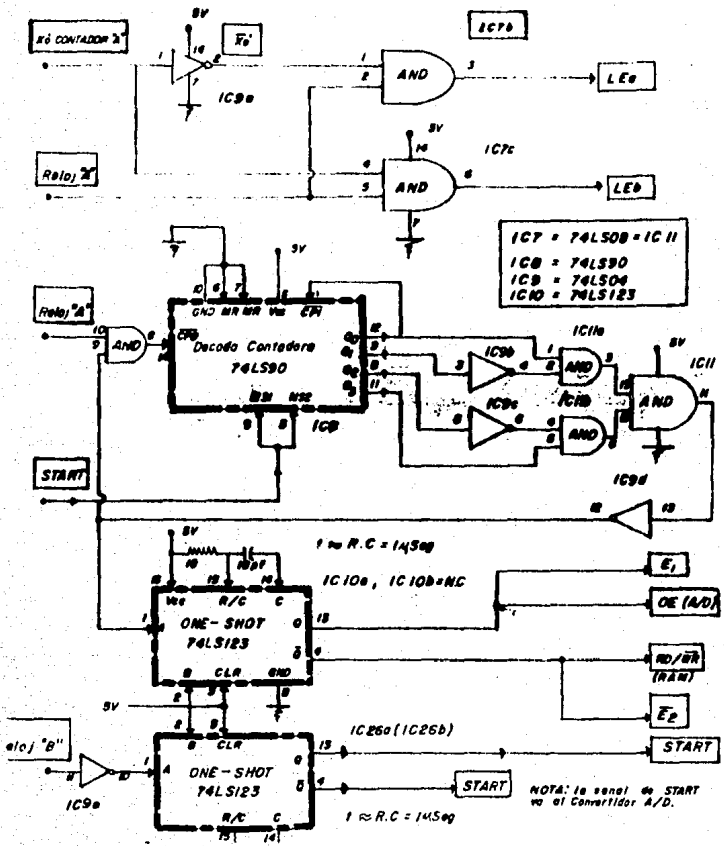
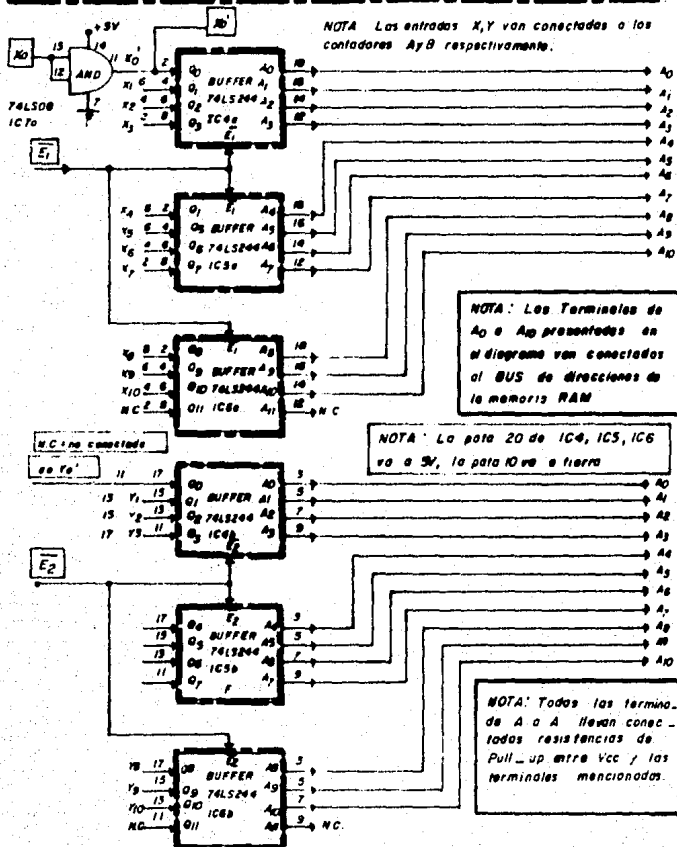


FIGURA 5.4.2.2

Buffers Tristate que Comparten el Bus de Direcciones de la RAM para realizar Adquisición y Transferencia de Datos.



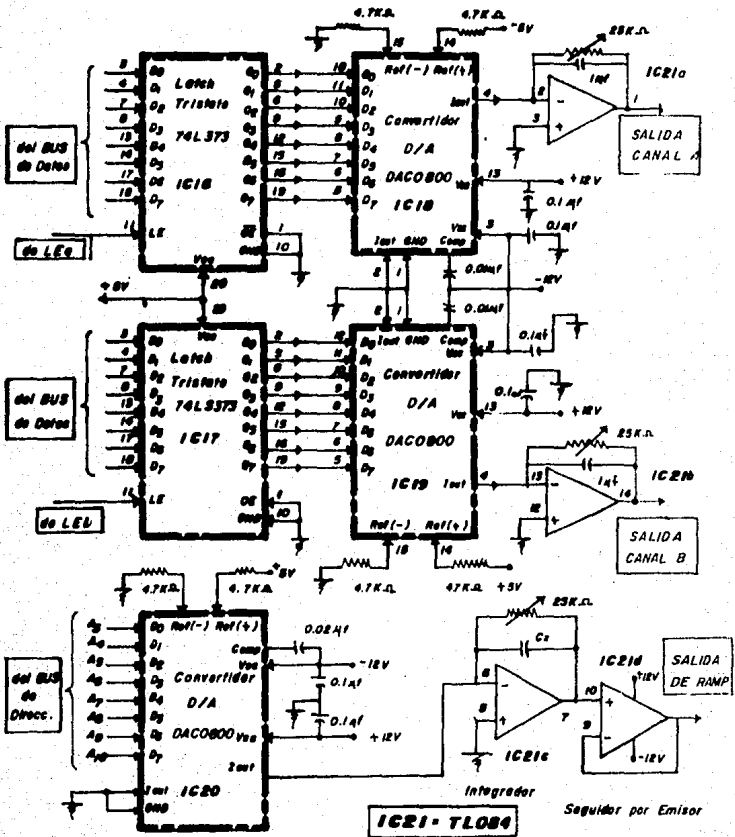
5.4.3 BARRIDO DE MUESTRAS HACIA UN GRAFICADOR EXTERNO "XY".

EN MUCHOS LABORATORIOS DE TIPO ESCOLAR O DE INVESTIGACIÓN SE REQUIERE DE GUARDAR UN REGISTRO DE GRÁFICAS OBTENIDAS DE UN EXPERIMENTO. Y POR ESA RAZÓN SE PENSÓ QUE EL SISTEMA PUDIERA DESPLEGAR EN PAPEL LAS GRÁFICAS QUE SE VEN EN LA PANTALLA DEL OSCILOSCOPIO. ESTO SE LOGRA CAMBIANDO LA BASE DE TIEMPO DEL RELOJ A.

SI EL RELOJ A RECICLA LAS MUESTRAS TOMADAS A TRAVÉS DE LOS CONVERTIDORES D/A MUY LENTAMENTE Y SE TIENE UNA RAMPA SINCRONIZADA CON EL DESPLEGADO DE MUESTRAS, ENTONCES NO EXISTE NINGUNA DIFICULTAD PARA PODER CONTROLAR UN GRAFICADOR "XY" EXTERNO.

LA GENERACIÓN DE LA RAMPA SE LOGRA CONECTANDO UN CONVERTIDOR D/A AL BUS DE DIRECCIONES DE LA RAM. COMO EL CONVERTIDOR D/A ES DE 8 BITS, SE TUVO QUE HACER UN ARREGLO PARA LOGRAR SUSTITUIR LOS 12 BITS DE DIRECCIONES DE LA MEMORIA RAM. ESTO SE LOGRÓ CONECTANDO EL BIT MENOS SIGNIFICATIVO DEL CONVERTIDOR D/A A LA LÍNEA DE DIRECCIÓN A4 Y ASÍ SUCESIVAMENTE HASTA LLEGAR AL BIT MÁS SIGNIFICATIVO DEL CONVERTIDOR D/A QUE SE CONECTÓ A LA LÍNEA DE DIRECCIÓN A11 DE LA RAM. PARA EVITAR QUE SE PRESENTARÁN MUCHAS DISCONTINUIDADES AL GENERAR LA RAMPA SE PUSO UN FILTRO PASA-BAJAS. EL ESQUEMA DEL CIRCUITO DE CONTROL DE ADQUISICIÓN Y TRANSFERENCIA DE DATOS SE PRESENTA EN LA FIGURA 5.4.3.

Etapas de Conversión de Digital Analógica y Generador de Rampa para el modo grabador.



IC21 - TLO84

FIGURA 5.4.3

5.4.4. LOGICA DE CONTROL DEL MODO DE OPERACION.

EL MODO DE OPERACION PARA LA MEMORIA DE OSCILOSCOPIO BASICAMENTE ESTÁ MANEJADO POR 3 TECLAS DE CONTROL QUE REGULAN LA FUNCION A REALIZAR. ESTOS MODOS SON: EL AUTO, EL MANUAL Y EL GRAFICADOR.

EL MODO DE OPERACION AUTOMATICO DENOMINADO "AUTO" FUNCIONA EN CUANTO AL MUESTREO DE AMBOS CANALES EN FORMA CONTINUA. O SEA, EN OTRAS PALABRAS SE PUEDE DECIR QUE LA TOMA DE MUESTRAS ATRAVES DE LAS CONVERTIDOR A/D ES CONTINUA LO CUAL PERMITE ACTUALIZAR LAS GRAFICAS QUE SE ESTAN OBSERVANDO EN LA PANTALLA DEL OSCILOSCOPIO. PARA ESTE MODO DE OPERACION SE TIENE QUE EL BARRIDO DE MUESTRAS ES CONTINUO Y ESTÁ CONTROLADO POR EL RELOJ "A". PERO LA VELOCIDAD DE MUESTREO ESTÁ CONTROLADA POR LA BASE DE TIEMPO DEL SISTEMA, LA CUAL TIENE UNA PERILLA DE SELECCION DE VELOCIDAD CON CAPACIDAD DE 11 FRECUENCIAS DE MUESTREO. EL CAMBIO DE VELOCIDAD DE MUESTREO ES PERFECTAMENTE VISIBLE EN LAS GRAFICAS QUE SE VAN OBTENIENDO EN LA PANTALLA DEL OSCILOSCOPIO.

ESTE MODO DE SELECCION AUTOMATICO SE ACTIVA OPRIMIENDO UNA TECLA DEL PANEL DE OPERACION. EL DIAGRAMA DEL CIRCUITO UTILIZADO ESTÁ REPRESENTADO EN LA FIGURAS 5.4.4. Y 5.4.4.1.

EN CUANTO AL MODO DE OPERACION LLAMADO "MANUAL" FUNCIONA BASICAMENTE IGUAL QUE EL MODO "AUTO", PERO LA UNICA DIFERENCIA ES QUE EL MUESTREO COMIENZA A OPERAR CUANDO SE OPRIME UN SWITCH NORMALMENTE ABIERTO, EL CUAL PONE EN RESET AL CONTADOR DE MUESTRAS

(CONTADOR B) UNA VEZ INICIADO EL MUESTREO, ESTE CONTINUA HASTA QUE EL CONTADOR B ALCANZA LA CUENTA 2048 DE MUESTRAS TOMADAS, QUE EQUIVALE A LA SUMA DE LAS MUESTRAS DE AMBOS CANALES. ESTO SE PUEDE VER EN PANTALLA DE TAL MANERA QUE LA SEÑAL O GRÁFICA OBTENIDAS SE QUEDA CONGELADA HASTA QUE SE VUELVA A OPRIMIR EL SWITCH DE INICIO DE MUESTREO. PARA ESTE MODO DE OPERACIÓN EL BARRIDO DE MUESTRAS TAMBIÉN ES CONTINUO Y SE PUEDE SELECCIONAR CON LA TECLA DE CONTROL DE MODO REPRESENTADA TAMBIÉN EN EL PANEL DE CONTROL.

EL MODO GRAFICADOR SELECCIONADO MEDIANTE LA TECLA DE CONTROL "GRAFICAR" FUNCIONA EN FORMA DIFERENTE A LOS DOS MODOS ANTERIORES. EN ESTE MODO SE TIENE QUE LA BASE DE TIEMPO DEL RELOJ "A" QUE SE APLICA AL CONTADOR A ES MODIFICADA DE TAL MANERA QUE LA SEÑAL DE RELOJ SE CAMBIA PARA QUE LA CUENTA DE MUESTRAS BARRIDAS (POR EL CONTADOR A FUNCIONE MUY LENTAMENTE, DANDO OPORTUNIDAD ASÍ PARA CONTROLAR UN GRAFICADOR "XY" MEDIANTE LA GENERACIÓN DE UNA RANPA) AL RELOJ QUE INTERVIENE PARA REALIZAR ESTA FUNCIÓN SE LE CONOCE COMO RELOJ "G". EN ESTE MODO DE OPERACIÓN NO SE REALIZA LA OPERACIÓN DE MUESTREO Y SIRVE COMO YA SE MENCIONÓ ANTERIORMENTE, PARA GRAFICAR LO QUE SE OBSERVÓ PREVIAMENTE EN LA PANTALLA DEL OSCILOSCOPIO.

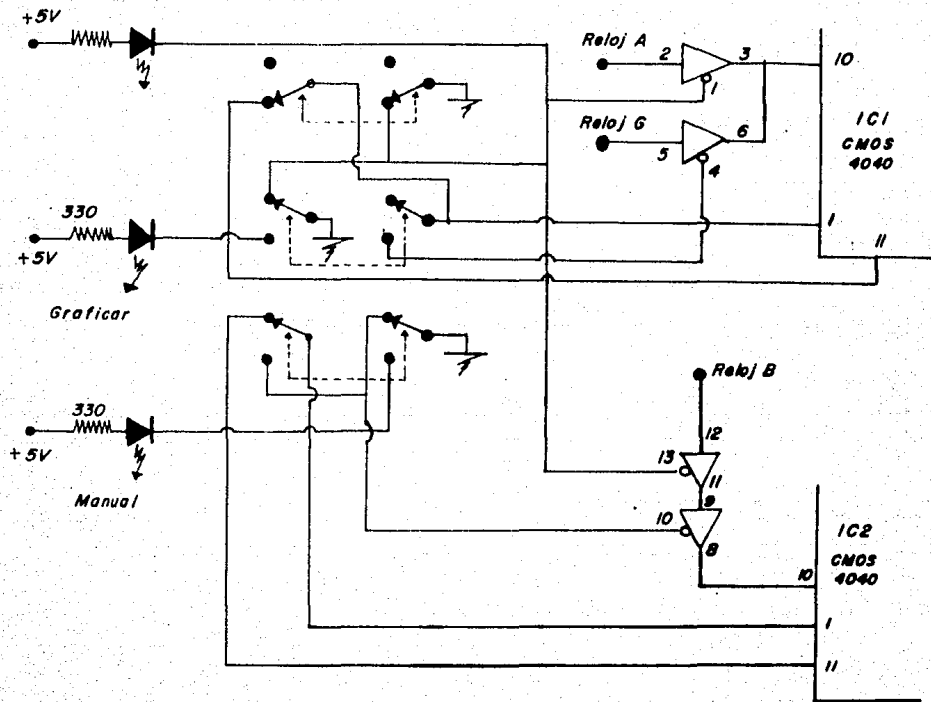


FIGURA 5.4.4

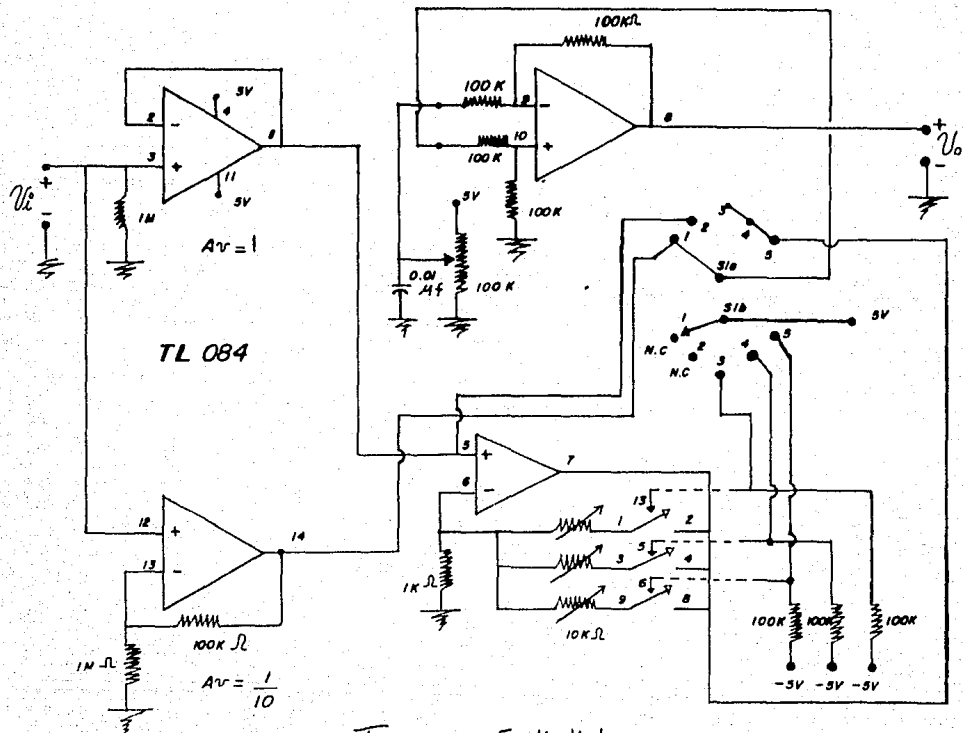


FIGURA 5.4.4.1

5.4.5. GENERACION DE LA SENAL TRIGGER EXTERIOR PARA CONTROL DEL OSCILOSCOPIO.

PARA QUE EL OSCILOSCOPIO SE SINCRONIZE CON LAS SEÑALES PROVENIENTES DE LOS CANALES A Y B DEL SISTEMA DE MEMORIA ES NECESARIO QUE EL OSCILOSCOPIO TENGA UN BARRIDO SINCRONIZADO. ESTE BARRIDO SINCRONIZADO SE LOGRA PONIENDO EL OSCILOSCOPIO EN MODO DE DISPARO EXTERNO. LA SEÑAL EXTERNA DE DISPARO SE GENERA CON EL BIT MÁS SIGNIFICATIVO DEL CONTADOR A DE BARRIDO DE LA SIGUIENTE MANERA: SE NECESITA EN PRIMER LUGAR QUE ESTE BIT ALCANZE EL ESTADO DE "1" LÓGICO LUEGO, EN EL MOMENTO QUE ALCANZA EL ESTADO "0" LÓGICO, ESTE PROVOCA QUE UN CIRCUITO ONE-SHOT GENERE UN PEQUEÑO PULSO DE UNA ANCHURA DETERMINADA. DICHA ANCHURA ES CONTROLADA POR UN POTENCIOMETRO Y UN CAPACITOR. LA SALIDA QUE ESTE PULSO ES APLICADA A UN SEGUNDO ONE-SHOT QUE RECORTA EL PULSO A UNA ANCHURA DE UN MICROSEGUNDO. LA ACCIÓN QUE PROVOCA LA VARIACIÓN DEL POTENCIOMETRO "P", ES LA DE RETRAZAR EL DISPARO CON LA FINALIDAD DE PODER ANALIZAR LA SEÑAL MEMORIZADA EN UN PUNTO ESPECIFICO, AYUDÁNDOSE TAMBIÉN CON LA BASE DE TIEMPO DEL OSCILOSCOPIO. EL CIRCUITO GENERADOR DE ESTA SEÑAL ESTÁ CONSTITUIDO POR IC27.

5.4.6. INDICADOR DE MUESTREO ACTIVO.

PARA PODER VISUALIZAR CUANDO EL SISTEMA ESTA MUESTREANDO SEÑALES SE TIENE UN CIRCUITO ONE-SHOT CON UNA CONSTANTE DE TIEMPO RC MUY GRANDE CON LA FINALIDAD DE PODER MANEJAR A LA SALIDA DE ESTE UN DIODO LED QUE NOS DA UNA LUZ INDICADORA DE MUESTREO ACTIVO. ESTE CIRCUITO ESTA CONSTITUIDO POR IC26B COMO SE MUESTRA EN LA FIGURA 5.4.6.

Generador del Pulso de Trigger exterior para el Osciloscopio e Indicadores de Delay, Conversión A/D, Auto, Manual, Barrido y Graficar.

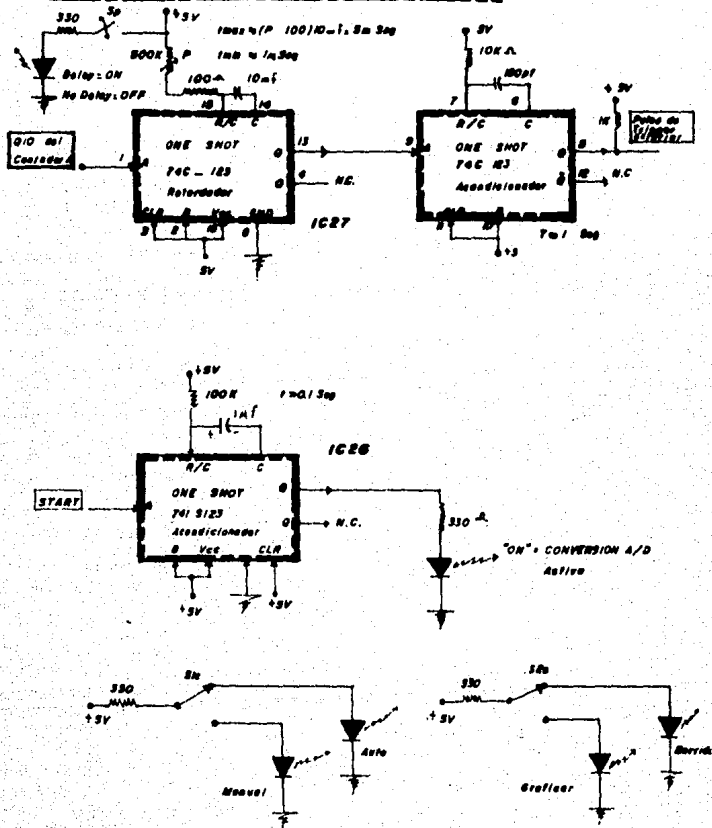
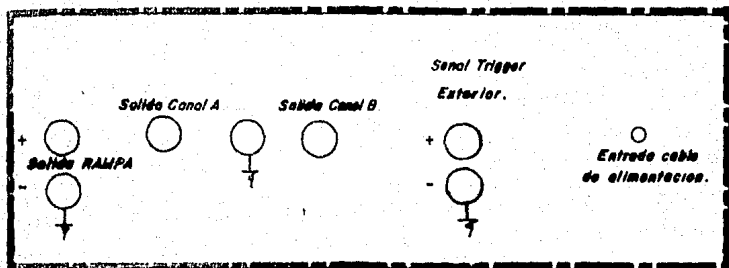
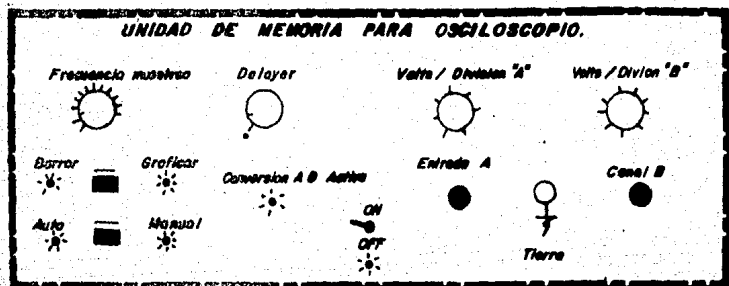


FIGURA 5.4.6



VISTA POSTERIOR



5.5. FUNCIONAMIENTO DEL SISTEMA DE MEMORIA PARA OSCILOSCOPIO.

ESTE SISTEMA DE MEMORIA TIENE LA FINALIDAD COMO YA SE MENCIONO ANTERIORMENTE DE CONVERTIR UN OSCILOSCOPIO CONVENCIONAL EN UN OSCILOSCOPIO CON MEMORIA, CAPAZ DE VISUALIZAR SEÑALES MUY LENTAS O DE VELOCIDAD MEDIA. PARA LOGRAR TAL FUNCION, EL OSCILOSCOPIO DEBE ADECUARSE PARA QUE SEA CAPAZ DE SER CONTROLADO POR EL DISPOSITIVO EXTERNO.

PARA QUE SEA CONVENIENTEMENTE CONTROLADO SE REQUIERE PONER A ESTE EN EL RANGO DE 1 MSEG. POR DIVISION EN CUANTO A BASE DE TIEMPO. POR LO QUE SE REFIERE A MODO DE CONTROL DE DISPARO ESTE DEBE DE ESTAR EN MODO DE DISPARO EXTERNO.

LAS ENTRADAS DE VOLTAJE DEL OSCILOSCOPIO DEBE DE ESTAR EN EL RANGO DE 1 VOLT/DIV. LAS ENTRADAS DE LOS CANALES A Y B DEL OSCILOSCOPIO DEBE DE ESTAR CONECTADAS A LAS SALIDAS DE LOS CANALES A Y B DEL SISTEMA DE MEMORIA. POR ULTIMO, LA ENTRADA DE TRIGGER EXTERIOR DEL OSCILOSCOPIO DEBE DE ESTAR CONECTADA A LA SALIDA DE LA TERMINAL TRIGGER EXTERIOR DEL SISTEMA DE MEMORIA. EN CASO DE QUE NO SE SINCRONIZEN LAS SEÑALES DEL SISTEMA, DEBE CALIBRARSE LA PERILLA DE AJUSTE DE SENSIBILIDAD DE TRIGGER DEL OSCILOSCOPIO.

UNA VEZ LOGRADO TODO LO ANTERIOR EL SISTEMA QUEDA LISTO PARA OBSERVAR CUALQUIER EVENTO O EXPERIMENTO A GRAFICAR EN PANTALLA COMO SE MUESTRA EN LA FIGURA 5.5.

Base de Tiempo para el Sistema de Memoria para Osciloscopia.

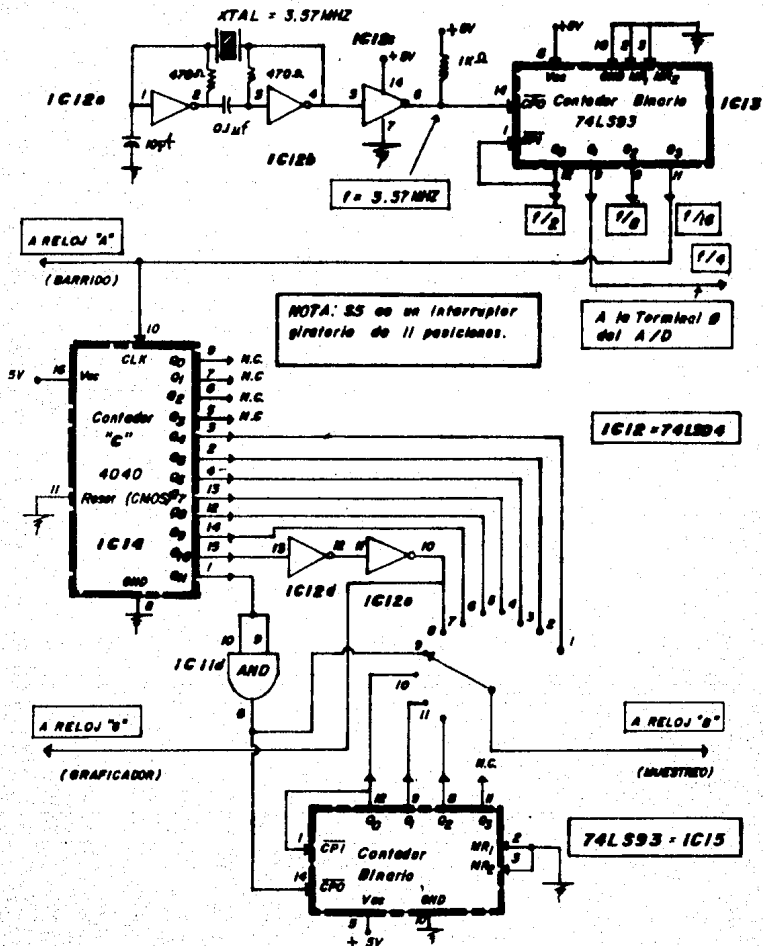


FIGURA 5.5

6. CONCLUSIONES.

EL OBJETIVO PRINCIPAL DEL CIRCUITO ES FACILITAR AL ALUMNO PODER OBSERVAR SEÑALES LENTAS GRAFICADAS EN TIEMPO REAL EN UN OSCILOSCOPIO.

POR TAL MOTIVO, EL PROYECTO SE ENCAUSÓ A DISEÑAR UNA MEMORIA CONTROLADA POR UNA MICROCOMPUTADORA QUE VA A ALMACENAR A DICHAS SEÑALES. POR SU VERSÁTILIDAD AL USARSE CON UN OSCILOSCOPIO TRADICIONAL, SE OBTIENE APROXIMADAMENTE LA MISMA RESPUESTA QUE UN OSCILOSCOPIO CON MEMORIA, TENIENDO COMO VENTAJA CON RESPECTO A ESTE EN EL COSTO MÍNIMO.

ESTE SISTEMA DE MEMORIA DA LA POSIBILIDAD DE OBSERVAR SEÑALES DE MUY BAJA FRECUENCIA Y MEDIA, DESPLEGANDO LA INFORMACIÓN DE DICHAS SEÑALES EN EL OSCILOSCOPIO EN TIEMPO REAL, LOGRANDOSE ASÍ ANALIZAR PROCESOS MUY LENTOS QUE PODRÍAN PASAR DESAPERCIBIDOS SIN LA UTILIZACIÓN DE UNA MEMORIA.

POR LO ANTES MENCIONADO SE HA VISTO QUE CON UN DISEÑO SENCILLO POR HARDWARE ES POSIBLE TOMAR SEÑALES LENTAS GRAFICADAS EN TIEMPO REAL EN UN OSCILOSCOPIO. CON BASE EN LAS PRIMERAS PRUEBAS REALIZADAS EN LAS PRÁCTICAS, SE OBSERVÓ QUE EL DISEÑO SE PUEDE UTILIZAR EN EL LABORATORIO DE CONTROL CON EL FIN QUE EL ALUMNO PUEDA REALIZAR SUS PRÁCTICAS CON UN GRADO DE CONFIABILIDAD BASTANTE ACEPTABLE.

LAS GRÁFICAS OBTENIDAS SON UNA APROXIMACIÓN EN FORMA DISCRETA DE UNA SEÑAL CONTINUA MUESTREADA. SIN EMBARGO LA GRÁFICA EN SÍ TIENE LA CALIDAD SUFICIENTE PARA SER UTILIZADA POR UN ALUMNO O ALUMNOS EN UN DETERMINADO LABORATORIO.

EL SISTEMA TIENE UNA FRECUENCIA MÍNIMA DE MUESTREO DE APROXIMADAMENTE 2 MUESTRAS POR SEGUNDO POR CANAL Y LA MÁXIMA ES APROXIMADAMENTE DE 5000 MUESTRAS POR SEGUNDO EN CADA CANAL LO CUAL PERMITE MUESTREAR SEÑALES ELÉCTRICAS DIVERSAS QUE A SU VEZ PUEDEN GRAFICARSE EN PAPEL.

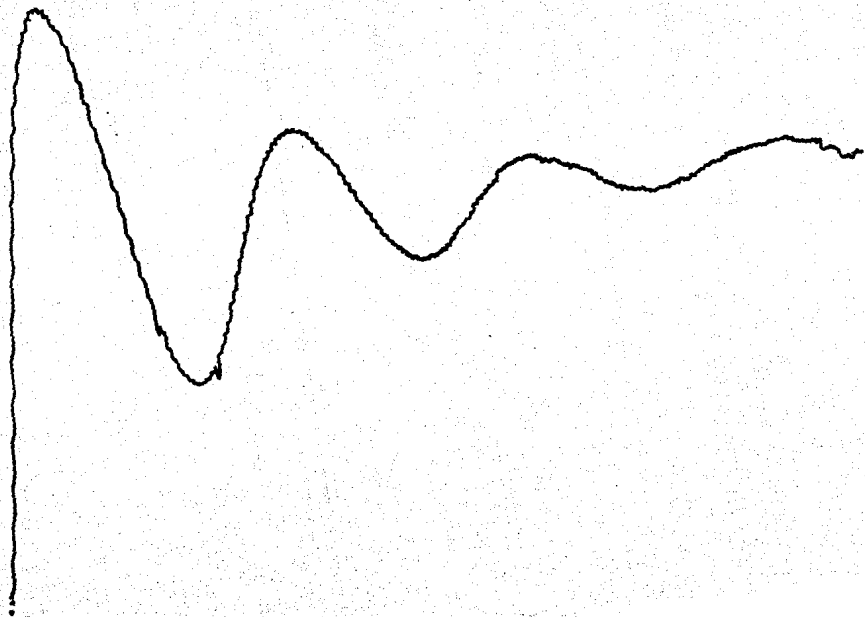
ESTA CARACTERÍSTICA ABRE LAS PUERTAS A OTRAS PERSONAS QUE DESEAN TRABAJAR EN RAMAS DE LA INGENIERÍA RELACIONADAS CON BIOINGENIERÍA U OTRAS ÁREAS.

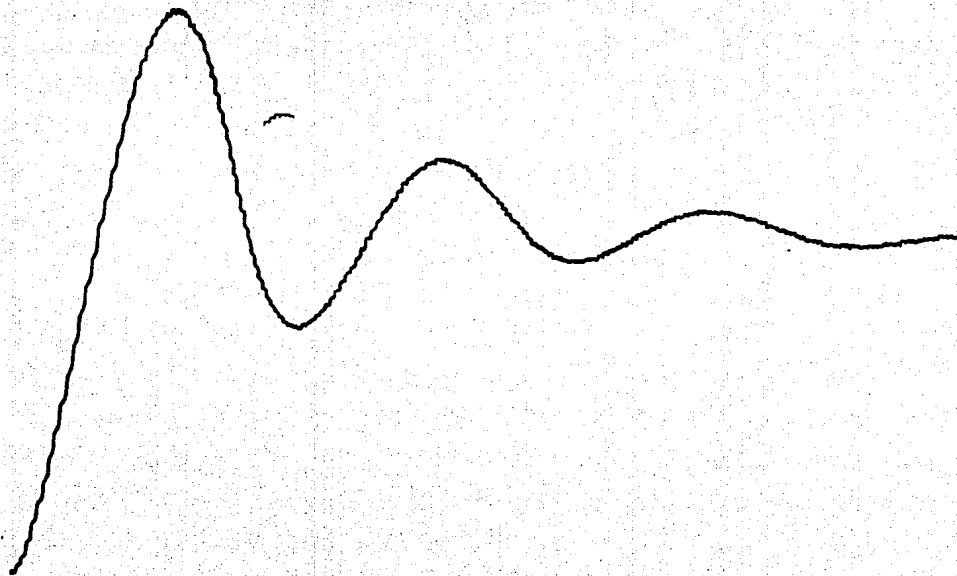
EL SISTEMA DE MEMORIA PUEDE SER OPTIMIZADO PROBABLEMENTE UTILIZANDO UN HARDWARE ESPECIALIZADO ASOCIADO CON UN MICROPROCESADOR.

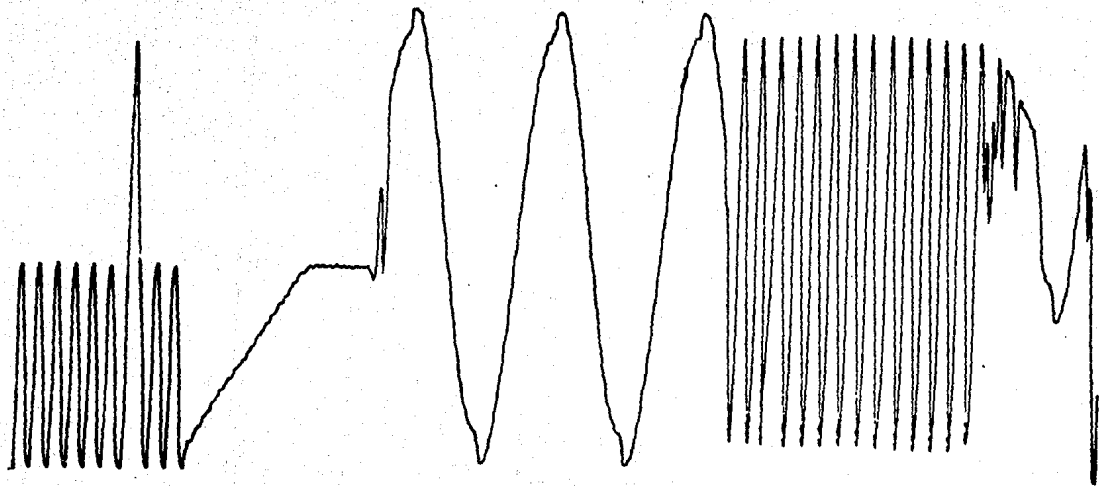
ESTE HARDWARE ESPECIALIZADO ACTUARÍA COMO UN DISPOSITIVO PSEUDO DMA (ACCESO DIRECTO A MEMORIA), PERO CON LA CARACTERÍSTICA DE SER UN DMA POR MEDIO DE HARDWARE SIN NECESIDAD DE UTILIZAR UNO COMERCIAL, PERO CON LA VENTAJA DE SER PSEUDO DMA DE BAJO COSTO, YA QUE NORMALMENTE ESTE ES MÁS CARO QUE UN CPU.

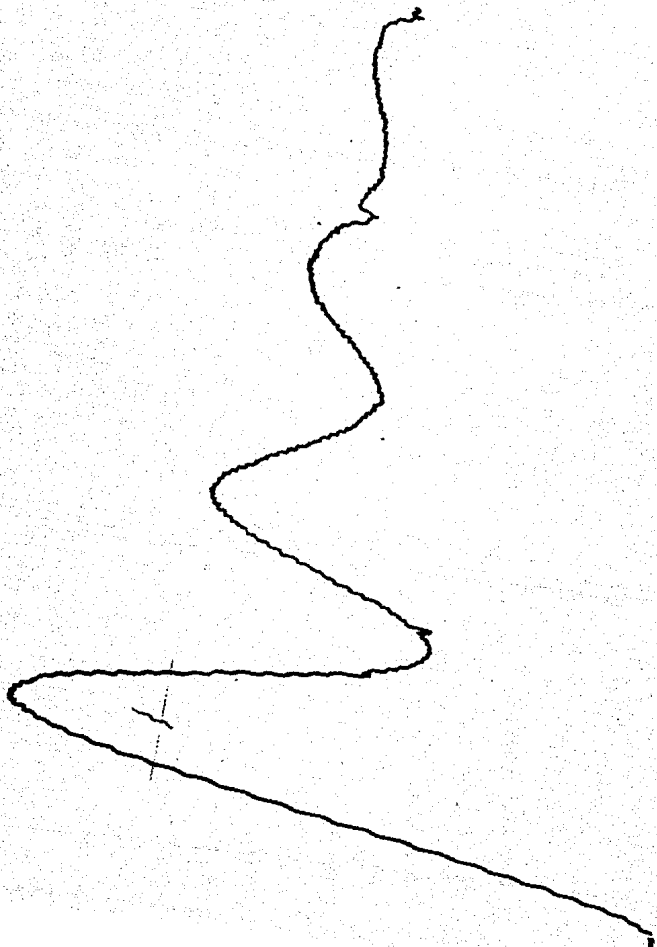
ESTE HARDWARE DMA ESTARÍA INTEGRADO POR UN CONTADOR DE 12-BITS, UN BUFFER TRISTATE, UN CONVERTIDOR ANALÓGICO-DIGITAL Y UNA LÓGICA DE CONTROL. ESTO SERÍA LA FUSIÓN DEL SISTEMA MICROPROCESADOR EN QUE SE PENSÓ ORIGINALMENTE Y EL SISTEMA VIA HARDWARE QUE SE DESCRIBIÓ ANTERIORMENTE. ESTE NUEVO SISTEMA SE UTILIZARÍA EN COMBINACIÓN CON UN MICROPROCESADOR Z80 Y UTILIZARÍA PARA FUNCIONAR ADECUADAMENTE TÉCNICAS HARDWARE-SOFTWARE. LA FUSIÓN DE LA IDEA INICIAL Y EL SISTEMA DESARROLLADO DEJA ABIERTAS LAS PUERTAS PARA UNA OPTIMIZACIÓN FUTURA.

GRAFICAS









BIBLIOGRAFIA.

1. LINEAR APLICATION NATIONAL SEMICONDUCTORS.
2. MANUAL DE TTL DE MOTOROLA.
3. MANUAL DE CIRCUITOS CMOS NATIONAL SEMICONDUCTORS.
4. MEMORY COMPONENTS INTEL CORPORATION.
5. LINEAR COMPONENTS OF SIGNETICS.
6. AMPLIFICADORES OPERACIONALES AUTOR TOBEY.