

26
24



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

**DISEÑO Y CONSTRUCCION DE UN CONTESTADOR
AUTOMATICO DE TELEFONO CONTROLADO POR
UN MICROPROCESADOR Y SINTETIZADOR DIGITAL
DE VOZ**

T E S I S

**QUE PARA OBTENER EL TITULO DE:
INGENIERO EN COMPUTACION
P R E S E N T A N**

**NELLY GABRIELA GUADARRAMA RIVAS
EDUARDO HERNANDEZ ABASOLO
RAFAEL NAVA SANTOYO**

**DIRECTOR DE TESIS:
ING. JOSE ANTONIO ARREDONDO GARZA**

MEXICO, D. F.

FEBRERO, 1990



FALSA DE ORIGEN



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

	PAGINA
CAPITULO I	
INTRODUCCION	1
1.1 Introduccion	1
1.2 Antecedentes	2
1.3 Analisis del problema	3
CAPITULO II	
TEORIA BASICA DE REDES TELEFONICAS	7
2.1 Definiciones basicas	8
2.2 Conexiones de abonado	13
2.2.1 Sistemas sin conmutacion	14
2.2.2 Sistemas de conmutacion descentralizada	14
2.2.3 Sistemas de conmutacion centralizada	15
CAPITULO III	
DISEÑO DEL SISTEMA DE CONTROL DEL CONTESTADOR TELEFONICO	17
3.1 Desarrollo del hardware	20
3.1.1 Sistema basico con el microprocesador 280	20
3.1.1.1 Generacion de reloj	25
3.1.1.2 Señales de control	26
3.1.1.3 Interconexion de memoria y puertos	29
3.1.2 Interfaz con la linea telefonica	33
3.1.2.1 Sensor de llamadas	33
3.1.2.2 Accion de descolgar y colgar telefono ..	34
3.1.2.3 Interconexion de una orabadora	35
3.1.3 Sintetizador digital de voz	37
3.1.3.1 Descripcion del hardware	38
3.1.3.2 Funcionamiento basico del bloque sintetizador	41
CAPITULO IV	
DESARROLLO DEL SOFTWARE	54
4.1 Rutinas de espera	55
4.2 Rutina de servicio a la interrupcion (IRMI)	56
4.3 Programa en ensamblador 280	56
4.4 Diagramas de flujo	60
CAPITULO V	
CONCLUSIONES	62
APENDICE	72
BIBLIOGRAFIA	151

CAPITULO I
INTRODUCCION

CAPITULO I

INTRODUCCION

1.1 INTRODUCCION.

Una de las ramas de la ingeniería que comprende a la automatización de sistemas es la ingeniería de control, la cual ha venido evolucionando de tal manera que en la actualidad la ingeniería de control a su vez abarca otras áreas de trabajo que corresponden a diferentes ramas de la misma. En la actualidad, en el control de algún proceso industrial o equipo de instrumentación involucra áreas interdisciplinarias como vienen siendo la electrónica, la computación, comunicaciones, etc. Debido a eso como se vera más adelante, esta tesis está involucrando a diversas áreas de trabajo y por lo tanto podemos decir que es una tesis interdisciplinaria. La automatización de sistemas en la actualidad no solamente ha abarcado a la industria sino que también está involucrando áreas en las que nunca se pensó que la tecnología desarrollada también se usara. Por ejemplo en el hogar podemos tener sistemas de control de temperatura ambiente, controles remotos de televisión, controles de encendido de luces, contestadores automáticos de telefono, etc. Como se verá más adelante el objetivo principal de esta tesis es desarrollar un sistema contestador telefónico utilizando un sintetizador digital de voz y las tecnologías actuales que hay en cuanto a la utilización de microprocesadores.

1.2 ANTECEDENTES.

A lo largo de la historia, el hombre ha venido desarrollando herramientas que le han permitido satisfacer sus necesidades.

Desde el inicio de la evolución humana se ha visto que el hombre ha tenido una capacidad creadora innata, por ejemplo inventó la rueda, lo que trajo consigo un avance de los medios de transporte, desarrolló un calendario que le permitió generar los ciclos de siembra en la agricultura y un sinnúmero de herramientas para cazar, sembrar alimentos, la guerra, etc.

Todos los avances tecnológicos se desarrollaron lentamente, no es sino hasta el siglo XIX con el inicio de la Revolución Industrial en Inglaterra, que estos avances han tenido un crecimiento acelerado.

El primer sistema de control creado por el hombre, fue la máquina de vapor de doble efecto inventada por James Watt.

A este invento vinieron muchos otros hasta llegar a nuestros días en donde el desarrollo de nuevas tecnologías han hecho posible el cambio de los antiguos controladores automáticos hacia los microcontroladores basados principalmente en la electrónica digital los cuales tienen diversas áreas de aplicación tales como la computación, telefonía, telecomunicación, control electrónico de los automóviles, aeroespaciales (están en los transbordadores espaciales), medicina, seguridad, fotografía, juegos electrónicos, artículos electrodomésticos tales como las lavadoras automáticas; reguladores de temperatura, artículos de oficina como el telefax, el cual permite transmitir imágenes, gráficas y documentos a través de la línea telefónica, etc.

1.3 ANALISIS DEL PROBLEMA.

Hoy en día la gran mayoría de los desarrollos tecnológicos, están enfocados a satisfacer algunas necesidades de los seres

humanos, lo que ha traído consigo una reducción de trabajo, grandes comodidades, ahorrando dinero, tiempo y esfuerzo.

Debido a la historia económica, política y social, México no ha podido desarrollar nuevas tecnologías en el campo de la electrónica que lo colocarían entre los países que están a la vanguardia de los avances tecnológicos; por lo mismo, se ha visto en la necesidad de tener que importar muchas de estas tecnologías, con lo cual ha alcanzado un desarrollo industrial bastante limitado.

Casi todos los proyectos que se realizan en México, se han desarrollado únicamente en universidades e instituciones de educación superior, sin embargo, estos proyectos son poco difundidos y por lo mismo no han sido comercializados.

En lo referente a los contestadores de llamadas telefónicas que es el tema de la presente tesis, aparecieron éstos en los Estados Unidos hace ya varios años, pero en México es hasta estos momentos cuando han alcanzado un grado de popularidad bastante grande. Actualmente en el país no ha surgido una empresa nacional que se dedique a la fabricación de estos aparatos, sin embargo existen compañías transnacionales que están desarrollando aparatos similares que de alguna manera tienen relación con los contestadores telefónicos, tales como los teléfonos con memoria digital de números. Existen otras empresas extranjeras que se dedican únicamente al ensamble de estos aparatos, pero que no están destinados al mercado nacional; de ahí que los contestadores telefónicos que se tienen en México generalmente son de importación, lo que provoca que su precio sea bastante

alto.

Tomando en cuenta todo lo anterior se propuso construir un sistema contestador de llamadas telefónicas que contara con algunas de las características que tienen los contestadores de importación y modificar otras para obtener como resultado un proyecto diferente.

La característica principal de este proyecto, es que está basado en un sistema mínimo que emplea el microprocesador Z80 como controlador.

Una diferencia bastante importante del sistema con respecto a los contestadores telefónicos comerciales, es que el proyecto a desarrollar emplea un circuito sintetizador digital de voz cuya función es la de generar sonidos, que a su vez forman el mensaje para contestar el teléfono, mientras que los otros contestadores utilizan una cinta magnética previamente grabada con el mensaje por la persona interesada.

Existen dos formas de realizar la síntesis de voz; una es en forma analógica, en la cual los fonemas están almacenados en cinta magnética, y la otra manera es de una forma digital, en donde se utilizan memoria, filtros digitales, convertidores digitales/analógicos, etc. En esta última forma los fonemas se almacenan en la memoria y mediante el empleo de microprocesadores se concatenan éstos. Dado que el objetivo del presente proyecto es el de utilizar síntesis de voz en forma digital, se buscaron circuitos integrados que realizaran dicha función, entre los cuales se eligió el chip SP0256-AL2 de RADIO SHACK INC., el cual tiene la ventaja de contener todas las

características mencionadas de los sintetizadores digitales de voz.

De los circuitos integrados que se analizaron se encontró que existen dos formas de almacenar un mensaje; en el primero se tiene que todo el mensaje ya está diseñado y contenido dentro del circuito integrado, mientras que en el segundo, se tiene que utilizar una memoria externa donde se guarda el mensaje y mediante el direccionamiento de ésta se recuperan los fonemas que en conjunto forman el mensaje. De las dos opciones anteriores, se eligió la segunda dado que tiene la ventaja de que se puede diseñar cualquier mensaje o inclusive modificar el que ya existe únicamente cambiando el contenido de la memoria externa sin tener que cambiar el circuito sintetizador digital de voz.

CAPITULO II
TEORIA BASICA DE REDES TELEFONICAS

CAPITULO II

TEORIA BASICA DE REDES TELEFONICAS

Para el desarrollo del Sistema contestador de llamadas Telefónicas, es importante tener presente la teoría básica sobre telefonía, con el fin de entender mejor algunos conceptos o funciones que se realizan para llevar a cabo la comunicación por medio del teléfono.

En el presente capítulo, se explican en forma general los conceptos más comúnmente utilizados en la Telefonía.

2.1 DEFINICIONES BASICAS.

SONIDO: Es una oscilación mecánica que se propaga en un medio elástico, es decir, este medio se deforma rítmicamente o periódicamente. Pues bien, el número de veces que se deforma por segundo, es a lo que llamamos frecuencia de ese sonido y se expresa en Hz.

El oído normal humano puede captar ondas sonoras con frecuencias de 16 c/s a 20000 c/s. La intensidad de las ondas sonoras se denomina presión acústica.

Para el oído humano se ha alcanzado el límite superior de la intensidad acústica cuando el sonido se percibe como sensación dolorosa; entonces se habla del umbral de sensación dolorosa.

RECEPTOR TELEFONICO: La misión del receptor telefónico es convertir determinadas variaciones de corriente eléctrica que él recibe, en sonidos, es decir, el receptor convierte energía eléctrica en energía sonora, así las variaciones de sonido que produce corresponden fielmente a las variaciones de

corriente.

Cualquier dispositivo que convierte un tipo de energía en otro se llama transductor. Entonces, se puede decir que el receptor telefónico constituye un transductor electroacústico.

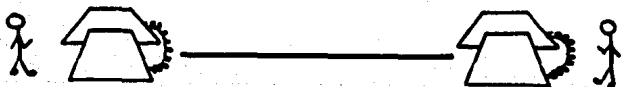
MICROFONO: El dispositivo capaz de realizar la formación contraria al receptor es el micrófono.

El micrófono convierte los sonidos en variaciones de corriente eléctrica de una manera fiel, es decir, los micrófonos deben convertir energía sonora en energía eléctrica. Existen micrófonos de cristal, de cinta magnética, de condensador y de carbón. Los micrófonos empleados en el servicio telefónico son de carbón.

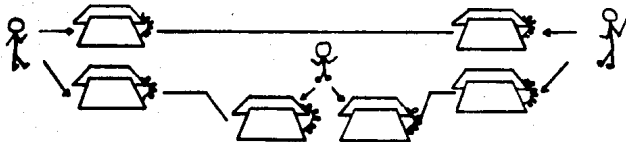
Cuando se inventó el teléfono, la primera aplicación que se le dió fue la de comunicación a distancia entre dos personas.

La generalización primaria de la telefonía entre varias personas, conduce a montar una serie de aparatos y líneas dependiendo del número de aquéllas.

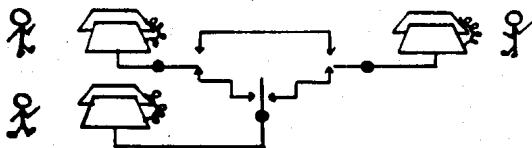
- a) Comunicación telefónica simple entre dos personas (2 aparatos y 1 línea)



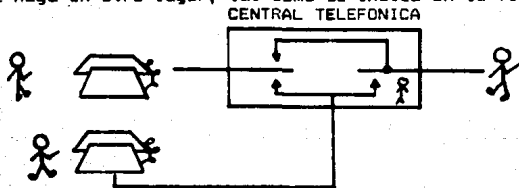
b) Comunicación telefónica elemental entre 3 personas (6 aparatos y 3 líneas)



Si se pretende ahora que, en el caso de la figura anterior, no exista nada más que un aparato de abonado por cada usuario, se tendrá que hacer algo semejante a lo indicado en la figura siguiente:



Pero también podemos hacer que la conmutación de los abonados se haga en otro lugar, tal como se indica en la figura siguiente:

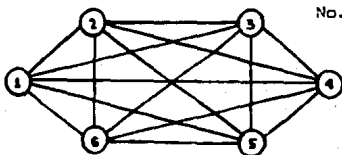


Ya tenemos aquí constituida una red telefónica y una oficina central, o simplemente central telefónica.

Una central telefónica es un lugar donde se realizan las operaciones de conmutación entre las diferentes líneas correspondientes a cada usuario telefónico.

Una red telefónica es el conjunto de líneas y órganos de conmutación que permiten la comunicación entre distintos usuarios telefónicos.

En un principio, la forma más rudimentaria de establecer comunicación entre (n) usuarios es tender, desde cada uno de ellos n-1 líneas telefónicas, de forma que pueda conectarse a todos los demás.



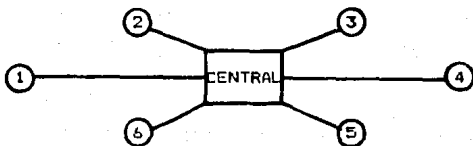
No. de líneas para 6 usuarios

$$\frac{n(n-1)}{2} = \frac{6 \times 5}{2} = 15$$

RED TELEFONICA ELEMENTAL PARA 6 USUARIOS

Deducimos fácilmente, que se puede disminuir el número de líneas telefónicas, uniendo los diferentes usuarios a través de una central que los conmute adecuadamente, tal como se muestra en la figura.

RED TELEFONICA PARA 6 USUARIOS CON CENTRAL



LÍNEA TELEFONICA : Se llama así al par de hilos conductores que une una estación telefónica, o aparato de abonado, con la central.

PAR TELEFONICO : También se le llama así a la línea, ya que siempre se compone de dos hilos conductores.

ABONADO : Se denomina así al usuario de un teléfono, ya que el servicio telefónico se da por medio de un abono, que se paga periódicamente.

APARATOS DE ABONADO : Se denomina así al conjunto de los distintos órganos que componen una estación telefónica.

Se denomina así, aunque a veces no corresponda a un abonado, como por ejemplo, el existente en una cabina pública.

TRONCALES TELEFONICAS : Son las diferentes líneas que unen entre sí las centrales. Esto se da por ejemplo en el caso de poblaciones en que tienen varias centrales.

TRONCALES URBANOS : Son los que unen a las centrales existentes dentro de una población.

TRONCAL INTERURBANA : Son los que unen dos centrales que se encuentran en poblaciones diferentes.

TRONCAL INTERNACIONAL : La que une dos centrales situadas en países diferentes.

SERVICIO PRIVADO : Se establece en aquellas entidades de importancia, que ocupan un local cuyas dimensiones justifican las comunicaciones telefónicas entre las diferentes dependencias.

RED PRIVADA : Se denomina así a la red existente para dar un servicio privado.

Puede también denominarse así, aunque el servicio privado corresponda a varios locales distantes entre sí, incluso en poblaciones y aún países diferentes.

SERVICIO PUBLICO : El que no es privado y al que pueden tener derecho todos los ciudadanos de un país.

INTERCOMUNICADORES : Son los aparatos de abonados pertenecientes a una red privada y en los que mediante un proceso de conmutación manual, en el propio aparato, es posible comunicarse con otros pertenecientes a dicha red.

EXTENSIONES : Son los aparatos telefónicos interiores conectados con la central privada.

Normalmente, las redes privadas están unidas a una red pública de tal forma que los usuarios privados tengan acceso al resto de los abonados de la red pública y viceversa.

Las líneas que unen ambas redes se llaman enlaces o troncales desde el punto de vista de la red privada, y líneas de central privada desde el punto de vista de la red pública.

Se dan a continuación las denominaciones internacionales correspondientes a las centrales privadas.

P.M.B.X.- Central privada manual conectada a la red pública

Los P.B.X

P.A.B.X.- Central privada automática.

Del inglés Private Branch Exchange. En una central privada conectada a la red pública.

2.2 CONEXIONES DE ABONADO.

Pero ahora, desde el punto de vista de la unión de los abonados y del método para enlazarlas entre sí podemos distinguir entre 3 sistemas de redes telefónicas:

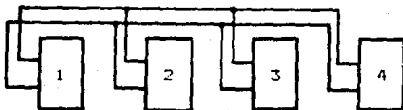
- a) Sistema sin conmutación.
- b) Sistemas con conmutación descentralizada.

c) Sistemas con conmutación centralizada.

2.2.1 SISTEMAS SIN COMPUTACION.

Dentro del sistema sin conmutación tenemos el sistema de línea colectiva, con llamada en clave.

Estos aparatos están conectados en paralelo, esta unión es el llamado sistema de línea colectiva.



El sistema de línea colectiva es el método más sencillo para formar una red de varios abonados.

En el sistema de línea colectiva, así como en muchas otras donde se usa un solo par de hilos conductores, cualquier conversación de un aparato a otro podrá escucharse en todos los demás aparatos conectados a la misma línea.

Debido al hecho de que una conversación entre dos abonados puede ser escuchada por cualesquiera de los demás, se dice que es un sistema "no secreto". Para tener acceso a los diferentes aparatos es necesario usar un sistema de llamada en clave asignando previamente a cada aparato una combinación de señales o claves.

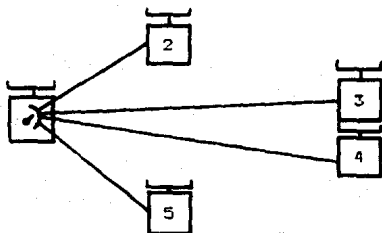
2.2.2 SISTEMAS CON COMPUTACION DESCENTRALIZADA.

Existen aparatos de intercomunicación o de conmutación descentralizada que sólo pueden comunicarse con otro aparato.

La figura, representa un aparato principal y 4 secundarios que es la unión de un abonado con varios de ellos (4).

Se ha representado la unión entre abonados por medio de líneas que a su vez representan 2 o más conductores por cada línea.

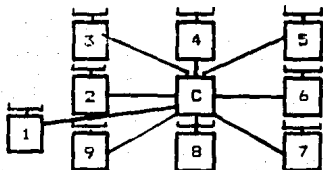
La figura que se indica a continuación representa la unión de todos los abonados entre sí. Esta red se ha obtenido en este caso ya que todos los aparatos pueden seleccionar la línea a la cual comunicarse, es decir, todos los aparatos poseen un selector de líneas.



2.2.3 SISTEMAS DE CONMUTACION CENTRALIZADA.

Una forma única de reducir al mínimo el número de líneas de un sistema será el de conectar toda la operación de llamada y enlace a un solo punto llamado común o central.

La figura muestra una red telefónica con conmutación centralizada:

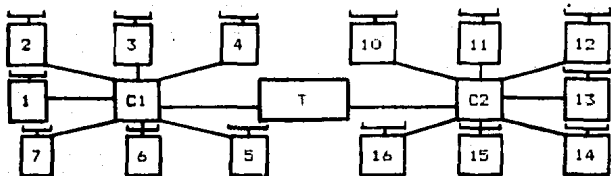


Las líneas en la figura anterior se extienden en forma radial, con un par de hilos por cada aparato. En el punto común o central existe un dispositivo que interconecta las líneas de los abonados y que lleva a cabo la conexión entre los aparatos. Este dispositivo recibe el nombre de " cuadro conmutador " o de una forma más sencilla y con una sola palabra: conmutador.

Este sistema de conmutación centralizada puede tener varios puntos centrales o comunes que se conectan entre si por medio de líneas de enlace llamadas troncales.

Estos puntos comunes a los cuales se conectan todos los abonados de una red reciben el nombre de Centrales Telefónicas.

En la figura están representadas 2 redes telefónicas con conmutación centralizada.



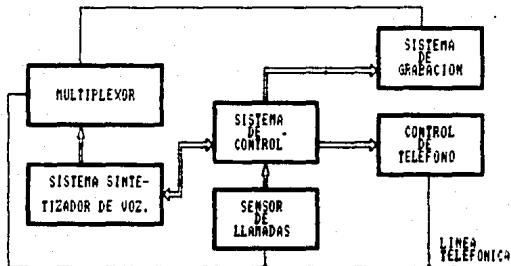
CAPITULO III

DISEÑO DEL SISTEMA DE CONTROL DEL CONTESTADOR TELEFÓNICO

CAPITULO III

DISEÑO DEL SISTEMA DE CONTROL DEL CONTESTADOR TELEFONICO

En este capítulo, se analizará en forma general la descripción y el desarrollo del sistema contestador telefónico. A continuación se presenta el diagrama de bloques del sistema contestador telefónico:



Como se observa en este diagrama, el sistema está compuesto por 6 bloques. Cada uno de los cuales cumple con una función específica. El bloque de Sistema de Control, tiene la tarea de supervisar el funcionamiento de los otros bloques. Dicho bloque, está basado en un sistema mínimo con el microprocesador Z80, el cual tiene la función de seleccionar un bloque siguiendo la siguiente secuencia:

Una vez que se detecta una llamada telefónica, el sensor de llamada envía una señal hacia el Z80 provocando una interrupción al sistema de control. Posteriormente el Z80 manda una señal al Sistema de Control de Teléfono para descolgar a este último. El siguiente paso es activar el Sintetizador Digital de Voz enviándole el código necesario para producir los sonidos que se desean. Una vez concluida esta tarea, se activa entonces la

grabadora para recibir el mensaje. Cabe hacer mención que esta grabadora permanecerá activada durante medio minuto. Al término de este tiempo, se desactiva la grabadora y se manda una señal al bloque de Control de Teléfono para realizar la acción de colgar. Por último, el microprocesador se coloca en un estado de espera hasta que no ocurra otra interrupción.

BLOQUE SENSOR DE LLAMADAS: Es básicamente un comparador y divisor de voltajes, es decir, se convierte de una señal de 80 volts que existen en la línea cuando hay una llamada, a una señal de salida de 5 volts que puede ser manejada por el sistema. Después de esto, se mete a un comparador de voltajes cuya salida es un pulso de aproximadamente 5 volts. Este pulso es mandado al bloque de Control.

BLOQUE DE CONTROL DE TELEFONO: Este bloque permite la interfaz con el aparato telefónico, es decir, cuando hay una llamada abre la línea telefónica y cuando se desactiva la grabadora coloca a la línea en su estado inicial.

BLOQUE SISTEMA DE GRABACION: Es una grabadora activada a control remoto. Básicamente, el microprocesador activa esta grabadora durante medio minuto como se mencionó anteriormente.

BLOQUE SISTEMA SINTETIZADOR DE VOZ: De este bloque se obtiene una serie de sonidos, los cuales son ordenados de tal manera que forman palabras, que en conjunto forman un mensaje. Junto con el microprocesador es la parte más importante del sistema. Este bloque cuenta con una etapa amplificadora para obtener una salida cuya ganancia proporcione mayor fidelidad a la señal que se envía por la línea telefónica.

BLOQUE MULTIPLEXOR: Tiene la función básica de seleccionar si el sistema es de entrada o de salida, es decir, es de entrada si se activa la grabadora o es de salida si se activa el sintetizador de voz. La salida de este multiplexor está conectado a la línea telefónica, de tal forma que solo uno de los bloques anteriores esté conectado a la línea y no los dos al mismo tiempo.

3.1 DESARROLLO DEL HARDWARE.

En esta sección, se explicará en forma detallada las principales características del hardware para el sistema contestador de llamadas telefónicas. Esta sección incluye el desarrollo del sistema mínimo basado en el microprocesador Z80, del cual se describen las características de operación, líneas de control, paginación de memoria y puertos del microprocesador; la interfaz con la línea telefónica, la cual consiste en sensar la llamada mediante un circuito comparador de voltajes.

También incluye la conexión de una grabadora de audio, que tiene la función de registrar la llamada telefónica en una cinta magnética. Un aspecto bastante importante en el desarrollo de este sistema, es la implementación del bloque que genera un mensaje mediante el empleo de un sintetizador digital de voz (SPD256). En este bloque se describen las características de operación del circuito y las líneas de control utilizadas para la interconexión del microprocesador.

3.1.1 SISTEMA BASICO CON EL MICROPROCESADOR Z80.

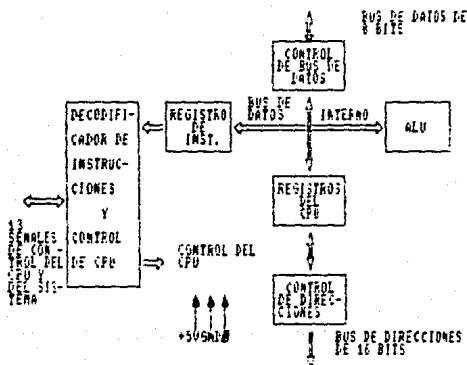
El sistema básico propuesto empleando Z80, en términos generales cuenta con 2 K de EPROM, 2 puertos de salida y sistema

de reloj de 4 MHz. El campo de acción de este sistema, está reducido a un sistema de control de llamadas telefónicas.

El circuito, por su simplicidad, no cuenta con memoria RAM. Lo que implica que no pueden usarse instrucciones de software que involucren el uso de stack (llamadas a subrutinas, pop, push, etc).

A continuación se dará una breve introducción a la arquitectura del Z80-CPU.

El diagrama de bloques del Z80-CPU se muestra a continuación:



En este diagrama se muestran los elementos que constituyen el Z80-CPU que serán explicados como sigue:

a) REGISTROS DEL CPU.

Existen 2 grupos de registros: los registros de propósito especial y los registros de propósito general.

Dentro del grupo de registros de propósito especial existen:

PROGRAM COUNTER (PC). Es un registro de 16 bits que contiene la dirección de la siguiente instrucción a ser

ejecutada. El PC se incrementa automáticamente después que el contenido ha sido transferido a las líneas de dirección. Cuando ocurre un salto, el nuevo valor es automáticamente colocado en el PC.

STACK POINTER (SP). Es un registro de 16 bits que contiene la dirección del tope actual de un stack. El stack está organizado como una lista de tipo LIFO (Last Input First Output), es decir, los datos sacados del stack son siempre los últimos que entraron. Los datos pueden ser colocados en el stack desde los registros específicos del CPU o sacados del stack hacia los registros específicos mediante las instrucciones pop y push.

REGISTROS INDICES (IX E IY). Son registros de 16 bits que son utilizados para el modo de direccionamiento indexado. En este modo un registro indexado es utilizado como un apuntador base a una región en memoria.

REGISTRO VECTOR DE INTERRUPCIONES (I). Es un registro de 8 bits que es utilizado para almacenar el byte más significativo de la dirección indirecta, mientras que el dispositivo que interrumpe provee el byte menos significativo de la dirección.

REGISTRO REFRESCO DE MEMORIA (R). Registro de 8 bits que contiene un contador para refresco de memorias dinámicas. Este registro es incrementado automáticamente después del ciclo de Fetch. Este modo de refresco, es totalmente ajeno al programador, aunque éste puede cargar el registro R para algunos propósitos.

REGISTROS DE ACUMULADOR Y BANDERA.

El CPU incluye 2 acumuladores independientes entre sí de 8 bits y registros de bandera asociados de 8 bits. El acumulador

contiene el resultado de operaciones aritméticas o lógicas de 8 bits, mientras que el registro de bandera, indica condiciones específicas para operaciones de 8 o 16 bits, tal como indicar si el resultado de una operación es o no igual a cero.

REGISTROS DE PROPOSITO GENERAL.

Existen 2 grupos de registros de propósito general, cada conjunto contiene 6 registros de 8 bits que pueden ser utilizados individualmente o como registros pares de 16 bits por el programador.

Un grupo está formado por los registros BC, DE Y HL, mientras que el complementario está formado por los registros BC', DE' y HL'. Las operaciones se realizan únicamente sobre los registros no complementarios; para hacer uso del otro grupo, es necesario hacer uso de instrucciones de intercambio entre registros (EXX, etc).

UNIDAD LOGICA Y ARITMETICA (ALU).

Las instrucciones lógicas y aritméticas de 8 bits, son ejecutadas en la ALU. Internamente, esta se comunica con los registros y el bus de datos.

El tipo de instrucciones que la ALU puede ejecutar incluyen:

- a) Suma
- b) Resta
- c) And lógica
- d) Or exclusiva
- e) Or lógica
- f) Comparación
- g) Corrimientos aritméticos y lógicos

- h) Incrementos
- i) Decrementos
- j) Operaciones sobre algún bit especial
- k) Prueba de bits

REGISTROS DE INSTRUCCION Y CONTROL DEL CPU.

Cada instrucción que se obtiene de memoria es colocada en el registro de instrucción y decodificada. La sección de control ejecuta esta función, luego genera y suministra todas las señales de control necesarias para leer o escribir datos desde o hacia los registros, controla la ALU y nos da todas las señales externas de control que se necesitan.

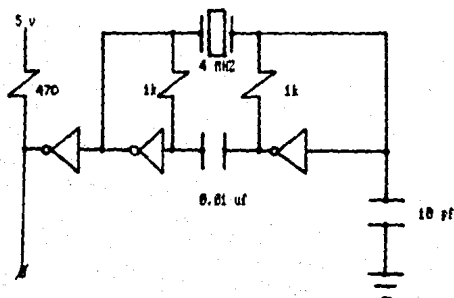
REGISTROS PRINCIPALES		REGISTROS ALTERNOS		
ACUMULADOR	BANDERAS	ACUMULADOR	BANDERAS	
A	F	A'	F'	
B	C	B'	C'	REG. PROPOSITO
D	E	D'	E'	GRAL.
H	L	H'	L'	

VECTOR	REFRESCO	
INTERRUPCIONES	DE MEMORIA	
I	R	
REGISTRO INDICE	IX	REGISTROS
REGISTRO INDICE	IY	DE PROPOSITO
STACK POINTER	SP	ESPECIAL.
PROGRAM COUNTER	PC	

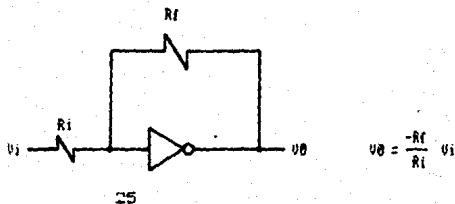
3.1.1.1 GENERACION DE RELOJ.

Uno de los principales aspectos dentro de un sistema digital que emplea microprocesadores, es la de la señal de reloj, fundamental para sincronizar todos los componentes del circuito básico. La señal de reloj es una serie regular de pulsos producidos por un oscilador; las características internas del procesador determinan la frecuencia y el ancho del pulso de esta señal.

Existen diferentes circuitos para generar señales de reloj, de los cuales se escogió el siguiente dadas sus características y su facilidad de construcción.



Este circuito tiene la función de generar una señal senoidal a la salida del segundo inversor. El arreglo de inversor con resistencia, tiene la función de trabajar como un amplificador con realimentación negativa, esto hace que el sistema sea estable.



Este amplificador nos da además un corrimiento de 180° en la fase; pero, para que un sistema sea inestable, es decir, para que pueda oscilar, debe existir una realimentación positiva lo que implica que se utilice un segundo amplificador también con realimentación negativa para hacer que el desfase sea de 360° , esto es, que la entrada del primer inversor está en fase con la salida del segundo inversor. Se agrega entonces un cristal de cuarzo de 4 MHz para cerrar la malla, y entonces tener una retroalimentación positiva que produce oscilaciones a la frecuencia del cuarzo.

La función del capacitor de 0.01 μ f, es el desacoplamiento de los 2 amplificadores para evitar problemas con la corriente directa.

El tercer inversor funciona como un buffer en la salida para hacer que el cristal trabaje en bajas impedancias y evitar problemas de acoplamiento con el microprocesador.

3.1.1.2 SEÑALES DE CONTROL.

Para el desarrollo del sistema mínimo basado en el Z80-CPU, es necesario emplear señales de control para funciones tales como: habilitación, sincronización y atención de dispositivos de entrada-salida.

Las señales de control que se emplean en este sistema, tienen la siguiente función:

MREQ (Memory Request). - Salida Tri-state, activa baja. Esta señal indica que el bus de direcciones mantiene una dirección válida para una operación de R/W a memoria. Dado que se emplea únicamente en el sistema una EPROM, esta señal está conectada al

CS de la memoria para su habilitación.

$\overline{\text{IORQ}}$ (Input/Output Request). - Salida Tri-state, activa baja. La señal $\overline{\text{IORQ}}$ indica que la parte media baja del bus de direcciones mantiene una dirección válida de entrada-salida para una operación de lectura o escritura a dispositivos periféricos.

$\overline{\text{WR}}$ (Write). - Salida Tri-state, activa baja. Esta señal indica que el bus de datos del CPU, mantiene datos válidos en la memoria direccionada o dispositivos de entrada-salida. La señal de $\overline{\text{WR}}$ se utiliza conjuntamente con la señal de $\overline{\text{IORQ}}$ para generar otra señal por medio de la cual se pueden habilitar los puertos de entrada-salida, es decir, que el microprocesador desea enviar datos hacia algún dispositivo periférico.

$\overline{\text{WAIT}}$ (Wait). - Señal de entrada, activa baja. Esta señal indica al CPU que la memoria o los dispositivos de entrada-salida, no están listos para la transferencia de datos. El CPU continúa realizando estados de espera, mientras esta señal este activa. Esta señal permite a la memoria o dispositivos de entrada-salida de cualquier velocidad el ser sincronizados al CPU.

$\overline{\text{NMI}}$ (Non Maskable Interrupt). - Señal de entrada, activada con flanco de bajada. La línea de interrupción no mascarable tiene una prioridad más alta que la $\overline{\text{INT}}$, y siempre se reconoce al final de la instrucción que se está ejecutando. Una interrupción $\overline{\text{NMI}}$, automáticamente fuerza al CPU a comenzar en la localidad 0066H.

En esta localidad se encuentra una rutina de servicio que está involucrada con el cambio de datos o información de status y

control entre el CPU y el periférico.

El PC es automáticamente salvado en el stack externo hasta que el usuario pueda regresar al programa que fue interrumpido, es decir, una vez que la rutina de servicio es completada.

Esta señal la genera el dispositivo periférico y no puede ser deshabilitada por el programador. Esta interrupción, es generalmente reservada para funciones muy importantes, las cuales tienen que ser servidas cuando esta interrupción ocurra.

Existen 2 Flip Flops de habilitación llamados IFF1 e IFF2. IFF1 es usado para actualizar las inhibiciones de interrupción, mientras que IFF2 se emplea para salvar el status de IFF1 cuando ocurra una NMI. Cuando una interrupción es aceptada, IFF1 se resetea para prevenir interrupciones mascarables durante la interrupción no mascarable hasta que el programador rehabilite.

Al regresar de la rutina de servicio, IFF2 es copiada en IFF1 y automáticamente es restaurado el estado anterior.

RESET .- Señal de entrada, activa baja. Esta señal fuerza al PC a ser cero e inicializar al CPU. La inicialización del CPU incluye:

- 1) Deshabilitación de los flip flops de interrupciones.
- 2) Registro I= 00H.
- 3) Registro R= 00H.
- 4) Modo de interrupción 0.

Durante el tiempo de **RESET**, el bus de datos y el bus de direcciones van a un estado de alta impedancia y todas las señales de salida de control van a un estado inactivo. No ocurre refresco.

RELOJ.- Sistema de fase simple.

3.1.1.3 INTERCONEXION DE MEMORIA Y PUERTOS.

Para la elaboración de un sistema de control basado en microprocesador, es necesario contar con un dispositivo de almacenamiento ya sea temporal o permanente, es decir, que la información que se encuentre guardada en este circuito pueda modificarse durante la ejecución de un proceso o permanecer fija durante toda la ejecución del mismo. La información que se almacena dentro de la memoria fundamentalmente es un programa de control que interactuando con el microprocesador supervisa un proceso externo. Dentro del programa de control están incluidas las rutinas de servicio a interrupciones.

Otro aspecto importante dentro de un sistema de control, es la facilidad que presenta el sistema para realizar una transferencia de información entre el microprocesador y los dispositivos periféricos; lo anterior se realiza utilizando puertos que pueden ser de entrada o salida. Para la construcción de estos puertos se utilizan generalmente dispositivos de almacenamiento temporal como pueden ser flip flops, latches o cualquier otro circuito semejante que tenga la misma función.

CONEXION DE MEMORIA.

En este sistema basado en el Z80-CPU, es utilizada la memoria EPROM 2716, la cual tiene una organización de 2048 palabras de 8 bits cada una.

En esta memoria, se encuentra grabado el programa de control, la rutina de servicio a interrupciones y el código necesario para direccionar el sintetizador digital de voz para

que emita los sonidos adecuados y así formar el mensaje.

Para direccionar 2k bytes de memoria, se utilizan las once líneas menos significativas del bus de direcciones. Puesto que el programa de control no sobrepasa los 2k bytes, no es necesario hacer paginación de memoria.

Por lo tanto, la línea de requerimiento de memoria (\overline{MREQ}), es el habilitador de la EPROM 2716 (\overline{CS}). Dado que un requerimiento a memoria para este caso, siempre es una lectura a ésta, las líneas de \overline{RD} y \overline{WR} pueden ser no utilizadas.

CONEXION DE PUERTOS.

Existen dos puertos de salida. El puerto 00H se emplea para controlar:

- 1) Acción de colgar y descolgar teléfono.
- 2) Activar grabadora.
- 3) Deshabilitar sensor de llamadas.
- 4) Contador de llamadas.

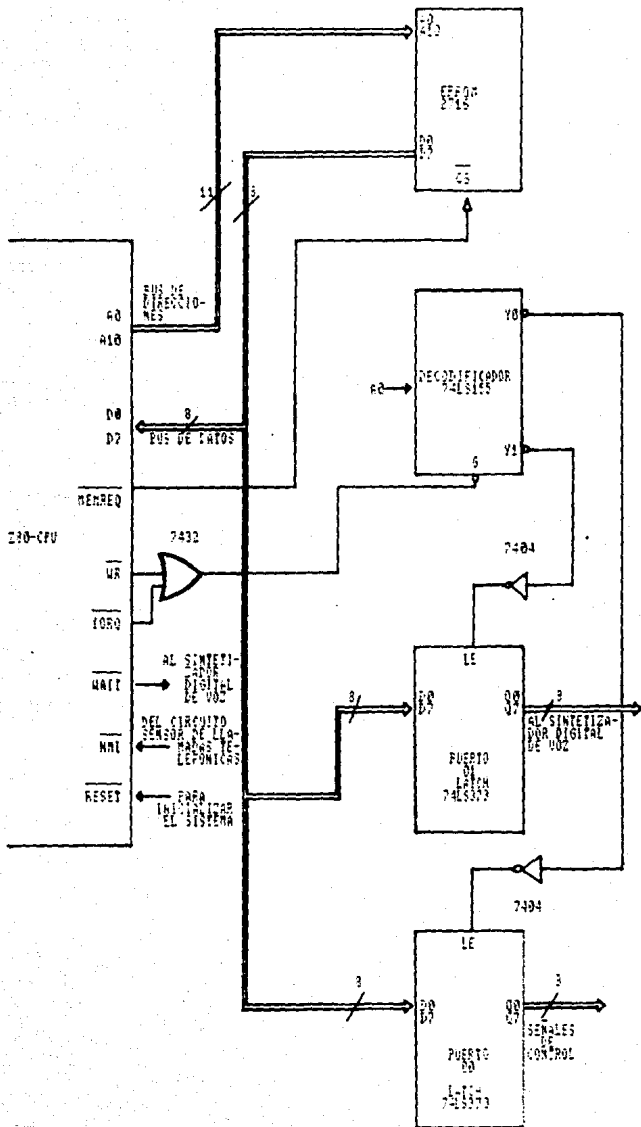
El puerto 01H, es utilizado para direccionar el sintetizador digital de voz. Para hacer diferencia entre el puerto 00H y el puerto 01H, se utiliza la línea A0 del bus de direcciones para hacer una decodificación de puertos.

Para habilitar el decodificador de puertos, se utilizan las líneas de control \overline{TDQ} y \overline{WR} conectadas a una compuerta OR, teniendo a la salida una señal de \overline{TDWR} con la cual indicamos que queremos hacer referencia a un puerto de salida.

Puesto que la salida del decodificador es activa baja, es necesario utilizar un inversor en las salidas (2Y0 y 2Y1) de éste para poder elegir los puertos.

El decodificador empleado es el 74155 y los puertos se implementar con un latch 74LS373.

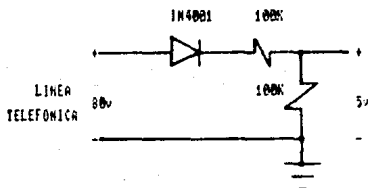
A continuación se muestra el diagrama eléctrico donde se indica la forma en que se conectaron la memoria y los puertos utilizados.



3.1.2 INTERFAZ CON LA LINEA TELEFONICA.

Tomando en cuenta las características de los voltajes que maneja la red telefónica dentro de la Ciudad de México, fue necesario hacer ajustes pertinentes de dichos voltajes para un buen funcionamiento del Sistema Controlador de Llamadas Telefónicas ya que éste trabaja con niveles TTL (5v), mientras que los voltajes en la línea telefónica no tienen esos niveles.

Para ello, fue necesario utilizar un divisor de voltajes, el cual convierte una señal de entrada de 80V de Corriente Alterna (que se presenta en la línea cuando existe una llamada) a una señal de salida de 5V Corriente Directa empleándose el siguiente arreglo:



Esta interfaz incluye también un circuito que es capaz de abrir y cerrar la línea telefónica, utilizando para ello la señal de control de descolgar teléfono la cual es proporcionada por el sistema de control basado en Z80.

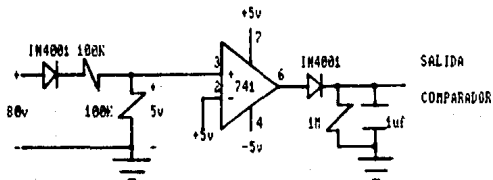
Para la interconexión de la grabadora fue necesario multiplexar la línea telefónica, primero hacia lo que es el sintetizador de voz y posteriormente hacia la grabadora, esto para evitar que se presentara un corto circuito lo que provocaría una señal distorsionada.

3.1.2.1 SENSOR DE LLAMADAS.

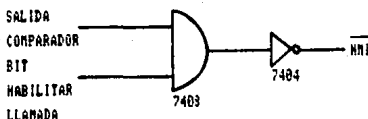
Este circuito está compuesto por dos bloques:

a) Divisor de voltajes: convierte una señal de entrada de 80V previamente rectificadas utilizando un diodo IN4001, a una señal de salida de 5V Corriente Directa.

b) Comparador de Voltajes: la salida del divisor de voltajes es comparada con un voltaje de referencia de 5V, de tal forma que a la salida de este comparador se obtiene un pulso únicamente cuando existen 80V en la línea que indica una llamada, es decir, cuando no existe una llamada, se presentan en la línea 24 volts Corriente Alterna.



Debido a la inestabilidad eléctrica de la línea telefónica, fue necesario utilizar una señal de control (habilitación de llamada) de tal forma que la interrupción NMI se active cuando el bit de habilitar llamada se encienda y exista el pulso a la salida del comparador.

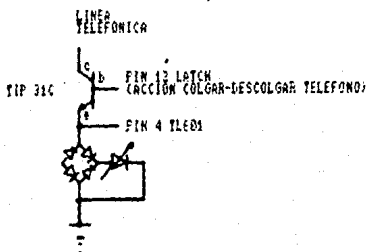


3.1.2.2 ACCION DE DESCOLGAR Y COLGAR TELEFONO.

Una vez que la interrupción ha sido activada, se habilita otra señal de control (bit "colgar-descolgar teléfono"). Dicha señal está conectada a la base de un transistor TIP31 de tal

forma que cuando se activa esta señal de control, el transistor va a su región de saturación provocando que este último funcione como un switch, es decir, conecta la línea telefónica a un puente de diodos que tienen la función de abrir o cerrar a esta.

Una vez transcurrido el tiempo destinado a la grabación del mensaje, el bit de acción de colgar-descolgar teléfono, se apaga provocando que el transistor entre a su región de corte; esto hace que se abra la línea telefónica y esté en condiciones de recibir otra llamada.



3.1.2.3.- INTERCONEXION DE UNA GRABADORA.

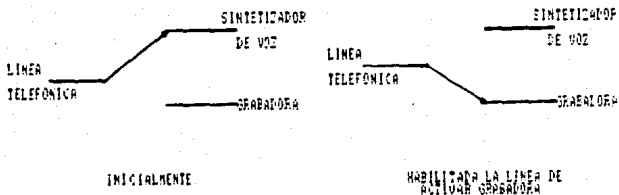
El sistema de grabación, está formado por elementos que permiten activar una grabadora de audio a control remoto y un circuito que permite multiplexar a la misma con el sintetizador digital de voz.

Fue necesario utilizar una grabadora que contara con una entrada para micrófono y otra para activarla (control remoto); estas entradas son MIC y REMOTE respectivamente.

La entrada al micrófono de la grabadora, está conectada a la línea telefónica en donde se recibirá el mensaje para grabarlo. Dado que no fue posible conectar directamente el micrófono a la línea telefónica, fue necesario emplear un circuito que fuera

capaz de multiplexar el sintetizador de voz y el microfono con la linea telefónica para evitar problemas de acoplamiento entre los dos primeros.

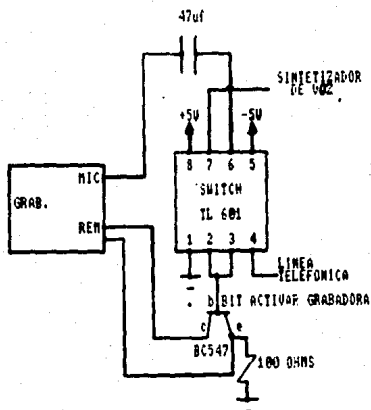
Para esto se empleó un circuito TL601 (switch analógico), que inicialmente está conectado al sintetizador digital de voz de tal forma que cuando existe una llamada, permite el paso del mensaje hacia la línea telefónica. Concluida esta tarea, se habilita la línea de control "activar grabadora", lo que provoca que el switch analógico cambie de posición permitiendo ahora que se pueda realizar la conexión del microfono con la línea telefónica.



Para poder realizar una grabación de mejor calidad, fue necesario conectar un capacitor que permitiera eliminar la componente de directa, la cual provoca una señal distorsionada. Después de una serie de pruebas, se llegó a la conclusión de que el capacitor debería tener un valor de 47 uf.

El control remoto de la grabadora, es manejado utilizando un transistor BC547 con la función de trabajar como un switch. Se eligió éste, ya que presenta menos resistencia al paso de la corriente que si se empleara un switch analógico convencional. Entonces, cuando se habilita el bit de "activar grabadora", el

cual está conectado a la base del transistor, las dos líneas que forman la señal de REMOTE, quedan conectadas a un mismo punto activándose entonces la grabadora. Se conectó una resistencia de 100 ohms al emisor como referencia del bit de control con tierra.



3.1.3.- SINTETIZADOR DIGITAL DE VOZ.

Uno de los aspectos más importantes en el desarrollo del sistema contestador de llamadas telefónicas, es la implementación de un circuito digital capaz de producir sonidos, de tal forma que la combinación de estos produzcan palabras que tengan una secuencia coherente para quien las escucha.

En esta sección del desarrollo del hardware, se tratan principalmente los circuitos utilizados, cómo están interconectados entre sí, y el funcionamiento básico del sintetizador digital de voz, es decir, la forma en que se generan

los sonidos, qué sonidos se producen y de que manera obtenerlos direccionando el circuito.

3.1.3.1.- DESCRIPCION DEL HARDWARE.

El sintetizador digital de voz SP0256-AL2, está conectado a un puerto paralelo (01H) del sistema básico del Z80. Dicho puerto tiene la función de direccionar al SP0256 para que éste genere el mensaje diseñado. Cuando se está ejecutando la transferencia de datos, es necesario una sincronización, pues el Z80 trabaja más rápido que el SP0256. Esta sincronización se realiza conectando la línea SBY del sintetizador con la línea WAIT del Z80, ya que cuando el buffer del SP0256 está lleno, no es posible realizar transferencia de datos desde el Z80, por lo que sería necesario realizar ciclos de espera hasta que el sintetizador esté en condiciones de aceptar otra dirección. Un "1" lógico en la línea SBY indica que el SP0256 está inactivo y el voltaje de alimentación al circuito puede bloquearse para ahorrar energía. Cuando el SP0256 se reactiva por la carga de una dirección, SBY va automáticamente a "0" lógico.

Cuando se desea hacer referencia a una localidad del SP0256, es necesario poner en el puerto de entrada del sintetizador la dirección del sonido que se quiera obtener y activar la señal de entrada ALD con un pulso negativo mediante la misma línea que activa el puerto 01H.

Como se mencionó anteriormente, dentro de las funciones de la señal de salida SBY, está la de ahorrar energía. Esto se realiza a través de los transistores T1 y T2. Como se puede observar, en el diagrama del bloque sintetizador de voz, al

activarse SBY con "1" lógico provoca que el transistor T1 entre a su región de saturación haciendo que todo el voltaje que se encuentra en el emisor vaya a tierra provocando que el transistor T2 se coloque en su región de corte. Al hacer esto, la línea de entrada **RESET** es activada y por lo tanto desactiva todas las partes que componen al SP0256 (excepto la interfaz lógica del microprocesador) que están alimentadas por el voltaje de entrada.

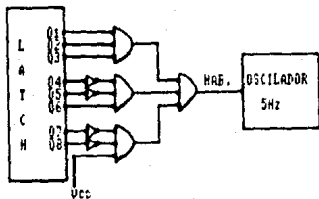
El SP0256 para su funcionamiento requiere de un cristal de cuarzo de 3.12 MHz. Debido a que el sintetizador posee un oscilador interno, no es necesario generar una señal de reloj con un circuito externo; por lo tanto el cristal se conecta a las terminales OSC1 y OSC2 del sintetizador.

El pin DIGITAL OUT, nos da como salida un tren de pulsos modulado, el cual es convertido a una señal analógica cuando es afectada por un filtro paso-bajas externo. Esta señal analógica es amplificada utilizando el circuito integrado LM741 configurado con una ganancia de 220 veces el voltaje de entrada.

Un problema que se presentó en el desarrollo del sistema contestador de llamadas telefónicas debido a las características fonéticas del circuito sintetizador de voz, fue principalmente el acento extranjero de la letra "R" dentro de una palabra, por lo que fue necesario implementar una lógica externa para que cuando se presentara la dirección que generara este sonido, se activara un circuito oscilador el cual tiene una frecuencia de 5 Hz que sumada al resto de la palabra, mejora bastante el sonido de la letra "R". Lo anterior se realiza de la siguiente manera:

Cuando llega al puerto 01H del sistema la dirección 27H,

con la cual se selecciona el sonido RR2 del conjunto de fonemas, se decodifica esta dirección por medio de un grupo de compuertas AND de tres entradas (circuito 7411) como muestra la figura:



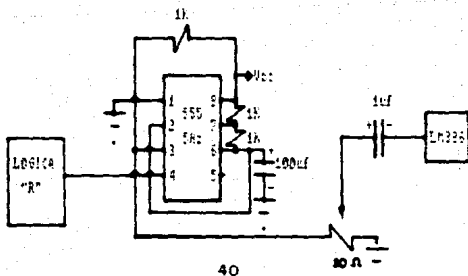
De esta forma cuando se presenta la dirección válida 27H, se tiene como salida en la última compuerta AND un "1" lógico que activa el timer LM555 que se encuentra configurado para oscilar a una frecuencia de 5 Hz. Esta frecuencia está determinada por los valores de las resistencias y el capacitor como se muestra a continuación:

$$TL = 0.06666$$

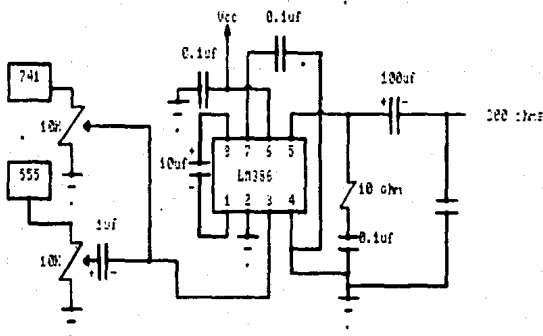
$$TH = 0.13333$$

$$RB = \frac{0.06666}{0.693(100 \times 10^{-6})} = 962 \text{ [ohms]}$$

$$RA = \frac{0.13333}{0.693(100 \times 10^{-6})} - 962 = 962 \text{ [ohms]}$$



La señal de salida de 5 Hz del oscilador, es sumada a la señal analógica que fue amplificada por el circuito LM741 (amplificador operacional) teniendo entonces el conjunto de sonidos para formar una palabra. Se emplea un capacitor de 1 μ f para acoplar estas dos señales que se suman; posteriormente, esta señal se amplifica una vez más utilizando el circuito amplificador de potencia LM386 configurado para obtener una ganancia de 200 veces el voltaje de entrada como se muestra en la figura:



Por último, la salida del amplificador se conecta a una bocina de 200 ohms que se usa comúnmente en aparatos telefónicos. Se empleó una bocina de este valor, ya que la fidelidad del audio es mejor que si se empleara una bocina de 8 ohms que son las que comúnmente se encuentran en el mercado.

3.1.3.2.- FUNCIONAMIENTO BASICO DEL BLOQUE SINTETIZADOR.

El sintetizador digital de voz SPQ256 es un dispositivo LSI con tecnología NMOS, que es capaz de formar palabras o sonidos complejos, usando un programa almacenado en memoria.

La salida de este circuito produce una respuesta en

frecuencia desde cero hasta 5 KHz, una atenuación de 42 dB y una relación de señal a ruido de aproximadamente 35 dB.

El SP0256 incorpora cuatro funciones básicas:

- Un filtro digital programable por software que puede modelar un sonido vocal.
- Una ROM de 16 KB la cual almacena datos e instrucciones.
- Un microcontrolador, el cual controla el flujo de datos de la ROM al filtro digital, el ensamble de los caracteres necesarios para ligar elementos de palabras, y la amplitud y tono de la información para excitar el filtro digital.
- Un modulador de pulsos que crea una salida digital la cual es convertida a una señal analógica cuando es afectada por un filtro paso bajas externo.

El SP0256-AL2, requiere del uso de un procesador para concatenar los sonidos y formar palabras. Este se controla usando los pines de direcciones (A1 a A8), $\overline{\text{ALD}}$ (Address Load) y SE (Strobe Enable). El objetivo de controlar el chip es el de cargar una dirección, la cual contiene los sonidos deseados. Los datos para el conjunto de sonidos, están contenidos en la ROM interna del sintetizador.

Se requieren únicamente seis pines de direcciones (A1 a A6) para direccionar los 59 sonidos más 5 pausas, que dan un total de 64 localidades. Entonces para referenciar el bus de direcciones sería utilizar A1 a A6 y conectar a tierra A7 y A8.

Existen dos formas para cargar una dirección en el chip. SE (Strobe Enable) controla el modo que se puede emplear.

MODE 0 (SE=0): Accesa una dirección cuando uno o más pines

tienen una transición de bajo a alto; por ejemplo, para cargar la dirección 1, desde A2 y hasta A6 valen "0" lógico y A1 se activa en alto. Para cargar la dirección 12, A1, A3, A5 y A6 valen "0" lógico, y A2 y A4 se activan con "1" lógico. (Note que una dirección cero no puede ser accesada usando este modo).

MOD0 1 (SE=1): Accesa una dirección usando el pin \overline{ALD} . Primero, selecciona la dirección deseada en el bus de direcciones (A1 a A6) y entonces poner \overline{ALD} en bajo. Cualquier dirección puede ser cargada usando este modo; pero requiere tiempos de acceso y estabilización (Referirse a los diagramas de tiempo para los tiempos específicos).

Existen dos pines para la interfaz con el microprocesador que provocan una carga rápida de direcciones; estas son \overline{LRQ} y SBY. \overline{LRQ} (Load Request) le dice al microprocesador cuándo la entrada del buffer está llena. SBY (Stand By), le indica al microprocesador que el chip tiene la comunicación deshabilitada y que una nueva dirección no puede cargarse. Tampoco el pin de interfaz puede ser usado cuando concatenamos sonidos. \overline{LRQ} es una señal activa baja; cuando \overline{LRQ} va a nivel bajo, es tiempo de cargar una nueva dirección al chip. Si \overline{LRQ} es alta, entonces simplemente espera a que baje el nivel antes de cargar la dirección; SBY permanece en nivel alto hasta que una dirección es cargada, y luego va a nivel bajo y permanece así hasta que todas las instrucciones internas (speech code) de una dirección se completan; hasta que esta señal va a alto es tiempo de cargar una nueva dirección. Es necesario usar SBY con la interfaz del procesador.

Para el dispositivo que se presenta, el número de sonidos se reduce a 59 y además se cuenta con 5 pausas. Estos sonidos se generan al obtener de una memoria ROM el código correspondiente, esta ROM está contenida en el circuito integrado y con sólo dar una dirección, el dispositivo genera el sonido a través de una bocina. Cualquier palabra o frase puede ser creada con una combinación apropiada de sonidos y pausas. Cada localidad de memoria requiere de 6 bits de direccionamiento.

Cada sonido en un lenguaje puede ser representado por más de una letra y viceversa, cada letra puede representarse por más de un sonido. Un punto de gran importancia en lo referente a los sonidos, es que pueden ser diferentes dependiendo de la posición en la palabra; por ejemplo, el sonido de la letra "M" en la palabra "MINUTO", es bastante parecido al sonido de la letra "N" dentro de la palabra "TIENE", esto depende de la posición dentro de la palabra y de las vocales que le anteceden o le siguen.

Un sonido en una palabra puede sonar diferente si se emplea en otra palabra dentro de una misma frase. No es sorpresa, por lo tanto, que un sonido en una palabra sea ligeramente diferente cuando se usa varias veces en una frase.

GENERACION DE FONEMAS.

Los sonidos de un lenguaje son llamados fonemas, y cada lenguaje tiene un conjunto el cual es ligeramente diferente de uno a otro lenguaje, es decir, los fonemas es el nombre dado a un grupo de sonidos en un lenguaje. Como se menciono anteriormente, un fonema es acústicamente diferente dependiendo de su posición dentro de una palabra, se puede definir entonces a un

"ALLOPHONE", como cada una de esas variantes de posición de los fonemas.

El conjunto de allophones, contiene dos o tres versiones de algunos fonemas; esto es necesario dadas las diferencias acústicas que dependen de la posición donde se encuentren los allophones en la palabra, esto es al principio, al final o entre la palabra.

Por ejemplo las palabras "TIENE" y "MINUTO" que están dentro del mensaje que se diseñó para contestar el teléfono, se componen de los siguientes allophones:

T	TT1	M	MM
I	IH IH	I	IH
E	EH PA1	N	NN1
N	MM	U	UH PA3
E	EH EH PA5 PA1	T	TT2
		O	AO AO PA5 PA5

Note que se utilizaron los allophones TT1 y TT2 para hacer referencia a un solo fonema, esto se debe a la posición que guardan dentro de la palabra, ya que es necesario muchas veces el tener en cuenta la duración de cada allophone.

Por ejemplo TT1 tiene una duración de 100 ms mientras que TT2 tiene una duración de 140 ms, lo que hace que un sonido sea más marcado que el otro.

Para terminar una palabra es necesario hacer una pausa. En el ejemplo anterior, al finalizar la palabra se utilizaron las pausas PA5 y PA1; estas pausas no son un sonido, pero son

necesarias para separar palabras.

GENERACION DEL MENSAJE.

Para el desarrollo de esta parte del sistema, se tomaron en cuenta varias consideraciones importantes. Debido a las características del sintetizador digital de voz SF0256-AL2, en lo referente a la generación de allophones, éstos tienen un enfoque bastante marcado hacia la fonética del idioma inglés, por lo que se presentaron algunos problemas para formar un mensaje que no tuviera tan marcado este acento; por lo mismo, fue necesario implementar un circuito lógico combinacional para generar el fonema "R" de tal forma que tuviera una pronunciación cercana a la "R" del español.

Para los demás fonemas fue necesario hacer una serie de pruebas para buscar los allophones y formar palabras que estuvieran lo más cercano posible a la fonética del español; por ejemplo, fue necesario cambiar la letra NN1 en la palabra "TONO" y sustituirla por la letra MM1 la cual es más comprensible.

A continuación se presenta el mensaje desarrollado en base a la tabla 1 que se muestra después:

CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
PAUSAS		
04	PA5	200
04	PA5	200
04	PA5	200
04	PA5	200
04	PA5	200
04	PA5	200
PALABRA: HOLA		
17	A0	100
17	AD	100
2D	LL	110
18	AA	100
18	AA	100
04	PA5	200
04	PA5	200
PALABRA: NO		
3B	NN2	150
17	AD	100
04	PA5	200
00	PA1	10
PALABRA: ESTAMOS		
07	EH	70
07	EH	70
37	SS	90
02	PA3	50
0D	TT2	140
1B	AA	100
18	AA	100
10	MM	180
17	AD	100
17	AD	100
37	SS	90
04	PA5	200
00	PA1	10
PALABRA: EN		
07	EH	70
07	EH	70
0B	NN1	140
04	PA5	200
00	PA1	10

CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
PALABRA: CASA		
08	KK3	120
18	AA	100
18	AA	100
00	PA1	10
37	SS	90
18	AA	100
18	AA	100
04	PA5	200
04	PA5	200
PALABRA: DEJE		
21	DD2	160
07	EH	70
07	EH	70
00	PA1	10
39	HH2	180
39	HH2	180
07	EH	70
07	EH	70
04	PA5	200
00	PA1	10
PALABRA: EL		
07	EH	70
07	EH	70
2D	LL	110
04	PA5	200
00	PA1	10
PALABRA: MENSAJE		
10	MM	180
07	EH	70
07	EH	70
08	NN1	140
37	SS	90
18	AA	100
18	AA	100
18	HH1	130
07	EH	70
07	EH	70
04	PA5	200
00	PA1	10

CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
PALABRA: AL		
18	AA	100
18	AA	100
2D	LL	110
04	PA5	200
00	PA1	10
PALABRA: ESCUCHAR		
07	EH	70
07	EH	70
37	SS	90
00	PA1	10
08	KK3	120
1E	UH	100
00	PA1	10
25	SH	160
18	AA	100
18	AA	100
27	RR2	120
04	PA4	200
00	PA1	10
PALABRA: EL		
07	EH	70
07	EH	70
2D	LL	110
04	PA5	200
00	PA1	10
PALABRA: TONO		
11	TT1	100
17	AO	100
10	MM	180
17	AO	100
17	AO	100
04	PA5	200
04	PA5	200
PALABRA: TIENE		
11	TT1	100
0C	IH	70
0C	IH	70
07	EH	70
00	PA1	10
10	MM	180

CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
07	EH	70
07 1	EH	70
04	PA5	200
00	FA1	10

PALABRA: MEDIO

10	MM	180
07	EH	70
07	EH	70
01	PA2	30
21	DD2	160
0C	IH	70
0C	IH	70
17	AD	100
17	AD	100
04	PA5	200

PALABRA: MINUTO

10	MM	180
0C	IH	70
0B	NN1	140
1E	UH	100
02	PA3	50
0D	TT2	140
17	AD	100
17	AD	100
04	PA5	200
04	PA5	200
04	PA5	200
04	PA5	200

TONO

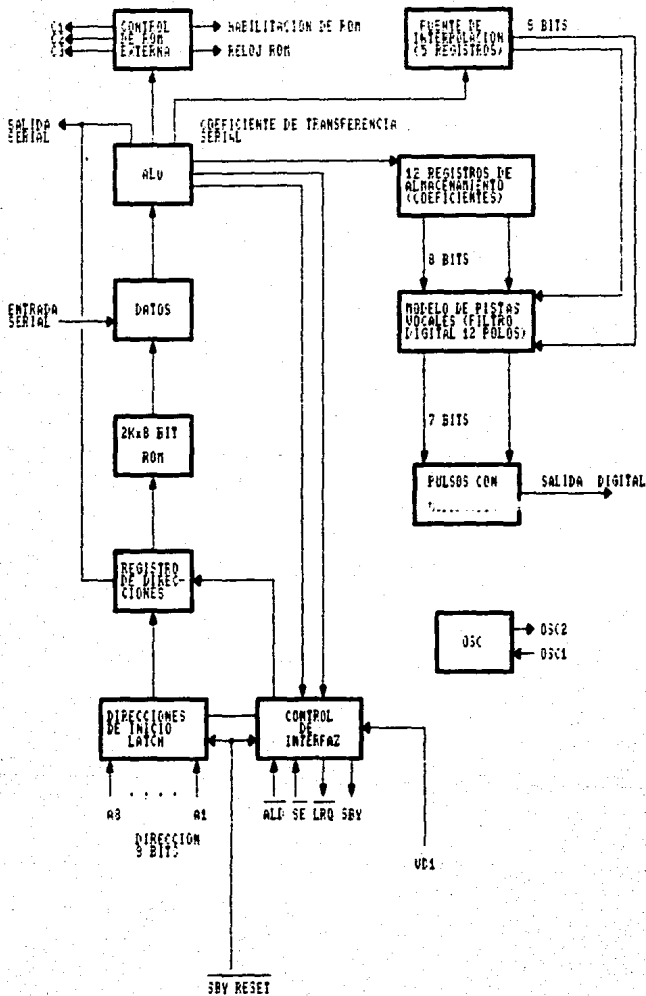
05	OY	420
05	OY	420
05	OY	420
05	OY	420
05	OY	420
05	OY	420
05	OY	420
04	PA5	200
04	PA5	200
04	PA5	200
04	PA5	200

TABLA 1

DIRECCION DECIMAL	CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
00	00	PA1	10
01	01	PA2	30
02	02	PA3	50
03	03	PA4	100
04	04	PA5	200
05	05	OY	420
06	06	AY	260
07	07	EH	70
08	08	KK3	120
09	09	PP	210
10	0A	JH	140
11	0B	NN1	140
12	0C	IH	70
13	0D	TT2	140
14	0E	RR1	170
15	0F	AX	70
16	10	MM	180
17	11	TT1	100
18	12	DH1	290
19	13	IY	250
20	14	EY	280
21	15	DD1	70
22	16	UW1	100
23	17	AD	100
24	18	AA	100
25	19	YY2	180
26	1A	AE	120
27	1B	HH1	130
28	1C	BB1	80
29	1D	TH	180
30	1E	UH	100
31	1F	UW2	260
32	20	AW	370
33	21	DD2	160
34	22	GG3	140
35	23	VV	190
36	24	GG1	80
37	25	SH	160
38	26	ZH	190
39	27	RR2	120
40	28	FF	150
41	29	KK2	190
42	2A	KK1	160
43	2B	ZZ	210
44	2C	NG	220
45	2D	LL	110
46	2E	WW	180
47	2F	XR	360
48	30	WH	200
49	31	YY1	130

TABLE 1 (CONTINUACION)

DIRECCION HEXADECIMAL	CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
50	32	CH	190
51	33	ER1	160
52	34	ER2	300
53	35	OW	240
54	36	DH2	240
55	37	SS	90
56	38	NN2	190
57	39	HH2	180
58	3A	DR	330
59	3B	AR	290
60	3C	YR	350
61	3D	GG2	40
62	3E	EL	190
63	3F	BB2	50



CAPITULO IV
DESARROLLO DEL SOFTWARE

CAPITULO IV

DESARROLLO DEL SOFTWARE

Este capítulo se refiere al desarrollo del software del sistema contestador telefonico. En él se explicará la forma en que se desarrolló el programa de control y procesamiento de datos. Dicho programa se compone de 2 partes principalmente: la rutina de espera y la rutina de servicio a la interrupción.

Es importante señalar, dado que no se utiliza memoria RAM, que no es posible utilizar instrucciones que involucren stack.

4.1 RUTINAS DE ESPERA.

Esta rutina tiene como objetivo que el microprocesador este en un estado de no operación mientras no ocurra una interrupción no mascarable NMI.

Cuando la señal de RESET se activa en el sistema, el PC toma automáticamente la dirección 0000H indicando que desde ahí se va a comenzar a ejecutar el programa; por lo que es necesario que a partir de la dirección 0000H se encuentren instrucciones de inicialización tales como poner en ceros el contador de llamadas telefónicas, habilitar el sensor de las mismas y deshabilitar las líneas de control restantes.

A continuación se presenta la rutina correspondiente a este estado:

LOCALIDAD	MNEMONICOS	COMENTARIOS
0000	LD A,90H	Inicialización de líneas de control.
0002	LD E,00H	Inicializa contador de llamadas.
0004	ADD A,E	Se forma una palabra de 8 bits de la cual el nibble superior corresponde a las líneas de control y el inferior al contador de llamadas.

LOCALIDAD	MNEMONICO	COMENTARIOS
0005	OUT(00H),A	Esta información se manda al puerto 00H.
0007	LOOP: NOP	Estado de espera para el
0008	JP LOOP	microprocesador mientras no detecte una interrupción.

4.2 RUTINA DE SERVICIO A LA INTERRUPCION (NMI).

Quando el sistema sensa que existe una llamada, se activa la señal NMI del Z80, lo que provoca que el PC tome automáticamente la dirección 0066H, por lo que es necesario colocar esta rutina de servicio a partir de esta localidad de memoria.

A continuación se describe el funcionamiento básico de esta rutina:

La primera función que se realiza dentro de esta rutina, es activar una señal que descuelgue el teléfono; inmediatamente después, el contador de llamadas se incrementa en uno. Esta información se manda al puerto 00H para su ejecución; posteriormente se aplica un retardo antes de la emisión del mensaje.

El mensaje de atención de llamadas, se encuentra a partir de la dirección 00CAH y tiene una longitud de 91H de localidades de memoria.

Se emplea un direccionamiento indirecto utilizando el registro HL como contador. Como se va leyendo la memoria, los datos van siendo enviados al puerto 01H, hasta que es completada la longitud del mensaje.

El siguiente paso, es la activación de una grabadora de audio en el momento en que se completa la lectura del mensaje. El

tiempo de duración durante el cual va a estar activada la grabadora, es aproximadamente medio minuto.

Inmediatamente después, se desactivan todas las señales de control y luego de aproximadamente un segundo, se activa nuevamente el sensor de llamadas. Fue necesario poner este retardo porque la línea telefónica presenta una inestabilidad en el momento en que el teléfono se cuelga.

Como se mencionó anteriormente, en este sistema de software no se pueden utilizar instrucciones que involucren el uso de stack y dado que la instrucción RETN (regreso de interrupción no mascarable) sí hace uso de este último, fue necesario sustituirla con una instrucción de salto a la dirección 0007H donde se encuentra la rutina de espera.

A continuación se presenta el software correspondiente a la rutina:

LOCALIDAD HEX	MNEMONICO	COMENTARIOS
0066	LD A,10H	Activa señal que descuelgue teléfono.
0068	INC E	Incrementa contador de llamadas telefónicas.
0069	ADD A,E	
006A	OUT(00H),A	Envía al puerto 00H.
006C	LD B,FFH	
006E	LOOP1: DEC B	Retardo.
006F	JR NZ,LOOP1	
0071	LD C,91H	Longitud del mensaje.
0073	LD HL,00CAH	Localidad donde se encuentra el mensaje.
0076	REP: LD A,(HL)	Lee los datos en forma secuencial
0077	OUT(01H),A	y los manda al puerto 01H.
0079	INC HL	
007A	DEC C	
007B	JR NZ,REP	
007D	LD D,03H	Retardo de aproximadamente 2 seg.
007F	LOOP4: LD B,FFH	
0081	LOOP2: LD C,FFH	
0083	LOOP3: DEC C	
0084	JR NZ,LOOP3	

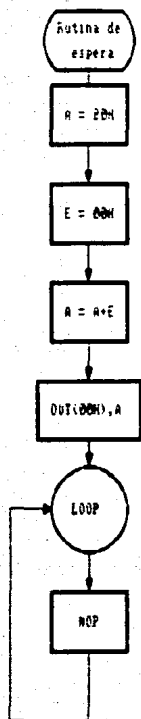
LOCALIDAD HEX	MNEMONICO	COMENTARIOS
00B6	DEC B	
00B7	JR NZ,LOOP2	
00B9	DEC D	
00BA	JR NZ,LOOP4	
00BC	LD A,50H	Activa grabadora.
00BE	ADD A,E	
00BF	OUT(00H),A	
0091	EXX	Uso de registros alternos para la
0092	LD H,7FH	rutina de retardo de medio
0094	LOP4: LD D,FFH	minuto.
0096	LOP3: LD B,FFH	
0098	LOP2: DEC B	
0099	JR NZ,LOP2	
009B	DEC D	
009C	JR NZ,LOP3	
009E	DEC H	
009F	JR NZ,LOP4	
00A1	EXX	Regresa a los registros no
		complementarios.
00A2	LD A,00H	Desactiva todas las señales de
		control.
00A4	ADD A,E	
00A5	OUT(00H),A	Envía información al puerto 00H.
00A7	LD B,03H	Retardo de aproximadamente 2 seg.
00A9	LOOP6: LD C,FFH	
00AB	LOOP7: LD D,FFH	
00AD	LOOP8: DEC D	
00AE	JR NZ,LOOP8	
00B0	DEC C	
00B1	JR NZ,LOOP7	
00B3	DEC B	
00B4	JR NZ,LOOP6	
00B6	LD A,80H	Activa sensor de llamadas.
00B8	ADD A,E	
00B9	OUT(00H),A	
00BB	JP 0007H	Regreso a la rutina de espera.

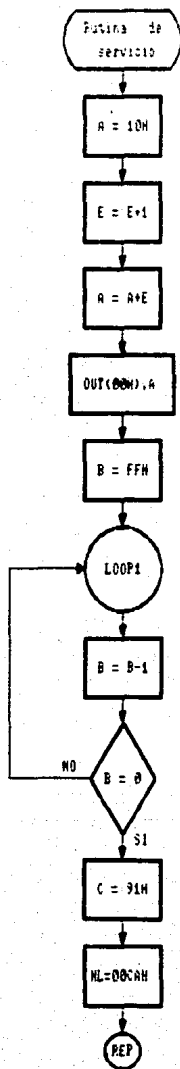
4.3 PROGRAMA EN ENSAMBLADOR Z80.

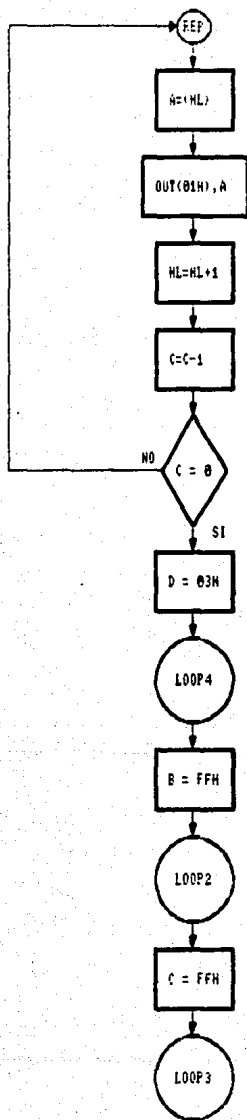
LOCALIDAD	CODIGO HEXADECIMAL
0000	3E 80
0002	1E 00
0004	83
0005	D3 00
0007	00
0008	C3 07 00
0066	3E 10
0068	1C

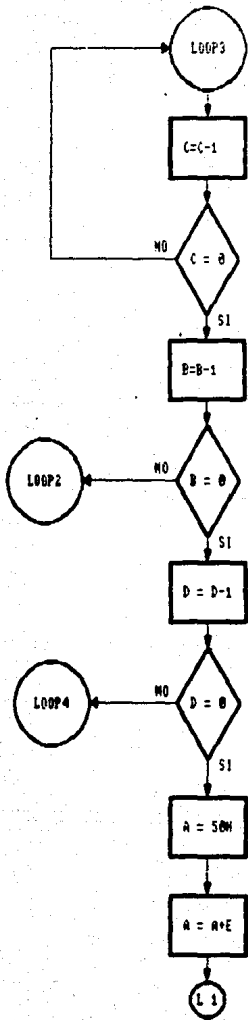
LOCALIDAD	CODIGO HEXADECIMAL
0069	B3
006A	D3 00
006C	06 FF
006E	05
006F	20 FD
0071	0E 91
0073	21 CA 00
0076	7E
0077	D3 01
0079	23
007A	0D
007B	20 F9
007D	16 03
007F	06 FF
0081	0E FF
0083	0D
0084	20 FD
0086	05
0087	20 FB
0089	15
008A	20 F3
008C	3E 50
008E	B3
008F	D3 00
0091	D9
0092	26 7F
0094	16 FF
0096	06 FF
0098	05
0099	20 FD
009B	15
009C	20 FB
009E	25
009F	20 F3
00A1	D9
00A2	3E 00
00A4	B3
00A5	D3 00
00A7	06 03
00A9	0E FF
00AB	16 FF
00AD	15
00AE	20 FD
00B0	0D
00B1	20 FB
00B3	05
00B4	20 F3
00B6	3E 80
00B8	B3
00B9	D3 00
00BE	C3 07 00

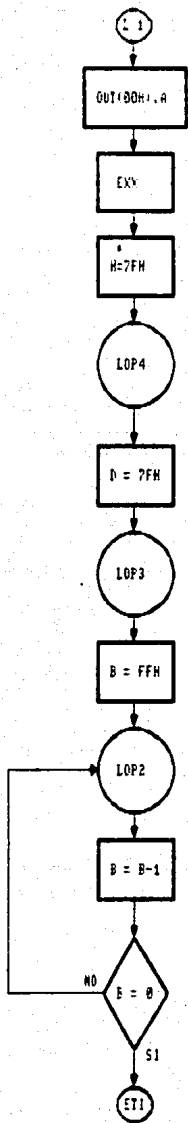
4.4 DIAGRAMAS DE FLUJO.

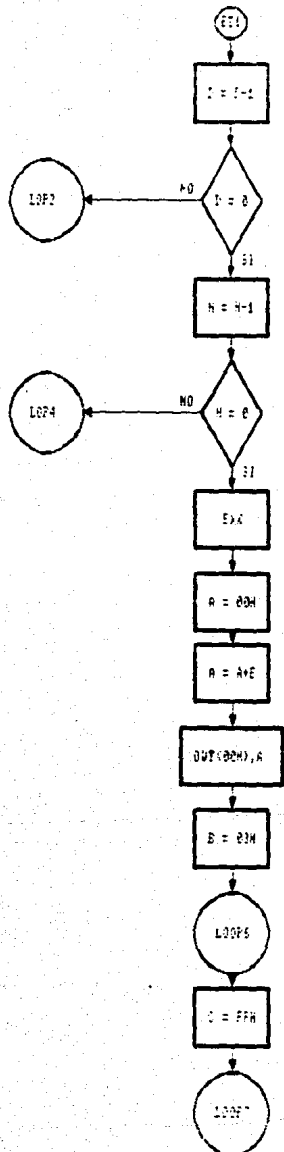


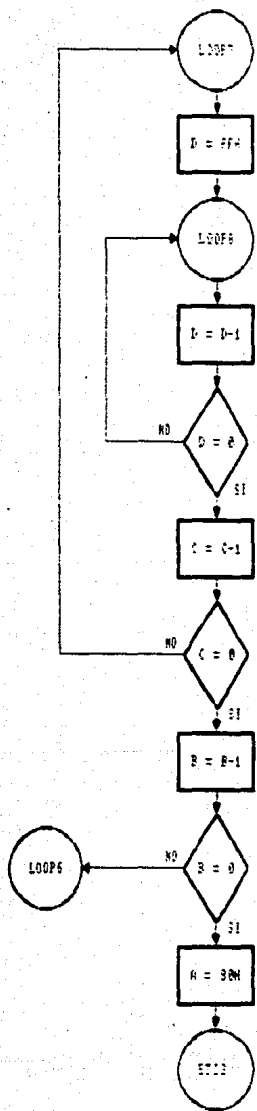


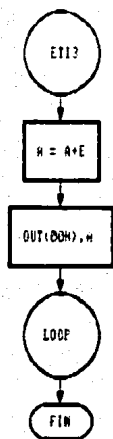












CAPITULO V
CONCLUSIONES

CAPITULO V
CONCLUSIONES

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

El desarrollo del sistema contestador de llamadas telefónicas, fue bastante provechoso dado que fue posible reafirmar y adquirir nuevos conocimientos enfocados a los sistemas de comunicación y a la aplicación de sistemas digitales que son áreas básicas en el desarrollo profesional de las personas dedicadas a la elaboración de proyectos de control.

Durante la elaboración del proyecto, se tuvieron algunas dificultades en las que algunas veces fue posible solucionarlas o adecuarse a ellas, en otros casos fue necesario limitar funciones del sistema.

El primer problema que se presentó durante el desarrollo de este sistema, fue el relacionado con la línea telefónica, ya que presenta irregularidades en los voltajes que utiliza para la comunicación. Entre estas irregularidades se presentan variaciones de voltaje de una medición a otra dependiendo de la zona dentro de la ciudad; la línea telefónica provoca que la fidelidad del sonido muchas veces se vea afectada por el ruido que ésta provoca.

Inicialmente se tenía pensado conectar un circuito que generara un sonido que indicara el momento de inicio de grabación, pero debido a los problemas de variaciones de voltaje mencionados anteriormente, no fue posible conectarlo por lo que se optó por generar este sonido a través del sintetizador digital de voz.

Generalmente una llamada telefónica no utiliza todo el

tiempo que se asigna para la grabación de un mensaje, teniendo en cuenta esto, se diseñó un circuito que sensara cuando la persona que llama haya colgado. Este circuito tampoco fue posible conectarlo debido a que la variación de voltaje es mínima y se necesitaba de un circuito que fuera bastante exacto. Por lo que se decidió disminuir el tiempo de grabación que originalmente era de un minuto, a la mitad del tiempo, es decir, 30 segundos.

La grabadora a utilizar en este sistema, deberá ser operada a control remoto y tener una entrada de micrófono externo.

No obstante debido a lo limitado del sistema, se presentan en él algunas ventajas, tales como el cambio del mensaje así como la variación del tiempo de grabación. No necesita ningún aparato de comunicación externo, pues únicamente se conecta directamente a la línea telefónica.

Otro problema que se suscitó durante el desarrollo del presente proyecto, fue el relacionado con los fonemas que genera el sintetizador digital de voz; ya que como se mencionó anteriormente en el capítulo III de este documento, las características fonéticas del sintetizador digital de voz tienen un marcado acento extranjero, por lo que fue necesario realizar múltiples pruebas con el circuito a fin de encontrar los sonidos que fueran los más cercanos a la fonética del español.

Estas pruebas consistieron en una serie de experimentos en la cual se buscaba la combinación adecuada de allophones para formar una palabra, es decir, se trataba de que teniendo un conjunto de allophones se eligiera el adecuado dependiendo de la posición que ocupara dentro de la palabra.

Haciendo pruebas finales al sistema, se pudo observar que una gran mayoría de las personas a las que se les pidió su opinión acerca de la comprensión del mensaje, no entendían la totalidad del mismo; esto se debe a que estas personas trataban de asociar a la voz humana con la voz generada por el sintetizador digital de voz, siendo que existe una diferencia bien grande entre una y otra.

Los circuitos utilizados en el diseño son factibles de encontrarlos en el mercado nacional aunque el sintetizador digital de voz varía notablemente de precio por ser un producto de importación.

APENDICE

MICROPROCESADOR Z80

^{27.3}
MOSTEK

Z80 MICROCOMPUTER DEVICES

Technical Manual

**MK 3880
CENTRAL
PROCESSING
UNIT**

The Z80-CPU is packaged in an industry standard 40 pin Dual In-Line Package. The I/O pins are shown in Figure 3.0-1 and the function of each is described below.

Z80 PIN CONFIGURATION

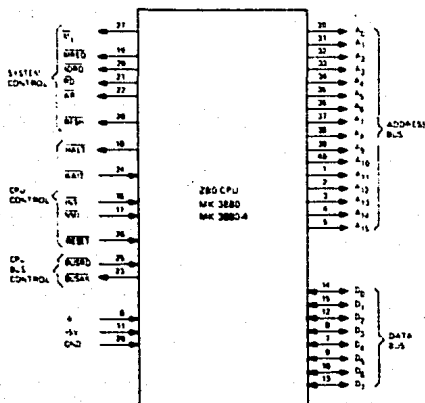


FIGURE 3.0-1

A₀-A₁₅
(Address Bus)

Tri-state output, active high. A₀-A₁₅ constitute a 16-bit address bus. The address bus provides the address for memory (up to 64K bytes) data exchanges and for I/O device data exchanges. I/O addressing uses the 8 lower address bits to allow the user to directly select up to 256 input or 256 output ports. A₀ is the least significant address bit. During refresh time, the lower 7 bits contain a valid refresh address.

D₀-D₇
(Data Bus)

Tri-state input/output, active high. D₀-D₇ constitute an 8-bit bidirectional data bus. The data bus is used for data exchanges with memory and I/O devices.

\overline{M}_1
(Machine Cycle one)

Output, active low. \overline{M}_1 indicates that the current machine cycle is the OP code fetch cycle of an instruction execution. Note that during execution of 2-byte op-codes, \overline{M}_1 is generated as each op code byte is fetched. These two byte op-codes always begin with CBH, DDH, EDH, or FDH. \overline{M}_1 also occurs with IORQ to indicate an interrupt acknowledge cycle.

\overline{MREQ}
(Memory Request)

Tri-state output, active low. The memory request signal indicates that the address bus holds a valid address for a memory read or memory write operation.

The Z80-CPU executes instructions by stepping through a very precise set of a few basic operations. These include:

- Memory read or write
- I/O device read or write
- Interrupt acknowledge

All instructions are merely a series of these basic operations. Each of these basic operations can take from three to six clock periods to complete or they can be lengthened to synchronize the CPU to the speed of external devices. The basic clock periods are referred to as T states and the basic operations are referred to as M (for machine) cycles. Figure 4.0.0 illustrates how a typical instruction will be merely a series of specific M and T cycles. Notice that this instruction consists of three machine cycles (M1, M2 and M3). The first machine cycle of any instruction is a fetch cycle which is four, five or six T states long (unless lengthened by the \bar{wait} signal which will be fully described in the next section). The fetch cycle (M1) is used to fetch the OP code of the next instruction to be executed. Subsequent machine cycles move data between the CPU and memory or I/O devices and they may have anywhere from three to five T cycles (again they may be lengthened by wait states to synchronize the external devices to the CPU). The following paragraphs describe the timing which occurs within any of the basic machine cycles. In section 7, the exact timing for each instruction is specified.

BASIC CPU TIMING EXAMPLE

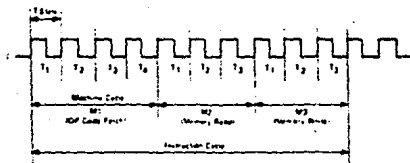


FIGURE 4.0.0

All CPU timing can be broken down into a few very simple timing diagrams as shown in Figure 4.0.1 through 4.0.7. These diagrams show the following basic operations with and without wait states (wait states are added to synchronize the CPU to slow memory or I/O devices).

- 4.0.1. Instruction OP code fetch (M1 cycle)
- 4.0.2. Memory data read or write cycles
- 4.0.3. I/O read or write cycles
- 4.0.4. Bus Request/Acknowledge Cycle
- 4.0.5. Interrupt Request/Acknowledge Cycle
- 4.0.6. Non maskable Interrupt Request/Acknowledge Cycle
- 4.0.7. Exit from a HALT instruction

Figure 4.0-1 shows the timing during an M1 cycle (OP code fetch). Notice that the PC is placed on the address bus at the beginning of the M1 cycle. One half clock time later the \overline{MREQ} signal goes active. At this time the address to the memory has had time to stabilize so that the falling edge of \overline{MREQ} can be used directly as a chip enable clock to dynamic memories. The \overline{RD} line also goes active to indicate that the memory read data should be enabled onto the CPU data bus. The CPU samples the data from the memory on the data bus with the rising edge of the clock of state T3 and this same edge is used by the CPU to turn off the \overline{RD} and \overline{MREQ} signals. Thus the data has already been sampled by the CPU before the \overline{RD} signal becomes inactive. Clock state T3 and T4 of a fetch cycle are used to refresh dynamic memories. (The CPU uses this time to decode and execute the fetched instruction so that no other operation could be performed at this time). During T3 and T4 the lower 7 bits of the address bus contain a memory refresh address and the \overline{RFSH} signal becomes active to indicate that a refresh read of all dynamic memories should be accomplished. Notice that a \overline{RD} signal is not generated during refresh time to prevent data from different memory segments from being gated onto the data bus. The \overline{MREQ} signal during refresh time should be used to perform a refresh read of all memory elements. The refresh signal can not be used by itself since the refresh address is only guaranteed to be stable during \overline{MREQ} time.

INSTRUCTION OP CODE FETCH

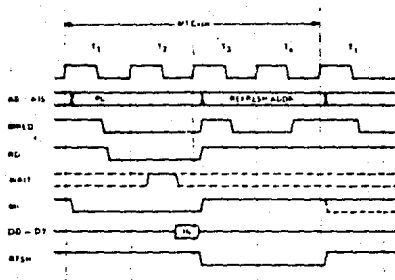


FIGURE 4.0-1

Figure 4.0-1A illustrates how the fetch cycle is delayed if the memory activates the \overline{WAIT} line. During T2 and every subsequent T_w , the CPU samples the \overline{WAIT} line with the falling edge of Φ . If the \overline{WAIT} line is active at this time, another wait state will be entered during the following cycle. Using this technique the read cycle can be lengthened to match the access time of any type of memory device.

INSTRUCTION OP CODE FETCH WITH WAIT STATES

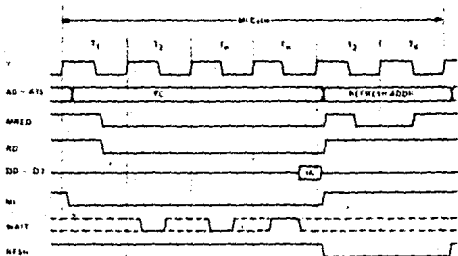


FIGURE 4.0-1A

MEMORY READ OR WRITE

Figure 4.0.2 illustrates the timing of memory read or write cycles other than an OP code fetch (M1 cycle). These cycles are generally three clock periods long unless wait states are requested by the memory via the WAIT signal. The MREQ signal and the RD signal are used the same as in the fetch cycle. In the case of a memory write cycle, the MREQ also becomes active when the address bus is stable so that it can be used directly as a chip enable for dynamic memories. The WR line is active when data on the data bus is stable so that it can be used directly as a R/W pulse to virtually any type of semiconductor memory. Furthermore the WR signal goes inactive one half T state before the address and data bus contents are changed so that the overlap requirements for virtually any type of semiconductor memory type will be met.

MEMORY READ OR WRITE CYCLES

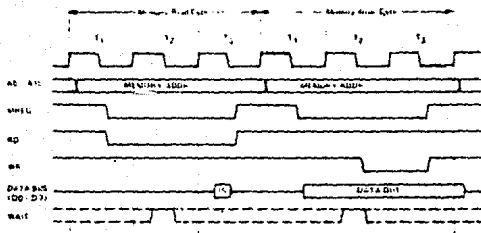


FIGURE 4.0.2

Figure 4.02A illustrates how a WAIT request signal will lengthen any memory read or write operation. This operation is identical to that previously described for a fetch cycle. Notice in this figure that a separate read and a separate write cycle are shown in the same figure although read and write cycles can never occur simultaneously.

MEMORY READ OR WRITE CYCLES WITH WAIT STATES

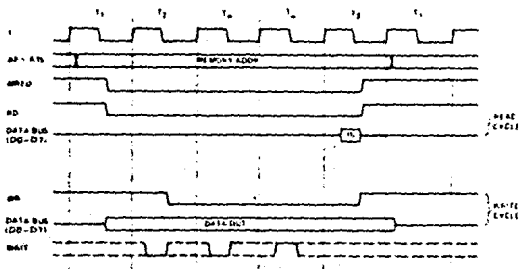


FIGURE 4.02A

INPUT OR OUTPUT CYCLES

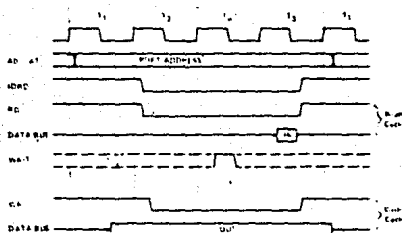
Figure 4.03 illustrates an I/O read or I/O write operation. Notice that during I/O operations a single wait state is automatically inserted. The reason for this is that during I/O operations, the time from when the IOR signal goes active until the CPU must sample the WAIT line is very short and without this extra state sufficient time does not exist for an I/O port to decode its address and activate the WAIT line if a wait is required. Also, without this wait state it is difficult to design MOS I/O devices that can operate at full CPU speed. During this wait state time the WAIT request signal is sampled. During a read I/O operation, the RD line is used to enable the addressed port onto the data bus just as in the case of a memory read. For I/O write operations, the WR line is used as a clock to the I/O port, again with sufficient overlap timing automatically provided so that the rising edge may be used as a data clock.

Figure 4.03A illustrates how additional wait states may be added with the WAIT line. The operation is identical to that previously described.

BUS REQUEST/ACKNOWLEDGE CYCLE

Figure 4.04 illustrates the timing for a Bus Request/Acknowledge cycle. The BUSRQ signal is sampled by the CPU with the rising edge of the last clock period of any machine cycle. If the BUSRQ signal is active, the CPU will set its address, data and tri-state control signals to the high impedance state with the rising edge of the next clock pulse. At that time any external device can control the buses to transfer data between memory and I/O devices. (This is generally known as Direct Memory Access [DMA] using cycle stealing). The maximum time for the CPU to respond to a bus request is the length of a machine cycle and the external controller can maintain control of the bus for as many clock cycles as is desired. Note, however, that if very long DMA cycles are used, and dynamic memories are being used, the external controller must also perform the refresh function. This situation only occurs if very large blocks of data are transferred under DMA control. Also note that during a bus request cycle, the CPU cannot be interrupted by either a NMI or an INT signal.

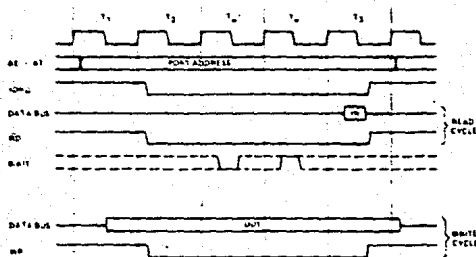
INPUT OR OUTPUT CYCLES



*Inferred by Z80 CPU

FIGURE 4.03

INPUT OR OUTPUT CYCLES WITH WAIT STATES



*Inferred by Z80 CPU

FIGURE 4.03A

BUS REQUEST/ACKNOWLEDGE CYCLE

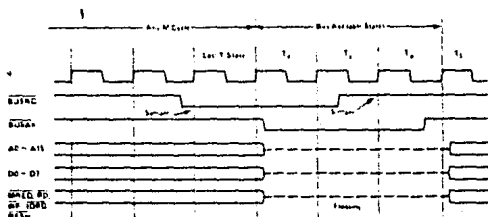


FIGURE 4.04

INTERRUPT REQUEST/ACKNOWLEDGE CYCLE

Figure 4.05 illustrates the timing associated with an interrupt cycle. The interrupt signal (INT) is sampled by the CPU with the rising edge of the last clock at the end of any instruction. The signal will not be accepted if the internal CPU software controlled interrupt enable flip-flop is not set or if the $BUSRD$ signal is active. When the signal is accepted a special M1 cycle is generated. During this special M1 cycle the $IDRD$ signal becomes active (instead of the normal $MREQ$) to indicate that the interrupting device can place an 8 bit vector on the data bus. Notice that two wait states are automatically added to this cycle. These states are added so that a ripple priority interrupt scheme can be easily implemented. The two wait states allow sufficient time for the ripple signals to stabilize and identify which I/O device must insert the response vector. Refer to section 8.0 for details on how the interrupt response vector is utilized by the CPU.

INTERRUPT REQUEST/ACKNOWLEDGE CYCLE

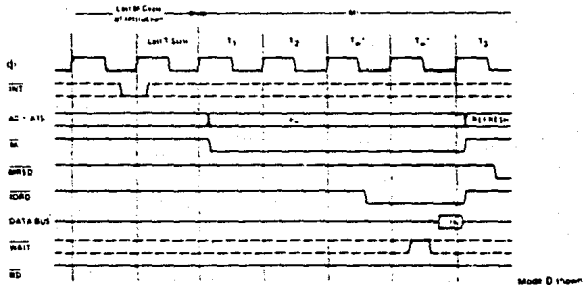


FIGURE 4.05

Model D 10000

Each of the two Z80-CPU Flag registers contains six bits of information which are set or reset by various CPU operations. Four of these bits are testable; that is, they are used as conditions for jump, call or return instructions. For example a jump may be desired only if a specific bit in the flag register is set. The four testable flag bits are:

- 1) Carry Flag (C) - This flag is the carry from the highest order bit of the accumulator. For example, the carry flag will be set during an add instruction where a carry from the highest bit of the accumulator is generated. This flag is also set if a borrow is generated during a subtraction instruction. The shift and rotate instructions also affect this bit.
- 2) Zero Flag (Z) - This flag is set if the result of the operation loaded a zero into the accumulator. Otherwise it is reset.
- 3) Sign Flag (S) - This flag is intended to be used with signed numbers and it is set if the result of the operation was negative. Since bit 7 (MSB) represents the sign of the number (A negative number has a 1 in bit 7), this flag stores the state of bit 7 in the accumulator.
- 4) Parity/Overflow Flag (P/V) - This dual purpose flag indicates the parity of the result in the accumulator when logical operations are performed (such as AND A, B) and it represents overflow when signed two's complement arithmetic operations are performed. The Z80 overflow flag indicates that the two's complement number in the accumulator is in error since it has exceeded the maximum possible (+127) or is less than the minimum possible (-128) number that can be represented two's complement notation. For example consider adding:

$$\begin{array}{r} +120 = 0111\ 1000 \\ +105 = 0110\ 1001 \\ \hline C = 0\ 1110\ 0001 = -95 \text{ (wrong) Overflow has occurred.} \end{array}$$

Here the result is incorrect. Overflow has occurred and yet there is no carry to indicate an error. For this case the overflow flag would be set. Also consider the addition of two negative numbers.

$$\begin{array}{r} -5 = 1111\ 1011 \\ -16 = 1111\ 0000 \\ \hline C = 1\ 1110\ 1011 = -21 \text{ correct} \end{array}$$

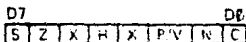
Notice that the answer is correct but the carry is set so that this flag can not be used as an overflow indicator. In this case the overflow would not be set.

For logical operations (AND, OR, XOR) this flag is set if the parity of the result is even and it is reset if it is odd.

There are also two non-testable bits in the flag register. Both of these are used for BCD arithmetic. They are:

- 1) Half carry (H) - This is the BCD carry or borrow result from the least significant four bits of operation. When using the DAA (Decimal Adjust Instruction) this flag is used to correct the result of a previous packed decimal add or subtract.
- 2) Add/Subtract Flag (N) - Since the algorithm for correcting BCD operations is different for addition or subtraction, this flag is used to specify what type of instruction was executed last so that the DAA operation will be correct for either addition or subtraction.

The Flag register can be accessed by the programmer and its format is as follows:



X means flag is indeterminate.

Table 6.0-1 lists how each flag bit is affected by various CPU instructions. In this table a '.' indicates that the instruction does not change the flag, an 'X' means that the flag goes to an indeterminate state, an '0' means that it is reset, a '1' means that it is set and the symbol † indicates that it is set or reset according to the previous discussion. Note that any instruction not appearing in this table does not affect any of the flags.

Table 6.0-1 includes a few special cases that must be described for clarity. Notice that the block search instruction sets the Z flag if the last compare operation indicated a match between the source and the accumulator data. Also, the parity flag is set if the byte counter (register pair BC) is not equal to zero. This same use of the parity flag is made with the block move instructions. Another special case is during block input or output instructions, here the Z flag is used to indicate the state of register B which is used as a byte counter. Notice that when the I/O block transfer is complete, the zero flag will be reset to a zero (i.e. B=0) while in the case of a block move command the parity flag is reset when the operation is complete. A final case is when the refresh or I register is loaded into the accumulator, the interrupt enable flip flop is loaded into the parity flag so that the complete state of the CPU can be saved at any time.

8-BIT LOAD GROUP

Mnemonic	Symbolic Operation	Flags								Op Code	No. of Bits	No. of Cycles	No. of Status	Comments	
		S	Z	N	O	P/V	B	C	76 563 310						
LD r, i	r ← i	•	•	•	•	•	•	•	•	01 r i	2	1	4	1, 1 Reg	
LD r, #	r ← #	•	•	•	•	•	•	•	•	00 i 110	2	2	7	000 B	
LD r, (HL)	r ← (HL)	•	•	•	•	•	•	•	•	01 i 110	1	2	7	001 C	
LD r, (IX+)	r ← (IX+)	•	•	•	•	•	•	•	•	11 013 101	DD	3	5	10	010 D
										01 i 110				011 E	
										— #				100 H	
										— #				101 I	
LD r, (Y+)	r ← (Y+)	•	•	•	•	•	•	•	•	11 111 101	FD	3	5	10	111 A
										01 i 110					
										— #					
LD (HL), r	(HL) ← r	•	•	•	•	•	•	•	•	01 110 r	1	2	7		
LD (IX+), r	(IX+) ← r	•	•	•	•	•	•	•	•	11 011 101	DD	3	5	10	
										01 110 r					
										— #					
LD (Y+), r	(Y+) ← r	•	•	•	•	•	•	•	•	11 111 101	FD	3	5	10	
										01 110 r					
										— #					
LD (HL), #	(HL) ← #	•	•	•	•	•	•	•	•	00 110 110	26	2	3	10	
										— #					
LD (IX+), #	(IX+) ← #	•	•	•	•	•	•	•	•	11 011 101	DD	4	5	10	
										00 110 110					
										— #					
										— #					
LD (Y+), #	(Y+) ← #	•	•	•	•	•	•	•	•	11 111 101	FD	4	5	10	
										00 110 110					
										— #					
										— #					
LD A, (BC)	A ← (BC)	•	•	•	•	•	•	•	•	00 001 010	0A	1	2	7	
LD A, (DE)	A ← (DE)	•	•	•	•	•	•	•	•	00 010 010	1A	1	2	7	
LD A, (HL)	A ← (HL)	•	•	•	•	•	•	•	•	00 111 010	3A	1	6	13	
										— #					
										— #					
LD (BC), A	(BC) ← A	•	•	•	•	•	•	•	•	00 000 010	02	1	2	7	
LD (DE), A	(DE) ← A	•	•	•	•	•	•	•	•	00 010 010	12	1	2	7	
LD (HL), A	(HL) ← A	•	•	•	•	•	•	•	•	00 110 010	32	2	4	12	
										— #					
										— #					
LD A, I	A ← I	•	•	•	•	•	•	•	•	11 101 101	ED	2	3	9	
										01 010 111					
LD A, R	A ← R	•	•	•	•	•	•	•	•	11 101 101	ED	2	3	9	
										01 011 111					
										— #					
LD A, A	A ← A	•	•	•	•	•	•	•	•	11 101 101	ED	2	3	9	
										01 000 111					
										— #					
LD R, A	R ← A	•	•	•	•	•	•	•	•	11 101 101	ED	2	3	9	
										01 001 111					

Note: 1. S maps any of the registers A, B, C, D, E, H, L.
 (FF the contents of the interrupt enable flip-flop (IFF) is copied into the P/V flag)

Flag Notations: • = flag not affected, 0 = flag reset, 1 = flag set, X = flag unknown,
 † = flag is affected according to the result of the operation.

Table 7.0-1

16-BIT LOAD GROUP

Operation	Symbolic Expression	Flags								Op-Code		No. of Bytes	No. of Cycles	No. of 1/2 Cycles	Comments		
		Z	N	V	O	C	PC	CC	TC	Hex	Hex						
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	00 00 00 00	3	3	16	00 00 01 10 11	PC BC DE HL SP	
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	11 011 101 00 100 001	DD	4	6	14		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	11 111 101 00 100 001	FD	4	4	14		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	FD 101 010 00 101 010	3A	3	5	16		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	11 101 101 01 101 011	ED	4	6	20		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	11 011 101 00 101 010	DD	4	6	20		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	11 111 101 00 101 010	FD	4	6	20		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	00 100 110 00 100 110	22	3	5	16		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	11 101 101 01 101 011	ED	4	6	20		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	11 011 101 00 100 010	DD	4	6	20		
LD HL, HL	HL ← HL	•	•	•	•	•	•	•	•	•	11 111 101 00 100 010	FD	4	6	20		
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 111 001 11 111 001	F9	1	1	6		
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 011 101 11 111 001	DD	2	2	10		
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 111 001 11 111 001	F9	2	2	10		
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 111 001 11 111 001	F9	1	3	11		
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 011 101 11 100 101	DD	2	4	15	00 01 10 11	PC BC DE HL AF
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 111 101 11 100 101	F9	2	4	15		
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 001 001 11 100 101	E5	1	3	10		
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 111 101 11 100 001	DD	2	4	14		
LD SP, HL	SP ← HL	•	•	•	•	•	•	•	•	•	11 111 101 11 100 001	F9	2	4	14		

Notes: HL = any of the register pairs BC, DE, HL, SP
 HL = any of the register pairs AF, BC, DE, HL
 (HL)_{HL}, (SP)_{HL} refer to high order and low order eight bits of the register pair respectively
 e.g. (HL)_{HL} = C, (AF)_{HL} = A

Flag Notations: • = flag not affected, 0 = flag reset, 1 = flag set, 2 = flag a condition,
 † = flag is affected according to the result of the operation.

Table 7.0.2

EXCHANGE GROUP AND BLOCK TRANSFER AND SEARCH GROUP

Mnemonic	Symbolic Description	Flags								Op Code	No. of Bytes	Time of Cycle	No. of Steps	Comments
		S	Z	N	OV	B	C	FE	SD					
EX DE HL	DE ← HL	*	*	*	*	*	*	*	*	01 101 011	E8	1	1	4
(X AF A)	AF ← AF	*	*	*	*	*	*	*	*	0C 001 000	D8	1	1	4
EXA	BC ← BC (DE ← DE)	*	*	*	*	*	*	*	*	11 011 001	D9	1	1	4
EX ISP. HL	H ← SP-1 I ← SP	*	*	*	*	*	*	*	*	11 100 011	E3	1	5	10
EX ISP. IA	IA ← SP-1 IA ← SP	*	*	*	*	*	*	*	*	11 011 101	DD	2	6	23
EX ISP. IV	IV ← SP-1 IV ← SP	*	*	*	*	*	*	*	*	11 111 101	FD	2	6	23
LDI	IDE ← HL DE ← DE-1 HL ← HL-1 BC ← BC-1	*	*	*	*	*	*	*	*	11 101 101 10 100 000	ED AD	2	4	16
LDIA	IDE ← HL DE ← DE-1 HL ← HL-1 BC ← BC-1 Repeat until BC = 0	*	*	*	*	*	*	*	*	11 101 101 10 110 000	ED BD	2	5	21
LDD	IDE ← HL DE ← DE-1 HL ← HL-1 BC ← BC-1	*	*	*	*	*	*	*	*	11 101 101 10 101 000	ED AD	2	4	16
LDDA	IDE ← HL DE ← DE-1 HL ← HL-1 BC ← BC-1 Repeat until BC = 0	*	*	*	*	*	*	*	*	11 101 101 10 111 000	ED BD	2	5	21
DI	A ← INL HL ← HL-1 BC ← BC-1		2			1				11 101 101 10 100 001	ED AT	2	4	16
DIB	A ← INL HL ← HL-1 BC ← BC-1 Repeat until A = INL or BC = 0		2			1				11 101 101 10 110 001	ED BT	2	5	21
DDI	A ← INL HL ← HL-1 BC ← BC-1		2			1				11 101 101 10 101 001	ED AD	2	4	16
DDIB	A ← INL HL ← HL-1 BC ← BC-1 Repeat until A = INL or BC = 0		2			1				11 101 101 10 111 001	ED BT	2	5	21

Note: 1) If flag B is the result of BC = 0, otherwise P/V = 1
2) Z-flag is 1 if A = INL, otherwise Z = 0.

Flag Notation: * = flag not affected, 0 = flag reset, 1 = flag set, - = flag is unknown,
| = flag is affected according to the result of the operation.

Table 7.0-3

8-BIT ARITHMETIC AND LOGICAL GROUP

Mnemonic	Symbolic Expression	Flags										No. of Bits	No. of Bytes	No. of Cycles	Status	Comments			
		S	Z	N	V	P	O	C	FE	HAL	210								
ADD A r	A ← A+r	1	1	X	1	X	V	0	1	10	000	110	1	1	4	1	Key		
ADD A =	A ← A+a	1	1	X	1	X	V	0	1	11	000	110	2	2	7	00C	B		
																001	C		
																010	D		
ADD A (HL)	A ← A+(HL)	1	1	X	1	X	V	0	1	10	000	110	1	2	7	011	E		
ADD A (IX-d)	A ← A+(IX-d)	1	1	X	1	X	V	0	1	11	011	101	DD	3	6	100	M		
																101	L		
																- 0	111	A	
ADD A (IY-d)	A ← A+(IY-d)	1	1	X	1	X	V	0	1	11	111	101	FD	3	6	110			
																- 0			
ADC A r	A ← A+r+CY	1	1	X	1	X	V	0	1										
SUB r	A ← A-r	1	1	X	1	X	V	1	1										
SBC A r	A ← A-r+CY	1	1	X	1	X	V	1	1										
AND r	A ← A & r	1	1	X	1	X	V	0	0										
OR r	A ← A r	1	1	X	1	X	V	0	0										
XOR r	A ← A ⊕ r	1	1	X	1	X	V	0	0										
CP r	A ← A-r	1	1	X	1	X	V	1	1										
INC r	r ← r+1	1	1	X	1	X	V	0	0	00	110	100	1	1	4				
INC (HL)	(HL) ← (HL)+1	1	1	X	1	X	V	0	0	00	110	100	1	3	11				
INC (IX-d)	(IX-d) ← (IX-d)+1	1	1	X	1	X	V	0	0	11	011	101	DD	3	6	23			
																00	110	100	
																- 0			
INC (IY-d)	(IY-d) ← (IY-d)+1	1	1	X	1	X	V	0	0	11	111	101	FD	3	6	23			
																00	110	100	
																- 0			
DEC r	r ← r-1	1	1	X	1	X	V	1	1										

Notes: The V symbol in the PVV flag column indicates that the PVV flag contains the overflow of the result of the operation. Similarly the P symbol indicates parity. V = 1 means overflow, V = 0 means not overflow. P = 1 means parity of the result is even, P = 0 means parity of the result is odd.

Flag Reaction: 0 = flag not affected, 1 = flag reset, X = flag set, * = flag is unknown.
 † = flag is affected according to the result of the operation.

GENERAL PURPOSE ARITHMETIC AND CPU CONTROL GROUPS

Mnemonic	Symbolic Operator	Flags										Op Code Hex	No. of Bytes	No. of M Cycles	No. of S States	Comments	
		S	Z	N	O	V	C	H	L	31	21						
DAA	Converts asc. centoid into packed BCD following add or subtract with passed ECD operands	1	1	X	1	X	F	0	00	10C	111	21	1	1	4	Decimate adjust accumulator	
CPL	A - X	0	0	X	1	X	0	1	00	101	111	21	1	1	4	Complement accumulator (Don't complement)	
NEG	A - T - 1	1	1	X	1	X	V	1	11	101	101	ED	2	2	8	Rotate acc. (don't complement)	
CCF	CY - CY	0	0	X	X	X	0	1	00	111	111	31	1	1	4	Complement carry flag	
SCF	CY - 1	0	0	X	0	X	0	0	1	00	110	111	31	1	1	4	Set carry flag
NDP	No operation	0	0	X	0	X	0	0	00	00C	00C	80	1	1	4		
HALT	CPU halted	0	0	X	0	X	0	0	0	11C	110	7E	1	1	4		
DI*	IFF - 0	0	0	X	0	X	0	0	1	11C	011	F3	1	1	4		
DI*	IFF - 1	0	0	X	0	X	0	0	11	111	011	F8	1	1	4		
IM 0	Set interrupt mode 0	0	0	X	0	X	0	0	11	101	101	ED	2	2	8		
IM 1	Set interrupt mode 1	0	0	X	0	X	0	0	11	100	110	4E					
IM 1	Set interrupt mode 1	0	0	X	0	X	0	0	11	101	101	ED	2	2	8		
IM 2	Set interrupt mode 2	0	0	X	0	X	0	0	11	010	110	5E					
IM 2	Set interrupt mode 2	0	0	X	0	X	0	0	11	101	101	ED	2	2	8		
IM 2	Set interrupt mode 2	0	0	X	0	X	0	0	11	011	110	5E					

Notes: IFF indicates the interrupt enable flip-flop
CY indicates the carry flip-flop

Flag Notation: 0 = flag not affected, 1 = flag reset, X = flag set, L = flag is unknown
1 = flag is affected according to the result of the operation.

*Interrupts are not serviced at the end of E1 or D1

Table 7.0-5

16-B. ARITHMETIC GROUP

Mnemonic	Symbolic Operation	Flags								Op Code			No. of Bytes	No. of M Cycles	No. of T States	Comments
		Z	N	V	O	C	76	543	218	Hex						
ADD HL, n	HL ← HL + n	0	0	X	X	X	0	0	0	BC n1 D01	1	13	11	n	Reg	
ADD HL, n	HL ← HL + n + CY	1	1	X	X	X	V	0	0	11 101 101 101 n1 010	ED	2	4	15	D1 1C 11	DE PL SP
SBC HL, n	HL ← HL - n	0	0	X	X	X	0	1	0	11 101 101 01 nC 010	ED	2	4	15		
ADD IX, pp	IX ← IX + pp	0	0	X	X	X	0	0	0	11 011 101 00 pp1 001	DD	2	4	15	pp	Reg
ADD IV, rr	IV ← IV + rr	0	0	X	X	X	0	0	0	11 111 101 00 r1 001	FD	2	4	15	rr	Reg
INC n	n ← n + 1	0	0	X	0	X	0	0	0	0C nC 011		1	1	6		
INC IX	IX ← IX + 1	0	0	X	0	X	0	0	0	11 011 101 00 100 011	DD	2	2	10		
INC IV	IV ← IV + 1	0	0	X	0	X	0	0	0	11 111 101 00 100 011	FD	2	2	10		
DEC n	n ← n - 1	0	0	X	0	X	0	0	0	0C n1 011		1	1	6		
DEC IX	IX ← IX - 1	0	0	X	0	X	0	0	0	11 011 101 00 101 011	DD	2	2	10		
DEC IV	IV ← IV - 1	0	0	X	0	X	0	0	0	11 111 101 00 101 011	FD	2	2	10		

Notes: n is any of the register pairs BC, DE, HL, SP
pp is any of the register pairs BC, DE, IX, SP
rr is any of the register pairs BC, DE, IV, SP

Flag Notation: 0 = flag not affected, 1 = flag reset, X = flag set, 0 = flag is unknown,
1 = flag is affected according to the result of the operation.

Table 7.0-6

ROTATE AND SHIFT GROUP

Mnemonic	Symbolic Operation	Flags			Op Code			No. of Bytes	No. of Cycles	Status	Comments		
		S	Z	V	M	C	76543210						
RLCA		*	*	X	D	X	* D	10C 00D 111	07	1	1	4	Rotate left circular accumulator
RLA		*	*	X	D	X	* D	10C 010 111	17	1	1	4	Rotate left accumulator
RRCA		*	*	X	D	X	* D	10C 001 111	0F	1	1	4	Rotate right circular accumulator
RRA		*	*	X	D	X	* D	10C 011 111	1F	1	1	4	Rotate right accumulator
RLC		1	1	X	D	X	P D	11 001 011	CB	2	2	8	Rotate left circular register
RLC(M)		1	1	X	D	X	P D	11 001 011	CB	2	4	16	Register
RLC(HR+d)		1	1	X	D	X	P D	11 011 101	CC	4	6	24	Register
RLC(HR+d)		1	1	X	D	X	P D	11 001 011	CB	-	-	-	Register
RLC(HR+d)		1	1	X	D	X	P D	11 111 101	FD	4	6	24	Register
RLC(HR+d)		1	1	X	D	X	P D	11 001 011	CB	-	-	-	Register
RLC		1	1	X	D	X	P D	11 001 011	CB	-	-	-	Register
RRC		1	1	X	D	X	P D	11 001 011	CB	-	-	-	Register
RR		1	1	X	D	X	P D	11 001 011	CB	-	-	-	Register
SLL		1	1	X	D	X	P D	11 001 011	CB	-	-	-	Register
SRL		1	1	X	D	X	P D	11 001 011	CB	-	-	-	Register
RLD		1	1	X	D	X	P D	11 101 101	ED	2	5	10	Rotate left and right between the accumulator and location (HL)
RDD		1	1	X	D	X	P D	11 101 101	ED	2	5	10	Rotate right and left between the accumulator and location (HL)

Flag Notation * = flag not affected, C = flag reset, S = flag set, X = flag is unknown,
1 = flag is affected according to the result of the operation

Table 7.0-7

BIT SET, RESET AND TEST GROUP

Mnemonic	Symbolic Operation	Flags										Op Code		No. of Bytes	No. of Cycles	No. of States	Comments			
		S	T	Z	N	O	V	N	O	C	176	543	210							
BIT b, r	Z - 1 _b	X	1	X	1	X	X	D	•	11	001	011	CE	2	2	18				
										01	b	r						000	B	
BIT b, (HL)	Z - 1 _(HL)	X	1	X	1	X	X	D	•	11	001	011	CE	2	3	12			001	C
										01	b	11C							010	D
BIT b, (IR+d ₁)	Z - 1 _(IR+d₁)	X	1	X	1	X	X	D	•	11	011	101	DE	4	5	20			011	E
										11	001	011	CE						100	H
										-	b	-							101	L
										01	b	110							111	A
																				Bit Tested
BIT b, (IY+d ₁)	Z - 1 _(IY+d₁)	X	1	X	1	X	X	D	•	11	111	101	FD	4	5	20			000	0
										11	001	011	CE						001	1
										-	b	-							010	2
										01	b	110							011	3
																			10C	4
																			101	5
																			110	6
																			111	7
SET b, r	r _b = 1	•	•	X	•	X	•	•	•	11	001	011	CE	2	2	8				
										11	b	r								
SET b, (HL)	(HL) _b = 1	•	•	X	•	X	•	•	•	11	001	011	CE	2	4	15				
										11	b	110								
SET b, (IR+d ₁)	(IR+d ₁) _b = 1	•	•	X	•	X	•	•	•	11	011	101	DE	4	5	23				
										11	001	011	CE							
										-	b	-								
										11	b	110								
SET b, (IY+d ₁)	(IY+d ₁) _b = 1	•	•	X	•	X	•	•	•	11	111	101	FD	4	5	23				
										11	001	011	CE							
										-	b	-								
										11	b	11C								
RES b	b _b = 0 b < r, (HL), (IR+d ₁)	•	•	X	•	X	•	•	•	11										

To form new Op Code replace 11 of SET b, with 11 flags and time slots for SET instruction

Flags: The notation r_b indicates bit b (0 to 7) of location r.

Flag notation: • = flag not affected, 0 = flag reset, 1 = flag set, X = flag unknown, \ddagger = flag is affected according to the result of the operation.

Table 7.0-8

JUMP GROUP

Mnemonic	Symbolic Operator	Flags								Op Code			No. of Bytes			Comments	
		S	Z	N	P/V	O	C	76	543	210	Max	Bytes	Cycles	Status			
JR nn	PC = nn	0	0	0	0	0	0	0	0	0	0	0	0	3	3	10	
JR cc, nn	if condition if true PC = nn, otherwise continue	0	0	0	0	0	0	0	0	0	0	0	0	3	3	10	cc - condition 000 NZ not zero 001 Z zero 010 NC not carry 011 C carry 100 PO parity odd 101 PE parity even 110 P parity positive 111 M sign negative
JR o	PC = PC + o	0	0	0	0	0	0	0	0	0	0	0	0	2	3	12	
JR C, o	if C = 0 continue if C = 1, PC = PC + o continue	0	0	0	0	0	0	0	0	0	0	0	0	2	3	12	if condition not met
JR NC, o	if C = 1, continue if C = 0, PC = PC + o continue	0	0	0	0	0	0	0	0	0	0	0	0	2	3	12	if condition met
JR Z, o	if Z = 0 continue if Z = 1, PC = PC + o continue	0	0	0	0	0	0	0	0	0	0	0	0	2	3	12	if condition not met
JR NZ, o	if Z = 1, continue if Z = 0, PC = PC + o continue	0	0	0	0	0	0	0	0	0	0	0	0	2	3	12	if condition met
JR (HL)	PC = HL	0	0	0	0	0	0	0	0	0	0	0	0	1	1	6	
JR (R)	PC = R	0	0	0	0	0	0	0	0	0	0	0	0	2	2	8	
JR (IV)	PC = IV	0	0	0	0	0	0	0	0	0	0	0	0	2	2	8	
DJNZ, o	B = B - 1 if B = 0 continue if B ≠ 0, PC = PC + o	0	0	0	0	0	0	0	0	0	0	0	0	2	3	12	B = 0

Note: o represents the extension of the relative addressing mode
 n is a signed two's complement number in the range $[-128, 125]>$
 o2 is the op code providing an effective address of pc+o as PC is incremented by 2 prior to the addn of o

Flag Notation: 0 = flag not affected, 1 = flag reset, 1 = flag set, ? = flag is unknown,
 ! = flag is affected according to the result of the operation

Table 7.0-9

CALL AND RETURN GROUP

Mnemonic	Symbolic Operation	Flags										Op Code				No of Bytes	Cycles	Status	Comments
		S	Z	N	OV	W	C	76	543	210	Hex	Hex	Hex	Hex					
CALL nn	ISP 11 - PC _H	.	.	X	.	X	11	001	101	CC	3	1	17	
	ISP 21 - PC _L	-	-	-	-	-	-	-	
	PC = nn	-	-	-	-	-	-	-	
CALL cc, nn	If condition cc is false continue otherwise same as CALL nn	.	.	X	.	X	11	cc	10C		3	3	10	If cc false
		-	-	-		3	5	17	If cc true
RET	PC _L = (SP)	.	.	X	.	X	11	001	001	C3	1	3	10	
	PC _H = (SP+1)	
RET cc	If condition cc is false continue otherwise same as RET	.	.	X	.	X	11	cc	00C		1	1	5	If cc false
			1	3	11	If cc true
RETI	Return from interrupt	.	.	X	.	X	11	101	101	ED	2	4	14	
		01	001	101	4D				
RETN ¹	Return from non-maskable interrupt	.	.	X	.	X	11	101	101	ED	2	4	14	
		01	101	101	4D				
		01	000	101	45				
RST p	ISP 11 - PC _H	.	.	X	.	X	11	p	11p		1	2	11	
	ISP 21 - PC _L	
	PC _H = 0	
	PC _L = p	

1
00C 00H
001 01H
010 10H
011 18H
10C 20H
101 28H
11C 30H
111 38H

¹ RETN loads IFF₂ = IFF₁

Flag Notation . = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown, : = flag is affected according to the result of the operation

Table 7.0-10

INPUT AND OUTPUT GROUP

Mnemonic	Symbolic Operation	Flags										Op Code	No of Bytes	No of Cycles	No of T States	Comments	
		S	Z	N	V	P	A	C	TS	MS	210						Hex
IA (int)	A ← int	•	•	X	•	X	•	•	•	•	•	11 011 011	D8	2	3	11	C to Ag - Ay Acc to Ag - A15
IA (IC)	I ← IC I ← 110 pins The flag will be affected	•	•	X	•	X	•	•	•	•	•	11 101 101	ED	2	3	12	C to Ag - Ay B to Ag - A15
IAI	INL ← IC E ← B 1 NL ← NL + 1	X	•	X	•	X	•	X	•	•	•	11 101 101	ED	2	4	16	C to Ag - Ay B to Ag - A15
IAIP	INL ← IC B ← B 1 NL ← NL + 1 Repeat until B = 0	X	•	X	•	X	•	X	•	•	•	11 101 101	ED	2	5	21	C to Ag - Ay B to Ag - A15
														2	14	16	(H B = 0) (H B = 0)
IND	INL ← IC B ← B 1 NL ← NL + 1	X	•	X	•	X	•	X	•	•	•	11 101 101	ED	2	4	16	C to Ag - Ay B to Ag - A15
INDA	INL ← IC B ← B 1 NL ← NL + 1 Repeat until B = 0	X	•	X	•	X	•	X	•	•	•	11 101 101	ED	2	5	21	C to Ag - Ay B to Ag - A15
														2	14	16	(H B = 0) (H B = 0)
OUT (int)	int ← A	•	•	X	•	X	•	•	•	•	•	11 010 011	D3	2	3	11	A to Ag - Ay Acc to Ag - A15
OUT (CI)	CI ← C	•	•	X	•	X	•	•	•	•	•	11 101 101	ED	2	3	12	C to Ag - Ay B to Ag - A15
OUTI	CI ← INL B ← B 1 NL ← NL + 1	X	•	X	•	X	•	X	•	•	•	11 101 101	ED	2	4	16	C to Ag - Ay B to Ag - A15
OUTIP	CI ← INL B ← B 1 NL ← NL + 1 Repeat until B = 0	X	•	X	•	X	•	X	•	•	•	11 101 101	ED	2	5	21	C to Ag - Ay B to Ag - A15
														2	4	16	(H B = 0) (H B = 0)
OUTD	CI ← INL B ← B 1 NL ← NL + 1	X	•	X	•	X	•	X	•	•	•	11 101 101	ED	2	4	16	C to Ag - Ay B to Ag - A15
OUTDA	CI ← INL B ← B 1 NL ← NL + 1 Repeat until B = 0	X	•	X	•	X	•	X	•	•	•	11 101 101	ED	2	5	21	C to Ag - Ay B to Ag - A15
														2	14	16	(H B = 0) (H B = 0)

Notes: 1 - If the result of B = 0, zero the Z flag; otherwise it is reset.

Flag Notation: • = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,
| = flag is affected according to the result of the operation.

Table 7.0-11

8.0 INTERRUPT RESPONSE

The purpose of an interrupt is to allow peripheral devices to suspend CPU operation in an orderly manner and force the CPU to start a peripheral service routine. Usually the service routine is involved with the exchange of data, or status and control information between the CPU and the peripheral. Once the service routine is completed, the CPU returns to the operation from which it was interrupted.

INTERRUPT ENABLE - DISABLE

The Z80-CPU has two interrupt inputs, a software maskable interrupt and a non-maskable interrupt. The non-maskable interrupt (NMI) can not be disabled by the programmer and it will be accepted whenever a peripheral device requests it. This interrupt is generally reserved for very important functions that must be serviced whenever they occur such as an impending power failure. The maskable interrupt (INT) can be selectively enabled or disabled by the programmer. This allows the programmer to disable the interrupt during periods where his program has timing constraints that do not allow it to be interrupted. In the Z80-CPU there is an enable flip flop (called IFF) that is set or reset by the programmer using the Enable Interrupt (EI) and Disable Interrupt (DI) instructions. When the IFF is reset, an interrupt can not be accepted by the CPU.

Actually, for purposes that will be subsequently explained, there are two enable flip flops, called IFF₁ and IFF₂.

IFF₁

Actually disables interrupts
from being accepted.

IFF₂

Temporary storage location
for IFF₁.

The state of IFF₁ is used to actually inhibit interrupts while IFF₂ is used as a temporary storage location for IFF₁. The purpose of storing the IFF₁ will be subsequently explained.

A reset to the CPU will force both IFF₁ and IFF₂ to the reset state so that interrupts are disabled. They can then be enabled by an EI instruction at any time by the programmer. When an EI instruction is executed, any pending interrupt request will not be accepted until after the instruction following EI has been executed. This single instruction delay is necessary for cases when the following instruction is a return instruction and interrupts must not be allowed until the return has been completed. The EI instructions sets both IFF₁ and IFF₂ to the enable state. When an interrupt is accepted by the CPU, both IFF₁ and IFF₂ are automatically reset, inhibiting further interrupts until the programmer wishes to issue a new EI instruction. Note that for all of the previous cases, IFF₁ and IFF₂ are always equal.

The purpose of IFF₂ is to save the status of IFF₁ when a non-maskable interrupt occurs. When a non-maskable interrupt is accepted, IFF₁ is reset to prevent further interrupts until reenabled by the programmer. Thus, after a non-maskable interrupt has been accepted maskable interrupts are disabled but the previous state of IFF₁ has been saved so that the complete state of the CPU just prior to the non-maskable interrupt can be restored at any time. When a Load Register A with Register I (LD A, I) instruction or a Load Register A with Register R (LD A, R) instruction is executed, the state of IFF₂ is copied into the parity flag where it can be tested or stored.

A second method of restoring the status of IFF₁ is thru the execution of a Return From Non-Maskable Interrupt (RETN) instruction. Since this instruction indicates that the non maskable interrupt service routine is complete, the contents of IFF₂ are now copied back into IFF₁, so that the status of IFF₁ just prior to the acceptance of the non-maskable interrupt will be restored automatically.

Figure B.0-1 is a summary of the effect of different instructions on the two enable flip flops.

INTERRUPT ENABLE/DISABLE FLIP FLOPS

Action	IFF ₁	IFF ₂	
CPU Reset	0	0	
DI	0	0	
EI	1	1	
LD A, I	•	•	IFF ₂ → Parity flag
LD A, R	•	•	IFF ₂ → Parity flag
Accept NMI	0	•	
RETN	IFF ₂	•	IFF ₂ → IFF ₁
Accept INT	0	0	
RETI	•	•	

"•" indicates no change

FIGURE B.0-1

CPU RESPONSE

Non-Maskable

A non-maskable interrupt will be accepted at all times by the CPU. When this occurs, the CPU ignores the next instruction that it fetches and instead does a restart to location 0066H. Thus, it behaves exactly as if it had received a restart instruction but, it is to a location that is not one of the 8 software restart locations. A restart is merely a call to a specific address in page 0 memory.

Maskable

The CPU can be programmed to respond to the maskable interrupt in any one of three possible modes.

Mode 0

This mode is identical to the 8080A interrupt response mode. With this mode, the interrupting device can place any instruction on the data bus and the CPU will execute it. Thus, the interrupting device provides the next instruction to be executed instead of the memory. Often this will be a restart instruction since the interrupting device only need supply a single byte instruction. Alternatively, any other instruction such as a 3 byte call to any location in memory could be executed.

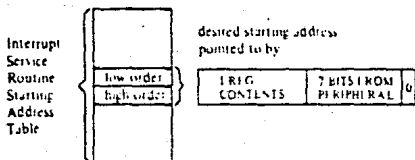
The number of clock cycles necessary to execute this instruction is 2 more than the normal number for the instruction. This occurs since the CPU automatically adds 2 wait states to an interrupt response cycle to allow sufficient time to implement an external daisy chain for priority control. Section 4.0 illustrates the detailed timing for an interrupt response. After the application of RESET the CPU will automatically enter interrupt Mode 0.

Mode 1

When this mode has been selected by the programmer, the CPU will respond to an interrupt by executing a restart to location 0038H. Thus the response is identical to that for a non-maskable interrupt except that the call location is 0038H instead of 0066H. Another difference is that the number of cycles required to complete the restart instruction is 2 more than normal due to the two added wait states.

This mode is the most powerful interrupt response mode. With a single 8-bit byte from the user an indirect call can be made to any memory location.

With this mode the programmer maintains a table of 16 bit starting addresses for every interrupt service routine. This table may be located anywhere in memory. When an interrupt is accepted, a 16 bit pointer must be formed to obtain the desired interrupt service routine starting address from the table. The upper 8 bits of this pointer is formed from the contents of the I register. The I register must have been previously loaded with the desired value by the programmer, i.e. LD I, A. Note that a CPU reset clears the I register so that it is initialized to zero. The lower eight bits of the pointer must be supplied by the interrupting device. Actually, only 7 bits are required from the interrupting device as the least bit must be a zero. This is required since the pointer is used to get two adjacent bytes to from a complete 16 bit service routine starting address and the addresses must always start in even locations.



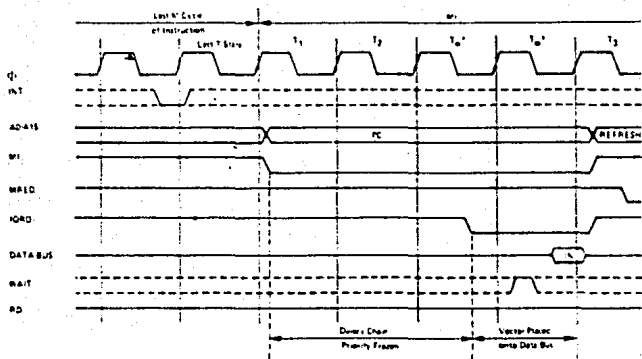
The first byte in the table is the least significant (low order) portion of the address. The programmer must obviously fill this table in with the desired addresses before any interrupts are to be accepted.

Note that this table can be changed at any time by the programmer (if it is stored in Read/Write Memory) to allow different peripherals to be serviced by different service routines.

Once the interrupting device supplies the lower portion of the pointer, the CPU automatically pushes the program counter onto the stack, obtains the starting address from the table and does a jump to this address. This mode of response requires 19 clock periods to complete (7 to fetch the lower 8 bits from the interrupting device, 6 to save the program counter, and 6 to obtain the jump address.)

Note that the Z80 peripheral devices all include a daisy chain priority interrupt structure that automatically supplies the programmed vector to the CPU during interrupt acknowledge. Refer to the Z80-PIO, Z80-SIO and Z80-CTC manuals for details.

INTERRUPT REQUEST/ACKNOWLEDGE CYCLE



Z80 INTERRUPT ACKNOWLEDGE SUMMARY

- 1) **PERIPHERAL DEVICE REQUESTS INTERRUPT.** Any device requesting and interrupt can pull the wire or line \overline{INT} low.
- 2) **CPU ACKNOWLEDGES INTERRUPT.** Priority status is frozen when $\overline{M1}$ goes low during the Interrupt Acknowledge sequence. Propagation delays down the IEI/IEO daisy chain must be settled out when \overline{IORQ} goes low. If IEI is HIGH, an active Peripheral Device will place its Interrupt Vector on the Data Bus when \overline{IORQ} goes low. That Peripheral then releases its hold on \overline{INT} allowing interrupts from a higher priority device. Lower priority devices are inhibited from placing their Vector on the Data Bus or Interrupting because \overline{IEO} is low on the active device.
- 3) **INTERRUPT IS CLEARED.** An active Peripheral device (IEI=1, \overline{IEO} =0) monitors OP Code fetches for an RETI (ED 4D) instruction which tells the peripheral that its interrupt Service Routine is over. The peripheral device then re-activates its internal Interrupt structure as well as raising its \overline{IEO} line to enable lower priority devices.

**11.0 ELECTRICAL SPECIFICATIONS
ABSOLUTE MAXIMUM RATINGS***

234

Temperature Under Bias	Specified Operating Range
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-0.3V to +7V
Power Dissipation	1.5W

D.C. CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5\text{V} \pm 5\%$ unless otherwise specified

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT	TEST CONDITION
V_{ILC}	Clock Input Low Voltage	-0.3		0.8	V	
V_{IHC}	Clock Input High Voltage	$V_{CC}-0.6$		$V_{CC}+0.3$	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	$I_{OL} = 1.8\text{mA}$
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -250\ \mu\text{A}$
I_{CC}	Power Supply Current			150*	mA	
I_{LI}	Input Leakage Current			10	μA	$V_{IN} = 0$ to V_{CC}
I_{LOH}	Tri-State Output Leakage Current in Float			10	μA	$V_{OUT} = 2.4$ to V_{CC}
I_{LOL}	Tri-State Output Leakage Current in Float			-10	μA	$V_{OUT} = 0.4\text{V}$
I_{LD}	Data Bus Leakage Current in Input Mode			± 10	μA	$0 < V_{IN} < V_{CC}$

*200mA for -4, -10 or -20 devices

CAPACITANCE

$T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$ unmeasured pins returned to ground

SYMBOL	PARAMETER	MAX.	UNIT
C_Φ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

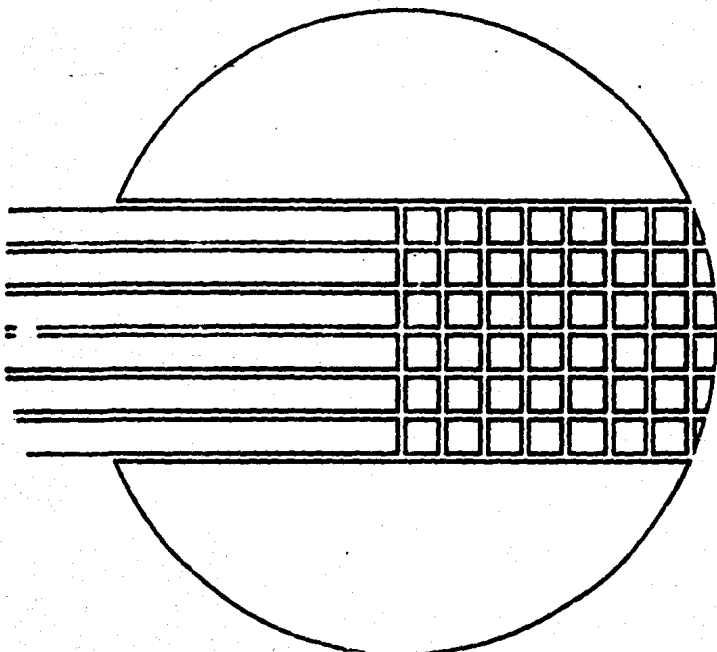
***Comment**

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

MEMORIA EPROM 2716

SIGNETICS
16384-BIT
ERASABLE AND
REPROGRAMMABLE
MOS ROM (2048X8)
2716

236



16,384-BIT ERASABLE AND REPROGRAMMABLE MOS ROM (2048X8)

2716

PRELIMINARY SPECIFICATION

271C1

DESCRIPTION

The Signetics 2716 is a 16,384 bit erasable programmable read only memory (EPROM). The 2716 is organized as 2048 words of 8 bits each and features fast single address location programming. Erasure is accomplished by exposure to ultraviolet light and programming is performed electrically. Once a program is finalized the 2716 can convert to Signetics pin for pin compatible 16K ROM the 2616.

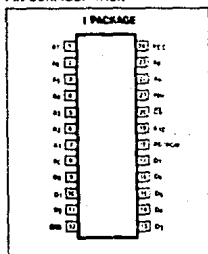
The 2716 operates from a single 5 volt power supply which makes it ideal for use with the newer high performance 5 volt microprocessors. A power down mode reduces power during standby to 25% that of operating power.

Single pulse TTL level programming makes the 2716 simple and fast to program. All control signals are TTL level allowing on board programming. Words can be selected individually, sequentially or randomly. Total programming time for all 16,384 bits is 100 seconds.

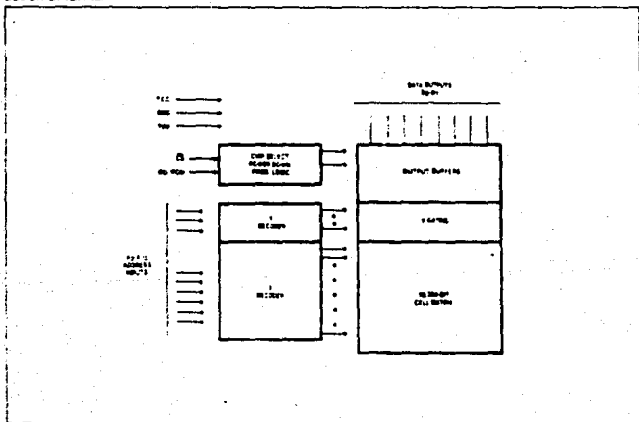
FEATURES

- Single +5V power supply
- Simple programming:
 - Single location programming
 - Single 50ns pulse
 - TTL level signals
- Fast programming—100sec
- Fast access time—450ns max
- Low Power dissipation:
 - 825mW max, active power
 - 132mW max, standby power
- Pin compatible to Signetics 2616 ROM

PIN CONFIGURATION



BLOCK DIAGRAM



SIGNETICS

16,384-BIT ERASABLE AND REPROGRAMMABLE MOS ROM (2048XB)

2716

PRELIMINARY SPECIFICATION

2716 I

ABSOLUTE MAXIMUM RATINGS¹

PARAMETER	RATING	UNIT
T_A Temperature range	-10 to 80	°C
Operating	-85 to 125	
Storage	-0.3 to 8	V
All input or output voltages with respect to ground	-0.3 to 28	V
V _{pp} supply voltage with respect to ground		

NOTE

1. Exceeding either these limits or "Loading and Switching" may damage the device. These values are limits for short-term stress only. prolonged exposure to these stresses may affect device reliability.

PIN DESIGNATION

PIN NO.	SYMBOL	FUNCTION
1-8, 22, 23, 18	A ₀ -A ₁₀	Address inputs
19	PD, PGM	Power down/Program
20	CS	Chip select
9-11, 13, 17	O ₀ -O ₇	Outputs
24	V _{CC}	Power (+5V)
21	V _{pp}	Program voltage (+25V)
12	GND	Ground

DC ELECTRICAL CHARACTERISTICS $T_A = 0^\circ\text{C}$ to 70°C , $V_{CC}^1 = +5V \pm 5\%$, $V_{pp}^2 = V_{CC} \pm 0.6V^4$, unless otherwise specified.

PARAMETER	TEST CONDITIONS	LIMITS			UNIT
		Min	Typ ³	Max	
V _I Input voltage		-0.1		0.8	V
V _{OH} High		2.2		V _{CC} +1	
V _{OL} Output voltage				0.45	V
V _{OH} High	I _{OL} = 2.1mA I _{OH} = -400 μ A	2.4			
I _I Input load current	V _{IN} = 5.25V			10	μ A
I _O Output leakage current	V _{OUT} = 5.25V			10	μ A
V _{pp} ² V _{pp} current	V _{pp} = 5.85V			5	mA
I _{CC1} ³ V _{CC} current (standby)	PD/PGM = V _{OH} , CS = V _L		10	25	mA
I _{CC2} ³ V _{CC} current (active)	CS = PD/PGM = V _L		87	100	mA
C _{IN} Capacitance ⁴	T _A = 25°C, f = 1MHz				pF
C _{IN} Input	V _{IN} = 0V		4	6	
C _{OUT} Output	V _{OUT} = 0V		8	12	

NOTES

2. V_{CC} must be applied simultaneously to both V_{pp} and detected simultaneously at 0V_{pp} type.
3. V_{pp} may be connected directly to V_{CC} except during programming. The V_{CC} supply current is not then the sum of I_{CC1} and I_{CC2}.
4. This test circuit is 2.5k Ω across the line of 8 driver current for punching the V_{pp} supply pin from V_{CC} is used to 2V_{pp} for programming.
5. Typical results are for T_A = 25°C and assume battery voltages.
6. This parameter is only specified and is for 100k transfer.
7. I_{CC2} is referenced to PD, PGM or the addresses, whichever is true for

SIGNATICS

16,384-BIT ERASABLE AND REPROGRAMMABLE MOS ROM (2048X8)

2716

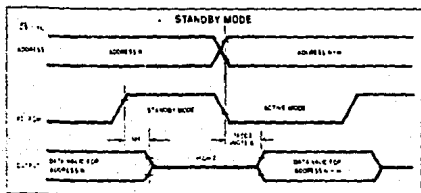
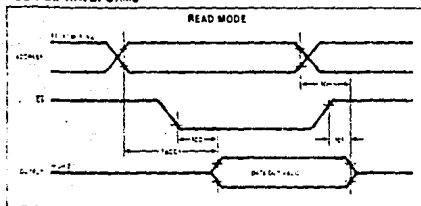
PRELIMINARY SPECIFICATION

2716-1

AC ELECTRICAL CHARACTERISTICS $T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = +5V$, $\pm 5\%$, $V_{pp} = V_{CC} \pm 0.5V$, unless otherwise specified

PARAMETER	TO	FROM	TEST CONDITIONS	LIMITS			UNIT
				Min	Typ ¹	Max	
t _{ACC1} t _{ACC2} t _{CO}	Output	Address	PD·PGM = $\bar{CS} = V_{IL}$		250	450	ns
	Output	PD·PGM	PD·PGM = V_{IL}		280	450	
	Output	Chip select	PD·PGM = V_{IL}			150	
t _{PF} t _{DF}	Output	PD·PGM	$\bar{CS} = V_{IL}$	0		100	ns
	Output	Chip select	PD·PGM = V_{IL}	0		100	
t _{OH}	Output	Address	PD·PGM = $\bar{CS} = V_{IL}$	0			ns

VOLTAGE WAVEFORMS



SIGNATICS

16,384-BIT ERASABLE AND REPROGRAMMABLE MOS ROM (2048XB)

2716

PRELIMINARY SPECIFICATION

2716-1

DC PROGRAMMING CHARACTERISTICS^a T_A = 25°C ± 5°C, V_{CC}^b = 5V ± 5%, V_{PP}^{c,10} = 25V ± 1V, unless otherwise specified

PARAMETER	TEST CONDITIONS	LIMITS			UNIT
		Min	Typ	Max	
I _I	Input current (for any input)	V _{IN} = 5.25V/0.45			μA
I _{PP1}	V _{PP} supply current	PD/PGM = V _L			mA
I _{PP2}	V _{PP} supply current during programming pulse	PD/PGM = V _H			mA
I _{CC}	V _{CC} supply current				mA
V _L	Input low level	-0.1		0.8	V
V _H	Input high level	2.2		V _{CC} +1	V

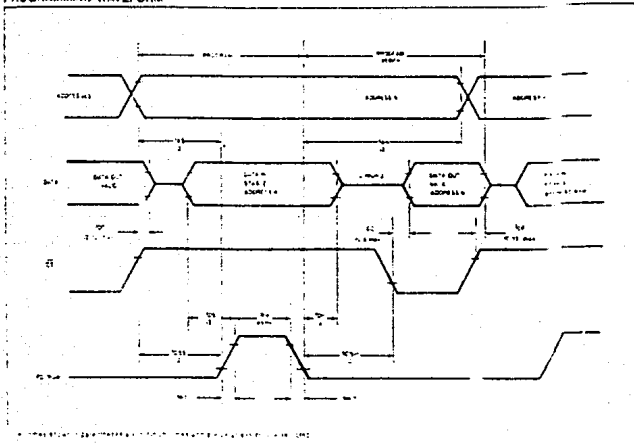
AC PROGRAMMING CHARACTERISTICS^a T_A = 25°C ± 5°C, V_{CC}^b = 5V ± 5%, V_{PP}^{c,10} = 25V ± 1V, unless otherwise specified

PARAMETER	TEST CONDITIONS	LIMITS			UNIT
		Min	Typ	Max	
t _{AS}	Address setup time	2			ns
t _{CS}	CS setup time	2			ns
t _{DS}	Data setup time	2			ns
t _{AH}	Address hold time	2			ns
t _{CH}	CS hold time	2			ns
t _{DH}	Data hold time	2			ns
t _{DF}	Chip select to output rise delay	0		120	ns
t _{CO}	Chip select to output delay			150	ns
t _{PE}	Program pulse width	45	50	55	ns
t _{PRT}	Program pulse rise time	5			ns
t _{PFT}	Program pulse fall time	5			ns

NOTES

1. Requires CS terminal present on 2716, 2716-10, or 2716-100 programmed to option 0 (option 0000000000000000).
2. V_{CC} must be applied before V_{PP}, or before V_{PP} and removed simultaneously or after V_{PP}. The 2716 must not be inserted into, or removed from, a board with V_{PP} at 25 V or greater to happen in the device.
3. The maximum allowable voltage which may be applied to the V_{PP} pin during program mode is +25V. Care must be taken when derating the V_{PP} voltage to prevent overvoltage exceeding the 2716 maximum specification.

PROGRAMMING WAVEFORM



ERASE

The 2716 can be erased by using the following procedure:

- Use an ultraviolet lamp with a wavelength of 2537 angstroms (\AA)
- Place lamp 1/8 inch within 1 inch of device
- Remove any filter from lamp tube
- Expose device for a total dose (iterative exposure time) of 15W sec/cm^2

The procedure erases all 16,384 bits in the ROM or logic "1" state ready for an active electrical programming. Light sources with wavelengths shorter than 4000 \AA can cause unintentional erasure. Direct sunlight could erase a typical 2716 in 15 weeks when a room level fluorescent bulb at the same wavelength is available if the 2716 is also exposed to high ambient light levels for extended periods. These lamps could also be used during erasure of parts on the board. The lamps should be placed on devices with good programs.

The following list of ultraviolet lamps are available from the user's Products list:

5114 Westly Grove Ave., San Gabriel, CA

MODEL	POWER RATING	15W sec/cm ²	TIME FOR
LS-85	10000 $\mu\text{W/cm}^2$	21 minutes	
LS-50	10000 $\mu\text{W/cm}^2$	21 minutes	
LS-54	5000 $\mu\text{W/cm}^2$	44 minutes	
LS-52	10000 $\mu\text{W/cm}^2$	20 minutes	
LS-111	5000 $\mu\text{W/cm}^2$	46 minutes	

It should be noted that ultraviolet lamps have a tendency to degrade with constant On/Off operation.

PROGRAM

After erasure, all bits are in the "1" state. Programming to a "0" is accomplished using the following procedure:

- PD-PGM pin is low (V_{L1})
- Address to be programmed
- CE is LOW
- Select desired word by addressing addresses
- Full output for t_{10} is low (V_{L2})
- Apply single active HIGH TTL program pulse to PD-PGM

• Repeat for all words

Multiple 2716's can be programmed with the same data by paralleling all pins except PD-PGM and following the program procedure.

Multiple 2716's can be erased with different data by paralleling all pins except PD-PGM and following the program procedure. The program pulse should be applied to the selected chip while all deselected chips have their PD-PGM inputs held LOW .

The program can be verified without reducing V_{PP} by holding both the PD-PGM and CE pins LOW .

READ

The V_{PP} pin should be in the "1" state for all except program operation. A LOW on both the PD-PGM and CE pins asserts the data of the selected word on the data bus. A HIGH on either PD-PGM or CE pin selects the chip for reading of parallel lines. A HIGH on PD-PGM reduces the active power dissipation by 75%.

16,384-BIT ERASABLE AND REPROGRAMMABLE MOS ROM (2048X8)

2716

PRELIMINARY SPECIFICATION

2716-I

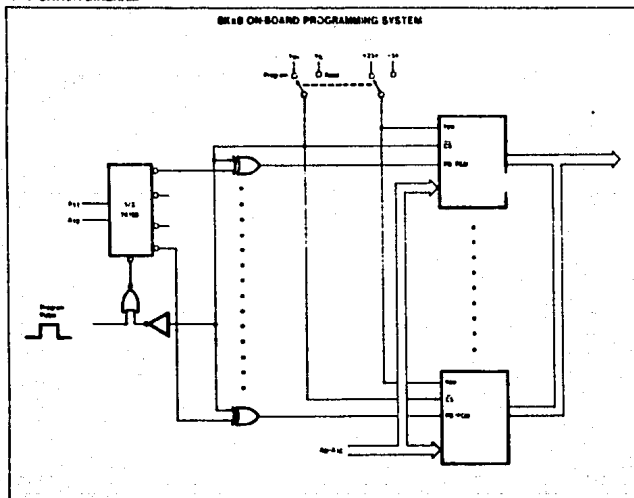
OPERATING MODES

MODE	PMS	PD PGM (18)	CE (20)	Vpp (21)	VCC (24)	OUTPUTS (9-11, 13-17)
PROGRAM	Write	L	H	+25	+5	DO
	Inhibit	L	H	+25	+5	High Z
	Verify	L	L	+25	+5	DO
READ	Read	L	L	+5	+5	DO
	Power down	H	Don't care	+5	+5	High Z
	Desselect	Don't care	H	+5	+5	High Z

APPLICATIONS

On-board programming with the 2716 is an easy task. The circuit shown is for an 8Kx8 EPROM system. This technique uses 4 of the 6 different modes of operation. During programming the selected device is in the write mode while the unselected devices are in the inhibit mode. During read the selected device is in the read mode while the unselected devices are in the power-down mode.

APPLICATION DIAGRAM



Signetics

a subsidiary of U.S. Philips Corporation

Signetics Corporation
 P.O. Box 9055
 8750 E. 82nd Avenue
 Denver, Colorado 80231
 Telephone: 303-756-1700

Printed in USA, July, 1978

SINTETIZADOR DIGITAL DE VOZ SP0256-AL2

ARCHER

TECHNICAL DATA

AN EXCLUSIVE RADIO SHACK SERVICE TO THE EXPERIMENTER

SP0256 NARRATOR™ SPEECH PROCESSOR

Features

- Natural Speech
- Stand Alone Operation with Inexpensive Support Components
- Wide Operating Voltage
- Word, Phrase, or Sentence Library, ROM Expandable
- Expandable to 491K of ROM Directly
- Simple Interface to Most Microcomputers or Microprocessors
- Supports L.P.C. Synthesis: Formant Synthesis; Allophone Synthesis

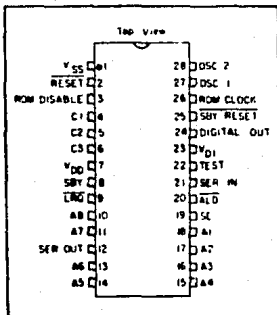
General Description

The SP0256 (Speech Processor) is a single chip N-Channel MOS LSI device that is able, using its stored program, to synthesize speech or complex sounds.

The achievable output is equivalent to a flat frequency response ranging from 0 to 5 kHz, a dynamic range of 42dB, and a signal to noise ratio of approximately 35dB.

The SP0256 incorporates four basic functions:

- A software programmable digital filter that can be made to model a VOCAL TRACT.
- A 16K ROM which stores both data and instructions (THE PROGRAM).
- A MICROCONTROLLER which controls the data flow from the ROM to the digital filter, the assembly of the "word strings" necessary for linking speech elements together, and the amplitude and pitch information to excite the digital filter.
- A PULSE WIDTH MODULATOR that creates a digital output which is con-



PIN CONFIGURATION

verted to an analog signal when filtered by an external low pass filter.

Allophone Based Speech Processor — SP0256-AL2

One example of a preprogrammed SP0256 is the AL2 pattern.

Allophone Usage with a Microprocessor

The SP0256-AL2 requires the use of a processor to concatenate the speech sounds to form words.

The SP0256 is controlled using the address pins (A1-AB), ALD (Address Load), and SE (Strobe Enable). The object for controlling the chip is to load an address into it which contains the desired allophone. The speech data for the allophone set is contained within the internal 16K ROM of the SP0256-AL2.

CUSTOM PACKAGED IN U.S.A. BY RADIO SHACK A DIVISION OF TANDY CORPORATION

To end a word using allophones it is necessary to load a pause to complete the word. For example, the word "TWO"

can be implemented using the following allophones, TT2-VW2-PA1. PA1 is actually not an allophone but a pause which is needed to end the word.

ELECTRICAL CHARACTERISTICS

Maximum Ratings*

Applied with respect to V_{SS} - 0.3 to 8.0V
Storage Temperature - 25°C to 125°C

Standard Conditions

Clock - Crystal Frequency 3.120 MHz
Operating Temperature (T_A) 0°C to 70°C

DC CHARACTERISTICS/SPO 256

*Exceeding these ratings could cause permanent damage to the device. This is a stress rating only and functional operation of this device at these conditions is not implied. Operating ranges are specified in Standard Conditions. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Data labeled "typical" is presented for design guidance only and is not guaranteed.

Characteristic	Sym	Min	Typ	Max	Units	Conditions
Supply Voltage	V _{DD}	4.6	—	7.0	V	
	V _{DD1}	4.6	—	7.0	V	
Input Current	I _{in}	—	—	21	mA	T _A = 25°C V _{DD} = V _{DD1} = 7.0V Reset & SBV Pinout High All outputs floating
	I _{DI}	—	—	21	mA	Same as above
INPUTS						
At 45° ALD SERIN TEST, SE						
LOGIC 0	V _{IL}	0.0	—	0.6	V	
LOGIC 1	V _{IH}	2.4	—	V _{DD1}	V	
CAPACITANCE	C _{IN}	—	—	10	pF	0 Volts bias, f = 3.12 MHz
STRAPAGE	I _L	—	—	-10	μA	V _{DD} = 7.0V Other Pins = 0.0V
RESET SBV RESET						
LOGIC 0	V _{IL}	0.0	—	0.6	V	
LOGIC 1	V _{IH}	3.6	—	V _{DD1}	V	
OUTPUTS						
SBV I-24 C1, C2, C3, LEG ROM DS ROM CLK, SERD						
LOGIC 0	V _{OL}	0.0	—	0.6	V	I _{OL} = 0.72mA (2LS TTL Loads)
LOGIC 1	V _{OH}	2.5	—	V _{DD1}	V	I _{OH} = -50 μA (2LS TTL Loads)
OSCILLATOR						
When driven from external source						
OSC 0 (input)	V _{IL}	0.0	—	0.6	V	OSC 1 (input) - 3.90 V MIN
OSC 1 (input)	V _{IH}	7.5	—	V _{DD1}	V	OSC 1 (input) 0.60 V MAX

AC CHARACTERISTICS	SYM	MIN	TYP	MAX	UNITS	CONDITIONS
$\overline{\text{ALD}}$	t_{pw1}	200	—	1100	ns	$200 \leq \overline{\text{ALD}} \leq 1100$ ns
A1-AB Set Up	t_{s1}	0	—	—	ns	
Hold	t_{h1}	160	—	—	ns	
$\overline{\text{LRQ}}$	t_{pd1}	—	—	300	ns	
SBY	t_{pd2}	—	—	300	ns	

AC CHARACTERISTICS	SYM	MIN	TYP	MAX	UNITS	CONDITIONS
$\overline{\text{ALD}}$	t_{pw2}	1100	—	—	ns	$\overline{\text{ALD}} > 1100$ ns
A1-AB Set Up	t_{s2}	0	—	—	ns	
Hold	t_{h2}	1120	—	—	ns	
$\overline{\text{LRQ}}$	t_{pd1}	—	—	300	ns	
SBY	t_{pd2}	—	—	300	ns	

AC CHARACTERISTICS	SYM	MIN	TYP	MAX	UNITS	CONDITIONS
Clock Frequency	F	—	3.120	—	MHz	Crystal Oscillator
Clock Duty Cycle	—	48	—	52	%	driven from
Reset	t_{pw3}	100	—	—	us	external.
SBY Reset	t_{pw4}	100	—	—	us	

TABLE 3 — CONSONANT PHONEMES OF ENGLISH**

		LABIAL	LABIO-DENTAL	INTER-DENTAL	ALVEO-LAR	PALATAL	VELAR	GLOTTAL
Stops:	Voiceless	PP			TT		KK	
	Voiced	BB			DD		GG	
Fricatives:	Voiceless	WH	FF	TH	SS	SH		HH
	Voiced		VV	DH	ZZ	ZH*		
Affricates:	Voiceless					CH		
	Voiced					JH		
Nasals	Voiced	MM			NN		NG*	
Resonants	Voiced	WW			RR,LL	YY		

*These do not occur in word-initial position in English.

Labial: Upper and Lower Lips
Labio-Dental: Touch or Approximate Upper Teeth and Lower Lip Touch
Inter-Dental: Tongue Between Teeth
Alveolar: Tip of Tongue Touches or Approximates Alveolar Ridge (just behind upper teeth)

Palatal: Body of Tongue Approximates Palate (roof of mouth)
Velar: Body of Tongue Touches Velum (posterior portion of roof of mouth)
Glottal: Glottis (opening between vocal cords)

TABLE 4 — VOWEL PHONEMES OF ENGLISH

	FRONT	CENTRAL	BACK
High	YR IY IH*		UW# UH*#
Mid	EY EH* XR	ER AX*	OW# OY#
Low	AE*	AW# AY AR AA*	AO*# OR#

* Short Vowels

Rounded Vowels

CIRCUITOS INTEGRADOS ADICIONALES

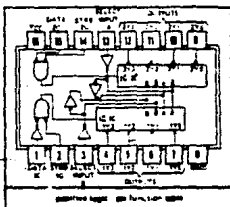
TTL
MSI

TYPES SN54155, SN54156, SN54LS155, SN54LS156,
SN74155, SN74156, SN74LS155, SN74LS156
DUAL 2-LINE-TO-4-LINE DECODERS/DEMULTIPLEXERS

SN54155, SN54156, SN54LS155, SN54LS156 ... 16-PIN PACKAGE
SN74155, SN74156, SN74LS155, SN74LS156 ... 16-PIN PACKAGE

- Applications:
 - Dual 2-to-4-Line Decoder
 - Dual 1-to-4-Line Demultiplexer
 - 3-to-8-Line Decoder
 - 1-to-8-Line Demultiplexer
- Individual Strobe Simplify Cascading for Decoding or Demultiplexing Larger Words
- Input Clamping Diodes Simplify System Design
- Choice of Outputs:
 - Totem Pole ('155, 'LS155)
 - Open-Collector ('156, 'LS156)

SN54155, SN54156, SN54LS155, SN54LS156 ... 16-PIN PACKAGE
SN74155, SN74156, SN74LS155, SN74LS156 ... 16-PIN PACKAGE
TOP VIEW



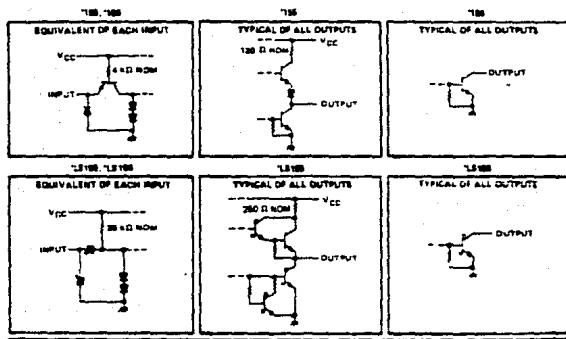
TYPES	TYPICAL AVERAGE PROPAGATION DELAY 3 DATA LEVELS	TYPICAL POWER DISSIPATION
'155, '156	21 nS	125 mW
LS155	18 nS	21 mW
LS156	32 nS	21 mW

description

These monolithic transistor-transistor-logic (TTL) circuits feature dual 1-line-to-4-line demultiplexers with individual strobes and common binary-address inputs in a single 16-pin package. When both sections are enabled by the strobe, the common binary-address inputs sequentially select and route associated input data to the appropriate output of each section. The individual strobes permit activating or inhibiting each of the 4-bit sections as desired. Data applied to input 1C is inverted at its outputs and data applied at 2C is not inverted through its outputs. The inverter following the 1C data input permits use as a 3-to-8-line decoder or 1-to-8-line demultiplexer without external inverter input clamping diodes are provided on all of these circuits to minimize transmission-line effects and simplify system design.

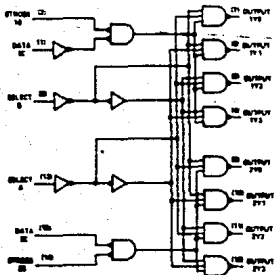
Series 54 and 54LS are characterized for operation over the full military temperature range of -55°C to 125°C. Series 74 and 74LS are characterized for operation from 0°C to 70°C.

schematics of inputs and outputs



**TYPES SN54155, SN54156, SN54LS155, SN54LS156,
SN74155, SN74156, SN74LS155, SN74LS156
DUAL 2-LINE-TO-4-LINE DECODERS/DEMULTIPLEXERS**

Functional block diagram and logic.



FUNCTION TABLES
2-LINE TO-4-LINE DECODER
OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		Y0	Y1	Y2	Y3
B	A	1C	1C				
0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	1	0	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	1	0	0	0	0
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		Y0	Y1	Y2	Y3
B	A	1C	1C				
0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	1	0	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	1	0	0	0	0
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0

FUNCTION TABLES
3-LINE TO-8-LINE DECODER
OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS					OUTPUTS							
SELECT	STROBE	DATA			Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
C	B	A	1C	1C								
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0	0	0	0
0	0	1	1	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	1	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	0	0	0	0
0	1	0	1	1	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	1	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	0	0
0	1	1	1	1	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	0	1	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	1	1	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0
1	1	0	1	1	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	1	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0	0

1C = inputs 1C and 2C connected together

1C = inputs 1D and 2D connected together

H = high level, L = low level, 0 = unknown

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: '155, '156	5.5 V
'LS155, 'LS156	7 V
On-state output voltage: '155	5.5 V
'LS156	7 V
Operating free-air temperature range: SN54, SN54LS ¹ Circuits	-56°C to 125°C
SN74, SN74LS ¹ Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage levels are with respect to reference ground terminal.

TYPES SN54155, SN74155 DUAL 2-LINE-TO-4-LINE DECODERS/DEMULTIPLEXERS

REVISED AUGUST 1977

recommended operating conditions

	SN54155			SN74155			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}	-800						μ A
Low-level output current, I_{OL}	16						mA
Operating free-air temperature, T_A	-55	125	0	0	70	70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54155 SN74155			UNIT
		MIN	TYP ²	MAX	
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage		0.8			V
V_{IP} Input clamp voltage	$V_{CC} = \text{MIN.}$, $I_I = -8 \text{ mA}$	-1.5			V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V.}$ $V_{IL} = 0.8 \text{ V.}$, $I_{OH} = -800 \mu\text{A}$	2.4	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V.}$ $V_{IL} = 0.8 \text{ V.}$, $I_{OL} = 16 \text{ mA}$	0.2	0.4		V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX.}$, $V_I = 5.5 \text{ V}$	1			mA
I_{IH} High-level input current	$V_{CC} = \text{MAX.}$, $V_I = 2.4 \text{ V}$	80			μ A
I_{IL} Low-level input current	$V_{CC} = \text{MAX.}$, $V_I = 0.8 \text{ V}$	-1.8			mA
I_{OS} Short-circuit output current	$V_{CC} = \text{MAX.}$	SN54155	-20	-80	mA
		SN74155	-18	-67	
I_{CC} Supply current	$V_{CC} = \text{MAX.}$ See Note 3	SN54155	25	34	mA
		SN74155	25	40	

¹ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

² All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$.

³ Do not more than one output should be shorted to GND.

NOTE 2: I_{CC} is measured with outputs open, A, B and 1C (pins 4, 5, and 7C, 10, and 20) inputs grounded.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$

PARAMETER ¹	FROM (INPUT)	TO (OUTPUT)	LEVELS OF LOGIC	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
ϕ_{LH}	A, B, 2C, 1C, or 3C	Y	2	$C_L = 15 \text{ pF.}$ $R_L = 400 \Omega.$ See Note 3			13	20	ns
ϕ_{HL}	A, B, 2C, 1C, or 3C	Y	2				18	37	ns
ϕ_{LH}	A or B	Y	3				21	32	ns
ϕ_{HL}	A or B	Y	3				21	32	ns
ϕ_{LH}	1C	Y	3				16	24	ns
ϕ_{HL}	1C	Y	3				20	30	ns

¹ ϕ_{LH} & propagation delay time, low-to-high-level output

² ϕ_{HL} & propagation delay time, high-to-low-level output

NOTE 3: Load circuit and voltage waveforms are shown on page 3-10

TYPES SN64LS155, SN74LS155

DUAL 2-LINE-TO-4-LINE DECODERS/DEMULTIPLEXERS

REVISED OCTOBER 1974

Recommended operating conditions

	SN64LS155			SN74LS155			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	6.5	4.75	5	6.75	V
High-level output current, I_{OH}				-400			mA
Low-level output current, I_{OL}				4			mA
Operating free-air temperature, T_A	-55			125			$^{\circ}$ C

Electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN64LS155		SN74LS155		UNIT
		MIN	TYP ² MAX	MIN	TYP ² MAX	
V_{OH} High-level output voltage		2		2		V
V_{OL} Low-level output voltage		0.7		0.8		V
V_{IH} Input high voltage	$V_{CC} = \text{MAX}$, $I_I = -10 \text{ mA}$	-1.5		-1.5		V
V_{IL} Input low voltage	$V_{CC} = \text{MAX}$, $V_{OH} = 3 \text{ V}$, $V_{IL} = V_{OL} \text{ MIN}$, $I_{OH} = -400 \mu\text{A}$	2.8	3.4	2.7	3.4	V
V_{OH} High-level output voltage	$V_{CC} = \text{MAX}$, $V_{OH} = 2 \text{ V}$, $V_{IL} = V_{OL} \text{ MIN}$	$I_{OL} = 4 \text{ mA}$ 0.25 0.8		$I_{OL} = 3 \text{ mA}$ 0.25 0.8		V
I_{OH} High-level output current	$V_{CC} = \text{MAX}$, $V_{OH} = 2 \text{ V}$, $V_{IL} = V_{OL} \text{ MIN}$	$I_{OL} = 4 \text{ mA}$ 0.25 0.8		$I_{OL} = 3 \text{ mA}$ 0.25 0.8		mA
I_{OL} Low-level output current	$V_{CC} = \text{MAX}$, $V_{OH} = 2 \text{ V}$, $V_{IL} = V_{OL} \text{ MIN}$	$I_{OL} = 4 \text{ mA}$ 0.25 0.8		$I_{OL} = 3 \text{ mA}$ 0.25 0.8		mA
I_{OH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.7 \text{ V}$	30		30		μA
I_{OL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$	-0.4		-0.4		mA
I_{OH} Short-circuit output current ³	$V_{CC} = \text{MAX}$	-8		-8		mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 2	0.1 10		0.1 10		mA

¹For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

²See typical values at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$.

³See notes that are input should be specified as a limit.

NOTE 2: I_{CC} is measured with outputs 0000, A, B, and 1C inputs at 4.5 V, and 2C, 16, and 2S inputs grounded.

Switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$

PARAMETER ¹	FROM INPUT ²	TO OUTPUT ²	LEVELS OF LOGIC	TEST CONDITIONS	SN64LS155		UNIT
					MIN	TYP MAX	
t_{PLH}	A, B, 2C, 1E, or 2G	Y	2	$C_L = 15 \text{ pF}$, $R_L = 2 \text{ k}\Omega$, See Note 4	10	15	ns
t_{PHL}	A, B, 2C, 1E, or 2G	Y	2		19	30	ns
t_{PLH}	A or B	Y	3		17	26	ns
t_{PHL}	A or B	Y	3		18	30	ns
t_{PLH}	1C	Y	3		18	27	ns
t_{PHL}	1C	Y	3		18	27	ns

¹ t_{PLH} is propagation delay time, low-to-high-level output.

² t_{PHL} is propagation delay time, high-to-low-level output.

NOTE 4: Load circuit and voltage conditions are shown on page 3-11.

TTL
MSI

TYFES SN54LS373, SN54LS374, SN54S373, SN54S374,
SN74LS373, SN74LS374, SN74S373, SN74S374
OCTAL D-TYPE TRANSPARENT LATCHES AND
EDGE-TRIGGERED FLIP-FLOPS

- Choice of 8 Latches or 8 D-Type Flip-Flops in a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)
- SN54LS363 and SN74LS364 Are Similar But Have Higher V_{OH} for MOS Interface

'LS373, 'S373
FUNCTION TABLE

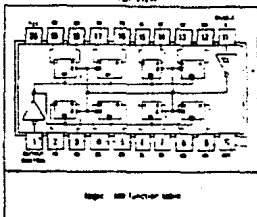
OUTPUT CONTROL	ENABLE	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

'LS374, 'S374
FUNCTION TABLE

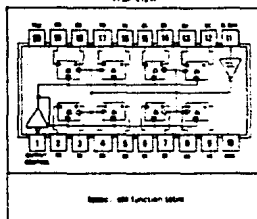
OUTPUT CONTROL	CLOCK	D	OUTPUT
L	1	H	H
L	1	L	L
L	0	X	Q_0
H	X	X	Z

See explanation of function tables on page 3-8

SN54LS373, SN54S373 J PACKAGE
SN74LS373, SN74S373 J OR N PACKAGE
(TOP VIEW)



SN54LS374, SN54S374 J PACKAGE
SN74LS374, SN74S374 J OR N PACKAGE
(TOP VIEW)



Description

These 8-bit registers feature tri-state outputs designed specifically for driving highly capacitive or relatively low-impedance loads. The high-impedance third state and increased high-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports indicative of bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (\bar{E}) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was setup.

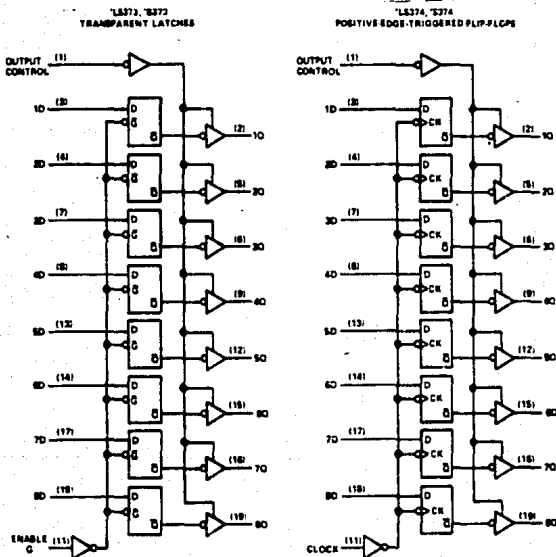
**TYPES SN54LS373, SN54LS374, SN54S373, SN54S374,
SN74LS373, SN74LS374, SN74S373, SN74S374
OCTAL D-TYPE TRANSPARENT LATCHES AND
EDGE-TRIGGERED FLIP-FLOPS**

description (continued)

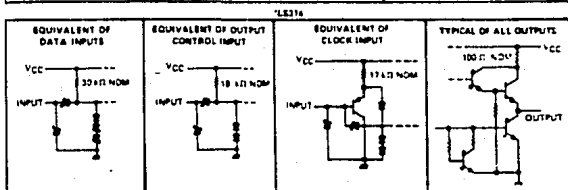
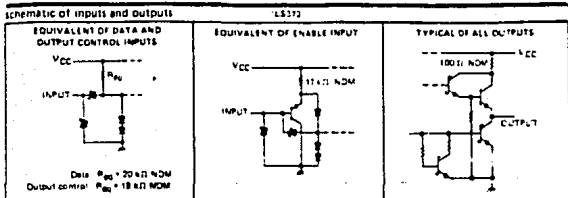
The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

Schmitt trigger buffered inputs at the enable/clock lines simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.



TYPES SN54LS373, SN54LS374, SN74LS373, SN74LS374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	7 V
Off-state output voltage	7 V
Operating free-air temperature range: SN54LS ¹	-55°C to 125°C
SN74LS ²	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54LS			SN74LS			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	6.5	4.75	5	6.75	V
High-level output voltage, V_{OH}			5.5			5.5	V
High-level output current, I_{OH}			-1			-2.6	mA
Width of clock/enable pulse, t_{pw}	High	15		15			ns
	Low	15		15			ns
Data setup time, t_{su}	LS373	0		0			ns
	LS374	20		25			ns
Data hold time, t_{h}	LS373	10		10			ns
	LS374	0		0			ns
Operating free-air temperature, T_A	-55		125	0		70	°C

¹To the ground and clock the operation of the clock/enable input used for reference ²for the low-to-high transition, ³for the high-to-low transition.

TYPES SN54LS373, SN54LS374, SN74LS373, SN74LS374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54LS			SN74LS			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.7			0.8	V
V_{IS}	Input setup voltage	$V_{CC} = \text{MAX.}$	$I_I = -18 \text{ mA}$	-1.5			-1.8	V
V_{OH}	High-level output voltage	$V_{CC} = \text{MIN.}$	$V_{IH} = 2 \text{ V.}$ $V_{IL} = V_{IL} \text{ max.}$	2.4	2.6	2.4	2.1	V
V_{OL}	Low-level output voltage	$V_{CC} = \text{MIN.}$	$V_{IH} = 2 \text{ V.}$ $V_{IL} = V_{IL} \text{ max.}$	0.25	0.4	0.25	0.4	V
I_{OH}	Output output current: high-level voltage specified	$V_{CC} = \text{MAX.}$	$V_{IH} = 2 \text{ V.}$ $I_{OL} = 12 \text{ mA}$					mA
I_{OL}	Output output current: low-level voltage specified	$V_{CC} = \text{MAX.}$	$V_{IH} = 2 \text{ V.}$ $I_{OL} = 24 \text{ mA}$					mA
I_{IH}	Input current at high-level input voltage	$V_{CC} = \text{MAX.}$	$V_I = 2 \text{ V.}$	0.1		0.1		mA
I_{IL}	Input current at low-level input voltage	$V_{CC} = \text{MAX.}$	$V_I = 0.7 \text{ V.}$	30		30		mA
I_{IS}	Short-circuit input current ²	$V_{CC} = \text{MAX.}$	$V_I = 0.4 \text{ V.}$	-0.8		-0.7		mA
I_{OS}	Short-circuit output current ²	$V_{CC} = \text{MAX.}$		-30	-120	-30	-120	mA
I_{CC}	Supply current	$V_{CC} = \text{MAX.}$ Output control at 4.5 V		24	60	24	60	mA
				18	40	18	40	mA

¹ For conditions other than MIN or MAX, use the appropriate value specified under recommended operating conditions.
² At 100 kHz and $V_{CC} = 5 \text{ V. } T_A = 25^\circ\text{C}$
³ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

switching characteristics, $V_{CC} = 5 \text{ V. } T_A = 25^\circ\text{C}$

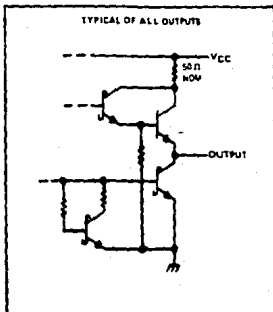
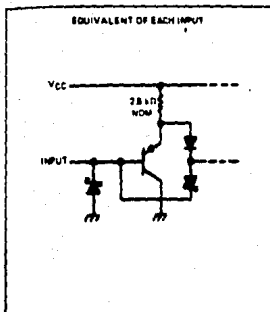
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS373			'LS374			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PROP}							25	60		ns
t_{PLH}	Data	Any Q	$C_L = 45 \text{ pF. } P_L = 667 \text{ n.}$ See Notes 2 and 3	12	18					ns
t_{PHL}	Control or enable	Any Q		20	30	15	28			ns
t_{PLZ}	Control	Any Q		18	28	20	28			ns
t_{PHZ}	Control	Any Q		24	36	21	28			ns
t_{OLZ}	Control	Any Q	$C_L = 5 \text{ pF. } R_L = 667 \text{ n.}$ See Note 3	12	20	12	20			ns
t_{OLZ}	Control	Any Q		15	25	16	25			ns

NOTES: 1. Maximum clock frequency is listed with all outputs loaded.
 2. See load circuit and equations on page 3-11.
 3. See maximum clock frequency.

t_{PROP} = Propagation delay time, low-to-high-level output
 t_{PLH} = Propagation delay time, high-to-low-level output
 t_{PHL} = Propagation delay time, high-to-low-level output
 t_{PLZ} = Output disable time to high level
 t_{PHZ} = Output disable time to low level
 t_{OLZ} = Output disable time from high level
 t_{OLZ} = Output disable time from low level

TYPES SN54S373, SN54S374, SN74S373, SN74S374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

schematic of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Off-state output voltage	5.5 V
Operating free-air temperature range: SN54S ¹	-55°C to 125°C
SN74S ²	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage applied only with respect to network ground terminal.

recommended operating conditions

	SN54S ¹			SN74S ²			UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	
Supply voltage, V_{CC}	4.5	5	6.5	4.75	5	5.25	V
High-level output voltage, V_{OH}	6.5			6.5			V
High-level output current, I_{OH}	-2			-6.5			mA
Width of square-wave pulse, t_p	High	6	6				ns
	Low	7.5	7.5				
Data setup time, t_{su}	SN73	0.1	0.1				ns
	SN74	0.1	0.1				
Data hold time, t_h	SN73	10.1	10.1				ns
	SN74	2.1	2.1				
Operating free-air temperature, T_B	-55		125		0		°C

¹ The 0°C and 125°C and the duration of the square-wave pulse used for reference. ² For the low-to-high transition, ³ for the high-to-low transition.

TENTATIVE DATA

This page provides tentative information on a new product. Texas Instruments retains the right to change specifications for the product at any number without notice.

TEXAS INSTRUMENTS
INCORPORATED
DATABOOK 000 0011 • DALLAS TEXAS 75222

TYPES SN54S373, SN54S374, SN74S373, SN74S374

OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS ¹		MIN	TYP ²	MAX	UNIT	
V_{IH}	High-level input voltage				2		V	
V_{IL}	Low-level input voltage					0.8	V	
V_{OL}	Input clamp voltage					-1.2	V	
V_{OH}	High-level output voltage	BASAT	$V_{CC} = \text{MIN.}$, $I_O = -18 \text{ mA}$					
		E JMS	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = \text{MAX}$	2.6	3.0		V	
V_{OL}	Low-level output voltage		$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 20 \text{ mA}$			0.5	V	
			$V_{CC} = \text{MAX.}$, $V_{IH} = 2 \text{ V}$, $V_{OL} = 2.4 \text{ V}$			0.5	V	
I_{OZH}	On-state output current, high-level voltage specified		$V_{CC} = \text{MAX.}$, $V_{IH} = 2 \text{ V}$, $V_{OL} = 2.4 \text{ V}$			80	μA	
I_{OZL}	On-state output current, low-level voltage specified		$V_{CC} = \text{MAX.}$, $V_{IH} = 2 \text{ V}$, $V_{OL} = 0.5 \text{ V}$			-80	μA	
I_I	Input current at maximum input voltage		$V_{CC} = \text{MAX.}$, $V_I = 5.5 \text{ V}$			1	μA	
I_{IH}	High-level input current		$V_{CC} = \text{MAX.}$, $V_I = 2.7 \text{ V}$			80	μA	
I_{IL}	Low-level input current		$V_{CC} = \text{MAX.}$, $V_I = 0.8 \text{ V}$			-290	μA	
I_{QS}	Standby-mode output current ³		$V_{CC} = \text{MAX.}$			-40	-100	μA
I_{CC}	Supply current		$V_{CC} = \text{MAX.}$	1273		100	160	μA
			$V_{CC} = \text{MAX.}$	1274		90	140	μA

¹ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

² All output values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

³ Do not more than one output should be checked at a time and duration of the short circuit should not exceed one sec.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	1273		1274		UNIT
				MIN	TYP	MAX	MIN	
t_{prop}			$C_L = 15 \text{ pF}$, $R_L = 280 \Omega$, See Notes 2 and 4			75	100	nS
t_{PLH}	Data	Any Q		5	9			ns
t_{PLL}	Clock or enable	Any Q		7	10	9	15	ns
t_{PHL}	Output	Any Q		12	18	11	17	ns
t_{PLZ}	Control	Any Q		8	10	9	15	ns
t_{PHZ}	Control	Any Q	11	18	11	18	ns	
t_{PLZ}	Control	Any Q	6	9	5	9	ns	
t_{PHZ}	Control	Any Q	8	12	7	12	ns	

NOTES: 2. Maximum short-circuit current is limited with all outputs loaded.

4. See test circuit and waveforms on page 3-11.

t_{prop} is maximum propagation delay.

t_{PLH} is propagation delay from low-to-high-level output.

t_{PLL} is propagation delay from high-to-low-level output.

t_{PHL} is output enable time to high level.

t_{PHZ} is output enable time to low level.

t_{PLZ} is output disable time from high level.

t_{PHZ} is output disable time from low level.

TENTATIVE DATA

7475

This page provides tentative information on a new product. Texas Instruments reserves the right to change specifications for the product in any manner without notice.

TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 6543 • DALLAS, TEXAS 75263

LM741/LM741A/LM741C/LM741E Operational Amplifier

General Description

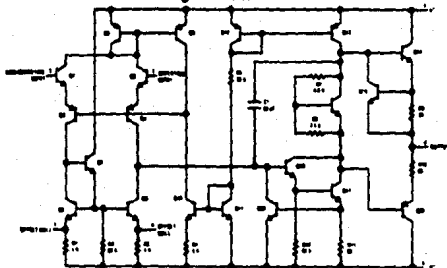
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct plug-in replacements for the 709C, LM701, MC1428 and 748 in most applications.

The amplifiers offer many features which make their application nearly fool-proof, over a broad

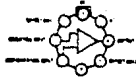
section on the input and output, no latch up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

Schematic and Connection Diagrams (Top View)



Metal Can Package



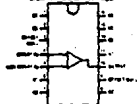
Order Number: LM741N, LM741AN,
LM741CN or LM741EN
See NS Package #08C

Dual In-Line Package



Order Number: LM741CN or LM741EN
See NS Package #08B
Order Number: LM741CJ
See NS Package #08A

Quad Flat-Pack Package



Order Number: LM741CN 14
See NS Package #14A
Order Number: LM741CJ-14, LM741AJ-14
or LM741CJ-14
See NS Package #14A

Absolute Maximum Ratings

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±15V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short-Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	-55°C to +125°C	0°C to +70°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C	300°C	300°C

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	LM741A, LM741E			LM741			LM741C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	T _A = 25°C				10	50		20	60		mV
	R _S ≤ 10kΩ										mV
	R _S ≤ 50kΩ		0.8	3.0							mV
	T _{MIN} ≤ T _A ≤ T _{MAX}										mV
	R _S ≤ 50kΩ			4.0							mV
Average Input Offset Voltage Drift	R _S ≤ 10kΩ			1.0							μV/°C
	R _S ≤ 50kΩ			1.5							μV/°C
Input Offset Voltage Adjustment Range	T _A = 25°C, V _S = ±20V	±10			±15			±15			mV
	T _A = 25°C		3.0	30		20	200		25	200	mV
Average Input Offset Current Drift	T _A = 25°C			0.5							nA/°C
	T _{MIN} ≤ T _A ≤ T _{MAX}										nA/°C
Input Bias Current	T _A = 25°C		30	80		80	500		80	500	nA
	T _{MIN} ≤ T _A ≤ T _{MAX}			0.210			1.5			0.8	nA
Input Resistance	T _A = 25°C, V _S = ±20V	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	T _{MIN} ≤ T _A ≤ T _{MAX} V _S = ±20V	0.5									MΩ
Input Voltage Range	T _A = 25°C							±12	±13		V
	T _{MIN} ≤ T _A ≤ T _{MAX}				±12	±13					V
Large Signal Voltage Gain	T _A = 25°C, R _L ≥ 2kΩ										V/mV
	V _S = ±20V, V _O = ±15V	50									V/mV
	V _S = ±15V, V _O = ±10V				80	200		20	200		V/mV
	T _{MIN} ≤ T _A ≤ T _{MAX} R _L ≥ 2kΩ										V/mV
	V _S = ±20V, V _O = ±15V V _S = ±15V, V _O = ±10V	37			25			15			V/mV
Output Voltage Swing	V _S = ±20V										V
	R _L ≥ 10kΩ	±15									V
	R _L ≥ 2kΩ	±15									V
	V _S = ±15V				±12	±14		±12	±14		V
	R _L ≥ 10kΩ R _L ≥ 2kΩ				±10	±13		±10	±13		V
Output Short-Circuit Current	T _A = 25°C	10	25	35		25			25		mA
	T _{MIN} ≤ T _A ≤ T _{MAX}	10		40							mA
Common-Mode Rejection Ratio	T _{MIN} ≤ T _A ≤ T _{MAX}							70	80		dB
	R _S ≤ 10kΩ, V _{CM} = ±12V R _S ≤ 50kΩ, V _{CM} = ±12V	80	15					70	80		dB

Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM741/LM741E			LM741*			LM741C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage Rejection Ratio	$V_S = 12V \pm 1\%$, $V_O = 15V$										dB
	$V_S = 50V$	86	88								dB
	$V_S \leq 15V$				77	86		77	86		dB
Temperature Register Rise Time	$T_A = 25^\circ C$, Unity Gain										μs
	Overdrive		0.25	0.8		0.3			0.3		μs
Bandwidth (Noise @)	$T_A = 25^\circ C$	0.437	1.5								MHz
	$T_A = 25^\circ C$, Unity Gain	0.3	0.7			0.5			0.5		MHz
Supply Current	$T_A = 25^\circ C$					1.7	2.8		1.7	2.8	mA
	$T_A = 25^\circ C$										mA
Power Consumption	$T_A = 25^\circ C$										mW
	$V_S = 120V$ $V_O = 115V$		80	100				80	95		mW
LM741A	$V_S = 12V$										mW
LM741E	$T_A = T_{AMB}$			105							mW
	$T_A = T_{AMB}$			135							mW
LM741C	$V_S = 120V$			100							mW
	$T_A = T_{AMB}$			100							mW
LM741	$T_A = T_{AMB}$			100							mW
	$V_S = 115V$					80	100				mW
	$T_A = T_{AMB}$					95	75				mW

Note 1: The maximum junction temperature of the LM741/LM741A is $150^\circ C$, while that of the LM741C/LM741E is $100^\circ C$. For operation at elevated temperatures, devices in the TO-8 package must be derated based on a thermal resistance of $150^\circ C/W$ just as to ambient, or $45^\circ C/W$ junction to case. The thermal resistance of the dual in-line package is $180^\circ C/W$ junction to ambient.

Note 2: For supply voltages less than $\pm 15V$, the absolute maximum output voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = 115V$, $-50^\circ C \leq T_A \leq 100^\circ C$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0^\circ C \leq T_A \leq 70^\circ C$.

Note 4: Calculated value from BR (42) = $0.26/\text{Rise Time}(\mu s)$.

LM386 Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low-voltage consumer applications. The gain is internally set to 20 to keep external parts count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value up to 200.

The inputs are ground referenced while the output is automatically biased to one-half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

Features

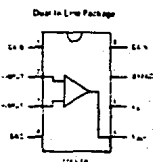
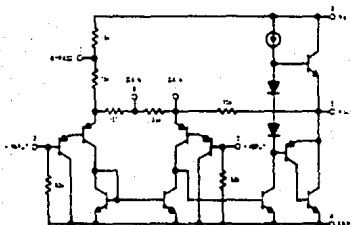
- Battery operation
- Minimum external parts
- Wide supply voltage range 4V-12V or 5V-18V
- Low quiescent current drain 4 mA

- Voltage gain: from 20 to 200
- Ground referenced input
- Self centering output quiescent voltage
- Low distortion
- Eight pin dual in-line package

Applications

- AM/FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

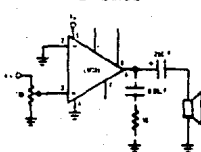
Equivalent Schematic and Connection Diagrams



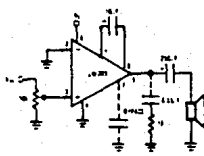
Order Number LM386N-1,
LM386N-3 or LM386N-4
See MS Package N388

Typical Applications

Amplifier with Gain = 20
Minimum Parts



Amplifier with Gain = 200



Absolute Maximum Ratings

Supply Voltage (LM366N)	15V	Storage Temperature	-65°C to +150°C
Supply Voltage (LM365N-4)	22V	Operating Temperature	0°C to +70°C
Package Dissipation (Note 1) (LM366N-4)	1.25W	Junction Temperature	+150°C
Package Dissipation (Note 2) (LM365)	660 mW	Lead Temperature (Soldering 10 seconds)	+300°C
Input Voltage	±0.4V		

Electrical Characteristics $T_A = 25^\circ\text{C}$

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage (V_S)	LM365	4		12	V
	LM366N-4	5		18	V
Quiescent Current (I_Q)	$V_S = 6V, V_{IN} = 0$		4	6	mA
Output Power (P_{OUT})	LM365N-1	$V_S = 6V, R_L = 8\Omega, THD = 10\%$	250	325	mW
	LM365N-3	$V_S = 6V, R_L = 8\Omega, THD = 10\%$	500	700	mW
	LM366N-4	$V_S = 18V, R_L = 32\Omega, THD = 10\%$	700	1000	mW
Voltage Gain (A_v)	$V_S = 6V, f = 1\text{ kHz}$		26		dB
	10dB/F from Pin 1 to 8		46		dB
Bandwidth (BW)	$V_S = 6V, \text{Pins 1 and 8 Open}$		300		kHz
Total Harmonic Distortion (THD)	$V_S = 6V, R_L = 8\Omega, P_{OUT} = 125\text{ mW}$ $f = 1\text{ kHz}, \text{Pins 1 and 8 Open}$		0.2		%
Power Supply Rejection Ratio (PSRR)	$V_S = 6V, f = 1\text{ kHz}, C_{OFFPASS} = 10\mu\text{F}$ Pins 1 and 8 Open, Referred to Output		60		dB
Input Resistance (R_{IN})			80		k Ω
Input Bias Current (I_{BIAS})	$V_S = 6V, \text{Pins 2 and 3 Open}$		250		nA

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 100°C/W junction to ambient.

Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 187°C junction to ambient.

Application Hints

GAIN CONTROL

To make the LM365 a more versatile amplifier, two pins (1) and (8) are provided for gain control. With pins 1 and 8 open the 1.35 k Ω resistor sets the gain at 20 (26 dB). If a capacitor is put from pin 1 to 8, bypassing the 1.35 k Ω resistor, the gain will go up to 200 (46 dB). If a resistor is placed in series with the capacitor, the gain can be set to any value from 20 to 200. Gain control can also be done by capacitively coupling a resistor (or FET) from pin 1 to ground.

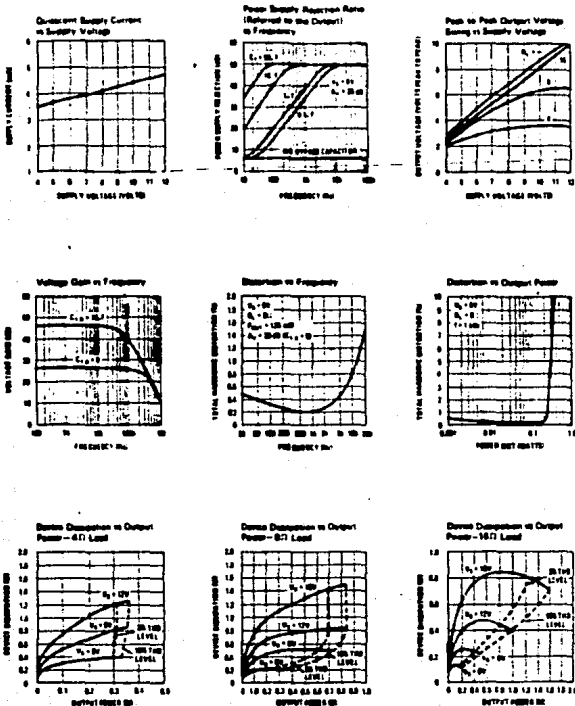
Additional external components can be placed in parallel with the internal feedback resistors to tailor the gain and frequency response for individual applications. For example, we can compensate poor speaker bass response by frequency shaping the feedback path. This is done with a series RC from pin 1 to 5 (parallelizing the internal 18 k Ω resistor). For 6 dB effective bass boost, $R = 15\text{ k}\Omega$, the lowest value for good stable operation is $R = 10\text{ k}\Omega$ if pin 8 is open. If pins 1 and 8 are bypassed then R is less than 2 k Ω can be used. This restriction is because the amplifier is only compensated for closed-loop gains greater than 8.

INPUT BIASING

The schematic shows that both inputs are biased to ground with a 50 k Ω resistor. The base current of the input transistors is about 250 nA, so the inputs are at about 12.5 mV when left open. If the dc source resistance driving the LM365 is higher than 250 k Ω it will contribute very little additional offset (about 2.5 mV at the input, 80 mV at the output). If the dc source resistance is less than 10 k Ω , then shunting the unused input to ground will keep the offset low (about 2.5 mV at the input, 80 mV at the output). For dc source resistances between these values we can eliminate excess offset by putting a resistor from the unused input to ground, equal in value to the dc source resistance. Of course all offset problems are eliminated if the input is capacitively coupled.

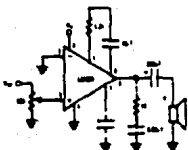
When using the LM365 with higher gains (bypassing the 1.35 k Ω resistor between pins 1 and 8) it is necessary to bypass the unused input, preventing degradation of gain and possible instability. This is done with a 0.1 μF capacitor or a short to ground depending on the dc source resistance on the driven input.

Typical Performance Characteristics

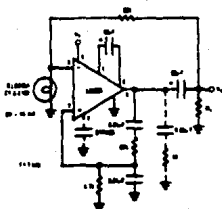


Typical Applications (Continued)

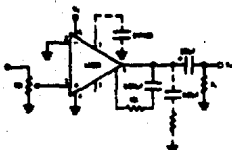
Amplifier with $Gain = 50$



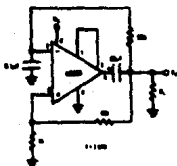
Low Distortion Power Stand-By Converter



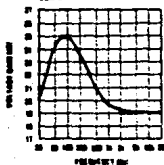
Amplifier with Gain 2000



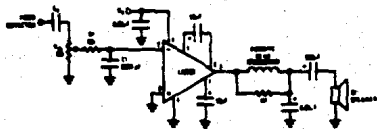
Stable With Capacitor



Regulating Regulator with Gain 2000



HP Radio Power Amplifier



- Note 1: Tolerate supply lead and supply ground wire lengths.
 Note 2: Tolerate capacitor lead and ground wire lengths.
 Note 3: Ferrite bead is Ferrite bead KS-001-001/08 with 3 turns of wire.

- Note 4: R1C1 band allows input signal.
 Note 5: An capacitor must be installed very close to IC.

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL outputs.

Features

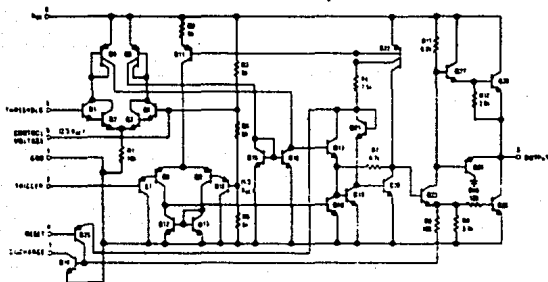
- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

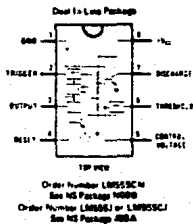
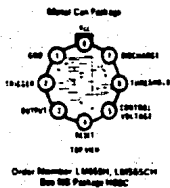
Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram



Connection Diagrams



Absolute Maximum Ratings

Supply Voltage	-18V to +18V
Output Current	0.5 A
Operating Temperature	0°C to +70°C
Storage Temperature Range	-55°C to +125°C
Lead Temperature, Soldering, 10 seconds	+300°C

Electrical Characteristics (T_A = 25°C, V_{CC} = +5V to +15V, unless otherwise specified.)

PARAMETER	CONDITIONS	LIMITS					
		LM555			LV555C		
		MIN	TYP	MAX	MIN	TYP	MAX
Supply Voltage		4.5		18	4.5		18
Supply Current	V _{CC} = 15V, R _L = ∞ V _{CC} = 15V, R _L = ∞ (Load Source: Pin 2)			5		3	8
				10		10	15
Timing Error, Monostable Mode Accuracy	R ₁ , R ₂ = 1k to 100k C = 0.01 to 100µF (Pin 3)		0.5			1	
Drift in Temperature Accuracy			30			30	100°C
Accuracy, Pulse Temperature Drift in Supply			15			15	
			0.05			0.1	0.1
Timing Error, Monostable Mode Accuracy			15			2.25	
Drift in Temperature Accuracy, Pulse Temperature Drift in Supply			80			150	100°C
			2.5			2.0	
			0.15			0.30	0.5
Threshold Voltage			0.667			0.667	+V _{CC}
Trigger Voltage	V _{CC} = 15V V _{CC} = 5V	4.0 1.43		9.2 1.67		5 1.67	V V
Trigger Current			0.01	0.5		0.5	1.0
Reset Voltage		0.4		0.5	0.4	0.5	V
Reset Current			0.1	0.1		0.1	0.4
Threshold Current	Pin 1:		0.1	0.25		0.1	0.25
Control Voltage Level	V _{CC} = 15V V _{CC} = 5V	8.8 2.9		10.4 3.8		9 2.6	12 3.23
Pin 2 Load Regulation			1	100		1	100
Pin 2 Sat. (Pin 5) Output Low	V _{CC} = 15V, I _L = 15 mA V _{CC} = 5V, I _L = 4.5 mA		150			180	2
Output Low			70	100		80	200
Output Voltage Droop (I _L)	V _{CC} = 15V I _L = 10 mA I _L = 50 mA I _L = 100 mA I _L = 200 mA V _{CC} = 5V I _L = 5 mA I _L = 5 mA		0.1 0.4 2 2.5	0.15 0.5 2.2 2.5		0.1 0.4 2 2.5	0.25 0.75 7.5 7.5
Output Voltage Droop (I _L)	I _L = 200 mA, V _{CC} = 15V I _L = 100 mA, V _{CC} = 15V V _{CC} = 5V		12.5 13 3			12.5 13.3 3.3	V V V
Rise Time of Output			120			100	ns
Fall Time of Output			100			180	ns

Note 1: For operation at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of 45°C/W which is the case for TO-9 and +150°C/W junction to ambient for both packages.

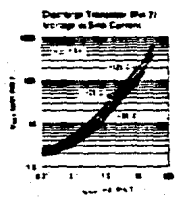
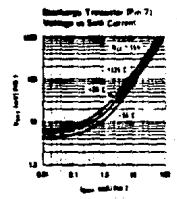
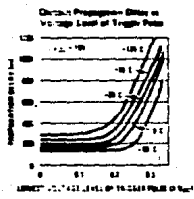
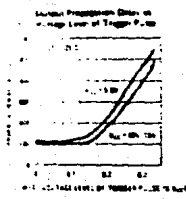
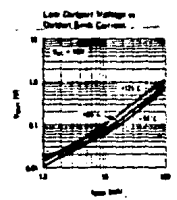
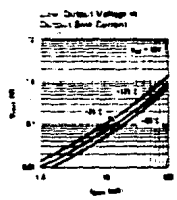
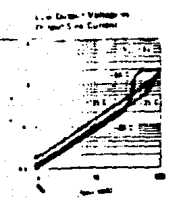
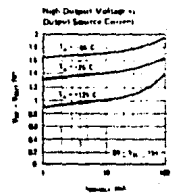
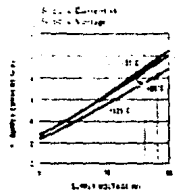
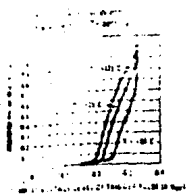
Note 2: I_{CC} is current with no output high impedance (1 mA less at V_{CC} = 5V).

Note 3: Test at V_{CC} = 5V and V_{CC} = 15V.

Note 4: The test shows only the maximum value of R₁ + R₂ for 15V operation. The maximum total (R₁ + R₂) is 20 kΩ.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating and limit are observed.

Typical Performance Characteristics



Applications Information

MONOSTABLE OPERATION

In this mode of operation, the timer functions as a one shot (Figure 1). The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than $1/3 V_{CC}$ to pin 2, the flip flop is set which both releases the short circuit across the capacitor and drives the output high.

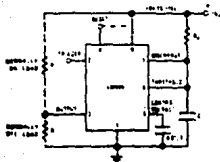


FIGURE 1 Monostable

The voltage across the capacitor then increases exponentially for a period of $t = 1.1 R_A C$, at the end of which time the voltage equals $2/3 V_{CC}$. The comparator then resets the flip flop which in turn discharges the capacitor and drives the output to its low state. Figure 2 shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing interval is independent of supply.

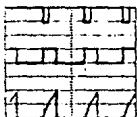


FIGURE 2 Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

When the reset function is not in use, it is recommended that it be connected to V_{CC} to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of $R_A C$ values for various time delays.

NOTE: In monostable operation, the trigger should be driven high before the end of timing cycle.

ASTABLE OPERATION

If the circuit is connected as shown in Figure 4 (pins 2 and 6 connected) it will trigger itself and free run as a

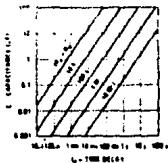


FIGURE 3 Time Delay

multivibrator. The external capacitor charges through $R_A + R_B$ and discharges through R_B . Thus the duty cycle may be precisely set by the ratio of these two resistors.

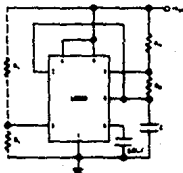


FIGURE 4 Astable

In this mode of operation, the capacitor charges and discharges between $1/3 V_{CC}$ and $2/3 V_{CC}$. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

Figure 5 shows the waveforms generated in this mode of operation.

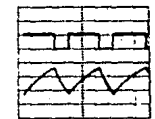


FIGURE 5 Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693 (R_A + R_B) C$$

And the discharge time (output low) by:

$$t_2 = 0.693 (R_B) C$$

Thus the total period is:

$$T = t_1 + t_2 = 0.693 (R_A + 2R_B) C$$

Applications Information

The frequency of oscillation is

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is:

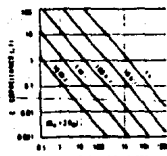
$$D = \frac{R_B}{R_A + 2R_B}$$


FIGURE 6. Pulse Running Frequency

FREQUENCY DIVIDER

The monostable circuit of Figure 1 can be used as a frequency divider by adjusting the length of the timing cycle. Figure 7 shows the waveform generated in a divide by three circuit.



Top Trace: Input
Middle Trace: Output
Bottom Trace: Ramp
Time Base: 100 ns

FIGURE 7. Frequency Divider

PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. Figure 8 shows the circuit, and in Figure 9 are some waveform examples.

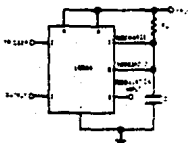


FIGURE 8. Pulse Width Modulator

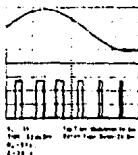


FIGURE 9. Pulse Width Modulator

PULSE POSITION MODULATOR

This application uses the timer connected for stable operation, as in Figure 10, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. Figure 11 shows the waveform generated for a triangle wave modulation signal.

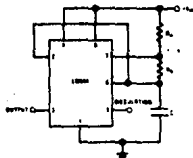


FIGURE 10. Pulse Position Modulator

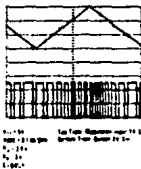


FIGURE 11. Pulse Position Modulator

LINEAR RAMP

When the pullup resistor, R_A , in the monostable circuit is replaced by a constant current source, a linear ramp is

Applications Information (Continued)

where V_{TH} is the same as previously. For the output low state t_{L2}

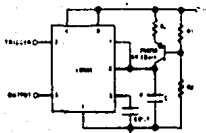


FIGURE 12

Figure 13 shows waveforms generated by the linear ramp.

The time interval is given by

$$T = \frac{2/3 V_{CC} R_2 (R_1 + R_2) C}{R_1 V_{CC} - V_{OL} (R_1 + R_2)}$$

$V_{OL} = 0.5V$



Fig. 13
 $V_{CC} = 5V$
 $R_1 = 10k\Omega$
 $R_2 = 10k\Omega$
 $C = 1\mu F$
 $T = 1.0\mu s$

Fig. 13a
 $V_{CC} = 5V$
 $R_1 = 10k\Omega$
 $R_2 = 10k\Omega$
 $C = 1\mu F$
 $T = 1.0\mu s$

FIGURE 13. Linear Ramp

50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in Figure 14. The time period for the out-

put high is the same as previously. For the output low state t_{L2}

$$t_{L2} = (R_A + R_B) C \ln \left[\frac{R_B - 2R_A}{2R_B - R_A} \right]$$

Thus the frequency of oscillation is $f = \frac{1}{t_{L1} + t_{L2}}$

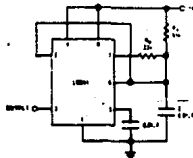


FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if R_B is greater than $1/2 R_A$ because the junction of R_A and R_B cannot bring pin 2 down to $1/3 V_{CC}$ and trigger the inverter comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is 0.1 μ F in parallel with 1 μ F electrolytic.

Lower comparator storage time can be as long as 10 μ s when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to 10 μ s minimum.

Delay time reset to output is 0.47 μ s typical. Minimum reset pulse width must be 0.3 μ s, typical.

Pin 7 current switches within 30 ns of the output (pin 3) voltage.

LINEAR INTEGRATED CIRCUITS

TYPES TL601, TL604, TL607, TL610 P-MOS ANALOG SWITCHES

BULLETIN NO. DLB 17401, JUNE 1976—REVISED OCTOBER 1977

- Switches ± 10 -V Analog Signals
- TTL/DTL Logic Capability
- 5- to 30-V Supply Range
- Low (100 Ω) On-State Resistance
- High (10^{11} Ω) Off-State Resistance
- 5-Pin Functions

Description:

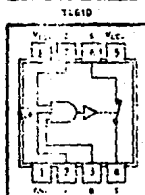
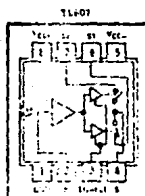
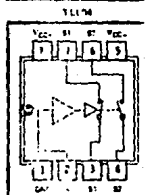
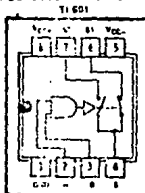
The TL601, TL604, TL607, and TL610 are a family of monolithic P-MOS analog switches that provide fast switching speeds with high off/on ratio and no offset voltage. The channel enhancement-type MOS switches will accept analog signals up to ± 10 volts and are controlled by TTL-compatible logic inputs. The monolithic structure is made possible by E-MOS technology, which combines p-channel MOS with standard bipolar transistors.

These switches are particularly suited for use in military, industrial, and commercial applications such as data acquisition, multibeam, A/D and D/A converters, MODEMS, sample-and-hold systems, signal multiplexing, integrators, programmable operational amplifiers, programmable voltage regulators, automatic switching networks, logic interfaces, and many other analog systems.

The TL601 is an SPDT switch with two logic control inputs. The TL604 is a dual complementary SPDT switch with a single control input. The TL607 is an SPDT switch with one logic control input and one analog input. The TL610 is an SPDT switch with three logic control inputs. The TL610 features a higher off/on ratio than the other members of the family.

The TL601M, TL604M, TL607M, and TL610M are characterized for operation over the full military temperature range of -55°C to 125°C , the TL601, TL604, TL607, and TL610 are characterized for operation from -25°C to 25°C , and the TL601C, TL604C, TL607C, and TL610C are characterized for operation from 0°C to 70°C .

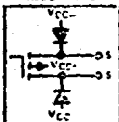
JG DR P DUAL IN-LINE PACKAGE (TOP VIEW)



TYPICAL OF
ALL INPUTS



TYPICAL OF
ALL SWITCHES

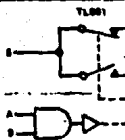


Switch 201, 202, 203, 204, 205, 206, 207, 208, 209, 210, 211, 212, 213, 214, 215, 216, 217, 218, 219, 220, 221, 222, 223, 224, 225, 226, 227, 228, 229, 230, 231, 232, 233, 234, 235, 236, 237, 238, 239, 240, 241, 242, 243, 244, 245, 246, 247, 248, 249, 250, 251, 252, 253, 254, 255, 256, 257, 258, 259, 260, 261, 262, 263, 264, 265, 266, 267, 268, 269, 270, 271, 272, 273, 274, 275, 276, 277, 278, 279, 280, 281, 282, 283, 284, 285, 286, 287, 288, 289, 290, 291, 292, 293, 294, 295, 296, 297, 298, 299, 300, 301, 302, 303, 304, 305, 306, 307, 308, 309, 310, 311, 312, 313, 314, 315, 316, 317, 318, 319, 320, 321, 322, 323, 324, 325, 326, 327, 328, 329, 330, 331, 332, 333, 334, 335, 336, 337, 338, 339, 340, 341, 342, 343, 344, 345, 346, 347, 348, 349, 350, 351, 352, 353, 354, 355, 356, 357, 358, 359, 360, 361, 362, 363, 364, 365, 366, 367, 368, 369, 370, 371, 372, 373, 374, 375, 376, 377, 378, 379, 380, 381, 382, 383, 384, 385, 386, 387, 388, 389, 390, 391, 392, 393, 394, 395, 396, 397, 398, 399, 400, 401, 402, 403, 404, 405, 406, 407, 408, 409, 410, 411, 412, 413, 414, 415, 416, 417, 418, 419, 420, 421, 422, 423, 424, 425, 426, 427, 428, 429, 430, 431, 432, 433, 434, 435, 436, 437, 438, 439, 440, 441, 442, 443, 444, 445, 446, 447, 448, 449, 450, 451, 452, 453, 454, 455, 456, 457, 458, 459, 460, 461, 462, 463, 464, 465, 466, 467, 468, 469, 470, 471, 472, 473, 474, 475, 476, 477, 478, 479, 480, 481, 482, 483, 484, 485, 486, 487, 488, 489, 490, 491, 492, 493, 494, 495, 496, 497, 498, 499, 500, 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514, 515, 516, 517, 518, 519, 520, 521, 522, 523, 524, 525, 526, 527, 528, 529, 530, 531, 532, 533, 534, 535, 536, 537, 538, 539, 540, 541, 542, 543, 544, 545, 546, 547, 548, 549, 550, 551, 552, 553, 554, 555, 556, 557, 558, 559, 560, 561, 562, 563, 564, 565, 566, 567, 568, 569, 570, 571, 572, 573, 574, 575, 576, 577, 578, 579, 580, 581, 582, 583, 584, 585, 586, 587, 588, 589, 590, 591, 592, 593, 594, 595, 596, 597, 598, 599, 600, 601, 602, 603, 604, 605, 606, 607, 608, 609, 610, 611, 612, 613, 614, 615, 616, 617, 618, 619, 620, 621, 622, 623, 624, 625, 626, 627, 628, 629, 630, 631, 632, 633, 634, 635, 636, 637, 638, 639, 640, 641, 642, 643, 644, 645, 646, 647, 648, 649, 650, 651, 652, 653, 654, 655, 656, 657, 658, 659, 660, 661, 662, 663, 664, 665, 666, 667, 668, 669, 670, 671, 672, 673, 674, 675, 676, 677, 678, 679, 680, 681, 682, 683, 684, 685, 686, 687, 688, 689, 690, 691, 692, 693, 694, 695, 696, 697, 698, 699, 700, 701, 702, 703, 704, 705, 706, 707, 708, 709, 710, 711, 712, 713, 714, 715, 716, 717, 718, 719, 720, 721, 722, 723, 724, 725, 726, 727, 728, 729, 730, 731, 732, 733, 734, 735, 736, 737, 738, 739, 740, 741, 742, 743, 744, 745, 746, 747, 748, 749, 750, 751, 752, 753, 754, 755, 756, 757, 758, 759, 760, 761, 762, 763, 764, 765, 766, 767, 768, 769, 770, 771, 772, 773, 774, 775, 776, 777, 778, 779, 780, 781, 782, 783, 784, 785, 786, 787, 788, 789, 790, 791, 792, 793, 794, 795, 796, 797, 798, 799, 800, 801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 814, 815, 816, 817, 818, 819, 820, 821, 822, 823, 824, 825, 826, 827, 828, 829, 830, 831, 832, 833, 834, 835, 836, 837, 838, 839, 840, 841, 842, 843, 844, 845, 846, 847, 848, 849, 850, 851, 852, 853, 854, 855, 856, 857, 858, 859, 860, 861, 862, 863, 864, 865, 866, 867, 868, 869, 870, 871, 872, 873, 874, 875, 876, 877, 878, 879, 880, 881, 882, 883, 884, 885, 886, 887, 888, 889, 890, 891, 892, 893, 894, 895, 896, 897, 898, 899, 900, 901, 902, 903, 904, 905, 906, 907, 908, 909, 910, 911, 912, 913, 914, 915, 916, 917, 918, 919, 920, 921, 922, 923, 924, 925, 926, 927, 928, 929, 930, 931, 932, 933, 934, 935, 936, 937, 938, 939, 940, 941, 942, 943, 944, 945, 946, 947, 948, 949, 950, 951, 952, 953, 954, 955, 956, 957, 958, 959, 960, 961, 962, 963, 964, 965, 966, 967, 968, 969, 970, 971, 972, 973, 974, 975, 976, 977, 978, 979, 980, 981, 982, 983, 984, 985, 986, 987, 988, 989, 990, 991, 992, 993, 994, 995, 996, 997, 998, 999, 1000.

TEXAS INSTRUMENTS
INCORPORATED

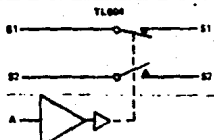
POST OFFICE BOX 276112 • DALLAS, TEXAS 75227

TYPES TL601, TL604, TL607, TL610 P-MOS ANALOG SWITCHES



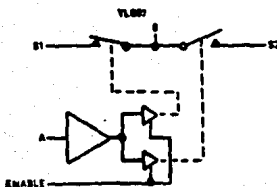
FUNCTION TABLE

LOGIC INPUTS		ANALOG SWITCH	
A	B	S1	S2
L	X	OFF (OPEN)	ON (CLOSED)
X	L	OFF (OPEN)	ON (CLOSED)
H	H	ON (CLOSED)	OFF (OPEN)



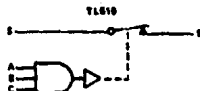
FUNCTION TABLE

LOGIC INPUT	ANALOG SWITCH	
A	S1	S2
H	ON (CLOSED)	OFF (OPEN)
L	OFF (OPEN)	ON (CLOSED)



FUNCTION TABLE

INPUTS		ANALOG SWITCH	
A	ENABLE	S1	S2
X	L	OFF (OPEN)	OFF (OPEN)
L	H	OFF (OPEN)	ON (CLOSED)
H	H	ON (CLOSED)	OFF (OPEN)



FUNCTION TABLE

INPUTS			ANALOG SWITCH
A	B	C	S
L	X	X	OFF (OPEN)
X	L	X	OFF (OPEN)
X	X	L	OFF (OPEN)
H	H	H	ON (CLOSED)

H = high logic level

L = low logic level

X = indeterminate

Switch positions shown are for all inputs high.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	30 V
Supply voltage, V_{CC}	-20 V
V_{CC} to V_{EE} - supply voltage differential	35 V
Control input voltage	V_{CC}
Switch off-state voltage	30 V
Switch on-state current	10 mA
Operating free-air temperature range: TL601M, TL604M, TL607M, TL610M	-55°C to 125°C
TL601, TL604, TL607, TL610	-25°C to 85°C
TL601C, TL604C, TL607C, TL610C	0°C to 70°C
Storage temperature range	-65°C to 160°C
Lead temperature 1/16 inch (1.6 mm) from case for 60 seconds; JG package	300°C
Lead temperature 1/16 inch (1.6 mm) from case for 10 seconds; P package	250°C

NOTE 1: All voltage values are with respect to reference ground terminal.

TEXAS INSTRUMENTS
INCORPORATED

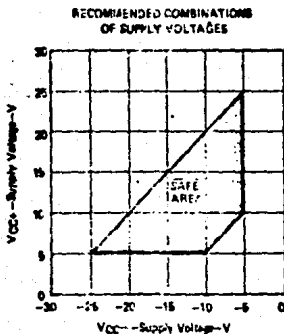
POST OFFICE BOX 278112 • DALLAS, TEXAS 75278

TYPES TL601, TL604, TL607, TL610 P-MOS ANALOG SWITCHES

recommended operating conditions

	TL601M, TL604M TL607M, TL610M			TL601I, TL604I TL607I, TL610I			TL601C, TL604C TL607C, TL610C			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC+} (see Figure 1)	5	10	25	5	10	25	5	10	25	V
Supply voltage, V_{CC-} (see Figure 1)	-5	-20	-25	-5	-20	-25	-5	-20	-25	V
V_{CC+} to V_{CC-} supply voltage differential (see Figure 1)	15	20	30	15	20	30	15	20	30	V
Control input voltage	0	5.5	0	5.5	0	5.5	0	5.5	0	V
Switch on-resistance			10			10			10	$\mu\Omega$
Operating free-air temperature, T_A	-55	125	-25	85	0	70				$^{\circ}\text{C}$

Figure 1 shows power supply boundary conditions for proper operation of the TL601 Series. The range of operation for supply V_{CC+} from +5 V to +25 V is shown on the vertical axis. The range of supply V_{CC-} from -5 V to -25 V is shown on the horizontal axis. A recommended 30-volt maximum voltage differential from V_{CC+} to V_{CC-} governs the maximum V_{CC+} for a chosen V_{CC-} (or vice versa). A minimum recommended difference of 15 volts from V_{CC+} to V_{CC-} and the boundaries shown in Figure 1 allow the designer to select the proper combinations of the two supplies.



TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 225174 • DALLAS, TEXAS 75226

TYPES TL601, TL604, TL607, TL610

P-MOS ANALOG SWITCHES

electrical characteristics over recommended operating free-air temperature range,
 $V_{CC+} = 10 \text{ V}$, $V_{CC-} = -20 \text{ V}$, analog switch test current = 1 mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	TL6—B		TL6—C		UNIT		
		MIN.	TYP ²	MAX.	MIN.		TYP ²	MAX.
V_{IH} High-level input voltage		2		2		V		
V_{IL} Low-level input current	Enable input of TL607B	0.5		0.5		μA		
	All other inputs	0.5		0.5		μA		
I_{IH} High-level input current	$V_I = 5.5 \text{ V}$	0.5		0.5		10 μA		
I_{IL} Low-level input current	$V_I = 0.4 \text{ V}$	-80		-80		-250 μA		
I_{off} Switch off-state current	$V_{IH} = -10 \text{ V}$, See Note 2	$T_A = 25^\circ \text{C}$	-400		-400		μA	
		$T_A = \text{MAX.}$	-50		-100		-10 -30 μA	
r_{on} Switch on-state resistance	$V_{IH} = 10 \text{ V}$, $I_{Q(on)} = -1 \text{ mA}$	TL601	85		120		Ω	
		TL604	75		200			
		TL607	40		80			
	TL610	270		400				
	TL601	220		400				
	TL604	120		300				
r_{off} Switch off-state resistance			1×10^{11}		5×10^{10}		Ω	
C_{on} Switch on-state input capacitance	$V_{IH} = 2 \text{ V}$, $f = 1 \text{ MHz}$		18		18		pF	
C_{off} Switch off-state input capacitance	$V_{IH} = 2 \text{ V}$, $f = 1 \text{ MHz}$		5		5		pF	
I_{CC+} Supply current from V_{CC+}	Logic inputs: @ 5.5 V, All analog inputs: open	Enable input high	TL604	5		10		mA
		Enable input low	TL607	3		5		
		TL610	5		10			
		TL601	-1.2		-2.5			
I_{CC-} Supply current from V_{CC-}	Logic inputs: @ 5.5 V, All analog inputs: open	Enable input high	TL607	-2.5		-5		mA
		Enable input low	TL607	-0.05		-0.5		
		TL610	-1.2		-2.5			
		TL601	-1.2		-2.5			

¹ For conditions shown as MIN or MAX, use the absolute maximum values or the recommended operating conditions.

² All typ values are at $T_A = 25^\circ \text{C}$.

NOTE 2: The other terminal of the switch under test is at $V_{CC+} = 10 \text{ V}$.

switching characteristics, $V_{CC+} = 10 \text{ V}$, $V_{CC-} = -20 \text{ V}$, $T_A = 25^\circ \text{C}$

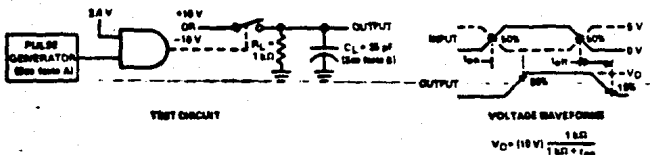
PARAMETER	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
t_{on} Switch turn-on time	$R_L = 1 \text{ k}\Omega$, $C_L = 33 \text{ pF}$, See Figure 2	400		530	ns
t_{off} Switch turn-off time		100		150	ns

TEXAS INSTRUMENTS
 INCORPORATED

4001 GULF FREETOWN ROAD, DALLAS, TEXAS 75246

TYPES TL601, TL604, TL607, TL610 P-MOS ANALOG SWITCHES

PARAMETER MEASUREMENT INFORMATION



- NOTES: A. The p-mos generator has the following characteristics: $Z_{out} = 50 \Omega$, $t_r = 15 ns$, $t_f = 10 ns$, $t_{pd} = 500 ns$.
 B. C_L includes probe and jig lead times.

FIGURE 2

TYPICAL CHARACTERISTICS

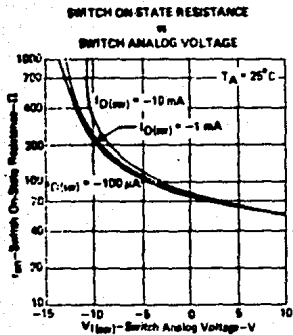


FIGURE 3

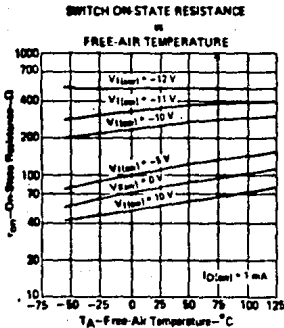


FIGURE 4

TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 27012 • DALLAS, TEXAS 75226

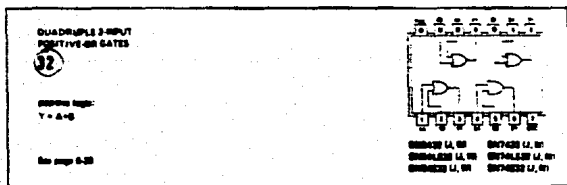
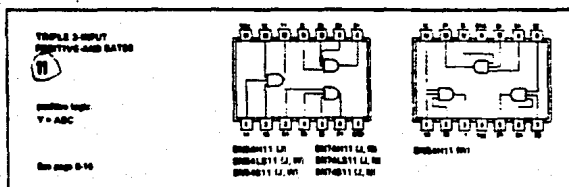
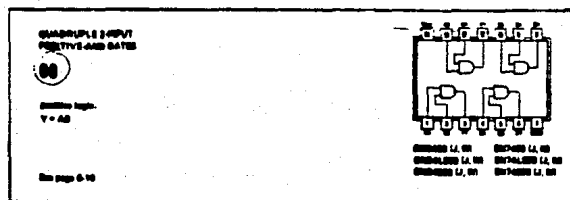
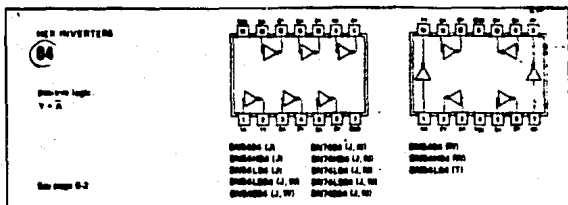
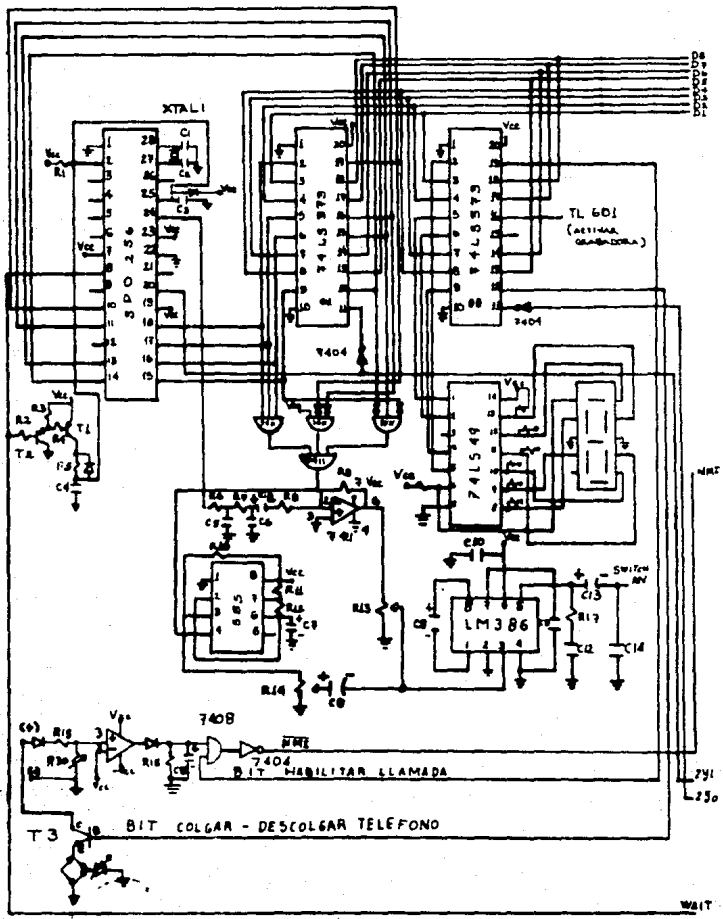
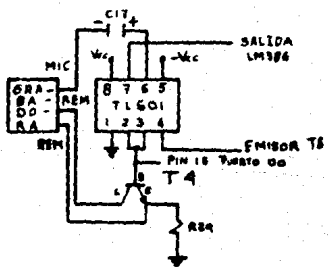
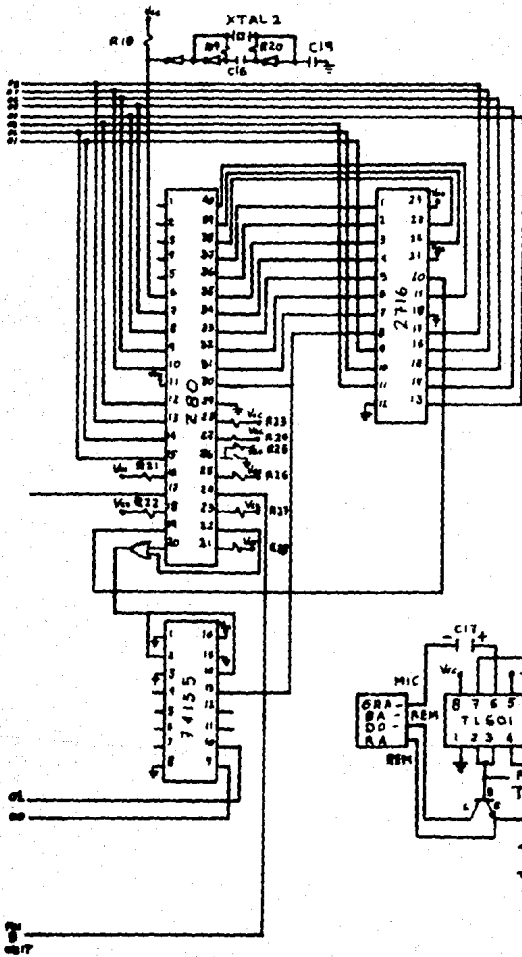


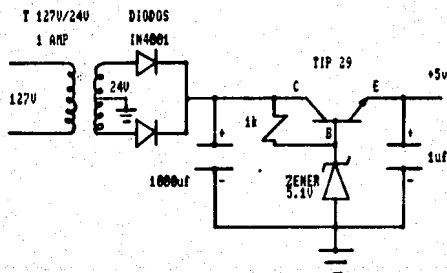
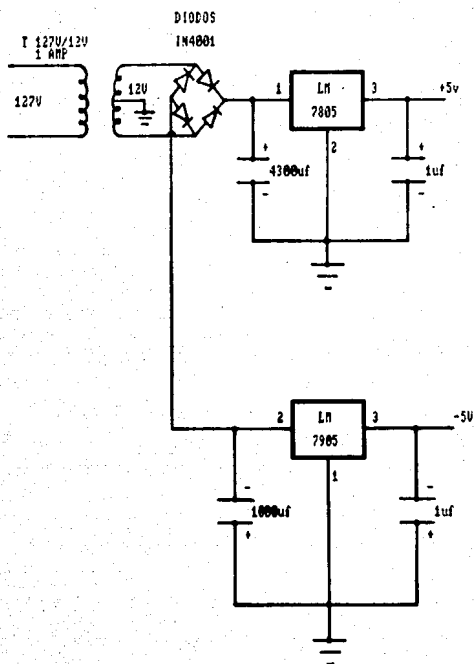
DIAGRAMA ELECTRICO



WBIT



FUENTES DE VOLTAJE



CAPACITORES:

C1 22 pf
C2 22 pf
C3 0.1 uf
C4 0.1 uf
C5 0.022 uf
C6 0.022 uf
C7 100 uf
C8 1 uf
C9 10 uf
C10 0.1 uf
C11 0.1 uf
C12 0.1 uf
C13 100 uf
C14 0.1 uf
C15 1 uf
C15 0.01 uf
C17 47 uf
C18 1 uf
C19 10 pf

DIODOS: IN4001

TRANSISTORES:

T1 F2N3905
T2 F2N3905
T3 TIP 31C
T4 BC 547

CRISTALES DE CUARZO:

XTAL1 3.57 MHz
XTAL2 4 MHz

RESISTENCIAS:

R1 100 K
R2 10 K
R3 1 K
R4 200 K
R5 100 K
R6 33 K
R7 33 K
R8 10 K
R9 2.2 M
R10 1 K
R11 1 K
R12 1 K
R13 Pot 10 K
R14 Pot 10 K
R15 100 K
R16 1 M
R17 10 ohms
R18 470 ohms
R19 1 K
R20 1 K
R21 10 K
R22 10 K
R23 10 K
R24 10 K
R25 10 K
R26 10 K
R27 10 K
R28 10 K
R29 100 ohms
R30 Pot 100 K

BIBLIOGRAFIA

BIBLIOGRAFIA

- Apuntes de Microprocesadores y Sistemas Digitales.
Martínez, Juan B.
Facultad de Ingeniería U.N.A.M.
México, D. F.

- Telefonía Elemental.
Teléfonos de México, S.A. de C.V.
Gerencia de Capacitación.
México, D. F.

- The TTL Data Book for Design Engineers
Texas Instruments Inc.
Segunda edición 1976.
Texas, U.S.A.

- Linear Data Book
National Semiconductor Corp.
1982.
U.S.A.

- Linear and Interface Integrated Circuits
Motorola Inc.
1988.
U.S.A.