

01175<sup>12ej.</sup>



**DIVISION DE ESTUDIOS DE POSGRADO**  
**Facultad de Ingeniería**

**SISTEMA DE ADQUISICION DE DATOS OCEANOGRAFICOS**

**LUIS ARTURO HARO RUIZ**

**T E S I S**

**PRESENTADA A LA DIVISION DE ESTUDIOS DE  
POSGRADO DE LA  
FACULTAD DE INGENIERIA  
DE LA  
UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO  
COMO REQUISITO PARA OBTENER  
EL GRADO DE  
MAESTRO EN INGENIERIA  
( E L E C T R O N I C A )**

**CIUDAD UNIVERSITARIA**

**MEXICO, D.F.**

**1989**

**TESIS CON  
FALLA DE ORIGEN**



Universidad Nacional  
Autónoma de México



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE

	Pág.
Antecedentes .....	i
Resúmen .....	iii
Introducción .....	iv
Especificaciones generales del sistema .....	v
<b>I. CARACTERISTICAS GENERALES .....</b>	<b>1</b>
<b>II. MODULO DE ADQUISICION Y GRABACION DE DATOS .....</b>	<b>4</b>
2.1. Bloque de reloj y generador de tiempos .....	8
2.2. Bloque de control .....	13
2.3. Bloque multiplexor y convertidor análogo/digital .....	19
2.4. Bloque multiplexor de la señal de dato .....	27
2.5. Bloque programador y contador de canal .....	29
2.6. Bloque de grabación de datos y control del motor de pasos .....	33
<b>III. MODULO DE RECUPERACION Y TRANSMISION DE DATOS ...</b>	<b>40</b>
3.1. Bloque de amplificación y acondicionamiento de señal .....	43
3.2. Bloque módulo de control .....	51
3.3. Bloque demodulador .....	63
3.4. Bloque detector de error .....	66
3.5. Bloque reloj de sistema .....	68
3.6. Bloque contador de datos .....	70
3.7. Bloque contador de canal .....	73
3.8. Bloque de registro y transmisión de datos .....	75
3.9. Bloque de programación de velocidad de transmisión .....	79
<b>IV. FUENTE REGULADA DE ALIMENTACION .....</b>	<b>81</b>
<b>V. CONCLUSIONES .....</b>	<b>84</b>
APENDICE A. Convertidores Análogo Digital (A/D) .....	86
APENDICE B. Grabación Magnética .....	92
APENDICE C. Motores de Pasos .....	97
APENDICE D. Algoritmo de la máquina de estado (carta ASM, Algorithmic State Machine) .....	102
APENDICE E. Diagramas eléctricos y distribución de componentes sobre las tarjetas de circuito impreso .....	106
Referencias Bibliográficas .....	118

## **SISTEMA DE ADQUISICION DE DATOS OCEANOGRAFICOS**

### **Antecedentes**

En la actualidad los sistemas de adquisición de datos juegan un papel muy importante en el desarrollo de las ciencias, ya que a través de ellos se puede contar con grandes cantidades de información que permiten establecer y comprobar el comportamiento de algunos fenómenos físicos.

Dada la gran diversidad de aplicaciones de los sistemas de adquisición, no resulta fácil contar con sistemas que puedan cubrirlos todos ya que esto elevaría demasiado su costo y no se justificaría en muchas ocasiones su carácter general.

Un ejemplo real es el que se tiene en los buques oceanográficos de la Universidad Nacional Autónoma de México, en donde las investigaciones que en ellos se realizan requieren de sistemas especializados de adquisición de datos para efectuar la prospección de las aguas oceánicas y realizar estudios integrales de su dinámica. Tales equipos son de manufactura extranjera y en consecuencia en la mayoría de los casos de costo muy elevado.

Con el fin de sanar esta necesidad, y en apoyo al desarrollo tecnológico del país, se planteó el diseño de un sistema de adquisición de datos que se ajustara lo mejor posible a las necesidades de los Oceanógrafos, y que cubriera aspectos de diseño compatibles con la mayoría de los equipos comerciales, utilizando la tecnología más reciente existente en el mercado.

En base a lo anterior se plantea el Diseño de un Sistema de Adquisición de Datos Oceanográficos (SADO), que permita cubrir las necesidades específicas de esta área, cumpliendo con aspectos importantes de diseño, tales como:

- a) Número mínimo de canales de adquisición.
- b) Tipo de canales de adquisición.
- c) Capacidad de almacenamiento.
- d) Resolución.
- e) Precisión.
- f) Confiabilidad.
- g) Autonomía.
- h) Compatibilidad con otros equipos.
- i) Fácil manejo
- j) Costo.
- k) Consumo de potencia.

## **Resumen**

El Sistema de Adquisición de Datos Oceanográficos (SADO) que se describe en el presente trabajo es el resultado de una investigación aplicada, para resolver los problemas de captura de datos a bordo de los barcos oceanográficos de la Universidad Nacional Autónoma de México.

Actualmente en las investigaciones oceanográficas que se realizan a bordo de estos barcos, se requiere de la captura y almacenamiento de los datos de algunos de los parámetros más importantes de las aguas marinas como son: temperatura, salinidad, profundidad, velocidad, dirección, etc, estos datos son de importancia para casi todas las áreas de la oceanografía tales como: la física, la biología, la química y otras.

Un aspecto importante del Sistema SADO es que se diseñó lo suficientemente versátil para cubrir las necesidades de casi todas estas áreas de investigación y además que fuera de fácil manejo y operación para todos los usuarios.

Tomando en cuenta que se trata de un equipo que será utilizado en condiciones severas de trabajo, se tomaron en cuenta aspectos de diseño tales como dimensiones, peso, consumo de potencia y operación.

## **Introducción**

El Sistema de Adquisición de Datos Oceanográficos (SADO) es un sistema autónomo que permite la captura de información de algunos de los parámetros importantes para las investigaciones oceanográficas almacenándolas en una cinta magnética de tipo cassette.

Su carácter autónomo le permite ser utilizado en el campo durante períodos de tiempo prolongados, siendo éste un aspecto importante, ya que en ocasiones es necesario mantener el equipo anclado a cierta profundidad para determinar variaciones en tiempo de los parámetros en estudio.

Para lograr lo anterior, el sistema cuenta con un banco de baterías y un diseño en base a tecnología de bajo consumo de potencia.

Considerando que existen en el mercado algunos equipos de este tipo [1] [2] [3], el sistema SADO se diseñó de tal manera que fuera compatible con la mayoría de éstos en lo que se refiere a su formato y modo de grabación.

El Sistema SADO tiene capacidad para grabar en forma digital los datos de hasta ocho canales analógicos y reproducirlos y transmitirlos a un sistema de cómputo.

Aun cuando el sistema SADO está orientado a la adquisición de datos oceanográficos, su arquitectura de diseño le permite una aplicación más amplia, haciendo de éste, un prototipo muy flexible.

## **Especificaciones Generales del Sistema**

- 1. Modo de muestreo secuencial hasta 8 canales programables mediante switches.**
- 2. Intervalo de muestreo desde .5 seg hasta 3 horas.**
- 3. Código de conversión de palabras de 10 bits (pulsos cortos y largos) en forma serial.**
- 4. Modulación estándar por ancho de pulso (PWM).**
- 5. Sistema de grabación digital en cinta magnética de tipo cassette.**
- 6. Capacidad de almacenamiento de 4416000 bits en cinta de 460' (22880 muestras de 8 canales cada una).**
- 7. Tiempo de adquisición y grabación por canal de 560 mseg.**
- 8. Tiempo de conversión a 10 bits de 234 mseg.**
- 9. Autonomía promedio de 45 días, dependiendo del número de canales que se muestrean.**

## **I. CARACTERISTICAS GENERALES**

**El Sistema SADO está integrado por dos bloques básicos:**

- a. Módulo de adquisición y grabación de datos, o unidad sumergible.**
- b. Módulo de recuperación y transmisión de datos, o unidad de abordó.**

**En la figura 1 se muestra el diagrama a bloques del sistema completo.**

- a. El módulo de adquisición y grabación de datos está diseñado de tal manera que permite su integración en un contenedor metálico cilíndrico de fácil manejo, tiene capacidad para grabar en forma digital ocho canales analógicos o digitales, seleccionables éstos tanto en número como en frecuencia de muestreo.**

**Contiene un sistema de grabación en base a un motor de pasos con el que se logra además de una mayor densidad de grabación un menor consumo de potencia.**

**El sistema está alimentado con una batería de 12 VDC que le permite operar en forma autónoma por períodos de tiempo de hasta dos meses, dependiendo esto del número de canales a muestrear y de la frecuencia de muestreo.**

**Las características de este módulo son:**

- 1. Ocho canales de entrada multiplexados.**
- 2. Programación del número de canales a multiplexar a través de switches.**
- 3. Frecuencia de muestreo programable desde .5 de segundo hasta 3 horas.**
- 4. Modulación estándar por ancho de pulso. Norma PLEASSY.**

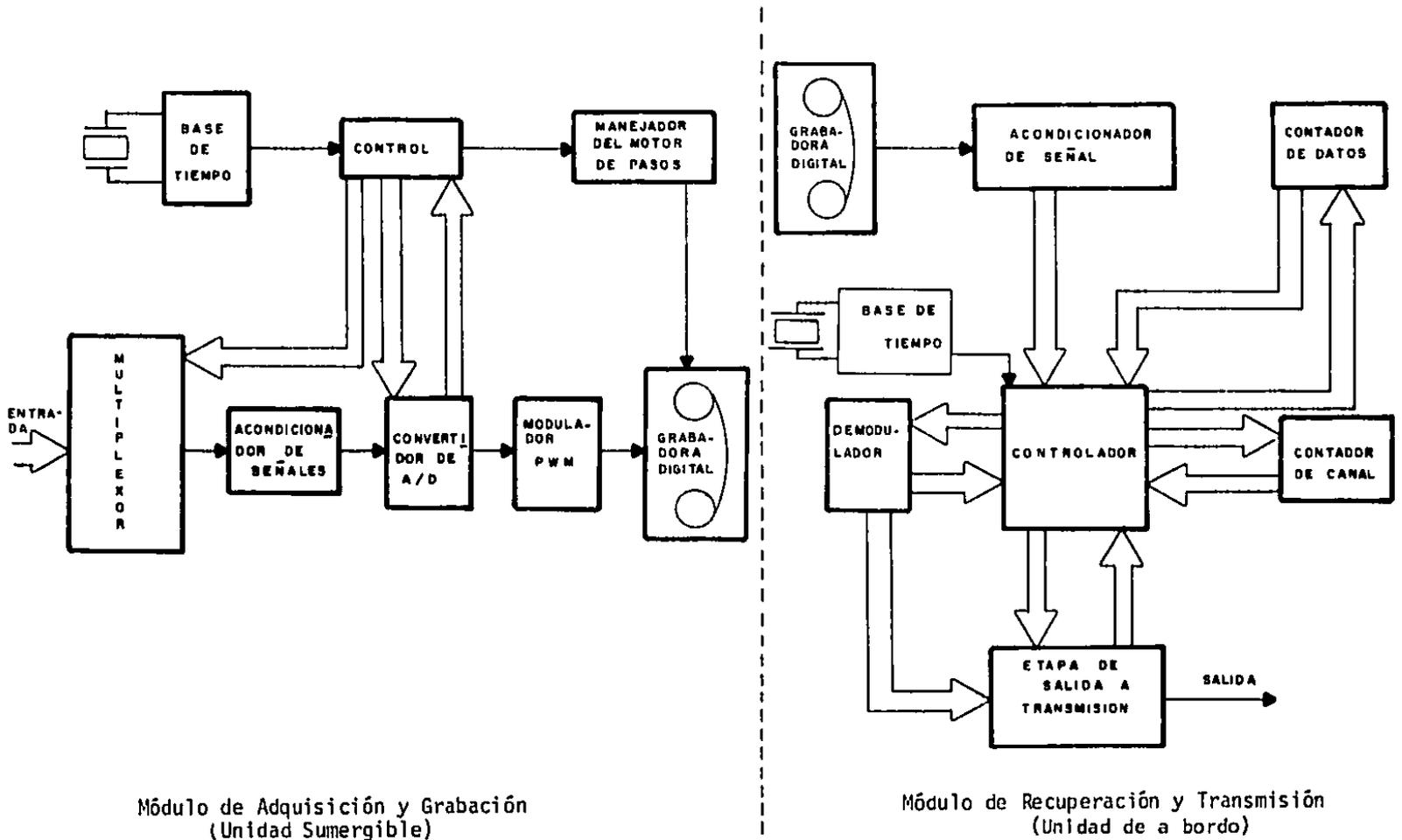


Figura 1. Sistema de Adquisición de Datos Oceanográficos.

5. Longitud de palabra de conversión de 10 bits.
  6. Formato estándar de grabación a 24 bits por palabra con un bit de sincronía al final de cada ciclo de grabación.
  7. Sistema de grabación serial digital en cinta magnética de tipo cassette.
  8. Alimentación de potencia a través de una batería de 12 VDC
- b. El módulo de recuperación y transmisión de datos es el bloque que opera a bordo del barco o en un laboratorio en tierra y es a través del cual se recupera la información grabada en el módulo de grabación, está diseñado para montarse en un rack estándar de 19 pulgadas. Su función principal es la de demodular y transmitir hacia un sistema de cómputo los datos almacenados en una cinta magnética de tipo cassette.

Está integrado básicamente por un mecanismo reproductor de cassettes y una lógica de control que permite obtener la sincronía, detectar errores, demodular y transmitir los datos grabados.

Las características de este módulo son:

1. Programación del número de canales a demodular.
2. Velocidad de transmisión programable de 600 a 9600 bauds.
3. Detección de errores en la demodulación.
4. Demodulación normalizada PLEASSY.

## II. MODULO DE ADQUISICION Y GRABACION DE DATOS

El módulo de adquisición y grabación de datos está diseñado de tal manera que cumple con la norma estándar de grabación PLEASSY utilizado por la compañía AANDERAA INSTRUMENTS [1], esta norma establece un formato de grabación que consiste en 10 pulsos "cortos" o "largos" que forman lo que se llama una palabra, seguidos éstos de 14 espacios, utilizándose la técnica de modulación por ancho de pulso PWM para obtener los pulsos "cortos" y "largos" correspondientes al "1" y "0" lógicos respectivamente.

La figura 2 muestra el diagrama lógico del Módulo de Adquisición y Grabación de Datos.

La norma mencionada fija la siguiente condición para el ancho de los pulsos.

$$"1" = 1/6 T \text{ (pulso corto)} \quad (1)$$

$$"0" = 1/2 T \text{ (pulso largo)} \quad (2)$$

donde  $T$  es el tiempo de duración de un bit durante su conversión análogo/digital, y está normalizado para obtener los siguientes tiempos de duración para los pulsos:

$$"1" = 1/6 T = 3.9 \text{ ms (pulso corto)} \quad (3)$$

$$"0" = 1/2 T = 11.7 \text{ ms (pulso largo)} \quad (4)$$

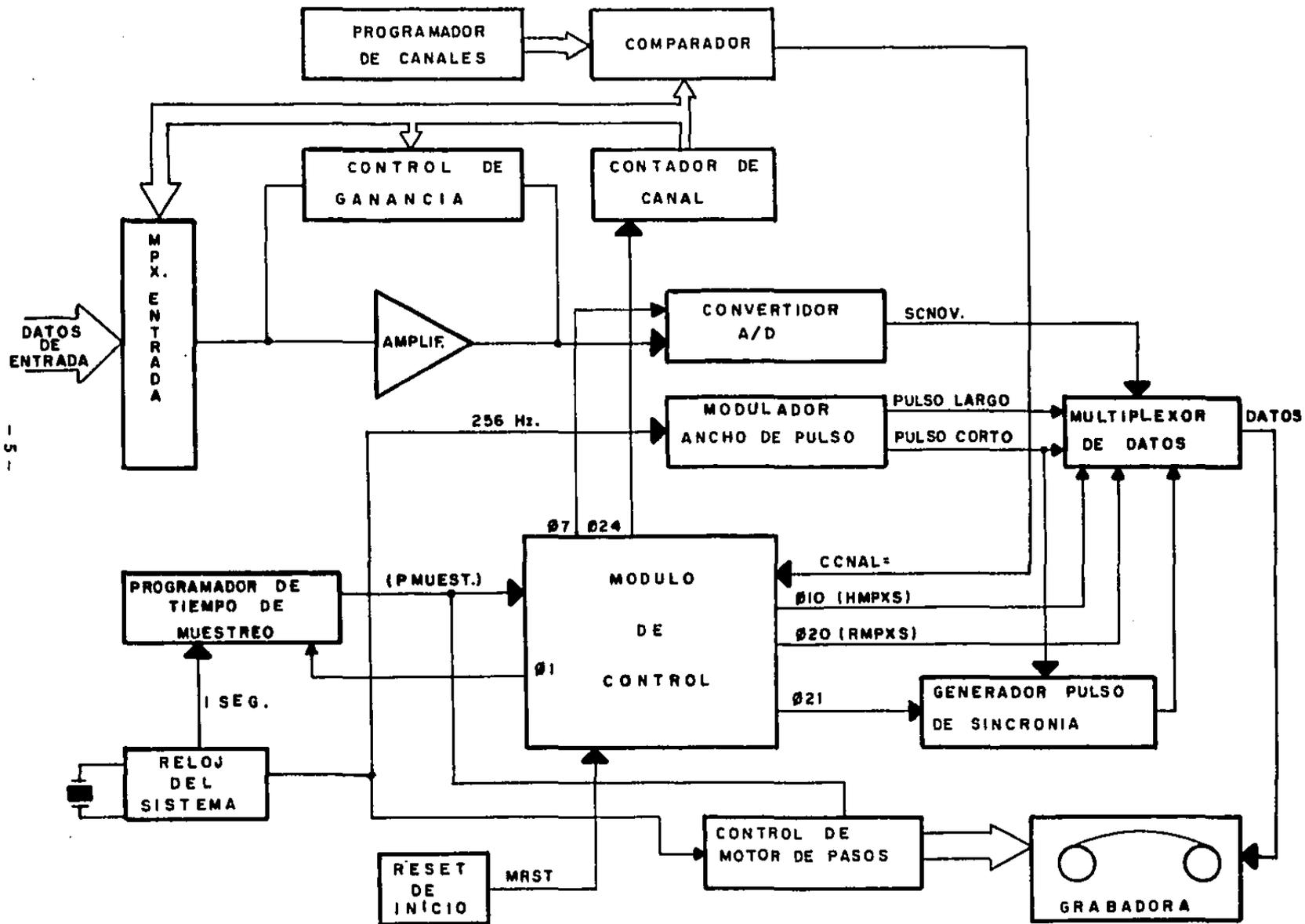


Figura 2. Módulo de Adquisición y Grabación.

Dentro de la norma se tiene lo que se llama un ciclo de grabación y que consiste en un grupo de datos al final de los cuales se incluye un pulso de sincronía. Esto es por ejemplo que si se van a muestrear 6 canales, se forman 6 grupos de datos (cada uno formado por 10 pulsos cortos y/o largos más 14 espacios sin información), al final de los cuales se agrega un pulso de sincronía, indicando con ello que se ha completado un ciclo de grabación.

En la figura 3 se ilustra el formato completo para un dato y para un ciclo de grabación.

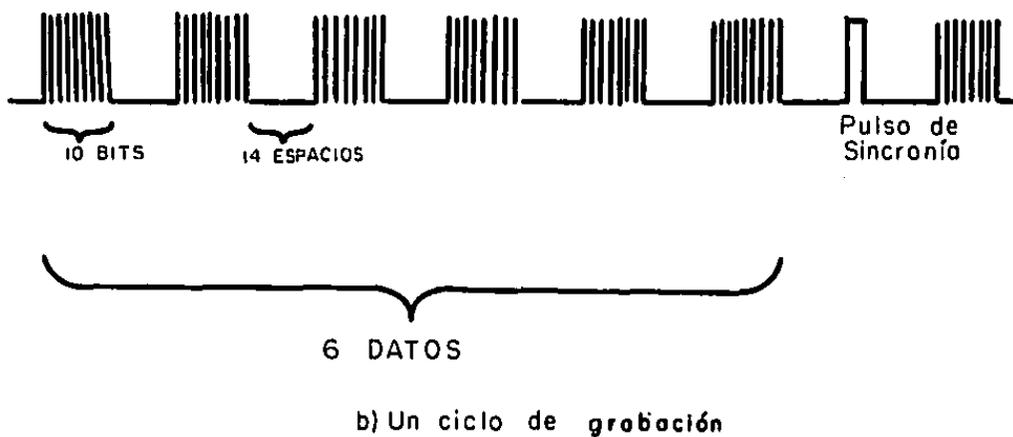
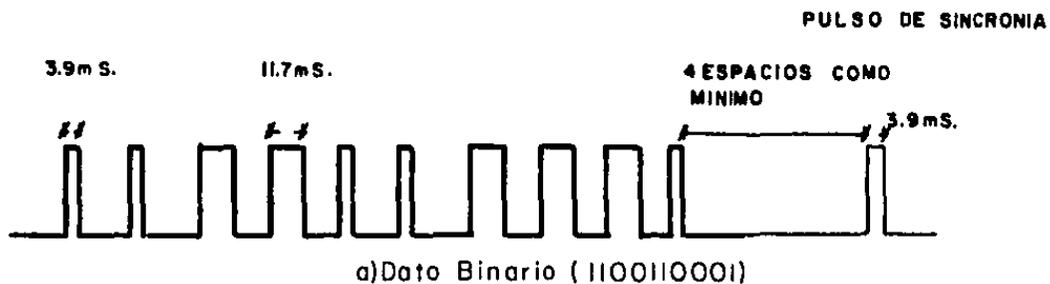


Figura 3. Formato completo para a) un dato b) un ciclo de grabación.

## 2.1. Bloque de reloj y generador de tiempos

El principio básico de operación del generador de tiempos es el clásico arreglo de un cristal de cuarzo que proporciona la base de tiempo y una cadena de contadores y decodificadores que permiten obtener las diferentes señales de control, muestreo y formateo de las señales de grabación.

El diagrama lógico del Bloque de Reloj y Generador de Tiempos se tiene en la figura 4.

Con el fin de cumplir con la norma de grabación PLEASSY [1] y obtener el ancho de los pulsos cortos y largos, es necesario contar con un cristal de cuarzo de una frecuencia igual a 3.579545 MHz y utilizar divisores en cascada que permitan obtener las frecuencias de:

$$\text{para el "1"} = 3.9 \text{ ms} = 128.20 \text{ Hz} \quad (5)$$

$$\text{para el "0"} = 11.7 \text{ ms} = 42.73 \text{ Hz} \quad (6)$$

De la figura 4 se aprecia que el circuito oscilador lo integra el arreglo formado por las compuertas inversoras CD4069, el cristal de cuarzo, la resistencia de realimentación  $R_1$  y los capacitores  $C_1$  y  $C_2$ .

El objeto de utilizar dos compuertas inversoras en paralelo es para incrementar la capacidad de corriente y no degradar la señal cuando ésta se conecta a las siguientes etapas. El capacitor  $C_1$  es variable para permitir hacer pequeños ajustes a la frecuencia

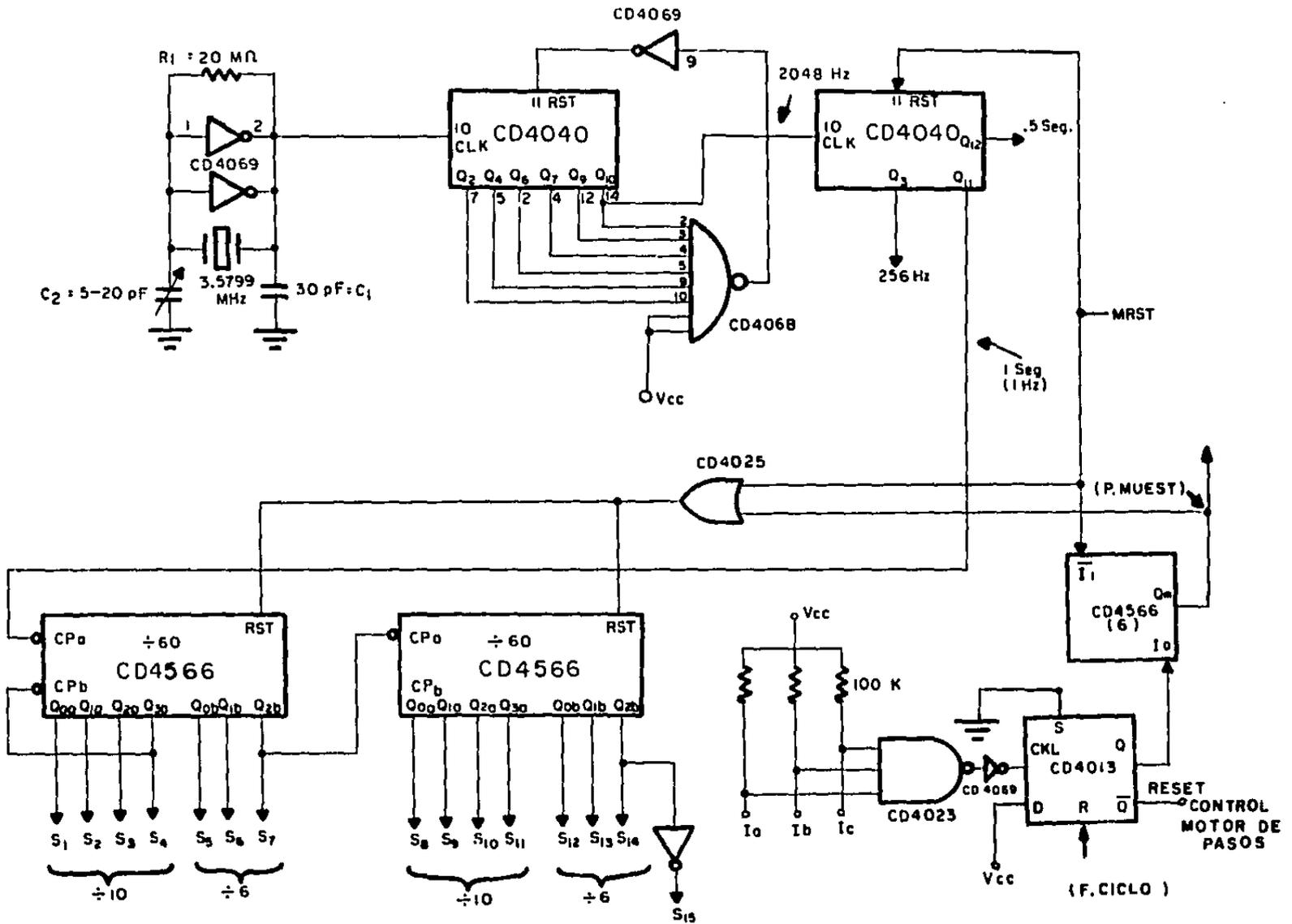


Figura 4. Diagrama lógico del bloque de reloj y generador de tiempos.

de oscilación deseada y por último  $R_1$  es la resistencia de realimentación para estabilización y operación del circuito en su región lineal cuyo valor es grande para evitar un alto consumo de energía.

Los valores de los capacitores se calculan mediante las siguientes expresiones [4]:

$$C_1 = 4 C_L / (1 - 5 f R_e C_L) \quad (7)$$

$$C_2 = 4 C_L / (3 + 5 f R_e C_L) \quad (8)$$

donde:

$C_L$  = capacitancia de carga del cristal, y es igual a:

$$C_L = \frac{1}{X_e} \quad (9)$$

$f$  = frecuencia de oscilación del cristal

$R_e$  = resistencia equivalente del cristal

Estos tres parámetros son valores de construcción del cristal y son dependientes de la frecuencia a la que se va a trabajar.

El valor de la resistencia de realimentación se obtiene de la expresión:

$$R_1 = \frac{(3X_e + 0.27R_e)(X_e - 0.8R_e)}{16R_e} \quad (10)$$

donde  $X_e$  es la reactancia capacitiva equivalente del cristal y para el caso práctico que garantiza la estabilidad de fase del oscilador, el valor de la resistencia es del orden de los 10 a 25 megaohms.

La salida de esta malla de oscilación se conecta a un circuito divisor para obtener una frecuencia de 2048 Hz, utilizando un contador binario de 12 estados y una compuerta CD4068 como decodificador.

Para obtener la frecuencia de 256 Hz necesaria para generar el pulso "corto" o el "1" y la base de tiempo 1 Hz ó 1 seg para generar los diferentes tiempos de muestreo, se cuenta con otro contador de 12 estados CD4040 conectado en cascada con el anterior.

Una vez obtenida la base de tiempo de 1 seg, se generan mediante dos divisores CD4566 las señales necesarias para lograr combinaciones que permitan tener muestreos entre 1 seg y 2 hs.

Los divisores CD4566 son generadores de base de tiempo de tipo industrial formados por un contador de anillo para divisiones entre 10 y otro para divisiones entre 5 ó 6, según se programe. En nuestro caso ambos divisores CD4566 están programados para obtener divisiones entre 6 y encadenados de tal forma que generan divisiones entre 60 cada uno.

Las salidas de ambos contadores numeradas del 1 al 15, proporcionan las bases de tiempo que se marcan en la siguiente tabla:

Salida	Tiempo
S1	1 seg
S2	2 seg
S3	4 seg
S4	8 seg
S5	10 seg
S6	20 seg
S7	40 seg
S8	1 min
S9	2 min
S10	4 min
S11	8 min
S12	10 min
S13	20 min
S14	40 min
S15	1 hr

Para lograr los intervalos de tiempo entre 1 seg y 2 hs a partir de los tiempos que aparecen en la tabla anterior, se utiliza una compuerta NAND de tres entradas CD4023, sobre la cual se programan las combinaciones necesarias.

Así tendremos por ejemplo que para lograr un intervalo de tiempo de 25 seg habrá que decodificar las salidas 6, 3 y 1, esto es alambrar sobre la compuerta CD4023 esta combinación.

La salida de esta compuerta genera la señal de tiempo de muestreo (PMUEST) con la que se inicializa el proceso de adquisición y se limpian los contadores CD4566 para iniciar un nuevo intervalo de tiempo.

## 2.2. Bloque de control

Mediante este bloque se generan todas las señales necesarias para controlar el proceso de adquisición, conversión y grabación de los datos que se encuentran presentes en los canales de entrada.

El principio de operación se basa en un generador de fases, formado por un registro de corrimiento de 24 estados, de los cuales sólo uno es activo alto a un tiempo determinado.

La razón por la cual es necesario un generador de 24 fases es para cumplir con el formato estándar de grabación y generar así las señales de control para la adquisición, la conversión análogo/digital, la grabación de los datos y otras señales auxiliares de sincronía.

La figura 5 muestra el diagrama lógico del Bloque de Control, en el cual se aprecia el generador de 24 fases integrado por 3 registros de corrimiento duales de 4 estados cada uno, conectados en cascada.

El funcionamiento del Bloque de Control se inicia al generarse la señal de muestreo (PMUEST), la cual activa el flip-flop de carga de dato formado por las compuertas CD4025 (1) y (2), limpia el registro de 24 estados formado por 3 contadores CD4015, carga el contador CD4018 utilizado como generador de ancho de pulso y da una señal de RESET para el flip-flop formado por las compuertas CD4025 (3) y (4), que controla la señal de habilitación del multiplexor de grabación de datos. (HMPXD).

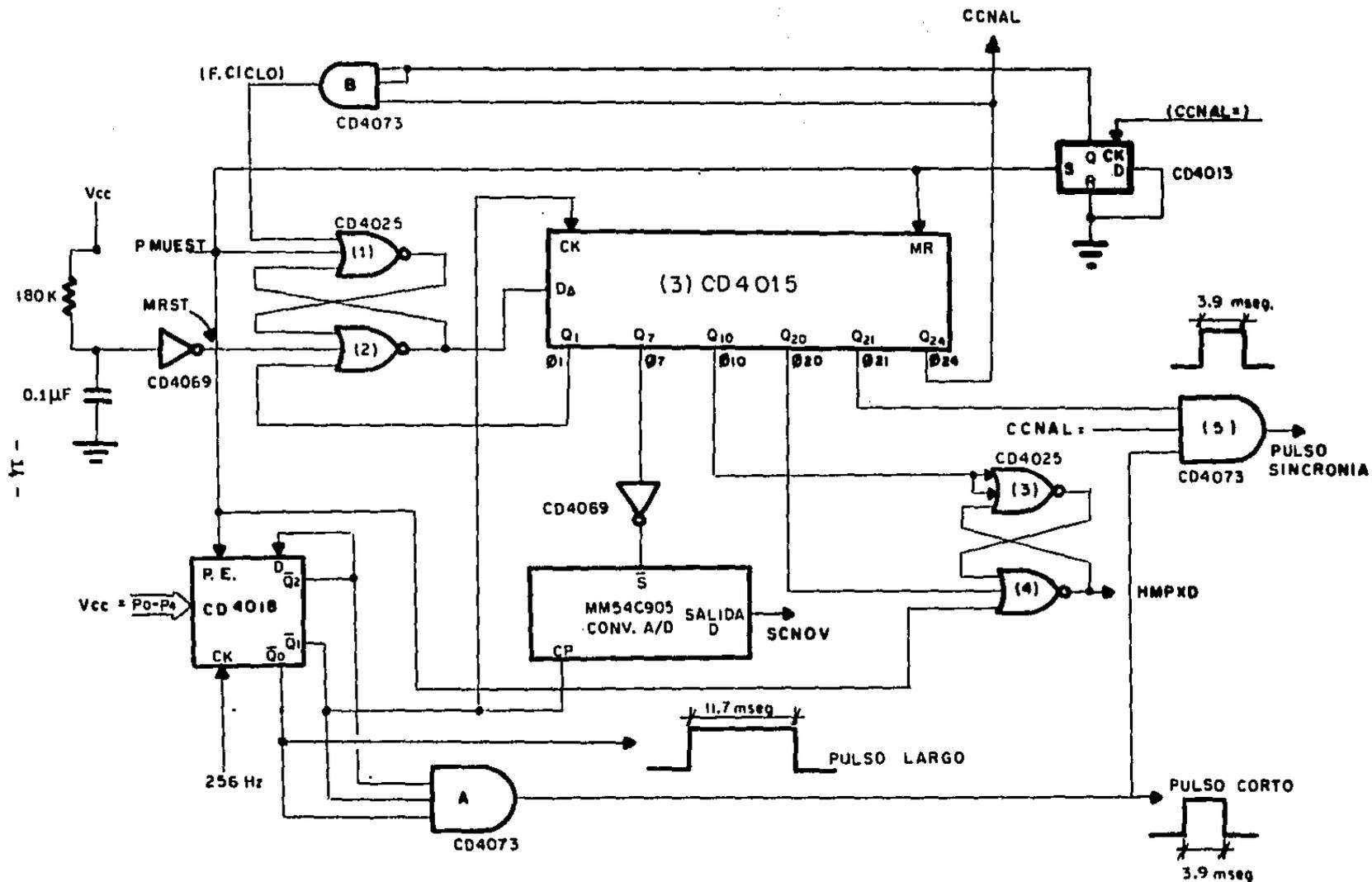


Figura 5. Bloque de Control.

El flip-flop de carga de dato proporciona una señal de salida "alta", que sirve como dato de entrada al registro de corrimiento de 24 estados, una vez que este registro ha sido cargado, se genera la señal  $Q_1$  con la cual se borra la información del flip-flop para garantizar que sólo un dato ha sido registrado.

Una vez cargado el dato éste inicia su recorrido a través del registro cada que se presenta la señal  $\overline{Q_0}$  del contador CD4018, la cual a su vez sirve de señal de "reloj" para el convertidor análogo/digital. Cada vez que  $\overline{Q_0}$  se presenta, se genera una de las 24 fases y se ejecuta la conversión de un bit de dato.

El contador CD4018 es del tipo Johnson programable y está conectado de tal manera que efectúa una cuenta o división entre 6, esto es necesario para poder obtener a partir de la frecuencia de 256 Hz el ancho del pulso corto y largo.

El diagrama de tiempos de la figura 6 muestra como se obtienen los pulsos cortos y largos.

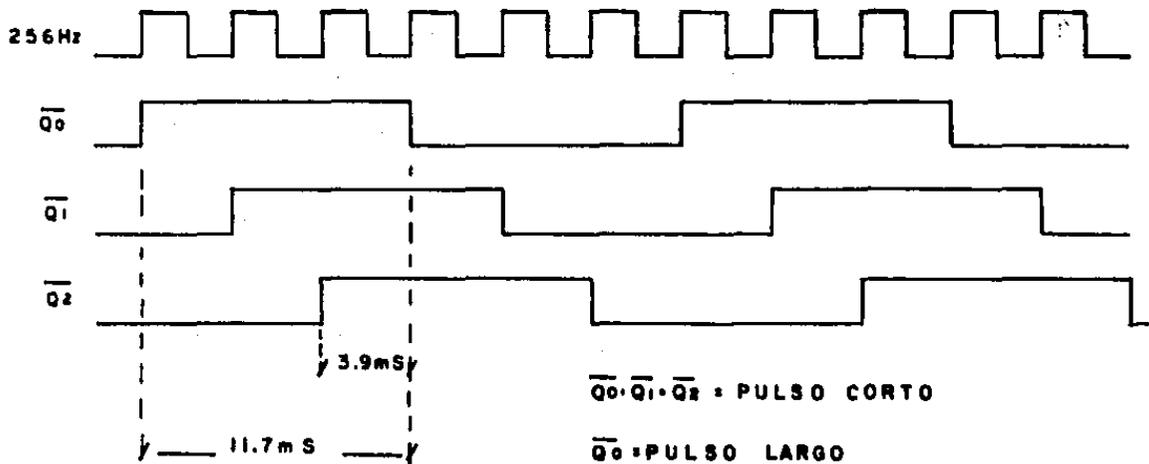


Figura 6. Diagrama de tiempos del contador generador de pulsos cortos y largos.

Al darse el pulso (PMUEST) este contador se carga y fija en sus salidas  $\overline{Q_0}$  a  $\overline{Q_4}$  un nivel bajo, condición a partir de la cual se inicia el ciclo de conteo o división entre 6.

La compuerta AND (A) CD4073 se utiliza para decodificar la condición  $\overline{Q_0} = \overline{Q_1} = \overline{Q_2} = "1"$  y obtener así el pulso corto. El pulso largo se obtiene directamente de la salida  $\overline{Q_0}$  del contador.

La realimentación de  $\overline{Q_2}$  a la entrada D es la malla que permite que el contador efectúe una cuenta o división entre 6.

Como se observa de la tabla de la figura 7, de las fases  $\phi_1$  a  $\phi_{10}$  se hace una grabación de espacios en blanco dado que aún no se han obtenido datos del convertidor;

F A S E S

FUNCIÓN	$\phi_1$	$\phi_2$	$\phi_3$	$\phi_4$	$\phi_5$	$\phi_6$	$\phi_7$	$\phi_8$	$\phi_9$	$\phi_{10}$	$\phi_{11}$	$\phi_{12}$	$\phi_{13}$	$\phi_{14}$	$\phi_{15}$	$\phi_{16}$	$\phi_{17}$	$\phi_{18}$	$\phi_{19}$	$\phi_{20}$	$\phi_{21}$	$\phi_{22}$	$\phi_{23}$	$\phi_{24}$	
BORRADO DEL F.F. DE CARGA	X																								
PULSO DE INICIO PARA CONVERTIDOR							X																		
HABILITA MULTIPLEXOR DE GRAB.										X															
GRABACION DE ESPACIOS EN BLANCO	X	X	X	X	X	X	X	X	X	X												X	X	X	X
GRABACION DE DATOS											X	X	X	X	X	X	X	X	X	X					
DESHABILITA MULTIPLEXOR DE GRAB.																				X					
HABILITA DECOD. PULSO DE SINC.																						X			
INCREMENTA CONT. CANAL Y HABILITA EL F.F. DE CARGA																									X

Figura 7. Funciones que se realizan en cada una de las 24 fases del control.

con  $\phi_7$  se habilita el convertidor y a partir de  $\phi_{11}$  y hasta  $\phi_{20}$  se efectúa el proceso de conversión bit a bit. El resultado de esta conversión se utiliza como señal de control para seleccionar a través de un multiplexor si el bit de resultado corresponde a un pulso corto o a un pulso largo ("1" ó "0" respectivamente). De  $\phi_{21}$  y hasta  $\phi_{24}$  se graban nuevamente espacios en blanco.

### 2.3. Bloque multiplexor y convertidor analógico/digital

El sistema tiene capacidad para adquirir información analógica contenida en el voltaje o la corriente de una señal, en forma referida a tierra del circuito. El número de puertos de adquisición es programable mediante switches hasta un máximo de 8.

En la figura 8 se muestra el diagrama a bloques del módulo de adquisición, en el que se pueden apreciar cada uno de los sub-bloques que lo integran.

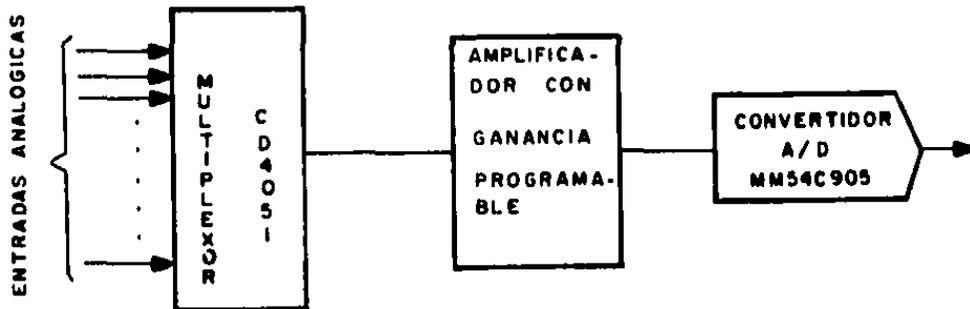


Figura 8. Diagrama a bloques del módulo de adquisición y los sub-bloques que la integran.

Debido a que en el diseño sólo se utiliza un amplificador de ganancia programable y un convertidor (Analógico/Digital A/D), es necesario multiplexar en tiempo las señales analógicas de entrada para poderlas procesar.

La señal multiplexada se alimenta al amplificador de ganancia programada con el fin de

mantener un rango dinámico constante entre 0 y 5 VDC a la entrada del convertidor.

El multiplexor y la ganancia del amplificador están controladas por las señales A, B y C provenientes del bloque contador de canal y cada canal en consecuencia tiene correspondencia con una ganancia del amplificador.

La función del multiplexor de entrada es la de seleccionar en tiempo cada una de las señales analógicas de entrada de tal manera que sólo una de ellas esté presente en su salida a un tiempo determinado.

Básicamente un multiplexor analógico es un conjunto de interruptores analógicos conectados con un polo común y controlados por un decodificador.

Las características de estos interruptores analógicos deben ser tales que permitan una máxima transferencia de señal, es decir que no atenúen la señal proveniente del transductor, ya que estas señales en ocasiones son de niveles muy bajos (micro volts o micro amperes).

Para lograr que este no sea un problema serio se debe cumplir que la resistencia de operación del interruptor sea muy baja comparada con la impedancia de entrada del amplificador [5].

El circuito equivalente de un interruptor analógico ya simplificado, considerando que las señales que manejan son de muy baja frecuencia y que por lo tanto los efectos capacitivos propios del elemento son despreciables, se muestra en la figura 9.

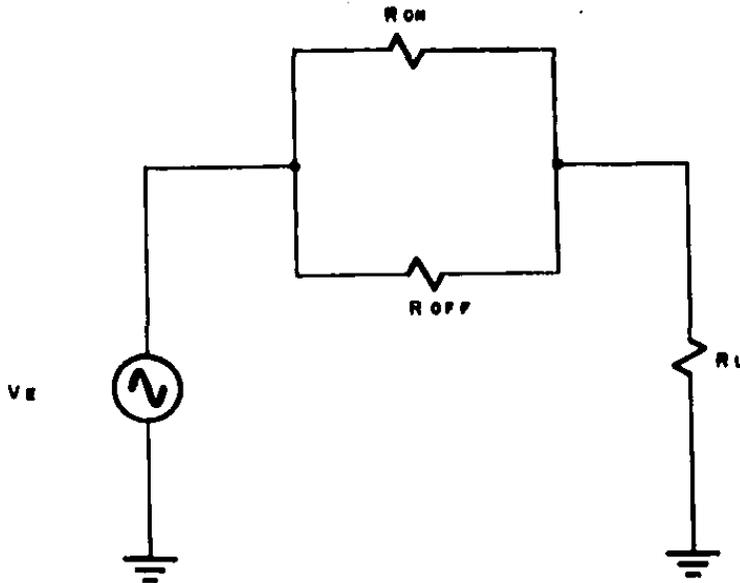


Figura 9. Circuito equivalente simplificado de un interruptor analógico.

La impedancia que se presenta en el circuito cuando no está habilitado es  $R_{off}$ , la cual es del orden de  $10^{10}$  ohms, por lo tanto, la corriente de fuga que entra al circuito es del orden de los nano-amperes, y no afecta.

Cuando el circuito es habilitado, la resistencia  $R_{on}$  queda en paralelo con la  $R_{off}$  pero como  $R_{on}$  es mucho menor que  $R_{off}$ , la impedancia de entrada está dada por  $R_{on}$  y es del orden de 20-200 ohms.

La resistencia  $R_L$  es la impedancia equivalente que ve el interruptor a su salida y debe ser lo suficientemente grande para que el efecto de  $R_{on}$  en la malla sea despreciable, este valor de  $R_L$  debe ser del orden de los 200  $K\Omega$  como mínimo.

Como las señales que se desean adquirir pueden provenir de cualquier tipo de

sensor/transductor, los niveles de corriente o voltaje pueden tener diversos rangos de magnitud y para que el convertidor análogo/digital pueda ser utilizado eficientemente se requiere contar con un amplificador cuya ganancia pueda ser controlada dependiendo de la magnitud de la señal de entrada.

De la figura 10 se puede observar que la ganancia del amplificador en su configuración de no inversión está dada por la siguiente expresión [5]:

$$G = \frac{V_{out}}{V_{in}} \approx \frac{R_I + R_{F_n}}{R_I} = 1 + \frac{R_{F_n}}{R_I}, \quad (11)$$

donde  $R_{F_n}$  es la resistencia de realimentación y su valor está controlado por el multiplexor CD4051 (2) a través de las líneas A, B y C.

El valor de  $R_{F_n}$  para un valor de  $R_I$  constante y una ganancia deseada, se obtiene de la expresión anterior, quedando:

$$R_{F_n} = G R_I - R_I = R_I (G - 1). \quad (12)$$

La impedancia de entrada del amplificador está dada por la expresión:

$$r_i = \frac{A_d R_i}{1 + R_{F_n}/R_I}, \quad (13)$$

donde:

$A_d$  = ganancia de voltaje del amplificador ( $10^5$ ) típico.

$R_i$  = resistencia de entrada entre  $V^+$  y  $V^-$  (100 K $\Omega$ ) típico.

Como se puede observar, para los valores de  $A_d$  y  $R_i$  típicos, el valor de  $r_i$  siempre será mayor que los 200 K $\Omega$  necesarios para que exista una máxima transferencia de

energía a través del multiplexor analógico, o sea que:

$$R_L = R_i \geq 200 \text{ K}\Omega. \quad (14)$$

El convertidor A/D utilizado en el diseño es del tipo de aproximaciones sucesivas de 12 bits empleando un registro (MM74C905) [6], cuya utilización es ampliamente preferida, específicamente porque se puede interconectar con facilidad a un sistema de almacenamiento serial. El tiempo de conversión es fijo e independiente de la magnitud del voltaje de entrada; cada conversión es única e independiente del resultado de conversiones anteriores ya que al inicio de cada conversión, el convertidor es "limpiado" al accionarse la lógica interna que para este propósito se tiene.

Una tabla de las principales características de los convertidores A/D se muestra en el Apéndice A.

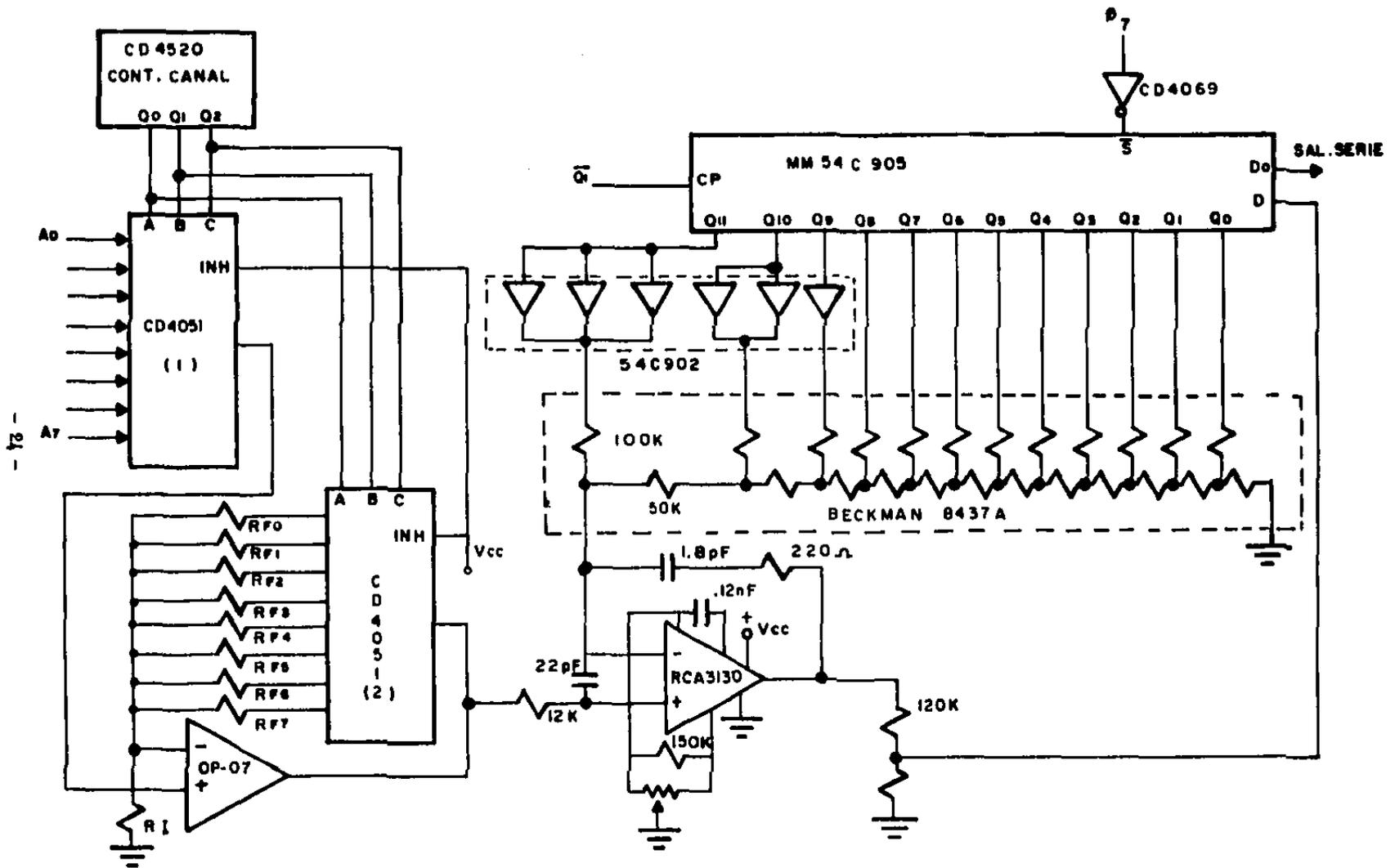


Figura 10. Circuito multiplexor de entrada y convertidor análogo/digital.

La técnica de conversión consiste en comparar la señal de entrada contra una señal analógica generada internamente en el convertidor a través de un convertidor digital/analógico, mediante un proceso similar al utilizado para obtener el "peso" de un objeto colocando en la balanza combinaciones de  $n$  pesos binarios.

El convertidor digital/analógico está formado por la red resistiva del tipo R - 2R BECKMAN 8437A y el amplificador operacional RCA 3130.

Después que se ha dado el comando de conversión y el convertidor ha sido limpiado, la salida del convertidor D/A que corresponde al bit más significativo MSB ( $1/2$  de la escala completa), se compara con la señal de entrada. Si la señal de entrada es mayor que el valor del bit más significativo, éste permanece activo, y se intenta con el siguiente bit menos significativo ( $1/4$  de la escala completa). Si por el contrario la entrada es menor el MSB se desactiva y se intenta el siguiente bit. Si este bit no da suficiente "peso" para exceder el valor de la señal de entrada, éste se mantiene activo y se intenta con el siguiente bit ( $1/8$  de la escala completa), si por el contrario éste aporta "peso" para exceder el valor de la señal de entrada, entonces se desactiva y se intenta con el siguiente bit menos significativo. Este proceso continúa en forma descendente hasta haber intentado con el último bit (LSB). Una vez que el proceso termina se habilita la señal de terminación de conversión indicando con esto que el contenido del registro de salida es la representación digital correspondiente al valor de la señal de entrada.

El proceso de conversión explicado anteriormente, para el caso de tres bits se muestra en la figura 11.

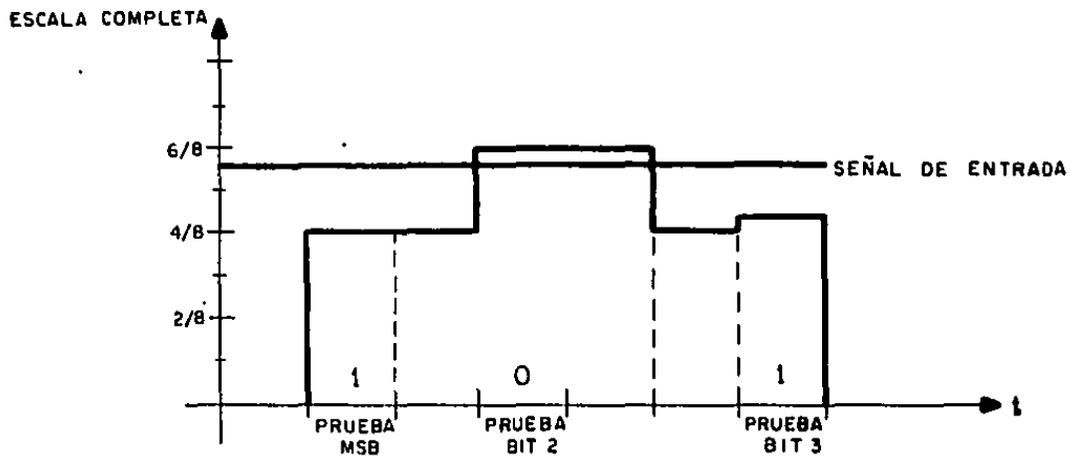


Figura 11. Proceso de conversión para el caso de tres bits.

#### 2.4. Bloque multiplexor de la señal de dato

Una vez que se inició el proceso de conversión a partir de la señal  $\phi_{10}$  (HMPXS) y hasta  $\phi_{20}$  (RMPXS), se mantiene un nivel alto en la señal HMPXS, la cual permite habilitar al circuito Multiplexor de la figura 12 cuya salida depende de cual es el resultado de la conversión, señal (S CONV). Si el resultado de la conversión es un nivel alto "1" lógico se habilita la compuerta 5, correspondiente al pulso corto y se hace la grabación correspondiente, si por el contrario el resultado de la conversión es un "0" lógico se activa la compuerta 6 y se graba un pulso largo.

El ciclo anterior se repite hasta que se ha terminado con el proceso de conversión para los diez bits de dato y para el número de canales programado.

La compuerta "OR" CD4025 permite el paso de la señal de sincronía toda vez que la señal HMPXD no está presente y se han cumplido las condiciones para decodificar la señal de sincronía, esto es que la compuerta "5" de la figura 5 se habilita, lo cual sucede cuando el contador de canal iguala la cuenta programada y se da la señal  $\phi_{21}$ .

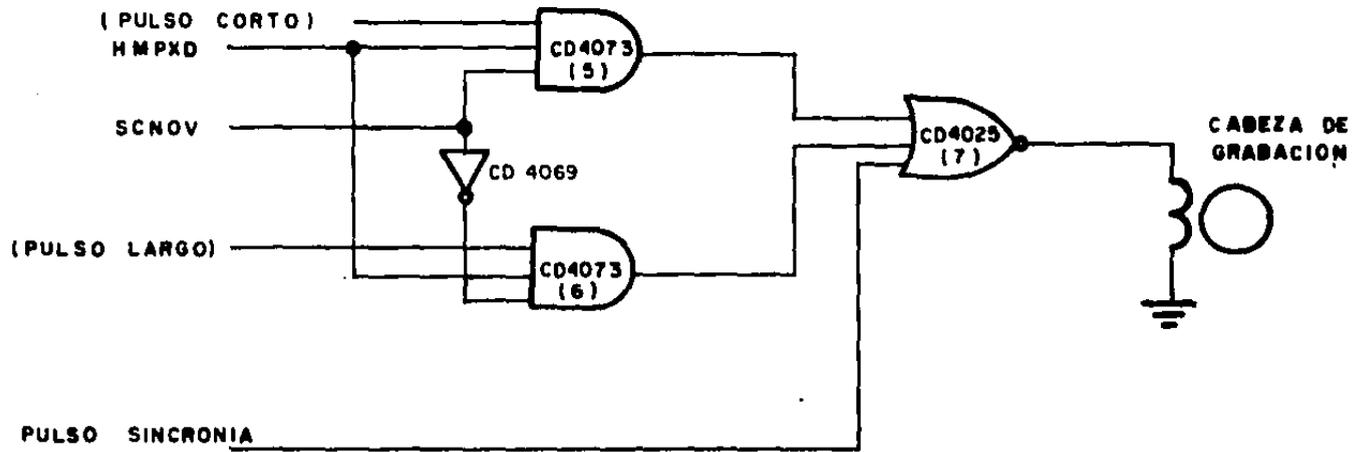


Figura 12. Multiplexor de la señal de dato.

## 2.5. Bloque programador y contador de canal

Este bloque permite la programación del número de canales que se desea monitorear entre 1 y 8 y mediante un contador controlar al multiplexor de entrada y la ganancia del amplificador acondicionador de señal (ver figura 13).

El funcionamiento de este bloque es como sigue:

Haciendo referencia al diagrama lógico de la figura 13 la programación del número de canales a muestrear se hace en forma binaria y mediante un arreglo de switches  $S_0, S_1$  y  $S_2$  con los cuales se coloca a las señales  $B_0$  a  $B_2$  en condiciones de niveles lógicos "0" o "1" según sea el caso. Las señales  $B_0$  a  $B_2$  son comparadas con las señales  $A_0$  a  $A_3$  las cuales son el resultado de la cuenta que lleva el circuito CD4520 que es un contador binario de cuatro bits, el cual es incrementado cada vez que se genera la señal  $\phi_{24}$  que indica el fin de un ciclo de conversión.

La comparación de las señales  $A_0$  a  $A_2$  y  $B_0$  a  $B_2$  la hace un módulo comparador SN 74LS85, el cual tiene programadas sus señales de entrada ( $A > B$ ,  $A = B$  y  $A < B$ ) de tal manera que se genere una señal de salida toda vez que se cumpla la condición  $A = B$ , esto implica conectar las entradas correspondientes de la siguiente forma  $A > B = 0$ ,  $A = B = 1$  y  $A < B = 0$ .

Una vez que el resultado de la comparación se cumple para  $A = B$  se genera la señal (CCNAL=) con la cual se activa la compuerta AND (5) de la figura 5 que en conjunción con la señal  $\phi_{21}$  permite el paso de la señal de sincronía la cual indica el fin de un ciclo de grabación.

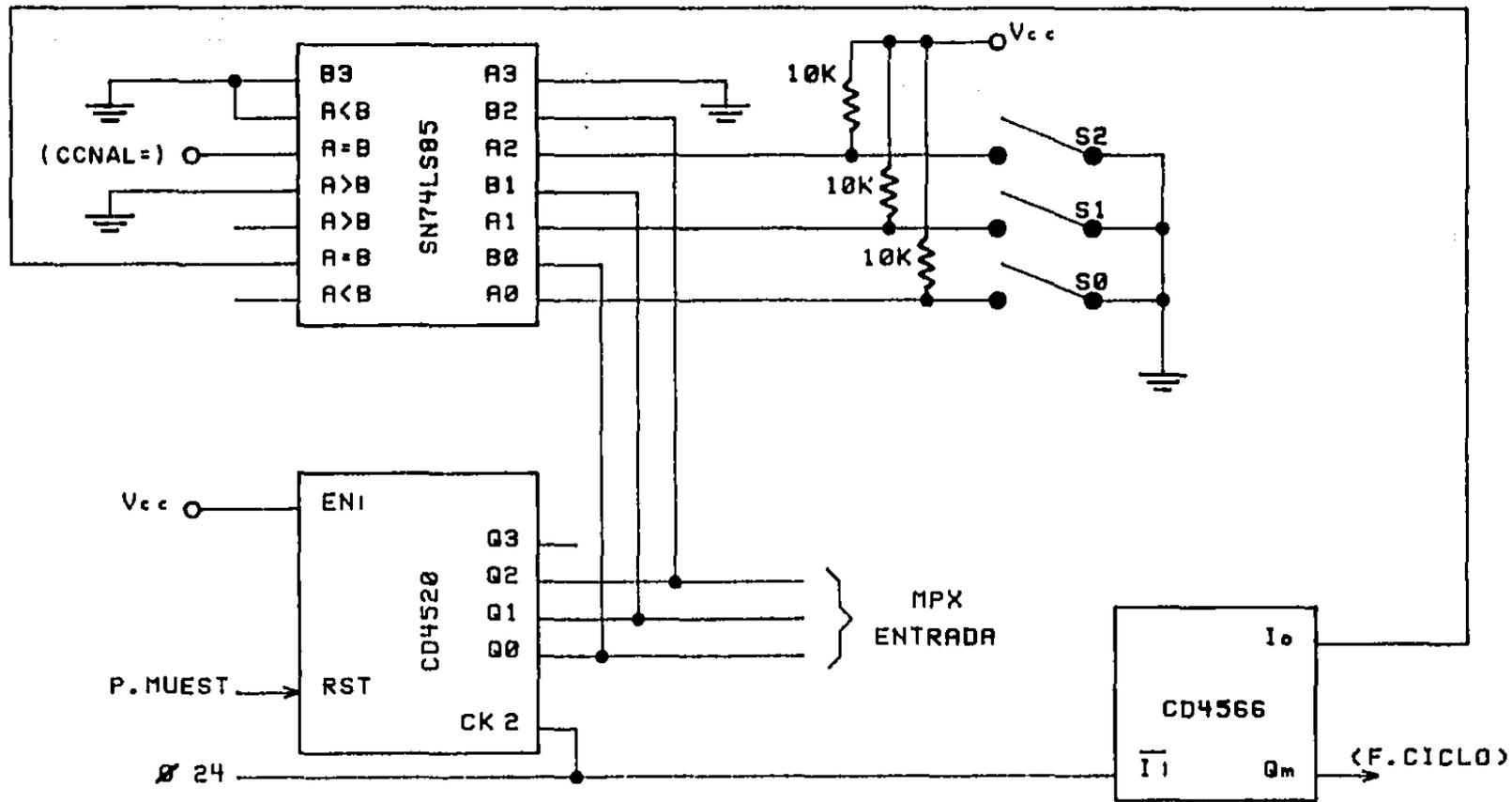


Figura 13. Bloque programador y contador de canal.

La tabla de verdad para este circuito lógico formado por el contador, el comparador, el multiplexor y la compuerta se muestra en la figura 14.

A <sub>0</sub>	A <sub>1</sub>	A <sub>2</sub>	B <sub>0</sub>	B <sub>1</sub>	B <sub>2</sub>	A = B	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	A	B	C	Z	I <sub>0</sub>
0	0	0	0	0	0	1	0	0	0	0	0	0	1	1
0	0	1	0	0	1	1	0	0	1	0	0	1	1	1
0	1	0	0	1	0	1	0	1	0	0	1	0	1	1
0	1	1	0	1	1	1	0	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	0	0	1	0	0	1	1
1	0	1	1	0	1	1	1	0	1	1	0	1	1	1
1	1	0	1	1	0	1	1	1	0	1	1	0	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
						0	0	0	0	0	0	0	1	0
COMBINACIONES PARA						0	0	0	1	0	0	1	1	0
A ≠ B						0	0	1	0	0	1	0	1	0
(A < B) y (A > B)						0	0	1	1	0	1	1	1	0
						0	1	0	1	1	0	1	1	0
						0	1	1	0	1	1	0	1	0
						⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
						⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
						⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

Figura 14. Tabla de Verdad para el Bloque Programador y Contador de Canal.



La traza (a) de la figura 15 representa la dirección de la corriente de escritura que corresponde también a la dirección del flujo magnético con el que se satura el material magnético de la cinta, mientras que la traza (b) representa el voltaje de salida de la cabeza reproductora.

El proceso de grabación se hace en sincronía con la adquisición de los datos mediante la señal (P. MUEST), con la cual se habilita el control del motor de pasos de la grabadora.

El motor de pasos es del tipo de Reluctancia Variable de cuatro fases con  $7.5^\circ$  de avance por paso, las fases son controladas secuencialmente por parejas con el fin de disminuir el error de avance producido por el efecto de aceleración del motor [8].

La tabla de verdad y el diagrama de tiempos del contador CD4018 utilizado como generador de tiempos para obtener las cuatro fases que controlan al motor de pasos se tiene en la figura 16.

Haciendo referencia al diagrama de la figura 17, la señal (P. MUEST) habilita al contador CD4018 para generar una secuencia de encendido de los transistores  $T_1$  a  $T_4$ , esta secuencia permite controlar por pares las cuatro fases del motor.

EDOS.	$Q_1$	$Q_2$	$Q_3$	$Q_4$
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	1	1	0
4	0	0	1	1
5	1	0	0	1

EDO. SIGUIENTE

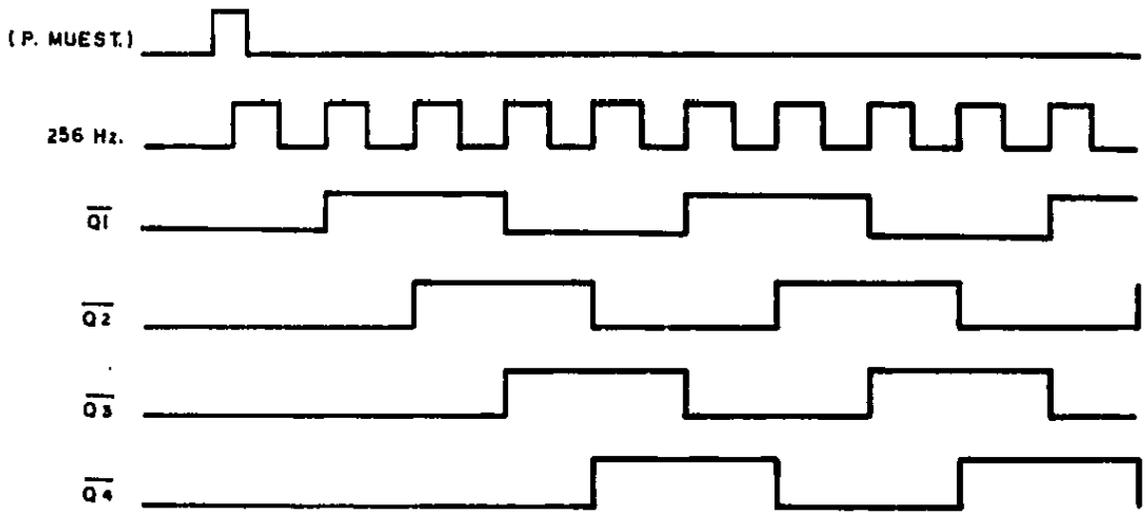


Figura 16. Tabla de verdad y diagrama de tiempos del generador de fases para control del motor de pasos

Las salidas  $\overline{Q_1}$  a  $\overline{Q_4}$  controlan el encendido de los transistores  $T_1$  a  $T_4$  respectivamente, los cuales operan como interruptores de potencia del tipo ON-OFF. Los potenciómetros de 100 K $\Omega$  conectados a la compuerta de cada transistor permiten controlar la corriente de saturación  $I_D$  necesaria para excitar los devanados de los estatores del motor.

La figura 18 muestra en detalle la conexión de los transistores a cada una de las fases del motor.

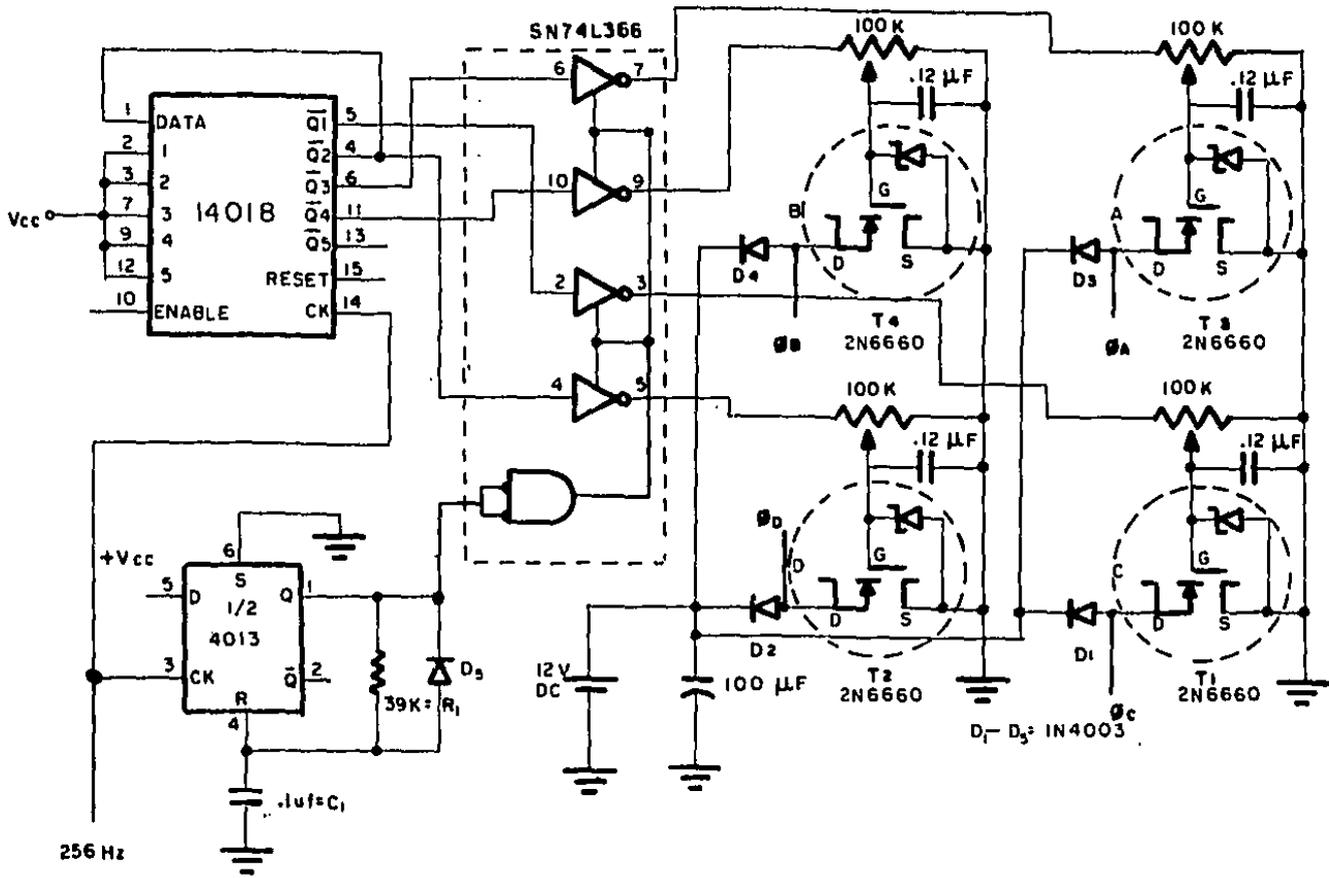


Figura 17. Control del Motor de Pasos.

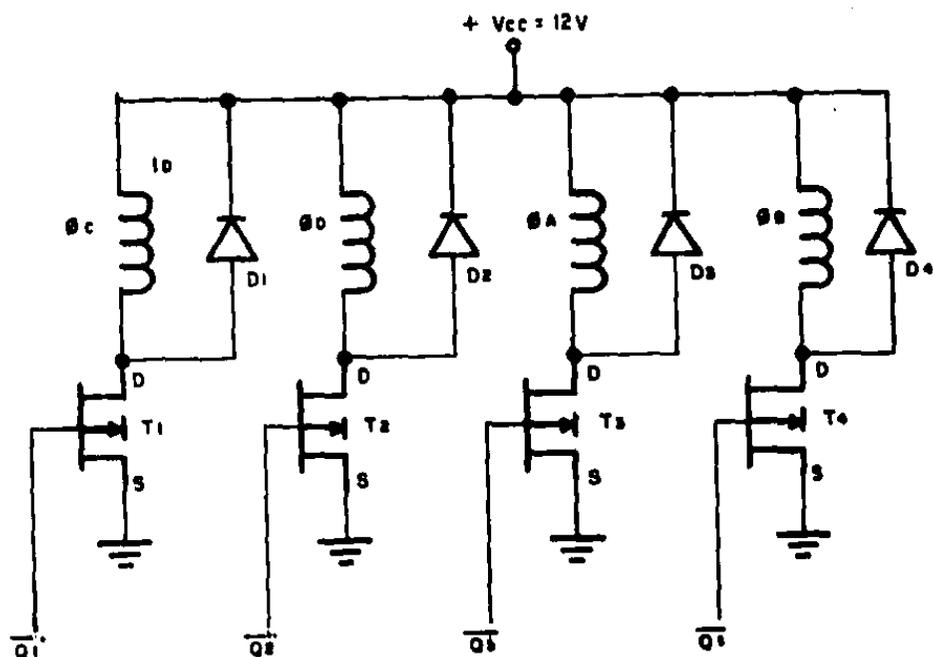


Figura 18. Conexión de los transistores que controlan las fases del motor de pasos.

Los diodos  $D_1$  a  $D_4$  sirven para descargar la energía almacenada en los inductores de las fases cuando se corta la conducción de los transistores, protegiendo a éstos al limitarse el voltaje  $V_D$  a un valor seguro [9].

El F.F.- D CD4013 configurado como ONE. SHOT. controla el arreglo de inversores de tres estados SN74L366 con el fin de reducir el ciclo de trabajo de los pulsos de disparo de los transistores y consecuentemente el consumo de energía.

Suponiendo que el capacitor  $C_1 = .1\mu f$  está descargado, al llegar el primer pulso de

reloj, éste tenderá a cargarse hacia un voltaje igual a  $V_{cc} = + 5V$  a través de la resistencia  $R_1 = 3.9 K$ , pero su carga máxima no podrá ser mayor que  $V_{cc}/2$  que es el voltaje de umbral para el cual la entrada  $R$  del biestable detecta un nivel "alto" y se dispara.

El análisis de este arreglo es el siguiente:

La ecuación que representa la carga del capacitor [10]es:

$$V_c(\tau) = V_{cc}(1 - e^{-\tau/RC}) \quad (15)$$

el tiempo que tarda el capacitor en cargarse a un valor de voltaje es igual a:

$$\tau = RC \left( \text{Ln} \frac{V_{cc}}{V_{cc} - V_c} \right) \quad (16)$$

para  $V_{cc} = 5V$ ,  $R_1 = 3.9 K$ ,  $C_1 = .1\mu f$  y  $V_c = \frac{V_{cc}}{2} = 2.5V$

$$\tau = 2.7 \text{ m seg} \quad (17)$$

lo que representa una reducción del 30% en el ancho del pulso y un ahorro de energía equivalente.

La figura 19 muestra el diagrama de tiempos del control de encendido para los transistores y la salida de los inversores.

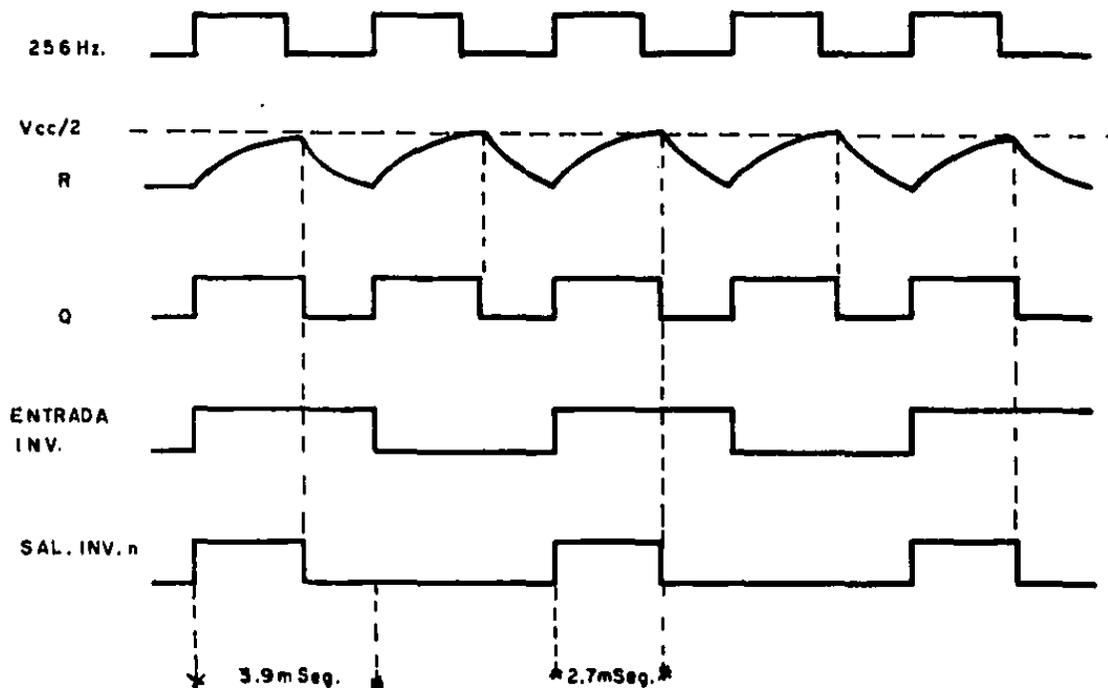


Figura 19. Diagrama de tiempos del control de encendido para los transistores.

Algunas características de los motores de pasos y la forma de controlarlos se dan en el Apéndice C.

### **III. MODULO DE RECUPERACION Y TRANSMISION DE DATOS**

El Sistema de Recuperación y Transmisión de Datos permite leer la información grabada por el sistema modulador sobre una cinta magnética de tipo cassette, y transmitirla hacia un sistema de cómputo vía una interfase serial RS-232, para su procesamiento y análisis.

El sistema está integrado básicamente por un mecanismo reproductor de cassettes marca TRIPLE I PHI-DECK modelo 7608-002 y una lógica de control que permite obtener la sincronía, detectar errores, demodular y transmitir los datos grabados.

En la figura 20 se ilustra cada uno de los bloques que componen este sistema.

El sistema es compatible con las normas de grabación estándar para modulación por ancho de pulso y formato de palabra de 24 bits.

Fue diseñado en base a tecnología integrada TTL y MOS y se encuentra dentro en un rack metálico estándar de 19 pulgadas.

Las características principales del sistema son:

1. Compatible con el formato estándar de 24 bits por palabra (10 bits de dato y 14 espacios) y un bit de sincronía al final de cada ciclo de grabación. (estándar PLEASSY).
2. Demodulación por ancho de pulso.
3. Capacidad de demodulación de hasta ocho canales, seleccionable mediante switches.

4. Longitud de palabra de 10 bits.
5. Velocidad de transmisión serial de 600 a 9600 BPS.



### **3.1. Bloque de amplificación y acondicionamiento de señal**

En este bloque se cuenta con los elementos necesarios para acondicionar la señal diferencial proveniente de la cabeza de la grabadora para poderla utilizar en el bloque de control y demodulación.

El proceso de acondicionamiento consiste en amplificar, filtrar y cuadrificar la señal diferencial que se obtiene de la cabeza de la grabadora. En la figura 21 se tiene el diagrama electrónico de este bloque donde se pueden apreciar los diferentes pasos de acondicionamiento.

El doble amplificador LM1303 filtra y amplifica la señal, proporcionando una ganancia aproximada de mil, la operación conjunta de ambos amplificadores activa también un filtro paso bajas de segundo orden.

El análisis para esta etapa es:

El primer amplificador LM1303 se encuentra operando en su configuración de no inversión, por lo que su ganancia se puede obtener de la siguiente forma [5]:

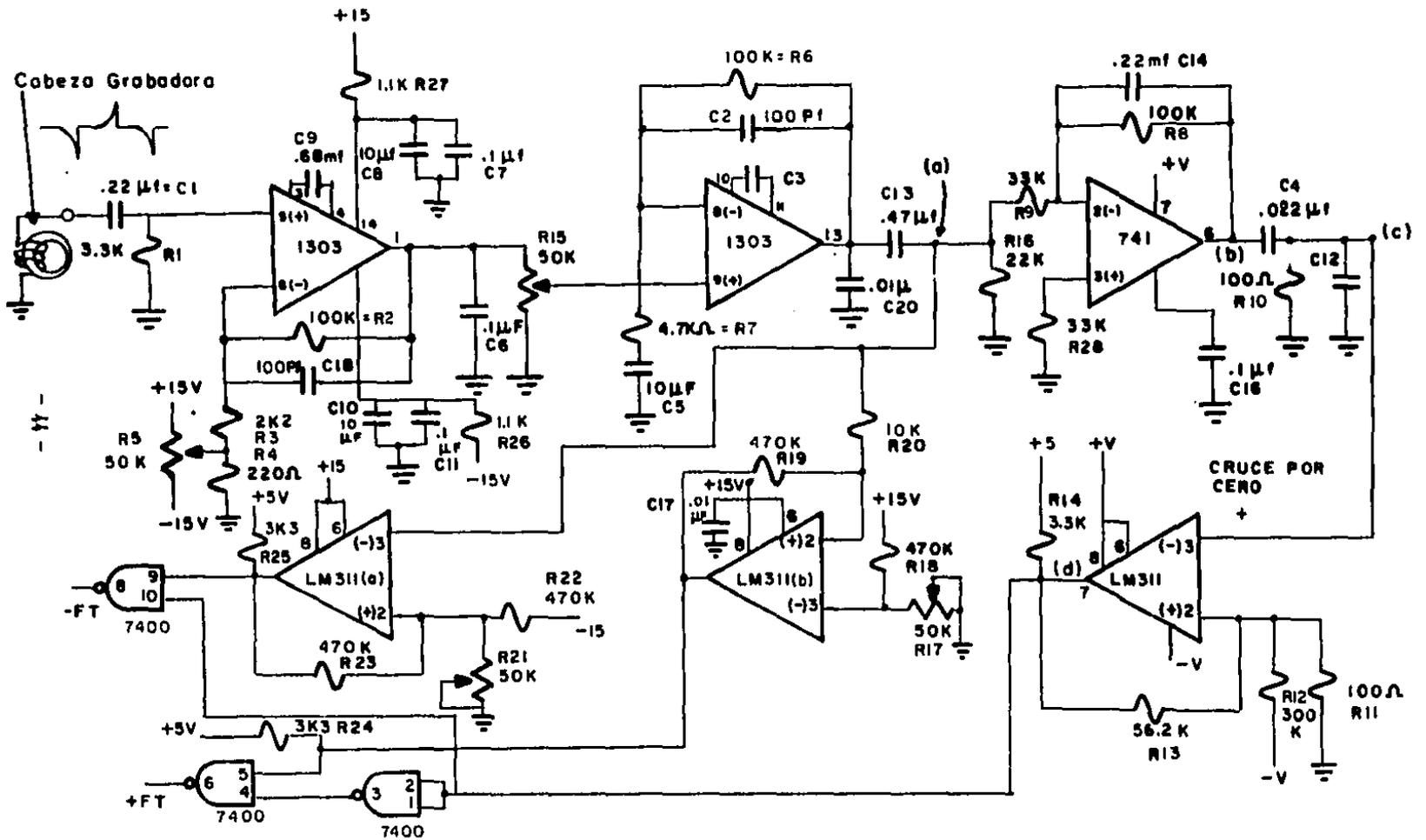
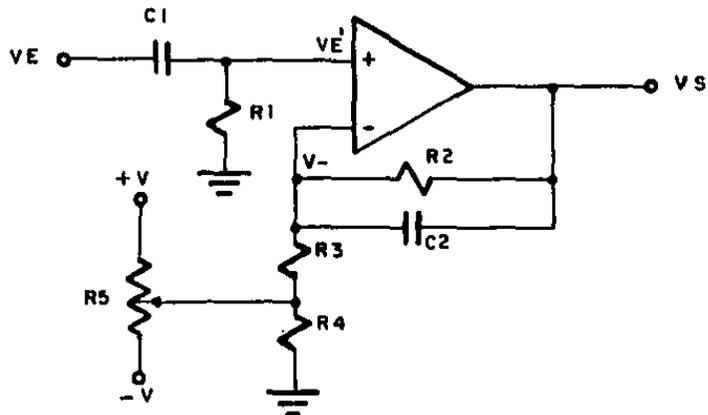


Figura 21. Amplificación y acondicionamiento de señal.

Circuito amplificador operando en su configuración de no inversión.



El circuito amplificador anterior se puede reducir a:

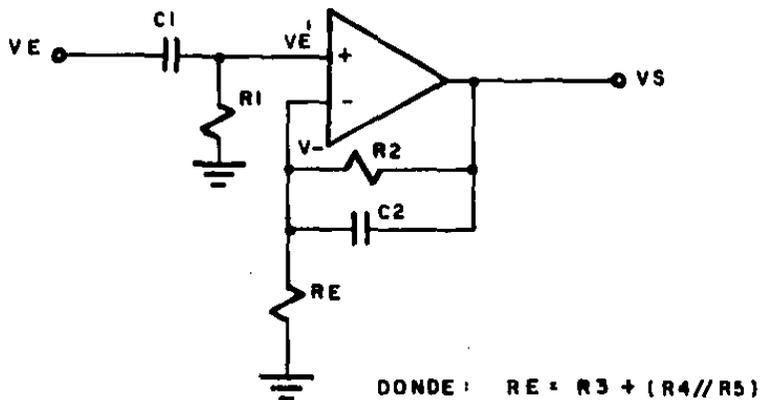


Figura 21 a) Circuito amplificador y filtro para acondicionar la señal de entrada.

La ganancia aproximada de esta etapa es:

$$A_1 = \frac{R_2}{R_E} + 1 = \frac{100}{2.4} + 1 = 42.66 \quad (18)$$

La configuración anterior también actúa como un filtro paso bajas con una frecuencia de corte igual a:

$$f_1 = \frac{1}{2\pi R_2 C_2} \quad (19)$$

$$f_1 = \frac{1}{2\pi(100)(100) \times 10^3 \times 10^{-12}} = \frac{1}{2\pi(10)^{-5}} = 15.9 \text{ KHz}$$

La malla  $R_1 C_1$  forma un filtro paso altas que se utiliza para eliminar la componente de corriente directa y la señales de baja frecuencia.

La frecuencia de corte de esta red es:

$$f_2 = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi(3.3)(.22) \times 10^3 \times 10^{-6}} = \frac{1}{2\pi(33)(22)(10^{-6})} \quad (20)$$

$$f_2 = 219.2 \text{ Hz.}$$

El segundo amplificador LM1303 también actúa como un filtro amplificador de primer orden, con una ganancia y frecuencia de corte dada por:

$$A_2 = \frac{R_6}{R_7} + 1 = \frac{100}{4.7} + 1 = 22.27 \quad (21)$$

$$f_2 = \frac{1}{2\pi R_6 C_3} = \frac{1}{2\pi(10)^{-5}} = 15.9 \text{ KHz.} \quad (22)$$

La operación conjunta de ambas redes integran un filtro amplificador de segundo orden, con una banda de paso de 219.2 Hz a 15.9 KHz.

La señal obtenida en el punto (a) del diagrama, corresponde a una señal diferencial que es alimentada a dos comparadores de voltaje, cada uno de ellos del tipo LM311 de colector abierto compatible directamente con niveles TTL.

Ambos comparadores están configurados para detectar respectivamente los picos positivos y negativos de la señal diferencial, los potenciómetros  $P_2$  y  $P_3$  permiten fijar el nivel de comparación para cada caso.

Para reducir los efectos del "JITTER", esto es la variación en el ancho de los pulsos a la salida de los comparadores, se agregó un circuito detector de picos formado por el amplificador operacional  $\mu\Delta 741$ , la red diferencial pasiva  $C_1, R_1$  y el detector de cruce por cero LM311.

La operación de esta red es la siguiente:

La señal diferencial en el punto (a) se amplifica a través del  $\mu\Delta 741$  para proporcionarle potencia y evitar que se degrade cuando ésta pasa por la red diferencial  $C_4, R_{10}$ ; esta señal así diferenciada, se pasa por un detector de "cruce por cero" formado por un comparador con histerisis implementado con un LM311.

El amplificador tiene una ganancia de:

$$A_3 = -\frac{R_8}{R_7} = -\frac{100}{33} = -3 \quad . \quad (23)$$

La señal amplificada y diferenciada da como resultado la forma de onda (c) mostrada en la Figura 22.

El amplificador LM311 en configuración de comparador permite detectar el cruce por cero de la señal, lo que corresponde a los picos máximos de la señal original, forma de

onda (a) de la figura 22.

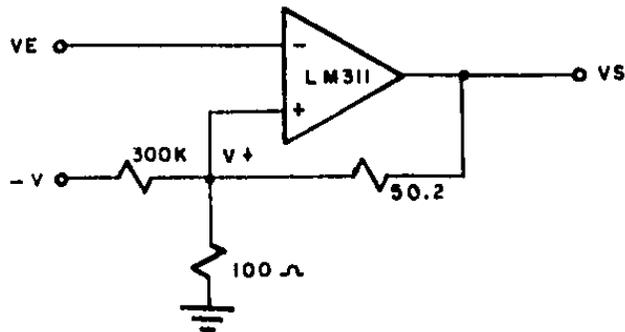


Figura 21 b) Circuito comparador detector de cruce por cero para detectar los picos máximos.

Para  $V_S = 0$  se tiene que el circuito equivalente de la malla de realimentación queda como:

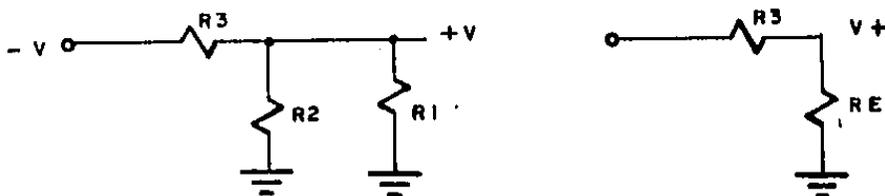


Figura 21 c) Circuito equivalente de la malla de realimentación del detector de cruce por cero.

$$R_E = R_1/R_2 = \frac{(45.2)(.1)}{56.3} = 99.8 \Omega \quad (24)$$

$$V^+ = -V \frac{R_R}{R_E + R_S} = \frac{-15(.0998)}{300 + .0998} = -4.9 \text{ mV} \quad (25)$$

$$V^+ \approx -5 \text{ mV}$$

donde los  $-5 \text{ mV}$  corresponden al voltaje de histerisis necesario para evitar que se detecten los picos que no corresponden a un pico máximo de la señal original.

El mecanismo de operación del detector de picos se presenta en forma gráfica en la figura 22.

Una vez detectados los picos máximos, se procede a comparar éstos con los pulsos obtenidos en los comparadores LM311 (a) y (b), utilizando para esto las compuertas NAND cuyas salidas nos generan señales  $+FT$  y  $-FT$ , que sirven para controlar el biestable  $S - R$  que genera las señales de  $DATO(H)$  y  $(L)$ .

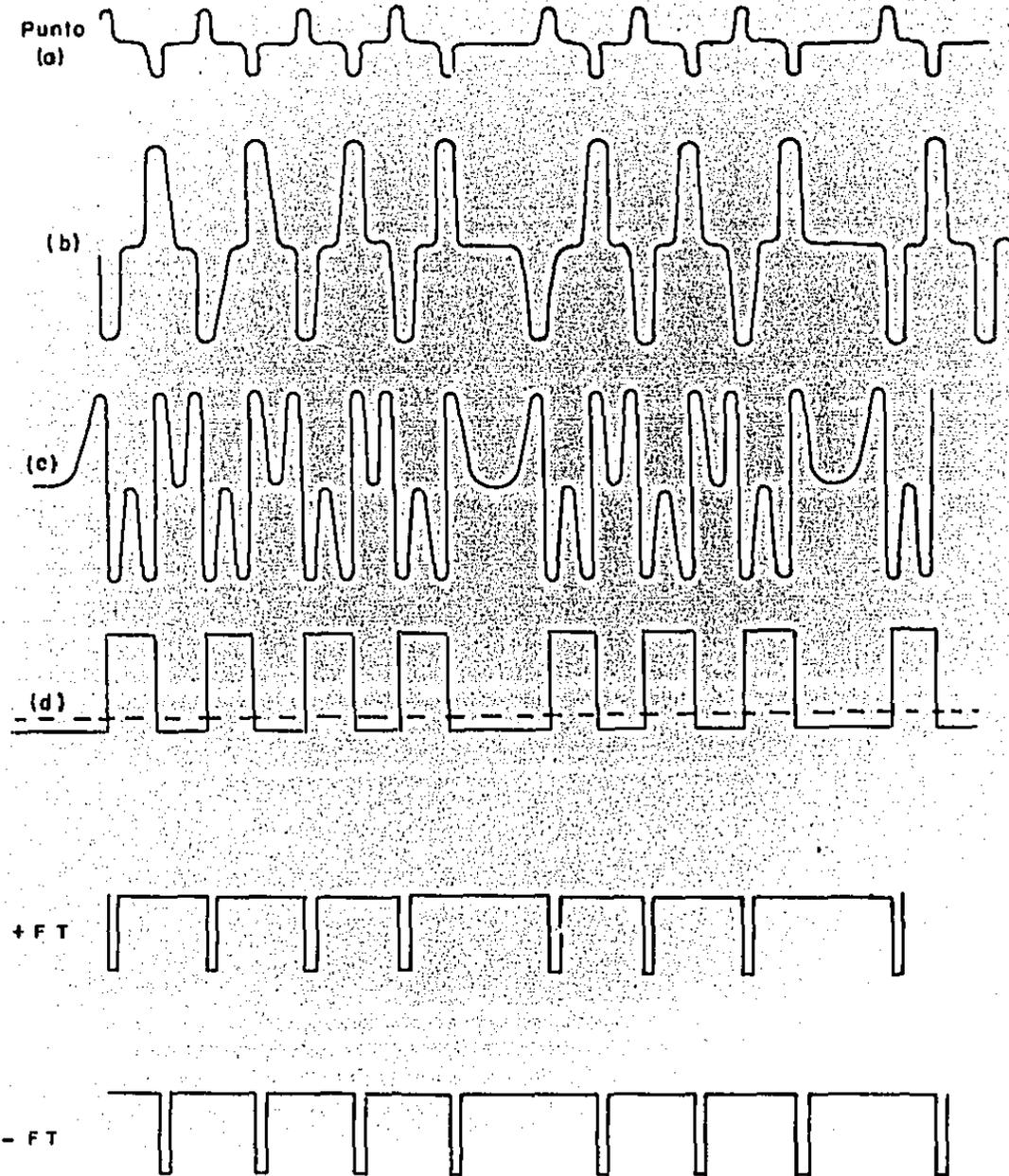


Figura 22. Formas de onda de los diversos pasos de acondicionamiento y detección de la señal de entrada.

### 3.2. Bloque módulo de control

Para que todos y cada uno de los bloques cumplan su función y operen en sincronía unos con otros, es necesario contar con una lógica que controle la generación y el paso de cada señal; para lograr esto el sistema cuenta con un módulo de control integrado por tres multiplexores de 8 a 1 SN74151, un latch cuádruple SN74175 y un decodificador de 3 a 8 SN74138, los cuales operan de acuerdo al diagrama de flujo de la figura 23a y 23b.

Este bloque es el responsable de detectar las condiciones de estado del sistema y generar las señales de control y operación de cada uno de los bloques que conforman el sistema de recuperación y transmisión de datos.

La forma de operación de este bloque es como sigue:

Al encender el sistema se genera una señal de "RESET" (RST) que condiciona al módulo de control a establecer las condiciones iniciales para cada uno de los bloques, esto es que se entra en un estado de (INICIO) en el cual se carga un valor de "11" en el contador de datos, se habilita el flip-flop de "ERROR" y se limpia el contador demodulador CD4040 mostrado en la figura 25. Posteriormente se detecta la señal SDATO(H), la cual indica si se están recibiendo datos, si esta señal está presente entonces se inicia un estado de espera (ESP1) en el cual se habilita el demodulador de datos y se decrementa el contador de los mismos.

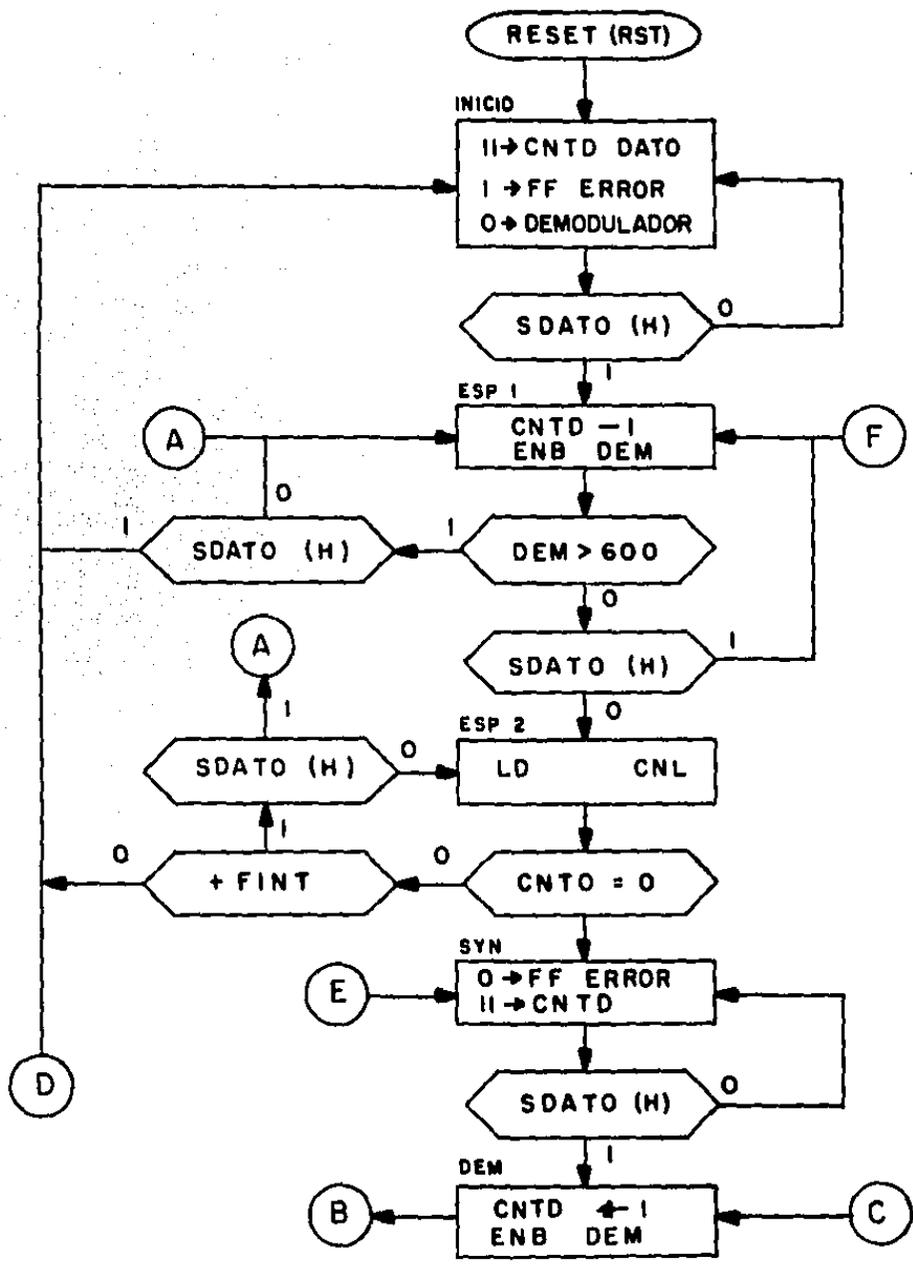


FIGURA - 23 a DIAGRAMA DE FLUJO DE OPERACION DEL SISTEMA DE RECUPERACION Y TRANSMISION DE DATOS .

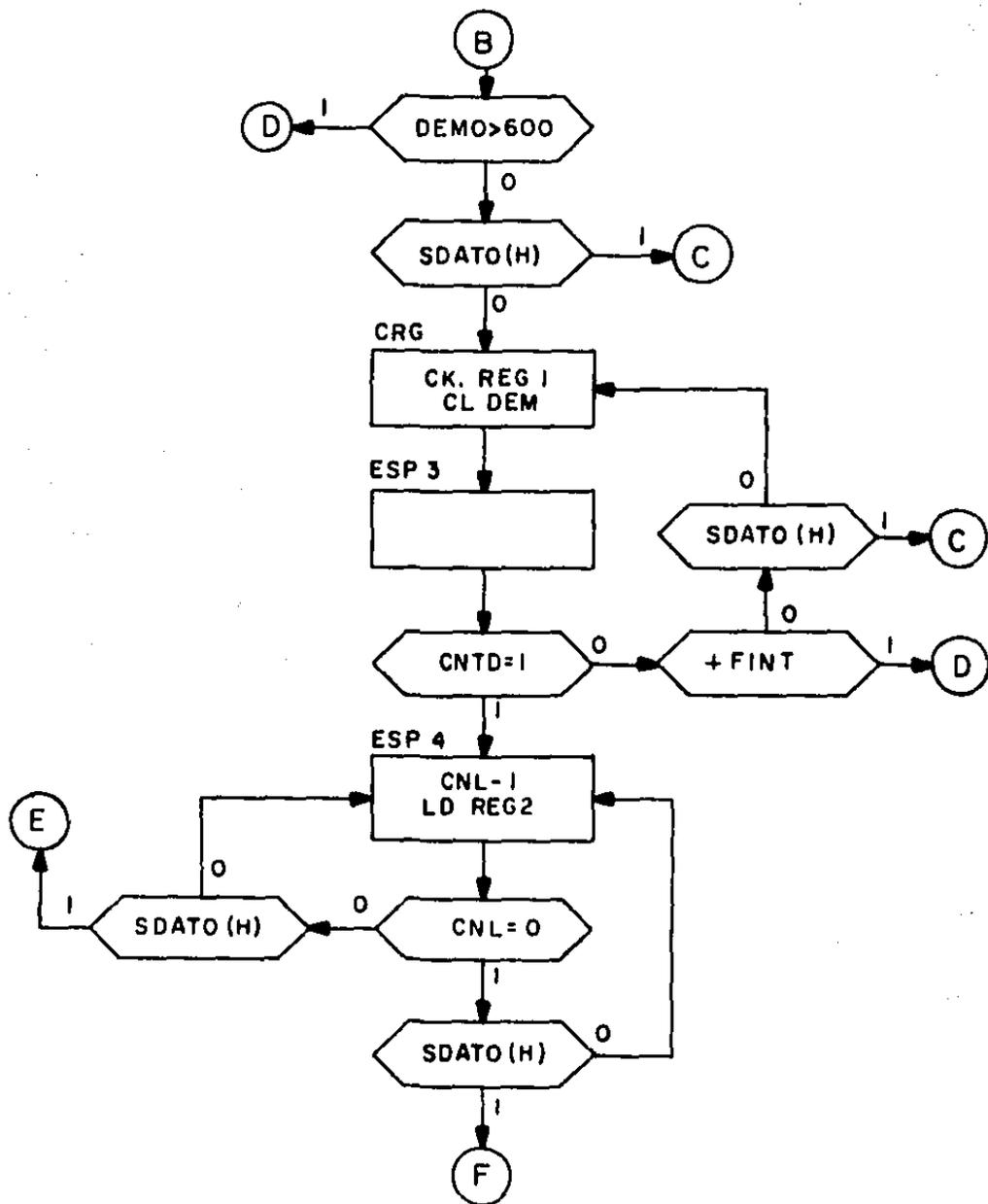


FIGURA. 23b.- DIAGRAMA DE FLUJO DE OPERACION DEL SISTEMA DE RECUPERACION Y TRANSMISION DE DATOS.

Si esta señal de SDATO(H) no se detecta, el control regresa al estado de INICIO.

Después de ejecutarse las condiciones del estado ESP1, se pregunta por las condiciones del contador demodulador, esto es, se checa si la cuenta es mayor a 600; si no es así, entonces se pregunta por la señal de SDATO(H) nuevamente y si ésta está presente entonces se pasa al estado de ESP1 para iniciar un nuevo ciclo de demodulación; si por el contrario la condición del contador demodulador es mayor a 600, entonces se pasa a una condición de error, en la cual se identifica que la señal que se está recibiendo no corresponde a dato alguno.

Si la señal de SDATO(H) no está presente, se pasa a un estado de espera ESP2 en el cual no se toma ninguna acción y sólo se pregunta por la condición del contador de datos, si éste es igual con "cero" se indica al control que se ha detectado un pulso de sincronía, y en consecuencia se pasa a un estado de sincronización (SYN); si por el contrario el contador de dato no es igual a "cero" y tampoco se detectó la señal (SDATO(H)), entonces se pregunta por la condición de la señal de transmisión (+FINT), cuyas condiciones de "0" o "1" rutean al control hacia el estado de INICIO o ESP1 respectivamente.

Todo el ciclo anteriormente descrito es necesario para sincronizar al módulo de recuperación y transmisión de datos, la secuencia del diagrama de flujo de la figura 23a y 23b a partir del estado (SYN) es para el proceso de demodulación.

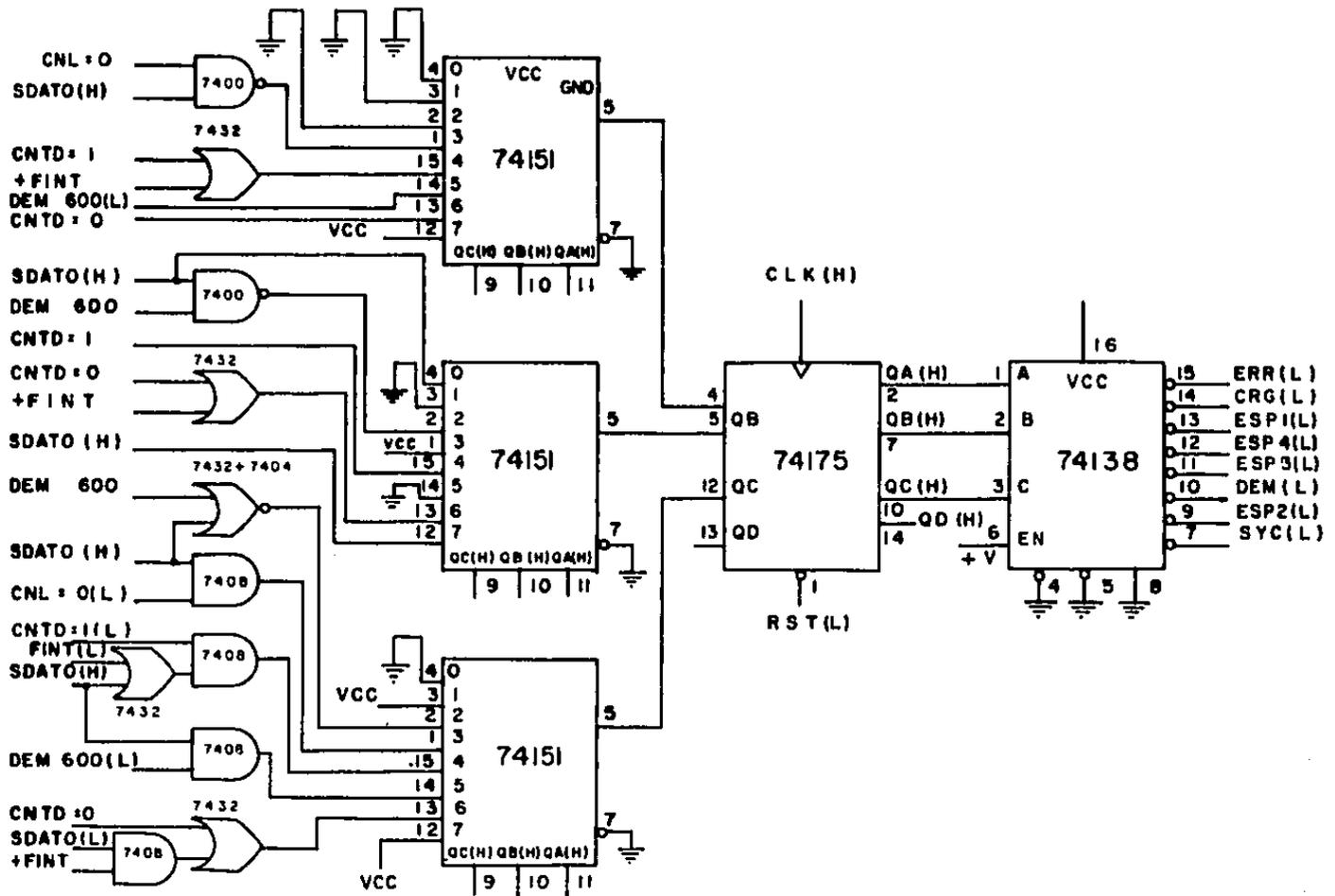


FIGURA 24.- DIAGRAMA LOGICO DEL MODULO DE CONTROL

Para el diseño del controlador se utilizó la técnica del algoritmo de la máquina de estado (carta ASM, Algorithmic State Machine) que es ampliamente utilizada en el diseño de sistemas digitales. Refiérase al Apéndice D para mayor información sobre esta técnica. La tabla de estados correspondiente al diagrama de flujo de la figura 23a y 23b se presenta en la figura 24 bis, en donde la asignación de estados se hizo utilizando el criterio de cambiar una sola variable de estado entre estados adyacentes, con el objeto de optimizar y simplificar el diseño. La asignación de estados elegida es:

INICIO	→	000
ESP1	→	010
ESP2	→	110
SYN	→	111
DEM	→	101
CRG	→	100
ESP3	→	100
ESP4	→	011

ENTRADA DEL MUX	ESTADO PRESENTE	ESTADO SIGUIENTE NOMBRE	CODIGO O B A	CONDICION DE TRANSICION	S A L I D A S							
					ERR	ORG	ESP1	ESP2	ESP3	ESP4	DEM	SYC
0	INICIO	ESP1	010	$\overline{SDATO(H)}$	0	0	1	0	0	0	0	0
	INICIO	INICIO	000	$\overline{SDATO(H)}$	1	0	0	0	0	0	0	0
2	ESP1	ESP2	110	$\overline{DEM > 600 \cdot SDATO(H)}$	0	0	0	1	0	0	0	0
	ESP1	ESP1	010	$\overline{DEM > 600 \cdot SDATO(H)}$	0	0	1	0	0	0	0	0
	ESP1	ESP1	010	$DEM > 600 \cdot \overline{SDATO(H)}$	0	0	1	0	0	0	0	0
	ESP1	INICIO	000	$DEM > 600 \cdot \overline{SDATO(H)}$	1	0	0	0	0	0	0	0
6	ESP2	SYN	111	$\overline{ONTD=0}$	0	0	0	0	0	0	0	1
	ESP2	ESP2	110	$\overline{ONTD=0 \cdot (+FINT)}$ $\cdot \overline{SDATO(H)}$	0	0	0	1	0	0	0	0
	ESP2	INICIO	000	$\overline{ONTD=0 \cdot (+FINT)}$	1	0	0	0	0	0	0	0
	ESP2	ESP1	010	$\overline{ONTD=0 \cdot (+FINT)}$ $\cdot \overline{SDATO(H)}$	0	0	1	0	0	0	0	0
5	SYN	SYN	111	$\overline{SDATO(H)}$	0	0	0	0	0	0	0	1
	SYN	DEM	101	$\overline{SDATO(H)}$	0	0	0	0	0	0	1	0
	DEM	DEM	101	$\overline{DEM > 600 \cdot SDATO(H)}$	0	0	0	0	0	0	1	0
	DEM	ORG	001	$\overline{DEM > 600 \cdot SDATO(H)}$	0	1	0	0	0	0	0	0
	DEM	INICIO	000	$DEM > 600$	1	0	0	0	0	0	0	0
1	ORG	ESP3	100	1	0	0	0	0	1	0	0	0
4	ESP3	ESP4	011	$\overline{ONTD=1}$ $\cdot \overline{SDATO(H)}$	0	0	0	0	0	1	0	0
	ESP3	INICIO	000	$\overline{ONTD=1 \cdot (+FINT)}$	1	0	0	0	0	0	0	0
	ESP3	DEM	101	$\overline{ONTD=1 \cdot (+FINT)}$ $\cdot \overline{SDATO(H)}$	0	0	0	0	0	0	1	0
3	ESP4	ESP4	011	$\overline{CNL=0 \cdot SDATO(H)}$	0	0	0	0	0	1	0	0
	ESP4	ESP1	010	$\overline{CNL=0 \cdot SDATO(H)}$	0	0	1	0	0	0	0	0
	ESP4	ESP4	011	$\overline{CNL=0 \cdot SDATO(H)}$	0	0	0	0	0	0	1	0
	ESP4	SYN	111	$\overline{CNL=0 \cdot SDATO(H)}$	0	0	0	0	0	0	0	1

Figura 24bis.- Tabla de estados del controlador del bloque de recuperación y transmisión de datos.

Para el caso de nuestro Controlador se optó por utilizar multiplexores dado el número de estados a generar, (siete), y a que es un método simple para sintetizar la lógica combinacional asociada. El método de los multiplexores tiene los siguientes atributos:

- a. Produce un diseño que tiene una correspondencia uno a uno con el algoritmo que lo genera.
- b. Es un método estándar que se aplica a cualquier carta ASM.
- c. Forza al diseñador a completar la carta ASM antes de iniciar la construcción del Hardware.
- d. Es muy fácil de aprender.

Por el número de variables de estado, vemos que se requieren tres multiplexores, uno por cada variable de estado, lo que nos permite la generación de los siete estados. La lógica combinacional asociada a las siete entradas de cada multiplexor se obtiene de la figura 24bis con la ayuda de los mapas de Karnaugh.

Para  $MUX A, B, C(0)$ , directamente de la tabla se tiene:

$$MUX A(0) = 0$$

$$MUX B(0) = SDATO(H)$$

$$MUX C(0) = 0$$

Para *MUX A, B, C*(1), directamente de la tabla se tiene:

$$MUX A(1) = 0$$

$$MUX B(1) = 0$$

$$MUX C(1) = 1$$

Para *MUX A, B, C*(2)

$$(DEM > 600) = X$$

$$SDATO(H) = Y$$

X \ Y	0	1
0	0	0
1	0	0

X \ Y	0	1
0	1	1
1	1	

X \ Y	0	1
0	1	
1		

$$MUX A(2) = 0$$

$$MUX B(2) = \overline{X} + \overline{Y}$$

$$MUX C(2) = \overline{X} \cdot \overline{Y}$$

$$\therefore MUX A(2) = 0$$

$$MUX B(2) = \overline{DEM > 600} + \overline{SDATO(H)}$$

$$MUX C(2) = \overline{DEM > 600} \cdot \overline{SDATO(H)}$$

Para *MUX A, B, C*(3)

$$(CNL = 0) = X$$

$$SDATO(H) = Y$$

X \ Y	0	1
0	1	1
1	1	

X \ Y	0	1
0	1	1
1	1	1

X \ Y	0	1
0		
1	1	

$$MUX A(3) = \bar{X} + \bar{Y}$$

$$MUX B(3) = 1$$

$$MUX C(3) = \bar{X} \cdot Y$$

$$\therefore MUX A(3) = (\overline{CNTL = 0}) + \overline{SDATO(H)}$$

$$MUX B(3) = 1$$

$$MUX C(3) = (\overline{CNTL = 0}) \cdot \overline{SDATO(H)}$$

Para MUX A, B, C(4)

$$(CNTD = 1) = X$$

$$+ FINT = Y$$

$$SDATO(H) = Z$$

XY \ Z	00	01	11	10
0	1		1	1
1	1		1	1

XY \ Z	00	01	11	10
0			1	1
1			1	1

YX \ Z	00	01	11	10
0				
1	1			

$$MUX A(4) = X + \bar{Y}$$

$$MUX B(4) = X$$

$$MUX C(4) = \bar{X} \bar{Y} Z$$

$$\therefore MUX A(4) = (CNTD = 1) + (\overline{+FINT})$$

$$MUX B(3) = CNTD = 1$$

$$MUX C(3) = \overline{CNTD = 1} \cdot (\overline{+FINT} + SDATO(H))$$

Para MUX A, B, C(5)

$$(DEM > 600) = X$$

$$SDATO(H) = Y$$

X \ Y	0	1
0	1	
1	1	

X \ Y	0	1
0	0	0
1	0	0

X \ Y	0	1
0		
1	1	

$$MUX A(5) = \overline{X}$$

$$MUX B(5) = 0$$

$$MUX C(5) = \overline{X}Y$$

$$\therefore MUX A(5) = \overline{DEM > 600}$$

$$MUX B(5) = 0$$

$$MUX C(5) = \overline{DEM > 600} \cdot SDATO(H)$$

Para MUX A, B, C(6)

$$CNTD = 0 = X$$

$$+FINT = Y$$

$$SDATO(H) = Z$$

	XY			
Z	00	01	11	10
0			1	1
1			1	1

	XY			
Z	00	01	11	10
0		1	1	1
1		1	1	1

	YX			
Z	00	01	11	10
0		1	1	1
1			1	1

$$MUX A(6) = X$$

$$MUX B(6) = X + Y$$

$$MUX C(6) = X + Y \bar{Z}$$

$$\therefore MUX A(6) = (CNTD = 0)$$

$$MUX B(6) = (CNTD = 0) + (+FINT)$$

$$MUX C(6) = (CNTD = 0) + (+FINT \cdot \overline{SDATO(H)})$$

Para  $MUX A, B, C(7)$ , directamente de la tabla se tiene:

$$MUX A(7) = 1$$

$$MUX B(7) = \overline{SDATO(H)}$$

$$MUX C(7) = 1$$

Las señales de salida codificadas son directamente los estados y su decodificación se obtiene mediante el circuito decodificador SN74138 que se muestra en la figura 24.



Al encender el equipo, la rutina de inicialización limpia la información contenida en el contador CD4040 y manda una señal de RESET a los biestables SN74L74 para fijar en su salida "Q" un nivel bajo. Como puede observarse en la figura anterior, la salida " $\bar{Q}$ " de cada biestable se realimenta a través de las compuertas CD4020, con lo que se habilita a éstas para enviar un pulso negativo al correspondiente flip-flop, dependiendo si la cuenta en el contador alcanza un valor de 300 o de 600 respectivamente. La razón por la cual se consideraron estos valores es para identificar si se está recibiendo un "1" lógico (300) o un "0" lógico (600), considerando que la reproducción de la cinta se hace a una velocidad de 4.7 cm/seg.

Si la cuenta en el contador es menor de 300, la compuerta (A) no se habilita y en consecuencia no se cambia la condición del biestable correspondiente, por lo que se mantiene el valor de  $\bar{Q} = 1$  y que corresponde al valor del dato demodulado, este valor del dato se almacena en el registro de datos y se inicia un nuevo ciclo de demodulación.

Si por el contrario la cuenta es mayor que 300 pero menor que 600, la compuerta (A) se habilita y provoca un cambio en las condiciones del biestable con lo que se fija un cero en la salida  $\bar{Q}$ , esto es  $\bar{Q} = 0$  y este valor del dato demodulado, el cual a su vez es almacenado en el registro de datos.

Cada que se inicia un ciclo de demodulación, el contador y los biestables son limpiados y puestos en condiciones iniciales.

Para los casos en que la cuenta es mayor que 300 y además mayor que 600, se habilita la compuerta (B) y se envía un pulso negativo al biestable correspondiente, cuyo cambio

indica al control que el dato demodulado no corresponde a ningún valor válido, esto es, que se trata de una condición de error y se indica a través del control activándose la señal ERR(L) que a su vez activa al biestable que genera la señal ERROR(L). Si este es el caso, entonces el control pasa una condición de sincronización en la cual se generan las señales que limpian el contador de datos, el contador de canal, el contador demodulador y los biestables correspondientes.

### **3.4. Bloque detector de error**

El bloque detector de error permite indicar al usuario y al sistema mismo, cuando la información que se está demodulando no corresponde a un dato válido; mediante este bloque se registra la señal de error que permite reinicializar el ciclo de demodulación.

Las condiciones de error se dan en los siguientes casos:

- 1.** Al inicializarse el sistema, ya que se requiere registrar el primer pulso de sincronía antes de proceder a la demodulación, para garantizar el inicio de un ciclo de grabación.
- 2.** Cuando alguno de los datos registrados no corresponde a un valor válido; esto implica un valor de más de 600 en el contador demodulador.
- 3.** Cuando se presenta la señal de fin de transmisión (+FINT) sin que aún se haya terminado el ciclo de demodulación para un dato o para todos los canales seleccionados.

El detector de error está implementado con un biestable tipo D, SN7474, cuyas entradas de control SET y RESET están conectadas respectivamente a las señales ERROR (L) y SYN (L) del bloque de control.

Al encender el equipo se genera una señal de ERROR, la cual coloca un nivel alto en la salida Q del biestable, en consecuencia el nivel bajo de la salida  $\bar{Q}$  permite la polarización directa del diodo emisor de luz que indica la condición de ERROR. Esta condición permanece hasta que se registra el pulso de sincronía que identifica cada

ciclo de grabación, generándose la señal SYNC (L) que al ser detectada por el biestable a través de su entrada RESET, modifica las condiciones de salida a  $Q = 0$  y  $\bar{Q} = 1$  con lo que el LED se apaga al quedar polarizado en forma inversa.

La siguiente figura muestra el bloque detector de error.

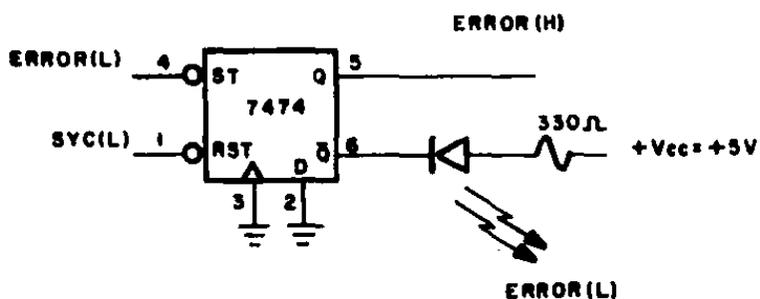


Figura 26. Circuito detector de error.

### 3.5. Bloque reloj del sistema

El sistema de recuperación y transmisión de datos requiere para su operación, como cualquier otro circuito de control, una base de tiempo que permita generar las señales de comando y control de todo el sistema.

La base de tiempo la da un cristal de cuarzo de 1 MHz colocado en la malla de realimentación de una compuerta inversora.

El circuito oscilador aparece en la figura 27.

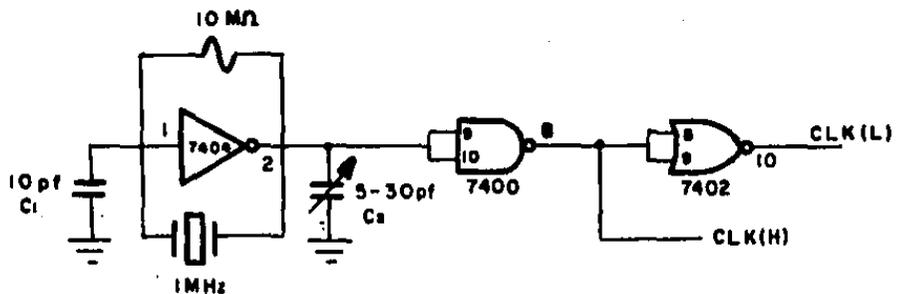


Figura 27.

El cristal de cuarzo es de resonancia paralela y tiene una capacitancia de carga de aproximadamente 5 a 15 pf. El arreglo en la malla de realimentación de la compuerta inversora consta del propio cristal y un arreglo tipo "pi" de capacitores para mejorar la estabilidad, estos capacitores  $C_1$  y  $C_2$  son de un valor pequeño, con el fin de consumir

un mínimo de corriente; también se tiene en el arreglo una resistencia de realimentación, cuyo valor es alto para evitar atenuación y consumo de energía dentro de la red.

Los valores de los capacitores se calculan mediante las expresiones dadas en la descripción del circuito oscilador para el módulo de adquisición [4].

Las compuertas de salida SN7400 y SN7402 permiten la inversión de la señal y proporcionan la ganancia de corriente necesaria para la etapa de control, de este modo no hay efecto de carga sobre el circuito oscilador.

### 3.6. Bloque contador de datos

El bloque contador de datos está integrado por un contador síncrono de tipo arriba/abajo (UP/DOWN) y una compuerta NAND SN7410 de cuatro entradas utilizada ésta como decodificador.

En la figura 28 se muestra el diagrama lógico de este bloque.

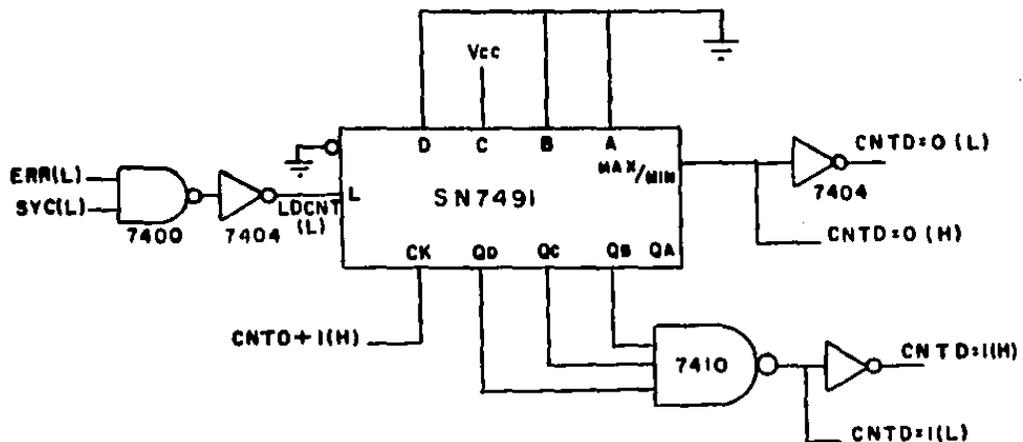


Figura 28.

Este bloque contador cumple una doble función. La primera de ellas es detectar las condiciones de sincronía necesarias para garantizar que los datos que se están recibiendo correspondan al mismo parámetro que se grabó, y determinar cuál es el inicio del ciclo

de grabación, esto es detectar el pulso de sincronía. Para esto se generan las señales  $CNTD = 0$  (H) y (L) a partir de la señal MAX/MIN del contador, la cual indica a través de un pulso negativo el paso del contador por su condición de cuenta máxima.

Este valor máximo se alcanza en el contador a partir de un valor inicial fijo correspondiente a un "4", el cual es introducido al contador mediante la señal de carga LDCNT (L).

Este valor inicial de "4" sumado a los once pulsos que se deben contar al final de cada ciclo de grabación (diez del último dato y uno de sincronía), permiten al contador llegar a su valor de cuenta máxima; cuando esto sucede se generan las señales  $CNTD = 0$  (H) y (L) las cuales indican al control que se ha detectado un pulso de sincronía, y que a partir de ese momento la información que se demodule corresponderá a los datos grabados en cada canal, iniciando con el primero de ellos.

La condición de carga del contador está controlada por las señales ERR(L) y SYC(L), cada vez que se inicia un ciclo de sincronización o cada que se están recibiendo datos válidos, esto es: para sincronización se condiciona al contador a detectar "11" pulsos para garantizar que se trata del fin de un ciclo de grabación, y para la decodificación de datos se condiciona al contador a detectar "10" pulsos que corresponden al número de pulsos de un dato.

La segunda fase de operación de este contador es precisamente la de verificar el número de bits por dato, la forma como esto se logra es cargando el valor fijo de "4" al contador y decodificando su cuenta cuando ésta es igual a "14" a través de una compuerta NAND

**SN7410.**

**Cuando esta condición se cumple, se generan las señales CNTD = 1 (H) y (L), cuyo efecto en el control es el de mantener las condiciones de sincronía de demodulación.**

### 3.7. Bloque contador de canal

Mediante este bloque es posible programar a través de switches el número de canales que se grabaron y se desea demodular.

Su configuración la integra un contador síncrono del tipo ARRIBA/ABAJO (UP/DOWN) SN74191, el cual está controlado por las señales ESP2(L) y CNL+1(H). El contador opera siempre en su condición hacia "ABAJO" y cada que éste llega a su cuenta mínima se genera un pulso negativo en su salida MAX/MIN, con la que se indica al control mediante la señal CNL = 0(H) que se ha cubierto el ciclo de demodulación para el número de canales seleccionado.

El contenido de este contador se modifica a través del control mediante la señal CNL+1(H), cada vez que el contador de datos genera la señal de CNTD = 1 (H) y (L).

En la figura 29 se ilustra el diagrama lógico de este bloque:

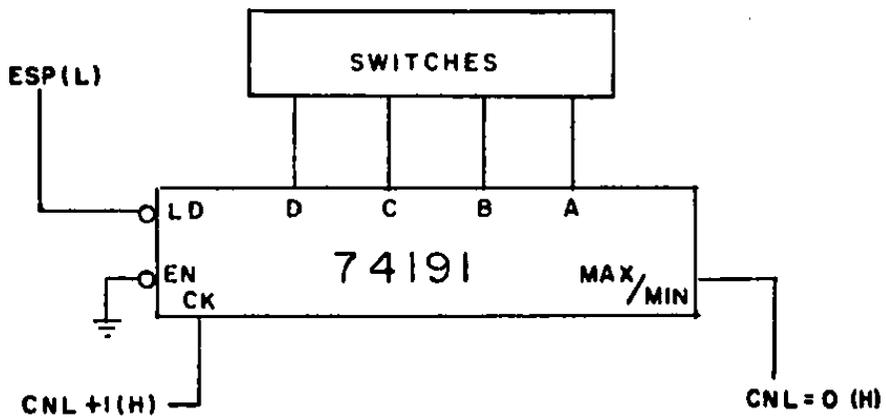


Figura 29. Diagrama lógico del contador de canal.

### **3.8. Bloque de registro y transmisión de datos**

Una vez que se han demodulado los datos, éstos son almacenados en un registro para posteriormente transmitirse hacia un computador o impresor.

El almacenamiento de los datos se hace mediante un registro de corrimiento de diez bits formado por un CD4015 y un CD4013 conectados en cascada, y operando ambos para recibir datos en serie y transmitirlos en paralelo.

En la figura 30 se muestra el diagrama lógico del bloque de registro y transmisión de datos en el que se incluye además, un circuito de sincronización necesario para efectuar el control de carga y corrimiento de los datos a través del registro de salida formado por los circuitos CD4014 y CD4035. En este registro se incluyen además de los diez bits de dato, un bit de error y otro de "START" o inicio, con el fin de cumplir con la norma para la interfase RS-232 [10].

El circuito de sincronización para el control de carga y corrimiento del registro de salida serie, se logra mediante dos flip-flops tipo "D" conectados en cascada y controlados, el primero de ellos, por la señal de LDREG2(L) que marca la demodulación de los diez bits de dato y en consecuencia que el registro correspondiente (CD4015 y CD4013) contiene la información completa. El otro flip-flop está controlado por el reloj de transmisión, esto es el selector de velocidad. La salida de este segundo flip-flop genera la señal SLDREG2(H), mediante la cual se controla la carga y corrimiento de este registro de salida. El objeto de la sincronización es evitar el efecto de "JITTER" y mantener un

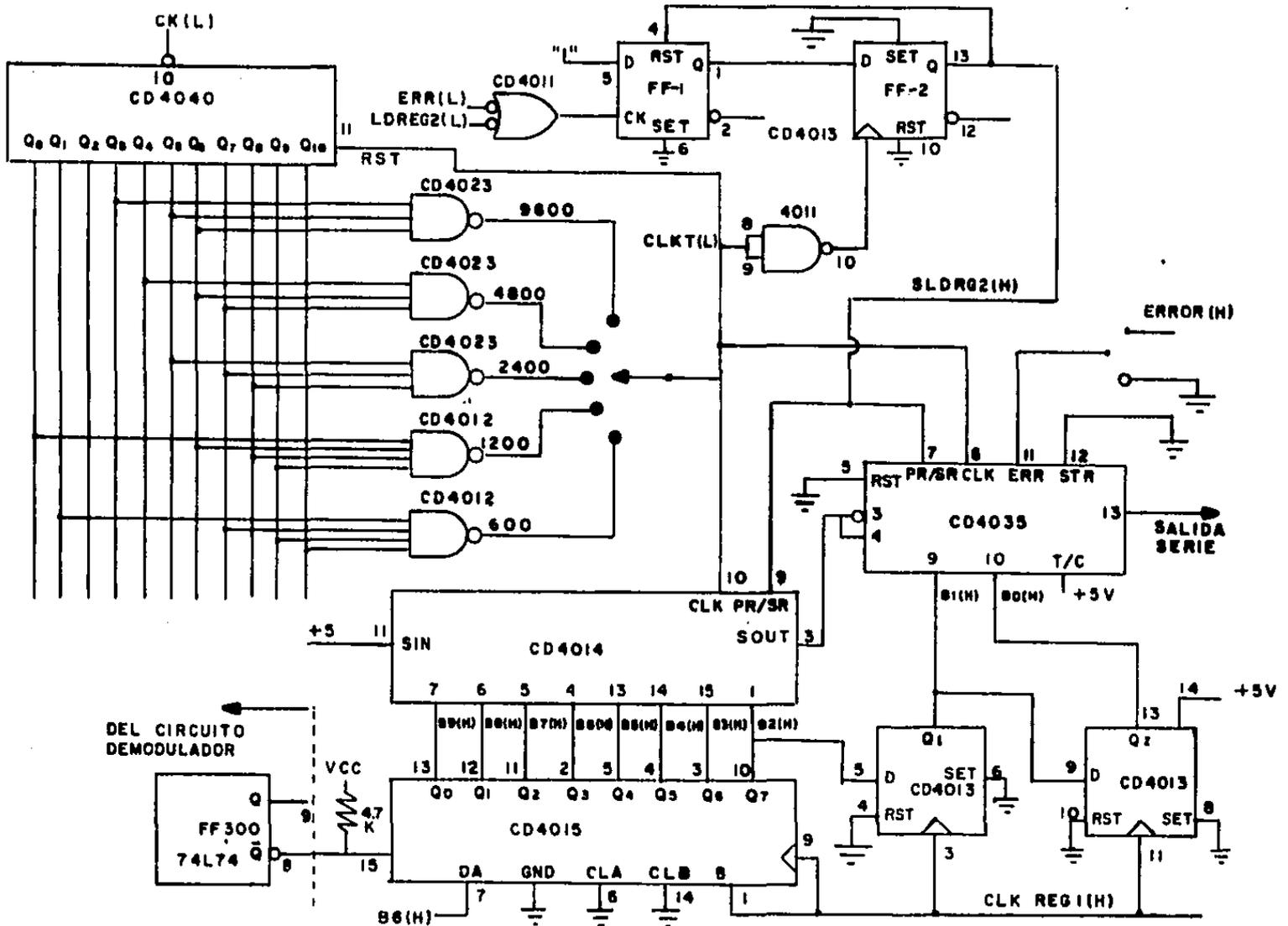


Figura 30. Diagrama lógico de registro y transmisión de datos y circuitos de sincronización.

ancho de pulsos constante para los datos.

El diagrama de tiempos de la figura 31 muestra la operación del circuito de sincronización para la carga y corrimiento de los datos.

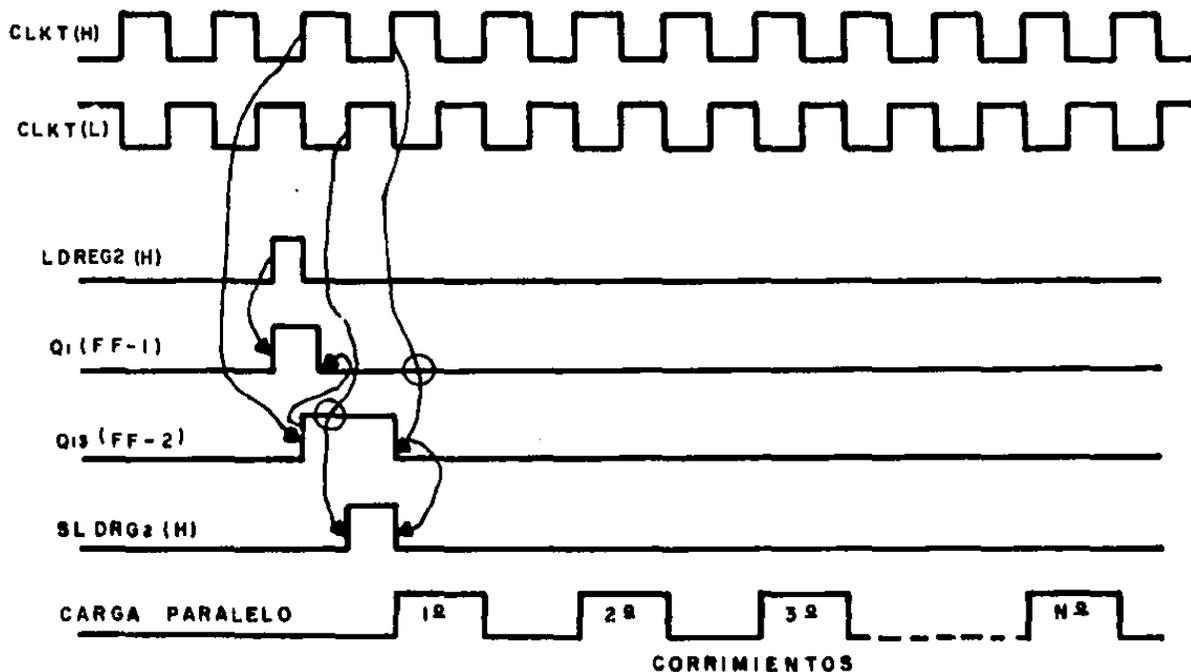


Figura 31. Diagrama de tiempos del circuito de sincronización para la carga y corrimiento de datos.

### 3.9. Bloque de programación de velocidad de transmisión

Mediante este bloque es posible seleccionar diferentes velocidades de transmisión para la interfase RS-232.

En la siguiente figura se muestra el diagrama lógico del selector de velocidad de transmisión.

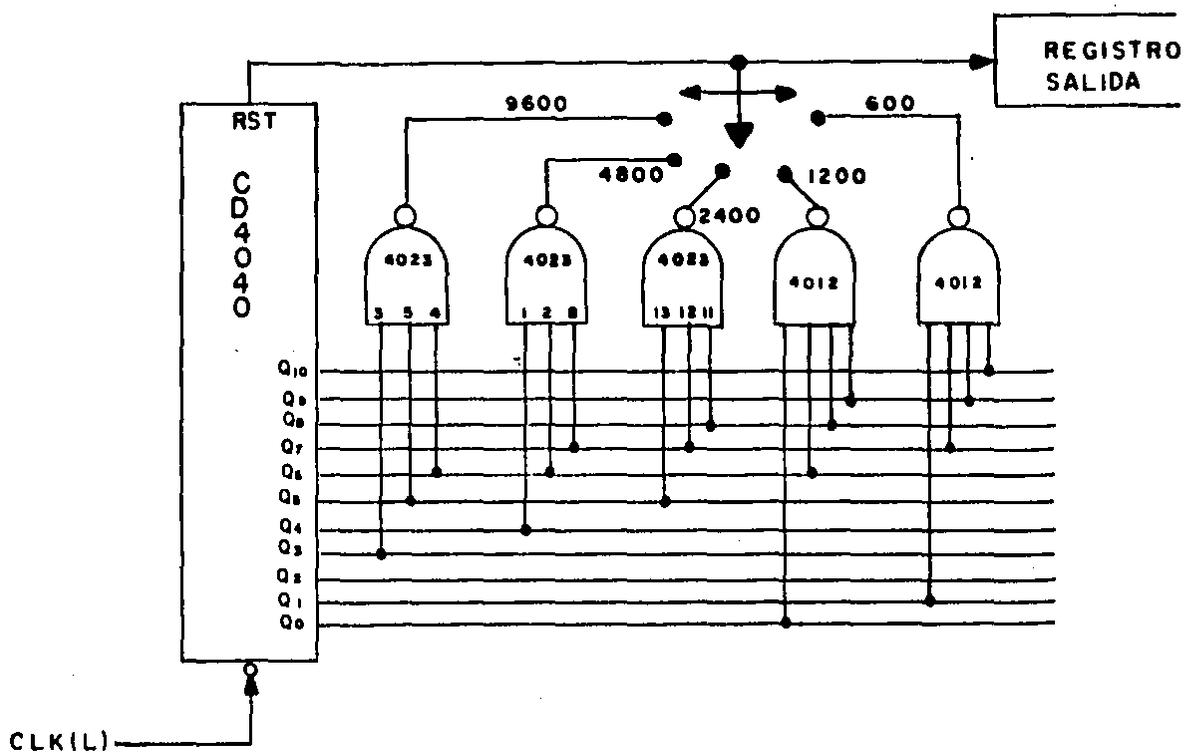


Figura 32. Selector de Velocidad de Transmisión.

Como puede observarse, este bloque está formado por un contador binario de doce estados CD4040 y cinco compuertas AND CD4023 y CD4012 que permiten la decodificación para cada una de las velocidades de transmisión entre 600 y 9600 baudios. La selección de la velocidad de transmisión sirve como control de corrimiento para el registro de salida formado por el CD4014 y el CD4035, cuya operación es primeramente la de cargar los datos almacenados en el registro de demodulación formado por el CD4015 y el CD4013, y posteriormente entregarlos en serie a la interfase RS-232.

#### IV. FUENTE REGULADA DE ALIMENTACION

El módulo de recuperación y transmisión de datos requiere para su operación de una polarización de  $\pm 15V_{DC}$  @ 200 mA y  $+5V_{DC}$  @ 250 mA.

Para mantener estas condiciones de polarización se cuenta con una fuente regulada bipolar que proporciona un voltaje fijo de  $\pm 15V_{DC}$  a una corriente de carga de 800 mA, y una derivación de voltaje de  $5V_{DC}$  a una corriente de carga de 500 mA.

Las salidas de esta fuente están protegidas contra corriente de cortocircuito, de tal manera que sus componentes no sufren daño permanente cuando estas condiciones se presentan.

El diseño de la fuente está basado en reguladores de voltaje integrados que tienen la ventaja de eliminar el uso de componentes discretos en exceso, también se tiene en cada rama de voltaje, el arreglo que permite la protección contra cortocircuito.

Refiriéndose al diagrama de la figura 33 el circuito de protección opera de la siguiente forma [11]:

Los arreglos formados por las resistencias  $R_1$ ,  $R_2$ ,  $R_3$ ,  $Q_1$ ,  $Q_2$ ,  $D_1$  y  $D_2$  operan como amplificadores de corriente aprovechando las características internas de limitación de corriente de los reguladores respectivos, para proporcionar de esta manera características de protección contra cortocircuito.

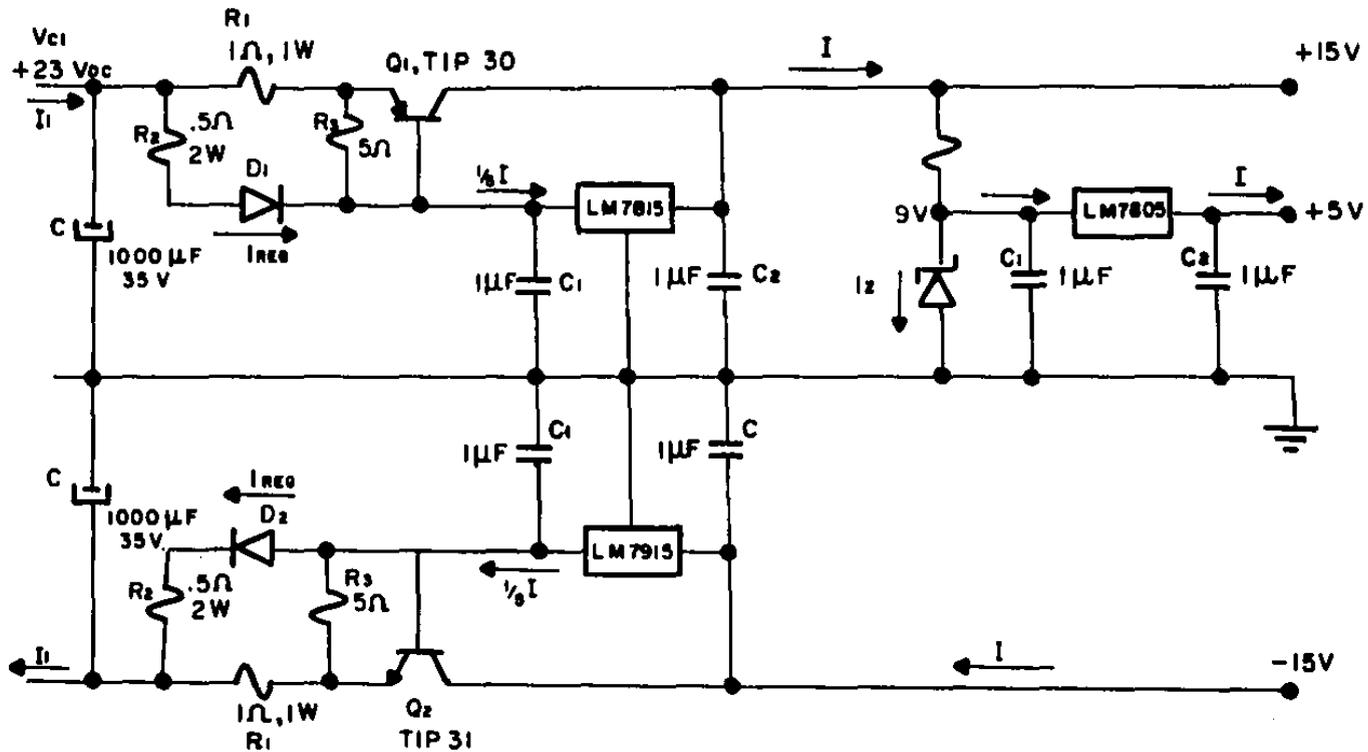


Figura 33. Fuente regulada.

Los reguladores y los transistores  $Q_1$  y  $Q_2$  respectivamente, comparten la corriente de carga  $I_L$ , en una razón dada por las resistencias  $R_2$  y  $R_1$ , considerando que  $V_D = B_{BE}$ , esto es:

$$I_1 = R_2/R_1(I_{REG}) \quad . \quad (26)$$

Durante las condiciones de cortocircuito (C.C.) se tiene que [11]:

$$I_{1(C.C.)} = R_2/R_1(I_{REG(C.C.)}) \quad . \quad (27)$$

Si el regulador y el transistor respectivo tienen la misma resistencia térmica  $\theta_{jc}$ , y el disipador del transistor tiene  $R_2/R_1$  veces la capacidad del disipador del regulador, la protección térmica del regulador se extenderá hasta el transistor  $Q$ ; algunos arreglos que cumplen con esta condición se muestran en la siguiente tabla:

$Q$	$D$	$I$	$I_{REG}$	$R_2/R_1$	$R_3$
2N4398	1N4719	$\geq 3 \text{ A}$	1 A	$\geq 3$	5-10 $\Omega$
NSD32	1N4719	2 A	1 A	2	5-10 $\Omega$
NSDU51A	1N4003	1A	0.5 A	2	5-10 $\Omega$

Los arreglos formados por los embobinados secundarios del transformador de entrada y los circuitos rectificadores tipo puente en combinación con los capacitores de entrada  $C$ , proporcionan un voltaje dual a los puntos de entrada  $V_{e1}$  y  $V_{e2}$  de  $+25V_{DC}$ , condiciones éstas suficientes para la correcta operación de los reguladores y la obtención de los voltajes de salida deseados.

## V. CONCLUSIONES

El diseño del Sistema de Adquisición de Datos Oceanográficos cumple con los objetivos planteados inicialmente y con las normas establecidas para la operación de este tipo de instrumentos.

El diseño y desarrollo de cada etapa del sistema permitió facilitar su implementación al ser analizada cada una de ellas en base a su función específica.

Uno de los objetivos de este diseño es el de contar con un dispositivo de tecnología propia, útil para los investigadores en las áreas de la Oceanografía, sin embargo, el diseño tiene la versatilidad suficiente para ser utilizado en otras áreas de aplicación.

El contar con una tecnología propia en este campo, reduce la dependencia tecnológica que tenemos en México, y permite contar con equipos de este tipo a un costo mucho menor que el de los equipos de adquisición extranjera cuyo valor fluctúa entre 6 y 20 mil USD.

Para obtener un sistema óptimo se tomaron en cuenta aspectos técnicos, económicos y de maniobrabilidad para garantizar un prototipo confiable y económico, seleccionando adecuadamente las componentes electrónicas y electromecánicas que permitieran una mejor distribución y acceso fácil a todas las partes del sistema, principalmente en la unidad sumergible en la que es importante evitar un contenedor costoso y pesado.

Las componentes electrónicas seleccionadas, son de tecnología reciente y de fácil adquisición en el mercado nacional para asegurar la reproductibilidad del prototipo.

Una característica de este sistema es que está diseñado para capturar datos en un punto, esto es que se deja fijo en un sitio, razón por la cual fue posible hacer un muestreo secuencial de las variables a medir sin que por esta razón no se pudieran correlacionar. Esto es importante mencionarlo porque a diferencia de otros equipos similares, éstos requieren de una adquisición simultánea de los parámetros a medir ya que se utilizan para hacer mediciones sobre una columna de agua o perfil vertical.

En lo que respecta a los transductores (presión, conductividad y temperatura), es importante mencionar que estos son de difícil adquisición en el mercado nacional y muy costosos, incluso en el extranjero, por lo que no se pudo contar con ellos a tiempo para integrar un equipo completo, sin embargo, se hicieron pruebas de operación para verificar el funcionamiento de todo el sistema.

Los equipos comerciales normalmente están integrados con partes de tipo "CUSTOM" y resulta difícil y costoso su mantenimiento, por lo que al contar con una tecnología propia se tienen grandes ventajas.

Es importante mencionar que este diseño no es el óptimo ya que es siempre posible agregar o sustituir partes del diseño para mejorarlo, sin embargo durante el planteamiento del proyecto se pensó en todos los detalles que permitieron un dispositivo de frontera y evitar así su obsolescencia a corto plazo.

## APENDICE A

### Convertidores Análogo/Digital (A/D)

Fundamentalmente, un convertidor análogo/digital es aquel circuito que transforma una señal analógica de corriente o voltaje a una frecuencia o a un conjunto de pulsos cuyo tiempo es medido para proporcionar una representación digital como salida, o comparar la señal de entrada con una variable de referencia utilizando un convertidor digital/analógico interno, y obtener una salida digital.

Existen tres diferentes formas de clasificar los convertidores A/D, éstas son:

#### 1er. Grupo

- a. Programados. En este tipo, el proceso de conversión se realiza en un número dado de pasos, cada uno de los cuales tiene un intervalo de tiempo fijo y se sucede con señales de reloj.
- b. No programados. Este tipo requiere de una secuencia de eventos antes de completarse la conversión, sin que esta secuencia se realice con señal de reloj y por lo tanto depende únicamente del tiempo de respuesta del circuito de conversión.

#### 2o. Grupo

- a. De malla abierta. Este tipo de convertidores hacen una comparación directa entre la señal analógica de entrada y un voltaje o voltajes analógicos de

referencia. El resultado de la comparación es una palabra digital equivalente a la señal analógica de entrada.

- b. De malla cerrada. El proceso de conversión para este tipo se hace, generando un voltaje analógico interno como función de una palabra digital en el convertidor A/D realimentada a la entrada de un comparador. Este voltaje es comparado nuevamente con la señal analógica de entrada para ser convertida, este proceso es repetitivo hasta que el voltaje analógico generado es igual al voltaje analógico de entrada, momento en el cual se completa el proceso de conversión.

### **Ser. Grupo**

- a. De carga de capacitor. Este tipo depende básicamente en la codificación digital del tiempo de carga de un capacitor a un voltaje de referencia o a un valor de voltaje de la señal de entrada.
- b. De comparación discreta de voltaje. El proceso de conversión de este tipo depende de la generación de voltajes discretos cuyos niveles son equivalentes a palabras digitales y la comparación de esos voltajes discretos con el voltaje analógico de entrada para determinar su equivalente digital.

En la tabla A.1 se muestran algunos tipos de convertidores A/D y sus principales características.

<b>TIPO</b>	<b>EJEMPLOS</b>	<b>CARACTERISTICAS</b>
<b>Carga de capacitor</b>	a) Convertidor voltaje a frecuencia	Baja velocidad de conversión Regular precisión Baja complejidad
	b) Modulador de ancho de pulsos	Baja velocidad de conversión Regular precisión Baja complejidad
	c) Integrador de rampa	Muy lento Muy sensitivo a ruido Baja precisión
	d) Integrador de doble rampa	Baja velocidad de conversión Buena precisión Baja complejidad
<b>Comparación de voltajes discretos</b>	a) Contador de rampa	Velocidad media de conversión Alta precisión Media complejidad
	b) Aproximaciones sucesivas	Velocidad media de conversión Alta precisión Media complejidad
	c) Amplificador operacional	Velocidad media de conversión Precisión media Media complejidad
	d) Paralelo	Alta velocidad de conversión Baja precisión Muy complejo

**Tabla A.1. Tipos de convertidores A/D y sus principales características**

## **Definición de parámetros**

En la tabla A.2 se presentan las especificaciones típicas de un convertidor A/D.

Ya que es importante para estandarización y buen uso de los convertidores conocer perfectamente el significado de tales especificaciones, se da a continuación la definición de algunas de ellas.

### **Precisión**

Incluye errores de cuantización, no linealidades, errores en ajuste y ruido. La precisión es una función del número de bits en la palabra digital, el cual determina el número de valores digitales disponibles desde cero a escala completa para representar el valor de la señal analógica.

Ya que la precisión está relacionada con los errores de cuantización, podemos decir que este parámetro es un máximo de  $\pm 1/2$  del valor del bit menos significativo (L.S.B.).

### **Tiempo de adquisición**

Es el intervalo de tiempo entre el comando SAMPLE y el momento en el que la salida empieza a responder a la entrada.

**ADC-QU Analog-to-Digital Converters**  
**Specifications (Typical at +25°C and nominal supply voltages, unless otherwise noted)**

MODEL	ADC-QU
<b>Resolution</b>	
ADC-8QU	8-bits
10QU	10-bits
12QU	12-bits
<b>Accuracy</b>	
Relative	$\pm \frac{1}{2}$ LSB
Quantization	$\pm \frac{1}{2}$ LSB
Monotonicity	Monotonic from 0°C to +70°C
Differential linearity	$< \pm \frac{1}{2}$ LSB
Differential linearity TO	$\pm 3 \text{ppm}/^\circ\text{C}$ , max (ADC-12QU)
Temperature coefficient	
Gain	$\pm 5 \text{ppm}/^\circ\text{C}$ of Range
Zero	$\pm 60 \mu\text{V}/^\circ\text{C}$
Long-term stability of linearity	$\pm \frac{1}{2}$ LSB typ
<b>Conversion time</b>	
ADC-8QU	6.4 $\mu$ sec max (from trailing edge of convert
10QU	8 $\mu$ sec max command to "1-0" change of
12QU	16 $\mu$ sec max status signal)
<b>Input voltage ranges</b>	$\pm 5\text{V}, \pm 10\text{V}, 0 \text{ to } +10\text{V}, 0 \text{ to } +5\text{V}, \pm 2.5\text{V}$
<b>Input impedance</b>	
Buffer	100M $\Omega$ , min
Direct	
0 to +10V, or $\pm 5\text{V}$	5k $\Omega$
0 to +5V, or $\pm 2.5\text{V}$	2.5k $\Omega$
$\pm 10\text{V}$	10k $\Omega$
<b>Input trigger</b> (Convert command)	Positive pulse, 100 nsec wide, min Leading edge ("0" to "1") resets previous data Trailing edge ("1" to "0") initiates conversion TTL/DTL compatible, 1 TTL/DTL load
<b>Output signals</b>	Parallel, TTL/DTL compatible, 4 TTL/DTL loads/bit Serial, RZ, TTL/DTL compatible, 1 TTL/DTL load
<b>Output codes</b>	
Unipolar	Binary, BCD (positive true)
Bipolar	Offset-binary, 2s complement (positive true)
<b>Output levels</b>	
"0"	$< +0.4\text{V}$ TTL/DTL compatible
"1"	$> +2.4\text{V}$
<b>Status</b>	"1" during conversion, 10 TTL/DTL loads
<b>Status complement</b>	"0" during conversion, 4 TTL/DTL loads
<b>Power-supply requirements</b> (Separate analog and digital grounds)	+15V $\pm 3\%$ @ +25mA Analog -15V $\pm 3\%$ @ -50mA +5V $\pm 5\%$ @ 300mA Digital $\pm 0.002\%/ \% \Delta V$ s ( $\pm 15\text{V}$ only)
<b>Power-supply sensitivity</b>	
Temperature range	
Operating	0°C to +70°C*
Storage	-55°C to +125°C

Tabla A.2. Especificaciones típicas de un convertidor A/D.

### **Tiempo de apertura**

Es el intervalo de tiempo entre el instante en que se da la señal de **CONVIERTE** y el instante en que se obtiene la señal digitalizada.

### **Tiempo de conversión**

También conocida como velocidad de conversión; se especifica en términos de bits por segundo o conversiones completas por segundo. Se define como el tiempo que tarda el conversor en realizar una conversión completa.

### **Monotonicidad**

Un convertidor monotónico es aquel cuyos pasos de salida aumentan o permanecen lo mismo para incrementos en la señal de entrada, cuando el convertidor se salta algunos pasos o valores, o los pierde, se dice que es no monotónico.

## APENDICE B

### Grabación Magnética

La Grabación Magnética es ampliamente utilizada para almacenar grandes cantidades de información. El medio de almacenamiento es una capa delgada de óxido magnético que se coloca sobre un soporte o transporte como puede ser un tambor de aluminio, una cinta plástica o un disco. El soporte facilita la transportación mecánica del medio de almacenamiento. El óxido es localmente magnetizado por una cabeza de escritura o lectura.

Los patrones de flujo magnético generados por la cabeza de grabación se mantienen en el material magnético y pueden ser detectados por una cabeza reproductora o de lectura posteriormente.

En la figura B.1 se muestra un arreglo básico del principio de Grabación Magnética.

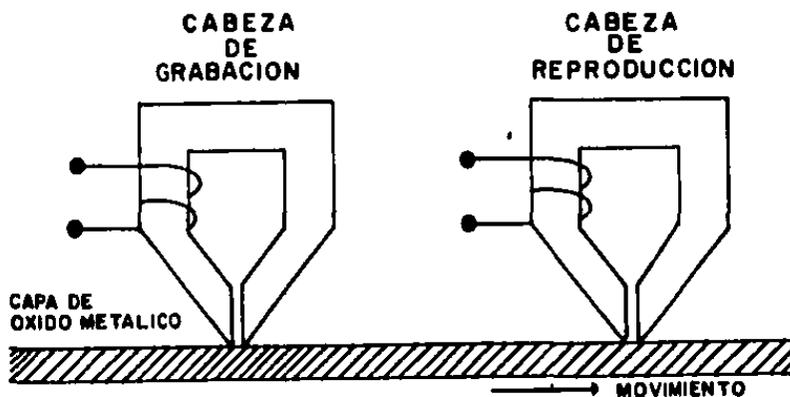


Figura B.1. Principio de Grabación Magnética.

Una corriente a través de la cabeza de grabación genera un campo magnético relativamente fuerte en la vecindad del material magnético, este campo penetra el óxido metálico y satura al material con un flujo magnético en una dirección que es dependiente de la dirección de la corriente de escritura. Si la dirección de la corriente de escritura se invierte mientras el medio de almacenamiento pasa, esa parte del material se magnetiza en una dirección, mientras que la otra parte se magnetiza en la dirección opuesta. Las primeras dos trazas de la figura B.2 muestran esquemáticamente esta inversión de flujo.

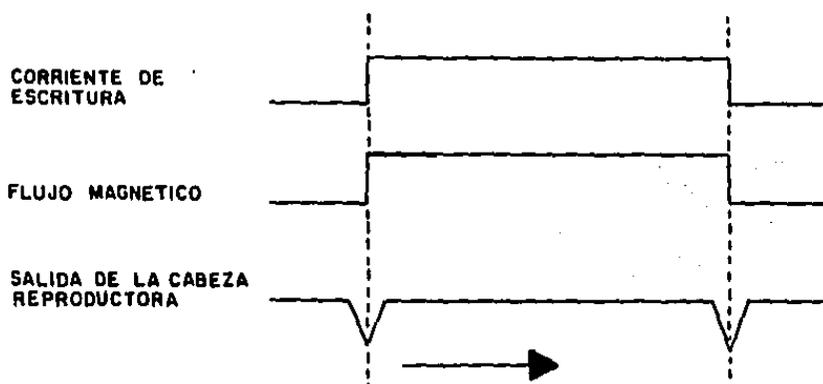


Figura B.2. Formas de onda de grabación y reproducción

Si la corriente de escritura se invierte por un cierto tiempo, esto causa que la dirección del flujo en el material se cambie una distancia correspondiente. Si esa parte del material cruza por la cabeza de lectura, esto causa un cambio en el flujo del núcleo de la cabeza de lectura, lo cual induce un voltaje en el devanado de lectura como se ilustra en la última traza de la figura B.2.

Existen cinco modos de grabación que más frecuentemente se utilizan para la representación digital por patrones de flujo.

**Modo BIPOLAR.** En este modo se graban pulsos de polaridad opuesta para "0's" y "1's" mientras el flujo permanece neutral entre ellos. Este modo tiene la ventaja de que se sabe, sin duda, donde empieza y donde termina un dígito ya que hay un pulso por cada período de bit. Esto es importante ya que la velocidad mecánica del dispositivo de almacenamiento puede variar durante la reproducción. Una desventaja es su relativamente baja amplitud (50% menos que los otros modos de grabación).

**Modo REGRESO A ZERO (Rz).** En este modo se graban pulsos de polaridad fija para los "1's", mientras que el flujo se invierte para todos los demás tiempos. No es necesario borrar ya que el medio de grabación puede ser saturado magnéticamente por la cabeza de grabación en cualquier dirección. Sin embargo la circuitería de grabación se simplifica mucho para ciertas aplicaciones si una cabeza de borrado pone al medio de grabación en el estado "zero".

La información grabada en el modo de regreso a cero se hace usualmente con el llamado "SPROCKET" o sea que se graba un patrón de "1's" en un track por separado en sincronía con la información para determinar el tiempo de duración de los bits de información.

**Modo NO REGRESO A ZERO (NRZ).** Este es uno de los modos más simples de grabación ya que el flujo permanece en una o en otra dirección durante el período completo del bit, dependiendo de qué dígito va a ser grabado. La ventaja de este modo

comparada con la del Modo de REGRESO A ZERO y el BIPOLAR, es un menor número de cambios de flujo en el mismo espacio. Esto permite una mayor densidad de almacenamiento y más altas velocidades de transferencia de información, este modo se utiliza con una señal de "reloj" grabada en un canal por separado.

**Modo NO REGRESO A ZERO MARCADO (NRZ-MARK).** En este modo se graba un cambio de flujo por cada "uno" y no hay cambio de flujo para un "cero". La dirección del flujo por si sola no es de gran significancia, tiene la ventaja de que una inversión puede ocurrir cuando los puntos de conexión de las cabezas de grabación o reproducción se polarizan accidentalmente en inversa o cuando una cinta magnética grabada en un equipo es reproducida en otro. Esta ventaja y la baja frecuencia de cambios de polaridad comparado con el Modo de REGRESO A ZERO, hacen de este modo de grabación el más utilizado.

**Modo PARTIDOR DE FASE, DOBLE FASE o MANCHESTER.** Este modo tiene dos polaridades por cada bit. Como se muestra en la figura C.3 un "cero" se representa por una bajada y luego una subida, mientras que para un "uno" se tiene una subida y luego una bajada. El valor promedio del voltaje de corriente directa de la señal en este arreglo es cero, tiene la ventaja de que los elementos de lectura o transmisión no tienen que manejar DC.

La velocidad a la cual se puede grabar y reproducir depende del modo que se utilice, la velocidad mecánica y la densidad que se desea. Normalmente se graba a 150 pulgadas por segundo en cintas magnéticas. La velocidad en los tambores magnéticos es superior.

Las densidades de grabación están en el rango de 100 a 1000 bits por pulgada.

La figura B.3 ilustra los diferentes modos de grabación mencionados para el patrón digital 0100110.

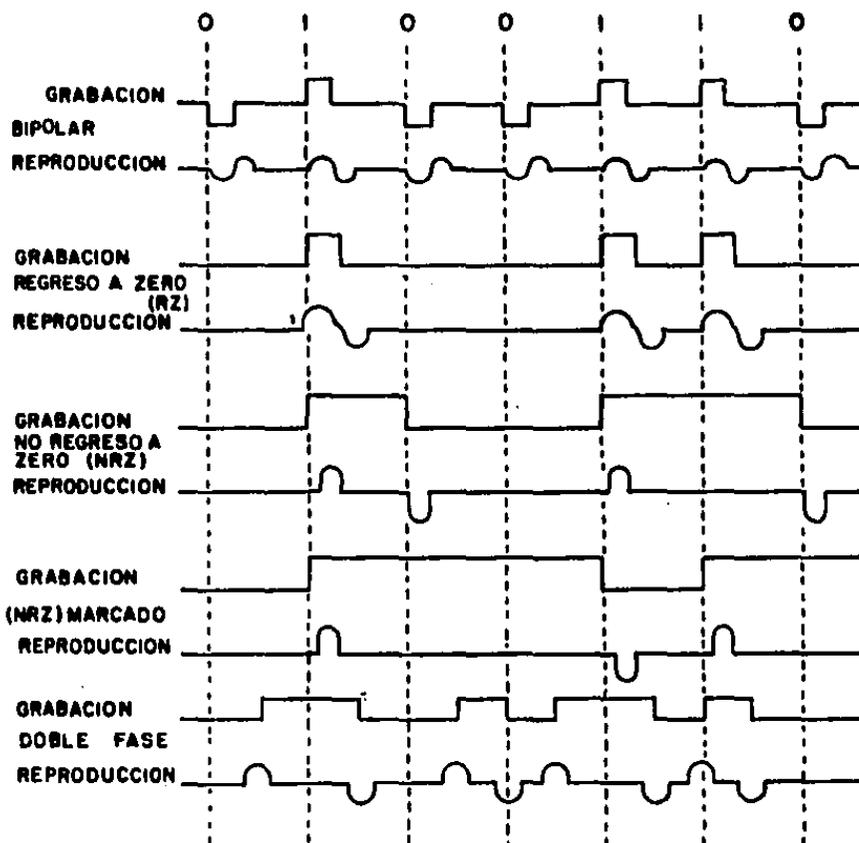


Figura B.3. Formas de onda de los diferentes modos de grabación para el patrón 0100110.

## APENDICE C

### Motores de Pasos

Los motores de pasos son dispositivos utilizados para convertir pulsos eléctricos en movimientos discretos mecánicos de rotación.

Existen dos tipos de motores de pasos: Mecánicos y Magnéticos, los primeros que utilizan relevadores y arreglos de pivotes, y los segundos que trabajan con arreglos de campos magnéticos.

Dentro de los motores de pasos magnéticos se tienen los de Imán Permanente (PM)\* y los de reluctancia variable (VR)\*. En un motor de imán permanente el campo magnético del estator ejerce una fuerza sobre el imán permanente del rotor. En las de reluctancia variable se utiliza un rotor de ferrita multidentada que interactúa con un estator electromagnético.

En la figura C.1 se ilustra la construcción de un motor de pasos tipo PM y VR respectivamente.

---

\* Siglas en inglés (PERMANENT MAGNET) PM y (VARIABLE RELUCTANCE) VR.

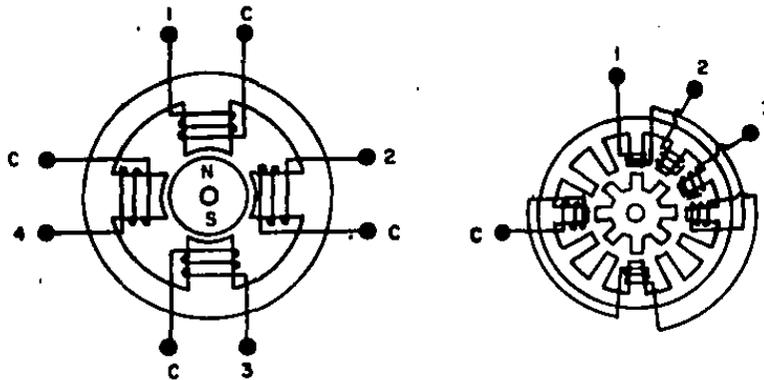


Figura C.1. a) Construcción de un motor tipo PM de  $90^\circ$  por paso y cuatro fases.

b) Construcción de un motor de pasos tipo VR de  $15^\circ$  por paso y tres fases.

### Modos de Excitación

Por su controlabilidad los motores de pasos ofrecen al diseñador de sistemas una flexibilidad poco usual en su modo de excitación. Las opciones incluyen máxima potencia de salida, máxima eficiencia y la mayor simplicidad en la electrónica.

Dependiendo de los devanados del estator y las características deseadas, un motor de pasos puede excitarse en diferentes formas: dos fases y dos fases modificada; tres fases y tres fases modificada; cuatro fases y cuatro fases modificada. Refiriéndonos a "fases" a los devanados del estator y "modificada" a que dos devanados son excitados simultáneamente.

En las tablas C.2, C.3 y C.4 respectivamente presentan los modos de excitación antes mencionados y la secuencia de movimiento del rotor.

MODO DE EXCITACION	DEVANADOS ENERGIZADOS	POSICION DEL ROTOR	DIRECCION DEL MOVIMIENTO
DOS FASES (Conmutando +V y -V)	3-1	f	INICIO
	6-4	h	CONTRA MANECILLAS
	1-3	b	"
	4-6	d	"
DOS FASES MODIFICADO (Conmutando +V y -V)	3-1 y 6-4	g	INICIO
	1-3 y 6-4	a	CONTRA MANECILLAS
	1-3 y 4-6	c	"
	3-1 y 4-6	e	"

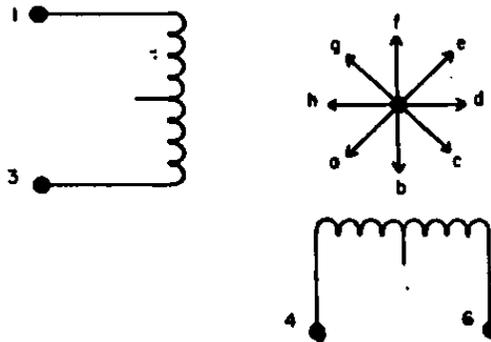


Figura C.2. Tabla de secuencia de excitación y posición del rotor para el modo de excitación de dos fases y dos fases modificada.

MODO DE EXCITACION	DEVANADOS ENERGIZADOS	POSICION DEL ROTOR	DIRECCION DEL MOVIMIENTO
TRES FASES (Conmutando únicamente +V)	2-1	a	CONTRA MANECILLAS
	3-4	b	"
	5-6	c	"
TRES FASES MODIFICADO (Conmutando únicamente +V)	2-1 y 3-4	b	CONTRA MANECILLAS
	3-4 y 5-6	d	"
	5-6 y 2-1	f	"

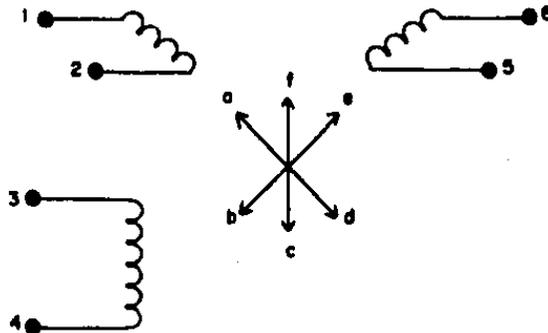
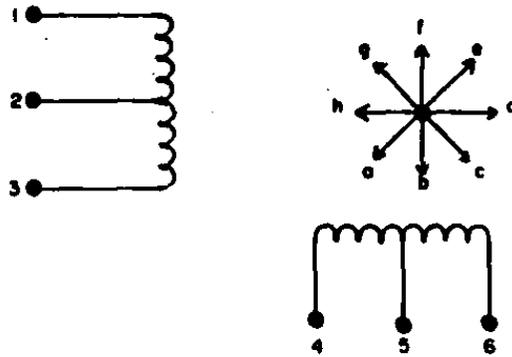


Figura C.3. Tabla de secuencia de excitación y posición del rotor para el modo de excitación de tres fases y tres fases modificada.

MODO DE EXCITACION	DEVANADOS ENERGIZADOS	POSICION DEL ROTOR	DIRECCION DEL MOVIMIENTO
CUATRO FASES (Conmutando únicamente +V)	2-1	f	INICIO
	5-4	h	CONTRA MANECILLAS
	2-3	b	"
	5-6	d	"
CUATRO FASES MODIFICADO (Conmutando únicamente +V)	2-1 y 5-4	g	INICIO
	2-3 y 5-4	a	CONTRA MANECILLAS
	2-3 y 5-6	c	"
	2-1 y 5-6	e	"



**Figura C.4. Tabla de secuencia de excitación y posición del rotor para el modo de excitación de cuatro fases y cuatro fases modificada.**

## APENDICE D

### Algoritmo de la Máquina de Estado (carta ASM, Algorithmic State Machine)

La carta ASM es un lenguaje de diagrama de flujo que tiene una gran similitud con un diagrama de flujo convencional de "software"; la carta ASM expresa el concepto de una secuencia de intervalos de tiempo en una forma precisa, el diagrama de flujo de "software" describe solamente la secuencia de eventos pero no el tiempo de duración.

El algoritmo de la máquina de estados se mueve a través de una secuencia de estados, basados en la posición del algoritmo de control (el estado) y los valores de las variables de entrada, el concepto de estado implica que se tenga memoria de condiciones pasadas suficiente para determinar las condiciones futuras.

Un algoritmo es un procedimiento o secuencia de pasos que permite ejecutar una tarea; el algoritmo de control dentro del diseño digital, juega un papel importante y es por ello que se requiere de una buena notación para expresar el algoritmo abstracto y soportarlo para su implementación en "hardware". Para el diseño de circuitos síncronos la técnica de la carta ASM es la mejor notación.

El control de tiempo está dado por un reloj maestro, siendo lo más conveniente utilizar una señal periódica de onda cuadrada, el evento del reloj que dispara las transiciones de estado y otras acciones del sistema es llamado el lado activo y en sistemas síncronos es usualmente el lado de subida (Low → High). Cada transición activa del reloj causa un

cambio de estado, la carta ASM describe el algoritmo de control de tal forma que dado el estado presente, el siguiente estado es determinado sin ambigüedades para cualquier valor de las variables de entrada.

Los símbolos utilizados en una carta ASM son los siguientes:

**Estado.** El símbolo de estado es un rectángulo con su nombre simbólico encerrado en un círculo en el lado superior izquierdo.

SET

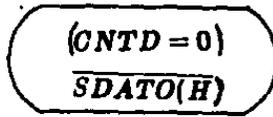


**Salidas. A) No condicionales.** Para indicarlas se coloca dentro del rectángulo que representa al estado una serie de mnemónicos que se refieren a las salidas que aparecen en el estado.

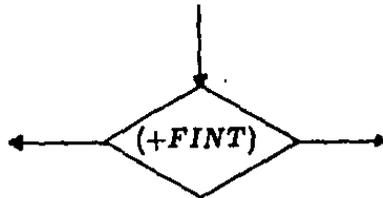
CD4

(+FINT)  
SYN (L)

**B) Condicionales.** Son salidas que ocurren solamente cuando ciertas condiciones de entrada existen, se representan por medio de un óvalo con los mnemónicos de las salidas dentro de él.



**Decisiones.** Para determinar el siguiente estado, en ocasiones se requiere evaluar una o más entradas, el símbolo es el mismo diamante utilizado en diagramas de flujo de "software".



Una vez que ha sido expresado el algoritmo de control de una carta ASM, se pasa el control de flujo a "hardware", para implementar el circuito; existen distintas opciones de selección en relación a los elementos de memoria que se vayan a utilizar, pudiendo ser utilizados flip-flops, contadores, registros de corrimiento, Rom's y Ram's, y multiplexores.

La opción que se escoja depende del análisis del circuito a diseñar, la tecnología de circuitos integrados a utilizar y la disponibilidad de los componentes en el mercado. De acuerdo a la selección de los elementos de memoria, el procedimiento a seguir una vez que se tiene la carta ASM hasta diseñar el circuito tiene algunas variaciones.

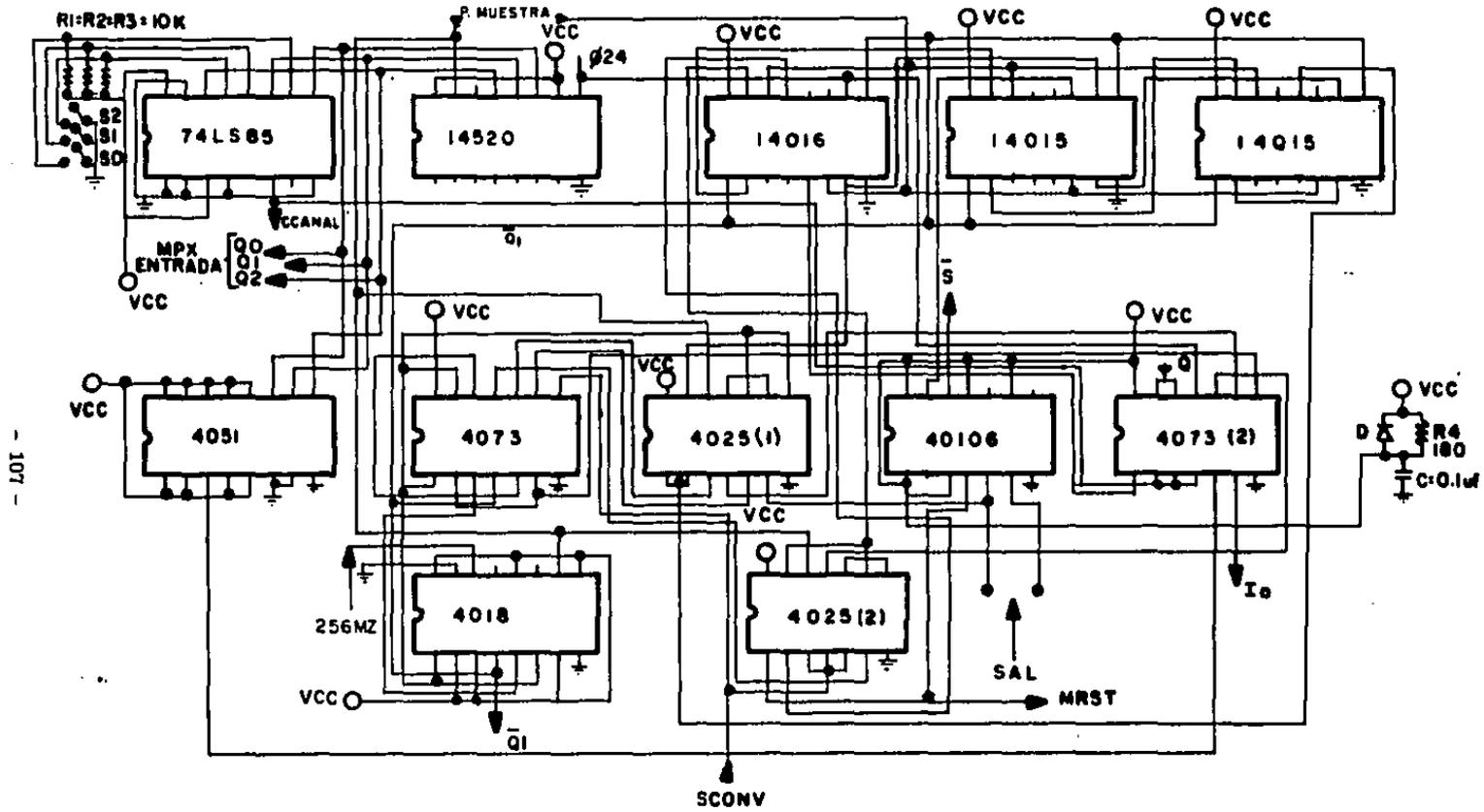
La secuencia de pasos en el diseño de un controlador es la siguiente:

1. Elaborar diagrama de bloques, indicando entradas y salidas del controlador.
2. Hacer la carta ASM del controlador.

- 3. Desarrollar la tabla de estados a partir de la carta ASM.**
- 4. Hacer los mapas de Karnaugh y ecuaciones para las entradas a los elementos de memoria que se decida utilizar, a partir de la tabla de estados.**
- 5. Diseñar el circuito con base a los mapas de Karnaugh.**

## **APENDICE E**

### **Diagramas eléctricos y distribución de componentes sobre las tarjetas de circuito Impreso**



- 107 -

Figura E.1. Diagrama eléctrico del bloque de control, multiplexor de la señal de dato, programador y contador de canal del módulo de adquisición y grabación.

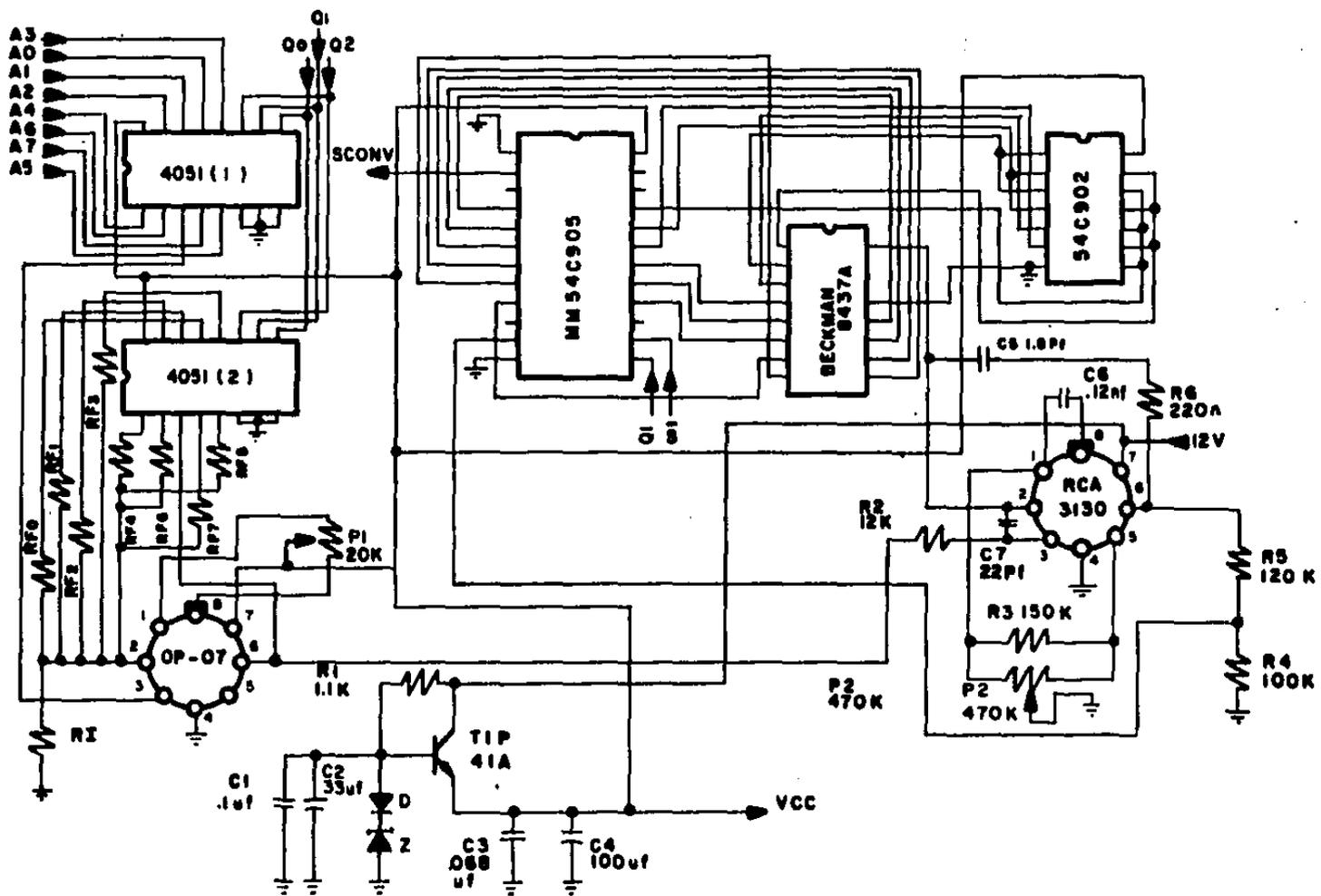


Figura E.2. Diagrama eléctrico del multiplexor de entrada y convertidor A/D

del módulo de adquisición y grabación.

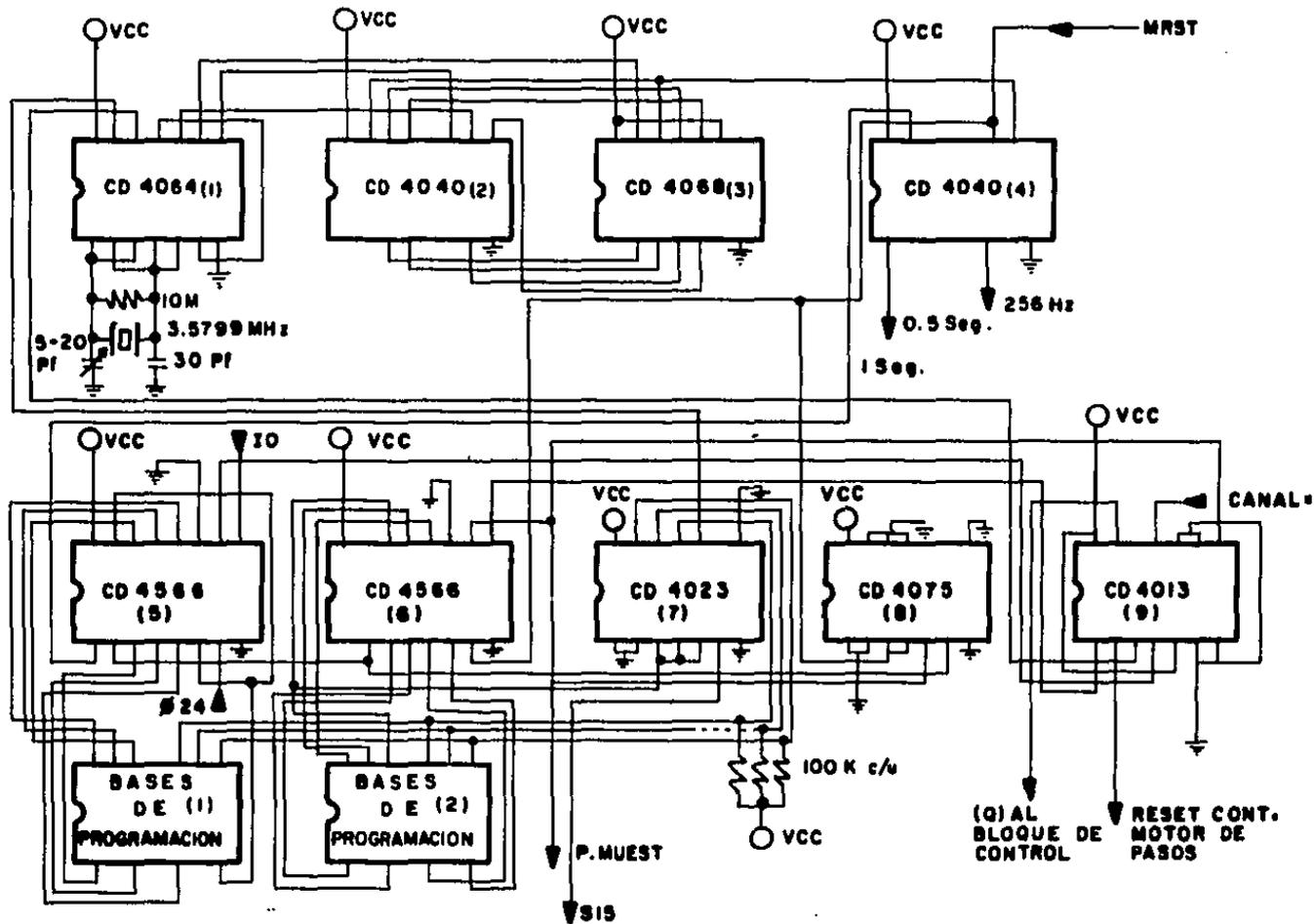


Figura E.3. Diagrama eléctrico del bloque de reloj y generador de tiempos del módulo de adquisición y grabación.

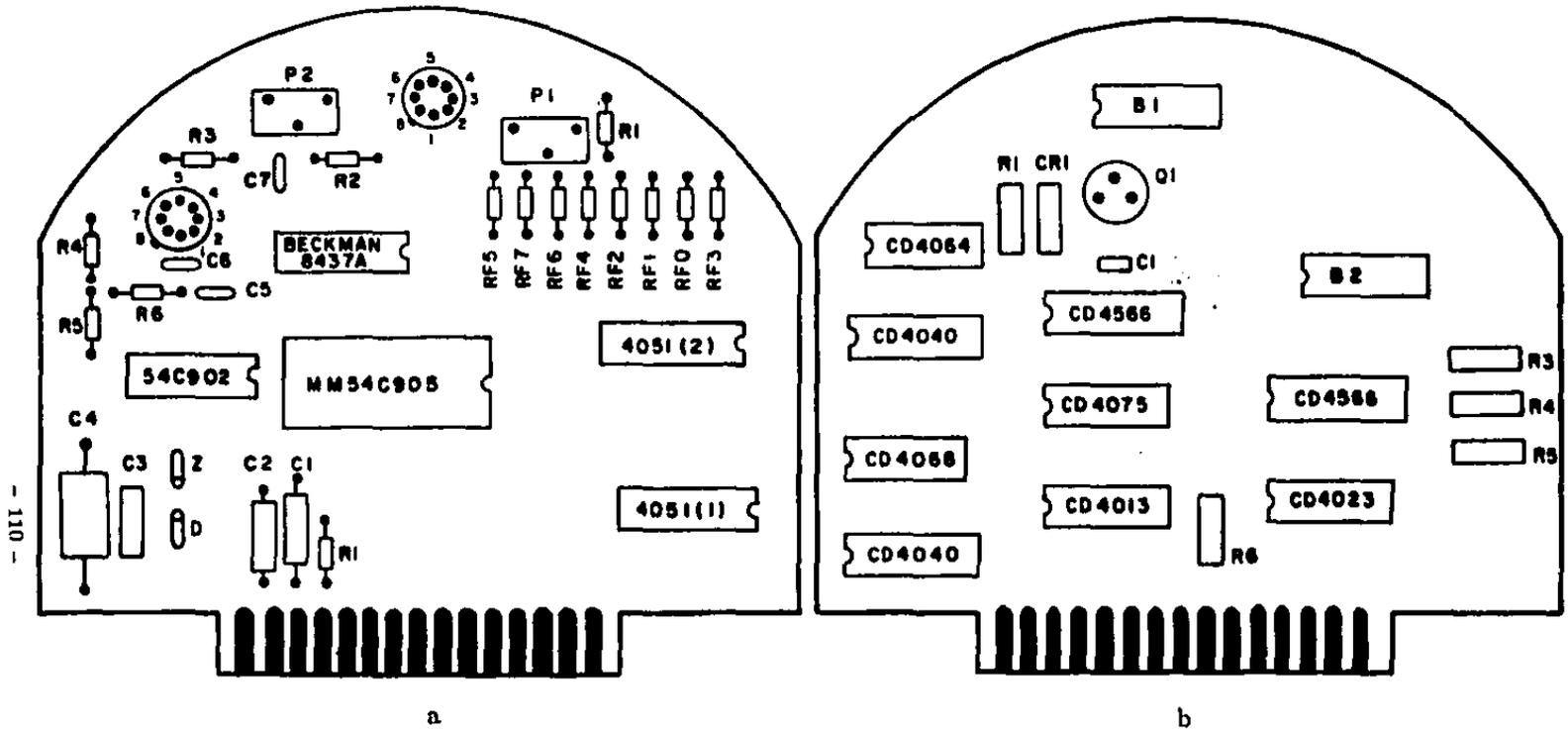


Figura E.4. Distribución de componentes sobre las tarjetas de circuito impreso del módulo de adquisición y grabación de datos. a) Multiplexor de entrada y convertidor A/D.

b) Reloj y generador de tiempos.

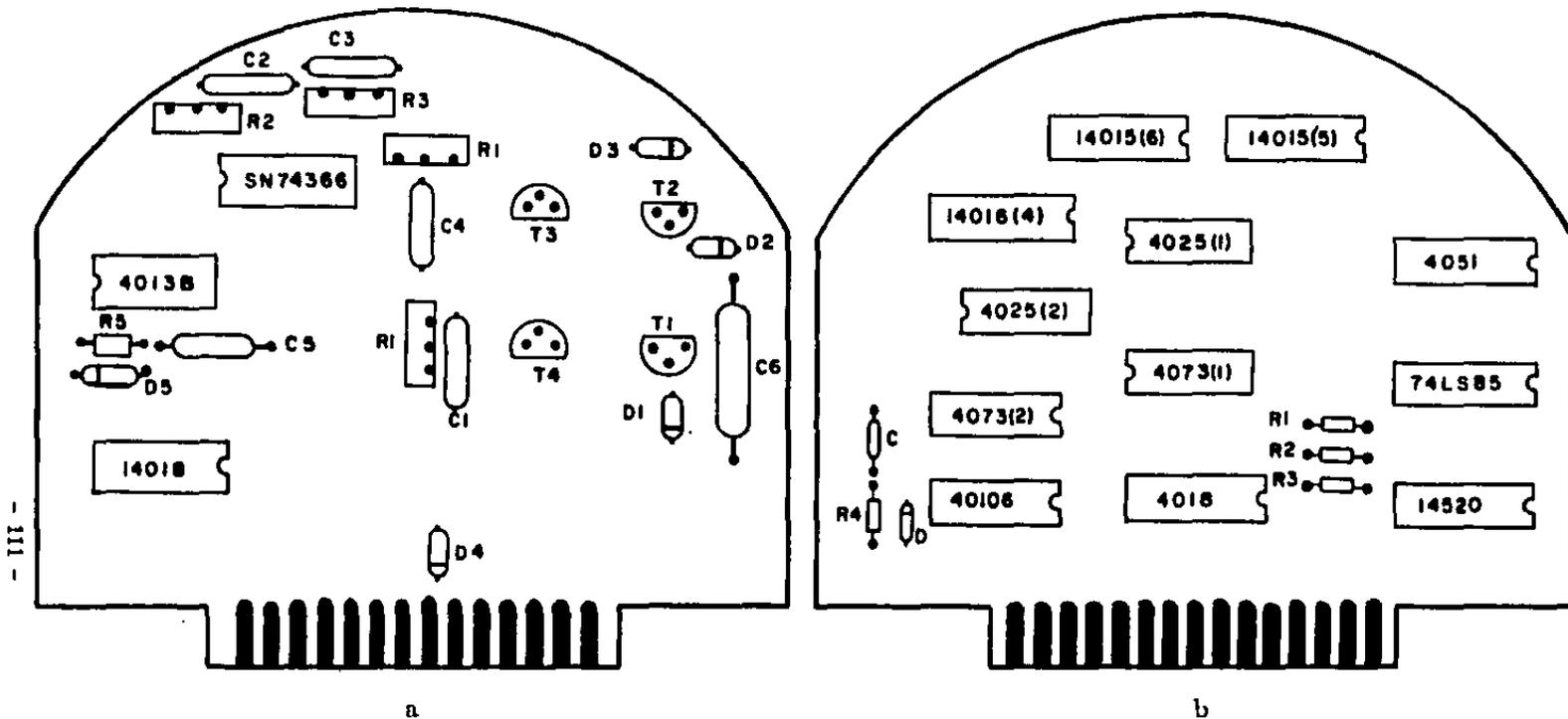


Figura E.5. Distribución de componentes sobre las tarjetas de circuito impreso del módulo de adquisición y grabación de datos. a) Control del motor de pasos. b) Control, multiplexor de la señal de dato, programador y contador de canal.

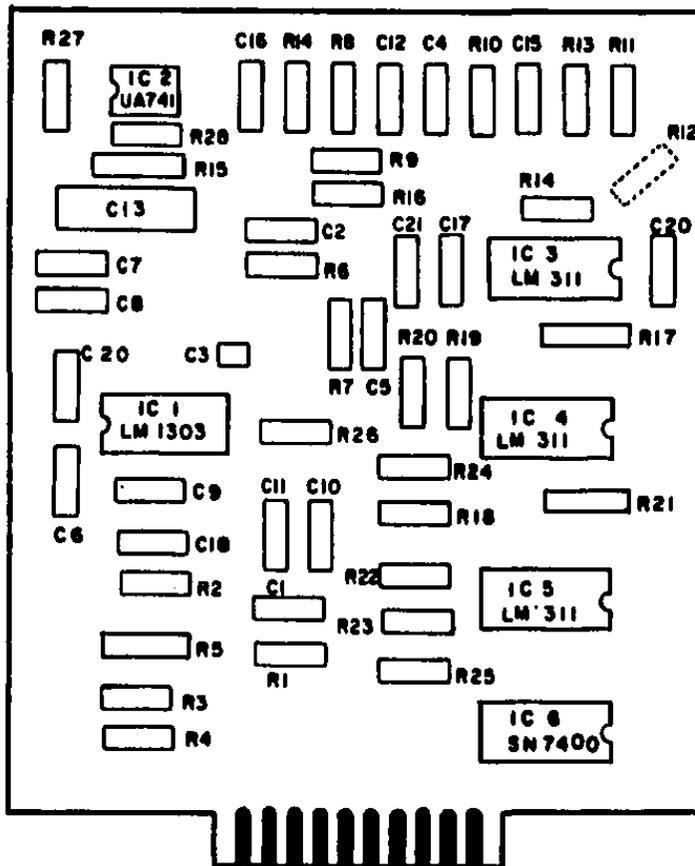


Figura E.6. Distribución de componentes sobre la tarjeta de circuito impreso del acondicionador de señal del módulo de recuperación y transmisión de datos.

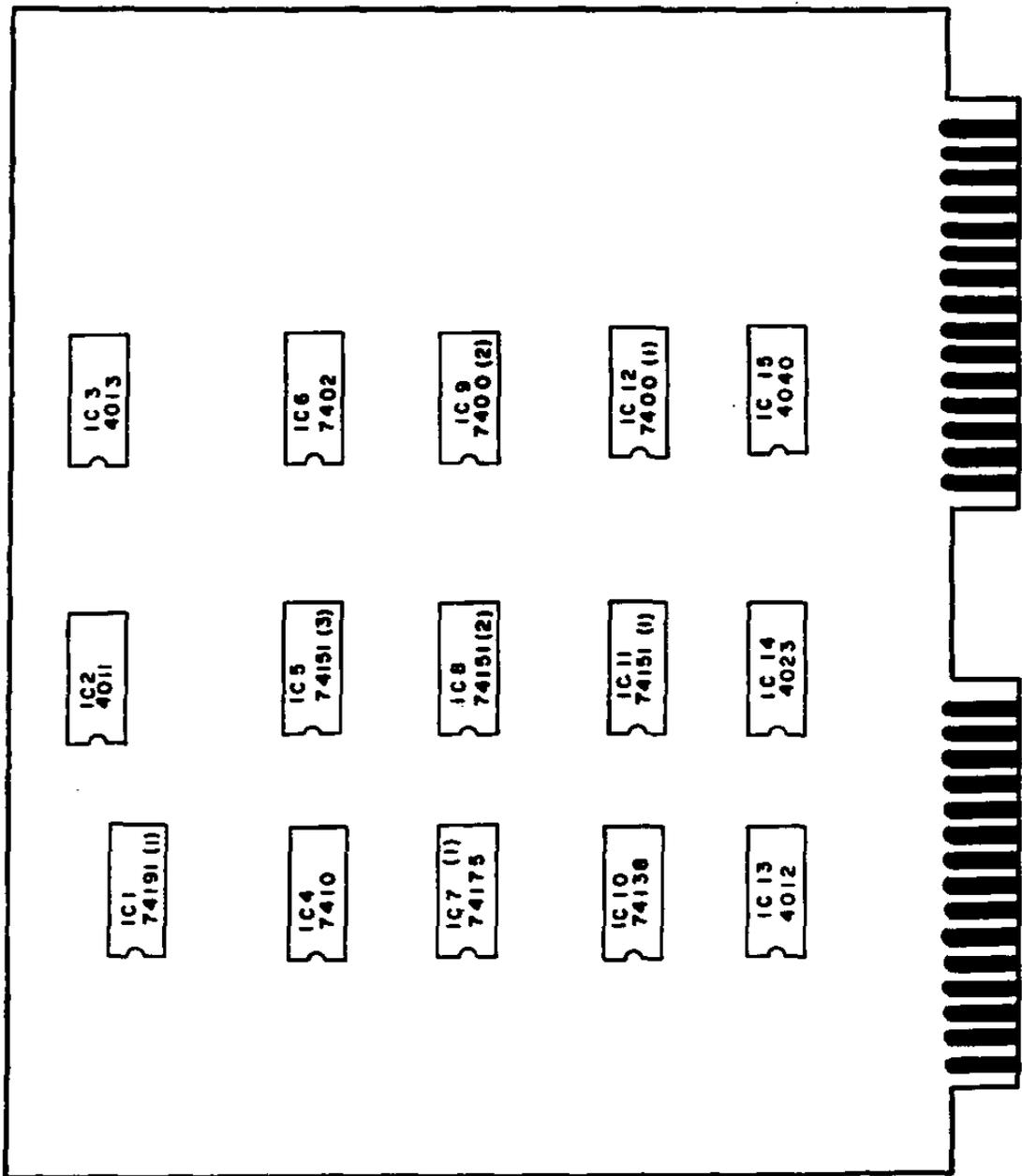


Figura E.7. Distribución de componentes sobre la tarjeta de circuito impreso del bloque de control, contador de canal y contador de datos del módulo de recuperación y transmisión de datos.

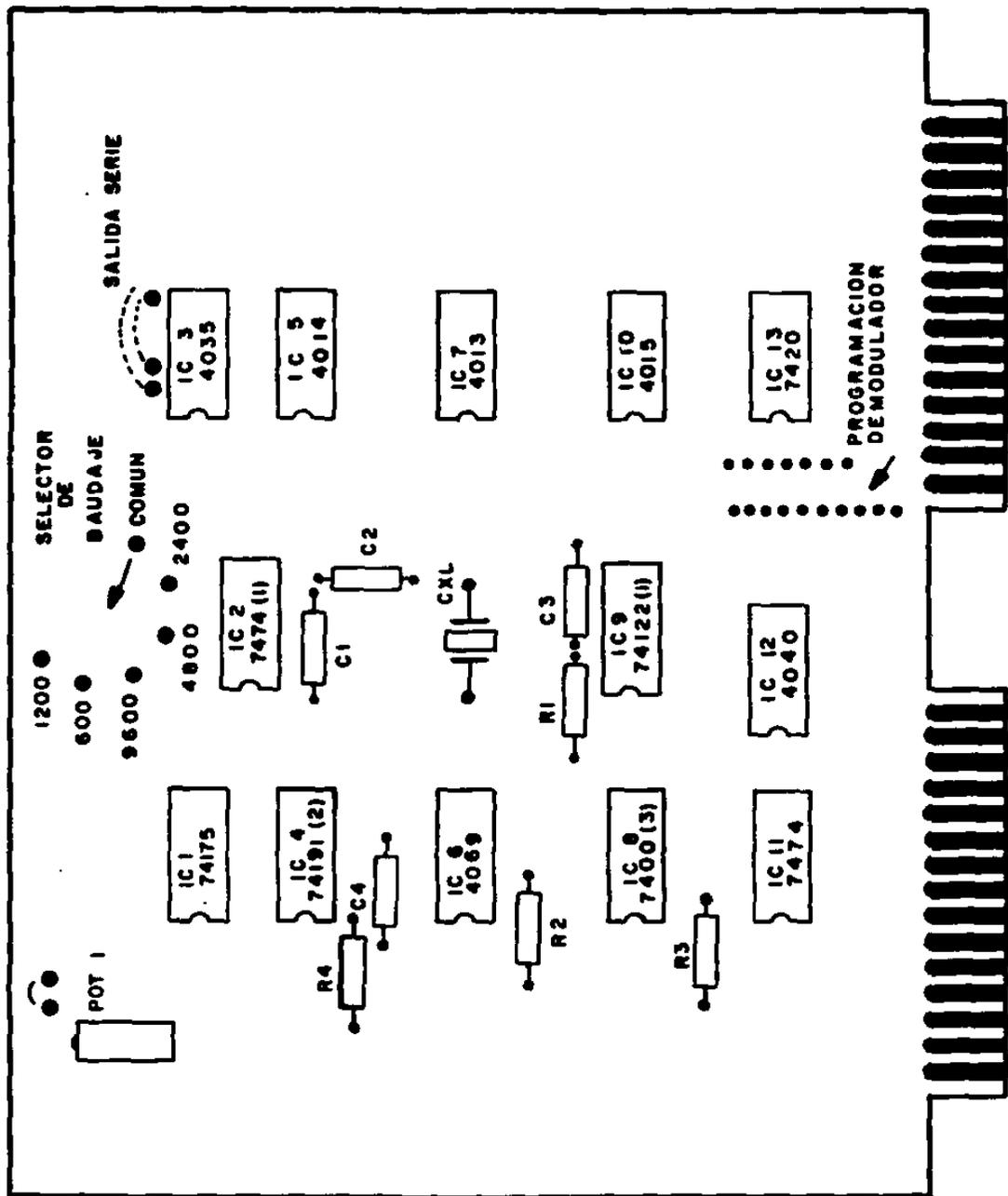


Figura E.8. Distribución de componentes sobre la tarjeta de circuito impreso del bloque demodulador, registro y transmisión de datos del módulo de recuperación y transmisión de datos.

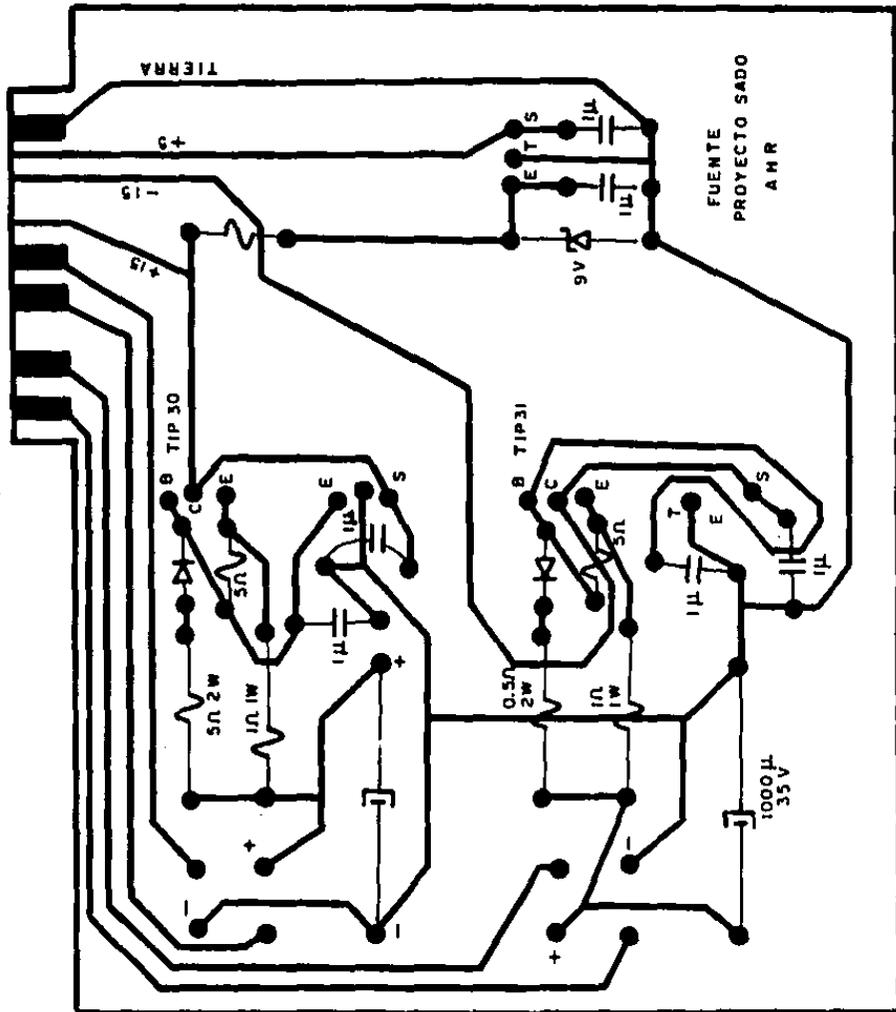


Figura E.9. Distribución de componentes sobre la tarjeta de circuito impreso de la fuente de alimentación del módulo de recuperación y transmisión de datos.

## **Referencias Bibliográficas**

1. **AANDERAA Instruments**  
RCM4/5 Recording Current Meter  
Data Collecting Instruments for Land, Sea and Air  
Fanaveign 13, P.O. Box 160, 5051 Bergen, Norway.
2. **NEIL BROWN INSTRUMENTS SYSTEMS, INC.**  
Smart ACM Model  
1104 Route 28A, Cataumet, Ma. USA.
3. **SEA DATA**  
635-7H and 635-7 Tsunami Recorder  
Sea Data Corporation, One Bridge Street, Newton, Ma. 02158, USA.
4. **S.S. EATON**  
RCA Digital Integrated Circuits  
Application Note ICAN-6086  
J.A. Connelly.
5. **ANALOG INTEGRATED CIRCUITS**  
Devices, Circuits, Systems and Applications  
Harris Semiconductors. 1975.
6. **NATIONAL SEMICONDUCTOR CORPORATION**  
CMOS Integrated Circuits Manual  
1982.
7. **DESIGN OF DIGITAL COMPUTERS. AN INTRODUCTION**  
Hans W. Gschwind, Edward J. Mc. Clus Key  
Springer-Verlang, 1975.
8. **WESTERN DIVISION IMC MAGNETICS CORP.**  
Steppers and Controls  
TORMAX  
6058 Walker Avenue, Maywood, Ca. 90270.

9. **THE ART OF ELECTRONICS**  
P. Horowitz and W. Hill  
Cambridge University Press.  
1980.
10. **PRACTICAL DIGITAL AND DATA COMMUNICATIONS WITH LSI APPLICATIONS**  
Paul Bates, P. Eng.  
Prentice-Hall, Inc.  
1987.
11. **VOLTAGE REGULATOR HANDBOOK**  
National Semiconductor Corp.  
1982.
12. **Non Linear Circuits Handbook**  
Designing with Analog Function Modules and IC's  
Daniel H. Sheingold  
Analog. Devices Inc. 1976.
13. **Digital Hardware Design**  
John B. Peatman  
McGraw Hill. 1980.
14. **Operational Amplifiers Design and Applications**  
Jerald G. Graeme, Gene E. Tobey, Laurence P. Huelsman  
McGraw Hill Kogakusha, Ltd. 1971.
15. **Analog-Digital Conversion Notes**  
Daniel H. Sheingold  
Analog Devices, Inc.  
1977.
16. **Sea Bird Electronics, Inc. Catalog**  
4735 W. Mercer Way, Mercer Island Wa. 98040.
17. **Ferrant, O.R.E., Inc. Catalog.**  
P.O. Box 709, Falmouth, Ma. 02541, USA.

18. **General Oceanics, Inc. Catalog.**  
**1295NW 163 Rd. Street**  
**Miami, Florida 33169, USA.**