

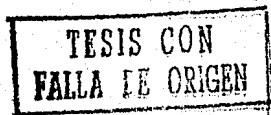
870117

UNIVERSIDAD AUTONOMA DE GUADALAJARA

Incorporada a la Universidad Nacional Autónoma de México

FACULTAD DE INGENIERIA MECANICA ELECTRICA

352
Ejeses.



**CONTROL DE FRECUENCIA VARIABLE PARA UN
MOTOR TRIFASICO DE INDUCCION;
ETAPA DE POTENCIA**

TESIS PROFESIONAL

**QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICO**

PRESENTA:

ANDRES RUIZ MAPULA

GUADALAJARA, JAL., 1988



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INTRODUCCION.

I N T R O D U C C I O N .

El uso de los motores de inducción, ya sean trifásicos o monofásicos, ha sido de gran popularidad en la industria, siendo usados como propulsor de bandas transportadoras, ventiladores, bombas, máquinas herramientas, etc.; esta popularidad se debe a los relativos bajos costos de producción y operación inherentes a este tipo de motores, así como su construcción robusta y a su fiabilidad.

Pero existe un gran problema para los motores de inducción al momento de existir una necesidad de velocidad variable en algún proceso.

La velocidad de un motor de inducción depende de dos variables, de la amplitud y de la frecuencia de su voltaje de excitación. A menor amplitud y frecuencia, menor velocidad y a mayor amplitud y frecuencia, mayor velocidad. Es por esto que necesitamos un sistema que nos maneje tanto la amplitud como la frecuencia del voltaje de excitación.

Una parte de este sistema se desarrollará en esta tesis, la etapa de potencia.

A N T E C E D E N T E S

A N T E C E D E N T E S .

El problema de llevar a cabo un control de frecuencia - variable para un motor de inducción trifásico, es desarrollado por cuatro personas, a cada una de las cuales se les encomendó una parte de dicho control. Para obtener una idea general del control, se dará una breve explicación del mismo - a continuación.

Las curvas típicas de velocidad/torque para un motor de inducción manejado a diferentes frecuencias son mostradas en la figura #1.

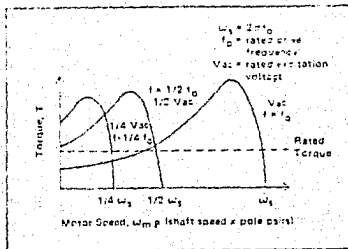


figura # 1

Hay que notar que la excitación del voltaje, V_{ac} , es reducido en la misma proporción que se reduce la frecuencia de mando, abajo de la frecuencia normal de operación (generalmente 60Hz.). Esta relación, entre voltaje y frecuencia, - mantiene constantes la corriente magnetizante y el flujo de aire a través del motor. Sin embargo, esta técnica de re-

Relación constante entre voltaje y frecuencia no puede ser usada para frecuencias sobre la frecuencia normal de operación.

La operación del motor a frecuencias mayores que la normal (f_0) puede ser obtenida solo si los datos de placa para voltaje de excitación y potencia de salida no son excedidos.

Esto puede ser realizado conservando constante el voltaje de excitación al trabajar con frecuencias arriba que la normal (f_0) y cargando al motor con una potencia igual o menor que la normal (dato de placa).

Las condiciones de operación deseadas para el motor, — son mostradas en la figura #2.

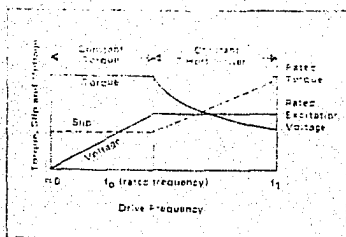


figura # 2

De aproximadamente cero hasta f_0 , es usado el mando de la relación constante voltaje-frecuencia, obteniendo así un torque constante de salida.

Sobre la frecuencia f_0 , el voltaje de excitación es conservado constante y el valor de potencia normal puede ser obtenida. El límite máximo para la frecuencia de mando, es forzado por la construcción del motor y depende del esfuerzo de inercia que puedan soportar el rotor y el estator.

En general, el constructor del motor puede ser consultado para conocer la compatibilidad de un motor en particular con un mando de frecuencia variable.

El mando de frecuencia variable que se desarrolló, maneja motores trifásicos de inducción de 1.5Hp y 208 V, por ser uno de los mas utilizados en la industria.

En orden de obtener las condiciones deseadas de operación (Fig.2) del motor, el sistema de mando debe ser capaz de controlar independientemente ambas características del motor, como son: el voltaje de excitación y la frecuencia de mando. Esto es usualmente realizado utilizando una configuración del sistema en que la línea trifásica de voltaje es transformada en un voltaje cd variable.

El sistema de mando entonces invierte el voltaje cd variable para obtener así la frecuencia variable.

La transformación de la línea ca de voltaje en una variable cd , puede ser realizada por cualquiera de las configuraciones mostradas en la figura #3a y #3b.

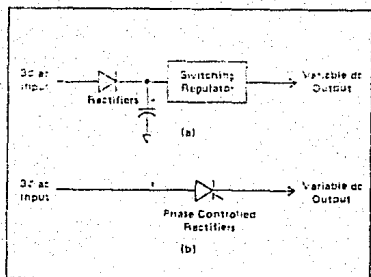


figura # 3

El primer metodo, es un rectificador de onda completa - de la línea de voltaje ca, alisando el resultado por medio - de un filtro capacitivo y usando un regulador de switcheo - que produce una salida variable cd como se muestra en la fi- gura. 3a. Este metodo tiene la ventaja de ser altamente efi- ciente y no requiere componentes voluminosos para el filtra- do.

Las desventajas son: posee un factor de corriente de lf nea pobre, mucho ruido de alta frecuencia y tiene manejo de fuerza en tres partes: 1) entrada rectificador, 2) elementos de switcheo y 3) salida del regulador de switcheo.

El segundo metodo mostrado en la figura 3b, usa rectifi- cadores controladores de fase para obtener la salida cd va- riable. Este metodo, es parecido al del regulador de swit- cheo, pero es mas eficiente, aunque requiere componentes de - filtrado mas voluminosos, pero el factor de corriente de lf-

nea es mayor y solo tiene manejo de fuerza una sola vez.

Una vez que obtenemos la fuente de voltaje cd variable, el siguiente sistema requiere que el voltaje cd variable sea invertido en una forma de onda ca de frecuencia variable para el motor. Esta forma de onda debe ser sinusoidal, o tan cerrada como sea posible, para minimizar los componentes armónicos y por lo tanto, el calentamiento producido por los mismos en el motor.

La forma de onda de salida de los inversores puede ser una de las dos formas mostradas en la figura #4.

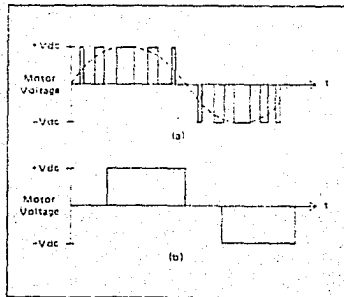


figura # 4

La forma de onda de la fig.4a es un pulso con anchura modulada senoidalmente, cargado por un tres de pulsos. Esta es una clase de onda con bajo contenido armónico, que produce pocas pérdidas en el motor.

Aunque, las pérdidas en el switcheo de los semiconductores pueden ser altas y el circuito para generar este tipo de onda puede ser bastante complejo.

Una forma de onda mas sencilla de generar, se muestra en la fig. 4b. Esta forma de onda, conocida como casi-cuadrada, es aceptable para motores de menos de 10 Hp, y puede ser generada facilmente por un puente inversor de seis transistores como el mostrado en la figura #5.

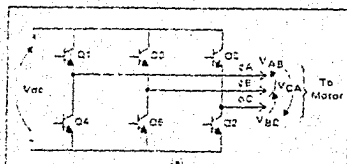


figura # 5

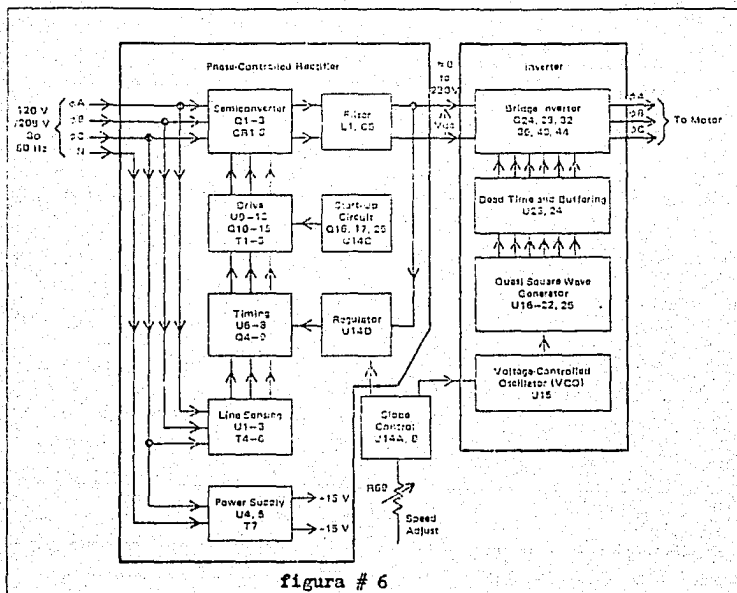
Cualquiera de los inversores de onda antes descritos - pueden ser usados con cualquiera de los dos sistemas de voltaje cd variable que se mostraron, para así obtener un sistema que reuna el manejo independiente de frecuencia y voltaje de excitación del motor.

En el desarrollo de este control para motores de inducción trifásicos se escogieron los sistemas de:
Rectificadores controlados de fase, para transformar el voltaje ca en uno cd variable y el inversor de onda casi-cuadra-

da, para así obtener la frecuencia de mando deseada.

El inversor de onda casi-cuadrada fue escogido por su simplicidad, mientras que la configuración de los rectificadores controlados de fase tiene un voltaje de salida cercano a los 270 V requeridos para (280 V). La operación del motor clasificado.

Un detallado diagrama de bloques del sistema es mostrado en la figura #6.



La sección del rectificador controlado de fase, transforma la entrada trifásica de 208V en una fuente variable de voltaje cd.

El control del ángulo de conducción del semiconvertidor es obtenido sintiendo el cruce por cero del voltaje línea a línea de entrada en el circuito sensor de línea y controlando el retraso del comando de disparo del SCR.

La salida del semiconvertidor es entonces filtrada y alimentada al inversor. El circuito regulador mantiene el voltaje del bus, V_{cd} , en un valor constante determinado por la salida del circuito de control de pendiente.

El circuito de control de pendientes, controla a su vez la máxima aceleración y desaceleración del motor. Es el enlace entre las secciones de control para la amplitud y frecuencia variables del voltaje de excitación.

El bus de voltaje cd, V_{cd} , es invertido a una onda de voltaje de excitación del tipo casi-cuadrada por medio de la sección del puente inversor.

La frecuencia de mando de los inversores es generada por el circuito VCO (Oscilador de Voltaje-Controlado) el cual alimenta al generador de onda casi-cuadrada.

La salida del generador de onda casi-cuadrada determina todas las secuencias de conducción de los transistores del

puente inversor.

Los circuitos desarrollados en esta tesis son el generador de onda casi-cuadrada, etapa de tiempo muerto y regulación y por último el puente inversor; que en conjunto forman una parte importante de la etapa de potencia del control de frecuencia variable para un motor trifásico de inducción.

En los próximos tres capítulos, se explicarán estos tres circuitos por separado.

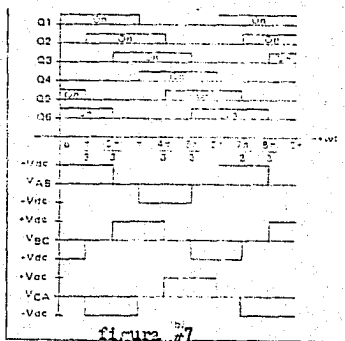
C A P I T U L O I .

GENERADOR DE ONDA CASI-CUADRA DA

C A P I T U L O I.

GENERADOR DE ONDA CASI-CUADRADA.

El Generador de onda casi-cuadrada tiene la función de, como su nombre lo indica, generar los disparos para un puente inversor de seis transistores como el mostrado en la figura #7a.



Los disparos deben tener una secuencia igual a los de la figura #7b, para así, obtener entre líneas de la salida del puente inversor la onda casi-cuadrada de la figura 7b.

Podemos observar, en la última figura, que un ciclo completo para una señal de disparo, tenemos 6 tiempos "T", que para nuestro caso cada tiempo "T" equivale a $\pi/3$ radianes con respecto a la onda casi-cuadrada de la salida del puente inversor. De los seis tiempos "T", los primeros tres tiempos de Q_1 , por ejemplo, lo mantienen en posición de encendi-

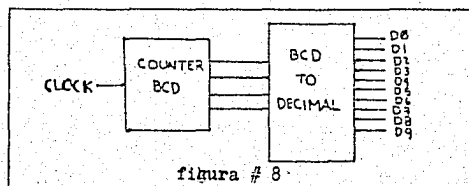
do y los últimos tres en posición de apagado, pero los mismos tres primeros tiempos mantiene apagado a Q_4 , que es el transistor opuesto a Q_1 en el puente, y los tres últimos tiempos lo mantienen encendidos.

Por lo anterior, para manejar una fase de salida del inversor son necesarias seis señales, una para cada tiempo, y, además que lleven una secuencia. Tres de estas señales son para manejar una mitad del sistema para una fase y las otras tres manejan la otra mitad, como ejemplo menciono Q_1 y Q_4 .

En el diagrama de los disparos (fig.7b), podemos notar que las señales son las mismas para todos los transistores - solo que intercaladas. Como estas señales son secuenciadas es obvio que necesitamos un dispositivo que nos ayude con esta secuencia, dicho dispositivo puede ser un contador en decimal, eliminando o no usando cuatro de sus dígitos.

En este momento nos encontramos con una pequeña limitación técnica, no es muy fácil obtener un contador decimal, - pero sí, un contador BCD conectado en cascada con un decodificador BCD-a-Decimal obtenemos el contador decimal.

(Figura #8).



Como se requiere que el control también tenga la característica de poder tener un dominio sobre el sentido de rotación del motor, entonces necesitamos además, que el contador sea progresivo/regresivo, para así, dar en un sentido o en otro los seis tiempos "T" de control para los transistores Q.

El contador seleccionado tiene también la característica de que se puede seleccionar con anticipación en que dígito empieza el conteo para cuando sea puesto en operación. Esta característica nos sirve para así poder eliminar los cuatro dígitos que no se utilizarán.

Se llegó a la conclusión, por medio de pruebas, que sería conveniente eliminar los dígitos D0, D7, D8 y D9, de la salida del decodificador BCD-a-Decimal, porque en BCD el número 1 (001) es el complemento del número 6 (110) y eso es fácil generarlo en las entradas de preselección del inicio de conteo, por medio de un simple inversor (Figura # 9).

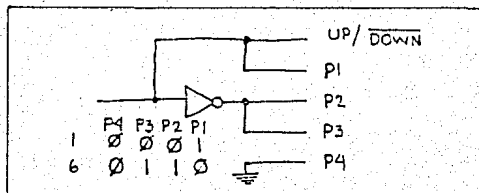
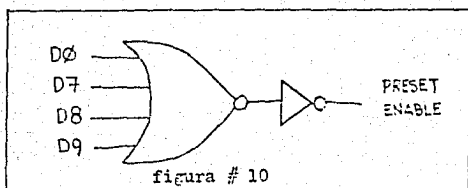


figura # 9

Cuando en las entradas de preselección tenemos el número 1 (001) el conteo será progresivo, y cuando sea el 6 (110)

El siguiente problema es como eliminar los cuatro dígitos que no interesan. Eso lo podemos resolver por medio de una compuerta nor y un inversor not en cascada (Figura #10),



a la entrada de la compuerta nor colocamos los dígitos a eliminar (D0, D7, D8 y D9) y la salida del inversor not se coloca en la terminal de regreso al número preseleccionado en el contador BCD, para así continuar inmediatamente la emisión de los disparos sin perder continuidad.

El inversor not actúa esta vez como un "buffer" o regulador, es decir, hace que la salida de la compuerta nor se haga más congruente o "lisa".

Ahora tenemos que encontrar como relacionar los seis dígitos que tenemos útiles y las seis señales que ocupamos para disparar los transistores del inversor. Para esto podemos fabricar un decodificador en base a la tabla de verdad obtenida de la gráfica de disparos (fig.7b).

Para no usar compuertas NOR tan grandes como sería una de 6 entradas, se usarán 6 compuertas Nor de 3 entradas cada una, para representar con ellas la tabla de verdad; teniendo

do para cada una de las señales de disparo solo los tres tiempos como entradas de la compuerta **Nor** a usar (es decir, para Q_1 solo T_1, T_2, T_3 serán entradas), el circuito quedaría como el de la figura #11.

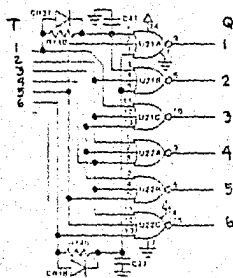


figura # 11

	T1	T2	T3	T4	T5	T6
Q1	1	1	1	∅	∅	∅
Q2	∅	1	1	1	∅	∅
Q3	∅	∅	1	1	1	∅
Q4	∅	∅	∅	1	1	1
Q5	1	∅	∅	∅	1	1
Q6	1	1	∅	∅	∅	1

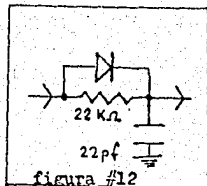
tabla de verdad, figura # 11

Las dos redes resistivas/capacitivas conectadas antes de las compuertas Nor correspondientes, en los tiempos T1 y T6, - forman redes retrasadoras. Para eliminar condiciones de aceleración en el contador, es decir, para no poseer salidas de estado falso en los dígitos del contador.

El circuito retrasador tiene una constante de tiempo que viene dada por RC, en este caso, se usa una baja constante, - porque así es requerida, dadas las condiciones mencionadas - anteriormente.

$$\begin{aligned} T_{RC} &= (22 \times 10^3) (22 \times 10^{-12}) \\ &= 0.48 \mu s \\ &\cong 0.5 \mu s \end{aligned}$$

La constante es de $0.5 \mu s$ y fijando el valor de la capacitancia se obtiene un valor de resistencia igual a $22,727 \Omega$ el cual es aproximado a los $22 K\Omega$ usados en la realidad en el circuito.



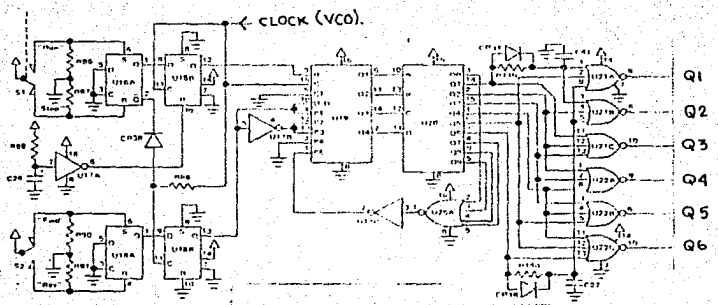
Ahora solo nos resta el control para manejar el contador BCD. Este control se implementó por medio de un arreglo de flip-flops tipo D, con terminales de set y reset de nivel alto.

En una parte del circuito se controla el encendido y apagado del motor, y que controla el arranque del contador - BCD. Al encender el contador todo se pone en ceros, pero - gracias al sistema de la figura #10, pasamos inmediatamente al número preestablecido para iniciar el conteo.

En la otra parte se controla si la rotación es hacia un lado o hacia el otro, habilitando el contador por medio del sistema de la fig.9, ya sea para hacerlo progresivo o regresivo. Para esta parte tenemos un sistema de retraso del ulso de reloj, que usa el flip-flop, constituido por medio de - una resistencia y un diodo, esto previene al flip-flop para ser limitador de tiempo al momento de cambiar el sentido de rotación.

La frecuencia de los disparos es proporcional a la entrada de reloj del sistema, esta señal es la salida del oscilador de voltaje controlado (VCO). Ver diagrama general del circuito (Figura #13).

Figura # 13



C O M P O N E N T E S .

- Resistencias:

- 5 - 100 K Ω 1/4 W (R86,87,89,90,91)
- 2 - 22 K Ω 1/4 W (R110, 140)
- 1 - 10 K Ω 1/4 W (R88)

- Capacitores:

- 1 - 10 μ F 25 V electrolítico (C26)
- 2 - 22 pF (C41,27)

- Diodos:

- 3 - 1N4001

- Lógica CMOS :

- 1 - CD4002M (U25)
- 2 - CD4013 EM (U16,18)
- 2 - CD4025 EM (U21,22)
- 1 - CD4028 BC (U20)
- 1 - CD4049 M (U17)
- 1 - CD4510 EM (U19)

C A P I T U L O II.

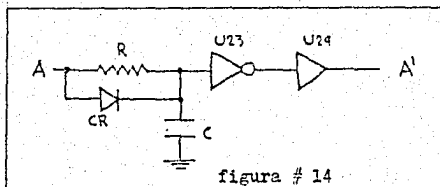
ETAPA DE TIEMPO MUERTO Y REGULACION.

CAPITULO II.

ETAPA DE TIEMPO MUERTO Y REGULACION.

Esta etapa, en su principio, es muy simple, pero se quiso hacer énfasis en ella, puesto que, para un buen acoplamiento entre el generador de onda casi-cuadrada y el puente inversor, la etapa de tiempo muerto y regulación es necesaria.

El circuito electrónico, para cada una de las 6 señales de disparo, que salen del generador de onda casi-cuadrada, - es el de la figura #14



Como podemos apreciar, el arreglo del resistor, capacitor y diodo es un retardador de tiempo, este arreglo es el que nos da el "tiempo muerto" ó tiempo de retardo necesario para que al momento de llegar las señales de disparo al puente inversor, los transistores que estan en oposición no estén encendidos simultaneamente, ya que esto ocasionaría una falla totalmente destructiva entre el bus Vcd y tierra.

Se sabe que un tiempo típico de retardo es de $30 \mu s$, para que el circuito funcione adecuadamente, por esto es gene-

rado por el arreglo retardador de tiempo, del cual tenemos -- que calcular los valores de resistencia y capacitancia (El diodo es uno de propósito general), como se llevó a cabo en el capítulo I, aquí también se fijará el valor de la capacidad para así encontrar el de la resistencia.

$$\begin{aligned} \text{Si } C=270 \text{ pF} \quad \text{y} \quad T=30 \mu\text{s} \\ R= \frac{30 \times 10^{-6} \text{ s}}{270 \times 10^{-12} \text{ F}} = 111.11 \text{ K}\Omega \\ = 110 \text{ K}\Omega \end{aligned}$$

Así, con esos valores de resistencia y capacitancia, podemos obtener el valor deseado de tiempo de retardo.

Ahora, regresando al circuito, observamos que después -- del retardador de tiempo tenemos un inversor y un "Buffer" en cascada, esto nos hace que la señal A sea "buffereada" para -- así pasar a ser A'. La palabra inglesa "Buffering" se puede traducir aceptablemente al español como "regulación", es decir, este circuito del inversor y "regulador" en cascada, nos transforma una señal distorsionada en una señal congruente o "lisa", además que por tener alimentación independiente a la señal de entrada, estos dispositivos proveen mayor potencia -- en su salida que la que podríamos obtener de la señal solamente. Esta característica es importante, ya que, con estas se -- ñales se pretenden manejar o controlar los transistores del -- puente inversor, y con este arreglo, es posible lograrlo con eficiencia. Un circuito general con las 6 señales es mos-

trado en la figura #15.

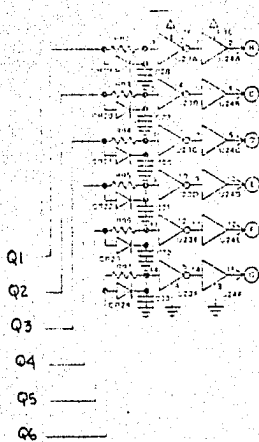


figura # 15

C O M P O N E N T E S .

- Resistencias:

6 - 110 K Ω (R92,93,94,95,96,97)

- Capacitores:

6 - 270 pF (C28,29,30,31,32,33)

- Diodos:

6 - 1N4001 (CR19,20,21,22,23,24)

- Lógica CMOS:

1 - CD4049M (U23)

1 - CD4050BM (U24)

C A P I T U L O I I I .

P U E N T E I N V E R S O R .

C A P I T U L O III.

PUENTE INVERSOR.

Los transistores del puente inversor son compuestos por múltiples dispositivos PNP y NPN Darlington. Q22,23,24,; - Q26,27,28,; Q30,31,32, forman los PNP Darlington. Cada uno puede manejar hasta 15A de corriente del motor. Q34,38, 32 manejan los NPN Darlington y Q19,20,21 proveen una corriente de mando constante para los PNP Darlington. Los transistores de salida Q24,28,32,36,40,44 son darlington monolíticos, es decir, que están en un solo paquete.

El mando de corriente constante de los PNP Darlington es necesario, ya que el bus de voltaje, Vcd, puede variar — desde unos cuantos volts hasta los 280V. La configuración Darlington NPN/PNP casi-complementaria es usada para que no sean necesarias fuentes adicionales de potencia para proporcionar el mando de la parte superior del puente de transistores.

Los diodos CR25,26,27,28,29,30, proveen una medida de protección para la anterior circuitería de CMOS, si es que existen eventos de falla en los transistores, por ahí se drena la sobrecorriente.

Los valores de las resistencias son valores típicos para este tipo de configuración.

Los transistores que manejan las altas corrientes (Q24, 23,32,36,40,44), es decir, las corrientes de línea del motor, son del tipo de "switches" o de los usados como interruptor.

Es conveniente hablar un poco mas de ellos, ya que en este circuito son de mucha importancia.

El transistor como interruptor.

Una aplicación importante del transistor se encuentra en el campo siempre creciente de los circuitos de conmutación.

Esta amplia categoría de circuitos tiene aplicaciones desde campos tales como computadoras digitales, hasta campos tales como el manejo de alta corrientes de línea, como sería nuestro caso.

Cuando se utiliza como un interruptor, el transistor, el transistor se opera en cualquiera de dos estados: conducción o no conducción. El estado de no conducción es el corte, mientras que el estado de conducción puede estar ya sea en la región activa o en la de saturación.

El análisis siguiente se concentra en estos dos estados de operación (corte y saturación) y, lo que es mas importante, en la transición de un estado a otro.

Un arreglo donde se muestra un transistor operando como interruptor es de la figura #16.

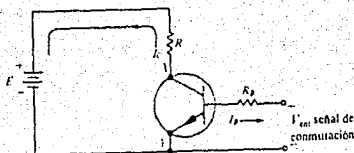


figura # 16

Este está conectado en la configuración de emisor común la cual se utiliza practicamente en todas las aplicaciones de conmutación, dado que su alta ganancia de corriente permite que una gran corriente del colector sea conmutada por medio de una corriente de base relativamente pequeña. El transistor puede operar en modo ya sea de corte, activo o de saturación, lo que depende del estado de la corriente de base de entrada. En los circuitos de conmutación, la condición de corte se denomina condición de "apagado" y la condición de saturación se denomina condición de "encendido". La condición activa conserva su nombre. Con corriente de base cero, o si la unión emisor-base tiene polarización inversa, el transistor cambia a "apagado" y unicamente fluye una pequeña corriente de fuga del emisor al colector. Con polarización directa de la unión emisor-base fluye una corriente de base, lo que da por resultado una considerable corriente de colector. Así, la cantidad de corriente de base controla el —

grado en que el transistor conduce la corriente del colector.

El valor de I_B controla entonces la resistencia entre el colector y el emisor (las terminales del interruptor). Si $I_B=0$, el transistor está "apagado" y la resistencia entre colector y emisor será muy alta; típicamente, R_{AP} oscilará entre 100 y 1000 megohms, para un transistor de conmutación de silicio (entre C y E).

Para cambiar a "encendido" el transistor-interruptor, el valor de la corriente de base debe ser mayor que I_B de saturación a fin de que el transistor se sature con I_C en su valor máximo, y V_{ce} sea muy pequeño. En esta región, el transistor tiene una resistencia muy baja, R_{enc} , entre C y E.

Los dos estados del transistor-interruptor son mostrados en la figura #17.

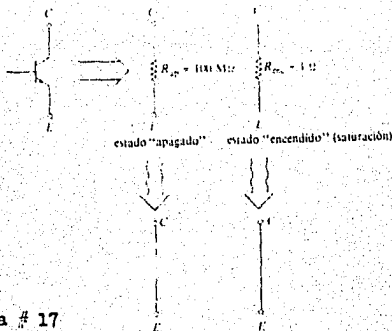


figura # 17

El tiempo de transición entre estados de un transistor-interruptor es el principal factor que limita la frecuencia-máxima a la cual puede ocurrir la conmutación. Por tal motivo es importante entender la respuesta de un transistor a un impulso de entrada.

Consideremos la respuesta del transistor-interruptor al pulso Vent, como se muestra en la figura #18.

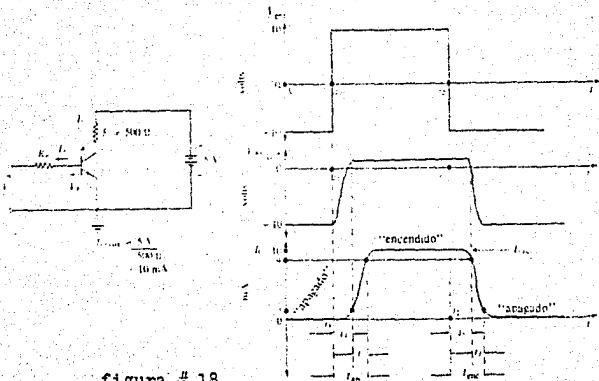


figura # 18

En $t=0$, V_{in} es negativo, de modo que polariza inversamente la unión emisor-base, y el transistor está "apagado".

En $t=t_1$, V_{in} repentinamente aumenta a +10V. Si se supone que R_B es $47 \text{ K}\Omega$, este valor de V_{in} finalmente propor-

cionará una corriente de base de $200\mu\text{A}$ haciendo que el transistor cambie a "encendido", sin embargo, el transistor no responderá inmediatamente. El intervalo desde $t=t$, cuando Vent cambia, hasta el tiempo en que la corriente asciende a 10% de su valor final, se denomina "tiempo de retardo", t_d .

El tiempo de retardo de la corriente de colector en elevarse desde el 10% hasta el 90% de su valor final se llama "tiempo de ascenso", t_r . La suma del tiempo de retardo y el tiempo de ascenso es la cantidad de tiempo que tarda el transistor para cambiar a "encendido" y se denomina tiempo de encendido, t_{enc} , esto es:

$$t_{enc} = t_d + t_r.$$

Una vez que la corriente del colector alcanza su valor de estado estacionario de 10mA , permanece allí en tanto Vent se mantiene en 10V . En $t=t_2$, cuando Vent regresa repentinamente a -10V , el transistor no responde de inmediato. Transcurre cierta cantidad de tiempo antes de que I_c comience a crecer. El tiempo de almacenamiento, t_s , se define como el tiempo que tarda la corriente del colector en caer al 90% de su valor de "encendido" una vez que la entrada ha conmutado.

El tiempo de caída, t_f , es por definición el tiempo que requiere la corriente de colector para caer del 90% al 10%. El tiempo de apagado t_{ap} total es la suma del tiempo de almacenamiento y el tiempo de caída. Es decir:

$$t_{ap} = t_s + t_f.$$

La principal aplicación es la de manejar relativas altas corrientes (I_c), que puede ser la que fluya a través de una carga, por medio de una pequeña corriente, la cual es mas fácil de controlar (I_B).

Por eso se utilizan los transistores como interruptores, en el puente inversor, ya que la corriente de base viene de un circuito de control como es el generador de onda casi-cuadrada, para así poder manejar la corriente de línea del motor.

La cual pasa a través del transistor interruptor y es relativamente mas grande que las corrientes de control.

Un diagrama general del puente inversor se muestra en la figura # 19.

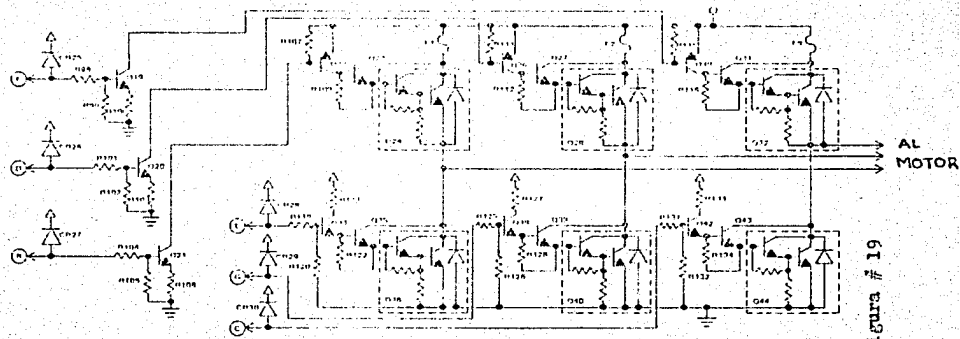


figura # 19

C O M P O N E N T E S .

-Resistencias:

- 3 - 200 Ω (R121,127,133)
- 9 - 1 K Ω (R107,108,111,112,115,116,122,128,134)
- 3 - 2 K Ω (R98,101,104)
- 3 - 2.7 K Ω (R99,102,105)
- 3 - 3-3 K Ω (R100,102,106)
- 3 - 10 K Ω (R119,125,131)
- 3 - 30 K Ω (R120,126,32)

- Diodos:

- 6 - IN4001 (CR25,26,27,28,29,30)

- Transistores:

- 6 - ECG 98 (Q24,28,32,36,40,44)
- 3 - ECG 123 AP (Q34,38,42)
- 6 - ECG I57 (Q23,27,31,35,39,43)
- 3 - ECG 379 (Q19,20,21)
- 3 - ECG 397 (Q22,26,30)

CONCLUSIONES.

CONCLUSIONES.

Con un motor de las siguientes características:

Voltaje	208 V
Corriente	4.3 A
Frecuencia	60 Hz
Pares de polos	2
Caballos de fuerza	1
Torque constante	3.3 lb-ft
Velocidad a plena carga	1750 RPM

Los requerimientos del sistema como son, corriente de línea, eficiencia, etc., están dados en la siguiente tabla:

TABLA
(frecuencia=60Hz)

	SIN CARGA	PLENA CARGA
Voltaje de línea	208 Vrms	208 Vrms
Corriente de línea	1.2 Arms	4.5 Arms
VA	432 VA	1.632 KVA
Watts entrada	225 W	825 W
Watts salida	-	746 W
Eficiencia	-	90%

Si hacemos un análisis de la onda casi-cuadrada, concluimos que el sistema de rectificar por medio de SCR (El cual nos da un valor de voltaje de salida de 280 V) y el puente inversor por medio de 6 transistores, en lugar de una circuitería muy complicada para generar una onda de pulsos con anchura modulada senoidalmente, fueron suficientes para el fin perseguido.

Tenemos una onda casi-cuadrada como la de la figura #20. La cual es:

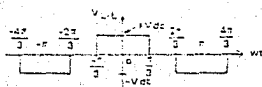


figura # 20

El voltaje línea-línea de salida del inversor, es representada por la misma.

Este voltaje representado en una serie de fourier:

$$V_{1-1} = \sum a_n \cos n \omega t \quad n=1,5,7,11,13,17\dots$$

donde

$$a_n = \frac{2}{\pi} \int_0^{\pi} V_{1-1} \cos n \omega t d(\omega t)$$

y resolviendo para el valor pico de la componente fundamental:

$$a_0 = \frac{2}{\pi} \int_0^{\pi} V_{1-1} \cos \omega t d(\omega t) = \frac{4V_{cd}}{\pi} \int_0^{\pi/3} \cos \omega t d(\omega t)$$

$$a_o = \frac{4V_{cd}}{\pi} \left(\frac{\sqrt{3}}{2} \right) = 1.102 V_{cd}$$

luego:

$$a_o(\text{rms}) = \frac{1.102 V_{cd}}{2} = 0.779 V_{cd}$$

$$V_{rms} = a_o(\text{rms}) = 208 V = 0.779 V_{cd}$$

$$V_{cd} = \frac{208}{0.779} = 267 V$$

Este valor de V_{cd} es el requerido por el puente inversor para funcionar correctamente. Si el valor es mayor, no hay problema, el rectificador a base de SCR nos da un voltaje de 280 V, por lo que ambos sistemas son practicamente compatibles.

El problema mas grande con el que nos encontramos a lo largo del desarrollo del sistema, es que algunos componentes no se encuentran facilmente en el país, como ejemplo estan los ECG98, por lo que se tuvieron que importar de los Estados Unidos de América. Aún así los gastos totales (abril-agosto 1988) para realizar fisicamente el sistema, fué de menos de un millón de pesos, lo cual es una cuarta parte de los dos mil dólares del costo de un aparato similar ya manufacturado de antemano.

A P E N D I C E A.
CARACTERISTICAS DE LOS COMPONENTES.

1N4001
thru
1N4007



MOTOROLA

GENERAL-PURPOSE RECTIFIERS

... subminiature size, axial lead mounted rectifiers for general-purpose low-power applications

LEAD MOUNTED
SILICON RECTIFIERS

50-1000 VOLTS
DIFFUSED JUNCTION

*MAXIMUM RATINGS

Rating	Symbol	1N4001	1N4002	1N4003	1N4004	1N4005	1N4006	1N4007	Unit
Peak Repetitive Reverse Voltage Maximum Peak Reverse Voltage DC Blocking Voltage	V _{RRM} V _{RRM} V _R	50	100	200	400	600	800	1000	Volts
Non-Repetitive Peak Reverse Voltage (Maximum surge of peak of 100 μs)	V _{RSM}	60	120	240	480	720	1000	1200	Volts
RMS Reverse Voltage	V _{RM}	35	70	140	280	420	560	700	Volts
Average Rectified Forward Current (Average phase relative to 100 Hz AC sine wave at T _a = 75°C)	I _{F(AV)}	1.0	1.0		1.0		1.0		Amps
Non-Repetitive Peak Forward Current (Average phase relative to 100 Hz AC sine wave at T _a = 75°C)	I _{FSM}	10		10		10		10	
Operating and Storage Junction Temperature Range	T _J , T _{stg}	-65 to +175							

*ELECTRICAL CHARACTERISTICS

Characteristics and Conditions	Symbol	Typ	Max	Unit
Maximum Reverse Current (I _F = 1.0 Amp, T _J = 25°C, Figure 1)	I _R	0.02	1.1	μAmps
Maximum Forward Current (I _R = 1.0 Amp, T _J = 75°C, Figure 1)	I _F	-	0.8	Amps
Maximum Forward Current (I _R = 1.0 Amp, T _J = 100°C)	I _F	-	0.5	Amps
Maximum Forward Current (I _R = 1.0 Amp, T _J = 175°C)	I _F	-	0.2	Amps

*Maximum JEDEC Measured Data

MECHANICAL CHARACTERISTICS

CASE: Tapered Molded Plastic

MAXIMUM LEAD TEMPERATURE FOR SOLDERING PURPOSES: 350°C, 32" from case for 10 seconds, at 5 lbs. tension

FINISH: All external surfaces are corrosion resistant, lead and tin plating

POLARITY: Cathode indicated by color band

WEIGHT: 0.40 Grams (approximately)

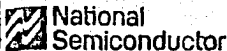


- NOTES
1. POLARITY INDICATED BY CATHODE BAND
2. LEAD DIAMETER NOT CONTROLLED WITHIN 0.025 WAVELENGTH

MILLIMETERS		INCHES	
DIM	MIN - MAX	MIN	MAX
A	1.97 - 1.85	0.253	0.260
B	2.78 - 2.5	0.110	0.110
C	0.76 - 0.84	0.030	0.034
D	1.134	0.045	0.045

CASE 89-04

*Does not meet DO-41 outline



CD4002M/CD4002C Dual 4-Input NOR Gate CD4012M/CD4012C Dual 4-Input NAND Gate

General Description

These NOR and NAND gates are monolithic complementary MOS (CMOS) integrated circuits. The N- and P-channel enhancement mode transistors provide a symmetrical circuit with output swings essentially equal to the supply voltage. This results in high noise immunity over a wide supply voltage range. No DC power other than that caused by leakage current is consumed during static conditions. All inputs are protected against static discharge and latching conditions.

Features

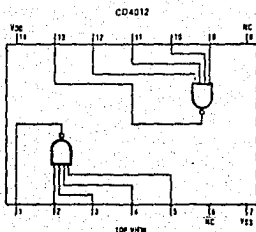
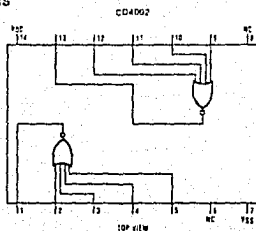
- Wide supply voltage range
- Low power
- High noise immunity

3.0V to 15V
10nW (typ.)
0.45 V_{DD} (typ.)

Applications

- Automotive
- Data terminals
- Instrumentation
- Medical Electronics
- Alarm systems
- Industrial controls
- Remote metering
- Computers

Connection Diagrams



Absolute Maximum Ratings (Note 1)

Voltage on Any Pin $V_{SS} - 0.3V$ to $V_{DD} + 0.3V$
 Operating Temperature Range
 CD4002M, CD4012M $-55^{\circ}C$ to $+125^{\circ}C$
 CD4002C, CD4012C $-40^{\circ}C$ to $+85^{\circ}C$

Storage Temperature Range $-65^{\circ}C$ to $+150^{\circ}C$
 Package Dissipation 500 mW
 Operating V_{DD} Range $V_{SS} + 3.0V$ to $V_{SS} + 15V$
 Lead Temperature (Soldering, 10 seconds) $300^{\circ}C$

DC Electrical Characteristics - CD4002M, CD4012M

Parameter	Conditions	Limits						Units	
		$-55^{\circ}C$		$25^{\circ}C$		$125^{\circ}C$			
		Min.	Max.	Min.	Typ.	Max.	Min.		Max.
I_L Quiescent Device Current	$V_{DD} = 5.0V$ $V_{DD} = 10V$	0.05	0.1	0.001	0.001	0.05	0.1	3.0	μA
P_D Quiescent Device Dissipation/Package	$V_{DD} = 5.0V$ $V_{DD} = 10V$	0.25	1.0	0.005	0.01	0.25	1.0	15	μW
V_{OL} Output Voltage Low Level	$V_{DD} = 5.0V, V_I = V_{DD}, I_O = 0A$ $V_{DD} = 10V, V_I = V_{DD}, I_O = 0A$	0.05	0.05	0	0	0.05	0.05	0.05	V
V_{OH} Output Voltage High Level	$V_{DD} = 5.0V, V_I = V_{SS}, I_O = 0A$ $V_{DD} = 10V, V_I = V_{SS}, I_O = 0A$	4.95	9.95	4.95	5.0	4.95	9.95	4.95	V
V_{NL} Noise Immunity (All inputs)	$V_{DD} = 5.0V, V_O = 3.6V, I_O = 0A$ $V_{DD} = 10V, V_O = 7.2V, I_O = 0A$	1.5	3.0	1.5	2.25	1.4	2.9	1.4	V
V_{NH} Noise Immunity (All outputs)	$V_{DD} = 5.0V, V_O = 0.95V, I_O = 0A$ $V_{DD} = 10V, V_O = 2.9V, I_O = 0A$	1.4	2.9	1.5	2.25	1.5	3.0	1.5	V
I_{ON} Output Drive Current N-Channel (4002)	$V_{DD} = 5.0V, V_O = 0.4V, V_I = V_{DD}$ $V_{DD} = 10V, V_O = 0.5V, V_I = V_{DD}$	0.5	1.1	0.40	0.9	1.0	0.28	0.65	mA
I_{OP} Output Drive Current P-Channel (4002)	$V_{DD} = 5.0V, V_O = 2.5V, V_I = V_{SS}$ $V_{DD} = 10V, V_O = 9.5V, V_I = V_{SS}$	-0.62	-3.62	-0.5	-2.0	-0.35	-1.0	-0.35	mA
I_{ON} Output Drive Current N-Channel (4012)	$V_{DD} = 5.0V, V_O = 0.4V, V_I = V_{DD}$ $V_{DD} = 10V, V_O = 0.5V, V_I = V_{DD}$	0.31	3.53	0.25	0.5	0.175	0.35	0.175	mA
I_{OP} Output Drive Current P-Channel (4012)	$V_{DD} = 5.0V, V_O = 2.5V, V_I = V_{SS}$ $V_{DD} = 10V, V_O = 9.5V, V_I = V_{SS}$	-0.31	-3.75	-0.25	-1.2	-0.175	-0.4	-0.175	mA
I_I Input Current					10				μA



CD4013BM/CD4013BC Dual D Flip-Flop

General Description

The CD4013B dual D flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N- and P-channel enhancement mode transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "Q̄" outputs. These devices can be used for shift register applications, and by connecting "Q̄" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

Features

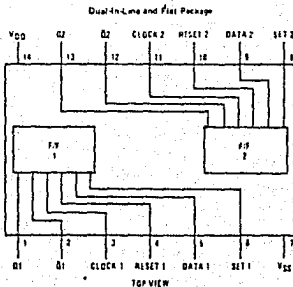
- Wide supply voltage range
- High noise immunity
- Low power TTL compatibility

3.0V to 15V
0.45V_{CC} (typ.)
fan out of 2 driving 74L
or 1 driving 74LS

Applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

Connection Diagram



Truth Table

Cl [†]	D	R	S	Q	Q̄
—	0	0	0	0	1
—	1	0	0	1	0
—	x	0	0	0	0
—	x	1	0	0	1
—	x	0	1	1	0
—	x	1	1	1	1

— No change

† Level change

x Don't care con.

Absolute Maximum Ratings

(Notes 1 and 2)

V _{DD} dc Supply Voltage	-0.5 to +18 Vdc
V _{IH} Input Voltage	-0.5 to V _{DD} + 0.5 Vdc
T _S Storage Temperature Range	-65°C to +150°C
P _D Package Dissipation	500 mW
T _L Lead Temperature (Soldering, 10 seconds)	300°C

Recommended Operating Conditions

(Note 2)

V _{DD} dc Supply Voltage	+3 to +18 Vdc
V _{IH} Input Voltage	0 to V _{DD} Vdc
T _A Operating Temperature Range	-55°C to +125°C
CD4013BM	-40°C to +85°C
CD4013BC	

DC Electrical Characteristics 4013BM (Note 2)

PARAMETER	CONDITIONS	-55°C		25°C			125°C		UNIT
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		1.0			1.0		30	μA
	V _{DD} = 10V		2.0			2.0		60	μA
	V _{DD} = 15V		4.0			4.0		120	μA
V _{OL} Low Level Output Voltage	I _O < 1.0 mA								V
	V _{DD} = 5V		0.05			0.05		0.05	V
	V _{DD} = 10V		0.05			0.05		0.05	V
	V _{DD} = 15V		0.05			0.05		0.05	V
V _{OH} High Level Output Voltage	I _O < 1.0 mA								V
	V _{DD} = 5V	4.95		4.95			4.95		V
	V _{DD} = 10V	9.95		9.95			9.95		V
	V _{DD} = 15V	14.95		14.95			14.95		V
V _{IL} Low Level Input Voltage	I _O < 1.0 mA								V
	V _{DD} = 5V V _O = 0.5V or 4.5V		1.5			1.5		1.5	V
	V _{DD} = 10V V _O = 1.0V or 9.0V		3.0			3.0		3.0	V
	V _{DD} = 15V V _O = 1.5V or 13.5V		4.0			4.0		4.0	V
V _{IH} High Level Input Voltage	I _O < 1.0 mA								V
	V _{DD} = 5V V _O = 0.5V or 4.5V	2.5		3.5			2.5		V
	V _{DD} = 10V V _O = 1.0V or 9.0V	5.0		7.0			5.0		V
	V _{DD} = 15V V _O = 1.5V or 13.5V	7.5		11.0			7.5		V
I _{OL} Low Level Output Current	V _{DD} = 5V V _O = 0.4V	0.04		0.04		0.04		0.20	mA
	V _{DD} = 10V V _O = 0.5V	0.1		0.1		0.1		0.4	mA
	V _{DD} = 15V V _O = 1.5V	0.2		0.2		0.2		0.8	mA
	V _{DD} = 5V V _O = 4.5V	-0.64		-0.64		-0.64		-0.26	mA
I _{OH} High Level Output Current	V _{DD} = 5V V _O = 0.5V	-1.6		-1.2		-1.2		-0.9	mA
	V _{DD} = 10V V _O = 1.5V	-3.2		-2.4		-2.4		-1.8	mA
	V _{DD} = 15V V _O = 4.5V	-4.8		-3.6		-3.6		-2.4	mA
	V _{DD} = 15V V _{IH} = 10V	-0.1		-10 ⁻⁹		-0.1		-1.0	μA
I _{IN} Input Current	V _{DD} = 15V V _{IH} = 10V	0.1		10 ⁻⁹		0.1		1.0	μA
	V _{DD} = 15V V _{IL} = 15V			10 ⁻⁹					μA

DC Electrical Characteristics 4013BC (Note 2)

PARAMETER	CONDITIONS	-40°C		25°C			85°C		UNIT
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		4.0			4.0		30	μA
	V _{DD} = 10V		8.0			8.0		60	μA
	V _{DD} = 15V		16.0			16.0		120	μA
V _{OL} Low Level Output Voltage	I _O < 1.0 mA								V
	V _{DD} = 5V		0.05			0.05		0.05	V
	V _{DD} = 10V		0.05			0.05		0.05	V
	V _{DD} = 15V		0.05			0.05		0.05	V
V _{OH} High Level Output Voltage	I _O < 1.0 mA								V
	V _{DD} = 5V	4.95		4.95			4.95		V
	V _{DD} = 10V	9.95		9.95			9.95		V
	V _{DD} = 15V	14.95		14.95			14.95		V
V _{IL} Low Level Input Voltage	I _O < 1.0 mA								V
	V _{DD} = 5V V _O = 0.5V or 4.5V		1.5			1.5		1.5	V
	V _{DD} = 10V V _O = 1.0V or 9.0V		3.0			3.0		3.0	V
	V _{DD} = 15V V _O = 1.5V or 13.5V		4.0			4.0		4.0	V



**CD4023BM/CD4023BC Buffered Triple 3-Input
NAND Gate**
**CD4025BM/CD4025BC Buffered Triple 3-Input
NOR Gate**

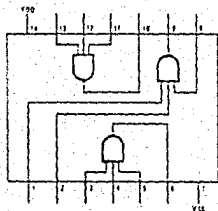
General Description

These triple gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have a 200 pA source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain. All inputs are protected against static discharge with diodes to V_{DD} and V_{SS} .

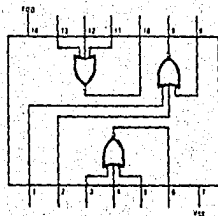
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} (typ)
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- 5V-10V-15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μ A at 15V over full temperature range

Connection Diagrams



CD4023BM/CD4023BC
TOP VIEW



CD4025BM/CD4025BC
TOP VIEW

Absolute Maximum Ratings (Notes 1 and 2)

V_{DD}	DC Supply Voltage	-0.5 V _{DD} to +18 V
V_{IN}	Input Voltage	-0.5 V _{DD} to V _{DD} + 0.5 V
T_S	Storage Temperature Range	-65°C to +150°C
T_J	Package Dissipation	500 mW
T_L	Lead Temperature (Soldering, 10 seconds)	300°C

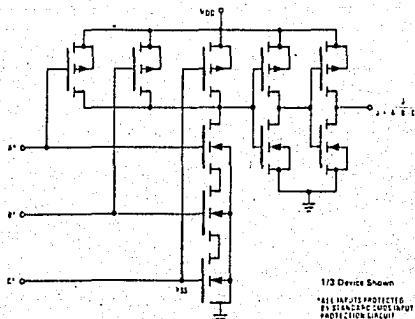
Recommended Operating Conditions

V_{DD}	DC Supply Voltage	+5 V _{DD} to +15 V _{DD}
V_{IN}	Input Voltage	0 V _{DD} to V _{DD}
T_A	Operating Temperature Range	-55°C to +125°C
	CD4023BM, CD4025BM	
	CD4023BC, CD4025BC	-40°C to +85°C

DC Electrical Characteristics - CD4023BM, CD4025BM (Note 2)

PARAMETER	CONDITIONS	-55°C		+25°C		+125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	
I_{DD} Quiescent Device Current	$V_{DD} = 5V$	0.25		0.004	0.25	7.5		μA
	$V_{DD} = 10V$	0.6		0.055	6.5	15		μA
	$V_{DD} = 15V$	1.0		0.066	1.0	30		μA
V_{OL} Low Level Output Voltage	$V_{DD} = 5V$	0.05	0	0.05		0.05		V
	$V_{DD} = 10V$	0.05	0	0.05		0.05		V
	$V_{DD} = 15V$	0.05	0	0.05		0.05		V
V_{OH} High Level Output Voltage	$V_{DD} = 5V$	4.95	4.95	5		4.95		V
	$V_{DD} = 10V$	9.95	9.95	10		9.95		V
	$V_{DD} = 15V$	14.95	14.95	15		14.95		V
V_{IL} Low Level Input Voltage	$V_{DD} = 5V, V_O = 4.5V$	1.5	2	1.5		1.5		V
	$V_{DD} = 10V, V_O = 9.0V$	3.0	4	3.0		3.0		V
	$V_{DD} = 15V, V_O = 13.5V$	4.0	6	4.0		4.0		V
V_{IH} High Level Input Voltage	$V_{DD} = 5V, V_O = 0.5V$	3.5	3.5	3		3.5		V
	$V_{DD} = 10V, V_O = 1.0V$	7.0	7.0	6		7.0		V
	$V_{DD} = 15V, V_O = 1.5V$	11.0	11.0	9		11.0		V
I_{OL} Low Level Output Current	$V_{DD} = 5V, V_O = 0.4V$	0.64	6.3	0.85		0.38		mA
	$V_{DD} = 10V, V_O = 0.5V$	1.1	13	2.2		6.4		mA
	$V_{DD} = 15V, V_O = 1.5V$	4.2	34	8		24		mA
I_{OH} High Level Output Current	$V_{DD} = 5V, V_O = 4.6V$	-0.64	-6.3	-0.85		-0.38		mA
	$V_{DD} = 10V, V_O = 9.5V$	-1.1	-13	-2.2		-6.4		mA
	$V_{DD} = 15V, V_O = 13.5V$	-4.2	-34	-8		-24		mA
I_{IN} Input Current	$V_{DD} = 15V, V_{IN} = 0V$	-0.10		-10 ⁻⁶	-0.10		-1.0	μA
	$V_{DD} = 15V, V_{IN} = 15V$	0.10		10 ⁻⁶	0.10		1.0	μA

schematic diagram



CD4023BC/CD4025BM



CD4028BM/CD4028BC BCD-to-Decimal Decoder

General Description

The CD4028BM/CD4028BC is a BCD-to-decimal or binary-to-octal decoder consisting of 4 inputs, decoding logic gates, and 10 output buffers. A BCD code applied to the 4 inputs, A, B, C, and D, results in a high level at the selected 1-of-10 decimal decoded outputs. Similarly, a 3-bit binary code applied to inputs A, B, and C is decoded in octal at outputs 0-7. A high level signal at the D input inhibits octal decoding and causes outputs 0-7 to go low.

All inputs are protected against static charge damage by diode clamps to V_{CC} and V_{SS} .

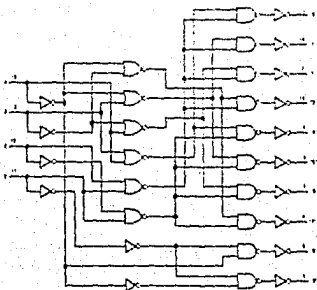
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- Low power
- Glitch free outputs
- "Positive logic" on inputs and outputs

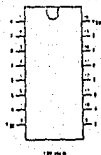
Applications

- Code conversion
- Address decoding
- Indicator-tube decoder

Logic and Connection Diagrams



Dual In-Line and Flat Package



Truth Table

D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	0	0	1	0	0	0	0
0	1	1	1	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1	0	0
1	0	0	1	0	0	0	0	0	0	0	1	0	0
1	0	1	0	0	0	0	0	0	0	0	0	1	0
1	0	1	1	0	0	0	0	0	0	0	0	0	1
1	1	0	0	0	0	0	0	0	0	0	0	0	1
1	1	0	1	0	0	0	0	0	0	0	0	0	1
1	1	1	0	0	0	0	0	0	0	0	0	0	1
1	1	1	1	0	0	0	0	0	0	0	0	0	1

BCD Buses

Extraordinary Buses

Absolute Maximum Ratings (Note 1)

(Notes 1 and 2)

V _{DD} Supply Voltage	-0.5 to +18V
V _{IN} Input Voltage	-0.5 to V _{DD} + 0.5V
T _S Storage Temperature Range	-65°C to +150°C
P _D Package Dissipation	500 mW
T _L Lead Temperature (Soldering, 10 seconds)	300°C

Recommended Operating Conditions

(Note 2)

V _{DD} Supply Voltage	3 to 18V
V _{IN} Input Voltage	0 to V _{DD}
T _A Operating Temperature Range	-55°C to +125°C
CD4028PM	-55°C to +125°C
CD4028BC	-40°C to +85°C

DC Electrical Characteristics CD4028BC (Note 2)

PARAMETER	CONDITIONS	-55°C		25°C			125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		5		0.01	5		150	μA
	V _{DD} = 10V		10		0.01	10		300	μA
	V _{DD} = 15V		20		0.02	20		600	μA
V _{OL} Low Level Output Voltage	I _O < 1μA, V _{IL} = 0V, V _{IH} = V _{DD}								
	V _{DD} = 5V		0.05		0	0.05		0.05	V
	V _{DD} = 10V		0.05		0	0.05		0.05	V
	V _{DD} = 15V		0.05		0	0.05		0.05	V
V _{OH} High Level Output Voltage	I _O < 1μA, V _{IL} = 0V, V _{IH} = V _{DD}								
	V _{DD} = 5V	4.95		4.95	5		4.95		V
	V _{DD} = 10V	9.95		9.95	10		9.95		V
	V _{DD} = 15V	14.95		14.95	15		14.95		V
V _{IL} Low Level Input Voltage	I _O < 1μA								
	V _{DD} = 5V, V _O = 2.5V or 4.5V		1.5		2.25	1.5		1.5	V
	V _{DD} = 10V, V _O = 1V or 9V		3.0		4.5	3.0		3.0	V
	V _{DD} = 15V, V _O = 1.5V or 13.5V		4.0		6.75	4.0		4.0	V
V _{IH} High Level Input Voltage	I _O < 1μA								
	V _{DD} = 5V, V _O = 2.5V or 4.5V	3.5		3.5	2.75		3.5		V
	V _{DD} = 10V, V _O = 1V or 9V	7.0		7.0	5.5		7.0		V
	V _{DD} = 15V, V _O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I _{OL} Low Level Output Current	V _{IL} = 0V, V _{IH} = V _{DD}								
	V _{DD} = 5V, V _O = 2.4V	0.63		2.51	1.0		0.38		mA
	V _{DD} = 10V, V _O = 3.5V	1.6		5.2	2.6		0.9		mA
	V _{DD} = 15V, V _O = 1.5V	4.2		3.4	6.8		2.4		mA
I _{OH} High Level Output Current	V _{IH} = 0V, V _{IH} = V _{DD}								
	V _{DD} = 5V, V _O = 4.6V	-0.25		-0.2	-0.4		-0.14		mA
	V _{DD} = 10V, V _O = 3.5V	-0.62		-0.5	-1.0		-0.35		mA
	V _{DD} = 15V, V _O = 13.5V	-1.8		-1.5	-3.0		-1.1		mA
I _{IN} Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.1		-10 ⁻⁵	-0.1		-1.0	μA
	V _{DD} = 15V, V _{IN} = 15V		0.1		10 ⁻⁵	0.1		1.0	μA

DC Electrical Characteristics CD4028BC (Note 2)

PARAMETER	CONDITIONS	-40°C		25°C			85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		30		0.01	20		150	μA
	V _{DD} = 10V		40		0.01	40		300	μA
	V _{DD} = 15V		80		0.02	80		600	μA
V _{OL} Low Level Output Voltage	I _O < 1μA, V _{IL} = 0V, V _{IH} = V _{DD}								
	V _{DD} = 5V		0.05		0	0.05		0.05	V
	V _{DD} = 10V		0.05		0	0.05		0.05	V
	V _{DD} = 15V		0.05		0	0.05		0.05	V
V _{OH} High Level Output Voltage	I _O < 1μA, V _{IL} = 0V, V _{IH} = V _{DD}								
	V _{DD} = 5V	4.95		4.95	5		4.95		V
	V _{DD} = 10V	9.95		9.95	10		9.95		V
	V _{DD} = 15V	14.95		14.95	15		14.95		V
V _{IL} Low Level Input Voltage	I _O < 1μA								
	V _{DD} = 5V, V _O = 2.5V or 4.5V		1.5		2.25	1.5		1.5	V
	V _{DD} = 10V, V _O = 1V or 9V		3.0		4.5	3.0		3.0	V
	V _{DD} = 15V, V _O = 1.5V or 13.5V		4.0		6.75	4.0		4.0	V



CD4049M/CD4049C Hex Inverting Buffer CD4050BM/CD4050BC Hex Non-Inverting Buffer

General Description

These hex buffers are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. These devices feature logic level conversion using only one supply voltage (V_{DD}). The input signal high level (V_{IH}) can exceed the V_{DD} supply voltage when these devices are used for logic level conversions. These devices are intended for use as hex buffers, CMOS to DTL/TTL converters, or as CMOS current drivers, and at $V_{DD} = 5.0V$, they can drive directly two DTL/TTL loads over the full operating temperature range.

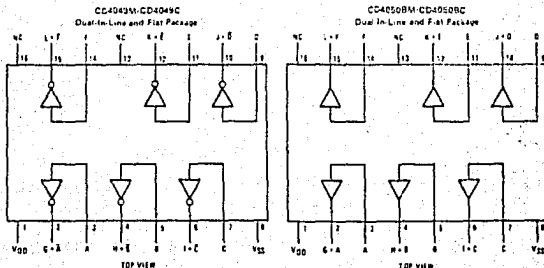
Features

- Wide supply voltage range 3.0V to 15V
- Direct drive to 2 TTL loads at 5.0V over full temperature range
- High source and sink current capability
- Special input protection permits input voltages greater than V_{DD}

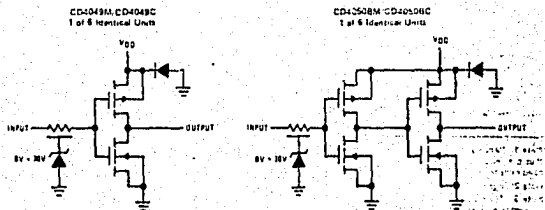
Applications

- CMOS hex inverter/buffer
- CMOS to DTL/TTL hex converter
- CMOS current "sink" or "source" driver
- CMOS high-to-low logic level converter

Connection Diagrams



Schematic Diagrams



Absolute Maximum Ratings

(Notes 1 and 2)

V _{DD} Supply Voltage	-0.5V to +18V
V _{IN} Input Voltage	-0.5V to +18V
V _{OUT} Voltage at Any Output Pin	-0.5V to V _{DD} + 0.5V
T _{STG} Storage Temperature Range	-65°C to +125°C
I _P Package Current	500 mA
T _L Lead Temperature (Soldering, 10 seconds)	320°C

Recommended Operating Conditions

(Note 2)

V _{DD} Supply Voltage	3V to 15V
V _{IN} Input Voltage	0V to 15V
V _{OUT} Voltage at Any Output Pin	0 to V _{DD}
T _A Operating Temperature Range	-55°C to +125°C
CD4043C, CD4050RC	-40°C to +85°C

DC Electrical Characteristics CD4049M/CD4050BM (Note 2)

PARAMETER	CONDITIONS	-55°C		75°C		125°C		UNITS	
		MIN	MAX	MIN	TYP	MAX	MAX		
I _{DD} Quiescent Device Current	V _{DD} = 5V		10		201	10		30	μA
	V _{DD} = 10V		20		401	20		80	μA
	V _{DD} = 15V		40		602	40		120	μA
V _{OL} Low Level Output Voltage	V _{IN} = V _{DD} , V _{IL} = 0, I _O < 1 mA								
	V _{DD} = 5V		0.05		0	0.05		0.05	V
	V _{DD} = 10V		0.05		0	0.05		0.05	V
	V _{DD} = 15V		0.05		0	0.05		0.05	V
V _{OH} High Level Output Voltage	V _{IN} = V _{DD} , V _{IL} = 0, I _O < 1 mA								
	V _{DD} = 5V	4.95		4.95	5		4.95		V
	V _{DD} = 10V	9.95		9.95	10		9.95		V
	V _{DD} = 15V	14.95		14.95	15		14.95		V
V _{IL} Low Level Input Voltage (CD4049M Only)	I _O < 1 mA								
	V _{DD} = 5V, V _O = 0.5V		1.5		2.25	1.5		1.5	V
	V _{DD} = 10V, V _O = 1V		3.0		4.5	3.0		3.0	V
	V _{DD} = 15V, V _O = 1.5V		4.0		6.75	4.0		4.0	V
V _{IL} Low Level Input Voltage (CD4050BM Only)	I _O < 1 mA								
	V _{DD} = 5V, V _O = 4.5V		1.0		1.5	1.0		1.0	V
	V _{DD} = 10V, V _O = 9V		2.0		2.5	2.0		2.0	V
	V _{DD} = 15V, V _O = 13.5V		3.0		3.8	3.0		3.0	V
V _{IH} High Level Input Voltage (CD4049M Only)	I _O < 1 mA								
	V _{DD} = 5V, V _O = 4.5V	3.5		3.5	2.75		3.5		V
	V _{DD} = 10V, V _O = 9V	7.0		7.0	5.5		7.0		V
	V _{DD} = 15V, V _O = 13.5V	11.0		11.0	8.25		11.0		V
V _{IH} High Level Input Voltage (CD4050BM Only)	I _O < 1 mA								
	V _{DD} = 5V, V _O = 0.5V	4.0		4.0	3.5		4.0		V
	V _{DD} = 10V, V _O = 1V	8.0		8.0	7.5		8.0		V
	V _{DD} = 15V, V _O = 1.5V	12.0		12.0	11.5		12.0		V
I _{OL} Low Level Output Current (Note 3)	V _{IN} = V _{DD} , V _{IL} = 0V								
	V _{DD} = 5V, V _O = 0.4V	5.6		4.6	5		3.2		mA
	V _{DD} = 10V, V _O = 0.8V	12		8.8	12		6.8		mA
	V _{DD} = 15V, V _O = 1.2V	35		29	43		20		mA
I _{OH} High Level Output Current (Note 3)	V _{IN} = V _{DD} , V _{IL} = 0V								
	V _{DD} = 5V, V _O = 4.6V	-1.3		-1.1	-1.6		-0.72		mA
	V _{DD} = 10V, V _O = 9.2V	-2.6		-2.2	-2.6		-1.5		mA
	V _{DD} = 15V, V _O = 13.5V	-8.0		-7.2	-12		-5.0		mA
I _{IN} Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.1		-10 ⁻⁵		-0.1		μA
	V _{DD} = 15V, V _{IN} = 15V		0.1		10 ⁻⁵		0.1		μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed; they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" are given for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: These are peak output current capabilities. Continuous output current is rated at 12 mA maximum. The duty cycle should not be allowed to exceed this value for extended periods of time.



CD4510BM/CD4510BC BCD Up/Down Counter CD4516BM/CD4516BC Binary Up/Down Counter

General Description

The CD4510BM/CD4510BC and CD4516BM/CD4516BC are monolithic CMOS up/down counters which count in BCD and binary, respectively.

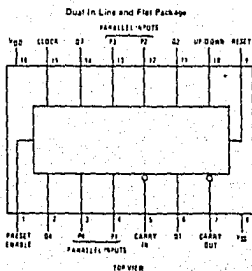
The counters count up when the up/down input is at logical "1" and vice versa. A logical "1" preset enable signal allows information at the parallel inputs to preset the counters to any state synchronously with the clock. The counters are advanced one count at the positive-going edge of the clock if the carry in, preset enable, and reset inputs are at logical "0". Advancement is inhibited when any of these three inputs are at logical "1". The carry out signal is normally at logical "1" state and goes to logical "0" when the counter reaches its maximum count in the "up" mode or its minimum count in the "down" mode provided the carry input is at logical "0" state. The counters are cleared asynchronously by applying a logical "1" voltage level at the reset input.

All inputs are protected against static discharge by diode clamps to both V_{DD} and V_{SS} .

Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- Parallel load "jam" inputs
- Low quiescent power dissipation 0.25 μ W/package (typ.) w/ $V_{CC} = 5.0V$
- Motorola MC14510, MC14516 second source

Connection Diagram



Truth Table

CLOCK	RESET	PRESET ENABLE	CARRY IN	UP/DOWN	OUTPUT FUNCTION
X	1	X	X	X	Reset to zero
X	0	1	X	X	Set to P1, P2, P3, P4
X	0	0	0	1	Count up
X	0	0	0	0	Count down
X	0	0	X	X	No change
X	0	0	1	X	No change

X = positive transition
 0 = negative transition
 1 = don't care

Absolute Maximum Ratings

(Notes 1 and 2)

V _{DD} dc Supply Voltage	-0.5V to +18V
V _{IN} Input Voltage	-0.5V to V _{DD} +0.5V
T _g Storage Temperature Range	-65°C to +150°C
P _D Package Dissipation	500 mW
T _L Lead Temperature (Soldering, 10 seconds)	300°C

Recommended Operating Conditions

(Note 2)

V _{DD} dc Supply Voltage	3V to 15V
V _{IN} Input Voltage	0 to V _{DD}
T _A Operating Temperature Range	-55°C to +125°C
CD4510BM, CD4516BM	
CD4510E2, CD4516E2	-40°C to +85°C

DC Electrical Characteristics CD4510BM/CD4516BM (Note 2)

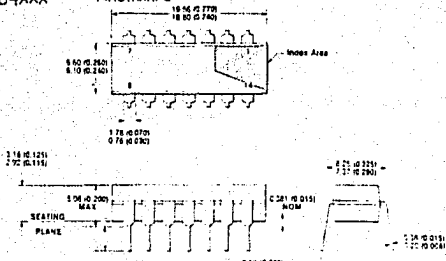
PARAMETER	CONDITIONS	-55°C		25°C			125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		5		0.05	5		150	μA
	V _{DD} = 10V				0.1	10		300	μA
	V _{DD} = 15V		20		0.15	20		600	μA
V _{OL} Low Level Output Voltage	V _{IH} = V _{DD} , V _{IL} = 0V, I _{O1} < 1 μA								
	V _{DD} = 5V		0.05		0	0.05		0.05	V
	V _{DD} = 10V		0.05		0	0.05		0.05	V
V _{OH} High Level Output Voltage	V _{IH} = V _{DD} , V _{IL} = 0V, I _{O1} < 1 μA								
	V _{DD} = 5V	4.95		4.95	5		4.95		V
	V _{DD} = 10V	9.35		9.25	10		9.95		V
V _{IL} Low Level Input Voltage	I _{O1} < 1 μA								
	V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5		2.75	1.5		1.5	V
	V _{DD} = 10V, V _O = 1V or 9V		3.0		4.5	3.0		3.0	V
V _{IH} High Level Input Voltage	I _{O1} < 1 μA								
	V _{DD} = 5V, V _O = 0.5V or 4.5V		3.5		3.5	2.75		3.5	V
	V _{DD} = 10V, V _O = 1V or 9V		7.0		7.0	5.5		7.0	V
I _{OL} Low Level Output Current	V _{IH} = V _{DD} , V _{IL} = 0V								
	V _{DD} = 5V, V _O = 0.4V		0.64		0.51	0.8		0.26	mA
	V _{DD} = 10V, V _O = 0.5V		1.6		1.2	2.0		0.9	mA
I _{O1} High Level Output Current	V _{IH} = V _{DD} , V _{IL} = 0V								
	V _{DD} = 5V, V _O = 4.6V		-0.64		-0.51	-0.8		-0.36	mA
	V _{DD} = 10V, V _O = 5.5V		-1.6		-1.2	-2.0		-0.9	mA
I _{IN} Input Current	V _{DD} = 15V, V _{I1} = 0V		-0.1		-10 ⁻⁵	-0.1		-1.0	μA
	V _{DD} = 15V, V _{I2} = 15V		0.1		10 ⁻⁵	0.1		1.0	μA

DC Electrical Characteristics CD4510BC/CD4516BC (Note 2)

PARAMETER	CONDITIONS	-40°C		25°C			85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		20		0.05	20		150	μA
	V _{DD} = 10V		40		0.1	40		300	μA
	V _{DD} = 15V		80		0.15	80		600	μA
V _{OL} Low Level Output Voltage	V _{IH} = V _{DD} , V _{IL} = 0V, I _{O1} < 1 μA								
	V _{DD} = 5V		0.05		0	0.05		0.05	V
	V _{DD} = 10V		0.05		0	0.05		0.05	V
V _{OH} High Level Output Voltage	V _{IH} = V _{DD} , V _{IL} = 0V, I _{O1} < 1 μA								
	V _{DD} = 5V	4.75		4.75	5		4.75		V
	V _{DD} = 10V	9.15		9.05	10		9.35		V
I _{OL} Low Level Output Current	V _{IH} = V _{DD} , V _{IL} = 0V								
	V _{DD} = 15V		1.75		1.45	2.0		1.15	mA

14 Lead Plastic Dual In-Line

Ordering Code: 74ACXXXPC
CD4XXX 74ACTXXXPC



Notes

Index area: a notch or Lead One identification mark shall be located adjacent to Lead One and shall be located within the shaded area shown.

Leads are intended for insertion in hole rows on 7.620 (0.300) centers. They are purposely shipped with positive misalignment to facilitate insertion.

Leads are copper alloy, either plated or solder coated.

Package plastic material is novolac epoxy.

Package weight is 0.9 gram.

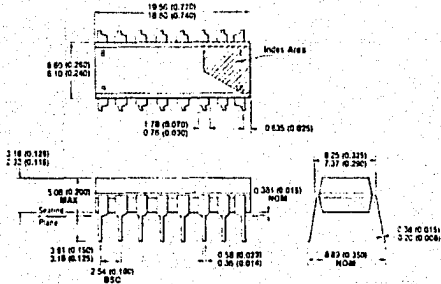
All dimensions are typical unless otherwise specified.

Controlling dimensions are inch dimensions.

Metric dimensions appear first, followed by inch dimensions.

16 Lead Plastic Dual In-Line

Ordering Code: 74ACXXXPC
CD4XXX 74ACTXXXPC



Notes

Index area: a notch or Lead One identification mark shall be located adjacent to Lead One and shall be located within the shaded area shown.

Leads are intended for insertion in hole rows on 7.620 (0.300) centers. They are purposely shipped with positive misalignment to facilitate insertion.

Leads are copper alloy, either plated or solder coated.

Package plastic material is novolac epoxy.

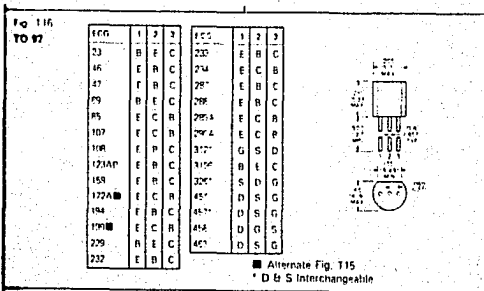
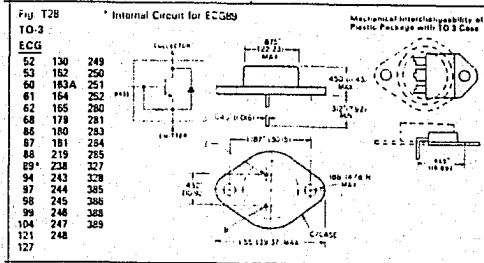
Package weight is 0.9 gram.

All dimensions are typical unless otherwise specified.

Controlling dimensions are inch dimensions.

Metric dimensions appear first, followed by inch dimensions.

ECG Type	Description and Application	Collector To Base Volts BV _{CEO}	Collector To Emitter Volts BV _{CE0}	Base to Emitter Volts BV _{EB0}	Max. Collector Current I _C Amps	Max. Device Diss. P _D Watts	Freq. in MHz f _t	Current Gain h _{FE}
ECG98	NPN Si, HV Darlington Pwr Amp. Fast Sw. t _r = .5 μsec	700	500	8	20	175	---	40 min
ECG123AP	NPN Si, AF/RF Amp. Driver (Compl to ECG153)	75	40	6	6	500 (T _A = 25°C)	300	200 typ



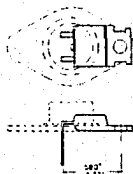
ECG Type	Description and Application	Collector To Base Volts BV_{CBO}	Collector To Emitter Volts BV_{CEO}	Base to Emitter Volts BV_{EBO}	Max. Collector Current I_C Ampe	Max. Device Diss. PD Watts	Freq. in MHz f_t	Current Gain h_{FE}
ECG157	PNP Si. HV AF Pwr Amp (Cuml to ECG39)	300	300	3	5	20.8	10	30 min
ECG379	NPN Si. HV Hi Speed Pwr Sw	700	400	3	12	100	4 min	20 typ
ECG397	PNP Si. Linear Amp & Hi Speed Sw (Cuml to ECG39)	350	300	6	1	10	15 min	50 typ

Fig. T41

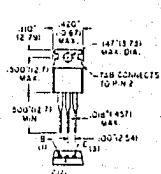
TO-220

ECG

31	235	331
64	238	332
56	241	375
56	242	376
66*	281	377
67*	282	378
152	283	379
153	284	398
196	281	2303
197	282	2315
198		



TO 220 DIMENSIONS



Mechanical Interchangeability of TO-220 Plastic Package with TO-66 Case - See Detailed Illustration Page 26.

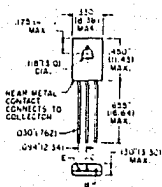
* Basing - GDS

Fig. T45

TO-126

ECG

28
157
184
185
253
254
296
373
374



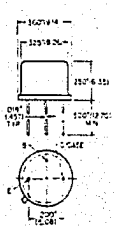
HEAT METAL CONTACT CONNECTS TO COLLECTION

Fig. T6

TO-33

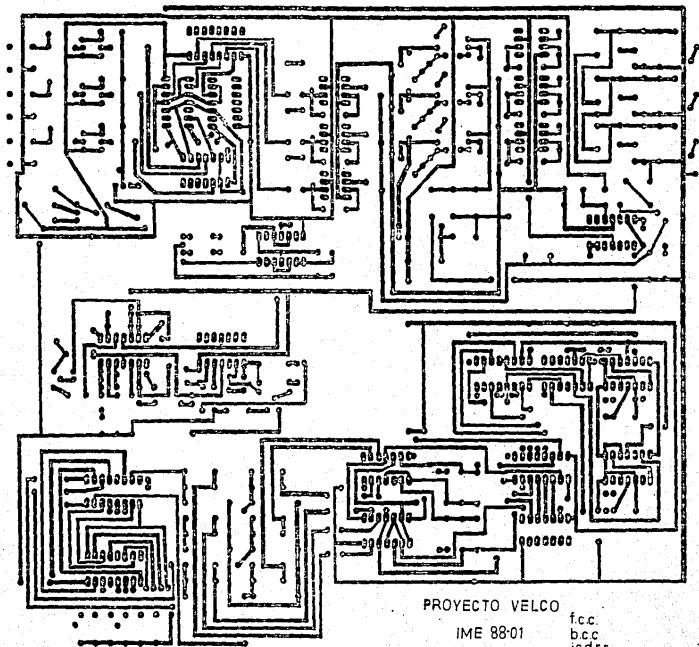
ECG

77	323
123	324
128	329
129	348
154	306
178	297
185A	472
278	473
282	479
311	486



A P E N D I C E E.
CIRCUITOS IMPRESOS.

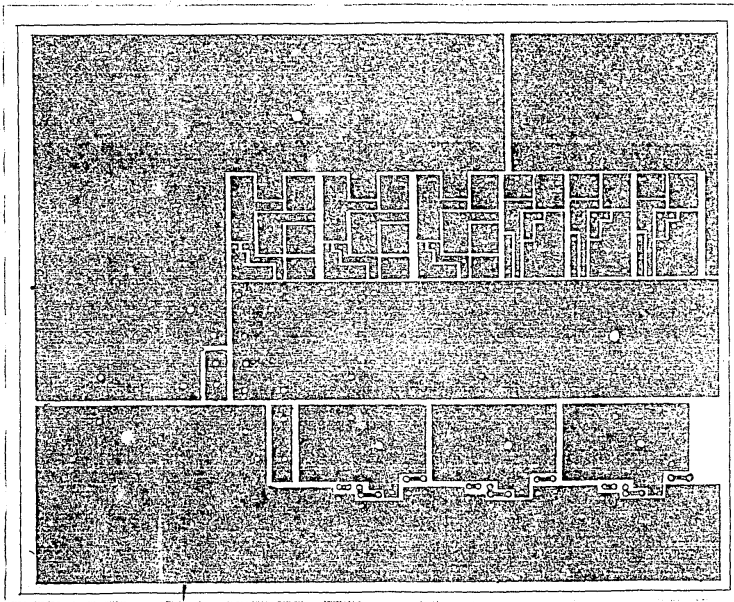
ESTA TESIS NO DEBE
SIR DE LA BIBLIOTECA



PROYECTO VELCO

IME 88-01

f.c.c.
b.c.c.
j.c.d.r.r.
a.r.m.



BIBLIOGRAFIA

B I B L I O G R A F I A .

- ADVANCED PWM INVERTED TECHNIQUES
Jerry Pollack
IEEE Transactions on Industry Applications
(1972)

- CIRCUITOS Y DISPOSITIVOS ELECTRONICOS
Ronald J. Tocci
Interamericana
(1985)

- CMOS, DATABOOK
National Semiconductor Corporation
(1981)

- DISEÑO DIGITAL
M. Morris Mano
Prentice Hall
(1987)

- ELECTRONICA DE POTENCIA
Guy Seghier
Editorial Gustavo Gili (GG)
(1982)

- ELECTRONICA DIGITAL BASICA CON APLICACIONES.
John A. Dempsey
Fondo Educativo Interamericano
(1984)

- ELECTRONICA INDUSTRIAL, DISPOSITIVOS Y SISTEMAS.
Timothy J. Maloney
Prentice Hall
(1986)

- ELECTRONICA TEORIA DE CIRCUITOS.
Robert Boylestad.
Louis Nashelsky
Prentice Hall
(1986)

- MASTER REPLACEMENT GUIDE
ECG Semiconductors
(1985)

- RECTIFIERS AND ZENER DIODES DATA
Motorola, Inc.
(1981)