

42
24



**UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO**

FACULTAD DE INGENIERIA

DISEÑO Y REALIZACION DE UNA ARQUITECTURA
MODULAR PARA UN NODO X-25

T E S I S

Que para obtener el título de
INGENIERO MECANICO ELECTRICISTA
presenta

ELADIO ESCUTIA ACOSTA



FALLA DE ORIGEN

México, D. F.

1989



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

INTRODUCCION	1
RESUMEN	2
CAPITULO 1:	
1 REDES DE COMPUTADORAS.	5
1.1 QUE ES UNA RED DE COMPUTADORAS.	6
1.1.1 ESTRUCTURA DE LA RED DE COMPUTADORAS..	8
1.2 DIFERENTES TIPOS DE CONMUTACION EN REDES. 9	
1.2.1 REDES DE CONMUTACION DE CIRCUITOS. ..	10
1.2.2 REDES DE CONMUTACION DE MENSAJES. ...	11
1.2.3 REDES DE CONMUTACION DE PAQUETES. ...	12
CAPITULO 2:	
2 NORMA X:25.	15
2.1 ESTANDARIZACION.	16
2.2 ARQUITECTURA DE CAPAS.	17
2.3 MODELO DE REFERENCIA I.S.O. (NORMA X:25) 18	
2.3.1 NIVEL FISICO.	20
2.3.2 NIVEL DE ENLACE.	23
2.3.3 NIVEL DE PAQUETES.	26
CAPITULO 3:	
3 DIFERENTES ARQUITECTURAS PARA EL NODO.	29
3.1 ARQUITECTURA CON UN PROCESADOR CONTROLANDO TODAS LAS LINEAS.	31
3.2 ARQUITECTURA MULTIPROCESADOR CON UN UN PROCESADOR PARA CADA LINEA.....	32
3.3 ARQUITECTURA MULTIPROCESADOR CON UN PROCESADOR PARA CADA LINEA Y UNO PARA ENRRUTAMIENTO.	34

CAPITULO 4:

4	ARQUITECTURA GENERAL DEL NODO.	37
4.1	PROCESADOR DE ENTRADA SALIDA.	42
4.1.1	MEMORIA LOCAL ROM Y RAM.	43
4.1.2	CONTROLADOR DE COMUNICACIONES WD2511 CON ACCESO DIRECTO A MEMORIA (DMA).	43
4.1.3	INTERFAZ DE ACCESO A LA MEMORIA COMUN..	50
4.1.4	TEMPORIZADOR	53
4.2	ARBITRO	56
4.2.1	FUNCIONAMIENTO DEL ARBITRO	56
4.3	MEMORIA COMUN	60
4.4	PROCESADOR PRINCIPAL.	61

CAPITULO 5:

5	PRUEBAS DE FUNCIONAMIENTO	64
5.1	PRUEBAS DE FUNCIONAMIENTO DE LA TRANSMI- SION Y RECEPCION POR EL WD-2511.....	65
5.2	PRUEBAS DE ACCESO A LA MEMORIA COMUN	71
5.3	CONSIDERACIONES DEL TIEMPO PARA EL ACCE- SO A LA MEMORIA COMUN.....	74
	CONCLUSIONES	77
	BIBLIOGRAFIA.	78
	APENDICE A (PROGRAMAS)	79
	APENDICE B (DIAGRAMAS)	86

I N T R O D U C C I O N

El presente trabajo nace en 1986, como parte de un proyecto de la Universidad Autonoma Metropolitana, (U.A.M.) unidad Azcapotzalco.

El proyecto de la U.A.M. plantea la construcción de una red de computadoras, que permita la interconexión y comunicación de DATOS, entre los diversos usuarios de las computadoras dentro de la Universidad, así como su enlace con la red de datos TELEFAC.

El proyecto también nace con la finalidad, de crear un grupo de desarrollo e investigación, que adquiera experiencia en el diseño y construcción de este tipo de tecnologías de vanguardia.

El presente trabajo, junto con el elaborado por el Ing. JUAN MANUEL HERNANDEZ RODRIGUEZ, conforman el diseño y realización de un nodo de conmutación de paquetes. La parte presentada en este trabajo se denomina DISEÑO Y REALIZACIÓN DE UNA ARQUITECTURA MODULAR PARA UN NODO X-25, que se refiere a la propuesta y realización de una arquitectura multiprocesador, con una estructura modular. y La segunda parte se denomina IMPLANTACION DE UN PROTOCOLO X-25 PARA UNA ARQUITECTURA MULTIPROCESADOR, se refiere a la definición e implantación de los programas en la arquitectura propuesta.

RESUMEN

El presente trabajo DISEÑO Y REALIZACIÓN DE UNA ARQUITECTURA MODULAR PARA UN NODO X-25, muestra el diseño y la construcción, del "hardware" para un nodo de conmutación de paquetes, este diseño se realizó, en base al análisis del trabajo que tiene que realizar, considerandolo a este como un elemento de la red de computadoras.

En el trabajo se analizan las diferentes alternativas para su construcción, estas alternativas son con respecto al manejo de la información y con respecto al manejo de sus recursos, analizando en cada uno de los modelos presentados, sus ventajas y desventajas. Con respecto al manejo de información, se analizan tres técnicas, que son la conmutación de circuitos, la conmutación de mensajes y la conmutación de paquetes y con respecto al manejo de sus recursos, se revisaron tres modelos, el primero tiene un procesador para controlar todas las líneas, el segundo es una arquitectura multiprocesador, con un procesador para controlar cada una de las líneas y el tercero también es una arquitectura multiprocesador, con un procesador para controlar cada línea y un procesador para realizar el enrutamiento.

Después de analizar cada uno de los modelos, se da una solución, la que utiliza la técnica de conmutación de paquetes, con una arquitectura multiprocesador, en esta arquitectura se cuenta con un procesador para controlar cada línea de comunicación y otro procesador, para realizar el enrutamiento, esta arquitectura se realizó en base a el microprocesador Z-80 y

al controlador de la línea WD-2511. Para el manejo de la conmutación de paquetes se utilizó, la norma X-25 del comité consultivo de telegrafía y telefonía (C.C.I.T.T.).

La presentación del trabajo se divide en 5 capítulos:

Capítulo 1: En este capítulo, se muestran en forma general, los elementos de que esta constituida una red de computadoras, así como las funciones que realizan dentro de esta.

En este capítulo, se muestran los diferentes tipos de conmutación en redes, que en la actualidad se han desarrollado más ampliamente, revisando las ventajas y desventajas de cada una de estas técnicas.

Capítulo 2: En este capítulo, se revisa la norma X-25 del Comité Consultivo de Telegrafía y Telefonía (C.C.I.T.T). Esta norma es el estándar internacional para la interconexión de equipos heterogeneos, en las redes publicas de datos.

Capítulo 3: En este capítulo, se muestran 3 diferentes arquitecturas con las que se puede implementar el nodo, así también se indican las ventajas y desventajas de cada una de estas.

Capítulo 4: en este capítulo se muestra la solución que se dio para la construcción del nodo, la que se basa en una arquitectura multiprocesador, que utiliza un procesador para controlar las líneas de comunicación, denominado procesador de entrada salida PI/O, y un procesador para realizar el enrutamiento, nombrado procesador principal P/F.

Este capítulo se divide en cuatro partes que se indican a continuación.

PROCESADOR DE ENTRADA SALIDA : Este procesador es el que

se encarga de manejar la comunicación en una línea y esta construido en base al microprocesador Z-80, y un circuito de control denominado WD_2511.

PROCESADOR PRINCIPAL : Este es el encargado de supervisar la comunicación entre los procesadores de entrada salida. Su construcción, se basa en el microprocesador Z-80.

MEMORIA COMUN :En ella se realiza la comunicación entre los procesadores de entrada salida y el procesador principal. Esta compuesta únicamente de memoria RAM.

ARBITRO : Es el encargado de supervisar el acceso a la memoria común, de todos los procesadores.

En la parte final de este trabajo se presentan las pruebas y conclusiones, así como los apendices, en el apéndice B, se muestran los circuitos eléctricos, de cada uno de los elementos que conforman el nodo y en el apéndice A se muestran los programas en ensamblador de las pruebas que se realizaron.

C A P I T U L O 1
REDES DE COMPUTADORAS

1 REDES DE COMPUTADORAS

1.1 QUE ES UNA REDE DE COMPUTADORAS.

El avance de la tecnología en computación, a hecho, que las computadoras sean una herramienta de uso generalizado y en cierto modo imprescindible en la realización del trabajo diario.

En las primeras décadas, se construyeron grandes computadoras con costos muy elevados, por lo que su uso, era un privilegio para las personas o empresas que podían adquirirlas. Con el avance en la tecnología los costos de fabricación comenzaron a reducirse, dando la posibilidad para que un número mayor de usuarios las pudieran adquirir y de esta manera pasaran a ser una herramienta de uso generalizado debido a esto y a la creciente necesidad de comunicación entre los usuarios, dieron la pauta para que el modelo de la gran computadora centralizada, fuera substituido por otro, en el que se interconectan diferentes computadoras independientes, pero capaces de intercambiar información, para compartir tareas, a esta forma de interconexión entre computadoras se le dio el nombre de RED DE COMPUTADORAS

Las redes de computadoras pueden ser redes locales, que son computadoras interconectadas a distancias no mayores a un kilómetro, como puede ser un cuarto o un edificio, o redes de computadoras grandes, que se encuentran interconectadas a distancias de 10 Km a 100 km, como pueden ser en una ciudad o un país, También se pueden interconectar entre ellas hasta formar una red de computadoras entre dos países o de un continente a otro.

Las redes de computadoras distribuidas, son aquellas donde las

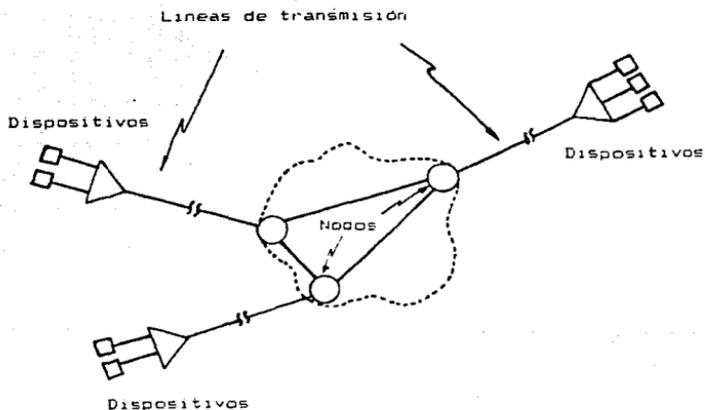
funciones de computo, estan dispersas entre varios elementos fisicos.

1.2.1 ESTRUCTURA DE LA RED DE COMPUTADORAS.

Una red de computadoras, está compuesta básicamente de los siguientes elementos:

- 1: DISPOSITIVOS (Computadoras).
- 2: NODOS DE CONMUTACION.
- 3: LINEAS DE TRANSMISION.

Estos elementos se muestran en la figura (1.1).



Elementos de la red de computadoras.
FIG. (1.1).

Los dispositivos corresponden a las terminales, que son nombrados "HOSTS", en las que corren los programas del usuario, que solicitan los servicios de la red, y que se encuentran conectados al nodo, a través de la subcapa de comunicación por

medio de las líneas de transmisión, que también son conocidas como circuitos o canales de comunicación, estos pueden ser alambre trenzado, cable coaxial o fibra óptica, dependiendo del tipo de información, que se este manejando en la comunicación, como pueden ser datos, imagen, voz, correo electrónico etc. Todos estos servicios, se ofrecen en las redes de computadoras más recientes, que se conocen, como REDES DIGITALES DE SERVICIOS INTEGRADOS (R.D.S.I.).

El nodo realiza la tarea de manejar la información, para poder llevar a cabo la comunicación entre los usuarios, asegurando que la información transmitida, sea manejada en forma eficiente y confiable, por lo que tendrá que realizar las tareas del control de error y el control de flujo para cumplir con esta finalidad.

Dependiendo de la manera en que maneja la información, así como sus recursos, será el tipo de la red, en la actualidad se tienen tres grandes tipos de redes, que son las siguientes:

- 1) REDES DE CONMUTACION DE PAQUETES.
- 2) REDES DE CONMUTACION DE MENSAJES.
- 3) REDES DE CONMUTACION DE CIRCUITOS.

1.2 DIFERENTES TIPOS DE CONMUTACION EN REDES.

En esta parte del capítulo, se presentan los 3 modelos de conmutación para redes, que son utilizados más ampliamente, mostrándose las ventajas y desventajas de cada uno de ellos, así como la justificación del porque se seleccionó, la técnica de conmutación de paquetes para ser implementado en el diseño del nodo.

1.2.1 REDES DE CONMUTACION DE CIRCUITOS.

En la técnica de conmutación de circuitos, se dedican recursos de la red, tanto en espacio, tiempo, espectro de frecuencia etc. en forma permanente, para cada una de las llamadas que se encuentran establecidas, durante el tiempo que dure la comunicación.

La ventaja en este tipo de red, es en el establecimiento de la llamada, ya que se tiene el mismo procedimiento, si se requiere transmitir datos o voz y además no se requiere ningún protocolo durante la transferencia de la información, ya que el recurso está destinado a la llamada punto a punto, durante el tiempo en que dure la comunicación.

Esta red a mostrado grandes ventajas en la transmisión de voz, como es el caso de la red telefónica.

La conmutación de circuitos, tiene también importantes desventajas, la primera es la de la compatibilidad, ya que cada una de las terminal que quedan conectada punto a punto, tienen que ser compatibles y estar limitado a que cada uno de estos equipos, pueda tener establecido únicamente una sola llamada. Otra desventaja es en el establecimiento de el circuito, ya que se tiene que realizar gran cantidad de procesamiento, por la asignación de los recursos. Otro problema es el bloqueo de llamadas, ya que parte de los recursos están destinados para una llamada, podría suceder que en un momento estén ocupadas las líneas para acceder un recurso, quedando bloqueada la comunicación para otros usuarios, disminuyendo la eficiencia de la red, por lo que en este tipo de redes se debe contar con gran

cantidad de recursos para disminuir el bloqueo de las llamadas.

1.2.2 REDES DE CONMUTACION DE MENSAJES.

En las redes de conmutación de mensajes, la información se envía en un solo mensaje, almacenándose en cada nodo dentro de la red, antes de pasar al siguiente punto.

En este tipo de red, las desventajas de la conmutación de circuitos, como es la compatibilidad, el bloqueo y la ineficiencia de la red se eliminan. La necesidad de compatibilidad se elimina ya que los usuarios no quedan conectados directamente y el nodo puede realizar cierto procesamiento con la información, como es en el cambio de código o de velocidades, o el protocolo de comunicación haciéndolo compatible con la terminal a la que se encuentra conectada. el bloqueo se elimina, ya que si se encuentran ocupadas las líneas, se almacena el mensaje para ser enviado posteriormente, lográndose distribuir eficientemente la información, por los diferentes canales de comunicación, sin producir congestión o problemas de tráfico, lográndose una alta eficiencia en la utilización de la red.

Las desventajas en este tipo de red es que, se requiere de dispositivos de gran capacidad de almacenamiento. Cuando el tráfico es alto, no se sabe cuanto tiempo estará la información dentro de la red, por lo que esta red más que bloquearse, el tráfico es lento, ya que los mensajes de corta duración tendrán que esperar a que se transmitan los mensajes, que en ese momento se están transmitiendo, aún cuando estos sean muy grandes evitándose por esto, la posibilidad de manejar la comunicación

en forma interactiva. Otra desventaja, es que debido al procesamiento de gran cantidad de información, lo que hace necesario que se tengan procesadores muy potentes, que lleven el control del equipo periférico y el procesamiento de toda la información.

1.2.3 REDES DE CONMUTACION DE PAQUETES.

La técnica de conmutación de paquetes es un caso especial de la de conmutación de mensajes. En la conmutación de paquetes, el mensaje es dividido en partes que son llamadas paquetes, que son de un tamaño restringido, siendo este, la unidad de información que se mueve dentro de la red, en cada uno de los nodos.

La forma de manejar la información, en la conmutación de paquetes, se basa en el método de almacena y envía, como en la conmutación de mensajes, con este método, cada nodo dentro de la red, después de recibir un paquete, guarda una copia, antes de transmitir el paquete al siguiente nodo y la destruye, cuando se asegura que el siguiente nodo lo ha recibido correctamente.

Con este método de almacena y transmite se puede manejar la información para evitar congestionamientos en la red o problemas de tráfico, lográndose de esta manera, una utilización eficiente de la red.

Otro de las ventajas se logra con la división de los mensajes en forma de paquetes, ya que se hace mínima la interferencia de grandes mensajes con los mensajes pequeños y con la utilización eficiente de la red, se logra tener la comunicación en tiempo real, que era una de las desventajas en la conmutación de mensajes.

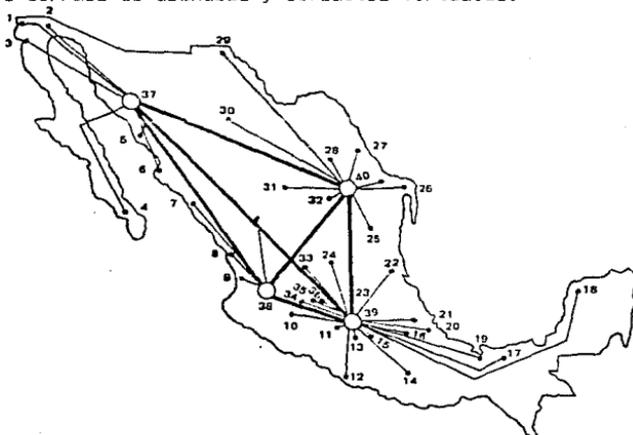
Otra ventaja se logra con la utilización de la técnica de circuitos virtuales. Con esta técnica, cada terminal que se conecta a la línea de comunicación, considera a esta como si estuviera dedicada exclusivamente a ella, lográndose de esta manera, que cada línea física sirva para realizar la comunicación entre diferentes usuarios, evitándose la desventaja, que se tiene en la conmutación de circuitos, donde cada línea de comunicación servía para una sola llamada.

La desventaja con esta forma de manejar la información es que se hace necesario un estricto control sobre los paquetes, para poder asegurar que la información transmitida, sea recibida correctamente. Para lograr esto, diferentes grupos han trabajado en la implementación de diferentes técnicas de transmisión, conocidos como "protocolos de comunicación", uno de estos es el de C.C.I.T.T conocido como x:25.

Del análisis de las ventajas y desventajas de cada una de las métodos de conmutación, considero que la de conmutación de paquetes, presenta mejores alternativas, para ser implementada para el manejo de datos, ya que esta técnica nos ofrece las ventajas de la conmutación de mensajes como es la eficiencia en la red y no se tienen las desventajas, como son los requerimientos de gran capacidad de almacenamiento, además de no requerir grandes procesadores para el manejo de gran cantidad de información, ya que se dividió en paquetes, así también con esto se elimina los grandes retardos que existen en la conmutación de mensajes, que evitaba la posibilidad realizar la comunicación en tiempo real.

Con respecto a la conmutación de circuitos, no se tienen las desventajas, de tener terminales que sean compatibles o que una línea de comunicación sea para una sola llamada, ya que en la conmutación de paquetes, no se tiene la conexión punto a punto y cada línea puede ser utilizada por diferentes usuarios a la vez, con la técnica de "llamadas virtuales".

México cuenta con una red de conmutación de paquetes llamada TELEFAC que inicio sus servicios en 1980, esta red se encuentra distribuida en todo el país, con cuatro nodos que se encuentran en Hermosillo, Monterrey, Guadalajara y México, que ofrecen sus servicios a 40 ciudades de la república mexicana como se muestra en la fig(1.2). Los servicios que ofrece esta red, son los de comunicación de datos por cobrar, comunicación de datos para un grupo cerrado de abonados y circuitos virtuales.



Red de datos TELEFAC.
FIG(1.2).

C A P I T U L O 2

LA NORMA X-25.

2 LA NORMA X-25.

2.1 ESTANDARIZACION.

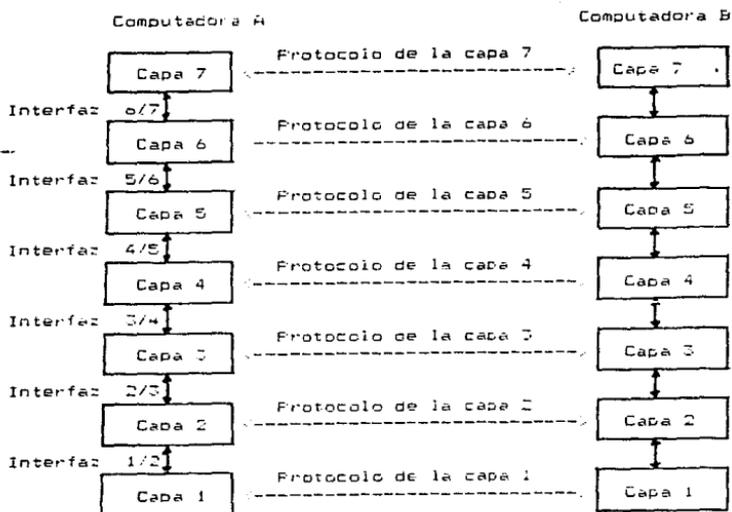
Los fabricantes de computadoras, han ido desarrollando diferentes arquitecturas, en la implementación de sus equipos y diferentes técnicas para la interconexión de estos, en la implementación de los sistemas distribuidos. Aunque dichas arquitecturas son parecidas, no permiten la interconexión directa de equipo heterogéneo, por lo que en las diferentes organizaciones que existen a nivel mundial, se ha visto la necesidad de realizar estándares, para esta posible interconexión.

En 1947 la Unión internacional de telecomunicaciones (U.I.T.) fue considerada por la Organización de las Naciones Unidas (O.N.U.) como el organismo especializado, en el manejo de estándares de telecomunicación. Este organismo esta formado por dos comités el Comité Consultivo Internacional de Radio (C.C.I.R.) y el Comité Consultivo de Telegrafía y Telefonía (C.C.I.T.T.), siendo este el comité más importante desde el punto de vista de las comunicaciones de datos y al que México se encuentra apegado en todas sus recomendaciones. Este comité se encarga de la elaboración de estándares, sobre la transmisión de datos en las redes publicas, que se denominan normas "X" y "V".

En 1976 este organismo aprueba el modelo propuesto por otro organismo a nivel internacional, la Organización Internacional de Estándares (I.S.O.), conocida como la norma X:25, que fue modificada en 1980 y que es la versión en la que se basa el presente trabajo.

2.2 ARQUITECTURA DE CAPAS.

Para reducir la complejidad en el diseño de redes, estas se organizan en una estructura de capas fig (2.1), siendo la finalidad de cada una de las capas de menor nivel, ofrecer ciertos servicios a las capas superiores. Estas capas se encuentran implementadas en las terminales de los usuarios y cuando se realiza la comunicación entre estos, cada capa realiza una comunicación con su correspondiente, en el otro extremo, como se muestra en la figura (2.1), de acuerdo a ciertas reglas y convenciones, a las que se denomina el protocolo de comunicación de la capa N.



ARQUITECTURA DE CAPAS
FIG. (2.1).

La comunicación entre las capas, no es una transferencia directa de datos, esta se realiza a través de la capa inferior, conocida como la capa física. Cada capa de nivel superior envía su información a la capa inferior hasta llegar a la capa física y de esta manera realizar la comunicación, a la comunicación entre las capas superiores se le llama comunicación virtual y la comunicación entre las capas físicas es en realidad la comunicación física. Entre cada capa existe una interfaz, donde se definen las operaciones y servicios de la capa inferior que son ofrecidos a las capas superiores.

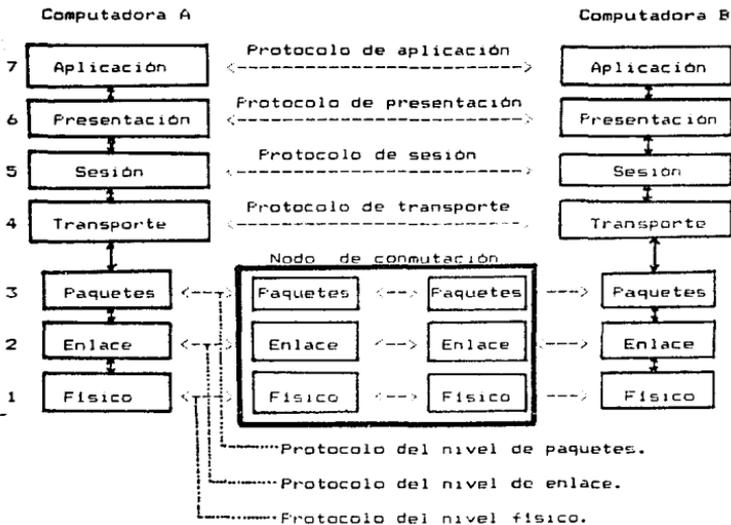
Al conjunto de capas y protocolos de comunicación se le llama la "arquitectura de la red".

2.3 EL MODELO DE REFERENCIA I.S.O.

El objetivo de este modelo, es el de definir un conjunto de reglas que hagan posible la interconexión de equipos heterogéneos, esta interfaz será entre el "host", llamado por el C.C.I.T.T. como el equipo terminal de datos (D.T.E.) y el equipo terminal del circuito de datos (D.C.E.) utilizando las redes públicas de datos.

La arquitectura de la red propuesta por I.S.O., es una arquitectura de 7 capas, como lo muestra la figura (2.2). Donde se muestran dos DTEs A y B, así como las siete capas del modelo I.S.O. y sus protocolos de comunicación y en la parte central se muestra la arquitectura de capas para el NODO DE CONMUTACION DE PAQUETES. que es la parte que se diseñó, con la arquitectura multiprocesador, presentada en este trabajo y con el software

desarrollado en la parte de implementación del protocolo X:25, para dicha arquitectura multiprocesador.



Arquitectura de capas del modelo ISO.
FIG (1.2).

La arquitectura del NODO consta de tres niveles:

- 1.- NIVEL FISICO.
- 2.- NIVEL DE TRAMAS.
- 3.- NIVEL DE PAQUETES.

Las reglas y convenciones de estos tres niveles forman el protocolo de comunicación X-25 y que define únicamente la interfaz entre el DTE y el DCE, ya que la forma en que se maneja la información en la red no es definida en X-25.

2.3.1 NIVEL FISICO.

La capa física es la que se encarga de definir las características mecánicas y eléctricas para el manejo de los bits en los canales de comunicación, que conectan a un DTE con el DCE durante la transmisión y la recepción de tramas. Estas características se definen en la norma X-21 bis y V-28, la norma X-21 bis define las señales eléctricas y hace referencia a la norma V-28, para definir las características eléctricas de dichas señales. La norma ISO-2110, define las características mecánicas.

La norma X-21-bis se aplica en conmutación de paquetes, a usuarios que transmiten en forma síncrona, a velocidades de;

2400 bits/s.
4800 bits/s.
9600 bits/s.
48000 bits/s.

Cuando se transmite a velocidades menores de 9600 bits/s. se hace referencia a la norma V:28 donde se indican las características para todos los circuitos que transmiten a velocidades menores de 20 Kbits/s. En la ISO-2110 y ISO-4902 se indican las características mecánicas del tipo de conector, en el primer caso es un conector de 25 patitas, y en el segundo caso se define un conector de 37 patitas. Cuando se transmite a la velocidad de 48 Kbits/s. se utiliza la norma V:35 para definir las características eléctricas y la ISO-2593, para definir las características mecánicas, en esta se define un conector de 34 patitas.

Cada administración de la red selecciona un tipo de conector,

en el presente trabajo se transmitió a 9600 bits/seg con un conector de 25 patitas fig(2.3). Cada una de los circuitos se muestran en la tabla(2.1)

# circuito("pin")	Función.
101 (1)	Tierra de protección.
102 (7)	Tierra o retorno común.
103 (2)	Línea de transmisión de datos.
104 (3)	Línea de recepción de datos.
105 (4)	Señal par indicar la petición para transmitir. ("Request to Send").
106 (5)	Señal de respuesta para poder transmitir. ("Clear to Send").
107 (6)	Señal de indicación que se está transmitiendo.
108/1 (20)	Indicación de que el DTE está en operación.
108/2 (20)	Indicación de que el modem está en operación.
114 (15)	Reloj de transmisión de DCE.
115 (17)	Reloj de recepción del DTE (se conecta con 114).

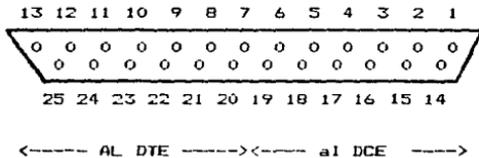
tabla (2.1).

Este nivel realiza dos tareas, una de conexión-desconexión y dos de transferencia de datos. En la fase de conexión el DTE activa el circuito 107 poniéndolo "ON" (valor lógico cero) y el DTE responde poniendo la línea 108/1 en "ON", por lo que el estado de conexión en forma general se tiene cuando las líneas 107 y 108/1 están en "ON".

La fase de desconexión se tiene cuando el DCE desactiva el circuito 108/1 y el DTE desactiva el circuito 107, por lo que este estado se tiene cuando las líneas 107 y 108/1 se tienen en "OFF" (valor lógico uno).

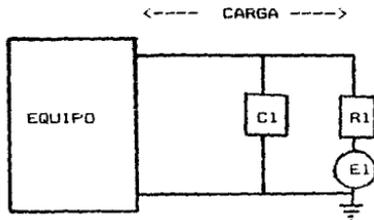
En la transferencia de datos el DTE activa el circuitos 105, que es la petición para transmitir y el DCE le contesta con la aceptación para que transmita, poniendo el circuito 106 en "ON" en este momento el DTE puede transmitir poniendo el circuito 109 en "ON" siendo este el estado que indica, que pueden

transmitir o recibir información, por los circuitos 103 y 104 respectivamente, sincronizados con los circuitos de reloj 114 y 115.



Conector para la interaz serie
para el nivel físico.
FIG(2.3).

Las características electricas de estos circuitos se encuentran en la norma V-28, los valores de voltaje para los niveles lógicos "ON"=0 y "OF"=1, definidos para los circuitos de datos, de control y de temporización, serán para el valor lógico uno, de un voltaje de -3 V. a -15 V. y para el valor lógico cero de +3 V. a +15. la región comprendida entre +3 y -3 será una región de transición, estos valores serán medidos en las terminales de nuestro equipo por un circuito de carga equivalente como el mostrado en la fig(2.4). para una carga resistiva (R1) de 3000 ohms a 7000 ohms y una capacitancia (C1) de 2500 picofarads.



R1 : Resistencia de carga.
 C1 : Capacitancia de carga.
 E1 : Voltaje de polarización.

Circuito de carga equivalente.
 FIG (2.4).

2.3.2 NIVEL DE ENLACE.

La finalidad de este nivel, es la de tomar el nivel físico y transformarlo en un nivel libre de errores, por lo que se dice que este nivel da líneas de transmisión libres de error.

El protocolo de comunicación utilizado en este nivel no es exclusivo de X:25, es un subconjunto del protocolo H.D.L.C. (High-Level Data Link Control) que es ampliamente utilizado en la transmisión de datos, este protocolo es conocido como L.A.P.B. (LINK ACCESS PROCEDURE BALANCED).

A fin de cumplir con los objetivos de este nivel, el protocolo utiliza una estructura de información conocida como trama, la que se muestra en la figura (2.5).

y mantener conectada la línea.

Enseguida se tiene el número de secuencia de envío $N(S)$, que toma valores de 0 a 7, este número, indica el número de la trama de información que se está transmitiendo. También se tiene el número de secuencia de tramas recibidas $N(R)$, este número es el acuse de recibo de las tramas transmitidas. Estos números son utilizados en este nivel, para realizar el control de flujo. El método con el que se maneja estos números, es de acuerdo al mecanismo de ventanas, este mecanismo indica, que no se pueden transmitir más de 7 tramas, sin recibir acuse de recibo.

Posteriormente, se tienen los bytes de información, que de acuerdo a la norma, el tamaño máximo es de 128 bytes. Para el control de error, se tienen dos bytes conocidos como C.R.C. (código de redundancia cíclica) y por último la bandera de indicación de fin de trama.

La forma en que se manejan las tramas, es como se mencionó anteriormente, de acuerdo al protocolo L.A.P.B. el principio de funcionamiento es como sigue. La estación que transmite un paquete, mantiene una copia e inicializa un reloj "timer" y cuando recibe el acuse de recibo de una o más tramas de información transmitidas, las tramas asociadas con ese acuse de recibo, son removidas del área de memoria, cuando no se recibe el acuse de recibo de una trama y expira el "timer", se transmite una trama de supervisión y si después de N intentos no se recibe el acuse de recibo, se toma una acción de recuperación, esta será una indicación de error para el nivel de paquetes, para que este tome las acciones necesarias.

Así también cuando se recibe una trama fuera de secuencia la estación envía otra trama de rechazo (REJECT), para que la estación que la transmitió, retransmita las tramas que no han recibido acuse de recibo.

Existen condiciones de error que no se pueden corregir con retransmisiones y en los que es necesario indicarlo al nivel de paquetes con una indicación de error, indicando las causas en los registros del WD-2511, y por medio de una interrupción al procesador.

2.3.3 NIVEL DE PAQUETES.

Esta capa también llamada de red, nos asegura que la información que se envía en las tramas de información, sea correctamente recibida.

El nivel de paquetes define los procedimientos y formatos de los servicios ofrecidos en este nivel, tales como el establecimiento y ruptura de enlaces, transferencia de datos, control de flujo y control de error, usando los canales lógicos.

El establecimiento de los canales lógicos, puede iniciar, cuando se tenga establecido el nivel dos de tramas, o sea que se tenga establecido el enlace. El establecimiento de un canal lógico, es por medio de una llamada virtual, el D.T.E. que desea llamar selecciona un canal lógico, iniciando con el número máximo libre, la red lo transmite con el número mínimo aprovechable, esto con objeto de minimizar colisiones, si el D.T.E. llamado acepta la comunicación, lo informa a la red, para que esta lo indica al D.T.E. que llamó y establece el circuito virtual, para

que se pueda inicializar, la transferencia de paquetes de datos. Cuando se transmite un paquete se tiene un tiempo máximo de espera de respuesta, si en ese tiempo no se recibe respuesta se activa un procedimiento de error.

La transferencia de datos es controlada en cada interfaz DTE/DCE, con el mecanismo de ventana, con un tamaño de dos, este mecanismo, es un procedimiento para el control de flujo, e indica el número máximo (ventana) de paquetes que se pueden transmitir sin recibir acuse de recibo, para esto, los paquetes de datos que se transmiten, son numerados secuencialmente, del 0 al 7, este es el número de secuencia del paquete $P(S)$, así también tienen el número de secuencia de paquetes recibidos, $P(R)$, de donde el número $P(R)-1$ indica, cuales son los paquetes transmitidos que han recibido acuse de recibo, de esta manera, no se puede transmitir un paquete de datos que tenga un número de secuencia $P(S)$, mayor que $P(R)+1$. El tipo de acuse de recibo se especifica en el paquete de datos con el bit D, cuando es puesto a cero, la red no espera acuse de recibo del DTE remoto, esta lo envía y cuando el bit D es puesto a uno, la red espera el acuse de recibo del DTE remoto, con la recepción de acuse de recibo la red rota (incrementa) su $P(R)$ del control de la ventana.

Existe durante la transferencia de datos, el procedimiento de "reset", este procedimiento, sirve para reinicializar la llamada virtual, cuando se tiene un error en ese canal lógico, ya que al existir errores graves, en el nivel físico o de tramas, se tiene el procedimiento de restart, que reinicializa la toda red.

Para realizar estos procedimientos se manejan los diferentes tipos de paquetes que se enumeran a continuación:

PAQUETES DE ESTABLECIMIENTO DE ENLACE.

Call Request. (Petición de enlace del DTE).
Call Accepted. (Aceptación de enlace del DTE).
Incomin Call. (Petición de enlace del DCE).
Call Conected. (Aceptación de enlace del DCE).

PAQUETES DE LIBERACION DE ENLACE.

Cler Request. (petición del DTE de liberar enlace).
Cler Indicación. (Petición del DCE de liberar enlace).
Cler Confirmation. (Indicación de que se libero el enlace).

PAQUETES DE CONTROL DE ERROR.

Reset request. (Petición del DTE de liberar el enlace por
que ocurrió un error.)
Reset indication. (Petición del DCE de liberar el enlace
por que ocurrió un error).
Reset confirmation. (Confirmación de liberación de enlace).
Restart indication. (Indicación de liberar todos los
enlaces, porque ocurrió un error grave)
Restart confirmation. (confirmación de liberación de
todos los enlaces).

PAQUETES DE DATOS.

Datos. (paquetes de datos).
interrupciones. (paquetes de datos).

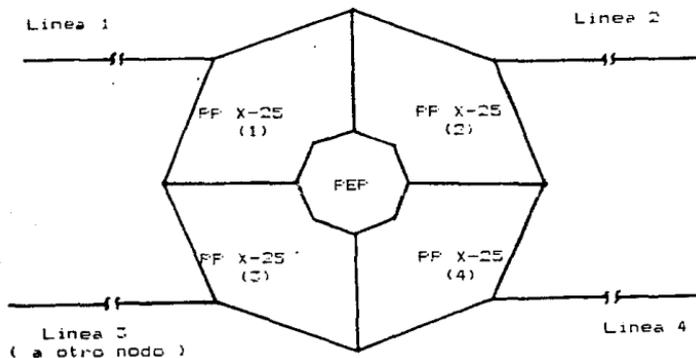
C A P I T U L O 3

DIFERENTES ARQUITECTURAS PARA EL NODO

3 DIFERENTES ARQUITECTURAS PARA EL NODO.

La selección de la arquitectura del nodo, se realizó en base al trabajo que este tiene que desarrollar, considerado como parte de la red de computadoras y pensando en que dicha arquitectura dé la posibilidad para que en el futuro se puedan conectar nuevas líneas.

Si consideramos que el nodo es un punto de acceso a la red, fig(3.1). donde diferentes usuarios se conectan, por medio de las líneas de comunicación, utilizando el protocolo de comunicación X-25, el nodo tendrá un módulo donde se implementen los programas que manejen este protocolo para controlar la información y otro modulo de programas, para realizar el enrutamiento de los paquetes y manejar eficientemente los recursos fig (3.1).



PP-X25 : Programas del protocolo X:25.

PEP : Programas par el enrutamiento de paquetes.

Nodo de conmutación de paquetes.

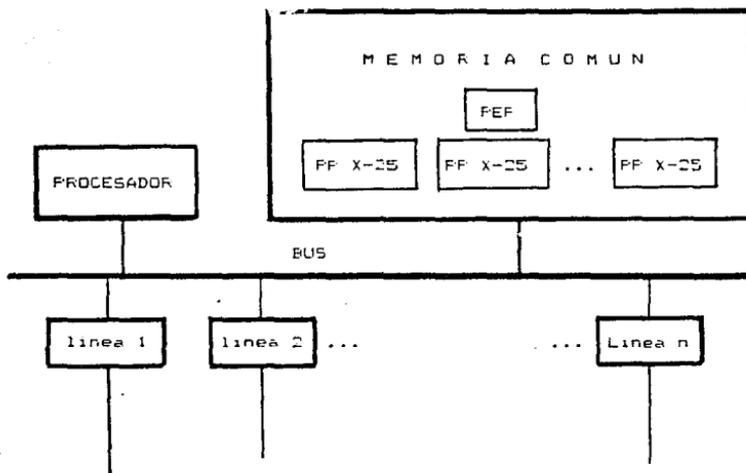
FIG. (3.1).

Con estas consideraciones, analizaremos tres arquitecturas básicas:

- 1.- Arquitectura con un procesador controlando todas las líneas de comunicación.
- 2.- Arquitectura multiprocesador, con un procesador dedicado a cada línea de comunicación.
- 3.- Arquitectura multiprocesador con un procesador para cada línea de comunicación y otro para realizar el enrutamiento.

3.1 ARQUITECTURA CON UN PROCESADOR CONTROLANDO TODAS LAS LINEAS.

En esta arquitectura, se tiene un procesador que se encarga de manejar, tanto el programa del protocolo X:25 (PF-X25), y el programa para realizar el enrutamiento de los paquetes (PEP), esta arquitectura se muestra en la figura (3.2). Sus características son las siguientes: El procesador dedicará tiempo, al manejo de todas las línea, tanto para la recepción como para la transmisión, así también dedicará tiempo y recursos, al manejo del enrutamiento, debido a esto, la capacidad de procesamiento de la información se disminuye, ya que se encuentra distribuido, entre las líneas que se encuentran en operación, por lo que no se puede transmitir, recibir o procesar información al mismo tiempo, haciendo que la operación del sistema, sea menos rápida, por lo que se hace necesario, tener un "software" eficiente, pero que puede ser complejo, ya que este tendría que ser concurrente.



PP X-25 :Programas del protocolo X-25.
 PEP :Programas para el enrutamiento de paquetes.

Arquitectura que muestra un procesador controlando
 todas las lineas X-25.

FIG (3.2).

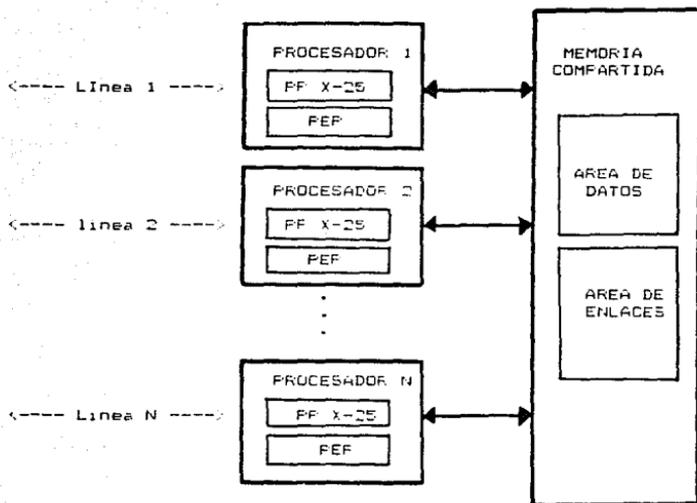
3.2 ARQUITECTURA MULTIPROCESADOR CON UN PROCESADOR DEDICADO PARA CADA LINEA.

En esta arquitectura hay un procesador controlando cada línea de comunicación. Por lo que en cada procesador se implementan los programas para manejar el protocolo X:25, (PP-X25) y los programas para manejar el enrutamiento (PEP), fig (3.3).

En esta arquitectura se tiene una memoria compartida donde todos los procesadores tienen acceso, en la memoria se tiene en el bloque de control de llamada donde se indica lo referente al enrutamiento, que tiene que ser accesada por todos los procesadores, para determinar con cual procesador tienen establecida la comunicación. También en la memoria, se tienen las áreas de datos, de paquetes recibidos y de paquetes a transmitir.

Con esta arquitectura, se tiene una mejor distribución del trabajo, ya que éste se realiza entre los N procesadores, debido a que los programas se implementan en cada procesador, por esto, cada procesador se abocará exclusivamente al control de una línea X-25 y al enrutamiento de ésta, éste comunicará a los otros procesadores lo referente al enrutamiento, en el área de enlaces en la memoria compartida. De esta manera, se puede recibir, transmitir o procesar la información al mismo tiempo en diferentes líneas, aumentando la capacidad de procesamiento del nodo y por lo tanto de la red. Así también se tiene una estructura modular, en cuanto a los programas y en la arquitectura, ya que en la inclusión de una nueva línea, se tendría colocando un nuevo procesador de entrada salida, con las mismas características que los anteriores.

Esta arquitectura presenta otro tipo de problemas, ya que cuando dos o más procesadores comparten un recurso, en este caso la memoria común y éstos demandan servicios en forma asíncrona, como son los de lectura o escritura, pueden ocurrir conflictos, por lo que en este tipo de arquitectura se debe tener un elemento, que evite estos conflictos, para permitir el acceso de acuerdo a una política definida.



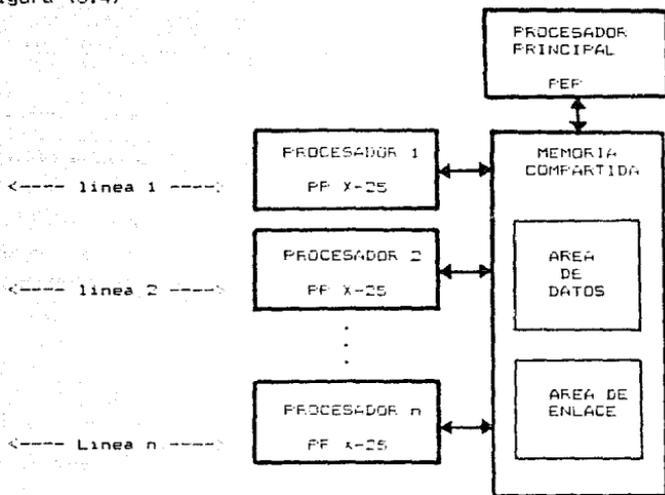
Arquitectura multiprocesador con un procesador controlando cada línea X-25.

FIG (3.3).

3.3 ARQUITECTURA MULTIPROCESADOR CON UN PROCESADOR PARA CADA LINEA Y UNO PARA ENRUTAMIENTO.

En esta configuración fig.(3.4), se tiene un procesador que se nombró, procesador principal (P/P), donde se implementan los programas, para realizar las tareas del enrutamiento de paquetes

(PEP) y los procesadores para controlar la línea, que se nombraron procesadores de entrada salida (P I/O), donde se tienen los programas para manejar el protocolo X-25 (PP-X25) figura (3.4)



Arquitectura multiprocesador que utiliza un procesador para enrutamiento y un procesador para controlar cada línea X-25.

FIG (3.4).

En esta arquitectura, se tiene una memoria compartida, a la que todos los procesadores tienen acceso, en la memoria se tiene un bloque de control de llamada, donde los procesadores de entrada salida obtienen la información del enrutamiento, que es realizado por el procesador principal, así también se tienen el

área de datos para transmisión y para recepción.

Con esta arquitectura, cada procesador se aboca exclusivamente a controlar su línea x-25 logrando de esta manera, que se pueda transmitir o recibir paquetes, al mismo tiempo, por diferentes líneas, aumentando la capacidad de procesamiento del nodo y por lo tanto, la capacidad de procesamiento de la red, ya que el trabajo es repartido entre los N procesadores, como en la arquitectura anterior y aún más, ya que se quita el trabajo del enrutamiento a los procesadores entrada salida, dejándolo al procesador principal, así también como los programas se distribuyen, al P/P y a los P/IO, se logra tener una estructura modular, lográndose la modularidad en cuanto al "Hardware" y al "Software", ya que si se quiere incluir una nueva línea, bastaría con agregar un PI/O que sería idéntico a los otros, pero con otro nombre, que es lo que se le indicaría al procesador principal, para que lo considere al realizar el enrutamiento.

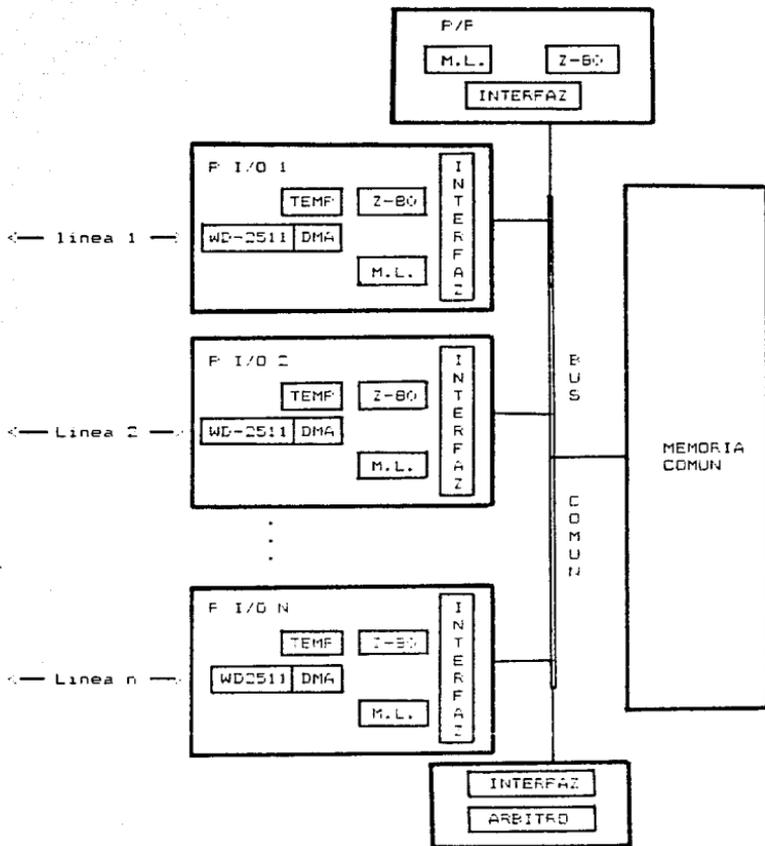
Debido a las características anteriores, considero que esta arquitectura es la más adecuada para ser implementada en la construcción del NODO DE CONMUTACION DE PAQUETES, aun cuando en esta arquitectura, también se presenta el problema de acceder un recurso compartido, este problema puede ser resuelto con un árbitro, este se encarga de permitir el acceso al recurso compartido, de acuerdo a una política definida donde ningún procesador tenga alguna prioridad sobre los demás.

CAPITULO 4
ARQUITECTURA DEL NODO

4 ARQUITECTURA GENERAL DEL NODO: La arquitectura general presentada en la figura (4.1), es la arquitectura multiprocesador con un procesador por cada línea y un procesador para el enrutamiento, la construcción se basa en el microprocesador Z-80. En la fig.(4.1) se muestran los módulos, de los procesadores de entrada salida (P I/O), procesador principal (P/P), arbitro (A), memoria común (M.C.) y el bus común.

En el procesador de entrada salida se encuentra los programas para manejar el protocolo de la línea X:25.

El módulo del procesador de entrada salida, está compuesto de un controlador de línea WD2511, que es el encargado de realizar el protocolo LAF-B, que es el protocolo del nivel 2 de tramas del modelo I.S.O. La programación de este circuito, la realiza el microprocesador Z80, el WD-2511 es el que se encarga de la recepción y transmisión de las tramas, en la recepción de una trama, pone la información en la memoria local por medio de acceso directo a memoria (D.M.A.) para después enviarla a la memoria común. Para la transmisión, también realiza el D.M.A. accediendo los datos de la memoria local. Para traer los datos a la memoria local, es necesario primero traerlos de memoria común, el acceso a ésta es por medio de la petición al arbitro, através de la interfaz de tercer estado. El arbitro otorga el bus común, a un solo procesador, si es que varios lo solicitaron y al momento en que el procesador accesa el bus, para escritura o para lectura, se desactivan las peticiones de los demás procesadores, por medio de la interfaz de tercer estado.



Arquitectura general del nodo.

FIG (4.1).

El tiempo de otorgamiento del bus, es el necesario para poder leer o escribir en la memoria común un byte de información, cuando el acceso termina se activan nuevamente las peticiones de los demás procesadores.

En la transmisión de algunas tramas de información, que realiza el nivel tres de paquetes, es necesario activar un temporizador, que indica el tiempo máximo que tiene que esperar el procesador, para recibir una respuesta del paquete que transmitió, si durante ese tiempo programado, no se recibe respuesta, este interrumpirá al procesador para que active un procedimiento de error del nivel de paquetes.

El procesador principal, está compuesto de un microprocesador Z-80, memoria local ROM y RAM así como la interface de tercer estado. En este bloque se encuentra, los programas para manejar el enrutamiento (FEP) y a través del área de comunicación de memoria común, informa a los demás procesadores todo lo referente al enrutamiento de los paquetes. El acceso a la memoria común también se realiza con peticiones al arbitro, de la misma manera como lo realiza el procesador de entrada salida.

La memoria común es exclusivamente RAM, donde se encuentran el área de datos y las áreas de comunicación de los procesadores de entrada salida, con el procesador principal, en el área de datos cada procesador de entrada salida, tiene una area exclusiva de escritura, ya que la lectura la pueden realizar en toda la memoria. En el área de comunicación se tiene el diálogo entre el P/P y los PI/O en lo referente al enrutamiento.

El manejo de esta memoria es analizado ampliamente en el

trabajo implementación del protocolo X-25 para una arquitectura multiprocesador.

El árbitro es el que se encarga de revisar las peticiones de los procesadores (P/I/O) y del (P/P), para otorgar el bus común, para que un procesador lo tome y pueda acceder un byte de información, para lectura o escritura.

El bus es otorgado de acuerdo a la regla de: " el primero que lo solicite es al que se le otorga". o si varios procesadores lo solicitan al mismo tiempo, compiten entre ellos, sin tener ninguna prioridad para que el arbitro otorgue el bus, cuando el bus es otorgado a un procesador, los demas procesadores esperan para competir nuevamente, cuando termine el acceso del procesador al que se le otorgo el bus.

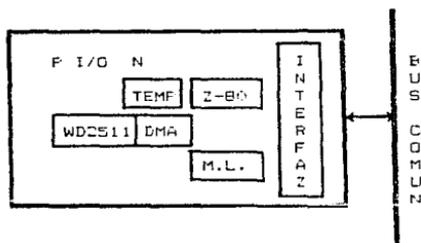
El bus común está formado, por el bus de direcciones, el bus de datos y el bus de control, a cada uno de éstos se tienen conectados cada uno de los bus de cada P I/O. y del P/P. aislados por medio de la interfaz de tercer estado, que tiene cada procesador, cuando esta se encuentra deshabilitada cada una de las líneas, funciona como una línea de petición al árbitro o de contestación del árbitro, en el ciclo de otorgamiento del bus.

4.1 PROCESADOR DE ENTRADA SALIDA.

La arquitectura del procesador de entrada salida PI/O. consta de los siguientes elementos:

- 1.- Sistema mínimo con microprocesador Z-80, Memoria local ROM y RAM.
- 2.- Controlador de comunicación WD2511, con control de acceso directo a memoria local (DMA).
- 3.- Interfaz para el acceso a memoria común.
- 4.- Temporizador.

Estos se muestran en la figura (4.2), En esta tarjeta se encuentra implementado el módulo del protocolo X-25.



Procesador de entrada salida.

FIG. (4.2.)

La construcción de esta tarjeta se basa en el microprocesador Z-80, que es el encargado de realizar el nivel tres de paquetes y de programar al controlador de línea WD-2511, que realiza el protocolo de comunicación LAPB, del nivel dos de tramas.

4.1.1 MEMORIA LOCAL ROM Y RAM.

La memoria local es la que se encuentra en el procesador de entrada salida y está compuesta de memoria ROM y RAM. La memoria ROM se implementó con la 2764, que es una EPROM, de 8k x 8 bytes, y es donde se tienen los programas para la implementación del protocolo. La memoria RAM, se implementó con la 6264 que es de 8k x 8 bytes.

La memoria local ROM y RAM, cubre de la dirección H 0000 hasta la dirección H3FFF, que corresponden a los primeros 16k. quedando la distribución como se muestra en la tabla (4.1).

MEMORIA	DIRECCIONES
ROM (local)	H0000 a H1FFF (0 a 8K)
RAM (local)	H2000 a H3FFF (8 a 16K)

Mapa de direcciones de la memoria local.

TABLA (4.1).

Para el manejo de memoria local, se tiene un decodificador de direcciones, 74LS138 (1), al que llegan las líneas de direcciones A13, A14 y A15. La salida cero se tiene conectada a la habilitación (chip/enable) de la memoria ROM y la salida uno al habilitador ($\overline{C/E}$), de la memoria RAM.

4.1.2 CONTROLADOR DE COMUNICACIONES WD-2511, CON CONTROL DE ACCESO DIRECTO A MEMORIA LOCAL (DMA).

El WD-2511 es un dispositivo LSI (large scale of integración), que maneja el nivel 2 del protocolo de comunicación del CCITT, X-25, conocido como LAPB. Este dispositivo maneja la comunicación serie síncrona en un canal "full duplex".

El WD-2511 está controlado y monitoreado por el Z-80, por

medio del acceso a 16 registros internos, que se muestran en la tabla (4.1). también en esta tabla se muestra el mapa de puertos.

En estos registros se programa la forma de operación del controlador, así también se observa el estado en que se encuentra.

En los registros de control, se programa al WD-2511 para indicarle, cuando está listo el sistema para poder recibir paquetes, o para indicarle cuando tiene que transmitir un paquete. Para la transmisión y recepción de los paquetes el WD-2511, accesa el registro TLOOK para determinar cual es el área donde se encuentra los paquetes a transmitir, y las localidades que indican donde guardar los paquetes recibidos. En los registros de estatus, el WD-2511, indica al procesador el estado de operación en que se encuentra, en éstos registros se encuentran los parámetros que indican, el número de trama de información que se transmitió, el número de tramas que han recibido acuse de recibo, además de indicar en los registros de estatus, los parámetros que a continuación se indican. lo informa también por medio de una interrupción, que en el sistema es la interrupción no mascarable del procesador, estos parámetros, son los siguientes. interrumpe si se encuentra establecido el enlace, si no a expirado un temporizador, cuando llega un acuse de recibo de un paquete transmitido o si ocurre un error en la transmisión o en la recepción.

Además de los aspectos anteriores en los restantes registros se indica si el circuito es un D.T.E. o un D.C.E.

A	A	A	A	A	A	A	PUERTO	NOMBRE	TIPO	CI.
0	1	2	3	4	5					
0	0	0	0	0	0	00	cro	control		WD-2511
0	0	0	0	0	1	01	cr1	control		"
0	0	0	0	1	0	02	sro	estatus		"
0	0	0	0	1	1	03	srl	estatus		"
0	0	0	1	0	0	04	sr2	estatus		"
0	0	0	1	0	1	05	ero	error		"
0	0	0	1	1	0	06	chain			"
							monitor			
0	0	0	1	1	1	07	received			"
							c-field			
0	0	1	0	0	0	08	t1	timer		"
0	0	1	0	0	1	09	n2/t2	timer		"
0	0	1	0	1	0	0A	tlook hi	buffer		"
0	0	1	0	1	1	0B	tlook lo	buffer		"
0	0	1	1	0	0	0C	chain			"
							buffer			
0	0	1	1	0	1	0D	no usado			"
0	0	1	1	1	0	0E	mt			"
							comand E			
0	0	1	1	1	1	0f	mt			"
							comand F			

Registros del WD-2511.

TABLA (4.1).

PROGRAMACION DE LOS REGISTROS

Para programar los registros, se tiene un decodificador 74LS138 (2), que se usa para seleccionar los puertos, al decodificador se conectan las líneas de direcciones A4 y A5, así como la señal de petición de lectura o escritura de un puerto IORQ, con lo que el WD-2511 queda habilitado con la salida cero y con las líneas de direcciones A0, A1, A2 y A3, se selecciona alguno de los 16 registros internos para ser leído o programado.

Como algunos registros son de escritura y otros son de lectura, se tiene un buffer en el bus de datos que es el 74LS245, que controlado por la señal de lectura (RD) del procesador, lo habilitan como salida del WD-2511, ya que su estado normal es de

entrada.

Para el bus de direcciones se tienen los buffers 741s373, que tienen la función de direccionar la memoria RAM. Cuando el WD-2511 recibe información de la línea, accesa la memoria RAM por medio de la interfaz de acceso directo a memoria DMA para guardar los datos recibidos, en el buffer de recepción previamente establecido por el procesador. de la misma manera cuando se requiere transmitir datos al exterior, el procesador guarda los datos a transmitir en una área de la memoria, de donde el WD-2511 los obtendrá por medio de un acceso directo a memoria DMA. Cuando no se realiza el DMA los buffers se ponen en tercer estado.

ACCESO DIRECTO A MEMORIA (DMA).

El acceso directo a memoria, es controlado por el WD-2511 que controla la interfaz de acceso a la memoria local y las señales de petición del bus al procesador.

En un ciclo de DMA el WD-2511 envía un byte de información a la memoria local, siendo éste el ciclo de DMA de salida y cuando se obtiene un byte de la memoria local al WD-2511, corresponde al ciclo de DMA de entrada .

El ciclo de D.M.A. es de 5 periodos de reloj para el WD-2511, pero la frecuencia a la que se encuentra trabajando, es la mitad de la frecuencia a la que trabaja todo el sistema, por lo que este ciclo es de 10 periodos de reloj para el sistema, esta división es porque la frecuencia máxima a la que trabaja el WD-2511, es de 2.5 MHz. y el Z80 lo tenemos trabajando a 3.579 MHz.

ACCESO DIRECTO A MEMORIA DE ENTRADA (DMA IN).

Este ciclo se realiza en 5 periodos de reloj, como se muestra en la figura (4.3).

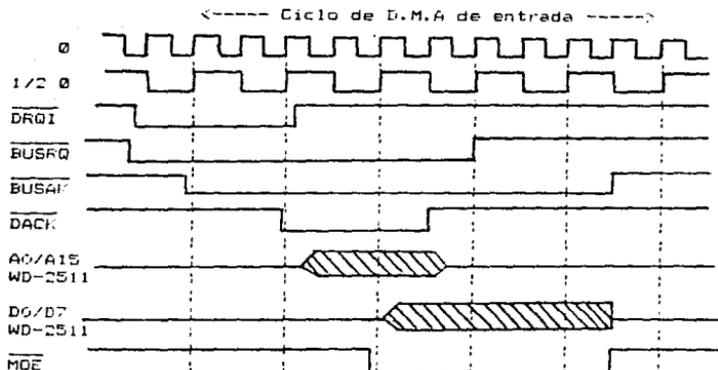


diagrama de tiempos del D.M.A. de entrada

FIG. (4.3).

Cuando el WD-2511 desea obtener un byte de información, de la memoria local, para ser transmitido, activa su salida de petición para obtener un dato de la memoria local (DRQ1), la que activa la señal de petición del bus (BUSRQ) que llega al procesador. éste lo detecta y contesta cuando está dispuesto a otorgar el bus, con la señal de otorgamiento de bus (BUSAK) y se pone en tercer estado, para dar inicio a los 5 ciclos de DMA IN.

En el primer periodo de reloj, el WD-2511 detecta la señal del procesador (BUSAK), para accesar el bus, se activa la señal DACK, indicando que se inicio el ciclo de DMA.

En el segundo pulso se activa la señal que habilita la memoria (MOE), así también en el bus de direcciones aparece la dirección de la localidad que se desea leer y de esta manera aparecen los datos, de la memoria.

En el tercer periodo, se desactiva la señal DACK siendo el flanco de subida de ésta el momento en que lee los datos el WD_2511.

En el cuarto periodo se desactiva la señal de petición del bus (BUSRQ), que es detectada en el siguiente pulso por el procesador, para retomar nuevamente el control.

ACCESO DIRECTO A MEMORIA (DMA OUT)

Este ciclo es muy similar al DMA de entrada, utilizan también 5 periodos de reloj.

El DMA de salida es para poner un dato en la memoria local, e inicia cuando se activa la señal DRQO, esto activa la señal de petición del bus (BUSRQ), esta señal BUSRQ es muestreada por el procesador y en cierto periodo contesta, para otorgar el bus, con la señal BUSAK y se pone en tercer estado, para que el WD-2511 inicie el ciclo de DMA, como se muestra en la figura (4.4).

En el primer ciclo se detecta la señal BUSAK, que es la indicación de procesador, para que el WD-2511 pueda inicializar el ciclo de acceso a la memoria local, cuando esta señal es detectada por el WD-2511 inicia el ciclo, activando la señal DACK.

En el segundo periodo de reloj se habilitan los buffers del bus de direcciones y del bus de datos, apareciendo

datos y direcciones, en la memoria.

En el tercer periodo de reloj se activa la señal de escritura MWE, con lo que se almacenan los datos en la memoria.

En el cuarto periodo se desactiva la señal de petición del bus (BUSRQ).

En el quinto periodo se desactiva la señal del WD-2511 BUSAK. para terminar el ciclo de DMA.

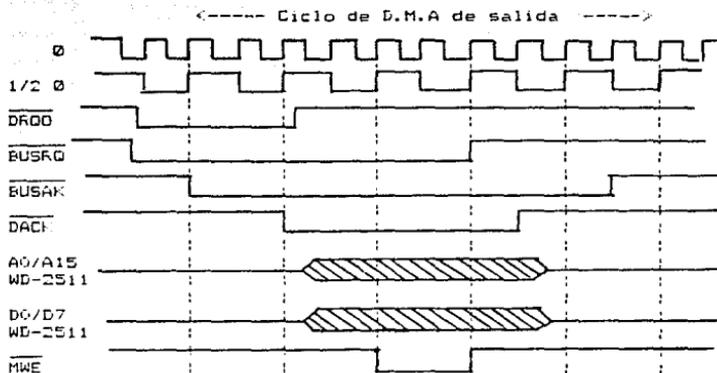


Diagrama de tiempo del DMA de salida.

FIG. (4.4).

INTERFAZ SERIE.

La interfaz serie se refiere al subsistema de comunicación del WD-2511, que se encarga de la transmisión y recepción, ésta trabaja en forma independiente de La lectura, escritura de los registros y del acceso directo de memoria.

La transmisión y recepción de datos, esta sincronizada por dos relojes externos TC y RC para transmisión por la línea TD y recepción por la línea RD respectivamente, con cada flanco de bajada de TC se envía un dato y con cada flanco de bajada de RC se recibe un dato. Antes de transmitir el WD-2511 hace la petición, con una indicación en la línea RTS, poniéndola activa con un cero lógico, y para indicarle qué puede transmitir se activa la señal CTS poniéndola activa con un cero lógico.

Este subsistema, es el encargado de mantener la línea conectada, enviando banderas entre las tramas, para determinar el estado de la línea, éste es informado al nivel tres de paquetes en sus registros de estatus y en caso de que se tengan problemas graves, como es el caso de ruptura en la línea, cualquier error es informado al procesador por medio de una interrupción.

Para adaptar los niveles de voltaje de acuerdo a la norma V-28 se tienen los circuitos 1488 y 1489, de donde se obtienen los niveles de +12 V. y -12 V. donde las salidas del circuito corresponden a los definidos en esta norma de la siguiente manera, la línea TC = 114, RC = 115, RTS = 105, CTS = 106, TD = 103 Y RD = 104.

4.1.3 INTERFAZ DE ACCESO A LA MEMORIA COMUN.

El acceso a la memoria común es por medio de la petición (REQUEST) de los procesadores al árbitro, éste da el acceso al bus común, para poder acceder la memoria, a uno de los procesadores que lo soliciten, indicándolo con la señal CMACK, y es entonces cuando el procesador puede accederla, para leer o escribir un byte de información.

La memoria común se encuentra a partir de la localidad #4000, o sea a partir de 16 K, donde se tiene un bloque de tres memorias RAM 6164 de 8 K x 8 cada una.

El procesador realiza la petición cuando en el bus aparece una dirección mayor que #4000, ésta se decodifica, activando la señal F, que se aplica al FFP-JK (74LS109), haciendo que Q pase al valor lógico cero, siendo ésta la señal de petición de acceso a la memoria común REQUEST y la señal WAIT para que el procesador pare su operación, el tiempo transcurrido en realizar la petición y parar la operación del procesador es de dos periodos de reloj como se observa en la figura (4.5). La lectura o escritura que se realiza en tres periodos de reloj normalmente, se tendrá que realizar en otro periodo extra, cuando se le otorge el bus, ya que el procesador entró en un estado de espera (WAIT), antes de que se le otorgara el bus.

La señal de petición de bus, aparecerá en la salida, si ningún procesador se encuentra leyendo o escribiendo, en la memoria común, ya que los buffers de aislamiento al bus común, se encuentran controlados, con las líneas de lectura o escritura, de cada uno de los procesadores, a través del FFPD(), de esta manera, si un procesador accesa el bus común, desactiva a los demás procesadores.

Cuando el arbitro otorga el bus a un procesador, lo indica con la señal CMACK, esta señal desactiva la indicación del procesador que lo tenía en el estado de espera WAIT, por medio del FFP-jk 74LS109 , iniciandose de esta manera, el ciclo de acceso a la memoria común, al mismo tiempo, se activan los buffers de tercer

estado, con la señal Z y de esta manera aparecen en el bus común las señales de lectura RD o de escritura WR que desactivan las peticiones de los demás procesadores, al aparecer la señal de lectura o escritura en el bus común, se activa el buffer de datos como entrada si es que se realizará una lectura, o como salida si es que se realizará una escritura, medio periodo después se activa el buffer del bus de direcciones por medio de la señal HAB-DIR a través de FFP-# 74LS74, como se observa en la figura (4.5), este retardo se debe por que al habilitar las señales de control RD y WR se debe tener la seguridad, que todos los procesadores, ya se encuentran desactivados, ya que podrían considerar las señales del bus de direcciones, como la respuestas del árbitro CMACK y querer acceder el bus, causando problemas al acceso, del otro procesador.

En el primer periodo después de ser otorgado el bus, se habilitó las señales del bus de control para lectura RD o escritura WR, el bus de datos como entrada o salida y el bus de direcciones y se deshabilitó a los demás procesadores, en este periodo, además de realizarse las tareas mencionadas, sirve al procesador, como el periodo extra que necesita para salir del estado de espera, y poder continuar de manera normal la lectura o escritura de la memoria, este tiempo por la lectura o escritura es de un periodo después de salir del estado de espera fig(4.6), por lo que el tiempo mínimo que necesita el procesador, son estos dos periodos, que son otorgados por el árbitro.

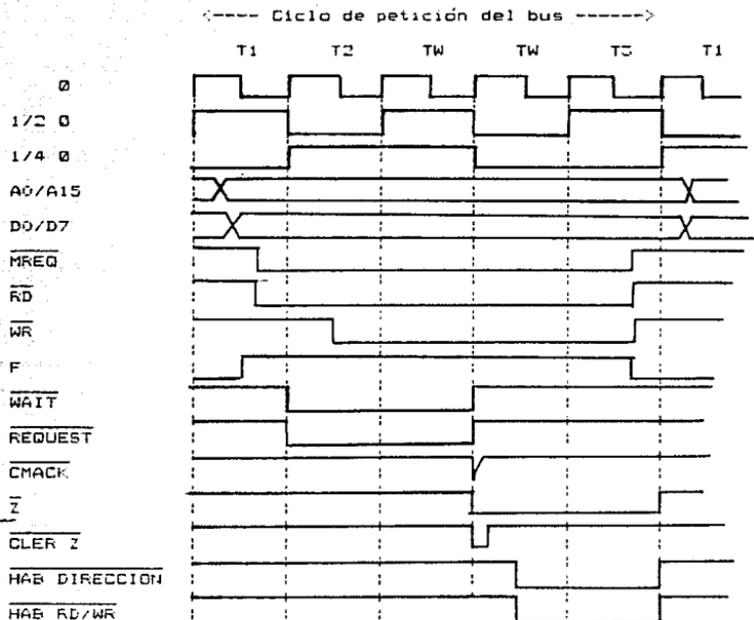


Diagrama de tiempos para el acceso a la memoria común.
FIG (4.5)

4.1.4 TEMPORIZADOR.

Para la implementación del protocolo del nivel de paquetes, se necesita durante la transmisión de algunos paquetes, esperar otro paquete de respuesta, el tiempo de espera es limitado a cierto valor, definido en el nivel de paquetes, ya que después de transcurrido este tiempo sin recibir la respuesta, se activará un procedimiento de error, debido a esto en la arquitectura se

requiere de un temporizador, fig(4.7) en esta figura se muestra al temporizador 8254, este es un dispositivo programable, que cuando transcurre el tiempo programado, se envía una señal al procesador, a la línea de interrupción mascarable INT, que hace que el procesador accese la localidad \$0038 donde se tiene el programa de error del nivel tres.

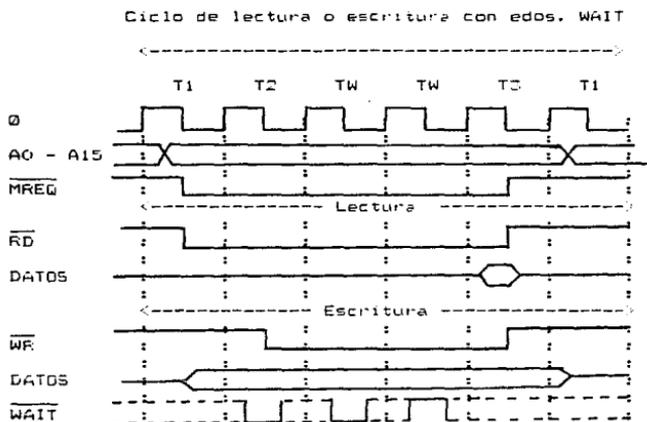


Diagrama de tiempos de lectura/escritura del procesador Z-80 con estados de WAIT. FIG (4.6).

El 8254 esta formado por tres contadores fig(4.7). Cada uno de los contadores trabaja en forma independiente, La forma de operación es programada en tres registros, uno para selecciona el contador y dos para indicar el numero de pulsos de reloj a contar, Para programar estos registros el procesador considera al

temporizador como un puerto, la habilitación es por medio del decodificador de puertos 2738, que tiene conectadas las líneas de direcciones A4 y A5, así como la línea de acceso al puerto IORQ, y con las líneas de dirección A0 y A1, puestas al valor lógico uno, se selecciona el registro que controla al contador, por esto, este puerto queda habilitado con la dirección H13.

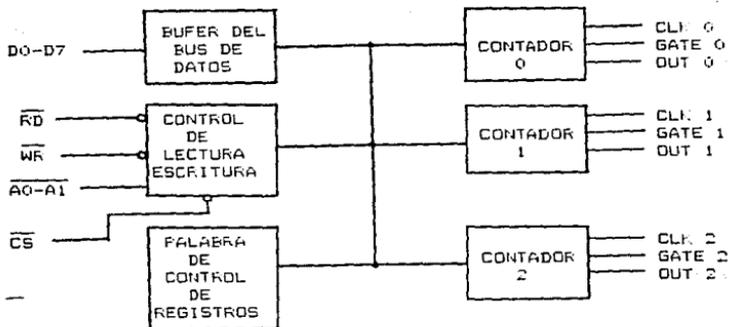


Diagrama a bloques del 8254.
FIG. (4.7).

El registro a programar tiene 8 bits que indican lo siguiente:

- Bits 0 y 1 (SC0 Y SC1) que sirven para seleccionar al contador.
- Bits 2 y 3 (RW1 Y RW0), sirven para indicar como se programará el numero a contar.
- Bits 4, 5 y 6 (M0, M1 Y M2), que indican la forma de conteo, que en este caso es como contador de eventos.
- Bit 7 (BCD) indica si el conteo se realiza en forma binaria o en BCD.

4.2 ARBITRO.

El árbitro es el encargado de dar el acceso a la memoria común, a todos los procesadores, para evitar problemas en el acceso al recurso compartido, ya que éste se realiza en forma asincrónica.

4.2.1 FUNCIONAMIENTO DEL ARBITRO.

Al árbitro le llegan las peticiones de los PI/O y de el P/P, cuando desean accesar la memoria común, por medio de la señal REQUEST y es otorgado el bus a un procesador, indicándolo por medio de la señal de CMACK.

En la figura (4.8), se muestra el principio de funcionamiento del árbitro para 2 peticiones

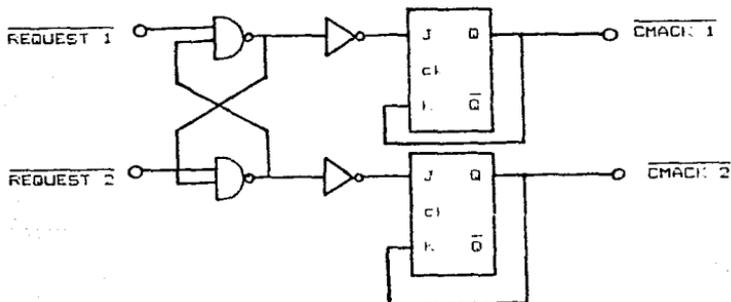
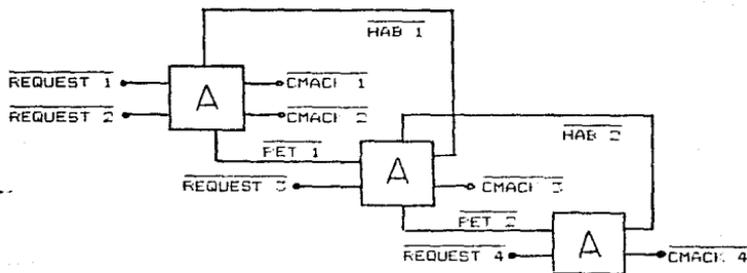


Diagrama del arbitro para dos peticiones.

FIG (4.8).

Las peticiones REQUEST, llegan a un FFP-RS, que activa una de sus salidas, observando que se activa la salida de la petición que llego primero, esta señal entra al FFP-JI. que habilitada la señal (CMACK) de indicación de otorgamiento del bus para un procesador.

Este principio de funcionamiento del Arbitro para dos peticiones, puede ser aplicado cuando se tienen, más procesadores, conectando módulos en cascada, como se muestra en la figura (4.9).



Modulos del arbitro para mas de dos peticiones conectados en cascada.

FIG. (4.9).

Al inicio todas las señales de otorgamiento del bus CMACK, se encuentran deshabilitadas, que es la condición que se tiene, cuando no se otorga el acceso a un procesador.

Cuando aparece una petición REQUEST N en algún bloque N del arbitro, para dos peticiones, aparece la señal (FET n), indicando que se tiene una petición en el bloque, esta compete con la

petición, si es que existe, del bloque siguiente y de la misma manera que en el caso anterior, aparece la señal para competir en el siguiente bloque, con la petición REQUEST N+1, esto se realiza entre todos los bloques. Con el pulso de reloj se activa una de las salidas de cada de dos peticiones si es otorgada a una petición de un bloque anterior PET u-1, habilita la salida del bloque anterior y de la misma manera, si el bus común se le otorga a una petición del bloque anterior PET u-2, se habilita el bloque anterior hasta llegar a un bloque, donde el otorgamiento sea, a la petición REQUEST m y no la de un bloque anterior (PET m-1), de esta manera se habilita la señal CMACK m, que es la de otorgamiento del bus al procesador m.

Como se mencionó anteriormente, por el bus común, se tienen las líneas de las peticiones y de respuesta, por lo que fue necesario, aislar al árbitro cuando otorga el bus a algún procesador, esto se logró, poniendo buffers de tercer estado, como se muestra en la figura (4.10). Cuando una salida es habilitada, se envía al clear del FFP-D, éste deshabilita a los buffers de tercer estado, de peticiones REQUEST y de respuestas CMACK, la deshabilitación es de dos periodos de reloj.

El módulo que se construyó para las pruebas, fue para tres peticiones, que es el diagrama que se muestra en el apéndice(B).

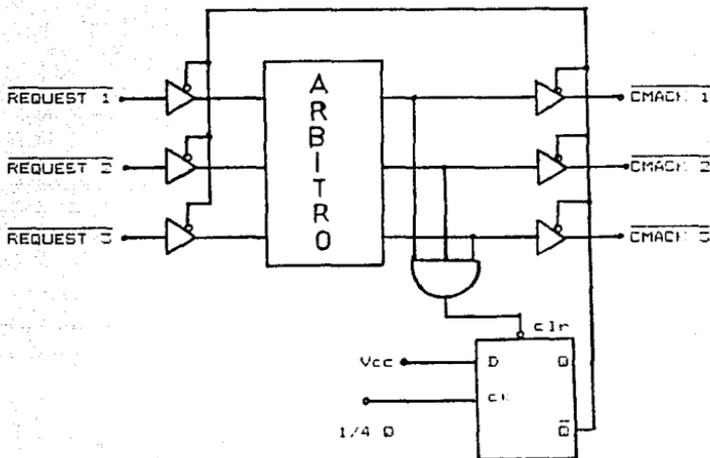


Diagrama para aislar al arbitro del bus común.

FIG. (4.10).

DIAGRAMA DE TIEMPO DE OTORGAMIENTO DEL BUS COMUN:

En el diagrama de tiempo de la figura(4.11), se muestra el tiempo en que es otorgado el bus común, por el árbitro.

Cuando llega una petición REQUEST, para lectura o escritura llega en el segundo periodo de reloj, como se explicó anteriormente fig (4.11), enseguida se tienen algunos periodos de espera (t_w) del procesador, mientras el arbitro detecta la petición, cuando se otorga el bus a una de las peticiones, se activa la señal CMACK, que es la salida de un FFFJK, que tiene

conectado un reloj, a la mitad de la frecuencia de operación, al mismo tiempo se deshabilita el Arbitro con la señal HAB. durante dos pulsos de reloj, la deshabilitación es por medio del buffer de tercer estado, que está controlado por el FFP D 74LS74 fig(), con un reloj de 1/4 de ϕ . Por lo tanto, el tiempo de duración de este ciclo es de tres periodos de reloj, uno para detectar la petición y dos de otorgamiento del bus a un procesador.

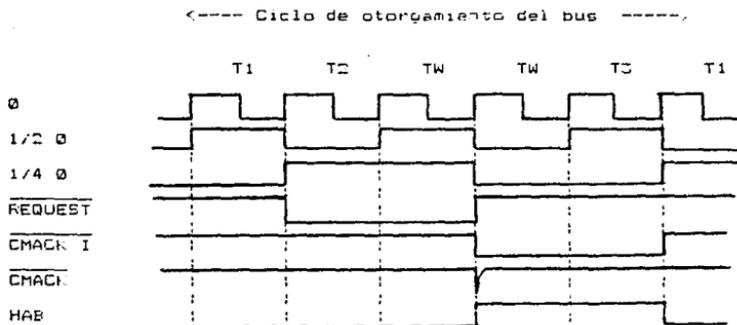


Diagrama de tiempos de otorgamiento del bus.

FIG. (4.11).

4.3 MEMORIA COMUN.

La memoria común se forma como un bloque de 4 memorias RAM 6264, de 8 K: cada una, e inicia a partir de 16k, en la memoria se tienen 4 memorias RAM 6264, con un mapa de memoria como se muestra en la siguiente tabla (4.2).

DIRECCION INICIAL	DIRECCION FINAL	MEMORIA
H 4000	H 5FFF	M1
H 6000	H 7FFF	M2
H 8000	H 9FFF	M3
H A000	H BFFF	M4

Mapa para la memoria común.
TABLA (4.2).

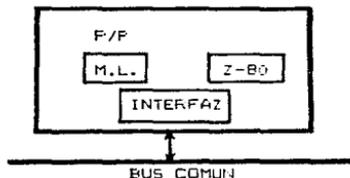
Los procesadores de entrada salida, reciben los paquetes de datos, por la línea de comunicación X-25, y los almacenan en la memoria local por DMA, para ser analizados por el nivel tres de paquetes, y después ser enviados a la memoria común por medio de peticiones al Arbitro, a su área exclusiva de escritura.

Los paquetes enviados a la memoria común son analizados por el procesador principal, para realizar el enrutamiento, e indicarlo a los demás procesadores, en el area de enlace.

En la área de enlace los procesadores de entrada salida, determinan en que área de la memoria común tienen paquetes, para transmitir.

4.4 PROCESADOR PRINCIPAL

El procesador principal, es el encargado de supervisar la comunicación entre los procesadores de entrada salida, por lo que será el que realice el enrutamiento de los paquetes, para esto el procesador se encuentra revisando el área de memoria común de cada uno de los procesadores de entrada salida, par determinar si alguno de los paquetes, que son enviados a la memoria son de establecimiento de enlace, para iniciar el enrutamiento, e indicarlo a los demás procesadores, en el area de establecimiento de enlace, el enlace termina cuando en la memoria común se tiene un paquete de liberación de enlace, que también es analizado por el procesador principal figura (4.12).



Procesador principal

FIG. (4.12).

La arquitectura del procesador principal, es similar a la del procesador de entrada salida; excepto que este no tiene el controlador de línea WD-2511, este procesador se construyó en base a un microprocesador Z-80, con su memoria local ROM y RAM, la memoria RAM se implementó con una 6264, que es de 8Kx8, la memoria ROM es la 2732-A de 4Kx8, donde se tienen los programas que maneja el enrutamiento.

El mapa de memoria de la memoria local para el procesador principal se muestra en la tabla ().

MEMORIA	DIRECCION
ROM	H0000-H
RAM	H2000-H43FF

El procesador principal tiene, su interfaz de acceso a la memoria común, y el acceso se realiza de la misma forma como el procesador de entrada salida, por medio de peticiones al árbitro, primero se realiza con una petición REQUEST, cuando el procesador desea acceder una dirección mayor de H4000, ésta se decodifica y se realiza la petición. Al mismo tiempo el procesador entra en estado de espera, hasta que se le otorgue el bus. Segundo, al ser otorgado el bus por el árbitro, indicándolo con la señal CMACK,

el procesador activa los buffers de tercer estado del bus de control, del bus de datos y del bus de direcciones. Tercero, el procesador sale del estado de espera, par continuar en forma normal la lectura o escritura de la memoria.

CAPITULO 5 PRUEBAS DE FUNCIONAMIENTO

5 PRUEBAS DE FUNCIONAMIENTO

Las pruebas de funcionamiento del sistema, se realizan en dos pasos, primero se realizan las pruebas de funcionamiento de la transmisión y recepción por el WD-2511, en estas pruebas se verifica la transmisión y recepción de un paquete de datos. En la segunda prueba, pruebas de acceso a la memoria común, se verifica la comunicación entre los procesadores, accedando el área de comunicación. Así también se verifica el acceso a la memoria común por los procesadores, para comprobar que no existen conflictos, en el acceso al este recurso compartido.

5.1 PRUEBAS DE FUNCIONAMIENTO DE LA TRANSMISION Y RECEPCION POR EL WD-2511.

En esta prueba se verificó el funcionamiento del WD-2511, el procesador Z-80 el temporizador y la interfaz de acceso directo a la memoria local (D.M.A.), transmitiendo un paquete de datos.

En esta prueba se utilizó al WD-2511 en su forma de funcionamiento "LOOP BACK TEST" que es una forma de operación donde el circuito transmite y el recibe lo que transmitió, o sea que la línea de salida TD se conectad a la entrada RD en forma interna, así también el reloj de transmisión y recepción.

Para verificar el funcionamiento transmitimos un paquete de 10 datos, 1, 2, 3, 4, 5, 6, 7, 8, 9 y 0 que se guardó en el área de la memoria local, destinada para el buffer de transmisión, que inicia a partir de la localidad H2200, estos datos los obtiene el WD-2511, por DMA IN para transmitirlos, cuando los datos se reciben, son almacenados en la memoria local, por DMA OUT, en el area de memoria local destinada, para los buffers de recepción,

que se encuentran a partir de la localidad H2500, por último los datos se envían a una terminal para ser validados.

El programa para verificar el funcionamiento, del sistema se realizó en ensamblador, apéndice(A), de acuerdo al diagrama de flujo de la figura (5.1). en el diagrama se muestra , la programación de los registros del 8250, que es la interfaz con la terminal, a la que transmitimos los datos que se encuentran en código ASCII, la transmisión se realizó a 9600 bits/seg. Enseguida se programa el temporizador para que interrumpa al procesador cada segundo, ya que se activa la entrada de la interrupción mascarable INT, esta rutina es unicamente una indicación de retorno al programa principal. Enseguida se tiene la programación de los registros 1, 8, 9, A y B donde se le indica al WD-2511 lo siguiente:

REG. 1 : Registro donde se le indica al WD-2511 que no puede transmitir ni recibir.

REG. 8 : Registro para programar el temporizador del nivel dos de tramas, éste se programo a 4.5 seg.

REG. 9 :registro para programar el número de retransmisiones, se programaron 3 retransmisiones.

REG A y B : en estos registros se le da la dirección H2000, esta dirección es un apuntador a la memoria RAM, donde el circuito encontrará información referente a los paquetes a transmitir o a recibir, los datos que obtiene para los paquetes a transmitir, son la localidad donde se encuentran el tamaño y la indicación del momento en que se enviarán. Para los paquetes que tiene que recibir, obtiene las direcciones donde serán almacenados, y si se encuentra listo para recibirlos.

El circuito tiene a partir de la dirección programada en A y B, 8 áreas donde obtiene información para 8 paquetes que puede transmitir y 8 áreas para 8 paquetes que puede recibir, fig(1).

La programación de los registros E y F al mismo valor son para indicar al circuito que trabajará en el modo "LOOP_BACK TEST".

Se considera que los paquetes son de un tamaño máximo de 64 bytes, que se indica poniendo el registro C a cero, esto es automático al inicio, cuando se da el RESET del sistema, enseguida se programa el área en la memoria RAM, fig.(5.2) donde el circuito encuentra la información de los paquetes a transmitir y de los paquetes que tiene que recibir, esta area esta dividida en 16 bloques, 8 para transmisión que inician en la localidad TLOOK = H2000 y 8 para recepción que inician 40 bytes adelante en RLOOK = H2028 y cada uno de estos bloques tiene 8 bytes, donde se indica lo referente a cada paquete.

En el bloque de recepción fig. (5.3) se indica si el buffer se encuentra listo para que pueda ser recibido un paquete, esto se indica al circuito poniendo el bit REC al valor lógico uno. Cuando se recibe un paquete sin error, el circuito lo indica poniendo el bit COR, al valor lógico uno, así también se indica el número del paquete que se recibió, en los bits RES0, RES1 y RES2 este número es en modulo 8, también se indica el número de bytes que se recibieron.

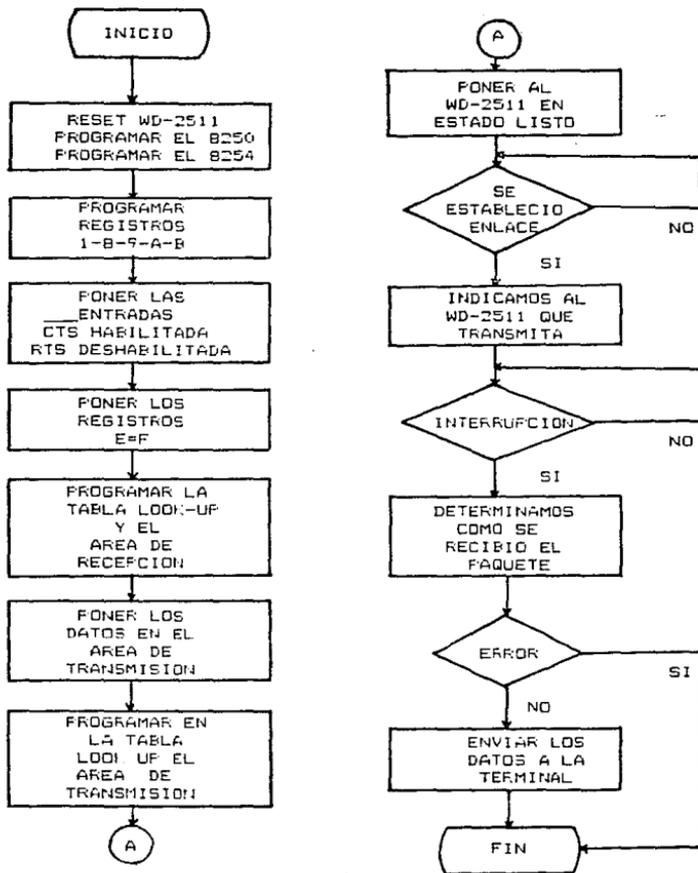
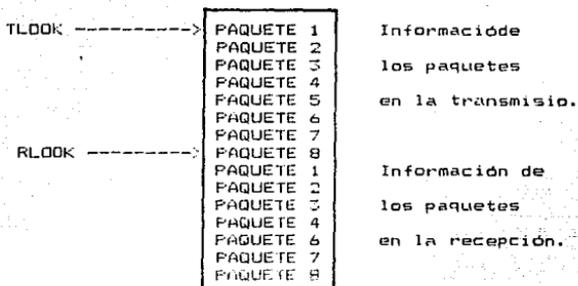


Diagrama de flujo para verificar el funcionamiento del microprocesador Z-80, el temporizador, el WD-2511 y el acceso directo a memoria local.

FIG. (5.1).



Memoria RAM donde se obtiene información para la transmisión y la recepción, de tramas de información.
FIG. (5.2).

. COR . NU . NU . NU . RES0 . RES1 . RES2 . REC .
LOCALIDAD DONDE SE ALMACENARA (BMS)
EL PAQUETE. (BLS)
----- TAMANO DEL PAQUETE (1/2BMS)
RECIBIDO (BLS)
BYTE PARA EL USUARIO.
BYTE PARA EL USUARIO.
BYTE PARA EL USUARIO.

Area de memoria RAM donde se tiene la información en la recepción, de los paquetes.
FIG. (5.3).

Enseguida se programa el bloque para la transmisión fig. (5.4) en esta se programa la localidad H2200 de la memoria RAM, donde se encuentra el paquete, el tamaño del paquete que es de diez datos, así también se le indica al circuito el momento en que

tiene que transmitirlo, esto es por medio de el bit LIS puesto a uno. Cuando el circuito recibe el acuse de recibo del paquete que transmitio lo indica poniendo el bite ACK al valor lógico uno.

Por último se programa el registro 1 para indicar que el sistema se encuentra listo, para iniciar el establecimiento del enlace (nivel dos de tramas), cuando el circuito establece el enlace, lo indica al procesador en los registros de estatus, y en el registro de error, codificando un 21, también lo indica activando la salida IRQ, que es la que se tiene conctada la interrupción no mascarable, cuando esto sucede el procesador pasa a la direccion H0066 donde se tiene la rutina de servicio, que determina si se establecio el enlace, quedando de esta manera establecido el nivel dos del modelo I.S.O. que es manejado por completo por el WD-2511. Enseguida es programa al circuito para que realice la transmisión y recepción del paquete.

ACK . NU . NU . NU . NU . NU . LIS	
DIRECCIO DONDE SE TIENE EL	(BMS)
PAQUETE A TRANSMITIR	(BLS)
----- TAMANO DEL	(1/2BMS)
PAQUETE A TRANSMITIR	(BLS)
BYTE PARA EL USUARIO	
BYTE PARA EL USUARIO	
BYTE PARA EL USUARIO.	

Area de memoria RAM donde se encuentra la informacion para la transmisión del paquete.
FIG. (5.4).

Por último, el microprocesador espera la interrupción no

maskable, para determinar como se recibió el paquete, si se recibió sin error, lo envía a la terminal para ser verificado.

5.2 PRUEBAS DE ACCESO A LA MEMORIA COMUN.

En esta prueba se verificó el funcionamiento de acceso a la memoria común con un procesador de entrada salida y el procesador principal.

En esta prueba se verificó:

- 1.- El funcionamiento de la interfaz de acceso al bus común.
- 2.- La memoria común.
- 3.- el árbitro,
- 4.- La habilitación y deshabilitación de las peticiones de los procesadores.
- 5.- la comunicación entre los procesadores.

Para esto diseñaron 2 programas uno para el procesador principal y el otro para el de entrada salida.

PROGRAMA PARA EL PROCESADOR PRINCIPAL.

Esta prueba se relizo de acuerdo al diagrama de flujo de la figura (5.5). y se programó en ensamblador del Z-80, apéndice (A). En este programa, primero se define el área de comunicación del procesador, (Área de enlaces) en la localidad H5000, en esta el procesador principal, indicará al de entrada/salida que tiene un paquete para ser enviado a la terminal, esto es por medio de una bandera, que puesta a cero, indicará que no se tiene paquete, y puesta a uno indica que el procesador de entrada/salida, tiene un paquete fig. (5.6).

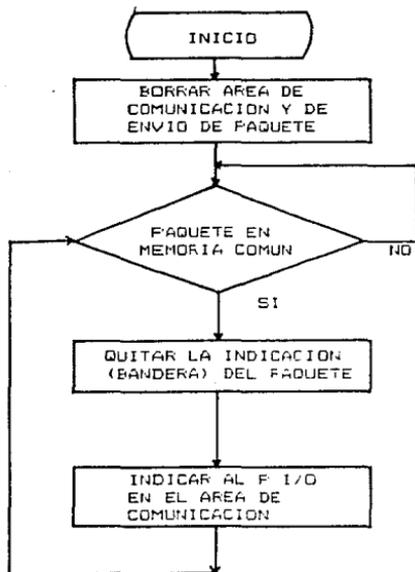
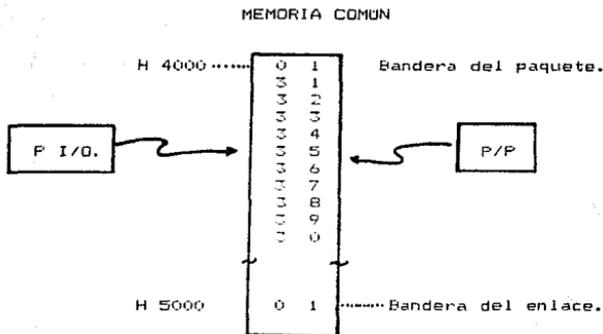


Diagrama de flujo del procesador principal.
FIG. (5.5).

En el programa del procesador de entrada salida, se define el área donde enviará el paquete de 10 dígitos codificados en ASCII y en el encabezado, la bandera que indica que fue enviado correctamente, ésta es una bandera que es puesta a uno, cuando el paquete fue enviado a la memoria, ésta se encuentra en la localidad H4000, ésta será accesada en forma permanente, por el procesador principal, para determinar cuando llegó un paquete, e indicarlo al FI/O. en el área de enlaces, para que lo pueda acceder y enviarlo a la terminal.



memoria común donde se muestra un
paquete y el área de enlace.
FIG. (5.6).

PROGRAMA DEL PROCESADOR DE ENTRADA SALIDA.

Este programa, que se observa en la figura (5.7), se encuentra programado en ensamblador en el apéndice (A).

El programa envía 10 datos, del cero al nueve a la memoria común y lo indica al P/P, poniendo una bandera en la localidad \$4000 a H01, y enseguida accesa el área de enlace, revisando la localidad H5000, donde se tiene la bandera de comunicación con el P/P. para determinar si éste ya detecto que el paquete fue enviado poder obtener el paquete de la memoria, para enviarlos a la terminal y ser analizados.

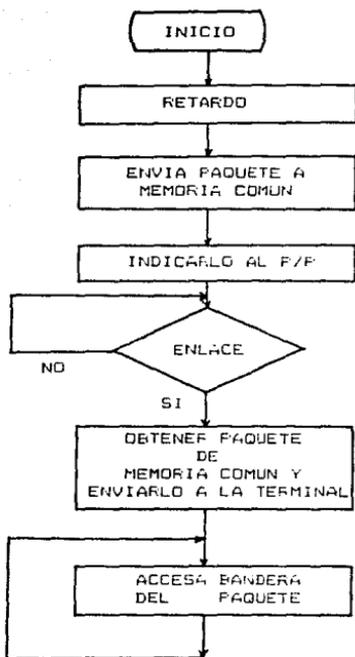


Diagrama de flujo del procesador de entrada salida.
FIG. (5.7).

5.3 CONSIDERACIONES DE TIEMPO PARA EL ACCESO A LA MEMEORIA COMUN.

En este análisis, se determina cuántos accesos se pueden realizar a la memoria común, por cada bit que se transmite o se recibe en el WD25-11, para no causar "overflow".

Si consideramos que la velocidad de transmisión o recepción de los paquetes es de 9600 bits/seg, que fue la velocidad de transmisión y recepción con la que se realizaron las pruebas. El

tiempo para transmitir o recibir un paquete de 128 bytes, se determina de la siguiente manera. Considerando que un paquete es una trama de información tendremos:

- 16 bits de inicio y fin de trama.
- 38 bits de direcciones.
- 8 bits de indicación de tipo de trama.
- (128X8) 1024 bits de información.
- 16 bits de control de error.

Con lo que obtendremos 1102 bits, y por cada bit a 9600 b/seg. el periodo T es de 104×10^{-6} seg, con lo que obtendremos un tiempo de 0.114 seg. para cada trama de información, con 128 bytes de datos, por lo tanto el tiempo en que cada byte se recibe o se transmite, se obtendrá de dividir el tiempo en que se recibe una trama de información, considerando los bytes extras que se necesitan para enviar los adtos. con el número de bytes de datos, obteniéndose 888×10^{-6} seg.

Para determinar el tiempo de envío de un paquete de memoria local a memoria común lo determinamos de la siguiente manera. Si se considera que utilizan las instrucciones del Z-80 de transferencia de bloques como son las de LDIR, para enviar un paquete a memoria común, de la memoria local o LDDR para enviar un paquete de memoria común a memoria local, éstas utilizan 21 periodos de reloj, por cada byte, más un periodo del estado de espera WAIT y si consideramos que la frecuencia de operación del Z-80 es de 3.579 MHz, tendremos un periodo de 0.274×10^{-6} seg. con lo que el tiempo par enviar o traer un byte sera de 6.02×10^{-6} seg. este valor es cierto, si el árbitro otorga el bus al procesador inmediatamente, pero se debe de tomar en cuenta, que

existen otros procesadores que también desean acceder la memoria.

Por lo tanto, si consideramos que para enviar un byte de la memoria local a la memoria común se tarda 6.02×10^{-6} seg. si el árbitro otorga inmediatamente el bus común, a esto es necesario sumar el tiempo de espera mientras los otros procesadores realizan el acceso (A) a la memoria, éste se realiza en tres periodos, uno para que el árbitro otorgue el bus al procesador que lo solicita y dos para la lectura o escritura, la suma de estos dos tiempos nos da el tiempo real que tarda un procesador en enviar un byte a la memoria común.

Por otro lado, para la recepción o transmisión de un byte en la línea se necesita un tiempo de 0.888×10^{-6} seg. por lo que, si se igualan los dos tiempo, obtendremos el número de accesos (A), que se pueden realizar antes de tener un "overflow", en el WD-2511.

$$(6.02 \times 10^{-6}) + 3 (0.274 \times 10^{-6}) A = 888 \times 10^{-6}$$

DONDE:

A : número de accesos de un procesador a la memoria común.

De esta igualdad obtenemos el valor de $A = 1072$. que es el número máximo de accesos, que puede realizar uno o varios procesadores, sin causar problemas en la transmisión o la recepción, a otro procesador.

CONCLUSIONES:

Pienso que el trabajo presentado, cumplió con la finalidad de ser una arquitectura, donde se implantarán los programas para realizar el protocolo X-25 y el enrutamiento de la información, ya que éste se diseñó, en base al trabajo que tiene que ser desarrollado. Además de buscar que dicha arquitectura cumpliera con los aspectos de eficiencia y modularidad, pero también creo que este trabajo es sólo un prototipo, que puede ser tomado como punto de partida para construir otro más eficiente, ya que no se consideraron aspectos de confiabilidad interacción con el usuario, aspectos estadísticos de tráfico, etc., que son importantes para que fuera un diseño que pudiera competir con los que se encuentran en operación.

Otro punto importante, es que con este trabajo se pudo experimentar a nivel de diseño, en la tecnología de redes de computadoras, que en la actualidad está tomando un papel importante, en México y a nivel mundial.

BIBLIOGRAFIA

- C.C.I.T.T. Recomendations, Yellow Book, Volume VIII, fascicle VIII.2, Geneva, november 1980.
- C.C.I.T.T. Recomendación, libro rojo, Volumen VIII, fascículo VIII.1, Malaga-torre molinos 1984.
- Computer Networks, Andrews Tanenbaum
Prentice Hall 1981.
- Paquet Switching, Rosner Roy
Lifetime Learning Publications. 1982.
- Computer Networks And Their Protocols, por D.W. Davies,
D. L. A. Barber, W. L. Price, C. M. Salomonides
New York. Wiley 1979.
- The Design of a Small Packet-Switching Node, por Anmed
Patell and Michael Purser, Computer Networks and I.S.D.N.
Systems, 1986, 287-295.
- Comunicación Products Handbook:
Western Digital, June 1980.
- Logic Databook:
National Semiconductor Corporation,
Volume II, 1984.
- Z-80 C.P.U. Technical Manual
ZILOG.
- T.T.L. Data Book for Design Engineers.
Texas Instruments, 1981.
- Linear and Interface Integrated Circuits.
Motorola inc.1983

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

APENDICE A

```

1. 0000: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
2. 0000: ; PRUEBA DE FUNCIONAMIENTO DE LA TRANSMISION-RECEPCION ;
3. 0000: ; ;
4. 0000: ; EN MODD "LOOP BACK TEST" DEL WD-2511. ;
5. 0000: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
6. 0000: 00 NOP
7. 0001: 00 NOP
8. 0002: C3 00 02 JP $200
9. 0005: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
10. 0005: ; RUTINA DE INTERRUPCION MASCARABLE ;
11. 0005: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
12. 0038: ; .ORG $0038 ;
13. 0038: C9 RET
14. 0039: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
15. 0039: ; RUTINA DE INTERRUPCION NO MASCARABLE ;
16. 0039: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
17. 0066: ; .ORG $0066 ;
18. 0066: F5 PUSH AF
19. 0067: DB 00 IN A,($00)
20. 0069: DB 01 IN A,($01)
21. 006B: ;
22. 006B: ; LEEMOS EL REGISTRO DE STATUS PARA DETERMINAR
23. 006B: ; SI RECIBIMOS PAQUETE, O SI TENEMOS UN ERROR.
24. 006B: DB 03 IN A,($03)
25. 006D: CB 7F BIT 7,A
26. 006F: 28 14 JR Z,ERROR
27. 0071: ;
28. 0071: ; DETERMINAMOS QUE UN PAQUETE SE RECIBIO LIBRE DE
29. 0071: ; ERROR PARA ENVIARLO A LA TERMINAL.
30. 0071: 06 0A TRANS LD B,$0A
31. 0073: 21 00 25 LD HL,$2500
32. 0076: 7E ENVIA LD A,(HL)
33. 0077: D3 20 OUT ($20),A
34. 0079: DB 25 ESPER IN A,($25)
35. 007B: CB 6F BIT 5,A
36. 007D: 28 FA JR Z,ESPER
37. 007F: 23 INC HL
38. 0080: 05 DEC B
39. 0081: 20 F3 JR NZ,ENVIA
40. 0083: 18 FE YASI JR YASI
41. 0085: ;
42. 0085: ; PROBAMOS EL REGISTRO DE STATUS PARA DETERMINAR SI
43. 0085: ; SE TIENE UN ERROR PRODANDO EL BIT ERROR.
44. 0085: CB 6F ERROR BIT 5,A
45. 0087: 28 FC JR Z,ERROR
46. 0089: ;
47. 0089: ; LEEMOS EL REGISTRO DE ERROR PARA DETERMINAR SI
48. 0089: ; LA CODIFICACION ES 21 LO QUE NOS INDICA QUE SE
49. 0089: ; TIENE ESTABLECIDO EL ENLACE.
50. 0089: DB 05 IN A,($05)
51. 008B: 47 LD B,A
52. 008C: 3E 21 LD A,$21
53. 008E: B8 CP B

```

```

54. 00BF: 28 02          JR Z,INTE
55. 0091:
56. 0091: 18 FE          ESPERA JR ESPERA
57. 0093: F1           INTE    POP AF
58. 0094: C9           RET
59. 0095:
60. 0095:
61. 0095:                ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
62. 0095:                ; INICIO DEL PROGRAMA PRINCIPAL. ;
63. 0095:                ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
64. 0095:
65. 0200:                .ORG $0200
66. 0200:                ;SE PROGRAMA AL 8250, PARA TRANSMITIR A 9600 BITS/SEG.
67. 0200: 3E 80          LD A,$80
68. 0202: D3 23          OUT ($23),A
69. 0204: 3E 00          LD A,$00
70. 0206: D3 21          OUT ($21),A
71. 0208: 3E 0C          LD A,$0C
72. 020A: D3 20          OUT ($20),A
73. 020C: 3E 07          LD A,$07
74. 020E: D3 23          OUT ($23),A
75. 0210: 3E 00          LD A,$00
76. 0212: D3 21          OUT ($21),A
77. 0214:                ;PROGRAMACION DEL 8254.
78. 0214: 3E 30          LD A,$30
79. 0216: D3 13          OUT ($13),A
80. 0218: 3E 00          LD A,$00
81. 021A: D3 10          OUT ($10),A
82. 021C: 3E 00          LD A,$00
83. 021E: D3 10          OUT ($10),A
84. 0220:                ;PROGRAMACION DEL STACK
85. 0220: 31 00 2F          LD SP,$2F00
86. 0223: 21 40 20          LD HL,$2040
87. 0226: 36 00          LD (HL),$00 ;LIMPIAR BUFFER BLOK
88. 0228:                ; PROGRAMACION DEL TIMER (REGISTRO 8)
89. 0228: 3E FF          LD A,$FF
90. 022A: D3 08          OUT ($08),A
91. 022C:                ; PUNTO PRUEBA DE FUNCIONAMIENTO
92. 022C: DB 08          IN A,($08)
93. 022E: D3 20          OUT ($20),A
94. 0230:                ; PROGRAMACION DEL REGISTRO 9
95. 0230: 3E 0F          LD A,$0F
96. 0232: D3 09          OUT ($09),A
97. 0234:                ; PROGRAMACION DEL REGISTRO 1
98. 0234: 3E 00          LD A,$00
99. 0236: D3 01          OUT ($01),A
100. 0238:                ; TABLA DE LOOK UP EN LA LOCALIDAD 2000H
101. 0238: 3E 20          LD A,$20
102. 023A: D3 0A          OUT ($0A),A
103. 023C: 3E 00          LD A,$00
104. 023E: D3 0B          OUT ($0B),A
105. 0240:                ; SE PONEN LOS REGISTROS E = F, QUE ES LA INDICACION
106. 0240:                ; QUE TRABAJARA EN EL MODO "LOOP BACK TEST"
107. 0240: 3E 01          LD A,$01
108. 0242: D3 0E          OUT ($0E),A

```

```

109. 0244: D3 0F          OUT ($0F),A
110. 0246:          ; PROGRAMACION DEL BUFFER DE RECEPCION EN LA
111. 0246:          ; LOCALIDA DE MEMORIA LOCAL 2500H.
112. 0246: 21 40 20      LD HL,$2040
113. 0249: 36 01        LD (HL),$01
114. 024B: 23          INC HL
115. 024C: 36 25        LD (HL),$25
116. 024E: 23          INC HL
117. 024F: 36 00        LD (HL),$00
118. 0251: 06 0A        LD B,$0A
119. 0253:          ; PROGRAMACION DE LOS DATOS EN EL BUFFER DE
120. 0253:          ; TRANSMICION EN LA LOCALIDAD 2200H.
121. 0253: 21 00 22      LD HL,$2200
122. 0256: 3E 30        LD A,$30
123. 0258: 77          DATO
124. 0259: 23          INC HL
125. 025A: 3C          INC A
126. 025B: 05          DEC B
127. 025C: 20 FA        JR NZ,DATO
128. 025E:          ; PROGRAMACION DE TLOCK (BUFFER DE TRANSMISION)
129. 025E: 21 00 20      LD HL,$2000
130. 0261: 36 01        LD (HL),$01
131. 0263: 23          INC HL
132. 0264: 36 22        LD (HL),$22
133. 0266: 23          INC HL
134. 0267: 36 00        LD (HL),$00
135. 0269: 23          INC HL
136. 026A: 36 00        LD (HL),$00
137. 026C: 23          INC HL
138. 026D: 36 0A        LD (HL),$0A
139. 026F:          ; PROGRAMACION DEL REGISTRO DE CONTROL 0
140. 026F:          ; PARA QUE INICIE EL WD-2511, EL ENLACE.
141. 026F: 3E 1A        LONG LD A,$1A
142. 0271: D3 00        OUT ($00),A
143. 0273:          ; PRUEBA DEL BIT DE ENLACE, PARA DETERMINAR
144. 0273:          ; SI ESTA LISTO EL NIVEL DOS DE TRAMAS.
145. 0273: DE 04        LINK IN A,($04)
146. 0275: CB 47        BIT 0,A
147. 0277: 20 FA        JR NZ,LINK
148. 0279:          ; PROGRAMACION DEL REGISTRO DE CONTROL 1, PARA
149. 0279:          ; QUE EL WD-2511 QUE PUEDE TRANSMITIR.
150. 0279: 3E 01        LD A,$01
151. 027B: D3 01        OUT ($01),A
152. 027D: C3 7D 02     FIN JP FIN
153. 0000:          .END

```

```

1. 0000: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
2. 0000: ; PROGRAMA PARA ACCESAR MEMORIA COMUN POR EL ;
3. 0000: ; PROCESADOR DE ENTRADA SALIDA. ;
4. 0000: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
5. 0000:
6. 0000: ;SE PROGRAMA AL 8250, PARA TRANSMITIR A 9600 BITS/SEG.
7. 0000: 3E 80 LD A,#80
8. 0002: D3 23 OUT ($23),A
9. 0004: 3E 00 LD A,#00
10. 0006: D3 21 OUT ($21),A
11. 0008: 3E 0C LD A,#0C
12. 000A: D3 20 OUT ($20),A
13. 000C: 3E 07 LD A,#07
14. 000E: D3 23 OUT ($23),A
15. 0010: 3E 00 LD A,#00
16. 0012: D3 21 OUT ($21),A
17. 0014:
18. 0014: ; SE PROGRAMA UN RETARDO, PARA QUE EL P/P
19. 0014: ; INICILICE LA MEMORIA COMUN.
20. 0014: 21 40 40 LD HL,#4040
21. 0017: 25 RESTA: DEC H
22. 001B: 20 FD JR NZ,RESTA
23. 001A: 2D DEC L
24. 001B: 20 FA JR NZ,RESTA
25. 001D:
26. 001D: ; CARGAMOS LOS DATOS EN LA MEMORIA COMUN
27. 001D: ; A PARTIR DE LA LOCALIDAD #4001.
28. 001D: 21 00 40 LD HL,#4000
29. 0020: 06 0A LD B,#0A
30. 0022: 3E 30 LD A,#30
31. 0024: 77 DATOS LD (HL),A
32. 0025: 23 INC HL
33. 0026: 3C INC A
34. 0027: 05 DEC B
35. 002B: 20 FA JR NZ,DATOS
36. 002A:
37. 002A: ; INDICAMOS AL PROCESADOR PRINCIPAL QUE LOS DATOS
38. 002A: ; FUERON ENVIADOS A LA MEMORIA COMUN.
39. 002A: 21 00 40 LD HL,#4000
40. 002D: 36 01 LD (HL),#01
41. 002F:
42. 002F: ;LEER AREA DE COMUNICACION, DIR(5000), PARA
43. 002F: ;DETERMINAR SI EL PROCESADOR PRINCIPAL DETERMINO
44. 002F: ;QUE EL DATO FUE ENVIADO A LA MEMORIA COMUN.
45. 002F: 21 00 50 LD HL,#5000
46. 0032: 7E LEER: LD A,(HL)
47. 0033: FE 01 CF #01
48. 0035: 20 FB JR NZ,LEER
49. 0037: ;LEER LOS DATOS A PARTIR DE LA LOCALIDAD 4000
50. 0037: ;Y ENVIARLOS A LA TERMINAL
51. 0037: 21 00 40 LD HL,#4000
52. 003A: 06 0A LD B,#0A
53. 003C: 7E DATO: LD A,(HL)

```

54. 003D: D3 20
55. 003F: 23
56. 0040: DB 25
57. 0042: CB 6F

58. 0044: 2B FA
59. 0046: 05
60. 0047: 20 F3
61. 0049: 3A 00 40
62. 004C: 1B FB
63. 0000:

ESPER:

FIN:

OUT (\$20),A
INC HL
IN A,(\$25)
BIT 5,A

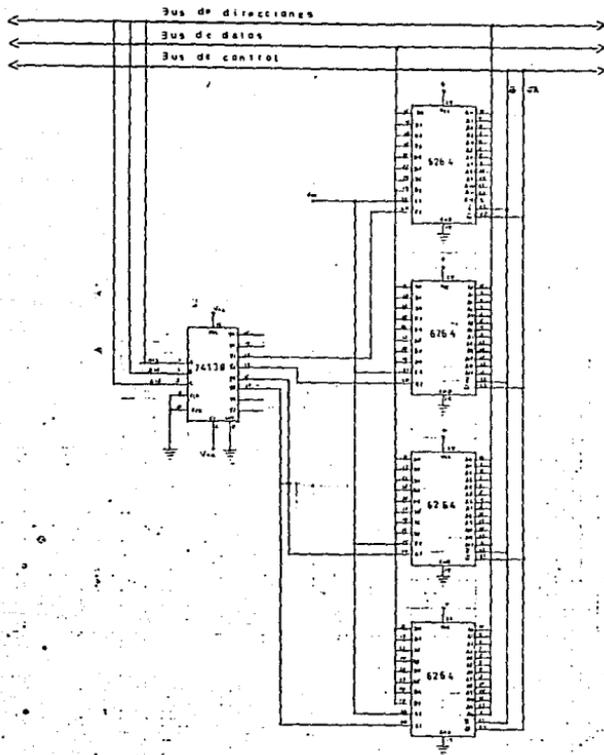
JR Z,ESPER
DEC B
JR NZ,DATO
LD A,(\$4000) ;LOCALIDAD DE LABANDERA
JR FIN ;DEL PAQUETE, ACESADA EN
.END ;FORMA PERMANENTE.

```

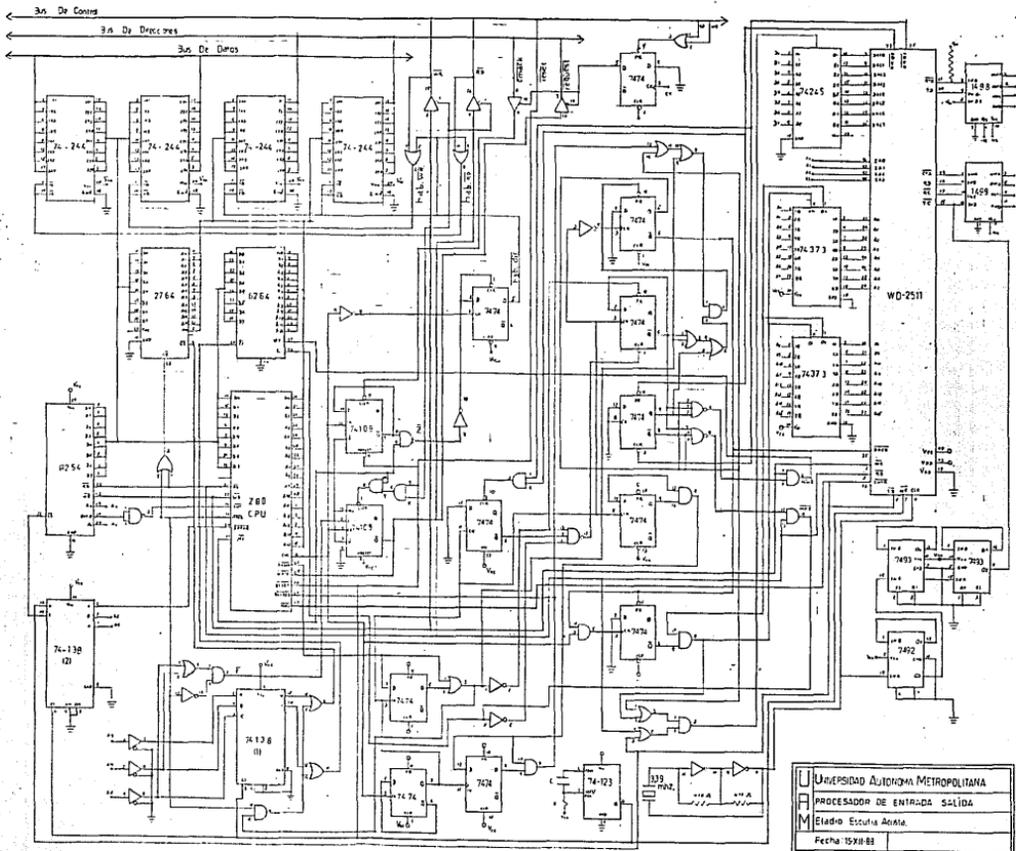
1. 0000: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
2. 0000: ; PROGRAMA DE FUNCIONAMIENTO DEL ACCESO A LA ;
3. 0000: ; MEMORIA COMUN PARA EL PROCESADOR PRINCIPAL ;
4. 0000: ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
5. 0000:
6. 0000: ; BORRAR AREA DE COMUNICACION
7. 0000: 3E 00 LD A,#00
8. 0002: 32 00 15 LD (#1500),A
9. 0005:
10. 0005: ; QUITAMOS INDICACION DE LLEGAD DE PAQUETES
11. 0005: 32 00 40 LD (#4000),A
12. 0008:
13. 0008: ; PREGUNTAMOS SI LLEGO UN PAQUETE.
14. 0008: 3A 00 40 ESPERA LD A,(#4000)
15. 0008: FE 01 CF #01
16. 000D: 20 F9 JR NZ,ESPERA
17. 000F:
18. 000F: ;QUITAMOS LA BANDERA DE LLEGADA DE PAQUETES.
19. 000F: 3E 00 LD A,#00
20. 0011: 32 00 40 LD (#4000),A
21. 0014:
22. 0014: ; DETERMINAMOS QUE TENEMOS UN PAQUETE Y LO INDICAMOS AL
23. 0014: ; AL P I/O, EN EL AREA DE COMUNICACION
24. 0014: ; Y REGRESAMOS A PREGUNTAR SI LLEGO OTRO PAQUETE.
25. 0014: 3E 01 LD A,#01
26. 0016: 32 00 50 LD (#5000),A
27. 0019: C3 08 00 JP ESPERA
28. 0000: .END

```

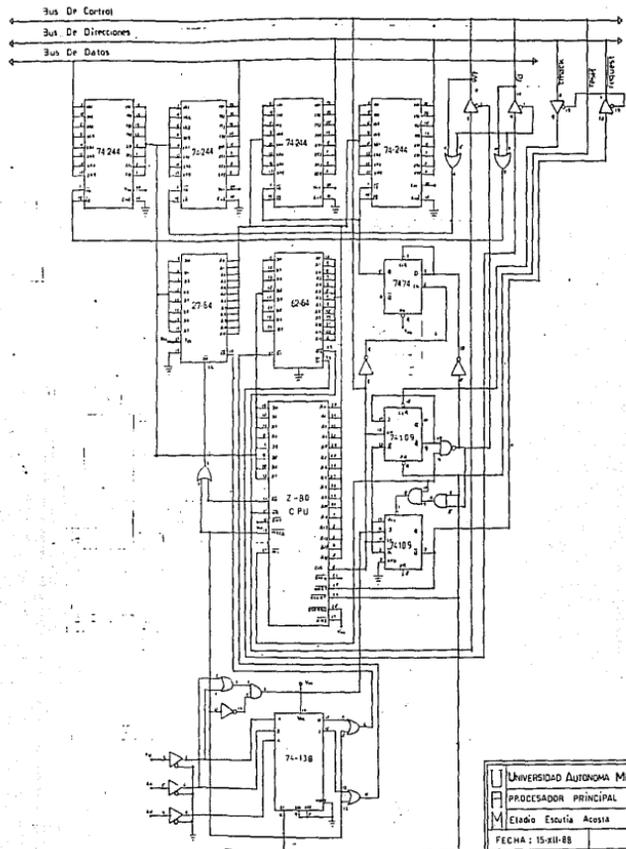
A P E N D I C E B



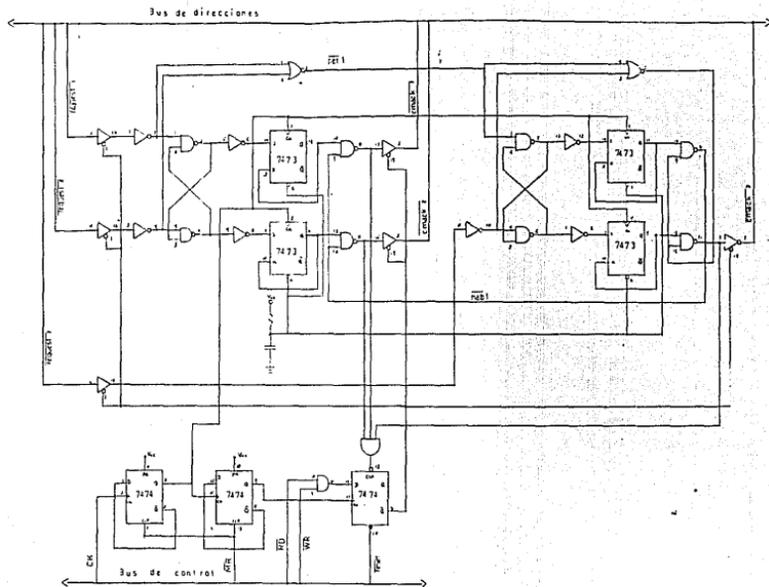
U	UNIVERSIDAD AUTÓNOMA METROPOLITANA
F	MEMORIA COMÚN.
M	Estudio Escuela Acosta.
FECHA : 15-XII-88	



U	UNIVERSIDAD AUTÓNOMA METROPOLITANA
P	PROCESADOR DE ENTRADA-SALIDA
M	Estado Escuela Anásta.
Fecha 15/11/88	



U	UNIVERSIDAD AUTÓNOMA METROPOLITANA
M	PROCESADOR PRINCIPAL
M	Estadío Estuñe Acosta
	FECHA: 15-XII-88



U	UNIVERSIDAD AUTÓNOMA METROPOLITANA
A	ÁRBITRO
M	Elmó Escobar Acosta
FECHA: 15-XII-88	