

24/19

UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO



Facultad de Ingeniería
U.N.A.M.

DISEÑO Y CONSTRUCCION DE UN SISTEMA
MONITOR-DECODIFICADOR DE LA SEÑAL DE
RADIONAVEGACION OMEGA PARA USO EN
INSTRUMENTACION SISMICA

T E S I S

Que para obtener el título de

INGENIERO MECANICO ELECTRICISTA

P R E S E N T A

Luis Alberto Bedoya Prada

Director de Tesis

M. EN INGENIERIA ROBERTO QUAAS W.

MEXICO, D. F.

1988



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

I.	Introduccion	1
II.	Señales sismicas y registro del tiempo	3
III.	Sistema de radionavegación OMEGA	8
3.1	Características de la señal OMEGA	9
3.1.1	Propagación	9
3.1.2	Formato	10
3.2	Empleo de la señal OMEGA como referencia de tiempo para registros sismicos digitales	12
3.2.1	Módulo OMEGAREC	12
3.2.2	Proceso de inicialización del reloj del OMEGAREC	14
3.2.3	Módulo OMEGAFACE	15
3.2.4	Salida serie codificada en BCD	16
IV.	Sistema decodificador-generador OMEGA	19
4.1	El microprocesador 65C02	20
4.2	Reloj	24
4.3	Circuito de reset	25
4.4	Circuitos de memoria	26
4.4.1	Interfaz microprocesador- memoria RAM	27
	a. Ciclo de lectura del microprocesador 65C02	27
	b. Ciclo de escritura del microprocesador 65C02	29
4.5	Decodificador de direcciones	32
4.6	Puertos de entrada y salida	34
4.7	Convertor A/D	37

4.8	Circuito para el despliegue numérico	40
4.9	Circuito para modulación y transmisión local de la señal OMEGA simulada	42
4.10	Alimentación	43
4.11	Diagrama electrónico completo del sistema	44
4.12	Distribución de componentes y módulo de campo	46
	1. Distribución de componentes	46
	2. Descripción de cada uno de los componentes	46
	3. Módulo de campo	49
V.	Operación del sistema Decodificador-Generador OMEGA	51
5.1	Decodificación del código	51
5.2	Modos de despliegue de datos	53
5.3	Generación de una señal OMEGA simulada	55
VI.	Programación del sistema	56
VII.	Conclusiones	61
VIII.	Bibliografía	62
	ANEXO 1. Especificaciones del microprocesador 65C02	
	ANEXO 2. Manual técnico del módulo OMEGAREC	
	ANEXO 3. Manual técnico del módulo OMEGAFACE	
	ANEXO 4. Listado del programa	

I. INTRODUCCION

Para el analisis e interpretacion de los registros sismicos, es indispensable conocer la fecha y la hora precisa de ocurrencia de los temblores. De esta manera se podra obtener la localizacion del sismo y estimar los parametros epicentrales, asi como las características de propagación de las ondas sismicas. Por esta razón es de vital importancia que los instrumentos de registro autonomo, en especial aquellos ubicados en estaciones remotas, cuenten con bases de tiempo y relojes de mucha precision. Esta base de tiempo puede ser, desde marcas en forma de pulsos, hasta complejos codigos digitales generados en forma local o recibidas a través de señales de radio. Existen alrededor de 50 señales de tiempo disponibles para ser usadas como referencias de tiempo, las cuales son registradas por la BIH (The Bureau International de L'Heure) en Paris Francia. Entre las referencias que comunemente se emplean en instrumentación sismica, están la WWV, WWB, señales de satélite GOES y el sistema de navegacion OMEGA.

La red de acelerografos digitales de registro autonomo que opera el Instituto de Ingenieria, cuenta con una base de tiempo OMEGA. Al ocurrir un evento sismico y satisfacerse el algoritmo de detección, los instrumentos se disparan y comienzan a grabar en forma multiplexada en cinta magnetica tipo cassette, los datos de 3 canales de aceleración a 100 muestras/segundos/canal, memoria de pre-evento, asi como el tiempo de un reloj fechador interno y el codigo OMEGA generado por el modulo OMEGAFACE.

En el presente trabajo se presenta el diseño, desarrollo y operacion de un sistema decodificador-generador OMEGA, cuyo objetivo es el de mejorar el mantenimiento y operacion de las bases de tiempo OMEGA de los acelerografos digitales de las estaciones sismicas. Por la importancia que tiene el registro del tiempo en la instrumentación sismica, en el capitulo II se hace una breve introducción sobre las características de propagación de las ondas sismicas y obtencion de los parametros epicentrales de los sismos. Además se mencionan en forma breve las características de los equipos de registro sismico tanto analógicos como digitales. En el capitulo III se describen las principales características de la señal de radionavegación OMEGA su propagación y formato de transmisión, asi como los módulos receptores OMEGAREC y OMEGAFACE.

La descripción detallada de los circuitos electrónicos del decodificador-generador OMEGA se presenta en el capítulo IV y su operación en el capítulo V. La programación asociada se da en el capítulo VI.

Información complementaria del microprocesador 6502 se presenta en el anexo 1. En los anexos 2 y 3 se dan los manuales técnicos de los módulos OMEGAREC y OMEGAFACE, respectivamente. El listado del programa del microprocesador se en el anexo 4.

II SEÑALES SISMICAS Y REGISTRO DEL TIEMPO

Para el análisis de registros sísmicos es de gran importancia conocer la fecha y hora precisa de ocurrencia de los temblores. Si se cuenta con una buena base de tiempo, se podrá obtener información correcta de la localización del sismo, estimar los parámetros epicentrales y las características de propagación de las ondas sísmicas.

El suelo y las rocas tienen propiedades elásticas; por ello se deforman y vibran cuando son excitadas, por ejemplo, por fuerzas sísmicas. En un terremoto, 3 tipos básicos de ondas elásticas producen la sacudida del terreno: la P, la S y la superficial. Estas ondas tienen características similares a aquellas que se propagan en el aire y en el agua. En la figura 2.1 se presenta un diagrama con los diferentes tipos de ondas sísmicas.

De los tres tipos de ondas, solo dos se propagan en el interior del suelo. La más rápida de estas ondas internas es llamada primaria u onda P (fig 2.1.a). Su movimiento es similar al de una onda de sonido que, a medida que se propaga, comprime y dilata alternadamente el suelo. Estas ondas, como las ondas sonoras, son capaces de viajar a través de rocas sólidas, tales como montañas de granito, y de materiales líquidos, como magma volcánico o el agua de los océanos.

Una onda más lenta que la P y que se propaga sólo a través del interior del suelo, es la onda S o de cortante (fig 2.1.b). Cuando una onda S se propaga, se deforma la roca lateralmente en ángulo recto a la dirección de propagación. Estas ondas no se propagan a través de materiales líquidos.

El tercer tipo de onda sísmica es la superficial, cuyo movimiento está restringido a la superficie del suelo. Las ondas superficiales de los terremotos se pueden dividir en 2 tipos. La primera se llama onda Love. Su movimiento es, esencialmente, el mismo que el de las ondas S; mueve el suelo de lado a lado en un plano horizontal paralelo a la superficie de la tierra, pero en ángulo recto a la dirección de propagación (fig 2.1.c). El segundo tipo de onda superficial es conocida como onda Rayleigh; las partículas perturbadas por este tipo de onda se mueven vertical y horizontalmente en forma elíptica como muestra la figura 2.1.d. Las ondas superficiales viajan más despacio que las ondas internas.

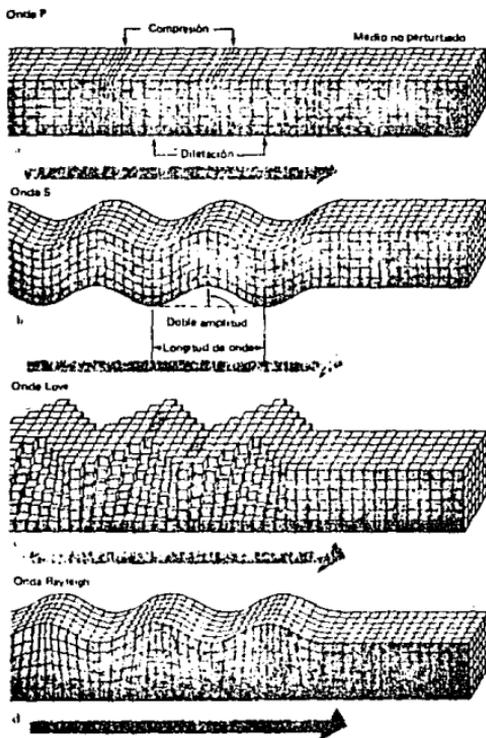


Fig 2.1 Tipos y formas de propagación de las principales ondas sísmicas.

Una ilustración de las ondas que llegan a una estación se muestra en la figura 2.2. En este caso, el sismógrafo ha registrado sólo el movimiento vertical del suelo y por tanto, los sismogramas sólo contienen ondas P, S y Rayleigh, ya que las ondas Love no son registradas por instrumentos verticales.

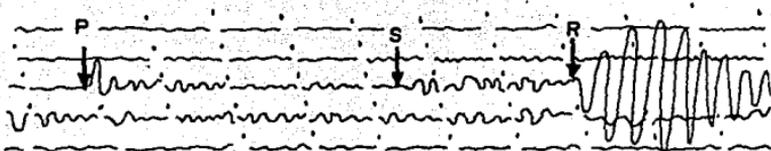


Fig 2.2 Sismograma de un terremoto de Alaska registrado en Oroville, California. Aquí se pueden observar las ondas P, S y de Rayleigh.

La localización del epicentro de un temblor se determina a partir del tiempo que tardan las ondas P y S en propagarse desde el foco hasta el instrumento que registra el sismo (acelerógrafos, sismógrafos, etc.), conocida su velocidad de propagación. Si se conocen los tiempos de arribo de las ondas en 3 estaciones distintas de observación, entonces se puede determinar por triangulación las coordenadas del epifoco del sismo.

Por otra parte, experimentalmente los sismólogos han determinado una regla general aproximada para el cálculo de la distancia epicentral de un sismo, la cual está dada por la ecuación 2.1. Esta dice que la distancia epicentral de un sismo es igual a 8 veces la diferencia del tiempo de arribo de la onda secundaria T_s menos el tiempo de arribo de la onda primaria T_p .

$$\text{Distancia epicentral} = 8 \times (T_s - T_p) \quad \dots (2.1)$$

Por lo anterior, se puede apreciar que la precisión con que se pueden estimar las distancias epicentrales y la localización de un sismo dependen esencialmente de la base de tiempo utilizada. Por ejemplo, con equipos de registros sísmicos analógicos, normalmente el tiempo se registra como marcas o pulsos a intervalos regulares superpuestos al sismograma, por lo tanto la precisión es pobre o marginal. Un ejemplo de un acelerograma analógico registrado sobre película fotográfica se muestra en la figura 2.3.

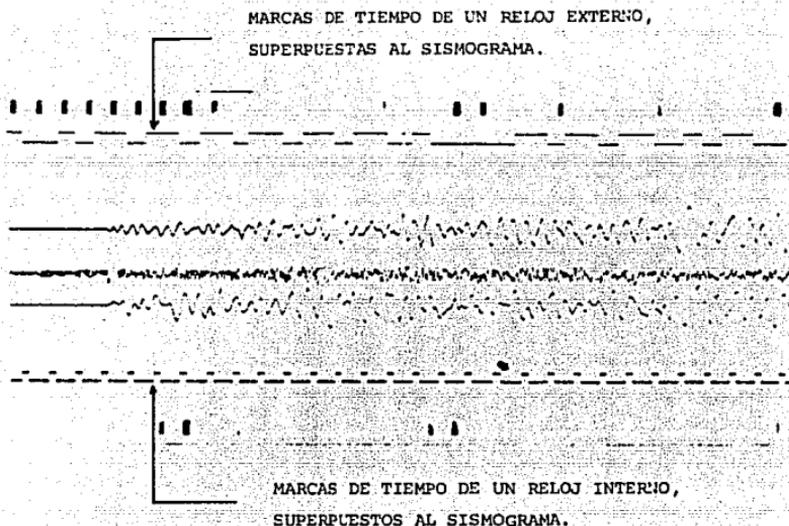
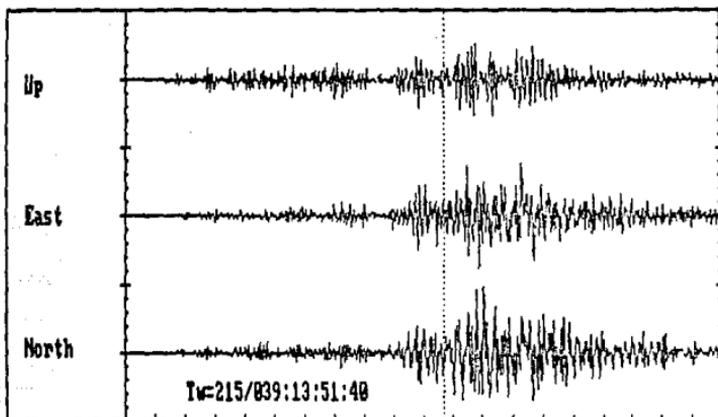


Fig 2.3 Acelerograma analogico con marcas de tiempo de referencia.

Con equipos digitales se multiplexa un código con el tiempo (fecha y hora), junto con los datos del movimiento. Un registro de este tipo se muestra en la figura 2.4. Tanto la generación del código de tiempo, como los intervalos de muestreo se derivan de un oscilador controlado por un cristal de cuarzo. De esta manera, al procesarse el registro, el tiempo preciso de cualquier parte del sismograma se obtiene mediante un proceso de decodificación generalmente hecho por computadora.

Es usual que los registradores digitales tengan varias bases de tiempo: un reloj interno y una referencia externa. Con ambos registros del tiempo se puede estimar con mucha precisión el tiempo real de ocurrencia del sismo.



M1= +70.82 gals	Tc: 39-13:51:41.08	18.00(23.34) 28.00
M2= -42.11 gals	Y: 78.4 gals/div	F.D.= 2
M3= -85.18 gals	X: .5 seg/div	F.E.= 1
		SECM: 2.8 GAN: 5
		Muestra No.: 2334

Mueva cursor con [← →] o [Home]-[PgUp], [Zoom], [Flw], [Offset] o [End]=Fin

SEÑAL DE TIEMPO EXTERNA DEL PELOJ-FECHAOR OMEGAFACE T_u
 (CODIGO BCD OMEGA)
 Tc ES EL TIEMPO DEL RELOJ INTERNO

Fig 2.4 Acelerograma digital, cuyas referencias de tiempo son decodificadas por computadora.

III SISTEMA DE RADIONAVEGACION OMEGA

El sistema mundial de radionavegación OMEGA, operado por los Estados Unidos en conjunto con otras naciones, consta de 8 estaciones transmisoras que radian señales en la banda de VLF (very-low-frequency). Estas señales tienen la propiedad de un muy largo alcance, de tal forma que pueden ser recibidas casi en todo el globo terráqueo. El sistema de radionavegación OMEGA fue desarrollado principalmente con fines de navegación, pero dadas las características de sus señales, pueden ser usadas como señales de tiempo de gran precisión (aproximadamente 10 ms a una distancia de 5,000 Km de la estación transmisoras).

Las 8 estaciones transmisoras del sistema OMEGA transmiten en tiempo compartido señales sincronizadas en fase a diferentes frecuencias en la banda de 9 a 14 KHz. Se distinguen 2 tipos de frecuencias: comunes y características. Cuatro frecuencias comunes son utilizadas en tiempo compartido por los 8 transmisores; estas se usan principalmente para la navegación. Una frecuencia característica es asignada a cada estación transmisoras y es la utilizada como señal de tiempo.

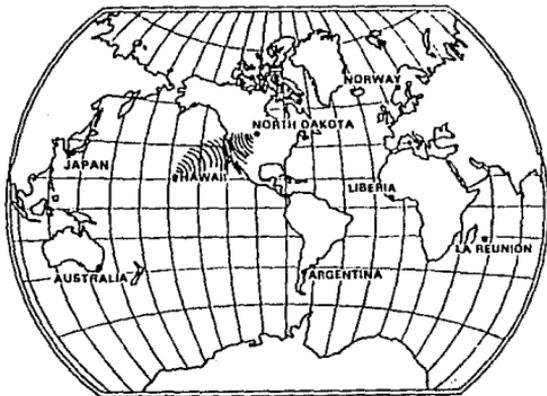


Fig 3.1 Localización de las 8 estaciones transmisoras del sistema OMEGA.

En la figura 3.1 se muestra la distribución de las estaciones del sistema OMEGA. La señal que cubre a México es la radiada desde Dakota del Norte, E.U. en la frecuencia de 13.1 KHz. México también recibe la señal de Hawaii con frecuencia 11.8 KHz, pero cada su posición geográfica sólo cubre la región norte del país.

En la tabla 3.1 se listan las 8 estaciones OMEGA con su posición geográfica (coordenadas dadas por el sistema geodesico mundial en 1972), su frecuencia característica y la institución que la opera.

ESTACION	LETRA DE DESIGNACION	COORDENADAS	OPERADOR	FRECUENCIA CARACTERISTICA (KHz)
Noruega	A	66 25 12.62 N 13 08 12.52 E	Norwegian Telecommunication Administration (NTA)	12.1
Liberia	B	01 16 19.11 N 10 35 52.40 W	Liberian Ministry of Commerce, Industry and Transportation	12.0
USA:Hahu, Hawaii	C	21 24 16.78 N 157 49 51.51W	U.S.C.G.	11.8
USA:La Moure, N. Dakota	D	46 21 57.29 N 95 20 06.77 W	U.S.C.G.	13.1
Francia:La Reunión	E	20 58 27.03 S 55 17 23.07 E	Marina Francesa	12.3
Argentina	F	43 03 12.89 S 65 11 27.36 W	Marina Argentina	12.9
Australia	G	38 28 52.53 S 146 56 06.51E	Departamento de transporte australiano	13.0
Japón	H	34 36 52.93 N	Japanese Maritime Safety Agency (JMSA)	12.8

Tabla 3.1 Estaciones OMEGA.

3.1 Características de la señal OMEGA

3.1.1 Propagación

El sistema OMEGA depende inherentemente de la estabilidad de la fase de la onda de radio VLF. Estas viajan a través de una guía de onda formada por la superficie terrestre y las primeras capas de la ionósfera, la cual se encuentra en la atmósfera a altitudes entre 40 y 150 millas

nauticas. En la figura 3.2, se muestra como la propagación de la señal de radio sobre grandes distancias toma su trayectoria entre la tierra y la ionósfera.

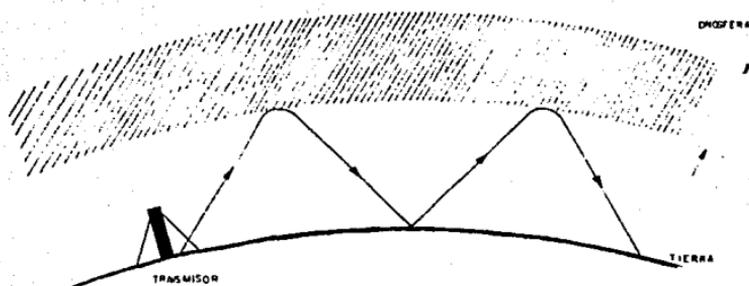


Fig 3.2 Propagación de la señal OMEGA.

3.1.2 Formato

La señal OMEGA es radiada por cada transmisor como una secuencia de pulsos con duración de .9 a 1.2 s y separados por intervalos de 0.2 s. De esta manera cada estación transmite un patrón de 8 pulsos en un intervalo de 10 s, el cual contiene las 4 frecuencias comunes a todas las estaciones y una quinta frecuencia que es la característica de dicha estación.

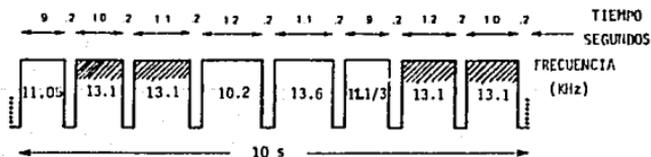


Fig 3.3 Formato de transmisión de la estación OMEGA de Dakota del Norte E.U.

En la figura 3.3 se muestra el formato de transmisión de la estación de Dakota del Norte, E.U. que es la que se recibe en México. Se identifican claramente las cuatro frecuencias comunes (11.05, 10.2, 13.6, y 11 1/3 KHz) y su frecuencia característica de 13.1 KHz (sombreada).

El formato de la señal OMEGA para cada estación es similar, sin embargo, se establecen frecuencias patrones para evitar que diferentes transmisores radien la misma frecuencia simultáneamente. La figura 3.4 muestra un formato completo de transmisión de todas las señales OMEGA; los pulsos sombreados corresponden a las frecuencias características de cada estación.

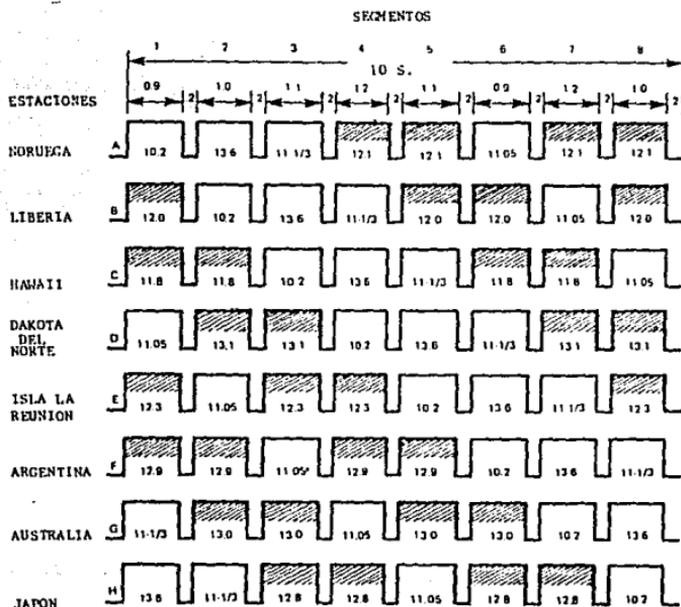


Fig 3.4 Formato de transmisión de la señal OMEGA.

3.2 Empleo de la señal OMEGA como referencia de tiempo para registros sísmicos digitales.

La señal OMEGA de navegación proporciona una referencia externa de tiempo muy útil. Una de sus aplicaciones es como referencia de tiempo para registros sísmicos digitales. Los equipos de recepción y codificación de tiempo OMEGA utilizados en la red acelerográfica del Instituto de Ingeniería, se componen de 2 módulos: el Módulo OMEGAREC que es el receptor y detector de la señal VLF, y un módulo OMEGAFACE, que es un reloj-fechador y generador de código sincronizado a la señal OMEGA.

Ambos módulos son dispositivos autónomos, de bajo consumo y con baterías propias (con duración de 10 años), diseñados especialmente para uso en estaciones remotas desatendidas por periodos prolongados de tiempo. La salida del módulo OMEGAFACE es una señal serie en forma de un tren de pulsos codificados con la información de la fecha y hora. Esta señal es la que se utiliza como referencia de tiempo en los registros sísmicos, multiplexándola digitalmente con los datos muestreados de los sensores.

3.2.1 Módulo OMEGAREC

El sistema receptor OMEGAREC utiliza las frecuencias características emitidas por las estaciones transmisoras de la señal OMEGA para la sincronización de su reloj interno. La detección de una frecuencia característica en una estación receptora genera una señal, como la mostrada en la figura 3.5, compuesta por dos pares de pulsos separados por pausas uniformes. Este patrón, con duración de 10 s se repite indefinidamente y puede reconocerse con facilidad por medios electrónicos. Es similar para todos los transmisores, excepto por un corrimiento de fase establecido entre estaciones (fig 3.4).

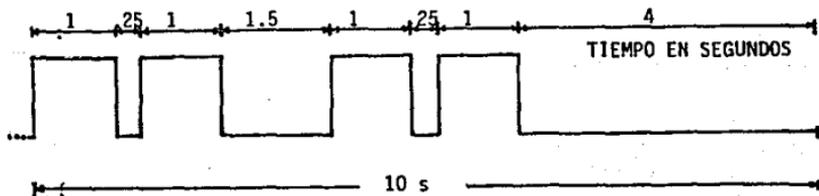


Fig 3.5 Señal OMEGA recibida por OMEGAREC.

En particular OMEGAREC identifica la pausa larga y toma el principio del siguiente pulso como referencia para la sincronización de su reloj interno. La señal recibida se rectifica y se puede observar a través de un LED. Si la recepción es correcta aparecerá la secuencia típica de 4 pulsos cada 10 s (fig 3.5). Si por el contrario, la recepción es mala, el LED se encenderá en forma irregular. Una mala recepción puede deberse a varios factores: orientación incorrecta de la antena, atenuación debida a la edificación donde se halla instalado el OMEGAREC o ruido artificial local (motores, líneas de transmisión, etc.).

El módulo OMEGAREC posee un oscilador de cuarzo de 32,768 Hz. Esta frecuencia es dividida mediante divisores de frecuencia, hasta obtener un pulso por minuto en su salida. En una etapa intermedia del divisor se entrega un pulso cuadrado cada 10 s. El flanco positivo de este pulso es comparado con el tiempo de arribo del primer pulso de la secuencia de los 4 pulsos de la señal OMEGA. Luego se registran corrimientos de 0.5 ms cada 10 s para lograr que coincidan los flancos positivos de estos pulsos y de esta manera sincronizarse con la señal OMEGA.

Cuando existe ausencia de la señal OMEGA o mala recepción, el reloj interno del OMEGAREC operará a la frecuencia libre de oscilación de su reloj de cuarzo, el cual tiene una precisión de $\pm 2 \times 10^{-6}$. Cuando se logra la recepción de la señal OMEGA, entonces el reloj del OMEGAREC tratará nuevamente de entrar en sincronía con la señal recibida, corrigiéndose a una tasa de 0.5 ms por cada intervalo de 10 s, es decir $\pm 5 \times 10^{-6}$.

Del anterior proceso se genera una señal de salida del OMEGAREC, la cual constituye la base de tiempo para el módulo OMEGAFACE. De la buena o mala recepción dependerá el ciclo de trabajo de esta señal, como se indica en la figura 3.6.

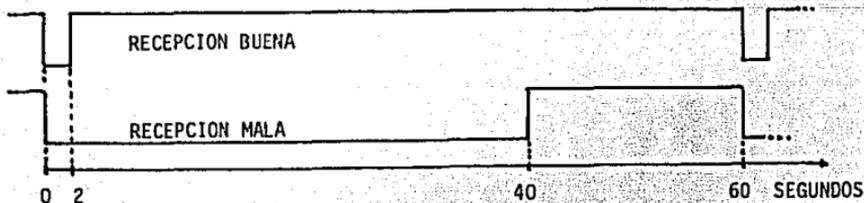


Fig 3.6 Señal de salida del OMEGAREC.

3.2.2 Proceso de inicialización del reloj de OMEGAREC

Dado que la señal OMEGA se repite indefinidamente en intervalos de 10 s, el reloj del OMEGAREC una vez que se ha puesto en marcha tratará de sincronizarse con la marca de tiempo más cercana de esta señal OMEGA. Por lo tanto, se debe ajustar manualmente al módulo OMEGAREC para que quede dentro del Tiempo Universal correcto en ± 5 s. Se debe enfatizar que esta marca de tiempo y por tanto el tiempo del OMEGAREC, no coinciden con ningún valor entero del Tiempo Universal o Tiempo Atómico Internacional. Lo importante es que la diferencia (Tiempo OMEGA menos el Tiempo Atómico Internacional), permanece constante para cualquier transmisor. A esta diferencia debe sumarse un retardo debido al tiempo de la propagación de la señal OMEGA y que es de 10 ms por cada 3,000 Km de distancia recorrida. En enero de 1982 se elaboró una tabla en la que se registró el valor de las diferencias de tiempos que presentaba cada receptor en esa fecha, la cual se muestra a continuación:

TRANSMISOR	COORDENADAS	CORRIMIENTOS DE CADA TRANSMISOR (ENERO/82)	FRECUENCIA CARACTERISTICA
Noruega	66°N/13°E	4.11 s	12.1 KHz
Liberia	06°N/11°E	5.51 s	12.0 KHz
Hawaii	21°N/158°W	6.81 s	11.8 KHz
N. Dakota	46°N/98°W	7.91 s	13.1 KHz
La Reunión	21°S/55°E	9.31 s	12.3 KHz
Argentina	43°S/65°W	0.51 s	12.9 KHz
Australia	38°S/147°E	1.61 s	13.0 KHz
Japón	35°N/129°E	2.81 s	12.8 KHz

Tabla 3.3 Tabla de corrimientos de tiempo que presentó cada transmisor OMEGA hasta enero de 1982.

El procedimiento para inicializar el reloj de OMEGAREC es el siguiente:

Primera mente se debe verificar que haya buena recepción y que el LED identifique la secuencia de los cuatro pulsos de la señal OMEGA. Después se observa un reloj con la referencia del Tiempo Universal, por ejemplo un reloj de pulsera y se presiona el interruptor de reset del OMEGAREC, liberándose al final de la primera pausa larga después de que empezó un min. A partir de este instante el reloj del OMEGAREC tratará de sincronizarse a una tasa de 3 ms por min (5×10^{-6} s/s). Dependiendo de qué tan preciso se hizo este ajuste, el proceso podrá requerir hasta un día para lograr la completa sincronía.

3.2.3 Módulo OMEGAFACE

El módulo OMEGAFACE es un reloj-fechador y generador de código, sincronizado a la señal que detecta el módulo OMEGAREC, del cual recibe un pulso por min con una diferencia de varios segundos con respecto al Tiempo Universal (UTC). El OMEGAFACE compensa esta diferencia de tiempo y además genera varias señales y funciones como son:

- a. Una salida serie con la fecha y hora codificada en BCD.
- b. Marcas de minuto, hora y día.
- c. Despliegue de la fecha y hora a través de displays LCD.

El módulo OMEGAFACE consiste de un reloj también con oscilador de cuarzo que se sincroniza con la señal OMEGA del OMEGAREC. Dependiendo de la estación transmisora a la cual se sincroniza a su vez el OMEGAREC, será el valor del corrimiento de tiempo que presenta la señal OMEGA con respecto al Tiempo Universal. Para compensar esta diferencia de tiempo, su valor se programa a través de 3 interruptores de codificación (unidades, décimas y centésimas de segundos). De esta manera OMEGAFACE lo toma en cuenta para su sincronización con respecto al UTC.

La fecha y hora inicial se fijan manualmente a través de 4 interruptores. Para identificar la estación se puede también programar un número de 3 dígitos mediante 3 interruptores. Este número aparecerá como parte de la salida serie codificada en BCD. En los aparatos del Instituto de Ingeniería, éste se usa para identificar el número de serie del OMEGAFACE. De esta manera, se lleva un control del lugar donde está instalado el aparato y el estado en que se encuentra. También es posible obtener un pulso por minuto, un pulso por hora o un pulso por día a través de uno de sus interruptores. El día del año así como la hora, se despliegan en 3 displays LCD de 4 dígitos cada uno. Si el estado de recepción y sincronización del OMEGAREC no es correcto, el despliegue de los días es en forma intermitente.

3.2.4 Salida serie codificada en BCD

Esta es una salida de colector abierto, la cual puede entregar hasta 100 miliamperes si se le conecta a una fuente de alimentación externa de 3 a 15 volts.

Un código BCD completo tiene una duración de 10 s, durante los cuales se generan 48 pulsos (bits OMEGA) de información y un pulso que indica el inicio de código. Cada bit OMEGA a su vez tiene una duración de 200 ms; el pulso que indica el inicio de un código tiene una duración equivalente a 2 bits OMEGA, es decir 400 ms. Un bit OMEGA se identifica como un "1" lógico o como un "0" lógico dependiendo de su ciclo de trabajo.

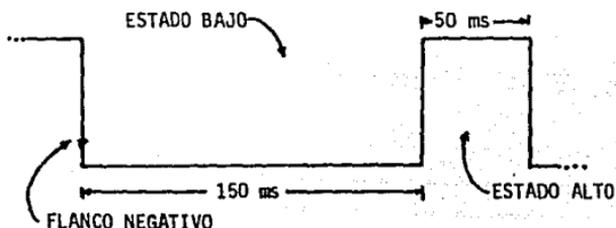


Fig 3.7 Bit OMEGA equivalente a un "1" lógico.

Como se observa en la figura 3.7, un bit OMEGA equivalente a un "1" lógico, se identifica porque tiene una duración en estado bajo de 150 ms y en estado alto de 50ms.

Un bit OMEGA equivalente a un "0" lógico se identifica por su duración en estado bajo de 50 ms y en estado alto de 150 ms, como se muestra en la figura 3.8.

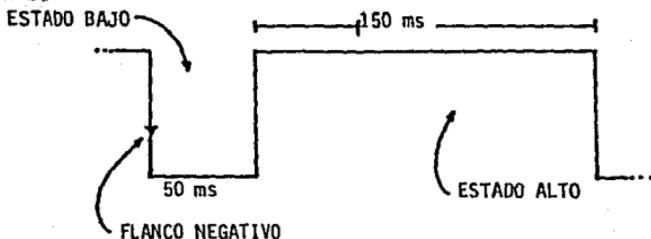


Fig 3.8 Bit OMEGA equivalente a un "0" lógico.

En un código BCD OMEGA se tiene la siguiente información:

- Del bit 1 al bit 8, los segundos.
- Del bit 9 al bit 16, los minutos.
- Del bit 17 al bit 24, las horas.
- Del bit 25 al bit 34, los días del año.
- A través del bit 35 se da información de sincronía del OMEGAREC. Si el bit 35 es un "1" lógico, entonces la sincronía es incorrecta, es decir hay mala recepción. Si por el contrario, el bit 35 es un "0" lógico entonces la sincronía es correcta.
- Del bit 37 al bit 38, se da el número de serie del aparato (OMEGAFACE).

En la figura 3.9 se ilustra un código OMEGA completo.

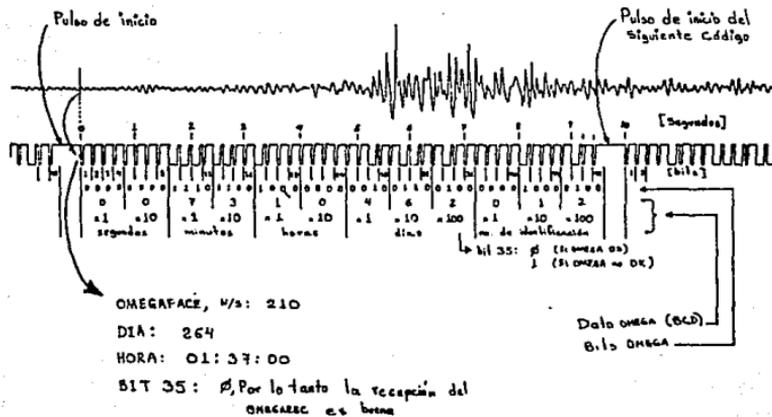


Fig 3.9 Código OMEGA.

Información más detallada en cuanto a funcionamiento, características y especificaciones técnicas de los módulos OMEGAREC y OMEGAFACE se presentan en los anexos 2 y 3, respectivamente.

IV. SISTEMA DECODIFICADOR - GENERADOR DE LA SEÑAL OMEGA

La mayoría de los acelerógrafos digitales que opera el Instituto de Ingeniería, cuenta con una base de tiempo OMEGA. Al ocurrir un evento sísmico y satisfacerse el algoritmo de detección, los instrumentos se disparan y comienzan a grabar en forma multiplexada en cinta magnética tipo cassette, los datos de tres canales de aceleración a 100 muestras/segundo/canal, memoria de preevento, así como el tiempo de un reloj fechador interno y el código OMEGA generado por el módulo OMEGAFACE.

Para estos equipos se desarrolló un sistema para monitorear la señal OMEGA, el estado de recepción del OMEGAREC y otros aspectos que garantizan el correcto registro del tiempo en la estación acelerográfica. El sistema desarrollado se basa en un microprocesador, el cual por programa ejecuta las siguientes tareas: decodificación del código de tiempo generado por el OMEGAFACE, medición del nivel de voltaje de su batería interna y generación, así como transmisión local de la señal simulada OMEGA para verificar la operación del OMEGAREC. Un diagrama general del sistema decodificador-generador de la señal OMEGA desarrollado se muestra en la figura 4.1:

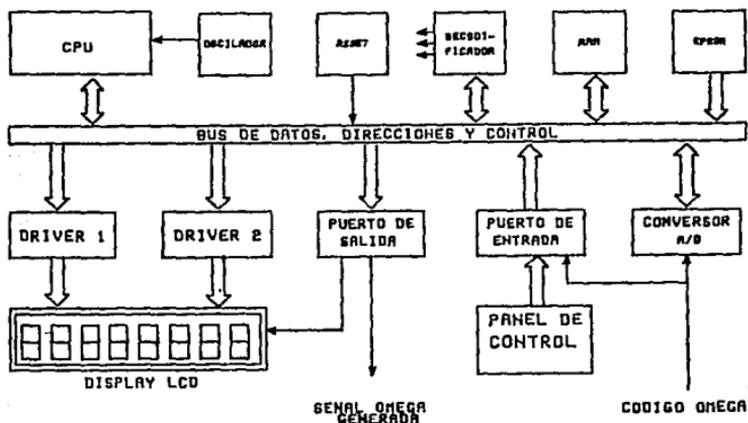


Fig 4.1. Diagrama de bloques del sistema Decodificador-Generador de la señal OMEGA.

La descripción detallada de los componentes del sistema se hará a continuación:

4.1 Microprocesador

Se escogió el microprocesador 65C02 por presentar características adecuadas para este sistema, pues tiene bajo consumo de potencia y es de fácil manejo. El microprocesador 65C02 tiene un bus de datos bidireccional de 8 bits y un bus de 16 líneas de dirección. A diferencia del microprocesador 6502 que fue desarrollado con tecnología NMOS, el microprocesador 65C02 es CMOS. Presenta algunas ventajas sobre la versión anterior como son, mayor velocidad de operación y menor consumo de corriente (4 mA/MHz). Además incluye 12 nuevas instrucciones para un total de 68 y 59 nuevos códigos de operación para un total de 210. El microprocesador 65C02 está diseñado bajo el concepto de microprocesador orientado a memoria, a diferencia de otros orientados a registro como el Z80 y el 8080. Este concepto se refiere a que todas las interfaces del microprocesador son tratadas exactamente como si fuesen localidades de memoria, pues no hay instrucciones especiales de entrada o salida en el juego de instrucciones. Cualquier instrucción usada para acceder una localidad de memoria, puede también ser usada para acceder un dispositivo periférico. De esta manera, una de las ventajas del concepto orientado a memoria es la habilidad del microprocesador para realizar numerosas operaciones lógicas y aritméticas directamente en memoria.

En la figura 4.2 se presenta la arquitectura del microprocesador 65C02. En la figura 4.3 se muestra el diagrama del 65C02 con todas sus señales y buses, así como la distribución de sus pines.

Las principales señales del 65C02 son las siguientes:

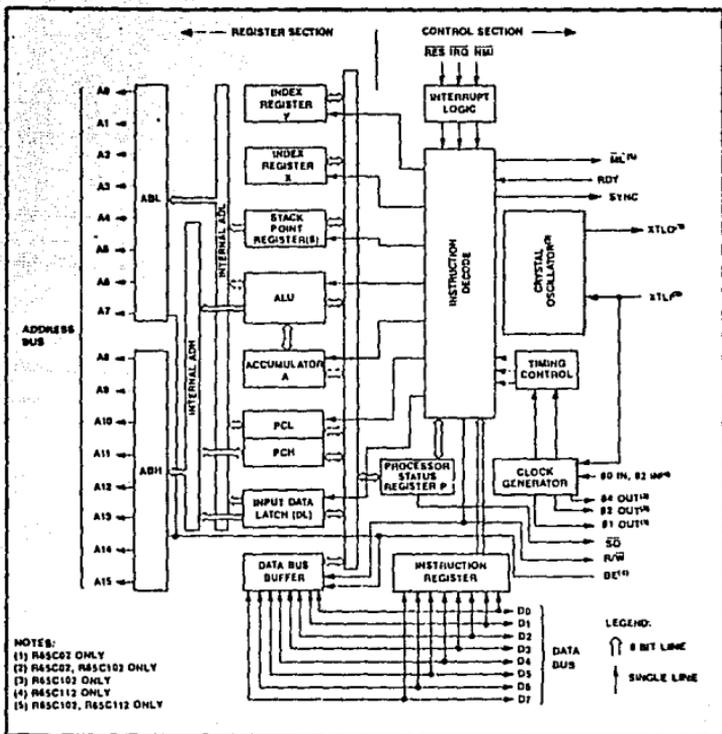


Fig 4.2 Arquitectura interna del microprocesador 65C02.

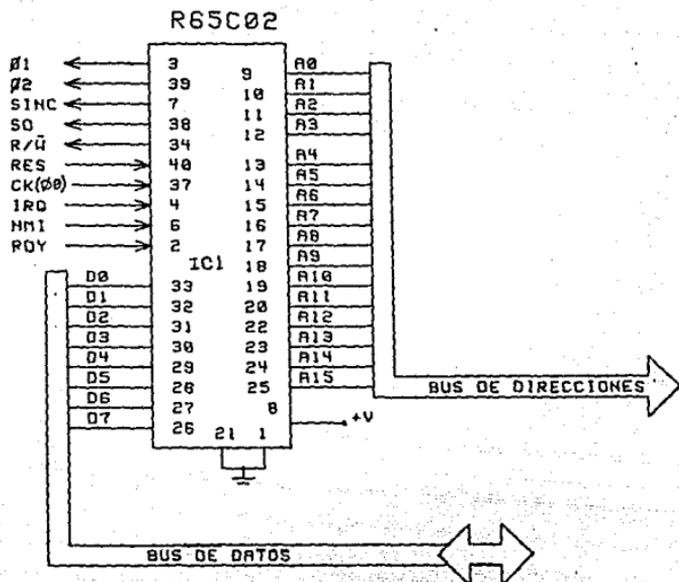


Fig 4.3 El microprocesador 65C02.

Señales de Reloj

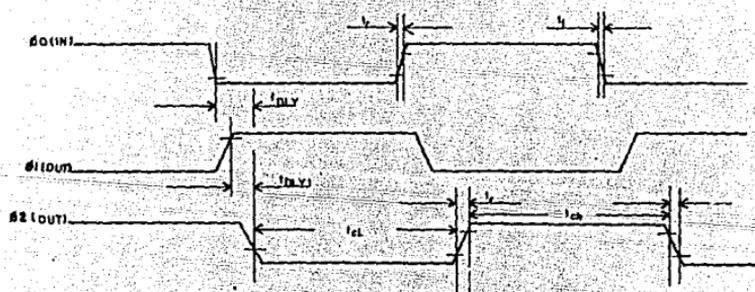


Fig 4.4 Señales de reloj del microprocesador 65C02.

El microprocesador 65C02 requiere una señal de reloj externo ϕ_0 (1 MHz, 2 MHz, 3 MHz o 4 MHz) con niveles TTL para impulsar su reloj interno. Dos señales de reloj son generadas internamente, ϕ_1 y ϕ_2 . La señal ϕ_2 es una señal que se encuentra en fase con la señal de entrada ϕ_0 mientras que la señal ϕ_1 se halla defasada 180° con respecto a ϕ_0 (fig 4.4).

Bus de Direcciones (A_0 - A_{16})

El bus de direcciones está formado por 16 líneas unidireccionales (A_0 - A_{16}), con las cuales es capaz de direccionar 65,536 localidades de memoria. La salida de cada línea es compatible con TTL.

Bus de Datos (D_0 - D_7)

El bus de datos está constituido por 8 líneas bidireccionales (D_0 - D_7), a través de las cuales el microprocesador recibe y envía información a memoria o desde algún dispositivo usado como puerto. Las salidas son Tri-state, capaces de manejar una carga TTL.

Interrupt Request (IRQ)

Esta señal de entrada es usada para lograr que el microprocesador ejecute una rutina de interrupción, en respuesta a un evento externo o sistema temporizador. Dependiendo del estado del bit máscara en el registro de estados del microprocesador, la señal IRQ puede ser ignorada.

Interrupción no Mascarable (NMI)

La entrada NMI es en esencia igual a la entrada IRQ, excepto que ésta no puede ser ignorada por el microprocesador. El vector NMI se encuentra en la dirección más alta de la página \$FF. La señal NMI es muestreada durante ϕ_2 y la acción se ejecuta durante el siguiente ciclo de ϕ_1 .

Señal Ready (RDY)

Esta es una señal de entrada que permite al usuario sincronizarse con ϕ_2 y ejecutar un programa paso a paso.

Una transición negativa en esta entrada durante o coincidente con Φ_1 , parará al microprocesador con la líneas de direcciones apuntando al siguiente ciclo de búsqueda.

Señal Read/Write (R/W)

La señal R/W es una señal de salida que normalmente se encuentra en estado alto, indicando que el microprocesador está leyendo algún dato de memoria o de algún puerto. En estado bajo, el bus de datos tendrá un dato válido del microprocesador para escribirse en alguna localidad de memoria (o dispositivo) seleccionada por el bus de direcciones.

Reset (RES)

Esta es una señal de entrada utilizada para inicializar al microprocesador. Normalmente está a V_{cc} ; cuando se detecta una transición negativa el contador del programa es cargado con el vector de inicio que se encuentra en las localidades \$FFFC y \$FFFD (ROM).

En el anexo 1 se da información detallada del microprocesador 65C02.

4.2 Reloj

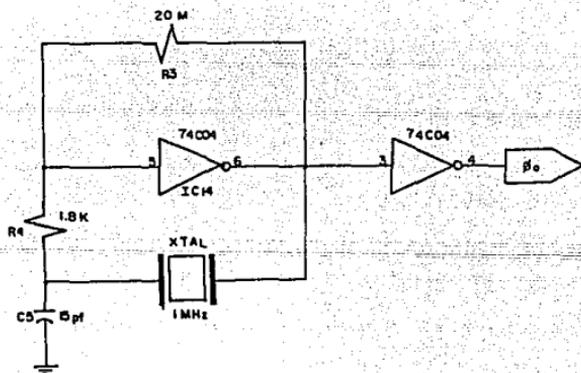


Fig 4.5 Reloj del microprocesador

El reloj del microprocesador es un oscilador a cristal con una frecuencia de 1 MHz (fig 4.5). Se diseñó con dos inversores 74C04 (IC14), uno para el circuito resonante y el segundo como formador de onda.

4.3 Circuito de Reset

El circuito de reset, mostrado en la figura 4.6 se basa en un temporizador CMOS ICM7555 (IC6) configurado como un multivibrador monoestable. Al encenderse el sistema y recibir alimentación, el capacitor C1 comienza a cargarse vía R1 hasta alcanzar un valor de voltaje igual al umbral de disparo de $1/3V_{cc}$; en este instante la salida 3 cambia de 0 a V_{cc} . Paralelamente el capacitor C2 se carga a través de R2 hasta alcanzar el umbral $2/3V_{cc}$, instante en el cual conmuta el circuito y la salida 3 regresa a 0. Con los valores escogidos de R2 y C2, el pulso generado tiene un valor de $T = 100$ ms. Mediante IC14 se invierte el pulso para obtener la señal de reset requerida por el 65C02. Con el interruptor SW2 se puede descargar C1 para alcanzar el umbral de disparo y generar de esta manera el pulso manualmente.

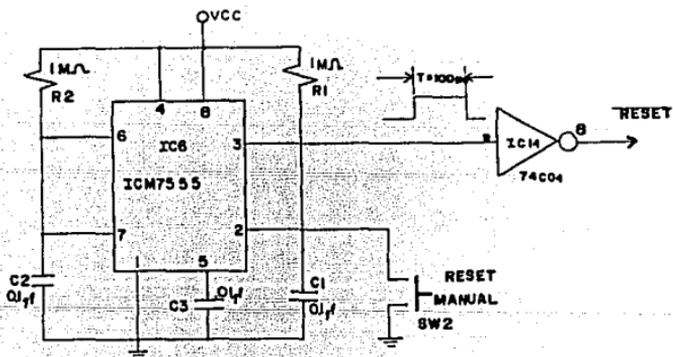


Fig 4.6 Circuito de Reset.

4.4 Circuitos de memoria

El sistema tiene 3 Kbytes de memoria, 2 Kbytes de memoria EPROM donde reside permanentemente el programa y 1 Kbyte de memoria RAM, para almacenamiento de datos. Como memoria EPROM se escogió el circuito integrado 27C16-45 (IC2) con tiempo de acceso de 450 ns. Es CMOS, requiere sólo una alimentación de 5 volts y es directamente conectable con el microprocesador 65C02. En la figura 4.7 se muestra su diagrama.

La señal de selección DS_ME (CE) es un pulso bajo generado por el decodificador de direcciones. 450 ns después del flanco de bajada de CE, el dato seleccionado por la dirección está estable en el bus de datos.

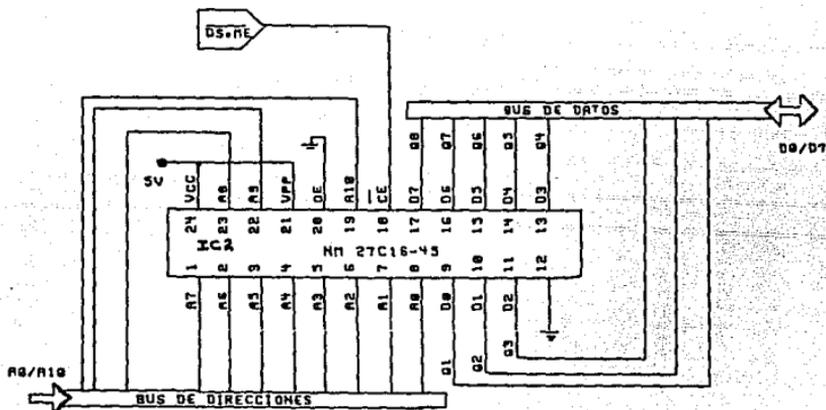


Fig 4.7 Circuito de conexiones de la memoria EPROM.

La memoria RAM está compuesta por 2 memorias CMOS 21C14 (IC3 e IC4) de 1024x4 cada una, conectadas en paralelo dando una capacidad de 1Kx8. La memoria 21C14 escogida tiene un tiempo de acceso de 200 ns.

4.4.1 Interfaz microprocesador-memoria RAM

Dadas las características de los ciclos de lectura y escritura de la memoria 21C14 y del microprocesador 65C02, fué necesario diseñar una interfaz para sus líneas de control.

En un sistema con el microprocesador 65C02, cada ciclo de reloj corresponde a un ciclo de lectura o de escritura. El microprocesador está siempre leyendo o escribiendo en una localidad de memoria, pero nunca realiza las dos operaciones simultáneamente. Por lo tanto, los componentes del sistema de memorias, puertos, etc, son informados de cual operación se realiza a través de los niveles lógicos de la señal de control R/W. El microprocesador 65C02 indica que se realiza una operación de lectura, llevando la línea R/W a un nivel alto o un "1" lógico. Para indicar que se realiza una operación de escritura, la línea R/W es puesta a un nivel bajo o "0" lógico.

a. Ciclo de lectura del microprocesador 65C02

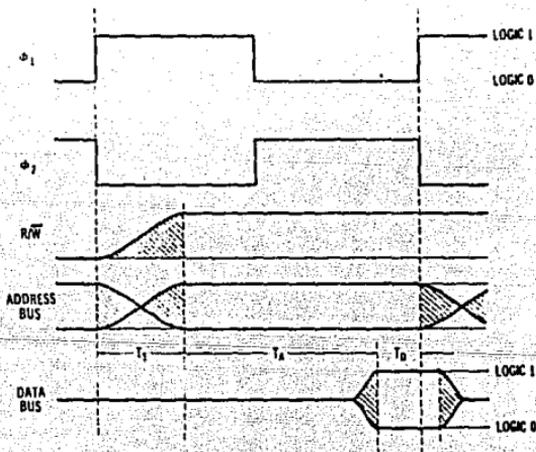


Fig 4.8. Ciclo de lectura del microprocesador 65C02.

En la figura 4.8 se muestra el diagrama de tiempo para el ciclo de lectura del microprocesador 65C02 y en la figura 4.9 se muestra el diagrama de tiempos del ciclo de lectura de la memoria 21C14. En el presente sistema el microprocesador trabaja con un cristal de cuarzo de 1 MHz, es decir su ciclo es de 1 μ s.

Al comienzo del ciclo, la señal ϕ_1 cambia a un nivel alto. Entonces el microprocesador pone la dirección de la localidad de memoria que va a ser leída en el bus de direcciones y lleva la línea R/W a un nivel alto para indicar al dispositivo seleccionado que se realizará una operación de lectura. Las líneas de direcciones y la línea R/W no cambian de nivel instantáneamente, pero el microprocesador garantiza que tiene la dirección estable en el bus de direcciones y un nivel alto en la línea R/W, 300 ns después del comienzo de la señal ϕ_2 . Este tiempo se señala en la figura 4.8 y es llamado T_{es} (set-up time for the address bus and R/W line). Las áreas sombreadas indican condiciones no estables. De esta manera, se concluye que durante el intervalo en el cual ϕ_1 es alto, tanto el bus de direcciones como la línea R/W, están cambiando para seleccionar la operación READ o WRITE y la localidad de memoria a ser accesada.

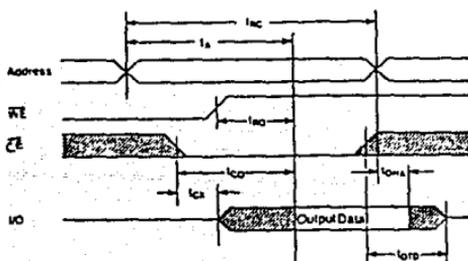


Fig 4.9 Ciclo de lectura de la memoria 21C14.

El microprocesador requiere que el dato por leerse, se encuentre estable 100 ns antes del flanco negativo del final del ciclo de ϕ_2 (este tiempo es denominado T_D en la figura 4.8) y permanezca estable durante un lapso de 10 ns después de ϕ_2 . Con el flanco negativo de ϕ_2 se transfieren los datos del bus de datos al registro interno del micro-

procesador. El intervalo de tiempo entre el instante en que las líneas de direcciones son estables y el punto donde el dato debe ser estable en el bus de datos, es llamado tiempo de acceso T_A .

$$T_A = T_C - T_E - T_D \dots (4.1)$$

donde T_C es igual al periodo de reloj del microprocesador.

Por lo tanto:

$$T_A = 1000 - 300 - 100 = 600 \text{ ns.}$$

El tiempo de acceso determinado de $T_A = 600 \text{ ns}$ se calculó considerando que las señales ϕ_1 y ϕ_2 cambian instantáneamente, lo cual no es cierto, pues presentan un pequeño rizo de tiempo de aproximadamente 25 ns. Esto reduce el tiempo de acceso a $T_A = 575 \text{ ns}$.

Por lo anterior, el tiempo de respuesta de la memoria RAM debe ser inferior al tiempo de acceso del microprocesador. La memoria RAM 21C14 utilizada tiene un tiempo de respuesta t_A de 200 ns (figura 4.9), que es un margen de tiempo muy bueno para que el dato (de 4 bits) este estable al ocurrir el flanco de bajada de ϕ_2 . En ese instante el dato será leído por el microprocesador, completando con ello el ciclo de lectura.

b. Ciclo de escritura del microprocesador 65C02

El diagrama de tiempo del ciclo de escritura del microprocesador 65C02 se muestra en la figura 4.10. Al igual que para el ciclo de lectura, el tiempo T_E requerido para que el microprocesador proporcione niveles lógicos estables en el bus de direcciones y la línea R/W sea un "0" lógico, también tiene un valor de 300 ns.

El parámetro T_{DS} , que es el tiempo que tarda el microprocesador en proporcionar niveles lógicos estables en el bus de datos, a partir del flanco de subida de ϕ_2 , es máximo de 200 ns. Además, el 65C02 mantiene estos datos estables en el bus durante 300 ns. También garantiza que después del final de la señal ϕ_2 , los datos permanecerán en el bus de datos durante un pequeño periodo de 30 ns; este tiempo se le llama T_H (time hold).

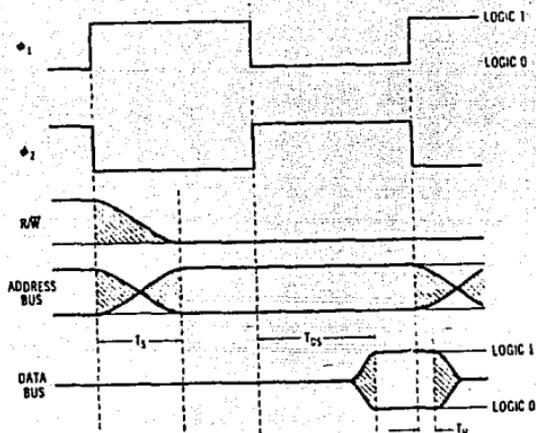


Fig 4.10 Ciclo de escritura del microprocesador 65C02.

En la figura 4.11 se puede observar que la memoria 21C14 requiere que la línea WRITE ENABLE (WE) conmute a estado bajo después de que sean estables los niveles lógicos de las líneas de direcciones. El microprocesador garantiza que tiene la línea R/W en estado bajo y el bus de direcciones estable, durante el estado alto de la señal ϕ_2 .

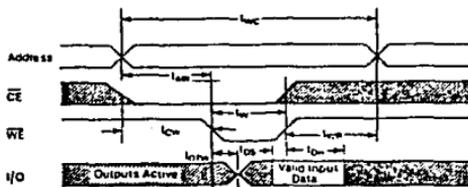


Fig 4.11 Ciclo de escritura de la memoria 21C14.

Por lo anterior y para satisfacer las condiciones tanto para el ciclo de lectura como el de escritura, se diseñó la siguiente lógica:

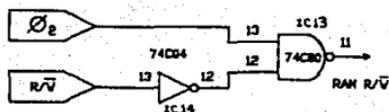


Fig 4.12 Interfaz microprocesador-memoria RAM.

El diagrama de tiempos correspondiente a esta lógica de control es el siguiente:

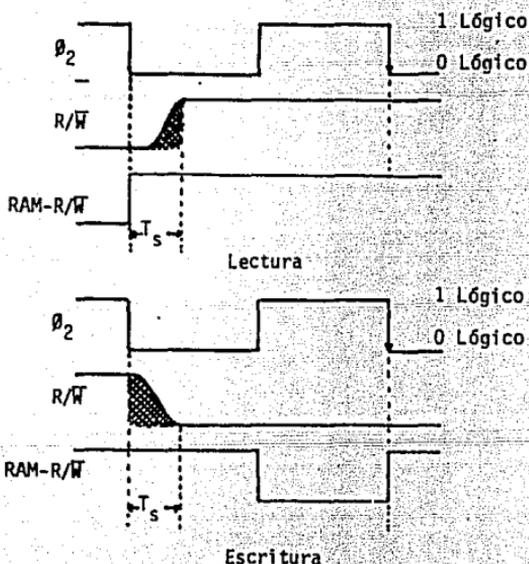


Fig 4.13 Diagrama de tiempos del circuito de interfaz microprocesador-memoria RAM.

Con base en las consideraciones anteriores el diagrama y lógica para el circuito de la memoria RAM es el mostrado en la figura 4.14.

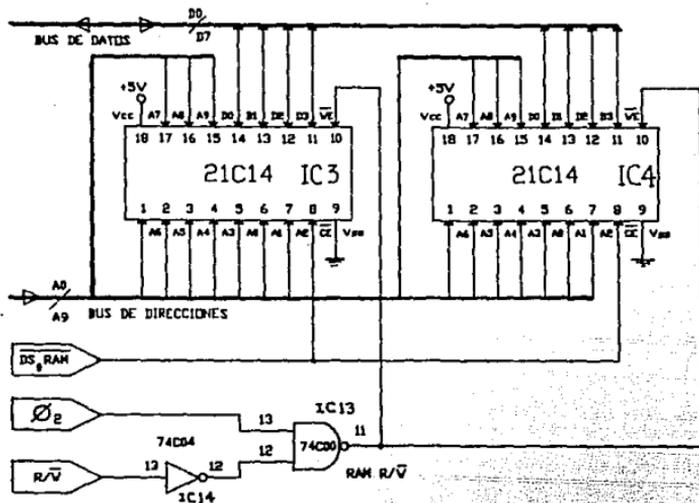


Fig 4.14 Circuitería de la Memoria RAM 21C14.

4.5 Decodificador de direcciones

Para seleccionar y habilitar los distintos dispositivos del sistema se utilizó un circuito decodificador de 3 a 8 líneas 74C138 (ICS), que divide los 64 Kbytes de memoria en 8 bloques, cada uno de 8 Kbytes.

El circuito del decodificador se muestra en la figura 4.15. Como datos de entrada al decodificador se conectaron las líneas de direcciones más significativas A_{10} , A_{14} y A_{15} , con lo cual se obtuvo el mapa de memoria mostrado en la tabla 4.1.

RANGO DE DIRECCIONES	LINEA DE DIRECCION DEL 6302														DISPOSITIVO SELECCIONADO										
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	SELECC	DSPE	DSPE1	DSPE2	DSPE3	SIN USO	SELE		
																	V8	V1	V2	V3	V4	V5	V6	V7	
\$0000-\$1FFF	0	0	0														0	1	1	1	1	1	1	1	1
\$2000-\$3FFF	0	0	1														1	0	1	1	1	1	1	1	1
\$4000-\$5FFF	0	1	0														1	1	0	1	1	1	1	1	1
\$6000-\$7FFF	0	1	1														1	1	1	0	1	1	1	1	1
\$8000-\$9FFF	1	0	0														1	1	1	1	0	1	1	1	1
\$A000-\$BFFF	1	0	1														1	1	1	1	1	0	1	1	1
\$C000-\$DFFF	1	1	0														1	1	1	1	1	1	0	1	1
\$E000-\$FFFF	1	1	1														1	1	1	1	1	1	1	1	0

Tabla 4.1 Mapa de memoria del sistema.

Cada una de las salidas del decodificador selecciona con una señal baja un dispositivo a la vez. Las señales de selección y el dispositivo correspondiente son:

- DS₀RAM Esta salida selecciona RAM a partir de la dirección \$0000 hasta la \$1FFF.
- DS₂PE Esta salida selecciona al puerto de entrada (IC7) a partir de la dirección \$2000 hasta la \$3FFF.
- DS₄PS1 Esta salida selecciona al puerto de salida (IC8) a partir de la dirección \$4000 hasta la \$5FFF.
- DS₆PS2 Esta salida selecciona a IC10 el cual es un driver para LCD y que se maneja como un 2o. puerto de salida, desde la \$6000 hasta la \$7FFF.
- DS₈PS3 Esta salida selecciona a IC11, que es otro driver para LCD, que se maneja como un 3er. puerto de salida, desde la \$8000 hasta la \$9FFF.

DS_{PS4} Esta salida selecciona a IC9, que es un conversor analógico-digital y que se maneja como un cuarto puerto de salida. Lo habilita a partir de la dirección \$A000 hasta la \$BFFF.

DS_{ME} Esta salida selecciona la memoria EPROM, la cual se encuentra a partir de la dirección \$E000 hasta la \$FFFF.

Cabe mencionar que el microprocesador 65C02 requiere forzosamente que la memoria RAM se localice en la zona de direcciones baja y la memoria EPROM en la zona alta. Esto se debe a que el stack se localiza en la página uno (\$0100 a \$01FF) y los vectores de inicialización (RESET) e interrupciones se hallan en la página \$FF, los cuales deben residir en la memoria EPROM.

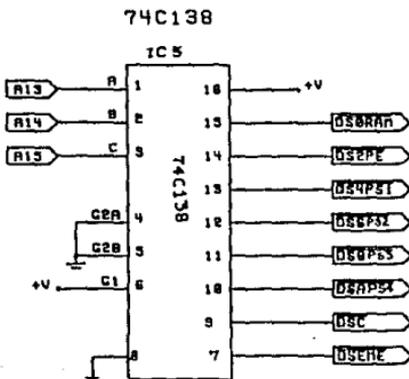


Fig 4.15 Circuito decodificador de memoria.

4.6 Puertos de entrada y salida

El sistema cuenta con 2 puertos principales, un puerto de entrada y un puerto de salida. Se uso como puerto de entrada el buffer octal CMOS 74C244 (IC7) que tiene salidas TRI-STATE. El puerto de salida está constituido por el

latch octal 74C374 (IC8) el cual contiene un banco de 8 flip-flops tipo D con reloj común y salidas TRI-STATE. Sus salidas se habilitan con un nivel bajo en la entrada "latch-enable" y los datos son transferidos a la salida con el flanco positivo del reloj.

La asignación de señales para los dos puertos se presentan en la figura 4.16. Como se puede observar de esta figura, la información que se recibe a través del puerto de entrada IC7 es: el código BCD OMEGA que se lee por el bit D_6 del bus de datos, los estados de los interruptores sw3 y sw4 mediante los bits D_1 y D_2 que indican al microprocesador cual de los modos de despliegue se ha seleccionado y el pulso "EOC" proveniente del conversor A/D por el bit D_3 que indica el fin de una conversión.

PUERTO DE ENTRADA PE (74C244)							
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
"SIN USO"	"SIN USO"	"SIN USO"	"SIN USO"	PULSO "EOC" DEL ADC0009	ENTRADA PARA INTERRUPTOR SW4	ENTRADA PARA INTERRUPTOR SW3	CODIGO BCD OMEGA

PUERTO DE SALIDA PS ₁ (74C374)							
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
"SIN USO"	"SIN USO"	"SIN USO"	"SIN USO"	PUNTOS PARA MODO 3	SEÑAL OMEGA SIMULADA	PUNTOS PARA INDICAR SINCRONIA	PUNTOS PARA MODO 1

Fig 4.16 Configuración de puertos.

Para la lectura del código BCD OMEGA fue necesario realizar una interfaz entre el módulo OMEGAFACE y el puerto de entrada IC7. Esto fue necesario dadas las características presentadas por las amplitudes de los pulsos del código OMEGA, las cuales corresponden al voltaje de la batería interna del OMEGAFACE que es de 3.4 volts.

Puesto que en un momento dado el voltaje de la batería puede caerse lo suficiente para que el puerto de entrada IC7 no pueda identificar los niveles lógicos de los pulsos en forma correcta, pero si lo suficientemente grande para que el módulo OMEGAFACE opere correctamente, fue necesario introducir un transistor tipo FET canal-n para acoplar los niveles lógicos al puerto IC7, como se muestra en la figura 4.17. Se usó un FET para aprovechar su alta impedancia de entrada y de esta manera no afectar la medición del voltaje de la batería del OMEGAFACE que se mide a través de las amplitudes de los pulsos mediante un convertor A/D.

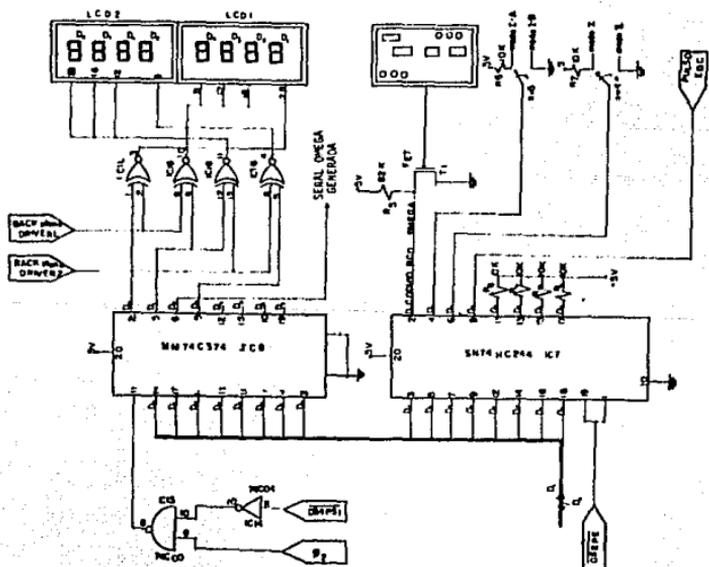


Fig 4.17 Circuito con los puertos del sistema.

Mediante los bits D_0 , D_1 y D_2 del puerto de salida ICB se controla el defasamiento de la señal de BACK-PLANE de los drivers IC10 e IC11 para el encendido de los puntos de los visualizadores LCD. El bit D_2 se usa como salida de la señal OMEGA generada.

En la figura 4.17 se muestra el diagrama electrónico de los circuitos de entrada y salida. Se observa que el puerto de entrada IC7 no requiere de ninguna interfaz con las líneas de control del microprocesador, mientras que el puerto de salida ICB si necesita de una interfaz para su control. Esta interfaz es igual a la que se utilizó para la escritura y lectura de la memoria RAM 21C14. El circuito fue necesario para transferir el dato puesto en el bus de datos al latch con un flanco positivo coincidente con el flanco de bajada de Φ_2 , instante en que el microprocesador garantiza que los datos están estables.

4.7 Conversor A/D

Para medir y monitorear el estado de carga de la batería del OMEGAFACE instalado en la estación acelerográfica, se incluyó en el sistema un conversor analógico-digital.

Block Diagram

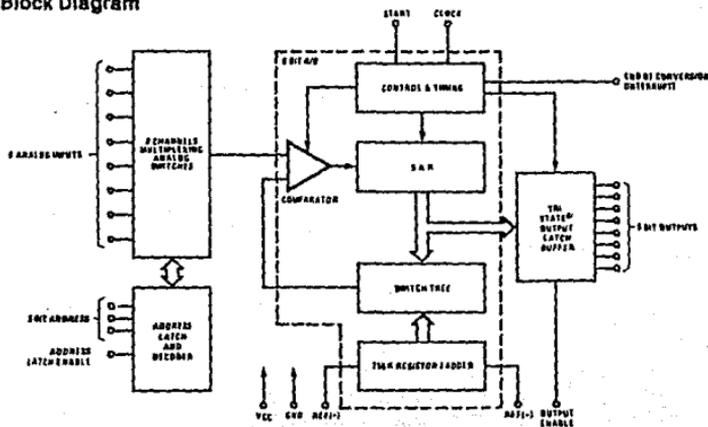


Fig 4.18. Arquitectura del ADC0809.

El convertor usado es el ADC0809. Es un circuito CMOS, con 8 canales de entrada (aunque sólo se usa un canal), resolución de 8 bits, lógica de control compatible con microprocesadores y para la conversión A/D usa la técnica de aproximaciones sucesivas. Su tiempo de conversión es de 100 μ s, tiene salidas con latch TRI-STATE, requiere una sola fuente de polarización de 5 volts DC y los niveles de entrada analógica son de 0 a 5 volts. En la figura 4.18 se presenta la arquitectura interna del convertor ADC0809.

La interfaz del microprocesador con el convertor se muestra en la figura 4.19.

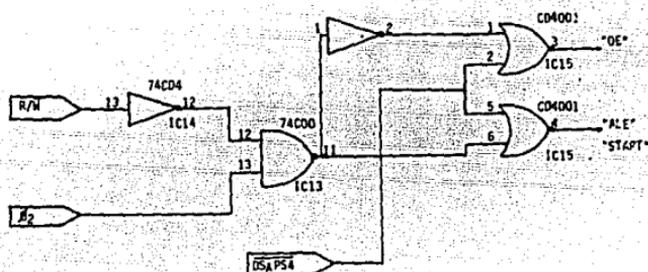


Fig 4.19 Interfaz microprocesador-convertor.

El ADC0809 requiere para su operación un reloj de 500 KHz. Esta frecuencia se derivó del reloj del microprocesador, dividiendo la señal ϕ_2 de 1MHz entre 2 mediante un flip-flop tipo D, 74C74 (IC12). Con las compuertas IC13, IC14 e IC15 se sincronizaron las señales para el inicio de conversión (START) y habilitación de las salidas del convertor con el ciclo de lectura del microprocesador a través de ϕ_2 .

La selección del canal e inicio de un ciclo de conversión se efectúa mediante un pulso positivo en las entradas START y ALE. Durante la conversión la salida EOC permanece baja y conmuta a un nivel alto cuando se haya efectuado una conversión. Este flanco es detectado por el microprocesador a través de la lectura del bit D3 del bus de datos.

4.8 Circuito para el despliegue numérico

El circuito para despliegue numérico de datos, mostrado en la figura 4.22, consta de 2 visualizadores de cristal líquido LCD1 y LCD2 (FE0202), cada uno de 4 dígitos de 7 segmentos, 3 puntos decimales y el símbolo de dos puntos y los drivers-decodificadores IC10 e IC11 (7211M).

El driver 7211M es un circuito CMOS, que maneja directamente visualizadores LCD de 7 segmentos y 4 dígitos. El manejo lo hace en forma no multiplexada, pues tiene 28 segmentos de salida. Además contiene internamente un oscilador para generar la frecuencia de BACK-PLANE. En la figura 4.21 se muestra la arquitectura del driver 7211M.

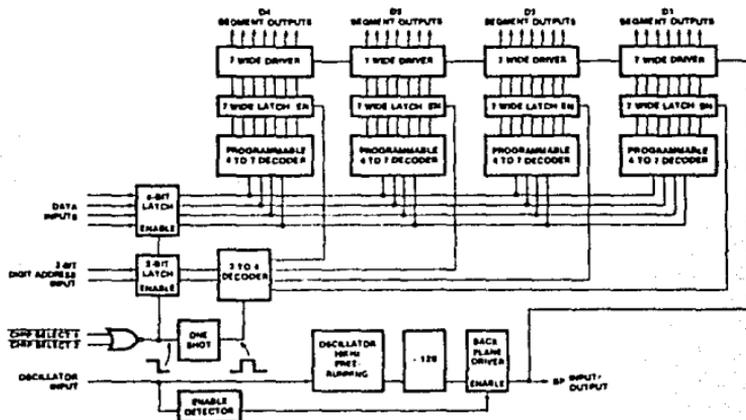


Fig 4.21 Arquitectura del driver 7211M.

El dígito a desplegarse se selecciona con las entradas DS1 y DS2 y el dato binario a través de las entradas B₀-B₃. Se utilizaron los bits menos significativos del bus de datos (D₀ - D₃) para entregar al driver 7211M el dato (en sistema binario) que va a ser desplegado. Los bits D₄ y D₅ del bus de datos se usaron para seleccionar el dígito que

se va a desplegar. Estas entradas seleccionan el dígito en base al siguiente código:

DS2	DS1	FUNCION
0	0	selecciona el dígito 4.
0	1	selecciona el dígito 3.
1	0	selecciona el dígito 2.
1	1	selecciona el dígito 1.

Dado que el driver 7211M no maneja los signos auxiliares (puntos decimales y los dos puntos) del visualizador LCD, fué necesario desarrollar circuitos externos para defasar la señal de BACK-PLANE (fig 4.22). Mediante las compuertas XORS, CD4030 (IC16) y los bits D_0 , D_1 y D_3 del puerto de salida IC8, se logró el control de fase necesario para visualizar los puntos decimales. Las entradas de habilitación CHIP SELECT 1 y CHIP SELECT 2 son habilitadas simultáneamente por las salidas del decodificador DS_0PS2 para el driver 1 y DS_0PS3 para el driver 2.

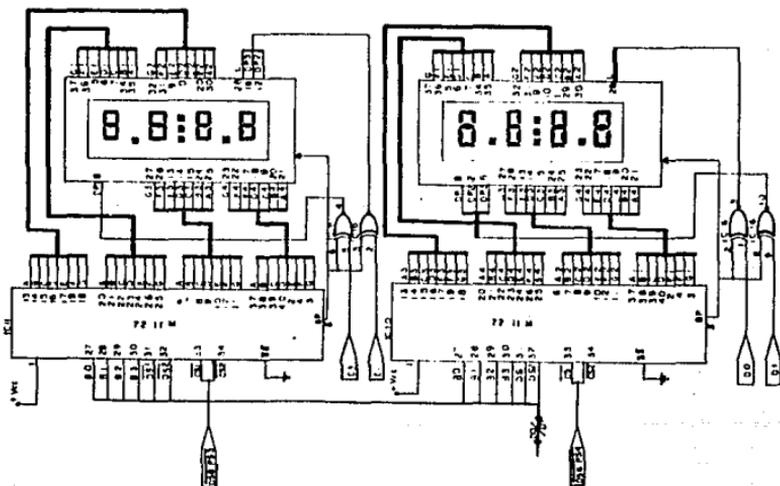


Fig 4.22 Circuito de despliegue numérico del sistema.

4.9 Circuitos para modulación y transmisión local de la señal OMEGA simulada

El objetivo de generar una señal OMEGA simulada, es la de verificar mediante la transmisión local, la correcta recepción del módulo OMEGAREC. Esto se estima será especialmente útil cuando, por razones de perturbación atmosférica, no llegue con suficiente intensidad la señal OMEGA original y el sistema se encuentre fuera de sincronía. La circuitería necesaria para realizar la radiación de esta señal, actualmente está en proceso de diseño y desarrollo, por lo cual se explicará sólo a nivel de diagrama de bloques.

La señal OMEGA simulada con la forma de onda similar a la presentada en la figura 3.5 del capítulo III, se genera mediante el bit D_3 del bus de datos a través del puerto de salida ICS. Esta se modula en amplitud con una señal senoidal de 13.1 KHz. Ya modulada la señal se pasa por una etapa de filtrado mediante un filtro paso bajas y se amplifica para finalmente ser transmitida localmente a través de una antena de ferrita. En la figura 4.23 se muestra un diagrama de bloques de este proceso.

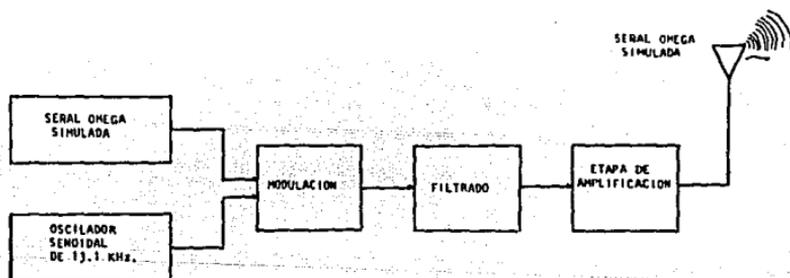


Fig 4.23 Diagrama de bloques del circuito transmisor de la señal OMEGA simulada.

En la figura 4.24 se muestra un esquema ilustrativo de la utilidad de la señal OMEGA simulada en las bases de tiempo OMEGA de las estaciones:

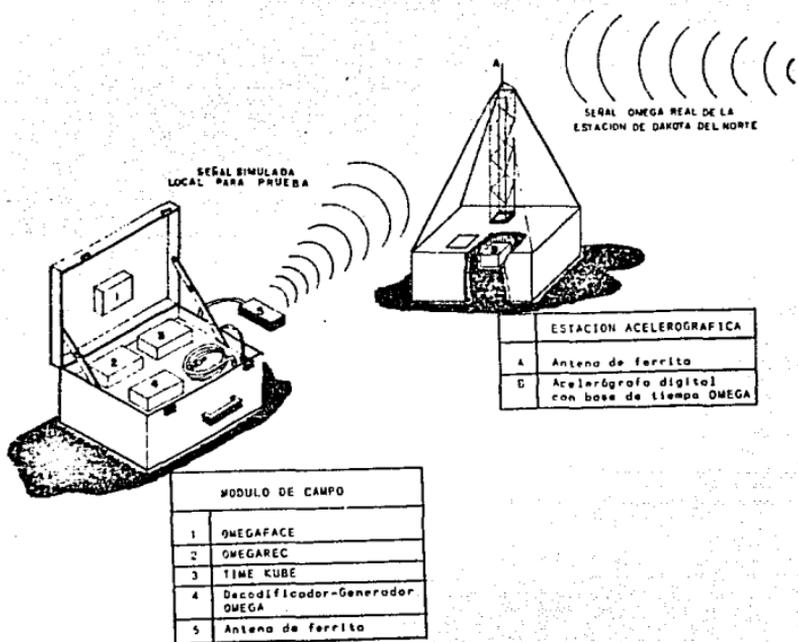


Fig 4.24 Esquema ilustrativo del uso de la señal OMEGA simulada.

4.10 Alimentación

El sistema Decodificador-Generador OMEGA opera a partir de una fuente de voltaje que puede variar entre 8 y 20 volts, en principio se está usando una batería de 9 volts. Puesto que la totalidad de sus circuitos integrados trabajan con una polarización de 5 volts, se usó el regulador de voltaje LM78L05 (IC17). Este es un regulador positivo de 3 terminales y de baja potencia. La máxima corriente de salida que maneja es de 100 mA.

Para protegerla contra alguna polarización inversa se utilizó un diodo rectificador 1N914 (D1), conectado en serie con la entrada del regulador. En la fig 4.25 se muestra el circuito de la fuente de alimentación.

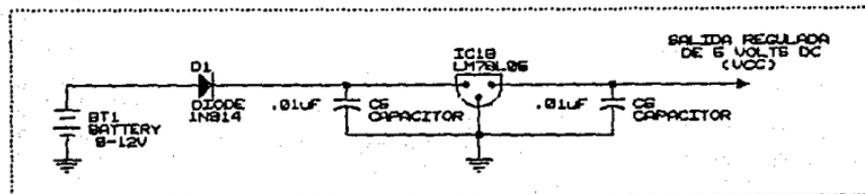
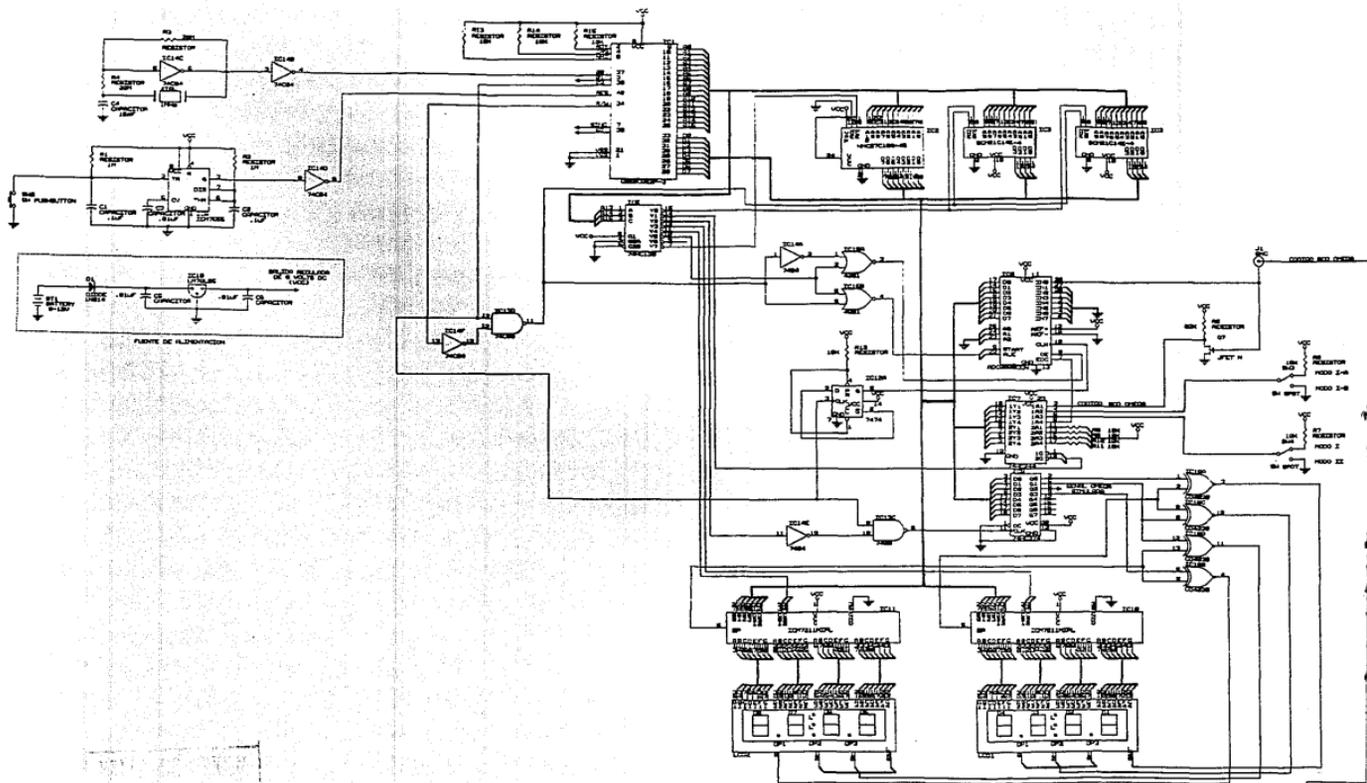


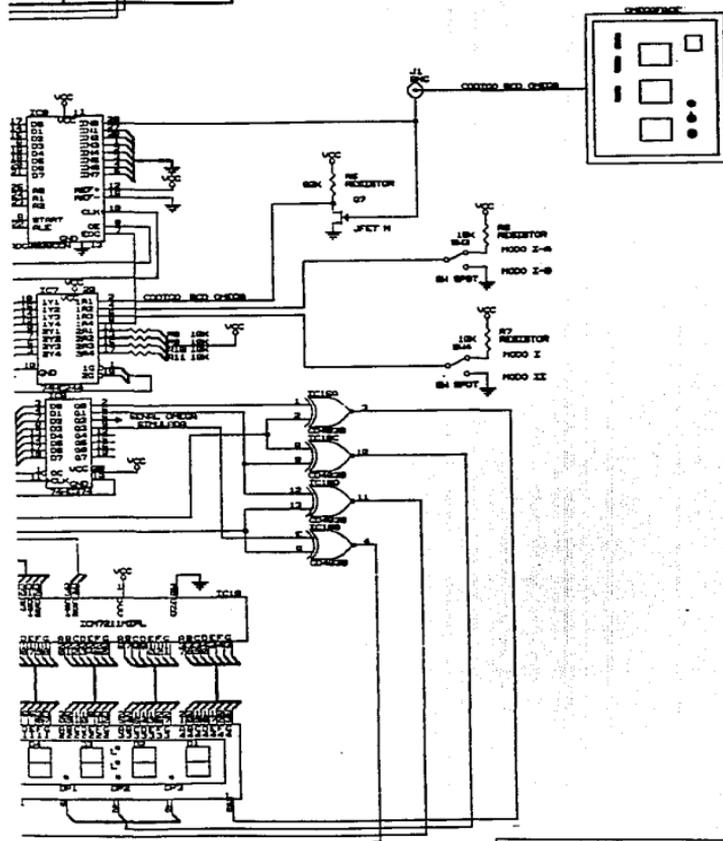
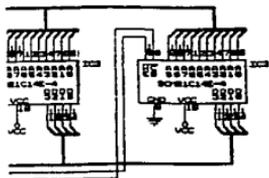
Fig 4.25 Fuente de alimentación.

El consumo total del sistema decodificador-generador OMEGA es de 7 mA.

4.11 Diagrama electrónico completo del sistema

En la figura 4.26 se muestra el diagrama completo del sistema decodificador-generador OMEGA.

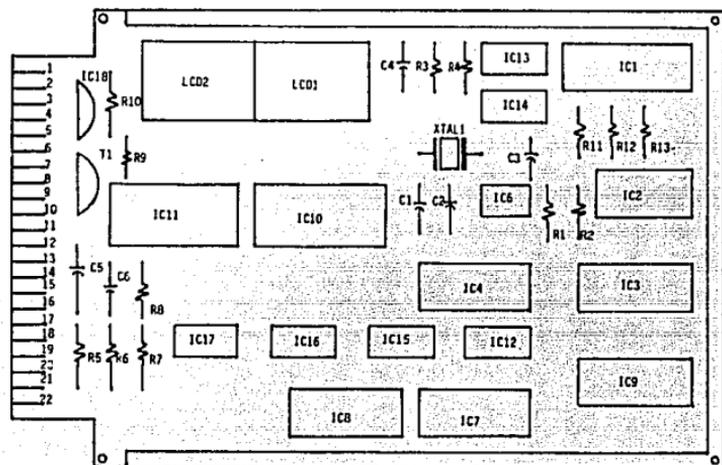




4.12 Distribución de componentes y módulo de campo

1. Distribución de componentes

En la figura 4.27 se muestra la distribución de los componentes del sistema decodificador-generador OMEGA sobre la tarjeta universal alamburada con técnica "WIRE-WRAP":



Nota:-- todos los IC tienen conectado un capacitor de 0.1 microfaradio entre los pines de alimentación y tierra.

Fig. 4.27 Distribución de componentes.

2. Descripción de cada uno de los componentes

IC1 Microprocesador 65C02-A (1 MHz).

IC2 Memoria EPROM 27C16-45 (450 ns).

IC3 Memoria RAM 21C14E-4 (200 ns).

IC4 Memoria RAM 21C14E-4 (200 ns).

IC5 Decodificador 3 a 8 líneas 74HC138.

IC6 Temporizador ICM7555.

- IC7 BUFFER octal 74HC244 (puerto de entrada).
- IC8 LATCH octal 74HC374 (puerto de salida).
- IC9 Conversor analógico/digital ADC0809.
- IC10 DRIVER ICM7211MIPL para display de cristal líquido.
- IC11 DRIVER ICM7211MIPL para display de cristal líquido.
- IC12 Flip-flop D, 74C74.
- IC13 Compuerta NAND cuádruple 74C00.
- IC14 Inversor cuádruple 74C04.
- IC15 Compuerta NOR CD4001.
- IC16 Compuerta EXOR cuádruple CD4030.
- IC17 Regulador de voltaje de baja potencia LM78L05.
- LCD1 Visualizador de cristal líquido de 4 dígitos FE0202D.
- LCD2 Visualizador de cristal líquido de 4 dígitos FE0202D.
- T1 Transistor FET canal-N 2A268.
- D1 Diodo rectificador 1N914.
- R1 Resistencia de 1 M Ω .
- R2 Resistencia de 1 M Ω .
- R3 Resistencia de 20 M Ω (2 de 10 M Ω conectadas en serie).
- R4 Resistencia de 1.8 K Ω .
- R5 Resistencia de 82 K Ω .
- R6 Resistencia de 10 K Ω .
- R7 Resistencia de 10 K Ω .
- R8 Resistencia de 10 K Ω .
- R9 Resistencia de 10 K Ω .
- R10 Resistencia de 10 K Ω .

R11 Resistencia de 10 K Ω .

R12 Resistencia de 10 K Ω .

R13 Resistencia de 10 K Ω .

R14 Resistencia de 10 K Ω .

Todas las resistencias tienen potencia de 1/4 W.

C1 Capacitor de 0.1 μ F.

C2 Capacitor de 0.1 μ F.

C3 Capacitor de 0.01 μ F.

C4 Capacitor de 15 pF.

C5 Capacitor de 0.01 μ F.

C6 Capacitor de 0.01 μ F.

Para las señales de entrada y salida al sistema se usó un conector para tarjeta de 22 terminales con la distribución de la figura 4.28:

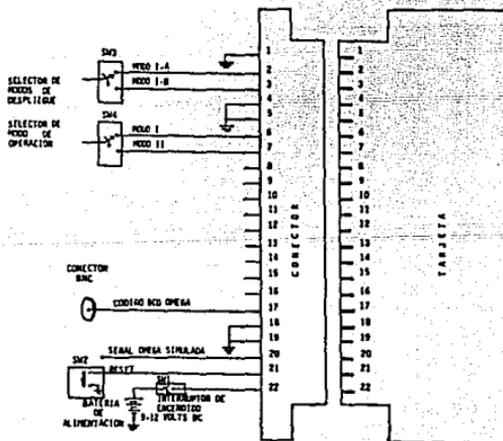


Fig 4.28 Distribución de señales a través del conector para tarjeta.

En la figura 4.29 se presenta el prototipo del sistema decodificador-generador OMEGA y en la figura 4.30 se muestra este mismo sistema integrado a los módulos OMEGAFACE y OMEGAREC.

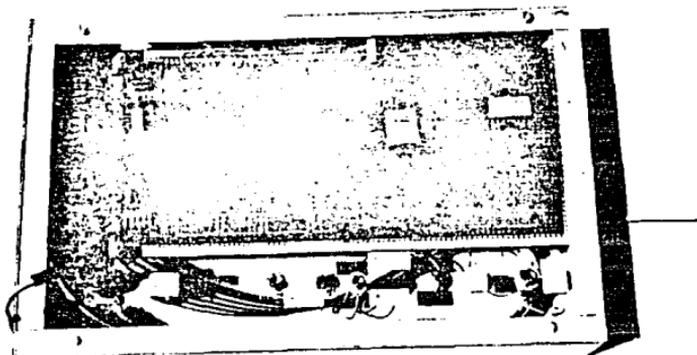


Fig 4.29 Prototipo del sistema decodificador-generador OMEGA.

3. Módulo de campo

Dadas las necesidades del mantenimiento de las estaciones acelerográficas en el campo, se pensó que sería conveniente integrar varias referencias de tiempos en un módulo de campo. Este sería de fácil transporte y de mucha utilidad para agilizar el mantenimiento de las bases de tiempo de las estaciones.

El módulo de campo desarrollado quedó integrado por 4 submódulos principales y otros accesorios:

1. Un modulo OMEGAREC
2. Un módulo OMEGAFACE
3. Un TIME KUBE (receptor de la señal WWV)
4. Un Sistema decodificador-generador OMEGA
5. Cables coaxiales con conectores BNC.

Estos dispositivos quedarán debidamente distribuidos en un portafolios. Se utilizará una batería de 12 volts para polarizar a todos los submódulos, lo cual no afecta en lo absoluto al sistema decodificador-generador OMEGA ya que este cuenta con un regulador de 5 volts.

Las funciones que se podrán realizar con este modulo de campo serán, además de las que realiza el sistema decodificador-generador OMEGA (el cual es fundamental en este modulo), permitir la sincronización con respecto al tiempo universal de los relojes de pulsera y de las bases de tiempo de las estaciones mediante un TIME KUBE. A través de los modulos OMEGAFACE y OMEGAREC es posible verificar las condiciones de operación de los modulos OMEGA instalados en la estación.

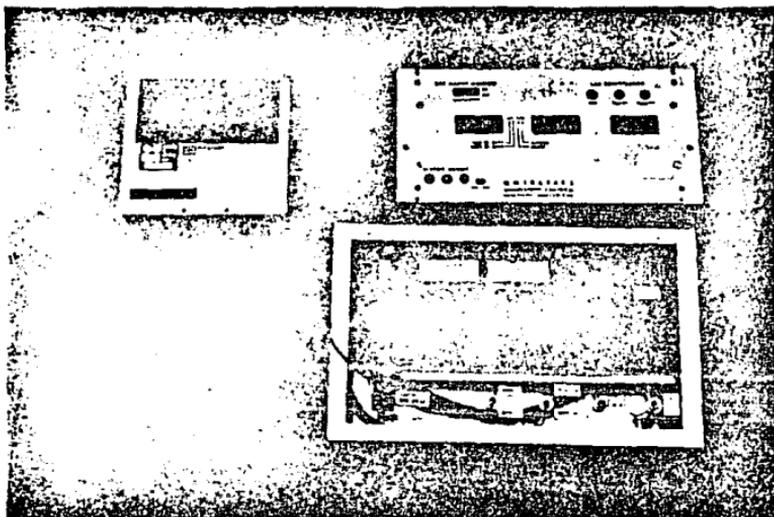


Fig 4.30 Sistema decodificador-generador OMEGA integrado a los modulos OMEGAREC y OMEGAFACE.

V. OPERACION DEL SISTEMA DECODIFICADOR-GENERADOR DE LA SEÑAL OMEGA.

El sistema Decodificador-Generador OMEGA realiza basicamente 3 funciones:

1. Decodificación y despliegue del código OMEGA.
2. Monitoreo del estado de la batería del OMEGAFACE a través de la medición de la amplitud de los pulsos del código OMEGA.
3. Generación de la señal OMEGA simulada.

5.1 Decodificación del código

Este sistema decodifica el código OMEGA por programa con el microprocesador. Para esto, recibe la señal seriada del OMEGAFACE a través del puerto de entrada 74C244 (IC7). La decodificación se lleva a cabo en tiempo real. Basicamente es un proceso de muestreo del tren de pulsos de entrada para identificar el nivel y la duración de cada pulso y estimar el valor del bit OMEGA. Para sincronizar la decodificación se detecta el pulso largo de inicio que aparece cada 10 s.

El procedimiento de muestreo es el siguiente: Primero se identifica el pulso de inicio de código. Para ello se detecta un flanco positivo y se inicia un muestreo del nivel de la señal cada 5 ms. Dado que el pulso de inicio es equivalente a 2 bits OMEGA y tiene una duración de 400 ms, se deben contar un mínimo de 80 muestras consecutivas en estado alto hasta detectar el flanco negativo del pulso que marca el inicio del código. Si el contador de muestras interno registra menos de 80 muestras, el sistema considera que el pulso leído no corresponde al pulso de inicio y comienza una nueva lectura hasta identificarlo.

Una vez detectado el pulso largo de inicio se comienza la decodificación del código muestreando los bits OMEGA. Se toman como referencia los flancos negativos de cada pulso. Un bit OMEGA equivalente a un "1" lógico, cuando a la misma tasa de muestreo de 5 ms, el contador de muestras registra 29 muestras como mínimo en estado bajo (máximo 31) y 9

muestras mínimo (máximo 11) en estado alto. Si el contador no registra estos valores se considera un error de código. De igual forma para un bit OMEGA equivalente a un "0" lógico, el contador de muestras debe totalizar 9 muestras mínimo en estado bajo (máximo 11), y 29 muestras mínimo en estado alto (máximo 31).

Si se detecta un error, inmediatamente se despliega una "E" de error en cada dígito y se reinicia la lectura del código. Cuando no existe error en la lectura, se procede a la decodificación de un paquete de 4 bits OMEGA que forman un dato BCD y se almacenan en una memoria transitoria con localidades designadas para los segundos, minutos, horas, días del año, número de serie del OMEGAFACE y estado de recepción o sincronía. Además se lleva un conteo del número de bits OMEGA leídos con objeto de detectar el bit 35 el cual da información del estado de recepción del Módulo OMEGAREC.

Para ejemplificar el proceso de registro y decodificación de la señal OMEGA grabada junto con un registro sísmico, se presenta en la figura 5.1 un fragmento de un acelerograma y su correspondiente código OMEGA procesado. Se observa que el tiempo preciso decodificado corresponde al instante en que ocurre el flanco negativo al final del pulso de inicio.

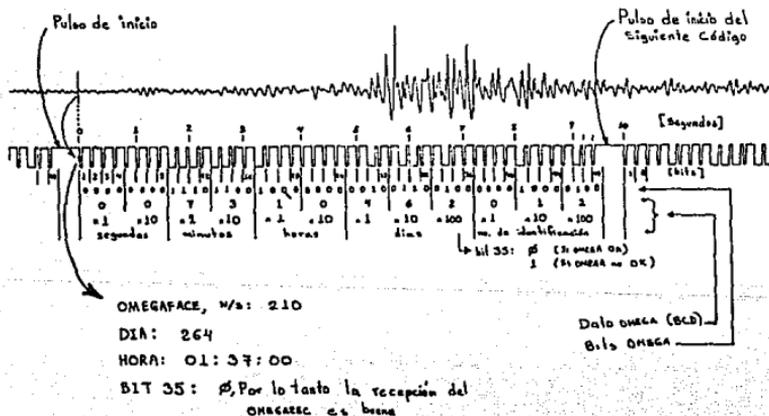


Fig 5.1 Decodificación de la señal de tiempo OMEGA.

En la figura 5.2 se muestran también las tres componentes del acelerograma y código OMEGA registrado del temblor del 21 de septiembre de 1985 en la estación del PARAISO, Guerrero.

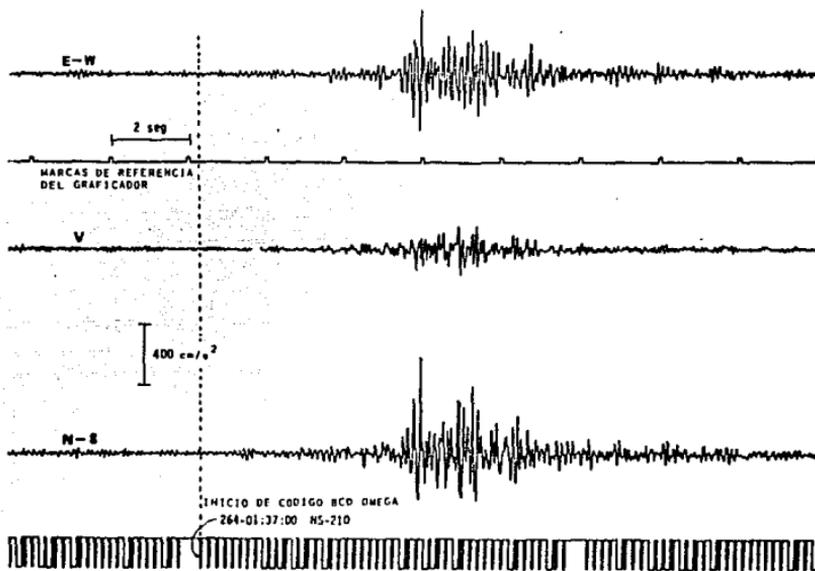


Fig 4b. Detalle del acelerograma de la réplica del 21 de septiembre de 1985, estación El Paraiso. Decodificación de la señal OMEGA

Fig 5.2 Detalle del acelerograma de la réplica del 21 de septiembre de 1985, estación EL PARAISO. Decodificación de la señal OMEGA.

5.2 Modos de despliegue de datos

El despliegue de toda la información decodificada se hace a través de 2 displays LCD de 4 dígitos cada uno. Para desplegar todos los datos se tienen dos interruptores (SW3 y SW4), uno para el modo de despliegue y otro para la selección de los datos a desplegarse (figuras 4.17 y 5.3):

MODO I. ___ Datos OMEGA decodificados

MODO II. ___ Monitor de la señal generada (señal OMEGA simulada) y voltaje de la batería interna.

A su vez en el MODO I se pueden seleccionar dos grupos de datos:

MODO I. _____ A: horas, minutos y segundos.

B: No. de serie, estado del bit de recepción y No. de días transcurridos.

Las posiciones y los datos desplegados para los distintos modos se muestran en la figura 5.3.

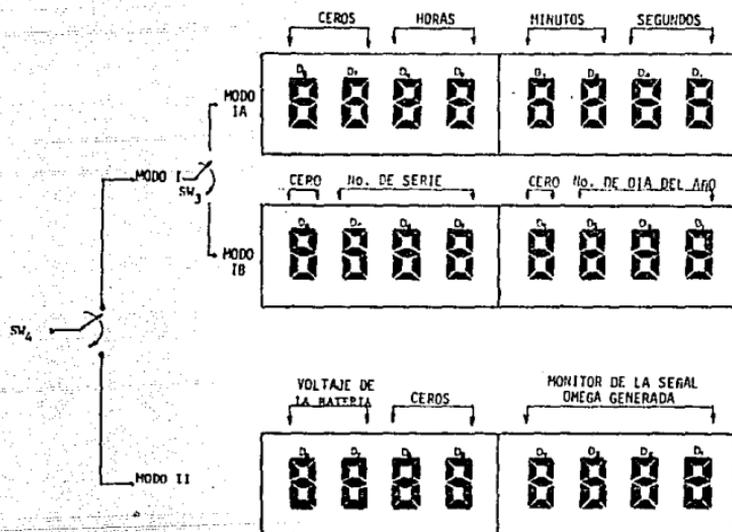


Fig 5.3 MODO I y MODO II de despliegue.

En el MODO I-A los dígitos D_7 y D_6 quedan permanentemente prendidos en "0". Igualmente en el MODO I-B los dígitos D_4 y D_5 no usados permanecen en "0".

En el MODO II los dígitos D_1 - D_4 siguen visualmente el nivel lógico de la señal OMEGA generada (pulsos de la figura 3.5). Los dígitos D_5 y D_6 permanecen siempre en "0" ya que no se usan y en los dígitos D_7 y D_8 se despliega el valor (decimal) del voltaje de la batería del OMEGAFACE. Su valor nominal es de 3.4 volts.

5.3 Generación de una señal OMEGA simulada

Esta señal OMEGA se genera mediante un programa y tiene características similares a la señal OMEGA que radian los transmisores OMEGA y que se explicó en la figura 3.5, capítulo III. El objetivo de simular esta señal es la de verificar la recepción del módulo OMEGAREC.

Quando el MODO II es seleccionado, el sistema comienza la generación de la señal OMEGA simulada, cuya salida es por el bit D_2 del bus de datos, mediante el puerto de salida ICS. Luego se modula a una frecuencia de 13.1 KHz (que corresponde a la frecuencia de la estación transmisora de Dakota del Norte) y se transmite localmente con baja potencia. De esta manera, el Módulo OMEGAREC instalado en la estación local debe detectar esta señal de lo contrario estará operando mal.

VI PROGRAMACION DEL SISTEMA

El programa desarrollado para este sistema se realizo en lenguaje ensamblador 65C02. Se usó como apoyo en la programación una computadora Apple II y un programa editor ensamblador. Esta computadora trabaja con el microprocesador 65C02 que es el mismo que utiliza el sistema decodificador-generador de la señal OMEGA. El código objeto de la versión final del programa corregida se grabó en una memoria EMPROM 2716. El programa se divide en 4 partes básicas:

1. Declaración e inicialización de las variables utilizadas en el programa.
2. Lectura y decodificación de la información del código OMEGA.
3. Generación de la señal OMEGA y medición de la amplitud del tren de pulsos del código OMEGA.
4. Despliegue de toda la información procesada.

En la figura 6.1 se presenta el diagrama de flujo general del programa desarrollado. En las figuras 6.2, 6.3 y 6.4 se dan los diagramas de flujo de algunas subrutinas utilizadas en el programa principal.

Al encender el sistema, inmediatamente se inicializan variables y se despliegan ceros. Luego se verifica la posición del interruptor SW4, que selecciona a los MODOS I y II. Si el MODO II está habilitado se inicia la generación de la señal OMEGA simulada, posteriormente se efectúa una conversión y se lee la amplitud del pulso (puede ser cualquiera de los 48 pulsos del código) generado por el OMEGA-FACE (ver diagrama de flujo de la fig 6.1). Antes de la conversión se espera el flanco de subida del pulso, luego se convierte el valor leído (de 8 bits) de hexadecimal a decimal y se continúa con la subrutina de generación de la señal OMEGA simulada. Finalmente se despliega el voltaje de la batería. En la figura 6.4 se muestra el diagrama de flujo de esta subrutina.

Si el interruptor SW4 está en la posición correspondiente al MODO I, el programa espera el flanco negativo del pulso de inicio o de sincronía del código OMEGA para comenzar la decodificación de la información. Inicialmente se

VI PROGRAMACION DEL SISTEMA

El programa desarrollado para este sistema se realizo en lenguaje ensamblador 65C02. Se usó como apoyo en la programación una computadora Apple II y un programa editor ensamblador. Esta computadora trabaja con el microprocesador 65C02 que es el mismo que utiliza el sistema decodificador-generador de la señal OMEGA. El código objeto de la versión final del programa corregida se grabó en una memoria EPROM 2716. El programa se divide en 4 partes básicas:

1. Declaración e inicialización de las variables utilizadas en el programa.
2. Lectura y decodificación de la información del código OMEGA.
3. Generación de la señal OMEGA y medición de la amplitud del tren de pulsos del código OMEGA.
4. Despliegue de toda la información procesada.

En la figura 6.1 se presenta el diagrama de flujo general del programa desarrollado. En las figuras 6.2, 6.3 y 6.4 se dan los diagramas de flujo de algunas subrutinas utilizadas en el programa principal.

Al encender el sistema, inmediatamente se inicializan variables y se despliegan ceros. Luego se verifica la posición del interruptor SW4, que selecciona a los MODOS I y II. Si el MODO II está habilitado se inicia la generación de la señal OMEGA simulada, posteriormente se efectúa una conversión y se lee la amplitud del pulso (puede ser cualquiera de los 48 pulsos del código) generado por el OMEGA-FACE (ver diagrama de flujo de la fig 6.1). Antes de la conversión se espera el flanco de subida del pulso, luego se convierte el valor leído (de 8 bits) de hexadecimal a decimal y se continúa con la subrutina de generación de la señal OMEGA simulada. Finalmente se despliega el voltaje de la batería. En la figura 6.4 se muestra el diagrama de flujo de esta subrutina.

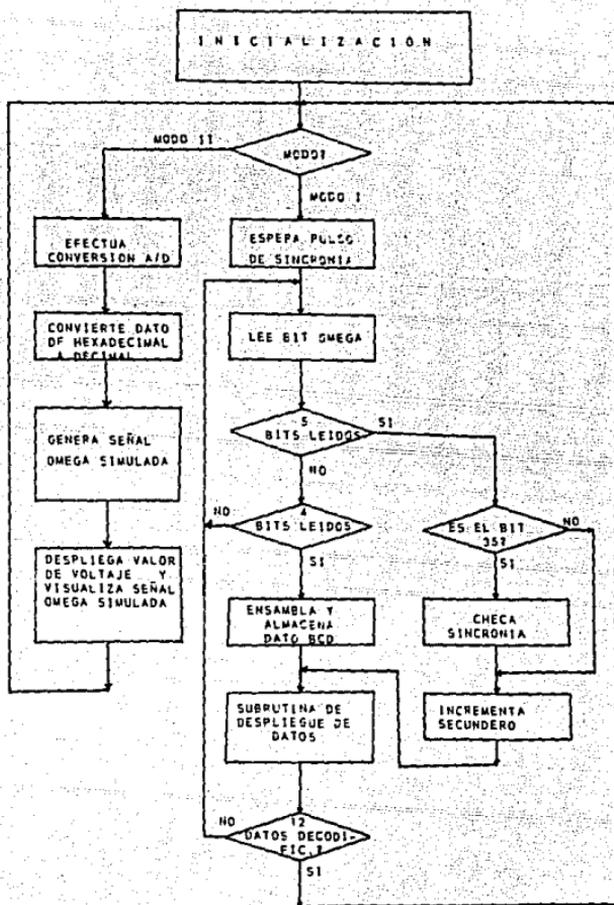


Fig 6.1 Diagrama de flujo del sistema.

ejecuta la subrutina de lectura de los bits OMEGA (fig 6.2), en la cual se identifica si el bits OMEGA detectado corresponde a un "1" lógico o a un "0" lógico y se incrementa un contador de bits. Cuando este registra 4 bits

leídos entonces se ensamblan palabras en código BCD y se almacenan en localidades de memoria RAM (denominadas "buffers" en la fig 6.3). Cada 5 bits decodificados se incrementa un secundero (ya que cada bit tiene una duración de 200ms). Finalmente se ejecuta la subrutina de despliegue (fig 6.3). Aquí se verifica la posición del interruptor SW3 que selecciona a los MODOS IA y IB. Dependiendo del modo seleccionado se despliegan los datos decodificados.

El listado detallado del programa se presenta en el anexo 4.

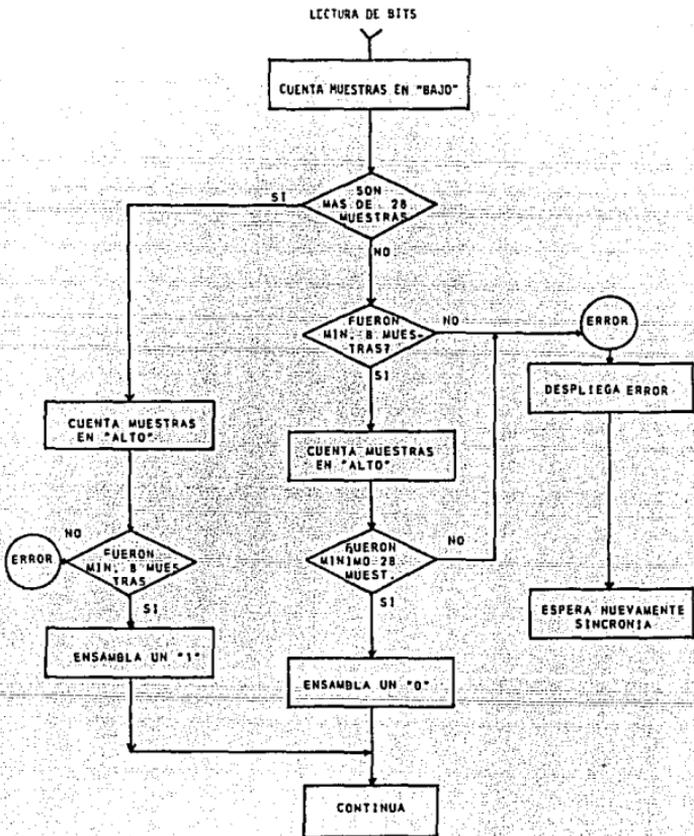
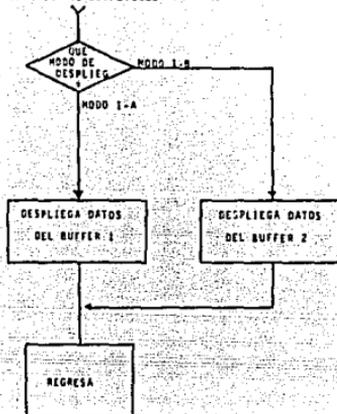


Fig 6.2 Diagrama de flujo de la subrutina de lectura de los bits OMEGA.

“SUBROUTINA DE DESPLIEGUE”



BUFFER 1		BUFFER 2	
S1	UNIDADES DE SEGUNDOS	D1	UNIDADES DE DIA
S10	DECENAS DE SEGUNDOS	D10	DECENAS DE DIAS
M1	UNIDADES DE MINUTOS	D100	CENTENAS DE DIAS
M10	DECENAS DE MINUTOS	NS1	UNIDADES DE MS.
M1	DECENAS DE HORAS	NS10	DECENAS DE MS.
M10	PUNTOS	NS100	CENTENAS DE MS.
		SINC	ESTADO DEL BIT JS.

NS=NUMERO DE SERIE

Fig 6.3 Diagrama de flujo de la subrutina de despliegue.

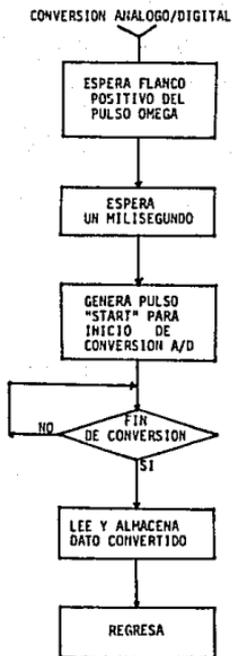


Fig 6.4. Diagrama de flujo de la subrutina de conversión A/D.

VII CONCLUSIONES

La señal OMEGA de navegación proporciona una referencia externa de tiempo muy util. Se ha utilizado eficientemente durante varios años como base de tiempo para sistemas de registro sísmico. Los equipos utilizados para la recepción de esta señal tienen ventajas respecto a equipos similares de otros códigos de tiempo, especialmente en cuanto a confiabilidad, bajo costo y consumo de energía. Sin embargo la experiencia ha demostrado que los equipos receptores OMEGA utilizados son sensibles a las condiciones ambientales y atmosféricas que hacen que éstos se salgan de sincronía con respecto al tiempo universal UTC.

El sistema para decodificación y generación de la señal OMEGA desarrollado, constituye un equipo complementario, útil y confiable para la operación y mantenimiento de las estaciones acelerográficas y en particular, para verificar la correcta operación y registro de los equipos OMEGA utilizados. Además, sus características de consumo de corriente (7 mA) lo hacen óptimo para su uso en el campo, pues opera con una batería de 9 volts.

Actualmente se está desarrollando la circuitería necesaria para la modulación y transmisión local de la señal OMEGA simulada, que le dará mayor versatilidad al sistema decodificador-generador OMEGA. Esto aunado con la construcción del módulo de campo, constituirá un sistema muy completo y útil para lograr un mantenimiento y operación óptimos de los equipos OMEGA y con ello registros sísmicos más confiables en cuanto a su referencia de tiempo.

El diseño y desarrollo del sistema representó una valiosa experiencia. A partir de ella se podría proponer el desarrollo de todo un sistema de recepción y registro de la señal OMEGA que pudiese substituir en un futuro próximo estos indispensables instrumentos importados.

VIII BIBLIOGRAFIA

1. DIGITAL INTEGRATED ELECTRONICS.
Herbert Taub/Donald Schilling
McGraw-Hill, 1977.
2. LOGICA DIGITAL Y DISEÑO DE COMPUTADORES
M. Morris Mano.
Prentice Hall, 1982.
3. TERREMOTOS.
Bruce A. Bolt.
Serie Reverté Ciencia y Sociedad, S.A. 1981.
4. PROGRAMMING & INTERFACING THE 6502 WITH EXPERIMENT
By Marvin L. de Jong.
Howard W. Sams & Co., Inc.
Indianápolis, 1980.
5. ADVANCED 6502 INTERFACING
By John M. Holland.
Howard W. Sams & Co., Inc.
Indianápolis, 1980.
6. MANUAL OF SEISMOLOGICAL OBSERVATORY PRACTICE
P.L Willmore.
Institute of Geological Sciences
Edinburgh, Scotland
september 1979.
7. APLICACIONES OF LINEAR INTEGRATED CIRCUITS
Eugene R. Hnatek
DCA Reliability Laboratory Inc.
John Wiley & Sons, 1975.
8. APPLE 6502
ASSEMBLER/EDITOR
Apple Computer Inc., 1980.
9. AIM 65
LABORATORY MANUAL AND STUDY GUIDE
Leo J. Scanlon.
John Wiley & Sons, 1981.

10. DICCIONARIO ENCICLOPEDICO DE TERMINOS TECNICOS
INGLES-ESPAÑOL
ESPAÑOL-INGLES
Javier L. Collazo.
McGraw-Hill Book Company, 1986.
11. SEMICONDUCTOR PRODUCTS DIVISION
ROCKWELL 1984 DATA BOOK
SECOND EDITION
Rockwell International.
12. COS/MOS
INTEGRATED CIRCUITS
RCA Solid State, 1980.
13. APPLE II.
GUIA DEL USUARIO
Lon Poole/Martin McNiff/Steven Cook.
Osborne/McGraw-Hill, 1986.
14. LOGIC
DATA BOOK
VOLUME II.
National Semiconductor Corporation, 1984.
15. LINEAR
DATA BOOK
National Semiconductor Corporation, 1984.
16. COMPONENT DATA CATALOG 1986.
Intersil.
17. CMOS
DATA BOOK
National Semiconductor Corporation, 1981.

A N E X O 1

ESPECIFICACIONES DEL MICROPROCESADOR 65C02



R65C02, R65C102, AND R65C112 R65C00 MICROPROCESSORS (CPU)

DESCRIPTION

The 8-bit R65C00 microprocessor family of devices are produced using CMOS silicon gate technology which provides advanced system architecture for performance speed and system cost-effectiveness enhancements over their NMOS counterparts. The R6500 family of microprocessor devices.

Three CPU devices are available. All are software compatible and provide 64K bytes of addressable memory, interrupt input and on-chip clock oscillators and drivers options. All are bus-compatible with the NMOS R6500 family devices.

The CMOS family includes two microprocessors (R65C02 and R65C102) with on-board clock oscillators and drivers and one microprocessor (R65C112) driven by external clocks. The on-chip clock versions are aimed at high performance, low-cost applications where single phase inputs, crystal or RC inputs provide the time base. The slave processor version is geared for multiprocessor systems applications where maximum timing control is mandatory. All R65C00 microprocessors are available in ceramic and plastic packaging, operating frequency of 1 MHz, 2 MHz, 3 MHz and 4 MHz, and commercial and industrial temperature versions. All three devices are housed in 40-pin packages.

ENHANCEMENTS OVER R6502

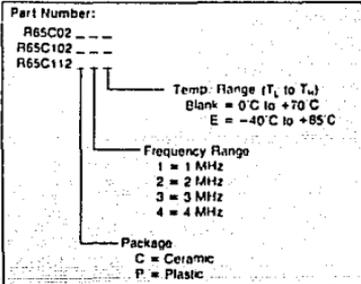
The CMOS family of microprocessor devices has been designed with many enhancements over the R6502 NMOS device while maintaining software compatibility. Besides the increased speed and lower power consumption inherent in CMOS technology, the R65C00 family has added the following characteristics:

- 12 new instructions for a total of 68
- 59 new op codes for a total of 210
- Two new addressing modes
- Seven software operational enhancements
- Two hardware enhancements

FEATURES

- CMOS silicon gate technology
- Low Power (4mA/MHz)
- Software compatible with R6502
- Single 5V +5* power supply requirements
- Eight bit parallel processing
- Decimal and binary arithmetic
- True indexing capability
- Programmable stack pointer
- Interrupt capability
- Non-maskable interrupt
- Eight-bit bidirectional data bus
- Addressable memory range of up to 64K bytes
- Ready input
- Direct memory access (DMA) capability
- Memory lock output
- 1 MHz, 2 MHz, 3 MHz, and 4 MHz versions
- Choice of external or on-chip clocks
- On-chip clock options
 - External single clock input
 - Direct crystal input (-4)
- Commercial and industrial temperature versions
- Pipeline architecture
- Slave processor version (R65C112)

ORDERING INFORMATION



ADDRESSING MODES

The R65C00 CPU family has 15 addressing modes (14 more than NMOS equivalent family). In the following discussion of these addressing modes, a brief definition follows the name of the mode. This style is similar to the term used in the R65C00 by the On-Chip Code Matrix fabricator of this product. Description is then added to identify the actual addressing mode used by the instruction.

ACCUMULATOR ADDRESSING (Accum)—The form of addressing is represented with a one byte instruction, as opposed to operation on the accumulator.

IMMEDIATE ADDRESSING (IMM)—In immediate addressing, the second byte of the instruction contains the operand, with no other memory addressing required.

ABSOLUTE ADDRESSING (ABS)—In absolute addressing, the second byte of the instruction specifies the eight low order bits of the effective address while the third byte specifies the eight high order bits. Thus the absolute addressing mode allows access to the entire 64K bytes of addressable memory.

ZERO PAGE ADDRESSING (ZPI)—The zero page instructions allow for shorter code and execution times by fetching only the second byte of the instruction and assuming a zero high address byte. Careful use of the zero page can result in significant increase in code efficiency.

ZERO PAGE INDEXED ADDRESSING (ZP, X or Y)—(X, Y means) This form of addressing is used with the index register and is referred to as Zero Page X or Zero Page Y. The effective address is calculated by adding the second byte of the contents of the index register. Since this is a form of Zero Page addressing, the content of the second byte references a location in page zero. Additionally, due to the Zero Page addressing nature of this mode, no carry is added to the high order eight bits of memory and crossing of page boundaries was not occur.

ABSOLUTE INDEXED ADDRESSING (ABS, X or Y)—(X, Y means) This form of addressing is used in conjunction with the X and Y index register and is referred to as Absolute X and Absolute Y. The effective address is formed by adding the contents of X or Y to the address contained in the second and third bytes of the instruction. This mode allows the index register to contain the index or count value and the instruction to contain the base address. This type of indexing allows any location reference and the index to modify, multiple loads resulting in indexed coding and execution time.

INDEXED ABSOLUTE INDIRECT ((ABS, X)*)

The contents of the second and third instruction bytes are added to the X register. The sixteen-bit result is a memory address containing the effective address. (JMP (ABS, X) only)

IMPLIED ADDRESSING (Implied)—In the implied addressing mode, the address containing the operand is implicitly stated in the operation code of the instruction.

RELATIVE ADDRESSING (Relative)—Relative addressing is used only with branch instructions and establishes a destination for the conditional branch.

The second byte of the instruction becomes the operand which is an "Offset" added to the contents of the lower eight bits of the program counter when the counter is set at the next instruction. The range of the offset is -128 to +127 bytes from the next instruction.

INDEXED INDIRECT ADDRESSING ((IND, X))—In indexed indirect addressing (referred to as (Indirect, X)), the second byte of the instruction is added to the contents of the X index register, discarding the carry. The result of this addition points to a memory location on page zero whose contents are the low order eight bits of the effective address. The next memory location in page zero contains the high order eight bits of the effective address. Both memory locations specifying the high and low order bytes of the effective address must be in page zero.

INDIRECT INDEXED ADDRESSING ((IND), Y)—In indirect indexed addressing (referred to as (Indirect, Y)), the second byte of the instruction points to a memory location in page zero. The contents of this memory location are added to the contents of the Y index register, the result being the low order eight bits of the effective address. The carry from this addition is added to the contents of the next page zero memory location, the result being the high order eight bits of the effective address.

ABSOLUTE INDIRECT ((ABS))—The second byte of the instruction contains the low order eight bits of a memory location. The high order eight bits of that memory location are contained in the third byte of the instruction. The contents of the fully specified memory location are the low order byte of the effective address. The next memory location contains the high order byte of the effective address which is loaded into the sixteen bits of the program counter. (JMP (ABS) only.)

INDIRECT ((IND))—The second byte of the instruction contains a zero page address serving as the indirect pointer.

NOTE

*These addressing modes are not available to the NMOS CPU family (e.g., the R6502).

INSTRUCTION SET

Table 3 lists the instruction set for the CMOS CPU family in alphabetical order according to mnemonic. Table 4 lists the hexadecimal codes for each of the instructions that are new to the CMOS family, and were not available in the NMOS R6502 device

family. Table 5 lists those instructions that were available in the NMOS family, but have been assigned new addressing modes in the CMOS CPU family.

Table 3. Alphabetic Listing of Instruction Set

Mnemonic	Function	Mnemonic	Function
(2) ADC	Add Memory to Accumulator with Carry	NOP	No Operation
(2) AND	"AND" Memory with Accumulator	(2) ORA	OR Memory with Accumulator
ASL	Shift Left One Bit (Memory or Accumulator)	PHA	Push Accumulator on Stack
(1) BBR	Branch on Bit Reset	PHP	Push Processor Status on Stack
(1) BBS	Branch on Bit Set	(1) PHX	Push X Register on Stack
BCC	Branch on Carry Clear	(1) PHY	Push Y Register on Stack
BCS	Branch on Carry Set	PLA	Pop Accumulator from Stack
BEQ	Branch on Result Zero	PLP	Pop Processor Status from Stack
(2) BIT	Test Bits in Memory with Accumulator	(1) PLX	Pop X Register from Stack
BMI	Branch on Result Minus	(1) PLY	Pop Y Register from Stack
BNE	Branch on Result not Zero	(1) RMB	Reset Memory Bit
BPL	Branch on Result Plus	ROL	Rotate One Bit Left (Memory or Accumulator)
(1) BRA	Branch Always	ROR	Rotate One Bit Right (Memory or Accumulator)
BRK	Force Break	RTI	Return from Interrupt
BVC	Branch on Overflow Clear	RTS	Return from Subroutine
BVS	Branch on Overflow Set	SBC	Subtract Memory from Accumulator with Borrow
C.C	Clear Carry Flag	SEC	Set Carry Flag
CLD	Clear Decimal Mode	SED	Set Decimal Mode
CLI	Clear Interrupt Disable Bit	SEI	Set Interrupt Disable Status
CLV	Clear Overflow Flag	(1) SMB	Set Memory Bit
(2) CMP	Compare Memory and Accumulator	(2) STA	Store Accumulator in Memory
CPX	Compare Memory and Index X	STX	Store Index X in Memory
CPY	Compare Memory and Index Y	STY	Store Index Y in Memory
(2) DEC	Decrement Memory by One	(1) STZ	Store Zero
DEX	Decrement Index X by One	TAX	Transfer Accumulator to Index X
DEY	Decrement Index Y by One	TAY	Transfer Accumulator to Index Y
(2) EOR	"Exclusive OR" Memory with Accumulator	(1) TRB	Test and Reset Bits
(2) INC	Increment Memory by One	(1) TSB	Test and Set Bits
INX	Increment Index X by One	TSX	Transfer Stack Pointer to Index X
IYI	Increment Index Y by One	TXA	Transfer Index X to Accumulator
(2) JMP	Jump to New Location	TXS	Transfer Index X to Stack Register
JSR	Jump to New Location Saving Return Address	TYA	Transfer Index Y to Accumulator
(2) LDA	Load Accumulator with Memory		
LDX	Load Index X with Memory		
LDY	Load Index Y with Memory		
LSR	Shift One Bit Right (Memory or Accumulator)		

Notes:

(1) Instruction not available on the NMOS family.

(2) R6502 instruction with additional addressing mode(s).

Table 4. Hexadecimal Codes For New Instructions In The CMOS Family

Hex	Mnemonic	Description
60	BNA	Branch not always (No Alt) [ZP]
3A	DEC	Decrement accumulator [Accum]
16	INC	Increment accumulator [Accum]
CA	PHX	Push X on stack [implied]
5A	PLX	Push X from stack [implied]
FA	PLX	Push X from stack [implied]
7A	PLY	Push Y from stack [implied]
9C	STZ	Store zero [ABS, X]
9E	STZ	Store zero [ABS, Y]
64	STZ	Store zero [ZP, X]
	STZ	Store zero [ZP, Y]
1C	TNB	Test and reset memory bits with accumulator [ABS]
14	TNB	Test and reset memory bits with accumulator [ZP]
0C	TSB	Test and set memory bits with accumulator [ABS]
C4	TSB	Test and set memory bits with accumulator [ZP]
8B	BIT	Test immediate with accumulator [IMM]
0F-7F"	BBR	Branch on bit reset [Bit Manipulation, ZP, REL]
0F-FF"	BBS	Branch on bit set [Bit Manipulation, ZP, REL]
07-77"	RMB	Reset memory bit [Bit Manipulation, ZP]
07-7F"	SMB	Set memory bit [Bit Manipulation, ZP]

Note:

1. Most significant digit change only.

Table 5. Hexadecimal Codes For Instructions With New CMOS Addressing Modes

Hex	Mnemonic	Description
72	ADC	Add memory to accumulator with carry [(IND)]
52	AND	AND memory with accumulator [(IND)]
3C	BIT	Test memory bit with accumulator [ABS, X]
34	BIT	Test memory bit with accumulator [ZP, X]
02	CMP	Compare memory and accumulator [(IND)]
52	EOR	Exclusive OR memory with accumulator [(IND)]
7C	JMP	Jump (New addressing mode) [(ABS, X)]
B2	LDA	Load accumulator with memory [(IND)]
12	ORA	OR memory with accumulator [(IND)]
F2	SBC	Subtract Memory from accumulator with borrow [(IND)]
92	STA	Store accumulator in memory [(IND)]

R65C02, R65C102, and R65C112

R65C00 Microprocessors (CPU)

INSTRUCTION SET OP CODE MATRIX

The following matrix shows the 210 Op Codes associated with the R65C00 family of CPU devices. The matrix identifies the hexadecimal code, the mnemonic code, the addressing mode,

the number of instruction bytes, and the number of machine cycles associated with each Op Code. Also refer to the instruction set summary for additional information on these Op Codes.

Op	LS0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	BRK Imp'd 1 7	ORA (IND, X) 2 6			TST ZP 2 5	ORA ZP 2 5	ASL ZP 2 5	RMB3 ZP 2 5	PHR Imp'd 2 2	ORA IMM 2 2	ASL Accum 2 2		TST ABS 3 6	ORA ABS 3 6	ABS ABS 3 6	990 ZP 3 5
1	OP (IND, Y) 2 7	ORA (IND, Y) 2 5	ORA (IND) 2 5		TMB ZP 2 5	ORA ZP, X 2 4	ASL ZP, X 2 6	RMB1 ZP 2 5	CLC Imp'd 1 2	ORA ABS, Y 3 4	INC Accum 1 2		TMB ABS 3 6	ORA ABS 3 4	ASL ABS 3 7	991 ZP 3 5
2	JSR AND ABS (IND, X) 3 8	AND ZP 2 6			BIT ZP 2 2	AND ZP 2 3	RMB2 ZP 2 5	PLP Imp'd 1 4	AND IMM 1 2	AND Accum 1 2			BIT ABS 3 4	AND ABS 3 4	ROL ABS 3 4	992 ZP 3 5
3	BIT (IND, Y) 2 2	AND (IND) 2 5			BIT ZP, X 2 4	AND ZP, X 2 6	RMB3 ZP 2 5	IMP Imp'd 1 2	AND Imp'd 1 2	AND Accum 1 2			BIT ABS, X 3 4	AND ABS, X 3 4	ABS, X ABS, X 3 5	993 ZP 3 5
4	RIS Imp'd (IND, X) 1 8	EDR (IND, X) 2 6			EDR ZP 2 3	LSH ZP 2 3	RMB1 ZP 2 5	PHA Imp'd 1 3	EDR IMM 3 2	LSH Accum 2 2			JMP ABS 3 3	EDR ABS 3 4	LSR ABS 3 8	994 ZP 3 5
5	RVC EDR (IND, Y) 2 2	EDR (IND) 2 5			EDR ZP, X 2 4	LSH ZP, X 2 6	RMB2 ZP 2 5	CLI Imp'd 1 2	EDR ABS, Y 3 4	PLP Imp'd 1 3			EDR ABS, X 3 4	AND ABS, X 3 7	AND ABS, X 3 5	995 ZP 3 5
6	RIS Imp'd (IND, X) 1 6	ADC (IND, X) 2 6			STZ ZP 2 3	ADC ZP 2 3	RMB6 ZP 2 5	PLA Imp'd 1 4	ADC IMM 2 2	ROR Accum 1 2			JMP (RMB) ABS 3 3	ADC ABS 3 4	ROR ABS 3 8	996 ZP 3 5
7	RVS ADC (IND, Y) 2 2	ADC (IND) 2 5			STZ ZP, X 2 4	ROR ZP, X 2 6	RMB7 ZP 2 5	SEI Imp'd 1 2	ADC ABS, Y 3 4	PLY Imp'd 1 4			JMP ABS, X 3 8	ADC ABS, X 3 4	ROR ABS, X 3 7	997 ZP 3 5
8	BIT (IND, X) 2 3	STA (IND, X) 2 6			STX ZP 2 3	STA ZP 2 3	RMB0 ZP 2 5	BRN Imp'd 1 2	STA IMM 2 2	TXA Imp'd 1 2			STY ABS 3 4	STA ABS 3 4	STA ABS 3 4	998 ZP 3 5
9	BCC STA (IND, Y) 2 2	STA (IND) 2 5			STX ZP, X 2 4	STA ZP, X 2 6	RMB1 ZP 2 5	IMP Imp'd 1 2	STA ABS, Y 3 4	TAS Imp'd 1 2			STZ ABS 3 4	STA ABS, X 3 5	STZ ABS, X 3 5	999 ZP 3 5
A	LDX LDA (IND, X) 2 2	LDA (IND, X) 2 6			LDX ZP 2 3	LDA ZP 2 3	RMB2 ZP 2 5	LDX IMM 2 2	LDA IMM 2 2	TAX Imp'd 1 2			LDY ABS 3 4	LDA ABS 3 4	LDA ABS 3 4	1000 ZP 3 5
B	BCL LDA (IND, Y) 2 2	LDA (IND) 2 5			LDX ZP, X 2 4	LDA ZP, X 2 6	RMB3 ZP 2 5	LDX IMM 2 2	LDA IMM 2 2	LDY Imp'd 1 2			LDX ABS, X 3 4	LDA ABS, X 3 4	LDA ABS, X 3 4	1001 ZP 3 5
C	CPY IMM (IND, X) 2 2	CMP (IND, X) 2 6			CPY ZP 2 3	CMP ZP 2 3	RMB4 ZP 2 5	LDX Imp'd 1 2	CMP IMM 2 2	LDX Imp'd 1 2			CPY ABS 3 4	CMP ABS 3 4	DEC ABS 3 8	1002 ZP 3 5
D	BNE (IND, Y) 2 2	LDSP (IND, Y) 2 5			CMP ZP, X 2 4	DEC ZP, X 2 6	RMB5 ZP 2 5	LDX Imp'd 1 2	LDX ABS, Y 3 4	IMP Imp'd 1 3			CPY ABS 3 4	CMP ABS 3 4	DEC ABS 3 7	1003 ZP 3 5
E	CPX IMM (IND, X) 2 2	SBC (IND, X) 2 6			CPX ZP 2 3	SBC ZP 2 3	RMB6 ZP 2 5	IMP Imp'd 1 2	SBC IMM 2 2	IMP Imp'd 1 2			CPX ABS 3 4	SBC ABS 3 4	SBC ABS 3 8	1004 ZP 3 5
F	REQ (IND, Y) 2 2	SBC (IND, Y) 2 5			SBC ZP, X 2 4	INC ZP, X 2 6	RMB7 ZP 2 5	LDY Imp'd 1 2	SBC ABS, Y 3 4	PLA Imp'd 1 4			CPX ABS, X 3 4	SBC ABS, X 3 4	SBC ABS, X 3 7	1005 ZP 3 5

— New Op Code

0 — OP Code
 0 — Addressing Mode
 1 7 — Instruction Bytes, Machine Cycles

†Add 1 to H if a decimal mode
 †Add 1 to R if 4 page boundary is crossed
 †Add 1 to H if branch occurs to same page
 †Add 2 to H if branch occurs to other page

AC CHARACTERISTICS

Parameter	Symbol	1 MHz		2 MHz		3 MHz		4 MHz		Unit
		Min	Max	Min	Max	Min	Max	Min	Max	
CLOCK TIMING										
82 Cycle Time	t_{CYC}	1000	Note 1	500	Note 1	333	Note 1	250	Note 1	ns
82 Low Pulse Width	t_{LW}	430	5000	210	5000	150	5000	100	5000	ns
82 High Pulse Width	t_{HW}	450	—	220	—	160	—	110	—	ns
80 Low to 82 Low Setup ²	t_{L2}	—	50	—	50	—	40	—	30	ns
82 Low to 81 High Setup ³	t_{L1}	-20	20	-20	20	-20	20	-20	20	ns
XTL1 High to 82 Low ⁴	t_{L1}	—	100	—	100	—	100	—	100	ns
XTL0 Low to 82 Low ⁴	t_{L0}	—	75	—	75	—	75	—	75	ns
82 Low to 84 High Delay ⁵	t_{H4}	250	—	125	—	85	—	65	—	ns
84 Low Pulse Width ⁶	t_{L4}	430	—	210	—	150	—	100	—	ns
84 High Pulse Width ⁶	t_{H4}	450	5000	220	5000	160	5000	110	5000	ns
Clock Rise and Fall Times	$t_{R/F}$	—	25	—	20	—	15	—	12	ns
READ/WRITE TIMING										
R/W Setup Time	t_{SW}	—	125	—	100	—	75	—	60	ns
R/W Hold Time	t_{SH}	15	—	15	—	15	—	15	—	ns
Address Setup Time	t_{AS}	—	125	—	100	—	75	—	60	ns
Address Valid to 84 High ⁷	t_{AV}	100	—	25	—	10	—	0	—	ns
Address Hold Time	t_{AH}	15	—	15	—	15	—	15	—	ns
Read Access Time	t_{ACC}	775	—	340	—	215	—	160	—	ns
Read Data Setup Time	t_{DS}	100	—	60	—	40	—	30	—	ns
Read Data Hold Time	t_{DH}	10	—	10	—	10	—	10	—	ns
Write Data Delay Time ⁸	t_{WD}	—	200	—	110	—	85	—	55	ns
Write Data Delay Time ⁸	t_{WD}	—	200	—	110	—	85	—	55	ns
Write Data Delay Time ⁸	t_{WD}	—	450	—	235	—	170	—	120	ns
Write Data Hold Time	t_{WH}	30	—	30	—	30	—	30	—	ns
CONTROL LINE TIMING										
SYNC Delay	t_{SY}	—	125	—	100	—	75	—	60	ns
RDY Setup Time	t_{RS}	200	—	110	—	80	—	60	—	ns
SD Setup Time	t_{SS}	75	—	50	—	40	—	30	—	ns
ML Delay Time ⁹	t_{MS}	—	125	—	100	—	75	—	60	ns
ML Hold Time ⁹	t_{MH}	10	—	10	—	10	—	10	—	ns
ML Hold Time ⁹	t_{MH}	15	—	15	—	15	—	15	—	ns
BE Delay Time ⁹	t_{BS}	—	40	—	40	—	40	—	40	ns
BE Setup Time ⁹	t_{BS}	—	50	—	60	—	60	—	60	ns
IRQ ₀ RES Setup Time	t_{RS}	200	—	110	—	80	—	60	—	ns
NMI Setup Time	t_{NS}	200	—	150	—	100	—	70	—	ns

Notes:

1. R65C02 and R65C102 minimum operating frequency is limited by 82 low pulse width. All processors can be stopped with 62 held high.
2. R65C02 only.
3. R65C02 and R65C102 only.
4. R65C102 only.
5. R65C102 and R65C112 only.
6. R65C112 only.
7. Voltage levels shown are $V_L \leq 0.4V$ and $V_H \geq 2.4V$ unless otherwise stated.
8. Measurement points shown are 0.8V (low) and 2.0V (high) for inputs and 1.5V (low and high) for outputs, unless otherwise specified.
9. BE signal is asynchronous.

A N E X O 2

MANUAL TECNICO DEL MODULO OMEGAREC

OMEGAREC

QUARTZ CLOCK SYNCHRONIZED BY OMEGA SIGNALS

THE OMEGA NAVIGATIONAL SYSTEM

The world-wide navigation system Omega, operated by the United States, is so designed that its VLF-signals can also be used as time signals of moderate accuracy. Signals transmitted in the frequency range of VLF (Very Low Frequency) have the property of very long range, which makes them available also in remote areas, actually anywhere on the globe.

On the other hand two major drawbacks of the VLF-band must be taken into account: noise and limited bandwidth. Noise, both natural and man-made, is important at these frequencies. The limited bandwidth of the transmitting antenna limits the steepness of the radio pulses and therefore the accuracy with which their arrival time can be measured. In practice the accuracy of our timing receiver is therefore limited to about 0.01 sec at a 5000 km range. Higher accuracies would require much more sophisticated techniques and would cancel out the very advantages of light weight and low power consumption of our approach.

SETTING THE CLOCK

Since all 10-second intervals of the Omega signal are identical, the clock, when started, will lock itself to the nearest time mark; one must therefore set it by hand to within ± 5 sec of the correct (Universal) time. Thus a watch of this accuracy must be at hand.

A switch is provided on the rear side of the casing and accessible through a small hole. Use a piece of wire to depress the switch; this resets the clock. Observe on the LED the 10-second, 4-pulse sequence and identify the long pause (app. 4 seconds); observe your watch, depress the reset switch and release it at the end of the first long pause after the beginning of a minute (e.g. 7.91 sec after the minute for North Dakota). The clock will now seek synchronism at the rate of 3 msec per minute or 0.18 sec. per hour. Depending on the accuracy of your watch, the clock will take up to one day to achieve synchronism.

ACCURACY

The specified accuracy of ± 0.01 sec is valid over the temperature range of -10°C to $+55^{\circ}\text{C}$. Operation at more extreme temperatures would require a quartz oscillator with better temperature characteristics. The accuracy of ± 0.01 sec is valid for the range of 5000 km and in the absence of man-made noise.

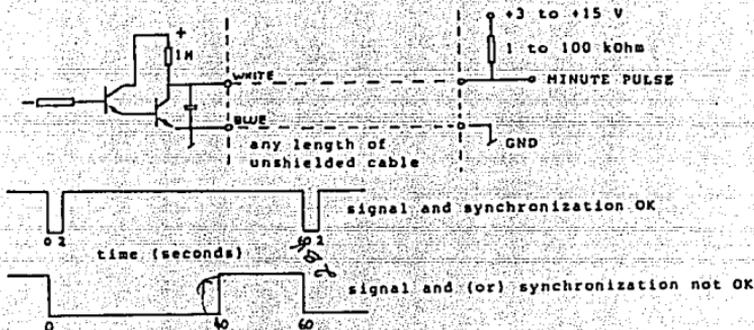
SEPARATE ANTENNA

For those cases where the receiver cannot be mounted indoors because of noise, but neither outdoors because of temperature,

a special model is available where the antenna is mounted in a separate, weatherproof case, connected to the receiver by a 50 Ohm cable of arbitrary length.

OUTPUT

The only output available is a minute signal on an open collector according to the following schematic:



POWER SUPPLY

The power consumption is around 50 μ A at 3.5 V; it is supplied by one Lithium battery of 5 Ampere-hours capacity. Taking into account the selfdischarge, the expected lifetime is about 10 years. It is not worth while to disconnect the battery while the receiver is not in use.

DIMENSIONS AND WEIGHT

Receiver: 141 x 132 x 37 mm, 400 g

Separate antenna: 200 x 120 x 75 mm, 500 g

INTERFACE

In most applications the output signal of OMEGAREC is not a sufficient timing information, but since OMEGAREC contains the antenna, it is not desirable to generate other signals, which might be picked up by the antenna.

The development of an interface circuit is under way, in order to meet some if not all, requirements of geophysical applications. It will include the following features:

- Compensation of the transmitter offset.
- LCD time display.
- BCD serial time code.
- Time marks for the seconds, minutes, hours, etc.
- Battery operation.

The implementation will be straightforward and therefore of moderate cost. Any suggestion leading to a meaningful standardization will be welcome.

Neuchâtel, february 1982

A N E X O 3

MANUAL TECNICO DEL MODULO OMEGAFACE

OBSERVATOIRE CANTONAL
2000 NEUCHÂTEL
SWITZERLAND

OMEGAFACE

INTERFACE CIRCUIT FOR OMEGAREC RECEIVER CLOCK

This instrument is intended to be used in conjunction with OMEGAREC, a clock synchronized with the time signals from Omega Navigational Transmitters.

OMEGAFACE delivers only a minute pulse offset by several seconds with respect to Universal Time (UTC). OMEGAFACE compensates this offset and in addition generates several signals and functions:

- BCD-coded serial output.
- Minute, hour and day markers.
- Display of time of day and Julian days.
- Timing of an external clock to the hundredth of a second.

PRINCIPLE OF OPERATION

OMEGAFACE is a free running quartz clock; when connected to the output minute pulses of OMEGAREC, these pulses override the clock, which then runs in parallel to OMEGAREC, but with a fixed offset. This offset is set by hand, by means of three coding switches (units, tenths and hundredths of a second); OMEGAFACE then leads OMEGAREC by the amount set.

Time of day and day of year (Julian day) are set by hand.

Current is supplied by a Lithium battery, which is expected to last 20 years.

CONNECTING OMEGAREC

Screw contacts (accessible from the rear) 5 and 6 are reserved for OMEGAREC; 5 is ground and must be connected to the blue wire of OMEGAREC, 6 to the white wire. Any length of any double cable is acceptable. While OMEGAREC must be oriented correctly for optimum reception, OMEGAFACE can be mounted in an electrically noise environment (e.g. in a 19" rack).

LCD DISPLAY

Time of day and day of year are displayed on three 4-digit LCD displays.

The hundredths of seconds are normally suppressed; they appear only (for a few seconds) upon applying a positive pulse to the READ input (refer to explanations under "READ Input").

If the reception and synchronization status of OMEGAREC is not OK (or when OMEGAREC is not connected), the display of the days will blink.

SETTING THE TIME LAG

The lag of the OMEGAREC clock (as given by the supplier) must be known, or else measured with a precision clock in your laboratory. Set the coding switches at the upper right to this value (seconds, tenths, hundredths).

IDENTIFICATION NUMBER

To identify the station or the particular experiment, a three digit number can be set by means of three coding switches at the lower left of the front panel. This number will then appear as part of the BCD serial output.

SETTING THE CLOCK

The clock is set at the factory and will not normally need to be set. Four switches for setting the minutes, the hours, the days and tens of days are accessible through 4 small holes in the front panel; use a thick, stiff wire to depress the switches; the corresponding numeral will increase by one upon each contact. The seconds don't have to be set, as they are taken care of by OMEGAREC.

DIMENSIONS

See outline drawing

Weight: 610 g.

Unit price: SFR 580.- (August 1982).

A N E X O 4

LISTADO DEL PROGRAMA

1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23

```
.....  
;  
; PROGRAMA DEL SISTEMA DECODIFICADOR-GENERADOR OMEGA  
;  
; PROTOTIPO 1  
; PROGRAMA: PROGRAMCODE  
.....  
;  
; INSTITUTO DE INGENIERIA, UNAM  
; COORDINACION DE SISMOLOGIA E INSTRUMENTACION SISMICA  
; LUIS ALBERTO BEDOYA PRADA  
; FECHA DE REVISION: 24 DE OCTUBRE DE 1988  
.....  
;  
;
```

```

24 0000      .PAGE
25      :
26      :
27      : ***** DECLARACION DE VARIABLES *****
28      :
29      :
30      :
31 0000      CH      EQU  $00      ;CH= CONTADOR DE MUESTRAS
32 0001      CHL     EQU  $01      ;CHL=CONTADOR DE MUESTRAS EN ESTADO BAJO
33 0002      CHH     EQU  $02      ;CHH=CONTADOR DE MUESTRAS EN ESTADO ALTO
34 0003      IDB     EQU  $03      ;IDB=IDENTIFICADOR DE BITS
35 0004      CBS     EQU  $04      ;CBS=CONTADOR DE BITS POR SEGUNDOS
36 0005      REFC    EQU  $05      ;REFERENCIA DE CONTEO DE BITS
37 0006      CBCD    EQU  $06      ;CBCD=CONTADOR BCD
38 0007      MECODE  EQU  $07      ;MECODE=MEMORIA DE CODIGO
39 0008      S1      EQU  $08      ;S1=UNIDADES DE SEGUNDOS
40 0009      S10     EQU  $09      ;S10=DECENAS DE SEGUNDOS
41 000A      M1      EQU  $0A      ;UNIDADES DE MINUTOS
42 000B      M10     EQU  $0B      ;M10= DECENAS DE MINUTOS
43 000C      H1      EQU  $0C      ;H1= UNIDADES DE HORAS
44 000D      H10     EQU  $0D      ;H10= DECENAS DE HORAS
45 000E      D1      EQU  $0E      ;D1= UNIDADES DE DIAS
46 000F      D10     EQU  $0F      ;D10= DECENAS DE DIAS
47 0010      D100    EQU  $10      ;D100= CENTENAS DE DIAS
48 0011      BNULO   EQU  $11      ;BNULO= BIT NO USADO EN DESPLIEGUE
49 0012      NS1     EQU  $12      ;NS1= UNIDADES DE # DE SERIE
50 0013      NS10    EQU  $13      ;NS10= DECENAS DE # DE SERIE
51 0014      NS100   EQU  $14      ;NS100= CENTENAS DE # DE SERIE
52 0015      CD      EQU  $15      ;CD= CONTADOR DE DIGITOS
53 0016      AD      EQU  $16      ;AD=DATO CONVERTIDO A/D
54 0017      COMTS   EQU  $17      ;COMTS= CONTADOR DE SEGUNDOS
55 0019      SML     EQU  $19      ;SML=NIBBLE BAJO DE SUMA
56 001A      SML1    EQU  $1A      ;SML1=NIBBLE BAJO COMPLEMENTARIO DE SUMA
57 001C      SUMH    EQU  $1C      ;SUMH=NIBBLE ALTO DE SUMA
58 001B      BSINC   EQU  $1B      ;BSINC=BIT DE SINCRONIA
59 2000      PE      EQU  $2000     ;PE= PUERTO DE ENTRADA
60 4000      PS1     EQU  $4000     ;PS1=PUERTO DE SALIDA 1
61 6000      PS2     EQU  $6000     ;PS2= PUERTO DE SALIDA 2
62 8000      PS3     EQU  $8000     ;PS3= PUERTO DE SALIDA 3
63 A000      PAD     EQU  $A000     ;PAD=PUERTO DE CONVERSION A/D
64 C000      DESP    EQU  $C000     ;DESP = DESPLAZAMIENTO PARA SALTOS ABS. Y RELS
65

```

```

66 0000      .PAGE
67      ;
68      ;
69      ;***** PROGRAMA *****
70      ;
71      ;
72      ;
73 2005      ORG #2005      ;DIRECCION DE INICIO DEL PROGRAMA
74      ;
75      ;*****
76      ;
77      ;
78      ;***** DESPLIEGUE DE CEROS *****
79      ;
80      ;
81      ;
82 2005 A2 FF      LDX #877      ;INICIALIZA STACK POINTER
83 2007 9A      TXS
84 2008 A9 30      LDA #130      ;DESPLIEGA CERO POR DIG1.
85 200A 8D 00 60      STA PS2
86 200D A9 20      LDA #120      ;DESPLIEGA CERO POR DIG2.
87 200F 8D 00 60      STA PS2
88 2012 A9 10      LDA #110      ;DESPLIEGA CERO POR DIG3.
89 2014 8D 00 60      STA PS2
90 2017 A9 00      LDA #100      ;DESPLIEGA CERO POR DIG4.
91 2019 8D 00 60      STA PS2
92 201C A9 30      LDA #130      ;DESPLIEGA CERO POR DIG5.
93 201E 8D 00 80      STA PS3
94 2021 A9 20      LDA #120      ;DESPLIEGA CERO POR DIG6.
95 2023 8D 00 80      STA PS3
96 2026 A9 10      LDA #110      ;DESPLIEGA CERO POR DIG7.
97 2028 8D 00 80      STA PS3
98 202B A9 00      LDA #100      ;DESPLIEGA CERO POR DIG8.
99 202D 8D 00 80      STA PS3
100 2030 8D 00 40      STA PS1      ;INICIALIZA PSI
101
102      ;***** INICIALIZACION DE VARIABLES *****
103
104
105
106 2033 85 09      STA S10      ;INICIALIZA S10
107 2035 85 0A      STA M1      ;INICIALIZA M1
108 2037 85 08      STA M10     ;INICIALIZA M100
109 2039 85 0C      STA H1      ;INICIALIZA H1
110 203B 85 0D      STA H10     ;INICIALIZA H10
111 203D 85 18      STA BSIMC   ;INICIALIZA BSIMC
112 203F A9 00      INITO LDA #100   ;INICIALIZA VARIABLES DE CONTROL
113 2041 85 15      STA CD      ;CD=0
114 2043 85 00      STA CM      ;CM=0
115 2045 85 01      STA CNL     ;CNL=0
116 2047 85 02      STA CMH     ;CMH=0
117 2049 85 06      STA CBOD    ;CBOD=0
118 204B 85 04      STA CBS     ;CBS=0
119 204D 85 05      STA REFC   ;REFC=0
120 204F 85 07      STA MECCODE ;MECCODE=0
121 2051 85 0E      STA D1      ;D1=0
122

```

```

123 2053          .PAGE
124 2053 85 0F          STA D10           ;D10=0
125 2055 85 10          STA D100          ;D100=0
126 2057 85 12          STA NS1           ;NS1=0
127 2059 85 13          STA NS10          ;NS10=0
128 205B 85 14          STA NS100         ;NS100=0
129 205D 85 03          STA IDB           ;IDB=0
130 205F 85 16          STA AD            ;AD=0
131 2061 85 19          STA SML           ;SML=0
132 2063 85 1A          STA SML1          ;SML1=0
133 2065 85 1C          STA SUMH          ;SUMH=0
134 2067 85 17          STA CONTS          ;CONTS=0
135 2069 85 11          STA BNULO          ;BNULO=0
136
137
138          ;
139          ;
140          ;***** SELECCION DE MODO DE DESPLIEGUE *****
141          ;
142
143
144 206B A9 04          VERM3 LDA #04           ;MODO-II HABILITADO?
145 206D 2D 00 20          AND PE
146 2070 F0 03 2075          BEQ ESPSINC        ;NO, ESPERA PULSO DE SINCRONIA
147 2072 4C DD E4          JMP MODII+DESP     ;SI, CONTINUA CON MODO-II
148
149          ;
150          ;
151          ;***** DETECCION DEL PULSO DE SINCRONIA *****
152          ;
153
154 2075 A9 01          ESPSINC LDA #01           ;ESPERA FLANCO DE SUBIDA
155 2077 2D 00 20          AND PE
156 207A F0 F9 2075          BEQ ESPSINC        ;SI NO HA LLEGADO SIGUE ESPERANDO
157 207C 20 FA E2          RETA JSR RETSMS+DESP ;SI YA LLEGO INICIA MUESTREO
158 207F E6 00          INC CM           ;CADA 5 ms
159 2081 A4 00          LDY CM           ;SON 79 MUESTRAS?
160 2083 C0 4F          CPY #4F
161 2085 B0 0E 2095          BCS SIGUE         ;SI, CONTINUA LECTURA DE CODIGO BCD
162 2087 A9 01          LDA #01           ;NO, SE SIGUE MUESTREANDO EL PULSO ALTO?
163 2089 2D 00 20          AND PE
164 208C D0 EE 20C7          BNE RETA          ;SI, CONTINUA MUESTREANDO
165 208E A9 00          LDA #00           ;NO, INICIALIZA CM
166 2090 85 00          STA CM           ;CM=0
167 2092 4C 75 E0          JMP ESPSINC+DESP  ;ESPERA OTRO FLANCO DE SUBIDA
168 2095 A9 00          SIGUE LDA #00           ;INICIALIZA CM
169 2097 85 00          STA CM           ;CM=0
170 2099 20 42 E3          JSR FLANCON+DESP ;DETECTA FLANCO NEGATIVO
171 209C A9 02          LDA #02           ;LEE MODO DE DESPLIEGUE
172 209E 2D 00 20          AND PE
173 20A1 D0 24 20C7          BNE SALTAR        ;SI ES MODO-IB VE A CONTINUA
174 20A3 A5 08          LDA S1            ;SI ES MODO-IA ACTUALIZA SEGUNDOS
175 20A5 29 0F          AND #0F
176 20A7 C9 09          CMP #09           ;SON 9 ms?
177 20A9 B0 08 20B3          BCS SALT2         ;SI, INCREMENTA DECENAS DE SEGS
178 20AB A9 30          LDA #30           ;NO, INICIALIZA SI

```

	.PAGE		
180 20AD			
181 20AD 8D 00 60		STA PS2	;DESPLIEGA CERO POR DIG1.
182 20B0 4C 54 E1		JMP MUESTL+DESP	;CONTINUA PROCESO DE MUESTREO
183 20B3 A9 30	SALT2	LDA #30	;BORRA UNIDADES DE SEGS.
184 20B5 8D 00 60		STA PS2	;DESPLIEGA CERO POR DIG1.
185 20B8 A5 09		LDA S10	;CHECA DECENAS DE SEGS.
186 20BA 29 0F		AND #0F	;SON 60 s ?
187 20BC C9 05		CMF #05	
188 20BE 80 0A 20CA		BCS LIMPIA	;SI, INICIALIZA S10 E INC. MINS
189 20C0 E6 09		INC S10	;NO, INCREMENTA S10
190 20C2 A5 09		LDA S10	;DESPLIEGA DEC. DE SEGS POR DIG2.
191 20C4 8D 00 60		STA PS2	
192 20C7 4C 54 E1	SALTAR	JMP MUESTL+DESP	;CONTINUA MUESTREO
193 20CA A9 20	LIMPIA	LDA #20	;DESPLIEGA CERO POR DIG2.
194 20CC 8D 00 60		STA PS2	
195 20CF 85 09		STA S10	;S10=20
196 20D1 A5 0A		LDA M1	;CHECA UNIDS. DE MINUTOS
197 20D3 29 0F		AND #0F	;M1=9?
198 20D5 C9 09		CMF #09	
199 20D7 80 0A 20E3		BCS SALTA	;SI, ACTUALIZA A M10
200 20D9 E6 0A		INC M1	;NO, INCREMENTA M1
201 20DB A5 0A		LDA M1	;DESPLIEGA M1 POR DIG3.
202 20DD 8D 00 60		STA PS2	
203 20E0 4C 54 E1		JMP MUESTL+DESP	;CONTINUA MUESTREO
204 20E3 4C 3E E1	SALTA	JMP SALT1+DESP	;VE A SALT1
205 20E6 A9 00	LIMP1	LDA #00	;DESPLIEGA CERO POR DIG4.
206 20E8 8D 00 60		STA PS2	
207 20EB 85 0B		STA M10	;M10=0
208 20ED A5 0D		LDA H10	;CHECA DECENAS DE HORAS
209 20EF 29 0F		AND #0F	
210 20F1 C9 02		CMF #02	;SON MAS DE LAS 20 HORAS?
211 20F3 80 12 2107		BCS CHECHI	;SI, CHECA UNIDADES DE HORAS
212 20F5 A5 0C		LDA H1	;NO, CARGA ACUMULADOR CON H1
213 20F7 29 0F		AND #0F	
214 20F9 C9 09		CMF #09	;ES H1=9?
215 20FB 80 1C 2119		BCS LIMP2	;SI, VE A INICIALIZAR H1
216 20FD E6 0C		INC H1	;NO, INCREMENTA H1
217 20FF A5 0C		LDA H1	;DESPLIEGA A H1 POR DIG5.
218 2101 8D 00 80		STA PS3	
219 2104 4C 54 E1		JMP MUESTL+DESP	;SIGUE PROCESO DE MUESTREO
220 2107 A5 0C	CHECHI	LDA H1	;CARGA ACUMULADOR CON H1
221 2109 29 0F		AND #0F	
222 210B C9 03		CMF #03	;SON 24 HORAS?
223 210D 80 1B 212A		BCS LIMP3	;SI, VE A INICIALIZAR A H10 Y H1
224 210F E6 0C		INC H1	;NO, INCREMENTA UNIDADES DE HORAS
225 2111 A5 0C		LDA H1	;DESPLIEGA UNIDADES DE HORAS
226 2113 8D 00 80		STA PS3	
227 2116 4C 54 E1		JMP MUESTL+DESP	;SIGUE PROCESO DE MUESTREO
228 2119 A9 30	LIMP2	LDA #30	;INICIALIZA H1
229 211B 8D 00 80		STA PS3	;DESPLIEGA CERO POR DIG5.
230 211E 85 0C		STA H1	;H1=30
231 2120 E6 0D		INC H10	;INCREMENTA H10
232 2122 A5 0D		LDA H10	;DESPLIEGA H10 POR DIG6.
233 2124 8D 00 80		STA PS3	
234 2127 4C 54 E1		JMP MUESTL+DESP	;SIGUE PROCESO DE MUESTREO
235			

```

236 2124          .PAGE
237 212A A9 30   LIMP3 LDA #30          ;INICIALIZA H1
238 212C E5 0C   STA H1             ;H1=30
239 212E 8D 00 80 STA PS3           ;DESPLIEGA H1 POR DIG5.
240 2131 A9 20   LDA #20          ;INICIALIZA H10
241 2133 85 0D   STA H10          ;H10=20
242 2135 8D 00 80 STA PS3           ;DESPLIEGA H10 POR DIG6.
243 2138 4C 54 E1 JMP MUESTL+DESP   ;SIGUE PROCESO DE MUESTREO
244 213B 4C E6 E0 SLIMP JMP LIMP1+DESP ;SALTA A LIMP1
245 213E A9 10   SALT1 LDA #10         ;INICIALIZA A H1
246 2140 85 0A   STA M1            ;M1=10
247 2142 8D 00 60 STA PS2           ;DESPLIEGA 0 POR DIG3.
248 2145 A5 0B   LDA M10          ;CHECA DECENAS DE MINUTOS
249 2147 29 0F   AND #0F          ;
250 2149 C9 05   CMP #05          ;M10=5?
251 214B 80 EE 213B BCS SLIMP ;SI, SALTA A SLIMP PARA INCREMENTAR LAS HORAS
252 214D E6 0B   INC M10          ;NO, INCREMENTA M10
253 214F A5 0B   LDA M10          ;DESPLIEGA M10 POR DIG4.
254 2151 8D 00 60 STA PS2           ;
255 2154 20 FA E2 MUESTL JSR RETSMS+DESP ;INICIA MUESTREO EN ESTADO BAJO
256 2157 E6 01   INC CNL          ;INCREMENTA CNL
257 2159 A9 01   LDA #01          ;DETECTA FLANCO POSITIVO
258 215B 2D 00 20 AND PE           ;
259 215E F0 F4 2154 BEQ MUESTL       ;NO HA LLEGADO FLANCO POSITIVO ESPERALO
260 2160 A4 01   LDY CNL          ;SI, CUANTAS MUESTRAS MUESTRAS FUERON?
261 2162 C0 1B   CPY #1B          ;FUERON MINIMO 27 MUESTRAS?
262 2164 80 21 2187 BCS MUESTH1     ;SI, VE A MUESTREAR EN ALTO QUE FUEN UN UNO
263 2166 A4 01   LDY CNL          ;FUERON MINIMO 8 MUESTRAS?
264 2168 C0 0B   CPY #0B          ;
265 216A 80 0A 2176 BCS VERIF       ;SI, VERIFICA QUE ES UN CERO
266 216C 20 58 E2 JSR DESPER+DESP ;NO, DESPLIEGA ERROR
267 216F A9 00   LDA #00          ;INICIALIZA CNL
268 2171 85 01   STA CNL          ;CNL=0
269 2173 4C 75 E0 JMP ESPSINC+DESP ;VE A ESPERAR PULSO DE SINCRONIA
270 2176 C0 0B   CPY #0B          ;FUERON MAS DE 11 MUESTRAS?
271 2178 90 0A 2184 BCC CONTO       ;NO, CORRECTO CONTINUA
272 217A 20 58 E2 JSR DESPER+DESP ;SI, DESPLIEGA ERROR
273 217D A9 00   LDA #00          ;INICIALIZA CNL
274 217F 85 01   STA CNL          ;CNL=0
275 2181 4C 75 E0 JMP ESPSINC+DESP ;VE A ESPERAR PULSO DE SINC.
276 2184 4C 2D E2 CONTO JMP MUESHO+DESP ;VE A MUESTREAR EL PULSO ALTO DE UN 0.
277 2187 A9 00   MUESTH1 LDA #00         ;INICIALIZA CNL
278 2189 85 01   STA CNL          ;CNL=0
279 218B A5 05   LDA REFC         ;DETECTA EL BIT 48
280 218D C9 2F   CMP #2F          ;SE HAN LEIDO 47 BITS?
281 218F 80 2A 218B BCS CONT1     ;SI, NO CONTAR MUESTH1
282 2191 20 FA E2 CONTO1 JSR RETSMS+DESP ;INICIA MUESTREO DEL PULSO ALTO
283 2194 E6 02   INC CNH          ;INCREMENTA CNH
284 2196 A9 01   LDA #01          ;ES FLANCO NEGATIVO?
285 2198 2D 00 20 AND PE           ;
286 219B D0 F4 2191 BNE CONTO1      ;NO, SIGUE ESPERANDOLO
287 219D A4 02   LDY CNH          ;SI, FUERON MINIMO 8 MUESTRAS?
288 219F C0 0B   CPY #0B          ;CNH=8?
289 21A1 80 0A 21AD BCS RECTO       ;SI, VERIFICA QUE ES UN "1" LOGICO
290 21A3 20 58 E2 JSR DESPER+DESP ;NO, ENTONCES FUE ERROR
291

```

```

292 21A6          .PAGE
293 21A6 A9 00   LDA #30          ;INICIALIZA CMH
294 21A8 85 02   STA CMH          ;CMH=0
295 21AA 4C 75 E0 JMP ESPSINC+DESP ;REGRESA A ESPERAR PULSO DE SINC.
296 21AD C0 0B   RECTO CPY #30B     ;ES CMH=10 ?
297 21AF 90 0A 21B8 BCC CONT1        ;NO, CONTINUA
298 21B1 20 58 E2 JSR DESPER+DESP  ;SI, ENTONCES HUBO ERROR
299 21B4 A9 00   LDA #300        ;INICIALIZA CMH
300 21B6 85 02   STA CMH          ;CMH=0
301 21B8 4C 75 E0 JMP ESPSINC+DESP ;REGRESA A ESPERAR PULSO DE SINC.
302 21BB A9 00   CONT1 LDA #300    ;INICIALIZA CMH
303 21BD 85 02   STA CMH          ;CMH=0
304 21BF A9 01   LDA #301        ;INDICA QUE SE LEYO UN UNO
305 21C1 85 03   STA IDB         ;IDB=1
306 21C3 20 86 E2 ENSAMB JSR ENS10+DESP ;LLAMA SUBR. PARA ENSAMBLAR BIT OMEGA
307 21C6 E6 04   INC CBS         ;INCREMENTA CBS
308 21C8 E6 06   INC CBCD        ;INCREMENTA CBCD
309 21CA E6 05   INC REFC        ;INCREMENTA REFC
310 21CC A4 04   LDY CBS         ;SE LEYERON 5 BITS?
311 21CE C0 05   CPY #405        ;CBS=5?
312 21D0 80 15 21E7 BCS INCSEC      ;SI, ACTUALIZA SEGUNDOS
313 21D2 A4 06   LDY CBCD        ;SE LEYERON 4 BITS OMEGA?
314 21D4 C0 04   CPY #304        ;CBCD=4?
315 21D6 90 0C 21E4 BCC LEEB         ;NO, VE A LEER OTRO BIT
316 21D8 A9 00   LDA #300        ;SI, INICIALIZA CBCD E IDB
317 21DA 85 06   STA CBCD        ;CBCD=0
318 21DC 85 03   STA IDB         ;IDB=0
319 21DE 20 4A E3 JSR ORDBUF+DESP ;ORDENA BUFFER DE DATOS
320 21E1 4C 21 E2 JMP REvisa+DESP ;VERIFICA CUANTOS BITS SE HAN LEIDO
321 21E4 4C 54 E1 LEEB JMP MUESTL+DESP ;LEE OTRO BIT OMEGA
322 21E7 A9 00   INCSEC LDA #300   ;INICIALIZA CBS
323 21E9 85 04   STA CBS         ;CBS=0
324 21EB A5 05   LDA REFC        ;REFC=35?
325 21ED C9 23   CMP #323
326 21EF F0 12 2203 BDD RSINC       ;SI, REvisa SINCRONIA
327 21F1 A9 00   CONT11 LDA #300 ;NO, INICIALIZA IDB
328 21F3 85 03   STA IDB         ;IDB=0
329 21F5 A5 06   LDA CBCD        ;BCD=4?
330 21F7 C9 04   CMP #304
331 21F9 B0 1C 2217 BCS ORDENAR    ;SI, ORDENA DIGITO
332 21FB E6 08   TERMINA INC SI ;NO, ACTUALIZA SECS.
333 21FD 20 3D E4 JSR VISI+DESP   ;VE A VISUALIZAR DATOS
334 2200 4C 54 E1 JMP MUESTL+DESP ;VE A LEER OTRO BIT
335 2203 A5 03   RSINC LDA IDB   ;IDB=0?
336 2205 29 01   AND #301
337 2207 F0 07 2210 BDD CONTSEGB ;NO, CONTINUA CON SECS.
338 2209 A9 01   LDA #301        ;SI, INDICA NO SINCRONIA
339 220B 85 1B   STA BSINC       ;BSINC=1
340 220D 4C F1 E1 JMP CONT11+DESP ;CONTINUA PROCESO DE DECODIFICACION
341 2210 A9 00   CONTSEGB LDA #300 ;ACTUALIZA BSINC
342 2212 85 18   STA BSINC       ;BSINC=0
343 2214 4C F1 E1 JMP CONT11+DESP ;CONTINUA PROCESO DE DECODIFICACION
344 2217 A9 00   ORDENAR LDA #300  ;INICIALIZA CBCD
345 2219 85 06   STA CBCD        ;CBCD=0
346 221B 20 4A E3 JSR ORDBUF+DESP ;ORDENA BUFFER DE DATOS
347 221E 4C FB E1 JMP TERMINA+DESP ;VE A INCREMENTAR SI
348

```

```

349 2221      .PAGE
350 2221 A4 05  REVISAR LDY REFC      ;SE HAN LEIDO 48 BITS?
351 2223 C0 30-  CPY  #330
352 2225 90 BD 21EA BCC LEEB      ;NO, CONTINUA LECTURA DE CODIGO
353 2227 20 C7 E2  JSR VISO+DESP ;SI, DESPLIEGA DATOS
354 222A 4C 3F E0  JMP INITO+DESP ;VE A INICIALIZAR TODAS LAS VARIABLES DE CONTROL
355 222D A9 00      LDA #400      ;INICIALIZA CML
356 222F 85 01      STA CML      ;CML=0
357 2231 A5 05      LDA REFC     ;SE HAN LEIDO 47 BITS OMEGA?
358 2233 C9 2F      CMP  #32F
359 2235 B0 18 224F BCS CONT2    ;SI, NO MUESTREES PULSO ALTO
360 2237 20 FA E2  CONTE2 JSR RETSMS+DESP ;NO, CONTINUA PROCESO DE MUESTREO
361 223A E6 02      INC  CMI     ;INCREMENTA CMI
362 223C A9 01      LDA #401     ;DETECTA FLANCO NEGATIVO
363 223E 2D 00 20  AND  FE
364 2241 D0 F4 2237 BNE  CONTE2    ;NO SE HA DETECTADO ESPERAO
365 2243 A4 02      LDY  CMI     ;YA SE DETECTO, CUENTA MUESTRAS
366 2245 C0 1B      CPY  #1B     ;CMI-28 MUESTRAS?
367 2247 B0 06 224F BCS  CONTE2    ;SI, OK. CONTINUA DECODIFICACION
368 2249 20 58 E2  JSR  DESPER+DESP ;NO, DESPLIEGA ERROR
369 224C 4C 3F E0  JMP  INITO+DESP ;VE A INICIALIZAR TODAS LAS VARIABLES DE CONTROL
370 224F A9 00      CONTE2 LDA #400     ;INICIALIZA CMI E IDB
371 2251 85 02      STA  CMI     ;CMI=0
372 2253 85 03      STA  IDB     ;IDB=0
373 2255 4C C3 E1  JMP  ENSAMB+DESP ;VE A ENSAMBLAR BIT OMEGA
374
375
376 ;
377 ;
378 ;***** SUBROUTINAS USADAS POR EL PROGRAMA PRINCIPAL *****
379 ;
380
381
382 ;
383
384 ; _____ DESPLIEGA ERROR _____
385
386 ;
387 2258 A9 0E      DESPER LDA #40E     ;CARGA ACUMULADOR CON UNA E DE ERROR
388 225A 8D 00 60      STA  P52     ;DESPLIEGA UNA E POR EL DIG4.
389 225D 8D 00 80      STA  P53     ;DESPLIEGA UNA E POR EL DIG8.
390 2260 A9 1E      LDA  #1E     ;
391 2262 8D 00 60      STA  P52     ;DESPLIEGA UNA E POR EL DIG3.
392 2265 8D 00 80      STA  P53     ;DESPLIEGA UNA E POR EL DIG7.
393 2268 A9 2E      LDA  #2E     ;
394 226A 8D 00 60      STA  P52     ;DESPLIEGA UNA E POR EL DIG2.
395 226D 8D 00 80      STA  P53     ;DESPLIEGA UNA E POR EL DIG6.
396 2270 A9 3E      LDA  #3E     ;
397 2272 8D 00 60      STA  P52     ;DESPLIEGA UNA E POR EL DIG1.
398 2275 8D 00 80      STA  P53     ;DESPLIEGA UNA E POR EL DIG5.
399 2278 20 0B E3  JSR  RTT1SEG+DESP ;RETARDA UN SEGUNDO
400 227B 60      RTS      ;REGRESA AL PROGRAMA PRINCIPAL
401

```

```

402 227C      .PAGE
403          ;-----
404          ;
405          ; SUBROUTINA PARA MEDIR VOLTAJE DE LA BATERIA DEL OMEGAFACE
406          ;
407          ;----- CONVD -----
408          ;
409          ;
410 227C A9 01  CONVD LDA #801      ;ESPERA FLANCO POSITIVO
411 227E 2D 00 20      AND PE
412 2281 F0 F9 227C      BEQ CONVD      ;NO HA LLEGADO, SIGUE ESPERANDOLO
413 2283 8D 00 A0      STA PAD      ;YA LLEGO, GENERA PULSO DE START
414 2286 A9 08      EOC LDA #808      ;ESPERA FIN DE CONVERSION
415 2288 2D 00 20      AND PE
416 228B F0 F9 2286      BEQ EOC      ;NO HA TERMINADO, SIGUE ESPERANDO
417 228D AD 00 A0      LDA PAD      ;YA TERMINO, LEE DATO CONVERTIDO
418 2290 B5 16      STA AD      ;ALMACENA DATO EN AD
419 2292 C9 01      CMP #801     ;ES AD MAYOR O IGUAL A 17
420 2294 B0 03 2299      BCS EQUIV    ;SI, CONVIERTE DATO A DECIMAL
421 2296 4C C7 E2      JMP VISO+DESP ;NO, VISUALIZA CERO VOLTS
422 2299 18      EQUIV CLC      ;INICIALIZA BANDERA DE CARRY
423 229A C6 16      SUM DEC AD      ;DECREMENTA AD
424 229C F8      SED      ;OPERA EN DECIMAL
425 229D A5 19      LDA SML      ;CARGA ACUMULADOR CON SML
426 229F 69 97      ADC #97      ;SUMA 97 A ACUMULADOR
427 22A1 85 19      STA SML      ;GUARDA DATO EN NIBBLE BAJO DE LA SUMA
428 22A3 B0 10 22B5      BCS INCSML1  ;ES CARRY=1? SI, INCREMENTA SML1
429 22A5 A5 1A      CONTSUM LDA SML1     ;CARGA ACUMULADOR CON SML1
430 22A7 69 01      ADC #801     ;SUMA 1 A ACUMULADOR
431 22A9 B5 1A      STA SML1     ;ALMACENA SUMA EN SML1
432 22AB B0 14 22C1      BCS INCSUMH  ;C=1? SI, INCREMENTA SUMH
433 22AD D8      BORRAD CLD      ;NO, OPERA EN HEXADECIMAL
434 22AE A4 16      LDY AD      ;CARGA REGY CON AD PARA ALTERAR LA BANDERA "Z"
435 22B0 D0 E8 229A      BNE SUM      ;ES Z=1? NO,CONTINUA ADICION
436 22B2 4C C7 E2      JMP VISO+DESP ;VISUALIZA DATO CONVERTIDO
437 22B5 18      INCSML1 CLC      ;C=0
438 22B6 A5 1A      LDA SML1     ;CARGA ACUMULADOR CON SML1
439 22B8 69 01      ADC #801     ;SUMA 1 AL ACUMULADOR
440 22BA B5 1A      STA SML1     ;GUARDA SUMA EN SML1
441 22BC B0 03 22C1      BCS INCSUMH  ;C=1? SI, INCREMENTA SUMH
442 22BE 4C A5 E2      JMP CONTSUM+DESP ;CONTINUA SUMA
443 22C1 B6 1C      INCSUMH INC SUMH  ;INCREMENTA SUMH
444 22C3 18      CLC      ;INICIALIZA BANDERA DE CARRY
445 22C4 4C AD E2      JMP BORRAD+DESP ;VE Y BORRA D
446 22C7 A5 1C      VISO LDA SUMH     ;CARGA ACUMULADOR CON SUMH
447 22C9 29 0F      AND #80F    ;TOMA SOLO SU NIBBLE BAJO
448 22CB 8D 00 80      STA PS3     ;DESPLIEGAR SU VALOR
449 22CE A5 1A      LDA SML1     ;CARGA EL ACUMULADOR CON SML1
450 22D0 29 F0      AND #8F0    ;TOMA SOLO SU NIBBLE ALTO
451 22D2 4A      LSR A      ;REALIZA 4 CORRIMIENTOS A LA DERECHA SOBRE "A"
452 22D3 4A      LSR A
453 22D4 4A      LSR A
454 22D5 4A      LSR A
455 22D6 09 10      ORA #10     ;ENSAMBLA CODIGO DE DESPLIEGUE
456 22D8 8D 00 80      STA PS3     ;DESPLIEGA VALOR POR DIG7.
457

```

```

458 22DB      .PAGE
459 22DB A9 00      LDA #000      ;INICIALIZA ACUMULADOR,AD,SML,SML1,SUMH
460 22DD 85 16      STA AD        ;AD=0
461 22DF 85 19      STA SML      ;SML=0
462 22E1 85 1A      STA SML1     ;SML1=0
463 22E3 85 1C      STA SUMH     ;SUMH=0
464 22E5 60         RTS        ;REGRESA AL PROGRAMA PRINCIPAL
465
466
467      ;
468      ;
469      ;_____ SUBROUTINA PARA ENSAMBLAR LOS BITS OMEGA _____
470
471      ;
472      ;
473 22E6 A5 03      ENS10 LDA IDB      ;SE LEYO UN "1" O UN "0"?
474 22E8 29 01      AND #001
475 22EA F0 08 22F7  BEQ CORR      ;SI FUE CERO SALTA A CORR
476 22EC 46 07      LSR MECCODE   ;SI FUE "1" REALIZA UN CORRIMIENTO A LA DER
477 22EE A9 80      LDA #080      ;CARGA ACUMULADOR CON 080
478 22F0 05 07      ORA MECCODE   ;REALIZAR LA OPERACION OR CON MECCODE
479 22F2 85 07      STA MECCODE   ;ALMACENA RESULTADO EN MECCODE
480 22F4 4C F9 E2    JMP REGRESA+DESP ;SALTA A REGRESA
481 22F7 46 07      CORR LSR MECCODE ;CORRIMIENTO A LA DERECHA SOBRE MECCODE
482 22F9 60         REGRESA RTS    ;REGRESA AL PROGRAMA PRINCIPAL
483
484      ;
485      ;
486      ;
487      ;
488      ;_____ SUBROUTINAS PARA GENERAR RETARDOS _____
489
490      ;
491      ;          I. RETARDOS DE 5 MILISEGUNDOS
492      ;
493
494 22FA 08         RETSMS PHP      ;SALVA REGISTRO DE ESTADOS
495 22FB A2 00      LDX #000      ;INICIALIZA EL REGISTRO X
496 22FD EA         DELAY NOP      ;INICIA LOOPS DE RETARDOS DE 20fs
497 22FE EA         NOP
498 22FF EA         NOP
499 2300 EA         NOP
500 2301 EA         NOP
501 2302 EA         NOP
502 2303 EA         NOP
503 2304 E8        INX        ;INCREMENTA EL REGISTRO X
504 2305 00 FA      CPX #0FA    ;SON 250 LOOPS DE 20 fs?
505 2307 90 F4 22FD BCC DELAY   ;NO, CONTINUA LOOPS DE RETRASOS
506 2309 28        PLP        ;SI, RECUPERA REGISTRO DE ESTADOS
507 230A 60         RTS        ;REGRESA AL PROGRAMA PRINCIPAL
508

```

```

509 230B      .PAGE
510          ;      II. RETARDOS DE UN SEGUNDO
511
512          ;
513 230B 08    RETISEG PHP          ;SALVA REGISTRO DE ESTADOS
514 230C A0 00 LDY #00             ;INICIALIZA REGISTRO Y
515 230E 20 FA E2 LOOP1 JSR RETSMS+DESP ;RETARDA 5ms
516 2311 C8    INY                 ;INCREMENTA REGISTRO Y
517 2312 C0 B3 CPY #0B3           ;SE HAN REGISTRADO 179 LOOPS DE RETARDOS DE 5ms?
518 2314 90 F8 230E BCC LOOP1     ;NO,CONTINUA RETARDOS
519 2316 28    PLP                 ;RECUPERA REGISTRO DE ESTADOS
520 2317 60    RTS                 ;REGRESA AL PROGRAMA PRINCIPAL
521
522
523
524          ;=====
525          ;
526          ; SUBROUTINAS USADAS PARA MONITOREAR LA SENAL OMEGA SIMULADA
527          ;-----
528
529
530
531          ;      I. INDICA ESTADO ALTO DEL PULSO SIMULADO
532
533          ;
534 2318 A9 31    DESP1 LDA #031     ;DESPLIEGA UN 1 POR EL DIG1
535 231A 8D 00 60 STA PS2
536 231D A9 21    LDA #021         ;DESPLIEGA UN 1 POR EL DIG2
537 231F 8D 00 60 STA PS2
538 2322 A9 11    LDA #011         ;DESPLIEGA UN 1 POR EL DIG3
539 2324 8D 00 60 STA PS2
540 2327 A9 01    LDA #001         ;DESPLIEGA UN 1 POR EL DIG4
541 2329 8D 00 60 STA PS2
542 232C 60      RTS                 ;REGRESA AL PROGRAMA PRINCIPAL
543
544
545
546          ;      II. INDICA ESTADO BAJO DE LA SENAL
547
548
549 232D A9 30    DESP0 LDA #030     ;DESPLIEGA UN 0 POR EL DIG1
550 232F 8D 00 60 STA PS2
551 2332 A9 20    LDA #020         ;DESPLIEGA UN 0 POR EL DIG2
552 2334 8D 00 60 STA PS2
553 2337 A9 10    LDA #010         ;DESPLIEGA UN 0 POR EL DIG3
554 2339 8D 00 60 STA PS2
555 233C A9 00    LDA #000         ;DESPLIEGA UN 0 POR EL DIG4
556 233E 8D 00 60 STA PS2
557 2341 60      RTS                 ;REGRESA AL PROGRAMA PRINCIPAL
558
559

```

```

560 2342      .PAGE
561          ;=====
562          ;
563          ;_____ SUBROUTINA PARA DETECTAR FLANCO NEGATIVOS _____
564
565
566 2342 A9 01  FLANCON LDA #001      ;SE ESTA MUESTREANDO EN ALTO?
567 2344 2D 00 20      AND PE
568 2347 D0 F9 2342   BNE FLANCON      ;SI, SIGUE MUESTREANDO
569 2349 60          RTS          ;NO, REGRESA AL PROGRAMA PRINCIPAL
570
571
572          ;=====
573          ;
574          ;_____ SUBROUTINA PARA ORDENAR "BUFFER" DE DATOS _____
575
576
577
578 234A A5 05  ORDBUF LDA REFC      ;CUANTOS BITS SE HAN LEIDO?
579 234C C9 05      CMP #005      ;SE HAN LEIDO 4 BITS?
580 234E 90 31 2381   BCC ACTS1      ;SI, ACTUALIZA UNIDADES DE SECS
581 2350 C9 09      CMP #009      ;SE HAN LEIDO 8 BITS?
582 2352 90 3A 238E   BCC ACTS10     ;SI, ACTUALIZA DECENAS DE SECS
583 2354 C9 0D      CMP #00D      ;SE HAN LEIDO 12 BITS?
584 2356 90 43 239B   BCC ACTM1      ;SI, ACTUALIZA UNIDADES DE MINS
585 2358 C9 11      CMP #011      ;SE HAN LEIDO 16 BITS?
586 235A 90 4C 23A8   BCC ACTM10     ;SI, ACTUALIZA DECENAS DE MINS
587 235C C9 15      CMP #015      ;SE HAN LEIDO 20 BITS?
588 235E 90 55 23B5   BCC ACTH1      ;SI, ACTUALIZA UNIDADES DE HORAS
589 2360 C9 19      CMP #019      ;SE HAN LEIDO 24 BITS?
590 2362 90 5E 23C2   BCC ACTH10     ;SI, ACTUALIZA DECENAS DE HORAS
591 2364 C9 1D      CMP #01D      ;SE HAN LEIDO 28 BITS?
592 2366 90 67 23CF   BCC ACTD1      ;SI, ACTUALIZA UNIDADES DE DIAS
593 2368 C9 21      CMP #021      ;SE HAN LEIDO 32 BITS?
594 236A 90 70 23DC   BCC ACTD10     ;SI, ACTUALIZA DECENAS DE DIAS
595 236C C9 25      CMP #025      ;SE HAN LEIDO 36 BITS?
596 236E 90 79 23E9   BCC ACD100     ;SI, ACTUALIZA CENTENAS DE DIAS
597 2370 C9 29      CMP #029      ;SE HAN LEIDO 40 BITS?
598 2372 90 07 237B   BCC ACDMS1     ;SI,ACTUALIZA UNIDADES DE M.S
599 2374 C9 2D      CMP #02D      ;SE HAN LEIDO 44 BITS?
600 2376 90 06 237E   BCC BRINCA     ;SI, ACTUALIZA DECENAS DE M.S
601 2378 4C 12 E4     JMP ANS100+DESP ;SOM MAS DE 48 BITS LEIDOS,ACTUALIZA CENTS. DE M.S
602 237B 4C F8 E3     ACDMS1 JMP ACTMS1+DESP ;VE A ACTUALIZAR MS1
603 237E 4C 05 E4     BRINCA JMP ACDMS10+DESP ;VE A ACTUALIZAR MS10
604 2381 A5 07      ACTS1 LDA MRCODE   ;CARGA ACUMULADOR CON MRCODE
605 2383 4A          LSR A          ;SALVA DATO EN NIBBLE BAJO
606 2384 4A          LSR A
607 2385 4A          LSR A
608 2386 4A          LSR A
609 2387 09 30      ORA #030      ;ENSAMBLA CODIGO PAR DESPLINGUE
610 2389 85 08      STA S1         ;ALMACENA CODIGO EN S1
611 238B 4C 1C E4     JMP VUELVE+DESP ;REGRESA AL PROGRAMA PRINCIPAL
612
613
614
615

```

616 238E	.PAGE			
617 238E A5 07	ACTS10	LDA	MECODE	;CARGA ACUMULADOR CON MECODE
618 2390 4A		LSR	A	;SALVA DATO EN NIBBLE BAJO
619 2391 4A		LSR	A	
620 2392 4A		LSR	A	
621 2393 4A		LSR	A	
622 2394 09 20		ORA	#420	;ENSAMBLA CODIGO PARA DESPLIEGUE
623 2396 85 09		STA	S10	;ALMACENA CODIGO EN S10
624 2398 4C 1C E4		JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
625 239B A5 07	ACTM1	LDA	MECODE	;CARGA ACUMULADOR CON MECODE
626 239D 4A		LSR	A	;SALVA DATO EN NIBBLE BAJO
627 239E 4A		LSR	A	
628 239F 4A		LSR	A	
629 23A0 4A		LSR	A	
630 23A1 09 10		ORA	#410	;ENSAMBLA CODIGO DE DESPLIEGUE
631 23A3 85 0A		STA	M1	;ALMACENA CODIGO EN M1
632 23A5 4C 1C E4		JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
633 23AB A5 07	ACTM10	LDA	MECODE	;CARGA ACUMULADOR CON MECODE
634 23AA 4A		LSR	A	;SALVA DATO EN NIBBLE BAJO
635 23AB 4A		LSR	A	
636 23AC 4A		LSR	A	
637 23AD 4A		LSR	A	
638 23AE 09 00		ORA	#400	;ENSAMBLA CODIGO DE DESPLIEGUE
639 23B0 85 0B		STA	M10	;ALMACENA CODIGO EN M10
640 23B2 4C 1C E4		JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
641 23B5 A5 07	ACTH1	LDA	MECODE	;CARGA ACUMULADOR CON MECODE
642 23B7 4A		LSR	A	;SALVA DATO EN NIBBLE BAJO
643 23B8 4A		LSR	A	
644 23B9 4A		LSR	A	
645 23BA 4A		LSR	A	
646 23BB 09 30		ORA	#330	;ENSAMBLA CODIGO DE DESPLIEGUE
647 23BD 85 0C		STA	H1	;ALMACENA CODIGO EN H1
648 23BF 4C 1C E4		JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
649 23C2 A5 07	ACTH10	LDA	MECODE	;CARGA ACUMULADOR CON MECODE
650 23CA 4A		LSR	A	;SALVA DATO EN NIBBLE BAJO
651				
652 23C5 4A		LSR	A	
653 23C6 4A		LSR	A	
654 23C7 4A		LSR	A	
655 23C8 09 20		ORA	#420	;ENSAMBLA CODIGO DE DESPLIEGUE
656 23CA 85 0D		STA	H10	;ALMACENA CODIGO EN H10
657 23CC 4C 1C E4		JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
658 23CF A5 07	ACTD1	LDA	MECODE	;CARGA ACUMULADOR CON MECODE
659 23D1 4A		LSR	A	;SALVA DATO EN NIBBLE BAJO
660 23D2 4A		LSR	A	
661 23D3 4A		LSR	A	
662 23D4 4A		LSR	A	
663 23D5 09 30		ORA	#430	;ENSAMBLA CODIGO DE DESPLIEGUE
664 23D7 85 0E		STA	D1	;ALMACENA CODIGO EN D1
665 23D9 4C 1C E4		JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
666 23DC A5 07	ACTD10	LDA	MECODE	;CARGA ACUMULADOR CON MECODE
667 23DE 4A		LSR	A	;SALVA DATO EN NIBBLE BAJO
668 23DF 4A		LSR	A	
669 23E0 4A		LSR	A	
670 23E1 4A		LSR	A	
671				

672 23E2	.PAGE		
673 23E2 09 20	ORA	#820	;ENSAMBLA CODIGO DE DESPLIEGUE
674 23E4 85 0F	STA	D10	;SALVA CODIGO EN D10
675 23E6 4C 1C E4	JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
676 23E9 A5 07	ACD100 LDA	MECODE	;CARGA ACUMULADOR CON MECODE
677 23EB 4A	LSR	A	;SALVA DATO EN NIBBLE BAJO
678 23EC 4A	LSR	A	
679 23ED 4A	LSR	A	
680 23EE 4A	LSR	A	
681 23EF 29 03	AND	#803	;SOLO ENSAMBLA LOS 2 PRIMEROS BITS
682 23F1 09 10	ORA	#810	;ENSAMBLA CODIGO DE DESPLIEGUE
683 23F3 85 10	STA	D100	;ALMACENA CODIGO EN D100
684 23F5 4C 1C E4	JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
685 23F8 A5 07	ACTNS1 LDA	MECODE	;CARGA ACUMULADOR CON MECODE
686 23FA 4A	LSR	A	;SALVA DATO EN NIBBLE BAJO
687 23FB 4A	LSR	A	
688 23FC 4A	LSR	A	
689 23FD 4A	LSR	A	
690 23FE 09 30	ORA	#830	;ENSAMBLA CODIGO DE DESPLIEGUE
691 2400 85 12	STA	NS1	;ALMACENA CODIGO EN NS1
692 2402 4C 1C E4	JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
693 2405 A5 07	ACMS10 LDA	MECODE	;CARGA ACUMULADOR CON MECODE
694 2407 4A	LSR	A	;SALVA DATO EN NIBBLE BAJO
695 2408 4A	LSR	A	
696 2409 4A	LSR	A	
697 240A 4A	LSR	A	
698 240B 09 20	ORA	#820	;ENSAMBLA CODIGO DE DESPLIEGUE
699 240D 85 13	STA	NS10	;ALMACENA CODIGO EN NS10
700 240F 4C 1C E4	JMP	VUELVE+DESP	;REGRESA AL PROGRAMA PRINCIPAL
701 2412 A5 07	AMS100 LDA	MECODE	;CARGA ACUMULADOR CON MECODE
702 2414 4A	LSR	A	;SALVA DATO EN NIBBLE BAJO
703 2415 4A	LSR	A	
704 2416 4A	LSR	A	
705 2417 4A	LSR	A	
706 2418 09 10	ORA	#810	;ENSAMBLA CODIGO DE DESPLIEGUE
707 241A 85 14	STA	NS100	;ALMACENA DATO EN NS100
708 241C A9 02	VUELVE LDA	#802	;LEE MODO DE DESPLIEGUE
709 241E 2D 00 20	AND	PE	
710 2421 F0 08 242B	BEQ	CONT9	;SI ES MODO-IA VE A CONT9
711 2423 A9 00	CONT10 LDA	#800	;NO, APAGA PUNTOS
712 2425 8D 00 40	STA	PS1	
713 2428 85 07	STA	MECODE	;MECODE=0
714 242A 60	FIN RTS		;REGRESA AL PROGRAMA PRINCIPAL
715 242B A9 01	CONT9 LDA	#801	;VERIFICA SINCRONIA
716 242D 25 1B	AND	BSINC	
717 242F D0 F2 2423	BNE	CONT10	;SINC=MALA, APAGA PUNTOS
718 2431 A9 01	LDA	#801	;SINC=BUENA, DEJA LOS PUNTOS IGUAL
719 2433 8D 00 40	STA	PS1	
720 2436 A9 00	LDA	#800	;INICIALIZA MECODE
721 2438 85 07	STA	MECODE	;MECODE=0
722 243A 4C 2A E4	JMP	FIN+DESP	;REGRESA AL PROGRAMA PRINCIPAL
723			

```

724 243D      .PAGE
725          ;
726          ;
727          ; _____ SUBROUTINA PARA DESPLEGAR DATOS _____
728          ;
729          ;
730          ;
731 243D A9 02  VISI  LDA #802      ;LEE D2 DEL PUERTO DE ENTRADA
732 243F 2D 00 20      AND PE
733 2442 F0 03 2447    BED MODIA      ;D2=0, VE A MODO-IA
734 2444 4C A2 E4      JMP MODIB+DESP ;D2=1, VE A MODO-IB
735          ;
736          ;
737          ;
738          ;
739          ;
740          ; EN ESTE MODO SE DESPLIEGAN LOS SEGUNDOS,MINUTOS Y HORAS
741          ;
742          ;
743          ;
744          ;
745 2447 A5 05  MODIA  LDA REFC      ;SON 48 BITS LEIDOS?
746 2449 C9 30      CHP #830
747 244B 80 31 247E    BCS CONT3      ;SI, VE A CONT3
748 244D A9 01      LDA #801      ;NO, DESPLIEGA PUNTOS PARA MODO-IA
749 244F 8D 00 40      STA PS1
750 2452 A5 1B      LDA BSINC      ;VERIFICA BIT DE SIMCRONIA
751 2454 29 01      AND #801
752 2456 F0 05 245D    BED ACTUAL0    ;BSINC=0, SINC. BUENA. ACTUALIZA BSINC
753 2458 A9 0B      LDA #80B      ;BSINC=1, SINC. MALA. ENCIENDE PUNTOS
754 245A 8D 00 40      STA PS1
755 245D A9 00  ACTUAL0 LDA #800      ;BORRA DIG8 NO USADO
756 245F 8D 00 80      STA PS3
757 2462 A9 10      LDA #810      ;BORRA DIG7 NO USADO
758 2464 8D 00 80      STA PS3
759 2467 A5 08      LDA S1        ;ACTUALIZA SEGUNDERO
760 2469 8D 00 60      STA PS2
761 246C A5 09      LDA S10       ;DESPLIEGA DECENAS DE SEGUNDOS
762 246E 8D 00 60      STA PS2
763 2471 A5 0A      LDA M1        ;DESPLIEGA UNIDS DE MINUTOS
764 2473 8D 00 60      STA PS2
765 2476 A5 0B      LDA M10       ;DESPIEGA DECENAS DE MINUTOS
766 2478 8D 00 60      STA PS2
767 247B 4C A1 E4      JMP CONT4+DESP ;SALTA A CONT4
768 247E A2 08  CONT3  LDX #808      ;INICIA DESPLIEGO DE CODIGO
769 2480 B5 00  LOOP   LDA #00,X     ;INICIALIZA APUNTAOR DE MEMORIA
770 2482 B6 15      INC CD        ;INCREMENTA CONTADOR DE DIGITOS
771 2484 B8          INCX          ;INCREMENTA APUNTAOR DE MEMORIAS
772 2485 A4 15      LDY CD        ;SE HAN DESPLEGADO 4 DIGITOS?
773 2487 C0 05      CFY #805     ;CD=5?
774 2489 B0 06 2491    BCS CAMP      ;SI, CAMBIA PUERTO DE DESPLIEGO
775 248B 8D 00 60      STA PS2      ;NO, DESPLIEGA CODIGO POR PUERTO 2
776 248E 4C 80 E4      JMP LOOP+DESP ;DESPLIEGA NUEVO DATO
777

```

```

778 2491          .PAGE
779 2491 A4 15    CAMP   LDY CD           ;SE HAN DESPLEGADO 6 DIGITOS?
780 2493 C0 07          CPY #007
781 2495 B0 06 249D    BCS CONT5        ;SI, TERMINA DESPLIEGUE
782 2497 8D 00 80      STA PS3        ;NO, CONTINUA DESPLIEGUE POR EL PUERTO 3
783 249A 4C 80 E4      JMP LOOP+DESP ;DESPLIEGA NUEVO DATO
784 249D A9 00          CONT5 LDA #000        ;INICIALIZA CD
785 249F 85 15          STA CD           ;CD=0
786 2AA1 60          CONT4 RTS           ;REGRESA AL PROGRAMA PRINCIPAL
787
788 ;-----
789 ;
790 ;           MODO-IB
791 ;
792 ;           EN ESTE MODO SE DESPLIEGAN EL DIA DEL AÑO
793 ;
794 ;           Y EL NUMERO DE SERIE DEL OMEGAFACE
795 ;
796 ;-----
797
798 2AA2 A5 1B          MODIB LDA BSINC        ;VERIFICA SINCRONIA
799 2AA4 29 01          AND #01
800 2AA6 F0 05 24AD    BEO BRINC4        ;SI, BSINC=0,SINCRONIA BUENA. SALTA A BRINCA
801 2AA8 A9 08          LDA #00B        ;SI, BSINC=1,SINCRONIA MALA. ENCIENDE PUNTOS
802 2AAA 8D 00 40      STA PS1
803 2AAD A5 05          BRINC4 LDA REFC        ;SE HAN LEIDO 48 BITS?
804 2AAF C9 30          CMP #030
805 2AB1 B0 03 2AB6    BCS CONT6        ;SI, DESPLIEGA DATOS
806 2AB3 4C 9D E4      JMP CONT5+DESP ;NO, REGRESA A LEER NUEVO DATO
807 2AB6 A2 0E          CONT6 LDX #00E        ;INICIALIZA APUNTADOR DE MEMORIA
808 2AB8 B5 00          CONT7 LDA #00,X
809 2ABA E6 15          INC CD           ;INCREMENTA CONTADOR DE DIGITOS
810 2ABC E8            INX           ;INCREMENTA EL APUNTADOR DE MEMORIA
811 2ABD A4 15          LDY CD           ;SE HAN DESPLEGADO 4 DIGITOS?
812 2ABF C0 05          CPY #005
813 2AC1 B0 06 2AC9    BCS CAMBIA        ;SI, CAMBIA PUERTO DE DESPLIEGUE
814 2AC3 8D 00 60      STA PS2        ;NO, CONTINUA DESPLIEGUE POR PS2
815 2AC6 4C B8 E4      JMP CONT7+DESP ;DESPLIEGA NUEVO DATO
816 2AC9 A4 15          CAMBIA LDY CD        ;SE HAN DESPLEGADO 7 DIGITOS?
817 2ACB C0 08          CPY #008
818 2ACD B0 06 2AD5    BCS CONT8        ;SI, TERMINA DESPLIEGUE
819 2ACF 8D 00 80      STA PS3        ;NO, CONTINUA DESPLIEGUE DE NUEVO DATO
820 2AD2 4C B8 E4      JMP CONT7+DESP ;SALTA A CONT7
821 2AD5 A9 00          CONT8 LDA #000        ;BORRA DIG8 NO USADO
822 2AD7 8D 00 80      STA PS3
823 2ADA 4C 9D E4      JMP CONT5+DESP ;REGRESA AL PROGRAMA PRINCIPAL
824

```

```

825 24DD      .PAGE
826          ;-----
827          ;
828          ;           MODO-II
829          ;
830          ;   EN ESTE MODO SE DESPLIEGA EL VOLTAJE DE LA BATERIA DEL
831          ;
832          ;           OMEGAFACE Y SE MONITOREA LA SENAL OMEGA SIMULADA
833          ;
834          ;-----
835
836
837 24DD A9 30  MODII LDA #430      ;DESPLIEGA CEROS
838 24DF 8D 00 60 STA PS2      ;DIG1=0
839 24E2 8D 00 80 STA PS3      ;DIG5=0
840 24E5 A9 20 LDA #420
841 24E7 8D 00 60 STA PS2      ;DIG2=0
842 24EA 8D 00 80 STA PS3      ;DIG6=0
843 24ED A9 10 LDA #410
844 24EF 8D 00 60 STA PS2      ;DIG3=0
845 24F2 A9 00 LDA #400
846 24F4 8D 00 60 STA PS2      ;DIG4=0
847 24F7 85 08 STA SI      ;SI=0
848 24F9 85 17 STA COMTS    ;COMTS=0
849 24FB A9 08 LDA #408      ;DESPLIEGA PUNTO DECIMAL PARA VOLTS
850 24FD 8D 00 40 STA PS1
851 2500 A9 0C LDA #40C      ;COMIENZA A GENERAR SENAL OMEGA SIMULADA
852 2502 8D 00 40 STA PS1
853 2505 20 18 E3 JSR DESPI+DESP ;DESPLIEGA ALTO POR PS2
854 2508 20 7C E2 JSR CONVAD+DESP ;REALIZA PRIMERA MEDICION DE AMPLITUD DE PULSO
855 250B 20 0B E3 JSR RETISEG+DESP ;RETRASA 1 SEGUNDO
856 250E A9 08 LDA #408      ;TERMINA PRIMER PULSO SIMULADO
857 2510 8D 00 40 STA PS1
858 2513 20 2D E3 JSR DESPO+DESP ;DESPLIEGA BAJO POR PS2
859 2516 A0 00 LDY #400
860 2518 20 FA E2 LOOP2 JSR RETSMS+DESP ;RATRASA 5 MILLISEGUNDOS
861 251B C8 INY
862 251C C0 31 CPY #431
863 251E 90 F8 2518 BCC LOOP2 ;NO, CONTINUA LOOPS DE RETRASOS
864 2520 A9 0C LDA #40C
865 2522 8D 00 40 STA PS1
866 2525 20 18 E3 JSR DESPI+DESP ;DESPLIEGA ALTO POR PS2
867 2528 20 7C E2 JSR CONVAD+DESP ;REALIZAR SEGUNDA MEDICION DE AMPLITUD DE PULSO
868 252B 20 0B E3 JSR RETISEG+DESP ;RETRASA UN SEGUNDO
869 252E A9 08 LDA #408
870 2530 8D 00 40 STA PS1
871 2533 20 2D E3 JSR DESPO+DESP ;DESPLIEGA BAJO POR PS2
872 2536 A9 04 LDA #404
873 2538 2D 00 20 AND PE
874 253B D0 03 2540 BNE BRINCI ;SI, CONTINUA GENERANDO SENAL OMEGA
875 253D 4C 9B E5 JMP BRINC2+DESP ;NO, REGRESA AL PROGRAMA PRINCIPAL
876 2540 20 7C E2 BRINCI JSR CONVAD+DESP ;REALIZA TERCERA MEDICION DE AMPLITUD DE PULSO
877 2543 20 0B E3 JSR RETISEG+DESP ;RETRASA UN SEGUNDO
878 2546 A0 00 LDY #400
879
880

```

```

881 2548          .PAGE
882 2548 20 FA E2 LOOP3 JSR RETSMS+DESP ;RETRTASA SMS
883 2548 C8        INY          ;INCREMENTA REG.Y
884 254C C0 64    CPY #464      ;SE HAN REGISTRADO 100 RETRASOS DE 5 MS?
885 254E 90 F8 2548 BCC LOOP3    ;NO, CONTINUA LOOPS DE RETRASOS
886 2550 A9 0C    LDA #0C       ;SI, GENERA FLANCO POSITIVO DEL TERCER PULSO
887 2552 8D 00 40 STA PS1
888 2555 20 18 E3 JSR DESPI+DESP ;DESPLIEGA ALTO POR PS2
889 2558 20 7C E2 JSR COMVAD+DESP ;REALIZA CUARTA MEDICION DE AMPLITUD DE PULSO
890 255B 20 0B E3 JSR RETISEG+DESP ;RETRASA UN SEGUNDO
891 255E A9 08    LDA #08       ;TERMINA TERCER PULSO
892 2560 8D 00 40 STA PS1
893 2563 20 2D E3 JSR DESPO+DESP ;DESPLIEGA BAJO POR PS2
894 2566 A0 00    LDY #00       ;INICIALIZA REG.Y
895 2568 20 FA E2 LOOP4 JSR RETSMS+DESF ;COMIENZA RETRASOS DE SMS
896 2568 C8        INY          ;INCREMENTA REG.Y
897 256C C0 31    CPY #831      ;SE HAN REGISTRADO 49 RETRASOS DE 5 MS?
898 256E 90 F8 2568 BCC LOOP4    ;NO, CONTINUA LOOPS DE RETRASOS
899 2570 A9 0C    LDA #0C       ;SI, COMIENZA A GENERAR CUARTO PULSO SIMULADO
900 2572 8D 00 40 STA PS1
901 2575 20 18 E3 JSR DESPI+DESP ;DESPLIEGA ALTO POR PS2
902 2578 20 7C E2 JSR COMVAD+DESP ;REALIZA QUINTA MEDICION DE AMPLITUD DE PULSO
903 257B 20 0B E3 JSR RETISEG+DESP ;RETRASA 1 SEGUNDO
904 257E A9 08    LDA #08       ;TERMINA CUARTO PULSO SIMULADO
905 2580 8D 00 40 STA PS1
906 2583 20 2D E3 JSR DESPO+DESP ;DESPLIEGA BAJO POR PS2
907 2586 A9 04    LDA #04       ;SIGUE MODO-II HABILITADO?
908 2588 2D 00 20 AND PE
909 258B F0 0E 259B BEQ BRINC2   ;NO, REGRESA AL PROGRAMA PRINCIPAL
910 258D 20 7C E2 JSR COMVAD+DESP ;SI, REALIZA QUINTA MEDICION DE AMPLITUD DE PULSO
911 2590 20 0B E3 LOOP5 JSR RETISEG+DESP ;COMIENZA RETARDOS DE UN SEGUNDO
912 2593 E6 17    INC COMTS    ;INCREMENTA COMTS
913 2595 A4 17    LDY COMTS    ;SON 4 RETARDOS DE 1 SEGUNDOS?
914 2597 C0 04    CPY #04       ;
915 2599 90 F5 2590 BCC LOOPS    ;NO, SIGUE LOOPS DE RETARDOS
916 259B 4C 3F E0 BRINC2 JMP INITO+DESP ;REGRESA AL PROGRAMA PRINCIPAL
917 259E          .END

```

ERRORS = 0000

```

ACD100 23E9 ACN0S1 237B ACN510 2405 ACTD1 23CF
ACTD10 23DC ACTH1 23B5 ACTH10 23C2 ACTM1 239B
ACTH10 23AB ACTNS1 23F8 ACTS1 2381 ACTS10 238E
ACTUAL 245D AD 0016 ANS100 2412 ENULO 0011
BORRAD 22AD BRINC1 2540 BRINC2 259B BRINCA 24AD
BRINCA 237E BSINC 001B CAMDIA 24C9 CAMP 2491
CBCD 0006 CBS 0004 CD 0015 CHECH1 2107
CH 0000 CHH 0002 CHL 0001 COHT0 2184
CONT1 21BB CONT10 2423 CONT11 21F1 COMT2 224F
CONT3 247E CONT4 24A1 COMT5 249D COMT6 24B6
COMT7 24B8 COMT8 24D5 COMT9 242B COMTE2 2237
COMTED 2191 COMTS 0017 COMTSE 2210 COMTSU 22A5
COMVAD 227C CORR 22F7 D1 000E D10 000F
D100 0010 DELAY 22FD DESP C000 DESPO 232D
DESP1 2318 DESPER 2258 ENS10 22E6 ENSAMB 21C3
FOC 2296 EO11V 2299 ESFSIN 2075 FIN 242A

```

FLANCO	2342	H1	000C	H10	000D	IDB	0003
INCSEC	21E7	INCSHL	22B5	INCSUM	22C1	IMITO	203F
LEEB	21E4	LIMP1	20E6	LIMP2	2119	LIMP3	212A
LIMPIA	20CA	LOOP	2480	LOOP1	230E	LOOP2	2518
LOOP3	2548	LOOP4	2568	LOOP5	2590	M1	000A
H10	000B	MDCODE	0007	MODIA	2447	MODIB	24A2
MODII	24DD	MJESHO	222D	MJESTH	2187	MJESTL	2154
NS1	0012	NS10	0013	NS100	0014	ORDBUF	234A
ORDENA	2217	PAD	A000	PE	2000	PS1	4000
PS2	6000	PS3	8000	RECTO	21AD	REPC	0005
REGRES	22F9	RETISE	230B	RETSMS	22FA	RETA	207C
REVISI	2221	RSINC	2203	S1	0008	S10	0009
SALT1	213E	SALT2	20B3	SALTA	20E3	SALTAR	20C7
SIGUI	2095	SLIMP	213B	SHL	0019	SHL1	001A
SUH	229A	SUMH	001C	TERMIN	21FB	VERIF	2176
VERM3	206B	VISO	22C7	VISI	243D	VUOLVE	241C