

201/101



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

MONITOR EN TIEMPO REAL PARA UNA
LECTORA DE DATOS SISMICOS
DIGITALES

TESIS PROFESIONAL

Que Para Obtener el Titulo de:
ING. MECANICO ELECTRICISTA
AREA ELECTRONICA

P r e s e n t a :
GABRIELA SOLIS RODRIGUEZ

México, D.F.

1988



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

"MONITOR EN TIEMPO REAL PARA UNA
LECTORA DE DATOS SISMICOS DIGITALES"

Indice

I.- INTRODUCCION.

II.- DESCRIPCION GENERAL.

- 2.1 Diagrama funcional del sistema.
- 2.2 Formato y codificación de datos.
- 2.3 Bus interno de la lectora SMR-104.

III.- CIRCUITOS ELECTRONICOS DEL MONITOR.

- 3.1 Diagrama de bloques.
- 3.2 Microprocesador.
- 3.3 Decodificador y mapa de memorias.
- 3.4 Interfaz SMR-104 al microprocesador.
- 3.5 Circuitos para despliegue de datos.
- 3.6 Panel de control
- 3.7 Fuente de alimentación.

IV.- PROGRAMACION DEL MICROPROCESADOR.

V.- RESULTADOS Y CONCLUSIONES.

VI.- REFERENCIA BIBLIOGRAFICA.

ANEXO 1 - LISTADO DE COMPONENTES.

ANEXO 2 - ESPECIFICACIONES TECNICAS

ANEXO 3 - LISTADO DEL PROGRAMA

1.-INTRODUCCION

El Instituto de Ingeniería cuenta con una vasta red acelerográfica compuesta de más de 150 estaciones ubicadas en las principales zonas sísmicas de la República Mexicana como son los estados de Guerrero, Oaxaca, Chiapas, Michoacán y D.F.. Mediante esta red se obtienen los datos que hacen posible el estudio de los sismos y la respuesta de suelos y estructuras.

El registro de los eventos sísmicos se realiza mediante acelerómetros digitales, entre otros, los modelos DCA-310 y DCA-333 de Terra Technology. Estos aparatos convierten la señal analógica de los sensores a palabras digitales de 12 bits, serializan los datos y los almacenan junto con referencias de tiempo y datos auxiliares en cinta magnética.

Cuentan con un detector de eventos ajustable, que compara el nivel de la señal con un umbral de referencia prefijado de acuerdo a las características del lugar. Cuando se satisface el criterio de disparo, el instrumento enciende la unidad de grabación y comienza a registrar los datos almacenados en una memoria de preevento o circuito de retardo en cassette, asegurando de esta manera el registro del inicio del evento.

Posterior a su recolección, los cassettes son llevados al laboratorio del Instituto de Ingeniería. Allí la información es reproducida y transferida a una computadora para su decodificación, evaluación y localización de los eventos. Debido a la cantidad de registros que se obtienen, este proceso es muy laborioso y tardado y forma un cuello de botella en el proceso de lectura, análisis y procesamiento de la información.

Para simplificar y agilizar este proceso se consideró conveniente desarrollar un circuito monitor en tiempo real que procesara y visualizara la información contenida en el cassette y facilitara la identificación y análisis de los registros.

La descripción del aparato diseñado es el tema del presente trabajo.

En el capítulo 2 se describe la arquitectura de la lectora SMR-104, utilizada para reproducir los datos de los cassettes, su interconexión con el monitor en tiempo real, así como el formato y codificación de los datos. Posteriormente, en el capítulo 3, se analizan y describen los circuitos electrónicos del monitor desarrollado y en el capítulo 4 se presenta la programación asociada del microprocesador. Finalmente en el capítulo 5 se presentan los resultados y conclusiones. Como referencia al final del trabajo se presentan las especificaciones técnicas del monitor, listados del programa y lista de componentes electrónicos utilizadas.

II.- DESCRIPCION GENERAL.

2.1 DIAGRAMA FUNCIONAL DEL SISTEMA.

Para procesar en tiempo real la información proveniente de la reproductora de datos SMR-104, el monitor debe primero leer estos datos. Dado que la reproductora no cuenta con un puerto especial para este propósito, fue necesario analizar su arquitectura y operación interna para localizar el punto de interconexión para la transferencia de los datos al monitor.

A continuación se describe en forma general la operación del SMR-104 y su interconexión al monitor basandose en el diagrama funcional simplificado de la fig 2.1.1.

La entrada de datos a la reproductora SMR-104 puede ser de dos formas: a través de una cinta magnetica tipo cassette o en forma directa desde el acelerógrafo mismo, a través de un cable y conector TCU. En ambos casos los datos vienen multiplexados y codificados en forma serial.

El SMR detecta y procesa los datos y los transfiere a los distintos dispositivos de salida como son el graficador de punta caliente y la interfaz RS-232. Esta comunicación se lleva a cabo a través de un bus paralelo interno que llamamos bus SMR. De este bus se derivó una salida especial hacia el circuito monitor.

Los datos del bus están a su vez multiplexados y tienen la información convertida a palabras digitales de la aceleración de los tres canales junto con datos adicionales.

El monitor lee estos datos del bus, los decodifica y procesa en tiempo real, y los visualiza en forma numérica. Los datos que despliega son: la fecha y hora de ocurrencia del sismo, No. de evento, No. de serie del aparato registrador y las tres componentes de aceleración.

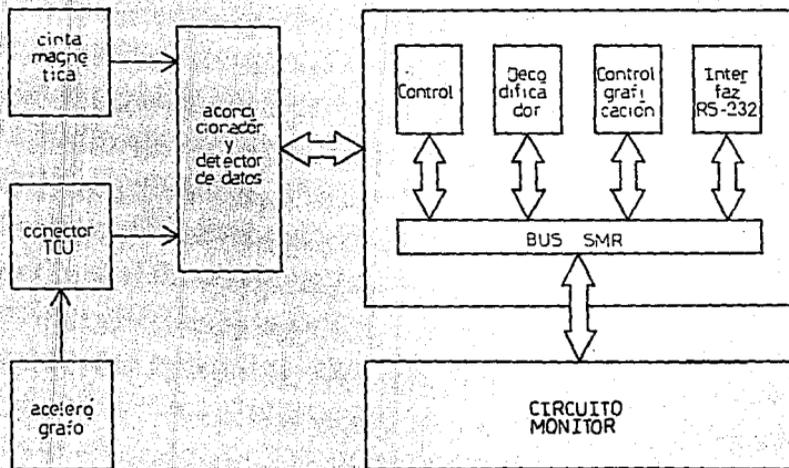


Fig 211-Diagrama funcional del SMR-104 e interconexión con el circuito monitor.

2.2 FORMATO Y CODIFICACION DE DATOS.

Las señales analógicas de aceleración de los tres canales son convertidas por los acelerógrafos a palabras digitales de 12 bits, mediante la relación de la tabla 2.2.1. En ella la aceleración está dada en términos de la escala completa (EC) del acelerómetro expresado en g's, siendo g la aceleración de la gravedad.

Dado que las señales de aceleración son bipolares, en la representación binaria el bit más significativo indica el signo, "1" para señales negativas y "0" para señales positivas. Es decir, el código es binario con un desplazamiento de 2048 cuentas.

aceleración (en g's)	representación hexadecimal	representación decimal	representación binaria
-E.C.	FFF	4095	1111 1111 1111
-1/2 E.C.	C00	3072	1010 0000 0000
0	800	2048	1000 0000 0000
+1/2 E.C.	400	1024	0010 0000 0000
+ E.C.	000	0	0000 0000 0000

Tabla 2.2.1.

Las muestras digitales de aceleración de los tres canales son multiplexadas con los datos adicionales en un bloque de información de 48 bits mostrado en la fig 2.2.1.

Cada bloque consiste de 4 bits de sincronía (SYNC); 12 bits con la muestra del canal 3, 4 bits para el bus BCD, 12 bits con la muestra del canal 2, 4 bits para el bus AUX y 12 bits con la muestra del canal 1.

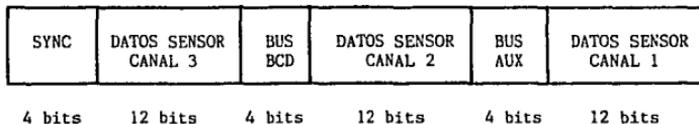


Fig 2.2.1 Bloque de información correspondiente a una muestra de 3 canales

Un registro completo de un segundo, para una velocidad de muestreo de 100 muestras por segundo, consiste por lo tanto de 100 bloques de información, fig 2.2.2.

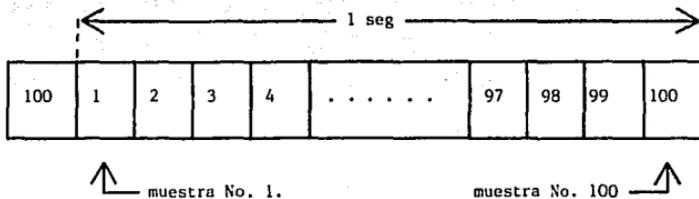


Fig 2.2.2.

Los 4 bits de sincronía son utilizados por la reproductora para sincronizar muestra a muestra el proceso de decodificación al flujo de datos leídos del cassette.

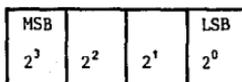


Fig 2.2.3 - Bus BCD.

Los 4 bits del bus BCD se muestran en la fig 2.2.3. En este bus se multiplexa y codifica la información complementaria del registro como la fecha y hora del evento, No. de serie del aparato registrador, ganancia y No. de evento. La codificación de los datos en este bus se detalla en la tabla 2.2.2. A cada bloque de información se le asocia una palabra en código BCD que, dependiendo del No. del bloque, representa un dato de la información complementaria. La 1er palabra BCD, en este caso las unidades de la hora, se encuentra en el bloque o muestra No. 1 al inicio de un nuevo segundo; el contenido del bus BCD en la 2da. muestra son las decenas del segundo, en la 3era. las decenas de minuto, y así sucesivamente.

No. del bloque de información	descripción del dato BCD asociado
1	horas - unidades
2	segundos - decenas
3	minutos - decenas
4	horas - decenas
5	segundos - unidades
6	minutos - unidades
7	días - centenas
8	días - decenas
9	días - unidades
10	num. de serie - unidades
11	ganancia 1
12	ganancia 2
13	num. de serie - decenas
14	num. de serie - centenas
15	contador de eventos - decenas
16	contador de eventos - unidades
17	sin uso
.	"
.	"
100	"

Tabla 2.2.2- Codificación del bus BCD.

Por último, los 4 bits del bus AUX se muestran en la figura 2.2.4. En forma similar al bus BCD, cada muestra contiene en el bus AUX la información codificada de la ganancia de los amplificadores, el pulso interno del segundo (PPS) y el pulso de referencia externa (para una señal de tiempo adicional como WWV, OMEGA, etc.). La ganancia, salvo en ciertos equipos especiales con control automático de ganancia, es irrelevante para el monitor.

El bit correspondiente al pulso por segundo (1 PPS) será "1", sólo durante la muestra No. 100 y será la referencia para decodificar el bus BCD.

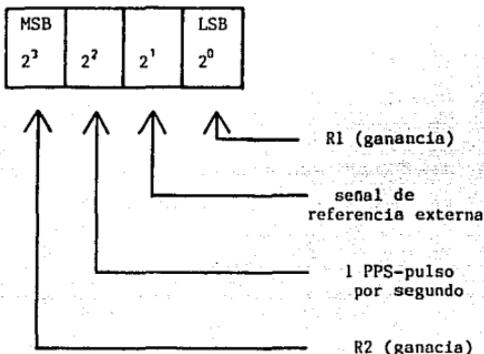


Figura 2.2.4 Bus AUX

A continuación en las figuras 2.2.5 y 2.2.6 se presenta un ejemplo de un registro y la decodificación de los buses AUX y BCD. Como se verá más adelante, este proceso de decodificación se lleva a cabo cada segundo por un programa del monitor.

bus
AUX
donde
1PPS=1

canal 1		canal 2		canal 3	
bus AUX	muestra	bus BCD	muestra	bus SYNC	muestra
1001	01111111010	1111	01111111011	1010	01111111100
1001	01111111100	1111	01111111010	1100	01111111100
1001	01111111100	1111	01111111011	1100	01111111010
1101	01111111010	0000	01111111100	1010	01111111010
1001	01111111010	0110	01111111100	1010	01111111100
1001	01111111100	0001	01111111010	1100	01111111100
1001	01111111100	0011	01111111100	1100	01111111011
1001	01111111010	0001	01111111011	1010	01111111010
1001	01111111010	0101	01111111100	1010	01111101011
1001	01111111100	0000	01111111011	1100	01111111010
1001	01111111010	0001	01111111100	1010	01111111100
1001	01111111100	1001	01111111010	1100	01111111011
1001	01111111100	0110	01111111011	1100	01111111100
1001	01111111011	0101	01111111100	1011	01111111100
1001	01111111011	0011	01111111101	1011	01111111011
1001	01111111100	0000	01111111100	1100	01111111010
1001	01111111011	0011	01111111100	1011	01111111011
1001	01111111100	0001	01111111011	1100	01111111100
1001	01111111011	0000	01111111101	1011	01111111101
1001	01111111101	0010	01111111101	1101	01111111100
1001	01111111100	1111	01111111011	1100	01111111011
1001	01111111100	1111	01111111011	1100	01111111100
1001	01111111100	1111	01111111100	1100	01111111101
1001	01111111100	1111	01111111101	1100	01111111011
1001	01111111100	1111	01111111011	1100	01111111011

Fig 2.2.5 Ejemplo de un registro y la decodificación del bus BCD.

Palabra	BCD	Dec.	Parámetro	
1	0110	6	H	
2	0001	1	S X 10	Dato decodificado:
3	0011	3	M X 10	
4	0001	1	H X 10	día: 196
5	0101	5	S	hora: 16:30:15
6	0000	0	M	No. serie: 135
7	0001	1	D X 100	No. evento: 02
8	1001	9	D X 10	
9	0110	6	D	
10	0101	5	SN	
11	0000	0	G1	
12	0000	0	G2	
13	0011	3	NS X 10	
14	0001	1	NS X 100	
15	0000	0	CE X 10	
16	0010	2	CE	

Fig-2.2.6-Decodificación de los datos del registro de la fig 2.2.5

2.3 BUS INTERNO DE LA LECTORA SMR-104.

A continuación se detallan las señales del bus SMR. Está formado por 19 líneas paralelas con señales TTL estándar, 12 para la aceleración de cada canal, 4 para los buses SYNC, BCD y AUX y 3 de control MAJ1, MAJ2 y MAJ3.

En la fig 2.3.1 se muestra el diagrama de tiempos del bus SMR y de las señales de control.

Los pulsos MAJ tienen una duración de 1.1 ms. y se presentan cada 10 ms (100 muestras/seg). Se observa, que al pasar el pulso MAJ1 a su nivel alto, en el bus de datos están presentes la muestra de aceleración del canal 1 y los datos del bus AUX; al subir el pulso MAJ2, indica que en el bus de datos están presentes la muestra de aceleración del canal 2 y los datos del bus BCD. Finalmente el pulso MAJ3 indica que en el bus de datos están presentes las muestras de aceleración del canal 3 y los datos del bus de SYNC.

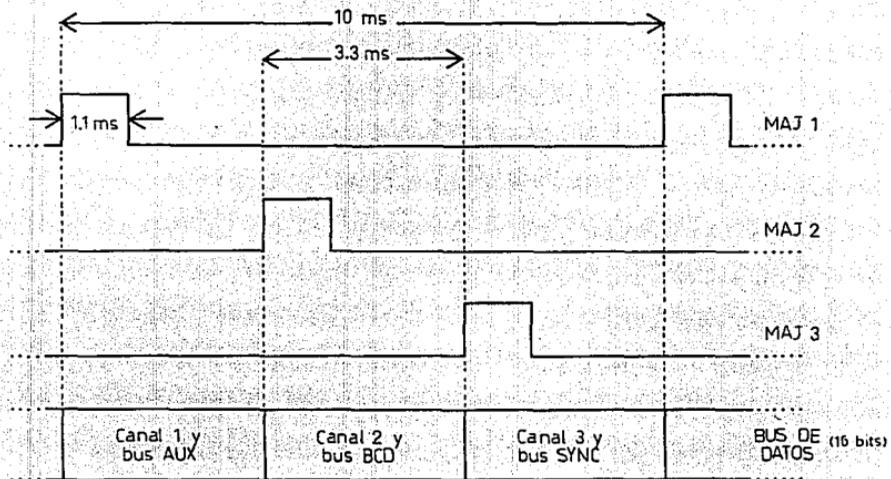


Fig. 231 - Diagrama de tiempos de las señales de control

III.- CIRCUITOS ELECTRONICOS DEL MONITOR.

3.1 DIAGRAMA DE BLOQUES.

El diagrama de bloques del monitor se muestra en la fig 3.1.1. Está basado en un microprocesador que controla distintos circuitos, entre ellos, la interfaz al bus del SMR-104 para la captura de datos, el circuito de despliegue y el panel de control. La intercomunicación se lleva a cabo mediante un bus bidireccional de datos (D0 - D7), uno de direcciones (A0 - A15), y un bus de control.

A continuación se describirán cada uno de los circuitos que integran el monitor. En ellos, las componentes se identifican sólo por un número; la lista de componentes detallada se presenta en el anexo 1.

3.2 - MICROPROCESADOR.

El microprocesador utilizado es un circuito integrado VLSI 6502 que trabaja a una frecuencia de 1 MHz. Tiene un bus de datos bidireccional de 8 bits y uno de direcciones de 16 bits. Las principales señales de control utilizadas son la del Reset (RES), la del reloj ϕ_0 y la de lectura y escritura (R/W).

En la fig 3.2.1 se muestra la interconexión del microprocesador (IC1) con las memorias RAM y EPROM y el circuito decodificador de direcciones.

La memoria RAM IC3 de lectura-escritura, tiene una capacidad de 2 Kbytes y es habilitada con la señal de selección K0, activa en el rango de direcciones \$0000 - \$1FFF.

El circuito de memoria permanente EPROM, también es de 2 Kbytes; IC4 es activado con la señal de selección K7 del decodificador en el rango de direcciones \$E000 - \$FFFF.

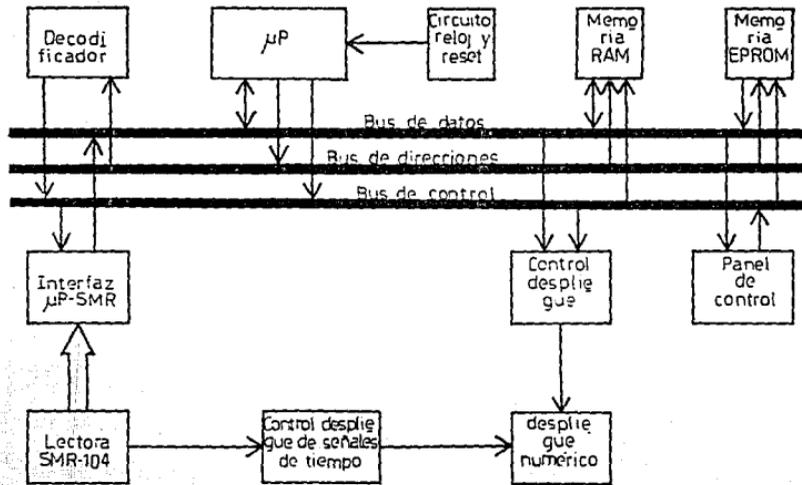


Fig.3.1.1-Diagrama de bloques del circuito monitor

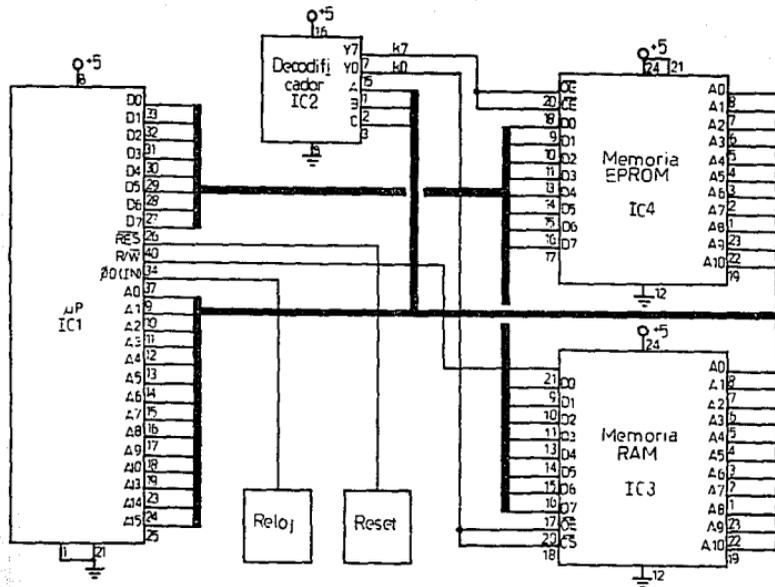


Fig.3.21- Interconexión microprocesador - decodificador - memorias RAM y EPROM

Los circuitos de reloj y reset del microprocesador se muestran en la fig 3.2.2. El circuito del reset está diseñado con un timer 555 (IC11) trabajando en modo monoestable. Este circuito genera un pulso bajo en forma automática, cada vez que el sistema recibe alimentación o cuando se actúa el switch SW4. En el instante en que se alimenta el circuito, el capacitor de 1 uF se encuentra descargado y la salida del timer se pone en alto. El capacitor comienza a cargarse a través de la resistencia de 120k y cuando su nivel alcanza 2/3 Vcc, el circuito conmuta y la salida baja. El pulso generado se invierte con IC16 antes de llegar al microprocesador. Con los valores escogidos, la duración del pulso es aproximadamente 100 ms.

La base de tiempo del sistema es un circuito oscilador a base de un cristal de 1 MHz.

Dado que en el circuito monitor no se emplean interrupciones, \overline{IRQ} y \overline{NMI} quedaron fijas a Vcc.

3.3-DECODIFICADOR DE DIRECCIONES Y MAPA DE MEMORIAS.

El microprocesador, con sus 16 líneas de dirección A0 - A15, permite direccionar 64 K bytes de memoria.

El diagrama del circuito decodificador (IC2) se muestra en la fig 3.3.1.

A partir de las tres líneas de dirección A13, A14 y A15, se decodifican ocho bloques de memoria de 8 k bytes cada uno. Las señales Y0 a Y7 forman las líneas de selección para cada uno de los circuitos del monitor. De las 8 señales, solo se emplean 5, identificadas como K0, K1, K2, K3 y K7.

El mapa de memoria correspondiente al circuito se da en la tabla 3.3.1.

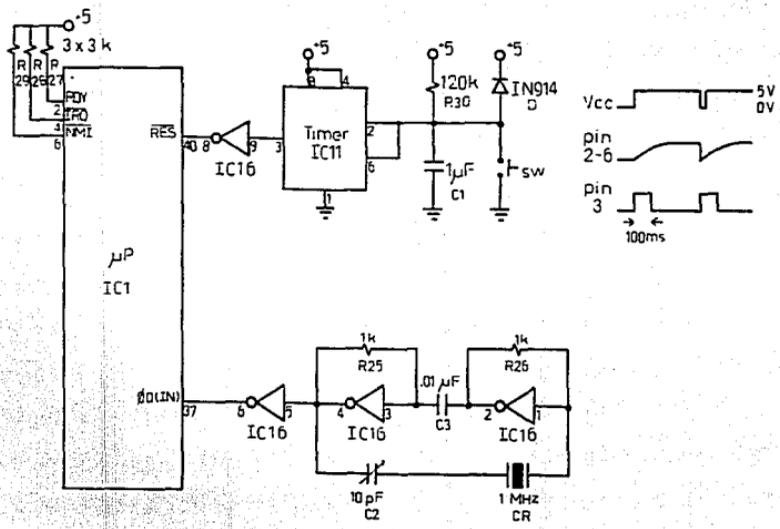


Fig.3.2.2-Circuitos de reloj y de reset para el micropro- cesador

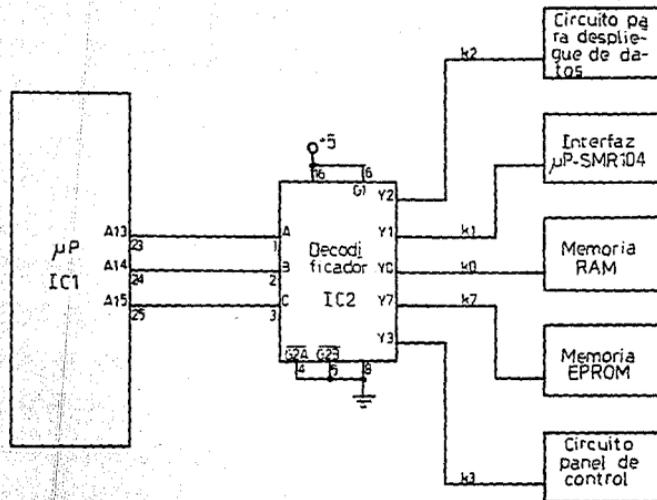


Fig.3.3.1-Circuito decodificador

rango de direccionamiento	direcciones					señales de selección K0 K2 K4 K6 K1 K3 K5 K7
(hexadecimal)	A15	A14	A13	A12	... A0	D S S R V R W I E A I I I N P M A V T U R O E C U R H S M S E O S
0000 - 1FFF (8 k)	0	0	0	*	... *	0 1 1 1 1 1 1 1
2000 - 3FFF (8 k)	0	0	1	*	... *	1 0 1 1 1 1 1 1
4000 - 5FFF (8 k)	0	1	0	*	... *	1 1 0 1 1 1 1 1
6000 - 7FFF (8 k)	0	1	1	*	... *	1 1 1 0 1 1 1 1
8000 - 9FFF (8 k)	1	0	0	*	... *	1 1 1 1 0 1 1 1
A000 - BFFF (8 k)	1	0	1	*	... *	1 1 1 1 1 0 1 1
C000 - DFFF (8 k)	1	1	0	*	... *	1 1 1 1 1 1 0 1
E000 - FFFF (8 k)	1	1	1	*	... *	1 1 1 1 1 1 1 0

*don't care

Tabla 3.3.1 - Mapa de memoria.

3.4.- INTERFAZ SMR-104 AL MICROPROCESADOR.

La interconexión SMR-104 con el microprocesador, para la captura de datos de la lectora, se realiza mediante un adaptador periférico paralelo 6522 (IC5) fig 3.4.1. Este circuito integrado tiene 2 puertos direccionables PA y PB de 8 bits cada uno, y líneas de control. A través de los dos puertos configurados como entradas, se leen las muestras de aceleración de 12 bits y su correspondiente bus. Las líneas CA1, CA2 y CB1 detectan las señales de control MAJ1, MAJ2 y MAJ3 que se describieron en el capítulo 2.

IC5 se habilita con la señal de selección K1, activa en el rango de direcciones \$2000 - \$3FFF. Los registros internos de IC5 se direccionan mediante las líneas RS1 - RS3 como se muestra en la siguiente tabla.

La interconexión SMR-104 al microprocesador se hizo a través de un cable-cinta detallado en la fig 3.4.2.

Líneas de direcciones						dirección. (hex)	registro
A15	A13	A12	...	A4	A2 A0		
0	0	1	*	...	* 0 0 0 0	2000	ORB - registro de salida puerto B
0	0	1	*	...	* 0 0 0 1	2001	ORA - registro de salida puerto A
0	0	1	*	...	* 0 0 1 0	2002	DDRA -registro de dirección de datos puerto B.
0	0	1	*	...	* 0 0 1 1	2003	DDR B -registro de dirección de datos puerto A.
0	0	1	*	...	* 1 1 0 0	200C	PCR - registro control del programa
0	0	1	*	...	* 1 1 0 1	200D	IFR - registro banderas de control de interrupción

* don't care.

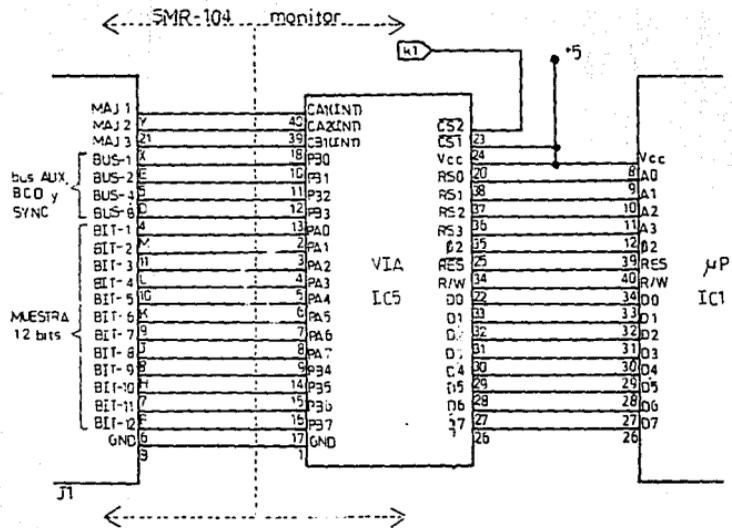


Fig.3.4.1-Interfaz SMR 104 - microprocesador

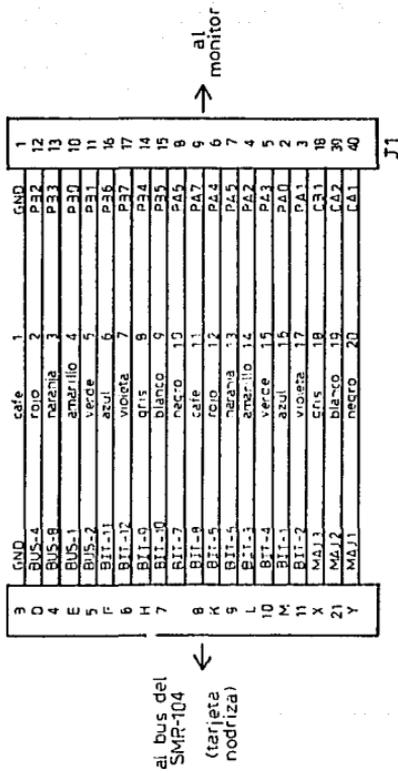


Fig.3.4.2- Cable cinta de la interfaz SMR104- monitor

3.5.- CIRCUITO PARA DESPLIEGUE DE DATOS.

Los diagramas del circuito para despliegue de datos se muestran en las figs 3.5.1. y 3.5.2. Las señales de las líneas del bus de datos (D0 - D7), las de direcciones (A0 - A2 y A4 - A5) y la línea R/W, acoplan al microprocesador a los impulsores IC6 e IC7 (ICM7218C) a través de 2 memorias pasajeras IC8 e IC9 (74HCT244), habilitadas por la línea K2 del decodificador.

Los drivers IC6 y IC7 tienen dos líneas de control, la línea de escritura R/W y la línea de selección del código con que se va a desplegar la información, 4 líneas para los datos a desplegar (D0 - D3 para el driver A y D4 - D7 para el driver B), 3 líneas (A0 - A3) para la selección del dígito y una entrada independiente para el punto decimal (A4 y A5).

Los drivers utilizados en el despliegue de información, contienen una memoria estática de 8 x 8 Kbytes para almacenar la información desplegada, 2 decodificadores de 7 segmentos y un circuito multiplexor.

Cada driver maneja 8 dígitos con LED'S de 7 segmentos, obteniéndose en total, un despliegue numérico de 16 dígitos. Las 4 líneas para los datos de entrada al driver A, están conectadas a la parte baja del bus de datos y las 4 líneas para los datos de entrada al driver B, a la parte alta. Las líneas para los puntos decimales de los displays en ambos drivers son manejados por las líneas de direcciones A4 y A5.

De esta manera el formato para la escritura al visualizador queda como el mostrado en la fig 3.5.3.

En las fig 3.5.4 y 3.5.5 se muestran los diagramas de los circuitos de despliegue. Cada driver controla 8 displays (displays A y B) a través de un bus de dígitos y un bus de segmentos. El punto decimal de todos los displays son manejados también por los drivers, con excepción de los puntos correspondientes a los displays 8A y 8B, que despliegan el pulso externo y el pulso por segundo.

A continuación se resume la operación del visualizador mediante la tabla 3.5.1.

Los drivers se habilitan con la línea K2 del decodificador (direcciones de la \$4000 a la \$5FFF). Con las líneas de direcciones A0, A1 y A2 se selecciona el dígito deseado, y con A4 y A5 se manda información para los puntos decimales de los displays A y B, respectivamente. Así, si mandamos la dirección \$4000, se seleccionarán los displays 1A y 1B y sus puntos decimales estarán prendidos. Si se manda la dirección \$4010, se seleccionan los displays 1A y 1B, el punto decimal del display A estará apagado y el del display B prendido.

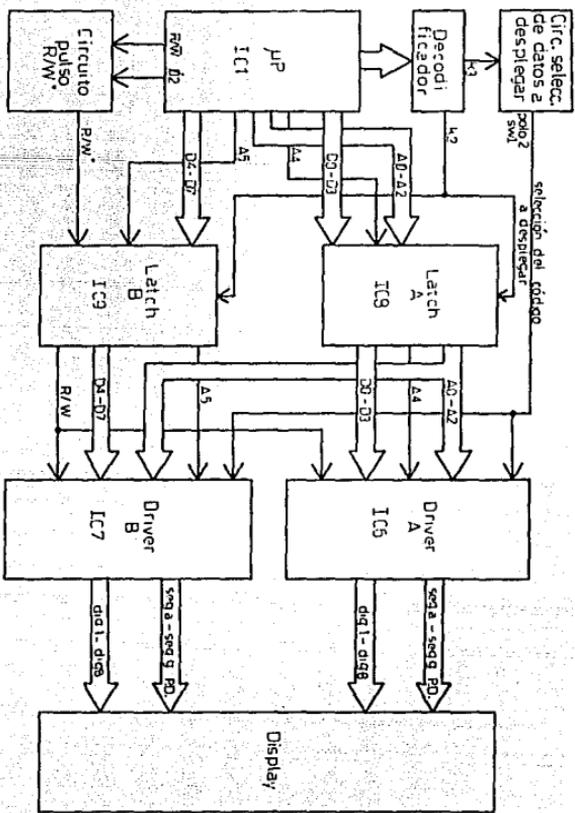


Fig. 3.5.1. Diagrama de bloques interconexión microprocesador - visualizador

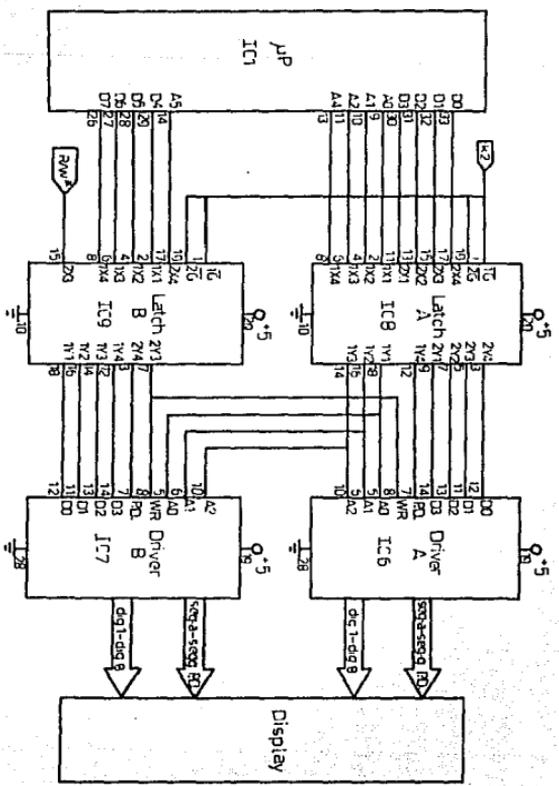
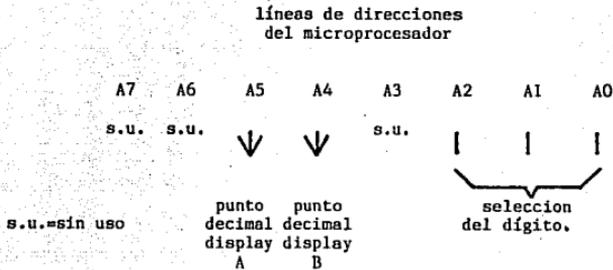


Fig. 3.5.2. Circuito microprocesador - drivers

a) bus de direcciones



b) bus de datos

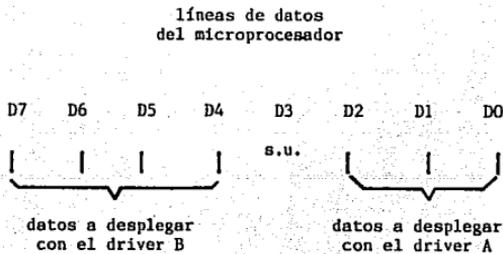


Fig. 3.5.3-Formato para escritura al visualizador

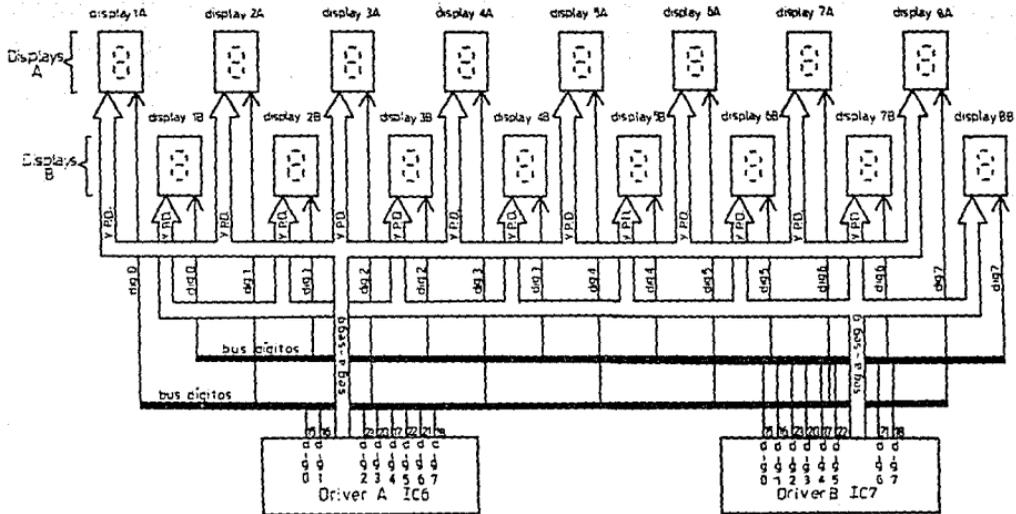


Fig.3.5.4-Diagrama de bloques interfaz driver - visualizador

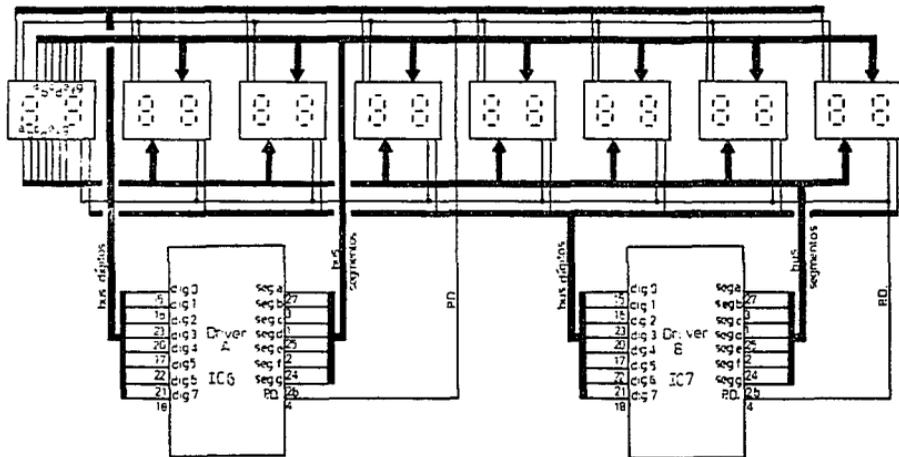


Fig.3.5.5 Interconexión driver-display

Direcciones (hexadeci- mal)	Entrada de selección de dígitos y puntos decimales a los drivers					Se habilita el display número.	Punto decimal habilitado en el display	
	A5	A4	A2	A1	A0		A	B
\$4000	0	0	0	0	0	1A,1B	X	X
\$4010	0	1	0	0	0	"		X
\$4020	1	0	0	0	0	"	X	
\$4001	0	0	0	0	1	2A,2B	X	X
\$4011	0	1	0	0	1	"		X
\$4021	1	0	0	0	1	"	X	
\$4002	0	0	0	1	0	3A,3B	X	X
\$4012	0	1	0	1	0	"		X
\$4022	1	0	0	1	0	"	X	
\$4003	0	0	0	1	1	4A,4B	X	X
\$4013	0	1	0	1	1	"		X
\$4023	1	0	0	1	1	"	X	
\$4004	0	0	1	0	0	5A,5B	X	X
\$4014	0	1	1	0	0	"		X
\$4024	1	0	1	0	0	"	X	
\$4005	0	0	1	0	1	6A,6B	X	X
\$4015	0	1	1	0	1	"		X
\$4025	1	0	1	0		"	X	
\$4006	0	0	1	1	0	7A,7B	X	X
\$4016	0	1	1	1	0	"		X
\$4026	1	0	1	1	0	"	X	
\$4007	0	0	1	1	1	8A,8B	X	X
\$4017	0	1	1	1	1	"		X
\$4027	1	0	1	1	1	"	X	

Tabla 3.5.1 - Codificación para los drivers (7218C).

En la fig 3.5.1 se presentó un circuito que genera una señal R/\bar{W} . Esta señal especial fue necesario generarla debido a una incompatibilidad en las señales de tiempos entre el microprocesador 6502 y los drivers ICM7218. A continuación se describirán los ciclos de lectura y de escritura de ambos circuitos y luego el circuito generador de la señal R/\bar{W} .

En la fig 3.5.6 se presenta el diagrama de tiempos para un ciclo de lectura. Cuando el estado de $\phi 1$ es "1", el 6502 coloca la dirección de la localidad a leer en el bus de direcciones y pone la línea R/\bar{W} en un "1".

Las líneas de direcciones y de R/\bar{W} no cambian instantáneamente, requieren de un tiempo T_s (300 ns) para estabilizarse. Para que el microprocesador tome la información correspondiente, se requiere que el dato permanezca estable en el bus por lo menos 100 ns antes del flanco de bajada de $\phi 2$, (T_d). Una vez concluido el ciclo de $\phi 2$, los datos son retenidos por un tiempo T_h de 10 ns.

El tiempo desde que las líneas de direcciones llegan a su estado estable y el tiempo en el cual las líneas de datos están estables, se llama tiempo de acceso T_a .

En la fig 3.5.7 se muestra el diagrama de tiempo para un ciclo de escritura. T_s es el tiempo requerido por el microprocesador para producir niveles lógicos estables en el bus de direcciones y permite que la línea R/\bar{W} cambie "0". El parámetro T_{ds} es el tiempo medido a partir del flanco de subida de $\phi 2$, que se requiere para producir niveles lógicos estables en el bus de datos. Este tiempo es menor a 200 ns. Los datos permanecen estables por lo menos 300 ns, T_d . Finalmente el bus de datos permanece estable un tiempo de retención, T_h 30 ns después de concluir $\phi 2$.

En la fig 3.5.8 se muestra el diagrama de tiempos del driver (ICM7218C). Para realizar la operación de escritura es necesario que el bus de direcciones se encuentre estable un tiempo T_a de 500 ns, antes de que se habilite el pulso de escritura \bar{W} . El pulso de escritura debe tener una duración de cuando menos 400 ns (T_w), y 500 ns antes de que este pulso acabe, deben estar estables los datos del bus (T_d), teniendo también este bus un tiempo de retención T_h de 125 ns.

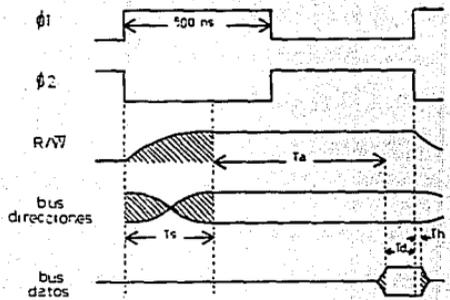


Fig.3.5.6 Operación lectura del 6502

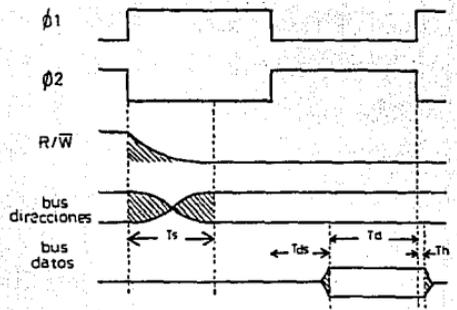


Fig.3.5.7-Operación escritura del 6502

De los dos diagramas de tiempos anteriores podemos notar, que si se conectara directamente al driver el pulso de escritura R/\bar{W} del microprocesador, los datos no podrían ser leídos. Por esta razón se introdujo el circuito pulso R/\bar{W} , que retarda el pulso de escritura del microprocesador. El circuito y sus diagramas de tiempo se muestran en la figs. 3.5.9 y 3.5.10.

Con este circuito se logró que el bus de direcciones estuviera estable 800 ns antes de aparecer el pulso de escritura, que el pulso de escritura R/\bar{W} tuviera una duración de 500 ns y que 300 ns antes de terminar, el bus de datos se encontrara estable. Estos tiempos fueron suficientes para que el microprocesador realizara correctamente la escritura de datos en los drivers. El diagrama final de tiempos se presenta en la fig 3.5.11.

El circuito para el despliegue del pulso por segundo y el pulso externo se muestra en la fig 3.5.12.

Como se explicó en el capítulo 2, el pulso externo PEXT y el pulso por segundo PPS vienen codificados en el bus auxiliar junto con la muestra del canal 1. Ambos pulsos están presentes en el bus SMR cuando aparece la señal de control MAJ1. El pulso PPS está en alto solamente una vez cada 100 muestras, en cambio PEXT aparece en cada muestra, esto es, cada 10 milisegundos.

Para captura y despliegue de estos pulsos en los puntos decimales de los displays 15 y 16, se utilizó un flip-flop tipo D (741S374) con su entrada de reloj activada por la señal MAJ1. Para prolongar el tiempo de visualización del PPS se utilizó un timer NE555 (IC12) operando en modo de one-shot.

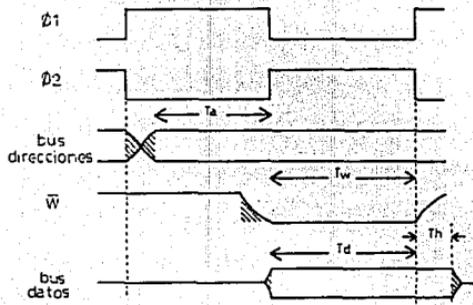


Fig.35.8 - Diagrama de tiempos del driver

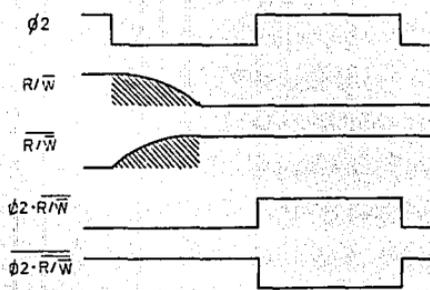


Fig.35.9 - Diagrama de tiempos del circuito pulso R/\bar{W}

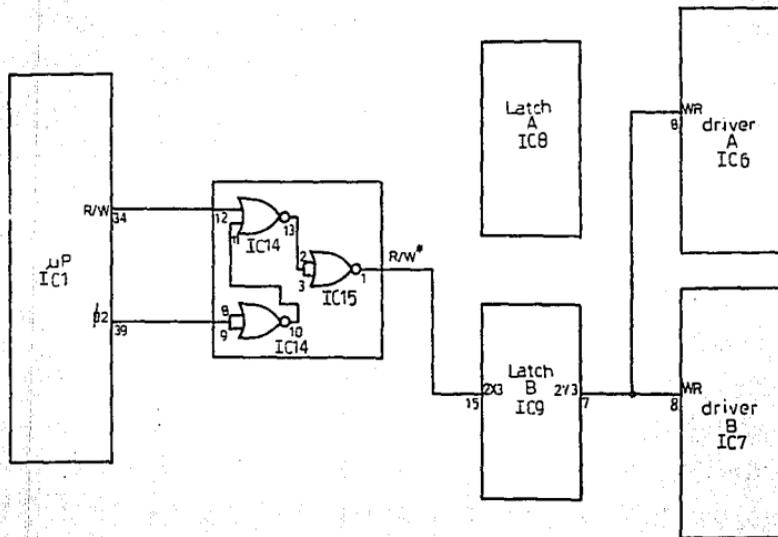


Fig.35.10-Circuito pulso R/W driver

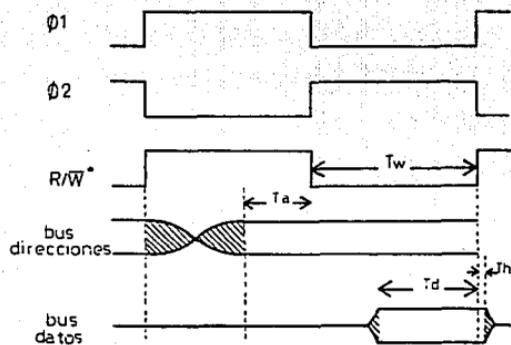


Fig 35.11- Diagrama de tiempos de la operación de escritura con la línea pulso R/W^*

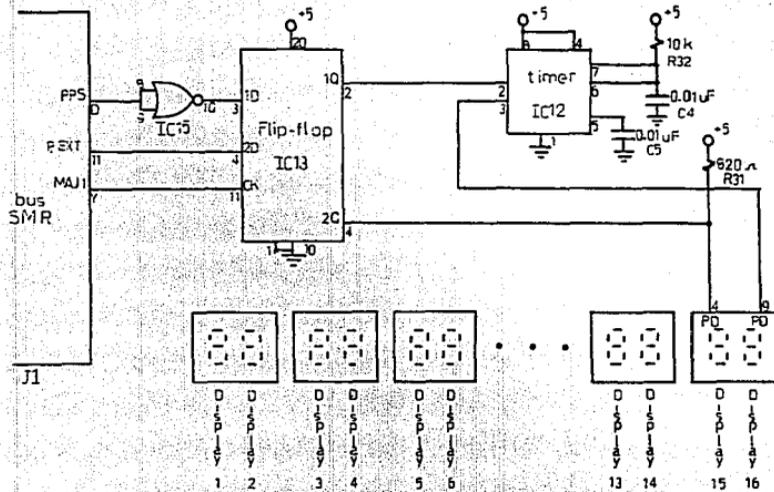


Fig.3.5.12 -Circuito para el despliegue del pulso por segundo y del pulso externo

3.6 PANEL DE CONTROL (Y MODOS DE DESPLIEGUE).

Los circuitos del panel de control que seleccionan los datos a desplegar, se muestra en la fig 3.6.1.

Mediante los selectores SW 1, 2 y 3, pueden escogerse los siguientes modos de despliegue.

Modo 1 - Se despliegan los datos de los días transcurridos del año - las horas, los minutos, los segundos, el número de serie del aparato registrador y el número de eventos.

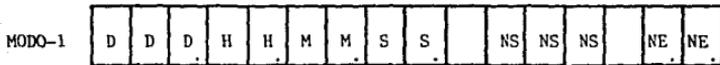
Modo 2 - En este modo se despliegan en forma numérica las muestras de los tres canales. Mediante el selector SW2 se tienen tres opciones de presentarlos.

Hex. - Se despliegan los datos de los tres canales simultáneamente en código hexadecimal.

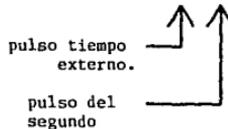
Dec. - Se despliegan los datos de los tres canales simultáneamente en código decimal.

Bin. - Se hace la conversión de la muestra de 12 bits de código hexadecimal a binario y mediante SW3 se escoge el canal que se quiere desplegar.

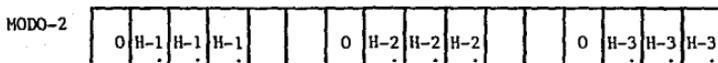
Los formatos de despliegue correspondientes se muestran en la fig 3.6.2.



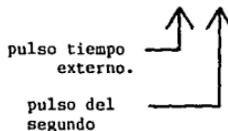
D = día
H = hora
M = minuto
S = segundo
NS = no. de serie
NE = no. de evento



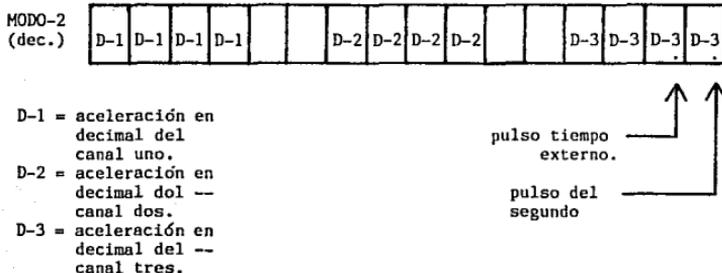
(a)



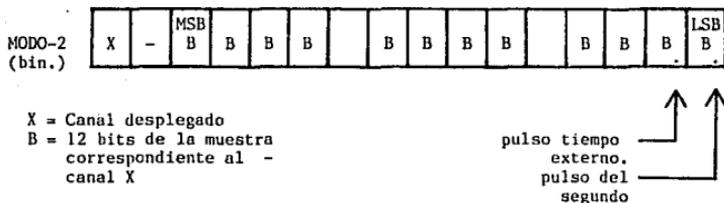
H-1 = aceleración en hex. del canal uno.
H-2 = aceleración en hex. del canal dos.
H-3 = aceleración en hex. del canal tres.



(b)



(c)



(d)

Fig. 3.6.2. - Formato de despliegue para los distintos modos.

Para el control del despliegue de datos, los driver IC6 e IC7 cuentan con una entrada de tres niveles (pin 9). Dependiendo del voltaje aplicado a esta entrada los drivers realizan distintas funciones: cuando el voltaje es bajo (GND), están en estado de "shutdown", deshabilitándose el oscilador, el decodificador y los displays; cuando el voltaje es alto, el despliegue de datos se hace en código hexadecimal y cuando el circuito está abierto (sin conexión) el despliegue de los datos se hace en código B, tabla 3.6.1.

Como se puede observar en la fig 3.6.1, la selección de los datos a desplegar se realiza a través de tres interruptores (SW1, SW2 y SW3). Las líneas de selección del modo, opción y canal están conectadas al bus de datos a través de una memoria (IC10) para acoplarlas al microprocesador. Esta se habilita con la línea K3 del decodificador, activa de \$6000 a \$7FFF.

Código decimal	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15
código hexadecimal	0 1 2 3 4 5 6 7 8 9 A B C D E F
código B	0 1 2 3 4 5 6 7 8 9 - E H L P blanco

Tabla 3.6.1.-Formatos y códigos de despliegue del circuito 7218

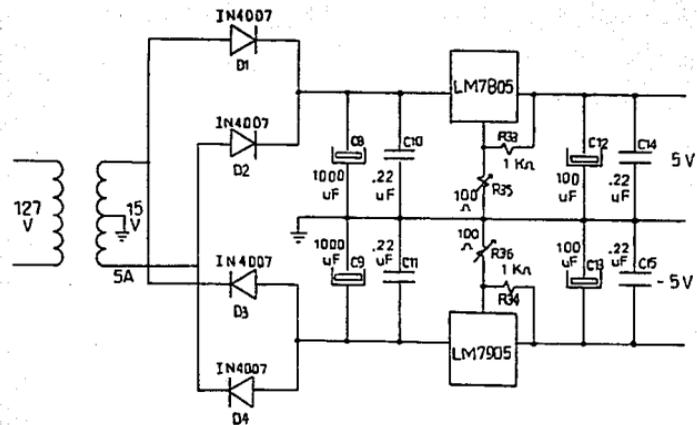
3.7 FUENTE DE ALIMENTACION.

La fuente de alimentación del circuito monitor se muestra en la fig 3.7.1. Esta fuente proporciona 5V DC a 5 amp. En la figura se observan las etapas de transformación, rectificación, filtrado y regulación.

El transformador reduce el voltaje de línea, 127V C.A.- 60 Hz, a 15V C.A. El rectificador es de tipo puente. A su salida se conecta la etapa de filtrado, que permite reducir el nivel de voltaje de rizo.

El regulador 7805 mantiene constante el voltaje de salida independientemente de las variaciones de la entrada y salida.

Mediante los potenciómetros (No) se puede ajustar en forma fina el voltaje de salida.



3.71-Fuente de alimentación

IV.-PROGRAMACION DEL MONITOR.

4.1.-DIAGRAMAS DE FLUJO DEL PROGRAMA "MONITOR".

En este capítulo se describen los programas para el microprocesador 6502.

Los programas fueron desarrollados en lenguaje ensamblador 6502. El ensamblado y grabación de los mismos, se hizo en una computadora Franklin ACE-2000 con programador de memorias EPROM. Parte de la verificación y depuración de las rutinas se llevó a cabo en un sistema de desarrollo KIM-2.

El listado completo del programa se presenta en el anexo 2.

En la figura 4.1a y b, se muestra el diagrama funcional de los programas desarrollados para el monitor. En dicho diagrama se presentan los bloques de definición de variables, condiciones iniciales y selección del modo, opción y canal.

-Definición de variables: En este bloque se efectúa la definición de las variables y programación del VIA (ICS). Los puertos paralelos A y B son programados como entradas y las líneas de control CA1, CA2 y CA3 como interrupciones habilitadas con los flancos de bajada de las señales de control MAJ1, MAJ2 y MAJ3, respectivamente.

-Condiciones iniciales : Aquí se inicializan los contadores y banderas con cero.

-Selección del modo a desplegar : Se verifica la selección del modo de operación.

-Modo 1 : Consiste en la adquisición, demultiplexaje y despliegue del Bus BCD; se despliegan los datos de los días transcurridos del año, las horas, los minutos, los segundos, el número de serie del aparato registrador y el número de evento.

-Modo 2 : En este modo se selecciona la opción para despliegue de datos.

- Opción 1 : Consiste en la adquisición, demultiplexaje y despliegue de la muestra de los tres canales en código hexadecimal.

- Opción 2 : Consiste en la adquisición, demultiplexaje, conversión hexadecimal a decimal y despliegue de la muestra de los tres canales en código decimal.

- Opción 3 : Consiste en la adquisición, demultiplexaje, y conversión de código hexadecimal a binario. Debido a la longitud del código binario, cada canal se despliega por separado, seleccionando el canal deseado.

A continuación se detallan las rutinas para los modos 1 y 2.

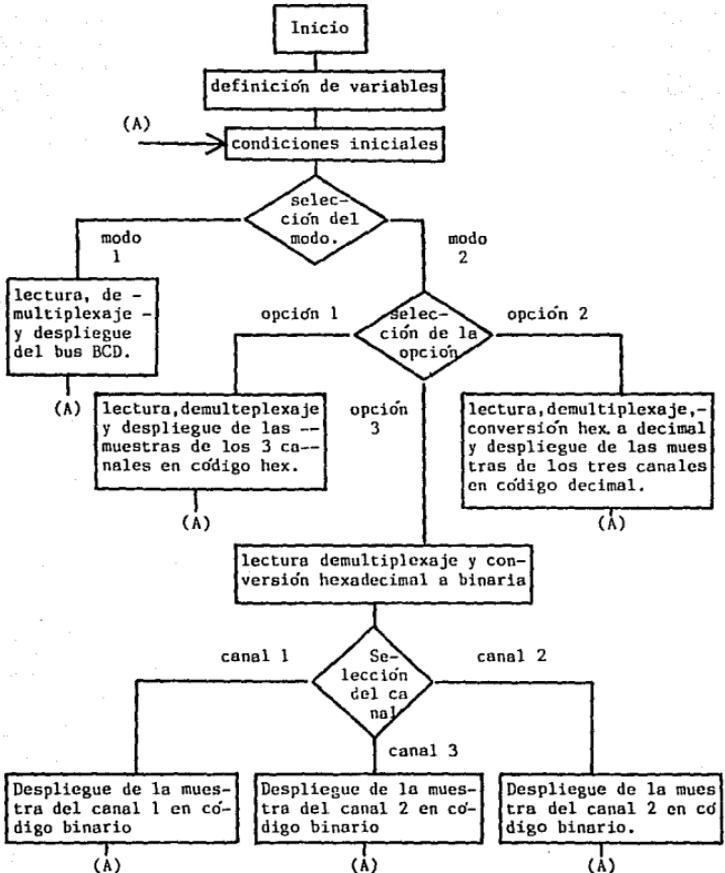


Figura 4.1 a y b-Diagrama funcional del programa monitor.

4.2 MODO 1

El diagrama de flujo para este modo se muestra en la fig. 4.2.

Se espera la llegada del pulso MAJ 1; al aparecer éste se espera a su vez, a que el bit correspondiente al pulso por segundo se ponga en alto. Como se vio en el capítulo 2, este bit es la clave para sincronizar el proceso de lectura del bus BCD, cuya información se lee cuando aparece el pulso MAJ2. Luego se leen los primeros 16 datos de bus (no. de serie, evento, fecha y hora) y se despliegan.

4.3 MODO 2

El diagrama de flujo para este modo se muestra en la fig.4.3

En este modo se realiza la lectura, conversión y despliegue de la aceleración de los tres canales. La lectura de las muestras de los tres canales se efectúa una vez cada segundo, esperando la aparición del pulso 1PPS. Con los flancos de bajada de los pulsos MAJ 1, 2 y 3 se leen y se ordenan los datos de los canales 1, 2 y 3, respectivamente. Posteriormente, dependiendo de la opción elegida, los datos son convertidos a código hexadecimal (opción 1), decimal (opción 2) o binario (opción 3), mediante subrutinas para tal propósito. Luego los datos son desplegados como se mostro en el capítulo 3.

Cada muestra de 12 bits está compuesta por 3 dígitos hexadecimales. Para la conversión de la muestra a decimal se incrementa un contador el número de veces equivalente al valor del primer dígito hexadecimal; luego se le suma al contador el número 16 tantas veces como el valor del segundo dígito hexadecimal y finalmente el número 256 tantas veces, como el valor del tercer dígito hexadecimal.El resultado finales la suma de valores parciales.

La conversión de hexadecimal a binario se realiza mediante corrimientos. El dato en hexadecimal se almacena en el acumulador, y se recorre un bit a la izquierda. A través de la lectura de la bandera del bit de Carry se detecta el valor de cada uno de los bits. Estos son almacenados en localidades de memoria para ser desplegados posteriormente.

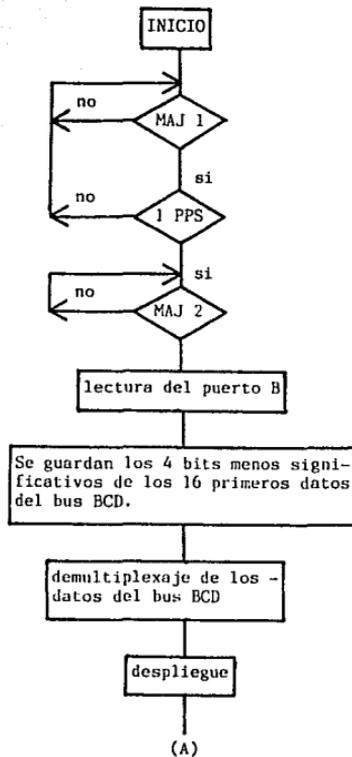


Fig.4.2 Diagrama de flujo para el modo 1.

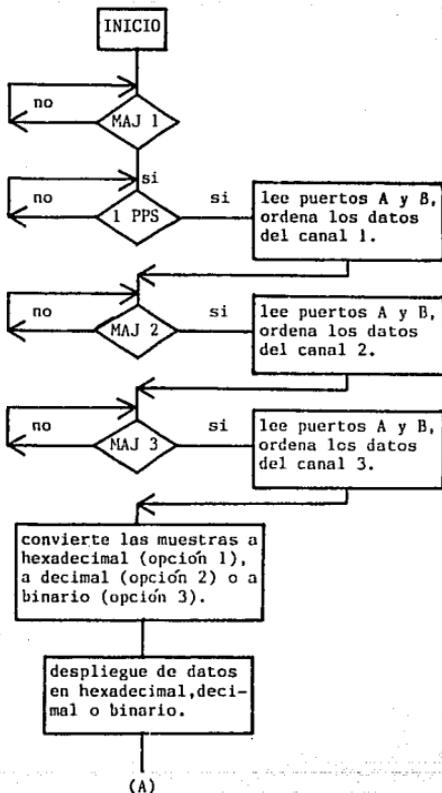


Fig. 4.3. Diagrama de flujo para el Modo 2

RESULTADOS Y CONCLUSIONES

Este trabajo consistió en el diseño y construcción de un circuito monitor que permite realizar en tiempo real, un primer diagnóstico y evaluación de la información sísmica registrada en cassette.

Para su realización, se estudiaron con detalle los siguientes equipos: acelerógrafos digitales DCA-310 y DCA-333, lectora de cassettes SMR-104 en la parte correspondiente al registro, reproducción y codificación de datos. Para la programación del microprocesador se estudio el sistema de desarrollo KIM-1, programador de memorias EPROM y computadora APPLE II. Así mismo se estudiaron las características y programación del microprocesador 6502, la interfaz de tipo paralelo VIA - 6522, los controladores de displays 7218C y las memorias RAM y EPROM, entre otras.

El circuito terminado quedo' instalado en un chasis metálico con el visualizador numerico y controles al frente. Actualmente se encuentra integrado al sistema de reproducción de datos sísmicos digitales del Instituto de Ingeniería y ha operado satisfactoriamente.

Entre las ventajas principales del circuito desarrollado destacan las siguientes.

Permite una primer evaluación de la información de los cassettes recolectados.

Reduce el tiempo dedicado a la transferencia de datos de la lectora de cassettes a la computadora, ya que sólo se transfieren los datos de los cassettes que contengan eventos sísmicos de interés.

Permite seleccionar la información sísmica que se quiera transferir, ya que sus datos característicos son desplegados en tiempo real, evitando así la necesidad de transferir toda la información contenida en el cassette y posteriormente decodificar y desplegar los datos.

En general facilita y hace más eficiente la labor de reproducción de datos acelerográficos digitales.

Entre las mejoras que pudiesen incorporarse al circuito está por ejemplo la reducción de su consumo mediante el empleo de displays de cristal líquido y de circuitos integrados de bajo consumo CMOS. Así mismo, el programa del monitor podría ampliarse para medir aceleraciones máximas e inclusive usarse dentro de un circuito de control para localizar automáticamente eventos o tramos de información en el cassette. También podría usarse para leer toda una cinta y proporcionar los datos de todos los eventos (no., fecha, amplitud, duración, etc) localizados.

La experiencia obtenida con el desarrollo del monitor descrito fue muy valiosa, ya que presentó un trabajo útil que integró distintos aspectos de ingeniería electrónica y procesamiento de datos a nivel microprocesador.

Además de su utilidad inmediata en el sistema de reproducción de datos del Instituto de Ingeniería, muchas de sus funciones y características podrán ser utilizadas en una lectora de datos que actualmente se está desarrollando.

VI.-REFERENCIA BIBLIOGRAFICA.

- 1.-Sistema de desarrollo KIM-1.
Rockwell.
- 2.-DCA-333.Digital Cassette Accelerograph.
Doc 95-320148.Terra Technology.
Redmond, Washington USA, 1982.
- 3.-DCA-310.Digital Cassette Accelerograph.
Doc 95-320143.Terra Technology.
Redmond, Washington USA, 1981.
- 4.-SMR-104.
Terra Technology Services.
- 5.-Monitor-decodificador en línea para la unidad de
reproducción de datos sísmicos digitales SMR-104.
Instituto de Ingeniería, UNAM.
Roberto Quaas W., 1982.

ANEXO 1

LISTADO DE COMPONENTES

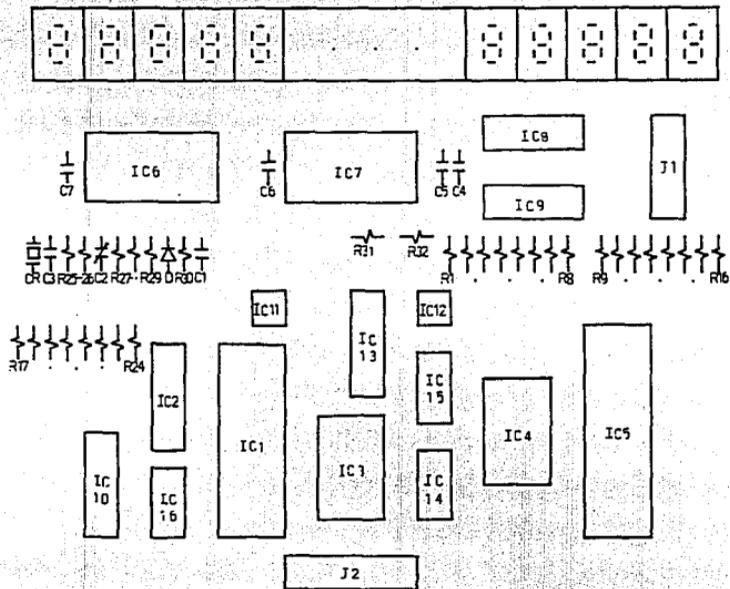


Fig.1-Distribución de los componentes del monitor

ANEXO 1

Listado de componentes.

Circuito integrado	No	Descripcion	cantidad
IC1	VLSI6502	microprocesador	1
IC2	74LS138	decodificador	1
IC3	HM6116	memoria RAM	1
IC4	D2716	memoria EPROM	1
IC5	SY6522	VIA	1
IC6 , IC7	ICM7218C	driver	2
IC8 , IC9	74HCT244	latch	2
IC10	74LS244	latch	1
IC11 , IC12	NE555	timer	2
IC13	74LS374	flip-flop	1
IC14 , IC15	74LS02	compuerta NOR	2
IC16	74LS04	inversores	1

Componente	valor
D1 ... D16	displays
R1 ... R16	6.8 Kohms
R17 ... R24	100 Kohms
R25, R26	1 Kohms
R27 ... R29	3.3 Kohms
R30	120 Kohms
R31	680 ohms
R32	10 Mohms
C1	1 uF
C2	3 ... 30 uF
C3, C4, C5	.01 uF
C6, C7	.1 uF
CR - cristal	1 MHz
D	IN914

Conectores

J1	conector al SMR-104
J2	conector al panel de control

ANEXO 2

ESPECIFICACIONES TECNICAS

Función:

Recepción, codificación y despliegue numérico en tiempo real de datos acelerográficos grabados en cinta magnetica durante el proceso de reproducción de datos de la lectora de cassettes SMR-104.

Modo de operación:

Lectura y decodificación en tiempo real.

Visualización de datos:

Mediante 16 displays numéricos de 7 segmentos.

Formato de despliegue:

Fecha del sismo, num. de serie del aparato registrador, num. num. de evento y valor de las muestras de los tres canales de aceleración.

Modos de despliegue de la información:

Códigos hexadecimal, decimal y binaria.

Electrónica:

Digital, MOS, TTL, control mediante microprocesador, técnica de wire wrap.

Alimentación:

5 Volts, 5 Amperes.

ANEXO 3

LISTADO DEL PROGRAMA

SOURCE FILE: MONITOR

0000: 1 ; Instituto de Ingenieria
 0000: 2 ; Instrumentacion Sismica
 0000: 3 ; Gabriela Solis Rodriguez

0000: 5 ;Programa para decodificar y desplegar infor-
 0000: 6 ;macion de dia, hora, min, seg, no. de serie
 0000: 7 ;del aparato registrador, no. de evento y ace-
 0000: 8 ;leracion de los tres canales.

0000: 10 ;El modo opcion y canal que se desee
 0000: 11 ;desplegar se selecciona con los inte-
 0000: 12 ;ruptores (SW1 , SW2 y SW3).

2000:	14 ORB	EQU	\$2000	;REGISTROS VIA 6522
2001:	15 ORA	EQU	\$2001	
2002:	16 DDRB	EQU	\$2002	
2003:	17 DDRA	EQU	\$2003	
200C:	18 PCR	EQU	\$200C	
200D:	19 IFR	EQU	\$200D	
4030:	20 DSPD	EQU	\$4030	;DISPLAY SIN PUNTOS DECIMALES
4020:	21 DCPDI	EQU	\$4020	;DISPLAY CON PUNTO DEC. IZQ.
4010:	22 DCPDD	EQU	\$4010	;DISPLAY CON PUNTO DEC. DER.
4000:	23 DCPD	EQU	\$4000	;DISPLAY CON PUNTOS DECIMALES
6000:	24 MODO	EQU	\$6000	;LECTURA DE LOS INTERRUPTORES
0003:	25 MX	EQU	\$0003	;CONTADORES QUE SE UTILIZAN
0004:	26 MX1	EQU	\$0004	;EN LOS DOS MODOS
0005:	27 MX2	EQU	\$0005	
0006:	28 MY	EQU	\$0006	
0007:	29 MY1	EQU	\$0007	
0010:	30 HMSM1	EQU	\$0010	;LOCALIDADES DE MEMORIA UTI-
0020:	31 HMSM2	EQU	\$0020	;LIZADAS EN EL MODO 1
0030:	32 HMSM3	EQU	\$0030	
0050:	33 HMSM4	EQU	\$0050	
0070:	34 HMSM5	EQU	\$0070	
0010:	35 HBM1	EQU	\$0010	;LOCALIDADES DE MEMORIA UTI-
0020:	36 HBM2	EQU	\$0020	;LIZADAS EN LA CONV. DE LA -
0030:	37 HBM3	EQU	\$0030	;ACELERACION EN CODIGO HEX.
0009:	38 HBM1	EQU	\$0009	;LOCALIDADES DE MEMORIA UTI-
0010:	39 HBM2	EQU	\$0010	;LIZADAS EN LA CONV. DE LA
0020:	40 HBM3	EQU	\$0020	;ACELERACION EN CODIGO BINA-
0030:	41 HBM4	EQU	\$0030	;RIO
0060:	42 HBM5	EQU	\$0060	
0020:	43 HDM1	EQU	\$0020	;LOC. DE MEM. PARA LA CONV.
0030:	44 HDM2	EQU	\$0030	;DE LA ACE. EN CODIGO DEC.

C000: 45 D EQU \$C000

-----NEXT OBJECT FILE NAME IS MONITOR.OBJO

2000:	47	ORG \$2000	
2000:A9 00	48	LDA #\$00	;DEFINICION DE ENTRADAS-C.I.
2002:8D 03 20	49	STA DDRB	;VIA
2005:8D 02 20	50	STA DDRB	
2008:A9 00	51	LDA #\$00	;INTERRUPCIONES CON FLANCO
200A:8D 0C 20	52	STA PCR	;DE BAJADA
200D:A2 00	53	LDX #\$00	;C.I. CONTADORES
200F:86 03	54	STX MX	
2011:86 04	55	STX MX1	
2013:86 05	56	STX MX2	
2015:A0 00	57	LDY #\$00	
2017:84 06	58	STY MY	
2019:84 07	59	STY MY1	

201B:D8	61	CLD	;SELECCION DEL MODO
201C:AD 00 60	62	LDA MODO	
201F:29 02	63	AND #\$02	
2021:FO 03	64	BEQ MODO22	
2023:4C 29 EO	65	JMP MODO1+D	
2026:4C EA EO	66	JMP MODO2+D	

2029:D8	68	MODO1	CLD	;MODO HEXADECIMAL
202A:AD 01 20	69	LDA ORA		;SE LIMPIA EL REG DE BANDS.
202D:A0 00	70	LDY #\$00		
202F:AD 0D 20	71	MAJ1	LDA IFR	;EXISTE MAJ1
2032:29 02	72	AND #\$02		
2034:FO F9	73	BEQ MAJ1		
2036:AD 01 20	74	LDA ORA		;SE LIMPIA EL REG DE BANDS.
2039:AD 00 20	75	LDA ORB		;EXISTE 1PPS
203C:29 04	76	AND #\$04		
203E:FO EF	77	BEQ MAJ1		
2040:AD 01 20	78	EUNO	LDA ORA	;SE LIMPIA EL REG DE BANDS.
2043:AD 00 20	79	MAJ2	LDA IFR	;EXISTE MAJ2
2046:29 01	80	AND #\$01		
2048:FO F9	81	BEQ MAJ2		
204A:AD 00 20	82	LDA ORB		;SE GUARDAN EN MEMORIA LOS
204D:29 0F	83	AND #\$0F		;16 PRIMEROS DATOS DEL BUS
204F:99 10 00	84	STA HMSM1,Y		;BCD
2052:C8	85	INY		
2053:CO 10	86	CPY #\$10		
2055:DO E9	87	BNE EUNO		
2057:A6 03	88	LDX MX		;ACOMODO
2059:A5 16	89	LDA \$16		
205B:95 20	90	STA HMSM2,X		

205D:A5	17	91	LDA	\$17
205F:20	CF	EO	JSR	ETRES+D
2062:A5	18	93	LDA	\$18
2064:95	20	94	STA	HMSM2,X
2066:A5	13	95	LDA	\$13
2068:20	CF	EO	JSR	ETRES+D
206B:A5	10	97	LDA	\$10
206D:95	20	98	STA	HMSM2,X
206F:A5	12	99	LDA	\$12
2071:20	CF	EO	JSR	ETRES+D
2074:A5	15	101	LDA	\$15
2076:95	20	102	STA	HMSM2,X
2078:A5	11	103	LDA	\$11
207A:20	CF	EO	JSR	ETRES+D
207D:A5	14	105	LDA	\$14
207F:95	20	106	STA	HMSM2,X
2081:A9	0F	107	LDA	#SOF
2083:20	CF	EO	JSR	ETRES+D
2086:A5	1D	109	LDA	\$1D
2088:95	20	110	STA	HMSM2,X
208A:A5	1C	111	LDA	\$1C
208C:20	CF	EO	JSR	ETRES+D
208F:A5	19	113	LDA	\$19
2091:95	20	114	STA	HMSM2,X
2093:A9	0F	115	LDA	#SOF
2095:20	CF	EO	JSR	ETRES+D
2098:A5	1E	117	LDA	\$1E
209A:95	20	118	STA	HMSM2,X
209C:A5	1F	119	LDA	\$1F
209E:20	CF	EO	JSR	ETRES+D
20A1:A2	00	121	LDX	#500
20A3:B5	30	122	LDA	HMSM3,X
20A5:9D	30	40	STA	DSPD,X
20A8:20	DE	EO	JSR	ECUATRO+D
20AB:A0	00	125	LDY	#500
20AD:B5	30	126	LDA	HMSM3,X
20AF:9D	20	40	STA	DCPDI,X
20B2:20	DE	EO	JSR	ECUATRO+D
20B5:C8		129	INY	
20B6:C0	04	130	CPY	#504
20B8:F0	03	131	BEQ	ESIETE
20BA:4C	AD	EO	JMP	ECINCO+D
20BD:A0	00	133	LDY	#500
20BF:B5	30	134	LDA	HMSM3,X
20C1:9D	30	40	STA	DSPD,X
20C4:20	DE	EO	JSR	ECUATRO+D
20C7:C8		137	INY	
20C8:C0	03	138	CPY	#503
20CA:DO	F3	139	BNE	ESEIS
20CC:4C	OD	EO	JMP	EEEE+D

;DESPLIEGUE

ECINCO

ESIETE

ESEIS

20CF:18	141	ETRES	CLC	;SUBROUTINA ACOMODO
20D0:95 50	142		STA HMSM4,X	
20D2:0A	143		ASL A	
20D3:0A	144		ASL A	
20D4:0A	145		ASL A	
20D5:0A	146		ASL A	
20D6:95 70	147		STA HMSM5,X	
20D8:75 20	148		ADC HMSM2,X	
20DA:95 30	149		STA HMSM3,X	
20DC:E8	150		INX	
20DD:60	151		RTS	
20DE:E8	152	ECUATRO	INX	;SUBROUTINA RETARDO
20DF:60	153		RTS	
20E0:D8	155	MOD02	CLD	;SELECCION DE LA OPCION
20E1:AD 00 60	156		LDA MODO	
20E4:29 10	157		AND #\$10	
20E6:F0 03	158		BEQ OPCION33	
20E8:4C EE E0	159		JMP OPCION222+D	
20EB:4C CF E2	160	OPCION33	JMP OPCION3+D	
20EE:AD 00 60	161	OPCION222	LDA MODO	
20F1:29 08	162		AND #\$08	
20F3:F0 03	163		BEQ OPCION22	
20F5:4C FB E0	164		JMP OPCION1+D	
20F8:4C 74 E1	165	OPCION22	JMP OPCION2+D	
20FB:AD 01 20	167	OPCION1	LDA ORA	;SE LIMPIA EL REG DE BANDS.
20FE:AD 0D 20	168	MAJ11	LDA IFR	;EXISTE MAJ11
2101:29 02	169		AND #\$02	
2103:F0 F9	170		BEQ MAJ11	
2105:AD 01 20	171		LDA ORA	;SE LIMPIA EL REG DE BANDS.
2108:AD 00 20	172		LDA ORB	;EXISTE 1PPS
210B:29 04	173		AND #\$04	
210D:F0 EF	174		BEQ MAJ11	
210F:20 2F E1	175		JSR EOCHO+D	
2112:AD 01 20	176		LDA ORA	;SE LIMPIA EL REG. DE BANDS.
2115:AD 0D 20	177	MAJ21	LDA IFR	;EXISTE MAJ21
2118:29 01	178		AND #\$01	
211A:F0 F9	179		BEQ MAJ21	
211C:20 2F E1	180		JSR EOCHO+D	
211F:AD 01 20	181		LDA ORA	;SE LIMPIA EL REG. DE BANDS.
2122:AD 0D 20	182	MAJ31	LDA IFR	;EXISTE MAJ31
2125:29 10	183		AND #\$10	
2127:F0 F9	184		BEQ MAJ31	
2129:20 2F E1	185		JSR EOCHO+D	
212C:4C 52 E1	186		JMP ENUEVE+D	
212F:D8	187	EOCHO	CLD	;LOS DATOS EN HEX. DE LOS
2130:18	188		CLC	;TRES CANALES SE GUARDAN EN

2131:AD 00 20	189		LDA ORB	;MEMORIA
2134:29 FD	190		AND #\$FO	
2136:95 10	191		STA HHM1,X	
2138:E8	192		INX	
2139:AD 01 20	193		LDA ORA	
213C:4A	194		LSR A	
213D:4A	195		LSR A	
213E:4A	196		LSR A	
213F:4A	197		LSR A	
2140:95 20	198		STA HHM2,X	
2142:AD 01 20	199		LDA ORA	
2145:0A	200		ASL A	
2146:0A	201		ASL A	
2147:0A	202		ASL A	
2148:0A	203		ASL A	
2149:95 30	204		STA HHM3,X	
214B:18	205		CLC	
214C:75 20	206		ADC HHM2,X	
214E:95 10	207		STA HHM1,X	
2150:E8	208		INX	
2151:60	209		RTS	
2152:A4 06	210	ENUEVE	LDY MY	;DESPLIEGUE
2154:A6 03	211		LDX MX	
2156:B5 10	212	EDIEZ	LDA HHM1,X	
2158:99 10 40	213		STA DCPDD,Y	
215B:E8	214		INX	
215C:C8	215		INY	
215D:B5 10	216		LDA HHM1,X	
215F:99 00 40	217		STA DCPD,Y	
2162:E8	218		INX	
2163:C8	219		INY	
2164:E0 06	220		CPX #\$06	
2166:FD 09	221		BEQ EONCE	
2168:A9 00	222		LDA #\$00	
216A:99 30 40	223		STA DSPD,Y	
216D:C8	224		INY	
216E:4C 56 E1	225		JMP EDIEZ+D	
2171:4C 0D ED	226	EONCE	JMP EEE0+D	
2174:AD 01 20	228	OPCION2	LDA ORA	;SE LIMPIA EL REG DE BANDS.
2177:A9 00	229		LDA #\$00	;C.I. LOCALIDADES PARA LA
2179:85 10	230		STA \$0010	;CONVERSION HEX. - DEC.
217B:85 11	231		STA \$0011	
217D:85 12	232		STA \$0012	
217F:85 13	233		STA \$0013	
2181:85 14	234		STA \$0014	
2183:85 15	235		STA \$0015	
2185:85 16	236		STA \$0016	
2187:85 17	237		STA \$0017	

2189:85 18	238	STA \$0018	
218B:85 19	239	STA \$0019	
218D:85 1A	240	STA \$001A	
218F:AD 01 20	241	LDA ORA	;SE LIMPIA EL REG DE BANDS.
2192:AD 0D 20	242	LDA IFR	;EXISTE MAJ12
2195:29 02	243	AND #\$02	
2197:FO F9	244	BEQ MAJ12	
2199:AD 01 20	245	LDA ORA	;SE LIMPIA EL REG. DE BANDS.
219C:AD 00 20	246	LDA ORB	;EXISTE IPPS
219F:29 04	247	AND #\$04	
21A1:FO EF	248	BEQ MAJ12	
21A3:20 C5 E1	249	JSR EEUNO+D	
21A6:AD 01 20	250	LDA ORA	;SE LIMPIA EL REG DE BANDS.
21A9:AD 0D 20	251	LDA IFR	;EXISTE MAJ22
21AC:29 01	252	AND #\$01	
21AE:FO F9	253	BEQ MAJ22	
21B0:20 C5 E1	254	JSR EEUNO+D	
21B3:AD 01 20	255	LDA ORA	;SE LIMPIA EL REG DE BANDS.
21B6:AD 0D 20	256	LDA IFR	;EXISTE MAJ32
21B9:29 10	257	AND #\$10	
21BB:FO F9	258	BEQ MAJ32	
21BD:20 C5 E1	259	JSR EEUNO+D	
21C0:A4 06	260	LDY MY	
21C2:4C F5 E1	261	JMP EEDOS+D	
21C5:AD 01 20	262	LDA ORA	;LOS DATOS EN HEX. DE LOS
21C8:29 0F	263	AND #\$0F	;TRES CANALES SE GUARDAN EN
21CA:99 20 00	264	STA HDM1,Y	;MEMORIA
21CD:C8	265	INY	
21CE:AD 01 20	266	LDA ORA	
21D1:4A	267	LSR A	
21D2:4A	268	LSR A	
21D3:4A	269	LSR A	
21D4:4A	270	LSR A	
21D5:99 20 00	271	STA HDM1,Y	
21D8:C8	272	INY	
21D9:AD 00 20	273	LDA ORB	
21DC:4A	274	LSR A	
21DD:4A	275	LSR A	
21DE:4A	276	LSR A	
21DF:4A	277	LSR A	
21E0:99 20 00	278	STA HDM1,Y	
21E3:C8	279	INY	
21E4:60	280	RTS	
21E5:DB	281	CLD	;CONVERSION HEX. - DEC.
21E6:A4 06	282	LDY MY	
21E8:C8	283	INY	
21E9:B9 20 00	284	LDA HDM1,Y	
21EC:AA	285	TAX	
21ED:EO 00	286	CPX #\$00	
21EF:FO 14	287	BEQ EECUATRO	

21F1:18	288	EETRES	CLC
21F2:F8	289		SED
21F3:A9 16	290		LDA #S16
21F5:65 14	291		ADC \$0014
21F7:85 14	292		STA \$0014
21F9:A9 00	293		LDA #S00
21FB:65 13	294		ADC \$0013
21FD:85 13	295		STA \$0013
21FF:D8	296		CLD
2200:CA	297		DEX
2201:EO 00	298		CPX #S00
2203:DO EC	299		BNE EETRES
2205:18	300	EECUATRO	CLC
2206:88	301		DEY
2207:F8	302		SED
2208:B9 20 00	303		LDA HDM1,Y
220B:65 12	304		ADC \$0012
220D:85 10	305		STA \$0010
220F:65 14	306		ADC \$0014
2211:85 15	307		STA \$0015
2213:90 04	308		BCC EECINCO
2215:A9 01	309		LDA #S01
2217:85 11	310		STA \$0011
2219:D8	311	EECINCO	CLD
221A:C8	312		INY
221B:C8	313		INY
221C:B9 20 00	314		LDA HDM1,Y
221F:AA	315		TAX
2220:C8	316		INY
2221:84 06	317		STY MY
2223:EO 00	318		CPX #S00
2225:FO 31	319		BEQ EENUEVE
2227:18	320	ESESEIS	CLC
2228:F8	321		SED
2229:A9 56	322		LDA #S56
222B:65 16	323		ADC \$0016
222D:85 16	324		STA \$0016
222F:A9 02	325		LDA #S02
2231:65 17	326		ADC \$0017
2233:85 17	327		STA \$0017
2235:D8	328		CLD
2236:CA	329		DEX
2237:EO 00	330		CPX #S00
2239:DO EC	331		BNE ESESEIS
223B:18	332	EESEIETE	CLC
223C:F8	333		SED
223D:A5 16	334		LDA \$0016
223F:65 15	335		ADC \$0015
2241:85 18	336		STA \$0018
2243:90 02	337		BCC EEOCHO

2245:E6	17	338		INC	\$0017	
2247:18		339	EEOCHO	CLC		
2248:F8		340		SED		
2249:A5	13	341		LDA	\$0013	
224B:65	17	342		ADC	\$0017	
224D:85	19	343		STA	\$0019	
224F:A5	11	344		LDA	\$0011	
2251:65	19	345		ADC	\$0019	
2253:85	1A	346		STA	\$001A	
2255:4C	5F E2	347		JMP	EEDIEZ+D	
2258:A9	00	348	EENUEVE	LDA	#\$00	
225A:85	17	349		STA	\$0017	
225C:4C	3B E2	350		JMP	EESIETE+D	
225F:D8		351	EEDIEZ	CLD		;ACOMODO DISPLAY
2260:18		352		CLC		
2261:A6	03	353		LDX	MX	
2263:A5	1A	354		LDA	\$001A	
2265:4A		355		LSR	A	
2266:4A		356		LSR	A	
2267:4A		357		LSR	A	
2268:4A		358		LSR	A	
2269:95	30	359		STA	HDM2,X	
226B:A5	1A	360		LDA	\$001A	
226D:20	C1 E2	361		JSR	EEE3+D	
2270:A5	18	362		LDA	\$0018	
2272:18		363		CLC		
2273:4A		364		LSR	A	
2274:4A		365		LSR	A	
2275:4A		366		LSR	A	
2276:4A		367		LSR	A	
2277:95	30	368		STA	HDM2,X	
2279:A5	18	369		LDA	\$0018	
227B:20	C1 E2	370		JSR	EEE3+D	
227E:86	03	371		STX	MX	
2280:E0	06	372		CPX	#\$06	
2282:F0	1B	373		BEQ	EEONCE	
2284:A9	00	374		LDA	#\$00	
2286:85	10	375		STA	\$0010	
2288:85	11	376		STA	\$0011	
228A:85	12	377		STA	\$0012	
228C:85	13	378		STA	\$0013	
228E:85	14	379		STA	\$0014	
2290:85	15	380		STA	\$0015	
2292:85	16	381		STA	\$0016	
2294:85	17	382		STA	\$0017	
2296:85	18	383		STA	\$0018	
2298:85	19	384		STA	\$0019	
229A:85	1A	385		STA	\$001A	
229C:4C	E5 E1	386		JMP	EEDOS+D	
229F:A4	07	387	EEONCE	LDY	MY1	;DESPLIEGUE

22A1:A6	04	388		LDA	MX1	
22A3:B5	30	389	EEE1	LDA	HDM2,X	
22A5:99	00 40	390		STA	DCPD,Y	
22A8:EB		391		INX		
22A9:C8		392		INY		
22AA:B5	30	393		LDA	HDM2,X	
22AC:99	00 40	394		STA	DCPD,Y	
22AF:EB		395		INX		
22B0:C8		396		INY		
22B1:E0	06	397		CPX	#\$06	
22B3:FO	09	398		BEQ	EEE2	
22B5:A9	FF	399		LDA	#\$FF	
22B7:99	30 40	400		STA	DSPD,Y	
22BA:C8		401		INY		
22BB:4C	A3 E2	402		JMP	EEE1+D	
22BE:4C	OD EO	403	EEE2	JMP	EEEE+D	
22C1:18		404	EEE3	CLC		;SUBROUTINA AYUDA ACOMODO
22C2:0A		405		ASL	A	;DISPLAY
22C3:0A		406		ASL	A	
22C4:0A		407		ASL	A	
22C5:0A		408		ASL	A	
22C6:F8		409		SED		
22C7:18		410		CLC		
22C8:75	30	411		ADC	HDM2,X	
22CA:95	30	412		STA	HDM2,X	
22CC:DB		413		CLD		
22CD:EB		414		INX		
22CE:60		415		RTS		
22CF:AD	01 20	417	OPCION3	LDA	ORA	;SE LIMPIA EL REG DE BANDS.
22D2:A9	00	418		LDA	#\$00	;C.I. BANDERA
22D4:85	09	419		STA	HBM1	
22D6:D8		420		CLD		
22D7:AD	01 20	421		LDA	ORA	;SE LIMPIA EL REG DE BANDS.
22DA:OD	OD 20	422	MAJ13	LDA	IFR	;EXISTE MAJ13
22DD:29	02	423		AND	#\$02	
22DF:FO	F9	424		BEQ	MAJ13	
22E1:AD	01 20	425		LDA	ORA	;SE LIMPIA EL REG DE BANDS.
22E4:AD	00 20	426		LDA	ORB	;EXISTE IPPS
22E7:29	04	427		AND	#\$04	
22E9:FO	EF	428		BEQ	MAJ13	
22EB:20	0B E3	429		JSR	EEE4+D	
22EE:AD	01 20	430		LDA	ORA	;SE LIMPIA EL REG DE BANDS.
22F1:AD	OD 20	431	MAJ23	LDA	IFR	;EXISTE MAJ23
22F4:29	01	432		AND	#\$01	
22F6:FO	F9	433		BEQ	MAJ23	
22F8:20	0B E3	434		JSR	EEE4+D	
22FB:AD	01 20	435		LDA	ORA	;SE LIMPIA EL REG DE BANDS.
22FE:AD	OD 20	436	MAJ33	LDA	IFR	;EXISTE MAJ33

2301:29	10	437		AND # \$10
2303:F0	F9	438		BEQ MAJ33
2305:20	0B E3	439		JSR EEE4+D
2308:4C	2A E3	440		JMP EEE5+D
230B:A4	06	441	EEE4	LDA MY
230D:AD	00 20	442		LDA ORB
2310:99	10 00	443		STA HBM2,Y
2313:AD	00 20	444		LDA ORB
2316:99	20 00	445		STA HBM3,Y
2319:C8		446		INY
231A:AD	01 20	447		LDA ORA
231D:99	10 00	448		STA HBM2,Y
2320:AD	01 20	449		LDA ORA
2323:99	20 00	450		STA HBM3,Y
2326:C8		451		INY
2327:84	06	452		STY MY
2329:60		453		RTS
232A:A6	03	454	EEE5	LDA MX
232C:86	03	455	EEE6	STX MX
232E:A6	05	456		LDA MX2
2330:B5	10	457		LDA HBM2,X
2332:18		458		CLC
2333:16	10	459		ASL HBM2,X
2335:90	05	460		BCC EEE7
2337:A9	01	461		LDA # \$01
2339:4C	3E E3	462		JMP EEEB+D
233C:A9	00	463	EEE7	LDA # \$00
233E:86	05	464	EEE8	STX MX2
2340:A6	03	465		LDA MX
2342:95	30	466		STA HBM4,X
2344:A9	00	467		LDA # \$00
2346:C5	09	468		CMP HBM1
2348:D0	08	469		BNE EEE9
234A:A9	01	470		LDA # \$01
234C:85	09	471		STA HBM1
234E:E8		472		INX
234F:4C	2C E3	473		JMP EEE6+D
2352:A4	07	474	EEE9	LDA MY1
2354:A9	00	475		LDA # \$00
2356:85	09	476		STA HBM1
2358:16	30	477		ASL HBM4,X
235A:16	30	478		ASL HBM4,X
235C:16	30	479		ASL HBM4,X
235E:16	30	480		ASL HBM4,X
2360:B5	30	481		LDA HBM4,X
2362:CA		482		DEX
2363:18		483		CLC
2364:75	30	484		ADC HBM4,X
2366:99	60 00	485		STA HBM5,Y
2369:C8		486		INY

;LOS DATOS EN HEX. DE LOS
;TRES CANALES SE GUARDAN EN
;MEMORIA

;CONVERSION HEX. - BINARIO

236A:84	07	487	STY MY1
236C:EB		488	INX
236D:EB		489	INX
236E:EO	04	490	CPX #504
2370:FO	1F	491	BEQ EEEE1
2372:EO	OC	492	CPX #50C
2374:FO	1B	493	BEQ EEEE1
2376:EO	10	494	CPX #510
2378:FO	17	495	BEQ EEEE1
237A:EO	18	496	CPX #518
237C:FO	13	497	BEQ EEEE1
237E:EO	1C	498	CPX #51C
2380:FO	OF	499	BEQ EEEE1
2382:EO	24	500	CPX #524
2384:FO	0B	501	BEQ EEEE1
2386:EO	28	502	CPX #528
2388:FO	07	503	BEQ EEEE1
238A:EO	30	504	CPX #530
238C:FO	OF	505	BEQ EEEE2
238E:4C	2C E3	506	JMP EEE6+D
2391:86	03	507	STX MX
2393:A6	05	508	LDX MX2
2395:EB		509	INX
2396:86	05	510	STX MX2
2398:A6	03	511	LDX MX
239A:4C	2C E3	512	JMP EEE6+D

239D:DB		514	EEEE2
239E:AD	00 60	515	
23A1:29	80	516	
23A3:FO	03	517	
23A5:4C	AB E3	518	
23A8:4C	EC E3	519	CANAL33
23AB:AD	00 60	520	CANAL222
23AE:29	40	521	
23B0:FO	03	522	
23B2:4C	B8 E3	523	
23B5:4C	DF E3	524	CANAL22

CLD	
LDA MODO	
AND #580	
BEQ CANAL33	
JMP CANAL222+D	
JMP CANAL3+D	
LDA MODO	
AND #540	
BEQ CANAL22	
JMP CANAL1+D	
JMP CANAL2+D	

;SELECCION DEL CANAL

25B8:A6	04	526	CANAL1
23BA:A0	00	527	
23BC:A9	A1	528	
23BE:9D	30 40	529	
23C1:EB		530	
23C2:A9	FF	531	EEEE3
23C4:9D	30 40	532	
23C7:EB		533	
23C8:B9	60 00	534	EEEE4

LDX MX1	
LDY #500	
LDA #5A1	
STA DSPD, X	
INX	
LDA #5FF	
STA DSPD, X	
INX	
LDA HBMS, Y	

;DESPLIEGUE DEL CANAL 1

23CB:C8	535	INX
23CC:9D 30 40	536	STA DSPD,X
23CF:E8	537	INX
23D0:B9 60 00	538	LDA HBMS,Y
23D3:C8	539	INX
23D4:9D 10 40	540	STA DCPDD,X
23D7:E8	541	INX
23D8:ED 08	542	CPX #\$08
23DA:D0 C8	543	BNE EEEE4
23DC:4C OD EO	544	JMP EEE0+D

23DF:A6 04	546 CANAL2	LDX MX1	;DESPLIEGUE DEL CANAL 2
23E1:A0 06	547	LDY #\$06	
23E3:A9 A2	548	LDA #\$A2	
23E5:9D 30 40	549	STA DSPD,X	
23E8:E8	550	INX	
23E9:4C C2 E3	551	JMP EEEE3+D	

23EC:A6 04	553 CANAL3	LDX MX1	;DESPLIEGUE DEL CANAL 3
23EE:A0 0C	554	LDY #\$0C	
23F0:A9 A3	555	LDA #\$A3	
23F2:9D 30 40	556	STA DSPD,X	
23F5:E8	557	INX	
23F6:4C C2 E3	558	JMP EEEE3+D	

*** SUCCESSFUL ASSEMBLY: NO ERRORS

23B8 CANAL1	23AB CANAL222	23B5 CANAL22	23DF CANAL2
23EC CANAL3	23AB CANAL33	C000 D	4010 DCPDD
4020 DCPDI	4000 DCPD	2003 DDRA	2002 DDRB
4030 DSPD	20AD ECINCO	20DE ECUATRO	2156 EDIEZ
2219 EECINCO	2205 EECUATRO	225F EEDIEZ	21E5 EEDOS
200D EEE0	22A3 EEE1	22BE EEE2	22C1 EEE3
230B EEE4	232A EEE5	232C EEE6	233C EEE7
233E EEE8	2352 EEE9	2391 EEEE1	239D EEEE2
23C2 EEEE3	23C8 EEEE4	2258 EENUEVE	2247 EEOCHO
229F EEONCE	2227 EESEIS	223B EESIETE	21F1 EETRES
21C5 EEUNO	2152 ENUEVE	212F EOCHO	2171 EONCE
20BF ESEIS	20BD ESIETE	20CF ETRES	2040 EUNO
09 HBM1	10 HBM2	20 HBM3	30 HBM4
60 HBM5	20 HDM1	30 HDM2	10 HHM1
20 HHM2	30 HHM3	10 HMSM1	20 HMSM2
30 HMSM3	50 HMSM4	70 HMSM5	200D IFR
20FE MAJ11	2192 MAJ12	202F MAJ1	22DA MAJ13
2115 MAJ21	21A9 MAJ22	22F1 MAJ23	2043 MAJ2
2122 MAJ31	21B6 MAJ32	22FE MAJ33	2029 MOD01
2026 MODO22	20E0 MODO2	6000 MODO	03 MX
04 MX1	05 MX2	06 MY	07 MY1
20FB OPCION1	20EE OPCION222	2174 OPCION2	20F8 OPCION22
20EB OPCION33	22CF OPCION3	2001 ORA	2000 ORB
200C PCR			

03 MX	04 MX1	05 MX2	06 MY
07 MY1	09 HBM1	10 HBM2	10 HMSM1
10 HMSM1	20 HBM3	20 HDM1	20 HHM2
20 HHM2	30 HMSM3	30 HHM3	30 HBM4
30 HDM2	50 HMSM4	60 HBM5	70 HMSM5
2000 ORB	2001 ORA	2002 DDRB	2003 DDRA
200C PCR	200D IFR	200D EEE0	2026 MODO22
2029 MODO1	202F MAJ1	2040 EUNO	2043 MAJ2
20AD ECINCO	20BD ESIETE	20BF ESEIS	20CF ETRES
20DE ECUATRO	20E0 MODO2	20EB OPCION33	20FE OPCION222
20FB OPCION22	20FB OPCION1	20FE MAJ11	2115 MAJ21
2122 MAJ31	212F EOCHO	2152 ENUEVE	2156 EDIEZ
2171 FONCE	2174 OPCION2	2192 MAJ12	21A9 MAJ22
21B6 MAJ32	21C5 EEUNO	21E5 EEDOS	21F1 EETRES
2205 EECUATRO	2219 EECINCO	2227 EESEIS	223B EESIETE
2247 EEOCHO	2258 EENUEVE	225F EEDIEZ	229F EEONCE
22A3 EEE1	22BE EEE2	22C1 EEE3	22CF OPCION3
22DA MAJ13	22F1 MAJ23	22FE MAJ33	230B EEE4
232A EEE5	232C EEE6	233C EEE7	233E EEE8
2352 EEE9	2391 EEEE1	239D EEEE2	23A8 CANAL33
23AB CANAL222	23B5 CANAL22	23B8 CANAL1	23C2 EEEE3
23C8 EEEE4	23DF CANAL2	23EC CANAL3	4000 DCPD
4010 BCPDD	4020 DCPDI	4030 DSPDI	6000 MODO
COOO D			