

24.58



**Universidad Nacional Autónoma  
de México**

**FACULTAD DE CIENCIAS**

**DIGITALIZACION DE IMAGENES EN  
TIEMPO REAL CON DESPLIEGUE  
EN FALSO COLOR**

**T E S I S**

Que para obtener el título de

**F I S I C O**

presenta

**RICARDO TOLEDO CROW**



México, D. F.

1988



Universidad Nacional  
Autónoma de México



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

**INDICE:**

1 -	Introducción -----	1
	Antecedentes -----	6
2 -	Descripción general del diseño -----	11
3 -	Descripción del Bus de Expansión IBM PC -----	15
4 -	Relación Entre el Diseño del Sistema, las Señales NTSC y las Señales IBM PC. -----	21
	Resolución Teórica -----	21
	Localización de la Información en las Memorias, Resolución Real -----	26
5 -	Descripción de las Partes del Diseño -----	30
	General -----	30
	Sincronía NTSC -----	31
	Contadores -----	33
	Convertidor A/D -----	35
	Puerto -----	37
	Multiplexores -----	38
	Memorias -----	39
	Convertidor D/A Color -----	42
	Convertidor D/A Blanco y Negro -----	43
6 -	Especificaciones -----	45
7 -	Conclusiones y Posibles Mejoras -----	46
	Conclusiones -----	48
Apéndice A1:	Estándares de Televisión a Color NTSC -----	49
	Color -----	50

Apéndice A2: Líneas de Transmisión -----	53
Apéndice A3: Un Programa Básico de Operación en 'C' -----	62
Apéndice A4: Hojas Técnicas de los Circuitos Principales -	68
Bibliografía General -----	125

## 1 - INTRODUCCION

En una definición simplista, el procesamiento de imágenes consiste en la manipulación de una imagen inicial, alterándola de alguna manera, para obtener una imagen final. Cabría entonces definir lo que es una imagen. Sin entrar en polémicas ontológicas, podríamos decir que una imagen es un registro de información bidimensional de algún objeto del mundo real (o de la imaginación). Un registro bidimensional es uno en donde cada elemento que lo compone tiene una relación de posición con otros dos elementos del registro. Un texto podría considerarse como un registro unidimensional en el sentido de que el contenido o significado del mismo depende únicamente de la posición de cada letra o símbolo ortográfico con respecto a su antecesor. Así podríamos, en principio, tener un libro escrito en una sola línea (en una tira de papel) y éste no perdería su significado para el lector. Se podría argüir que un texto es, a fin de cuentas, una imagen ya que la cada palabra o letra es en sí una imagen. Todo lo que se vé es una imagen y por ende el texto leído es una imagen. Para evitar este tipo de confusiones y para hacer énfasis en la unidimensionalidad del texto, supongamos que dicho texto se encuentra en clave morse que es la forma de comunicación unidimensional por excelencia. Una fotografía en cambio, para que tenga sentido para el observador humano, siempre tendrá que tener un largo y un ancho.

El ser humano posee una capacidad inherente de procesamiento de imágenes, que se manifiesta desde el reconocimiento de rostros, objetos, etc. hasta la retroalimentación visual de la posición de nuestro cuerpo con respecto al medio que nos rodea. Este procesamiento natural es el que tratamos de emular con una computadora, pero mientras que el sistema ojo-cerebro del ser humano es capaz de procesar la información que recibe en paralelo (i.e. toda a la vez; bidimensionalmente) las computadoras más comunes con que contamos actualmente no pueden sino procesar la información de manera secuencial (de forma unidimensional); un dato a la vez.

La memoria de una computadora es esencialmente un registro unidimensional: comienza en la localidad cero y termina en la localidad X. Para que una computadora pueda almacenar una imagen, ésta debe ser transformada a una forma unidimensional.

Siguiendo la analogía del texto y la fotografía como ejemplos de registros unidimensionales y bidimensional respectivamente, podríamos pasar de una fotografía (bidimensional) a un texto (unidimensional) sin perder el contenido de la fotografía escribiendo una descripción de la misma. De la minuciosidad con la que se haga esta descripción dependerá la cantidad de detalle que se conserve o bien que se pierda. En la práctica, esto se hace reticulando la imagen, formando a los elementos de imagen que llamaremos píxeles en columnas y renglones (Cualquiera que haya escudriñado una fotografía de periódico con una lupa habrá notado que está formada por píxeles), y luego formando un único renglón con todas las columnas o renglones de la imagen. Este formato es visualmente incomprensible para el hombre pero es el requerido por las computadoras; por lo menos por las computadoras más comunes.

Los píxeles son las partes constitutivas de una imagen de la misma en la forma que las letras y los símbolos ortográficos son los elementos constitutivos de un texto. En una imagen, estos pueden ser muy pequeños relativo al tamaño de la imagen. Toda imagen tiene su tamaño de elemento de imagen determinado por el sistema que la forma. En fotografía existe lo que se conoce como el 'grano' que constituye el elemento de imagen. El 'detalle' en una imagen no puede ser más pequeño que el elemento de la misma. Podemos reticular una imagen de manera uniforme y en principio podemos hacer la retícula muy fina pero nunca tan fina como queramos. Dada una retícula de algún tamaño particular, consideramos a la fracción de imagen contenida dentro de cada cuadro de la retícula como el elemento de imagen y lo caracterizamos con algún valor que puede depender de uno o varios puntos interiores del mismo.

La capacidad de registrar el 'detalle' en una imagen se conoce como la resolución del sistema. Formalmente se define como la cantidad de pares de líneas por unidad de longitud que puede distinguir o resolver a un contraste determinado. El contraste se define a su vez como la diferencia de las intensidades de las líneas o 'detalles', entre la intensidad promedio del objeto. Dependerá entonces del tamaño del elemento de imagen y de la diferencia mínima entre los valores de dos elementos. Entonces, dado un sistema con  $A$  elementos de imagen por unidad de longitud, la resolución de la misma será de

A/2 pares de líneas por unidad de longitud siempre y cuando la diferencia en los valores de los pares de líneas sea mayor o igual al que puede distinguir el sistema formador de imágenes. (1)

Un sistema de alta resolución es uno capaz de registrar mucho detalle de la escena original, siempre y cuando ésta contenga detalle para empezar. El término 'detalle' es un concepto subjetivo que dependerá del fin que se persigue con la imagen.

Tomemos por ejemplo una fotografía (imagen) de dos hombres de cuerpo completo. Si queremos saber cuál de los dos es el más alto (el 'detalle' siendo aquí el tamaño del cuerpo) podemos utilizar una foto de baja resolución que nos muestre únicamente las formas de los cuerpos. Si queremos identificar a los hombres necesitamos más resolución para poder apreciar los rasgos de sus rostros. Si queremos saber si están rasurados debemos emplear una fotografía de alta resolución que nos muestre los 'detalles' de sus mejillas. Es importante en este ejemplo que la fotografía sea de cuerpo completo puesto que de no ser así, podríamos averiguar si estos hombres se habían rasurado tomando un 'acercamiento' de sus mejillas sin aumentar la resolución de la fotografía.

El procesamiento de imágenes es entonces la manipulación de los valores y/o posiciones de los elementos de la imagen para formar una segunda imagen que sea más comprensible al ser humano. Esto se puede hacer de varias maneras generalmente particulares a cada tipo imágenes. Las computadoras son ideales para esto ya que su especialidad es manipular valores y posiciones relativas. Su desventaja es que esto lo hace pixel por pixel (de manera unidimensional) y por ende requiere una transformación de formato. El tema de este trabajo de tesis es el diseño de un aparato que hace exactamente esto: convierte una imagen a formato de computadora.

¿Cuáles son las ventajas del Procesamiento Digital de Imágenes o PDI? No hay que olvidar que el PDI no es más que una herramienta para la investigación científica, el diagnóstico médico, el control de calidad industrial, la prospección geográfica, la transmisión de imágenes, etc. Dentro del PDI, el digitalizador de imágenes es únicamente una parte, de la misma manera en que la cámara fotográfica es una parte de la fotografía.

Tanto la cámara como el digitalizador 'capturan' la imagen la cual debe 'revelarse' en el caso de la fotografía o procesarse por la computadora en el caso del PDI. Una vez capturada la imagen por el digitalizador, la computadora puede efectuar operaciones matemáticas sobre los datos de la imagen para resaltar o modificar algún aspecto de la misma. En la mayoría de los casos, estas operaciones tienen su equivalente en óptica y se pueden hacer por medio de sistemas ópticos, ¡a la velocidad de la luz! La gran desventaja del procesamiento de imágenes óptico es que cada operación requiere un arreglo óptico especial mientras que en el PDI el arreglo óptico se reemplaza por una subrutina particular.

Las operaciones matemáticas que se pueden efectuar sobre una imagen generalmente pertenecen a uno de dos grupos: operaciones 'puntuales' que se llevan a cabo sobre los datos o píxeles individuales y las operaciones de Fourier. Las operaciones 'puntuales' son aquellas en donde los datos se manipulan sin tomar en cuenta los valores de sus vecinos (nótese que cada píxel, si no se encuentra en una orilla de la imagen, tiene 8 vecinos). La operación más sencilla de este tipo consiste en sumar o restar una cantidad constante a cada píxel. Esto tiene el efecto de aumentar o disminuir la intensidad de toda la imagen. El equivalente en fotografía sería el de aumentar o disminuir el tiempo de exposición. Supongamos que tenemos una fotografía que sufre de subexposición y por lo tanto no es completamente comprensible al observador. Si la digitalizamos y le sumamos un valor constante podríamos compensar la falta de exposición original.

La operación 'puntual' de más interés es el mejoramiento del contraste. El contraste se define como

$$(I_{\max} - I_{\min}) / (I_{\max} + I_{\min}).$$

$$(I_{\max} - I_{\min}) / 2$$

es el punto medio de la diferencia entre el valor máximo y mínimo de una imagen y

$$(I_{\max} + I_{\min}) / 2$$



es el promedio de la iluminación máxima y mínima de la imagen. Según esta definición, un contraste igual a 1 se obtiene cuando

$$I_{\max} - I_{\min} = I_{\max} + I_{\min} \rightarrow I_{\min} = 0.$$

En muchos casos (con imágenes de radiología por ejemplo) los valores de los píxeles caen dentro de un rango muy estrecho y todos tienen un valor mayor que cero. En otras palabras, no tienen buen contraste. El algoritmo para remediar esta situación es restarle el valor mínimo a cada píxel y luego multiplicar a todos por una constante para que así queden los valores distribuidos en el rango más amplio posible.

En el proceso de pseudocoloración de una imagen se asigna un color arbitrariamente a los diferentes valores de los píxeles. De esta forma, la diferencia entre píxeles con valores cercanos que en un esquema de gris pasaría inadvertida por el observador, queda - violentamente, a veces - marcada. Este proceso es sumamente útil en radiología puesto que las imágenes contienen mucha información y tienen poco contraste. La pseudocoloración es esencial cuando se está trabajando con imágenes multispectrales (formadas con radiación de espectros que no necesariamente están en el visible) como es el caso de la prospección por percepción remota (imágenes multispectrales tomadas por satélites).

Toda imagen contiene variaciones de intensidad en un espacio bidimensional. El análisis de estas variaciones implica el análisis de la relación entre cada píxel y sus vecinos. Según el teorema de Fourier, estas variaciones espaciales se pueden representar por medio de una suma de ondas senoidales espaciales con diferentes frecuencias y amplitudes. De esta manera, al efectuar una transformada de Fourier bidimensional sobre una imagen, obtenemos, en el espacio de frecuencias, las amplitudes de las diferentes ondas senoidales que componen la imagen original. Los valores de estas amplitudes se conocen como los coeficientes de Fourier. Esta representación de la imagen en términos de sus coeficientes de Fourier es sumamente útil en el procesamiento de imágenes.

Uno de los procesamientos más sencillos con operaciones de Fourier es el resaltamiento de bordes. Los bordes de algún objeto en una imagen se caracterizan por ser cambios abruptos en intensidad. Los cambios abruptos se reflejan en los coeficientes de Fourier correspondientes a altas frecuencias en la transformada. Si aumentamos la magnitud de estos coeficientes y aplicamos la transformada inversa de Fourier, obtendremos una imagen con los bordes más definidos.

El procesamiento de imágenes con operaciones de Fourier tiene muchas aplicaciones en el área de restauración de imágenes. A saber, si una imagen se capturó en condiciones adversas (desafocada, movimiento durante la exposición, ruido por transmisión etc.) y el resultado es poco significativo para el observador, los errores de captura pueden ser corregidos matemáticamente por operaciones de Fourier para que la imagen final sea significativa para el observador.

Conviene recalcar el hecho de que las diferentes operaciones mencionadas hasta aquí para procesar imágenes pueden hacerse a muy altas velocidades por medio de sistemas ópticos particulares a cada operación y que la gran ventaja del PDI es que la computadora puede efectuar todas estas operaciones. Una noción interesante es la de Procesamiento Híbrido de Imágenes en donde parte del procesamiento se efectúa ópticamente y parte digitalmente. (2)

## **Antecedentes**

El procesamiento de información de imágenes por computadoras (procesamiento digital de imágenes o PDI) tiene más de dos décadas de antigüedad. Ha surgido como herramienta en áreas tan diversas como la radiología y la cartografía pasando por comunicaciones, astronomía, física nuclear, control de calidad, restauración, percepción remota, CAD-CAM y, como desgraciadamente suele suceder con todas las tecnologías, usos militares. Los primeros experimentos en esta tecnología fueron realizados en computadoras de uso general en sitios como el Jet Propulsion Laboratory de la NASA en Pasadena, California; y la universidad de Purdue procesando principalmente información de satélites a principios de los sesentas.

Sin embargo, desde que el público en general tuvo contacto con el procesamiento digital de imágenes con las impresionantes imágenes de Marte enviadas por el Mariner en la década de los sesentas y más recientemente por el Viking, ha ocurrido un avance significativo en una de las dos áreas centrales al PDI, a saber, la personalización de la computación. De pronto, la computación dejó de ser del dominio de la NASA, las universidades y los bancos y se hizo accesible al público 'no iniciado'. Los costos del equipo bajaron, se creó un mercado inmenso, el desarrollo tecnológico se disparó, y hemos aquí en la era de la computación personal. Pasados están los días en donde un programa de diez líneas que corría en unos cuantos milisegundos tardaba en entrar a las grandes computadoras (mainframes) unos cuantos cuartos de hora.

Las computadoras personales le dan al usuario un control absoluto sobre su trabajo. Con la ayuda de redes locales (LAN) un usuario, desde su computadora puede comunicarse con algún otro usuario en su computadora o pueden compartir una memoria común sin que ninguno pierda su autonomía. Si a esto le agregamos el hecho de que algunos de los nuevos sistemas personales de computación tienen capacidades comparables en orden de magnitud a los grandes sistemas, y que en la mayoría de los casos, los grandes sistemas son subutilizados, es claro porqué estos últimos están siendo reemplazados por microcomputadoras.

Sin embargo, las enormes memorias y altas velocidades de procesamiento de algunos de los grandes sistemas siguen siendo vitales para ciertas áreas de la computación. Una compañía de teléfonos o un banco no podrían subsistir a base de computadoras personales (aunque hay quienes abogan que sí). La polémica entre los sistemas personales y los grandes sistemas puede plantearse en un esquema de centralismo vs. autonomía.

En el procesamiento digital de imágenes, las condiciones idóneas son un sistema con mucha memoria y altas velocidades de procesamiento ya que la carga de procesamiento es proporcional al cuadrado de las dimensiones de la imagen y directamente proporcional al número de niveles de la imagen a procesar (bits por pixel). De aquí que el PDI normalmente ha sido limitado a aquellos con acceso a los grandes sistemas de cómputo o a sistemas especializados al PDI. Sin embargo debido a la difusión

de los sistemas personales, ha surgido la inquietud de averiguar hasta dónde se puede llegar con estos sistemas en el PDI. Los resultados han sido realmente impresionantes. Para operar con las memorias y velocidades reducidas de estos sistemas se han desarrollado algoritmos de procesamiento y almacenamiento sumamente eficientes. (3)

A pesar de todo lo dicho, aún existe en México una situación en donde el PDI, aunque con bastante difusión, no ha entrado en contacto con gente que no se dediquen a actividades relacionadas con el área. Esto se debe esencialmente al costo y complejidad de los sistemas de PDI empleados aquí que exigen algo más que un uso didáctico, administrativo o recreativo. Aun cuando ya existen sistemas 'personales' de PDI, estos no han tenido la difusión deseada.

El objetivo de esta tesis es proponer un sistema de captura de imágenes que sea sencillo en diseño y operación, confiable y de bajo costo sin que esto limite su uso en áreas donde el PDI es un instrumento de trabajo. Propone un sistema que de llegarse a producir, pondría a la disposición de la comunidad un digitalizador de imágenes de complejidad y costo proporcional al de los sistemas personales más difundidos.

En el Centro de Instrumentos existe a la fecha una cantidad considerable de trabajo desarrollado al respecto. Este comenzó en 1981 con la construcción de un detector de trazas nucleares que empleaba un procesamiento híbrido de imágenes; óptico y electrónico. Para 1985 se construyó, junto con el Instituto Nacional de Cardiología, un primer digitalizador de imágenes para realizar procesamiento de imágenes radiológicas. Este aparato cuenta con una memoria grande (cuatro bancos de 64K) y puede almacenar cuatro imágenes de resolución media (256 x 256 píxeles) o bien una de alta resolución (512 x 512 píxeles). La conexión entre este aparato y la microcomputadora se hace a través de seis puertos y por ende requiere una tarjeta - complicada - de interface. La señal de entrada es de una cámara de TV estandar NTSC y la salida es a un monitor de TV del mismo estandar. Es un aparato voluminoso y complicado para operar y mantener que tiene su propia fuente de poder. (4)

El nuevo diseño, la versión II que plantea este trabajo, es un sistema más pequeño y considerablemente más sencillo. Su capacidad de memoria permite digitalizar

unicamente una imagen de 256 x 256 pixeles o elementos de imagen. Emplea memorias tipo doble puerto que elimina la necesidad de una interfase entre el sistema digitalizador y la computadora. Sin embargo, la simplificación más dramática se encuentra en el sistema de sincronía que consta de un solo circuito integrado de tecnología MOS VLSI. Este mismo circuito se encuentra en una tarjeta con aproximadamente 20 circuitos integrados en el primer digitalizador. Además, el nuevo sistema cuenta con una innovación: la capacidad de trabajar con despliegue en seudocolor además del blanco y negro usual. Las señales de entrada y salida son las mismas: entrada - cámara de TV estandar NTSC; salida - monitor NTSC.

Estas simplificaciones y la consecuente reducción en tamaño del dispositivo permitirá colocar el sistema entero sobre una tarjeta de inserción directa a las ranuras de expansión de una computadora tipo IBM PC, ahorrando las fuentes de poder reguladas de la versión anterior ya que emplearía la fuente de la PC misma. (Esta última etapa, la construcción de las tarjetas, no se incluye en el trabajo de tesis).

En el aspecto de velocidad de procesamiento, la nueva versión tiene una gran ventaja sobre la anterior. En la versión anterior, la memoria donde reside la imagen tiene que ser accedida a través de varios puertos, como un dispositivo periférico. En el nuevo sistema el banco de memorias del dispositivo pasa a ser memoria directamente accesible por el CPU de la PC. Las operaciones del CPU pueden llevarse a cabo sobre la misma memoria de la imagen y se gana tiempo ahorrando el paso a través del puerto.

Sin embargo, el diseño tiene una limitación, heredada de su antecesor, que es la necesidad de sincronisar a la cámara de TV con el generador de sincronías del sistema. Esto quiere decir que la señal de entrada al digitalizador debe provenir de una cámara de TV que acepte sincronía externa suministrada por el digitalizador. El sistema no puede digitalizar la señal de una videograbadora (VCR) por ejemplo. Esto es una limitación sin duda pero tiene una ventaja que es la estabilidad de la imagen final.

**Bibliografía:**

- (1) Contrast and Spatial Frequency.  
Fergus W. Campbell, Lamberto Maffei  
Scientific American, november 1974.
- (2) Image Processing by Computer  
T.M. Cannon, B.R. Hunt  
Scientific American, October 1981.
- (3) Image Processing on the IBM Personal Computer.  
H. Joseph Myers, Ralph Bernstein  
IEEE Proceedings, june 1985.
- (4) Digitalizador de Imágenes  
Gabriel Corkidi Blanco  
Centro de Instrumentos, UNAM  
Mayo de 1986, B-127-1

## 2 - DESCRIPCION GENERAL DEL DISEÑO

El diseño del digitalizador tiene como característica fundamental, que lo diferencia de otros diseños, la capacidad de acceso directo por el CPU de la PC a las memorias de almacenamiento de la imagen sin necesidad de interface. En este sentido se asemeja a la tarjeta de video estandar de la PC. Por lo mismo, el mapa de memoria del sistema PC cambia al incluir una sección de 64K para este dispositivo (D0000H - DFFFFH) (ver descripción del mapa de memoria secc 3). Esto se logra usando memorias de doble puerto (TMS 4161) que permiten, por un lado, el acceso del CPU como si fuesen memorias dinámicas normales, y por el otro, el acceso a y de los convertidores analógico-digital (A/D) y digital-analógico (D/A) (fig 2,1).

### *Memorias doble puerto TMS 4161*

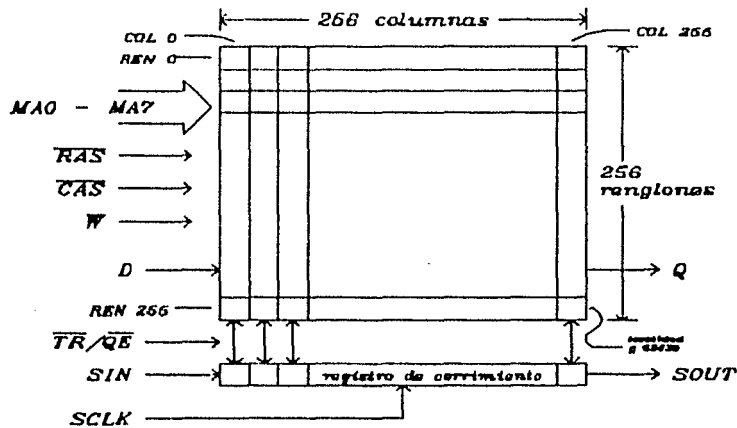


Figura 2,1

Dicho de otra manera, el sistema cuenta con dos buses de acceso: uno rápido para la información de video, y el otro el bus de datos del sistema PC. El bus rápido pasa a través de un registro de corrimiento de 256 bits que requiere su propio reloj de corrimiento (SCLK) mientras que el bus 'normal' opera con las señales estandar de las memorias dinámicas (RAS, CAS, W, etc.) Las memorias están organizadas en una matriz de 256 X 256 y cada bit de los registros de corrimiento está conectado con una de las columnas de la matriz. El contenido del registro de corrimiento puede ser transferido a un renglón

de la matriz de memoria previamente especificado, o bien, el contenido de un renglón puede ser transferido íntegramente y con un solo pulso (TR/QE + RAS) hacia el registro de corrimiento (fig 2.2). El control de estas memorias incluyendo su refresco está a cargo de un circuito controlador de memorias dinámicas (TMS 4500).

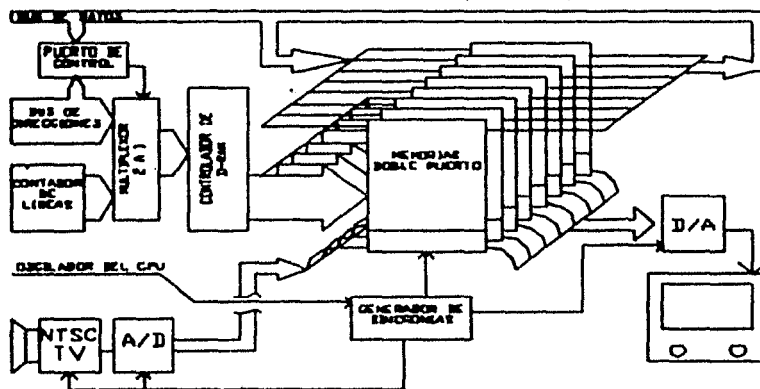
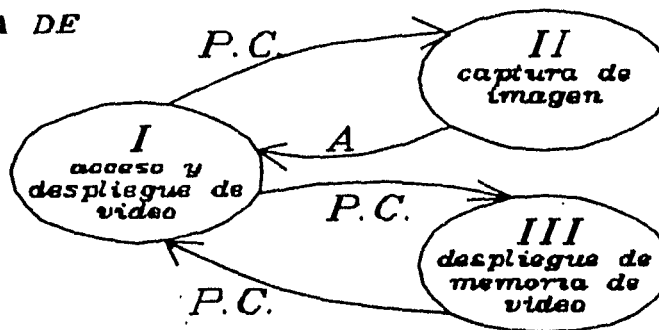


Figura 2,2

Otra parte importante del sistema es un único puerto de control (localizado en 03E0H) que coordina los tres estados específicos del sistema (fig 2,3).

**DIAGRAMA DE ESTADOS**



**P.C. = Puerto de control**  
**A = Automático**

Figura 2,3



- El estado I, acceso y despliegue de video, que se activa con la palabra de control 0, permite el acceso del CPU a las memorias. En este estado, la información proveniente de la cámara de TV y el convertidor A/D pasa directamente hacia el convertidor D/A y luego al monitor, a través del registro de corrimiento. En otras palabras, el monitor muestra, con una línea de desfasamiento, lo que capta la cámara de TV y que puede ser capturado o transferido a memoria.

- El estado II, captura de imágenes, con palabra 01, hace la captura de la imagen siendo esta siempre el campo impar de la imagen de TV (ver apéndice A1 sobre los diferentes campos). En el

momento en que se encuentra la primera línea de video del campo impar en el registro de corrimiento, este es transferido al primer renglón de la memoria durante la sincronía horizontal; la segunda línea de video pasa al segundo renglón y así sucesivamente hasta la última línea del campo. Entonces, el sistema regresa automáticamente al estado I.

- El estado III, despliegue de memorias de video, con palabra de control 03, despliega en el monitor el contenido de la memoria de forma análoga pero en sentido inverso a la del estado II. La memoria puede contener alguna imagen capturada en el estado II o alguna imagen transferida ahí por el CPU. En este estado, el CPU no tiene acceso a la memoria y para salir de él se requiere pasar al estado I enviando al puerto la palabra de control correspondiente. (No se recomienda pasar del estado III al II por incompatibilidad de sincronías entre los dos estados, ver sección 5, 2/9).

Tomando en cuenta lo anterior, queda más clara la función del multiplexor y de los contadores: durante el estado I, los multiplexores conectan al controlador de DRAM con el bus de direcciones de la PC; y durante los estados II y III son los contadores los que controlan la localización de las líneas de video en la matriz de las memorias, ya sea para capturar o para desplegar una imagen.

El generador de sincronías tiene la función de sincronizar la cámara de TV y el monitor con el oscilador de la PC. Además provee el reloj para las conversiones del A/D. Ya que todas las señales del sistema provienen de un solo oscilador, el de la PC, la relación de

fase entre ellas es constante lo cual resulta en una imagen muy estable. En particular es de interés el que se mantenga esta relación de fase constante entre el reloj de conversión A/D y los pulsos de sincronía horizontal de la cámara de TV. De esta forma, cada muestra mantendrá una relación de tiempo fija con respecto al inicio de la línea de video. El generador de sincronías provee además un pulso que indica la paridad del campo de video para el sistema 'cacha cuadros' del estado II.

El convertidor A/D es de tipo "flash" de siete bits de resolución capaz de llevar a cabo hasta diez millones de conversiones por segundo. En este sistema, su frecuencia de trabajo es de 4.77 MHz. El bit más significativo del banco de memorias no tiene asignado un bit del convertidor ya que son 8 bits del banco de memorias y unicamente 7 del convertidor.

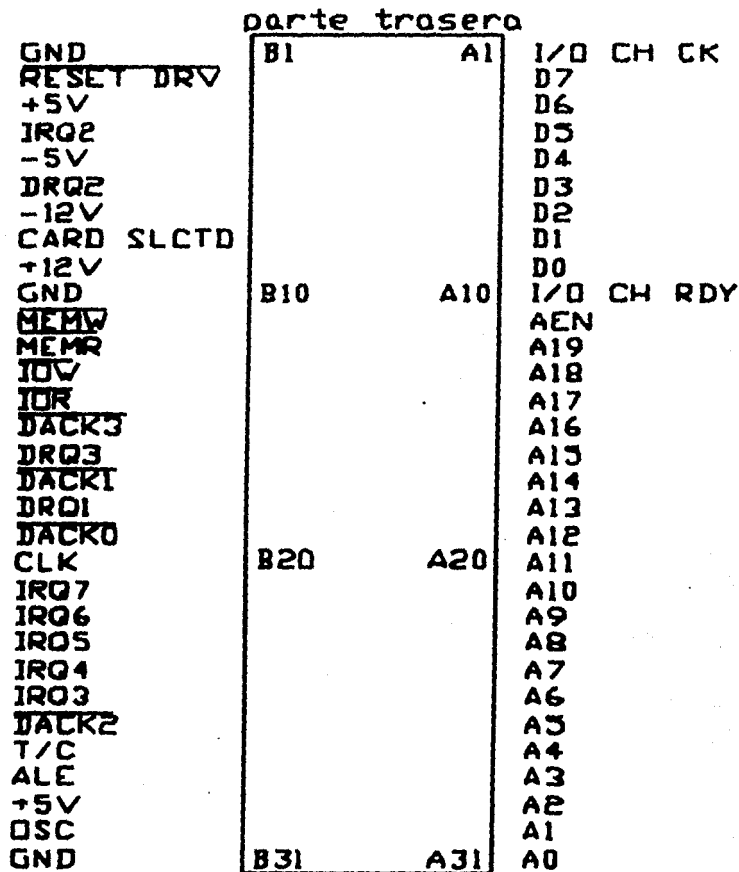
El sistema tiene dos salidas: una de video blanco y negro y una de video en color. El convertidor B y N tiene 8 bits de entrada. El bit más significativo del convertidor A/D pasa, por la memoria, al bit más significativo de este convertidor D/A. El bit menos significativo no tiene asignación dando un total de 128 diferentes niveles de gris.

El convertidor de color tiene 9 bits de entrada; tres para cada color sea rojo, azul o verde. La asignación de bits a este convertidor es completamente arbitraria para generar imágenes en pseudocolor. Sin embargo, habrá un bit sin asignación.

El digitalizador acepta como entrada una señal de video de una cámara de TV estandar NTSC que debe ser capaz de aceptar a su vez sincronía externa. Esta es provista por el digitalizador. La salida de video es a su vez estandar NTSC (ver apéndice A1).

### 3 -- DESCRIPCION DEL BUS DE EXPANSION IBM PC.

Los sistemas tipo IBM PC, a los que se hace referencia en este trabajo, incluyen a una familia de microcomputadoras compuesta por la IBM XT, IBM PC y IBM AT que como es bien sabido no necesariamente son de la marca comercial IBM. Estas microcomputadoras operan con los microprocesadores (CPU) de la familia iAPX 86,88 de Intel. El sistema de digitalización de imágenes presentado en este trabajo puede insertarse en las ranuras de expansión de cualquiera de estas máquinas siempre y cuando las señales en estas ranuras (bus de expansión) sean las siguientes:



lado de componentes

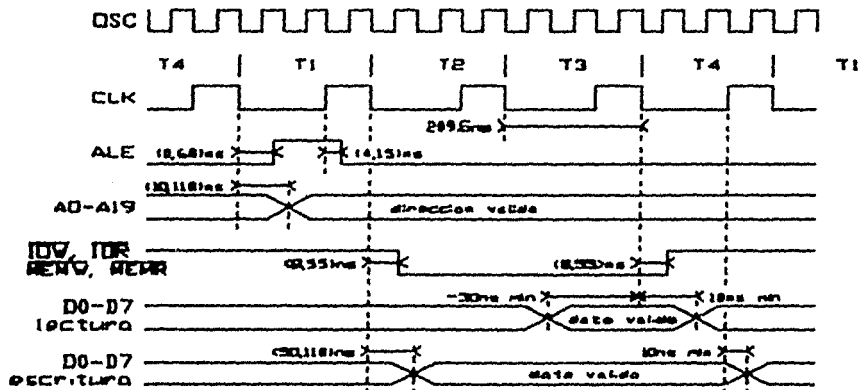
A continuación se da una descripción de las señales. La primera columna se refiere al nombre de la señal en el circuito; la segunda columna indica si es una señal de entrada (I) o de salida (O) de la máquina.

A0-A19	O	Address 0-19. Bits de direccionamiento 0 a 19. Estas señales son empleadas para direccionar la memoria (1 M byte) y los puertos del sistema (64 K). Las señales son generadas por el CPU o por el controlador de DMA.
AEN	O	Address Enable. Esta señal indica que el controlador de DMA tiene el control de los buses de direcciones y de datos y de las líneas de acceso a memoria y a puertos.
ALE	O	Address Latch Enable. Esta señal, proporcionada por el controlador de bus (8288), indica la presencia de una dirección válida en el bus de direcciones. Cuando es empleada junto con AEN, indica una dirección válida del CPU.
-CARD SLCTD	I	-Card Selected. Esta línea es activada por algún dispositivo localizado en la ranura de expansión J8 únicamente.
CLK	O	Clock. La frecuencia del oscilador dividida entre tres con un período de 209.5 ns (4.77 MHz). Tiene un ciclo de trabajo de 33%.

D0 - D7	I/O	Data 0 - 7. Bus de datos para memoria, puertos y CPU.
-DACK0 -DACK3	O	DMA Acknowledge 0 - 3. Estas señales responden a las solicitudes de DMA 1 a 3. DACK0 indica refresco de memoria.
DRQ1 -DRQ3	I	DMA Request. Estas señales indican al controlador de DMA una solicitud de DMA por algun dispositivo. DRQ1 tiene máxima prioridad y DRQ3 mínima.
-I/O CH CK	I	-I/O Channel Check. Esta línea provee al CPU con información sobre errores de paridad en memorias o puertos.
I/O CH RDY	I	I/O Channel Ready. Esta entrada se emplea por dispositivos lentos para alargar los ciclos de acceso del CPU.
-IOR	O	-I/O Read Command. Esta señal le indica a los puertos que el bus de datos está listo para recibir información. Es operada por el CPU o por el controlador de DMA.
-IOW	O	-I/O Write Command. Indica a puertos que hay información válida en el bus de datos.

IRQ2-IRQ7	I	Interrupt Request 2 - 7. Estas entradas indican al CPU que algún dispositivo periférico requiere servicio. IRQ2 tiene máxima prioridad, IRQ7 mínima.
-MEMR	O	-Memory Read Command. Indica a memoria que el bus de datos esta listo para recibir información.
-MEMW	O	-Memory Write Command. Indica a memoria que el bus de datos contiene información válida.
OSC	O	Oscillator. Oscilador con período de 70 ns (14.31818 MHz) y un ciclo de trabajo de 50%.
RESET DRV	O	Reset Drive. Esta salida se emplea para resetear la lógica del dispositivo periférico al encender la computadora.
T/C	O	Terminal Count. Indica el fin de una transferencia DMA en cualquiera de los 4 canales de DMA.

De estas señales el digitalizador emplea únicamente A0-A19, AEN, CLK, D0-D7, -DACK0, -IOR, -IOW, -MEMW, -MEMR, OSC y RESET DRV.



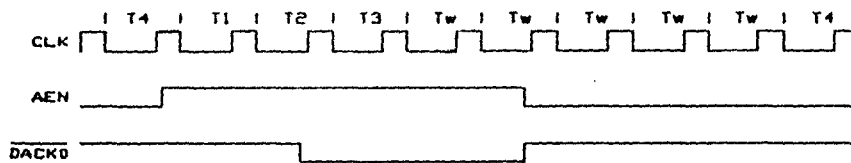
Este diagrama de tiempos muestra la ocurrencia de estas señales dentro de un ciclo típico del 8086. El ciclo ocupa cuatro ciclos del reloj. Las instrucciones pueden usar uno o más ciclos de máquina para su ejecución. (1) (2) Los CPU de los sistemas IBM PC tienen capacidad de direccionamiento de 1 M byte de memoria (8088) o 4 M byte (8086) que está organizada de la siguiente manera:

**MAPA DE MEMORIA IBM PC**

	0-FFFF	64 K	
	10000-1FFFF	128 K	
	20000-2FFFF	192 K	
	30000-3FFFF	256 K	
memoria RAM	40000-4FFFF	320 K	
	50000-5FFFF	384 K	
	60000-6FFFF	448 K	
	70000-7FFFF	512 K	
	80000-8FFFF	576 K	
	90000-9FFFF	640 K	
reservado	A0000-AFFFF	704 K	
	B0000-BFFFF	768 K	B0000-B3FFF video monochrome
	C0000-CFFFF	832 K	B8000-BBFFF video color/graphics
RDM, expansion y control	D0000-DFFFF	896 K	CB000-CBFFF fixed disc control
	E0000-EFFFF	960 K	D0000-DFFFF memoria del digitalizador
BIOS y BASIC en RDM	F0000-FFFFF	1024 K	

Como se puede apreciar, la memoria del digitalizador se encuentra en una sección de la memoria del CPU normalmente reservada para memoria ROM. Sin embargo, este segmento rara vez se encuentra ocupado puesto que la memoria ROM estándar de los sistemas IBM PC se encuentra en localidades más altas. Dado el caso de una micro en donde este segmento se encuentre efectivamente ocupado por memoria ROM, se podría cambiar la decodificación del digitalizador para acomodar su memoria en otro segmento de 64K que no se encuentre ocupado.

El puerto de control del dispositivo se encuentra en la localidad 03E0. Los puertos 3E0-3EF no tienen asignación alguna en el sistema PC. Finalmente, el siguiente diagrama muestra los tiempos para el ciclo de refresco del sistema PC. Este ocupa 5 ciclos extra ( $T_w$ ) insertados entre T3 y T4.



### Bibliografía:

- (1) Intel Microsystems Component Handbook  
Volumen I y II  
Intel Corporation 1986.
- (2) IBM Personal Computer Hardware Reference Library  
Technical Reference TX  
April 1984.



#### 4 - RELACION ENTRE EL DISEÑO DEL SISTEMA, LAS SEÑALES NTSC Y LAS SEÑALES IBM PC.

##### Resolución teórica

Los estándares de televisión establecidos por la NTSC constan esencialmente de lo siguiente:

- la frecuencia de cuadros es de 30 cuadros por segundo. Un cuadro consiste de una imagen estática completa.
- cada cuadro está dividido en dos campos, uno par y otro impar (nomenclatura), que da una frecuencia de 60 campos por segundo.
- cada campo a su vez contiene 262.5 líneas de video, dando un total de 525 líneas por cuadro. Estas líneas se proyectan sobre la pantalla de modo entrelazado. El campo par comienza en el centro de la parte superior de la pantalla y termina en la esquina inferior derecha. El campo impar comienza en la esquina superior izquierda y termina a la mitad de la parte inferior de la pantalla. (fig 4,1)
- Si tenemos 525 líneas cada 1/30 segundos, cada línea dura 63.5  $\mu$ s.
- De estos 63.5  $\mu$ s, 53.34  $\mu$ s contienen la información de video y los 10.16  $\mu$ s restantes contienen información de sincronía horizontal (fig 4,2). La cantidad importante aquí son los 53.34  $\mu$ s de información de video por línea.
- Por otro lado, al final de cada campo, se requiere información de sincronía vertical para regresar el haz hasta la parte superior de la pantalla. Esto toma 21 líneas de video las cuales no contienen información de la imagen dando un total de  $262.5 - 21 = 241.5$  líneas con información de la imagen por campo. (fig 4,3)

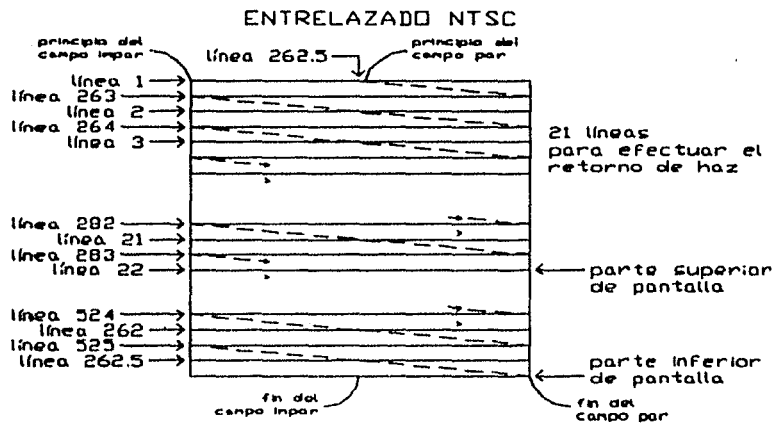


Figura 4,1

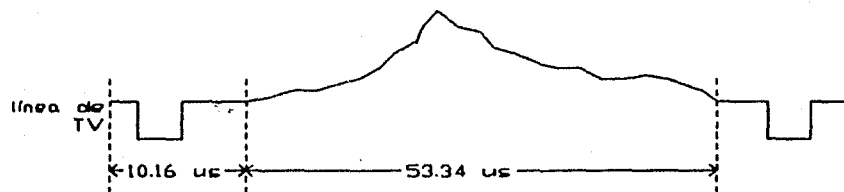


Figura 4,2

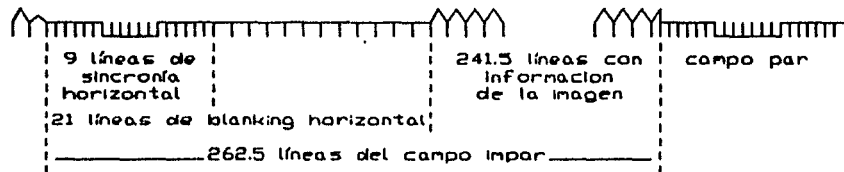


Figura 4,3

De este análisis concluimos que la información real sobre la imagen, por cuadro, esta contenida en  $2 \times 241.5$  líneas con  $53.34 \mu s$  cada una. Esto quiere decir que de los

$$1000 / 30 = 33.33 \mu s$$

de información por cuadro,

$$2 \times 241.4 \times 0.0533 = 25.76 \mu s$$

contienen la imagen. El resto - los

$$33.33 - 25.76 = 7.7 \mu s$$

restantes - contienen información de sincronía que es totalmente independiente del contenido de la imagen y por lo mismo pueden ser sintetizadas. (para mayor información sobre los estandares NTSC ver apéndice A1).

Por otro lado, el sistema IBM PC opera de un oscilador de  $14.31818 \text{ MHz}$  el cual es dividido entre 3 para obtener el reloj de

$$14.31818 / 3 = 4.7727 \text{ MHz para el CPU.}$$

Esto dá un período de reloj de

$$1 / 4.7727 = 0.2095 \mu s$$

Si empleamos este mismo reloj para muestrear los  $53.34 \mu s$  de información por línea obtenemos

$$53.34 / 0.2095 = 254.6$$

muestras por línea que son 254 muestras efectivas.

La memoria empleada en el diseño consta de un banco de 64K arreglada en una matriz de 256 x 256 columnas por renglones con una profundidad de 8 bits. Si empleamos el esquema descrito anteriormente, podemos colocar las 254 muestras o pixeles de línea de video secuencialmente en un renglón desperdiciando únicamente dos bytes de memoria por línea. Similarmente, podemos colocar las 241.5 líneas de un campo en los 256 renglones desperdiciando 14.5 renglones de la matriz. Esto nos dá una resolución teórica del sistema de 254 x 241.5 que es el 93.6% del total de memoria o bien de una resolución ideal de 256 x 256.

De las 525 líneas por cuadro de TV únicamente 483 son visibles. Las 42 líneas faltantes se pierden en la sincronía vertical. En teoría, la resolución vertical es de 483 líneas. Según las investigaciones de R. D. Kell (1) el observador mira las imágenes a una distancia en donde esta resolución se reduce en un 75% resultando en una resolución vertical de

$$0.75 \times 483 = 362 \text{ líneas.}$$

Si exigimos una resolución horizontal equivalente, y tomando en cuenta que el aspecto de la imagen NTSC es de 4/3, tendremos

$$4/3 \times 362 = 482$$

'puntos' o pixeles, o 241 pares, en los 53.34  $\mu$ s de información por línea de video. Tenemos entonces

$$53.34 / 241 = 0.22 \mu\text{s}$$

por par que corresponde a un ancho de banda de 4.52 MHz.

Segun el Teorema de Muestreo de Shannon (2), para conservar la totalidad de la información muestreada, se requiere tener una frecuencia de muestreo  $f_m$  tal que:

$$2 f_{\text{max}} \leq f_m$$

donde  $f_{max}$  es el ancho de banda de la señal muestreada. En el caso de la television NTSC,  $f_m$  tendría que ser por lo menos

$$2 \times 4.52 = 9.04 \text{ MHz}$$

que resultaría en

$$9.04 \times 53.34 \approx 482$$

muestras por línea. Un sistema con resolución de  $482 \times 482$  conservaría íntegramente la información de la imagen de TV NTSC. De aquí que si la resolución mínima para conservar la totalidad de la imagen es de

$$482 \times 482 = 232324$$

la resolución del sistema en cuestión,

$$241.5 \times 254 \approx 61341$$

representa el 26.3% de la resolución ideal. En este análisis no hemos tomado en cuenta errores de cuantización que dependen del contenido de la imagen.

Haciendo este análisis al revés; i.e. partiendo de la frecuencia de muestreo y determinando cual es el ancho de banda que se puede muestrear sin pérdida de información tenemos

$$4.7727 / 2 = 2.39 \text{ MHz}$$

que en efecto corresponde a 254 puntos horizontales y 241 puntos verticales.

### Localización de la información en las memorias Resolución real

El bus de direcciones de la pc contiene 20 líneas que permiten acceso a 1M byte de memoria. De estas, las cuatro más altas seccionan la memoria en 16 secciones de 64K dando un total de

$$16 \times 64 = 1024K = 1 \text{ M byte.}$$

En el sistema en cuestión, los 64K empleados residen en las localidades D0000H - DFFFFH. La decodificación de las cuatro líneas más altas activan este banco y las 16 líneas restantes accesan las celdas de la matriz de la siguiente manera: las 8 líneas menos significativas seleccionan las columnas mientras que las 8 líneas más significativas seleccionan los renglones. Esto quiere decir que si recorremos la memoria secuencialmente recorreremos primero el primer renglón y terminaremos por recorrer el último renglón.

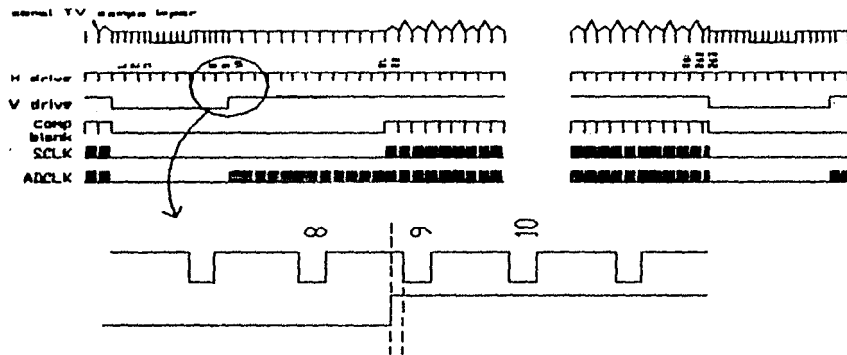


Figura 4,4

El dibujo anterior (fig 4,4) muestra la relación entre el campo impar de TV, la sincronía horizontal y la sincronía vertical.

En el sistema, la sincronía vertical dá reset a los contadores de línea y la sincronía horizontal los incrementa (clock). Además, la transferencia entre los registros de corrimiento y la memoria se lleva a cabo durante la sincronía horizontal misma.

El detalle de la subida de la sincronía vertical y la sincronía horizontal (fig 4,4) muestra que en realidad este último, el pulso de sincronía horizontal correspondiente a la línea 9 de TV, ocurre 2  $\mu$ s después de la subida del pulso de sincronía vertical. Este pulso, el #9, efectuará la primer transferencia entre memoria y los registros de corrimiento. Como el reloj de los registros de corrimiento (SCLK) no está activado, los registros contendrán la última línea del campo anterior. Lo mismo ocurrirá con las líneas 10 a la 21. Al terminar la línea 21, en la línea 22, comienza a aparecer la información de la imagen. Es en este momento, cuando se levanta la señal de blanqueo (comp blank) y se activa SCLK, que se comienza a capturar la imagen. El proceso sigue hasta la línea 262 que es transferida con su subsiguiente pulso de sincronía horizontal. La línea 263, que contiene únicamente media línea de información de video, nunca es transferida puesto que a la mitad cae el pulso de sincronía vertical que vuelve a resetear a los contadores e inhibe las transferencias, y si se está en el estado II de captura, también dá reset al latch del puerto de control para volver al estado I de acceso.

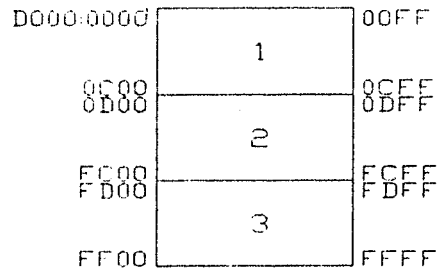


Figura 4,5

- (1) 13 líneas que no contienen información de la imagen. Contienen, repetida, la última línea del campo anterior.
- (2) 240 líneas que contienen a las líneas de video 22 a la 262. Esta es la imagen propia.
- (3) Tres líneas que nunca son accedadas.

En este diagrama se equipara una línea de video con un renglón de FFH o 256 bytes. La relación entre los bytes en los renglones y la línea de video es la siguiente (fig 4,6):

{27}

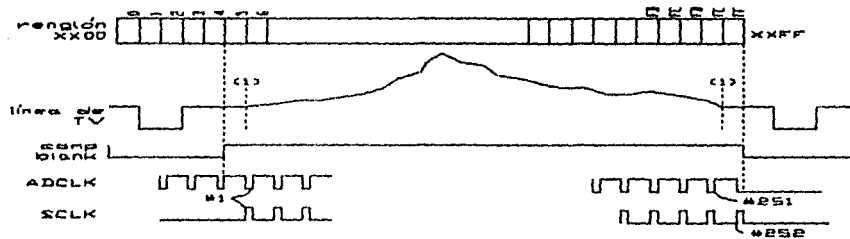


Figura 4,6

El número real de muestras por línea de video es 251, tres menos que las predichas teóricamente. Esta diferencia reside en el hecho de que el generador de sincronías empleado no respeta precisamente los 10.16 us de blanqueo horizontal y emplea más tiempo acortando el tiempo para información de video. Existe además una diferencia entre la señal de blanqueo del sistema y el blanqueo de la cámara (nota 1 en el diagrama anterior). Esta diferencia dependerá enteramente de la cámara empleada.

El diagrama anterior también muestra la localización de la línea de video en un renglón de la memoria. Nótese que los primeros 5 bytes de cada renglón no contienen información pertinente a la imagen.



**Bibliografía:**

(1) Video Handbook

Ru van Wezel

Newnes Technical Books, 1981.

(2) Digital Signal Processing

William D. Stanley

Reston Publishing Company, Inc. 1975.

Television Electronics, 8th Edition

Milton S. Kiver, Milton Kaufman

Van Nostrand Reinhold Co., 1983.

## 5-- DESCRIPCION DE LAS PARTES DEL DISEÑO

### 1/9 -- General

En este diagrama se encuentran las señales provenientes de la PC y las diferentes partes del sistema presentadas en bloques. A cada bloque le corresponde un dibujo aparte que muestra el detalle del circuito. La lógica que se encuentra en este dibujo es la siguiente:

El circuito de decodificación de bloque de memoria D0000H (compuertas 1A2C, 1A3A) que genera la señal de DECODE\ . Posteriormente se genera MEMRWD\ con DECODE\ , MEMW\ y MEMR\ que indica un acceso de lectura o escritura al bloque de memoria D0000H (circuito 1C4A, 1D2B).

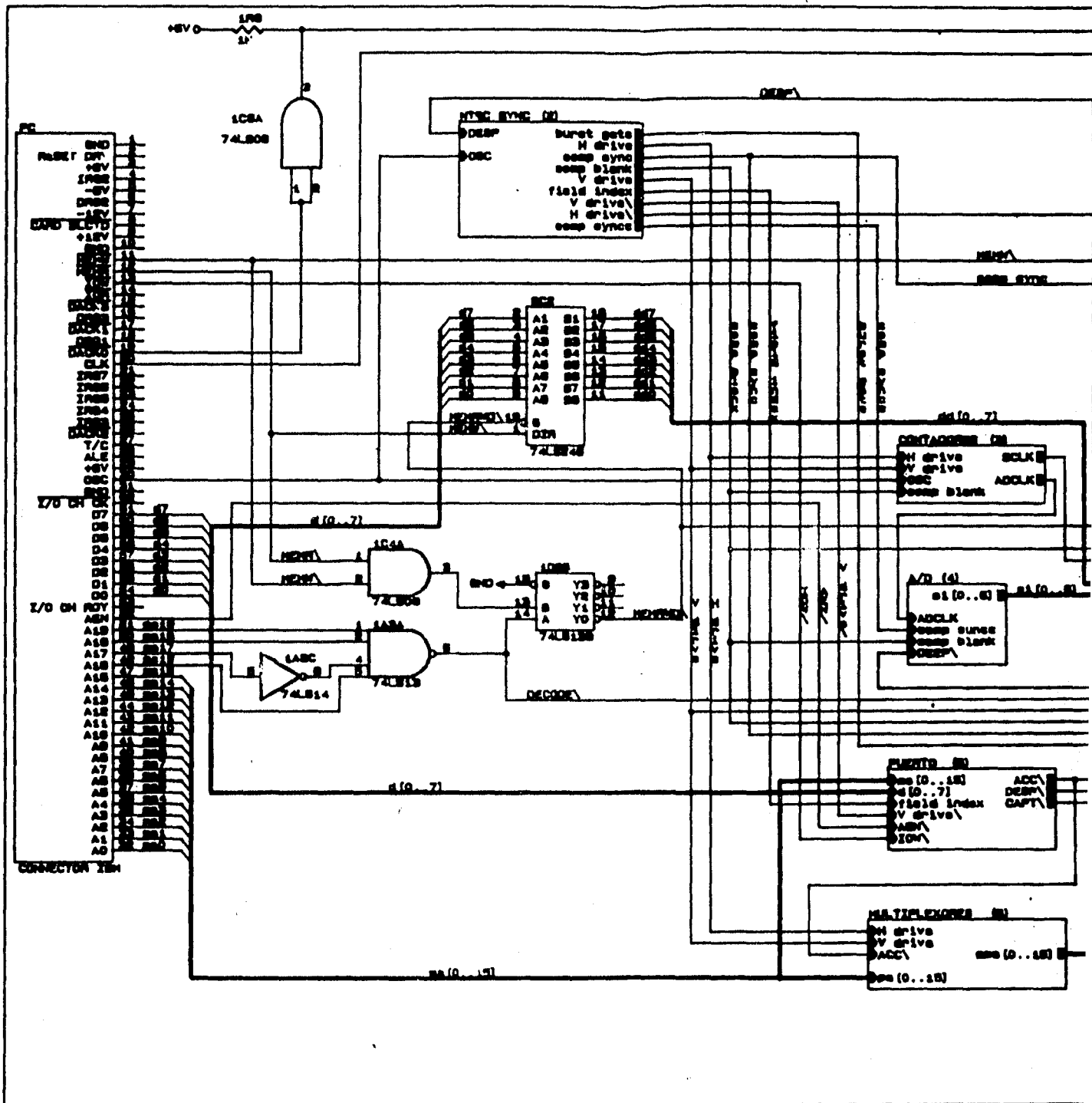
$$\text{DECODE}\ = (\text{ma}19 \cdot \text{ma}18 \cdot \text{ma}17\ \backslash \cdot \text{ma}16)\ \backslash$$

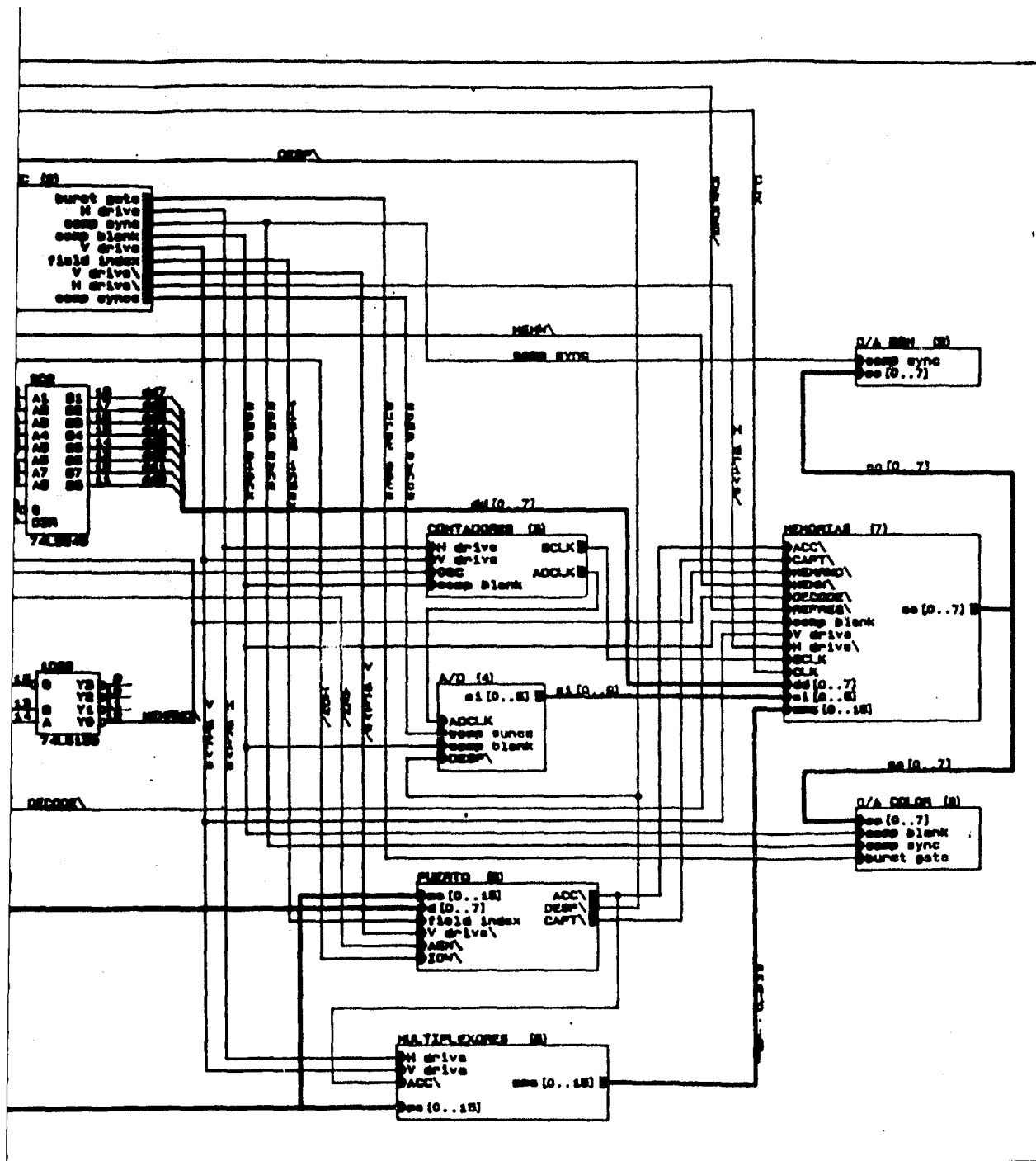
$$\text{MEMRWD}\ = (\text{DECODE}\ \ + (\text{MEMR}\ \cdot \text{MEMW}\ \ ))\ \backslash$$

Nótese que el decodificador 1 de 4 (1D2B) funciona aquí como un NOR de dos entradas.

Se encuentra también un transceiver (2C2) para el bus de datos. Es habilitado por MEMRWD\ y el sentido de transmisión está dado por MEMW\ .

La señal DACKO\ de la PC, que indica refresco de memoria dinámica, pasa a un buffer (1C6A) con salida de colector abierto. La razón de esto se explica en la sección de Memorias.





## 2/9 -- Sincronía NTSC

El generador de sincronías NTSC (1C1) es un circuito de tecnología MOS VLSI. Sus salidas pasan directamente a un buffer (1C2) para asegurar niveles TTL. Funciona con un reloj de entrada de 2.04545 MHz que se genera por el contador (1A1) dividiendo al oscilador de la PC (14.31818 MHz) entre 7.

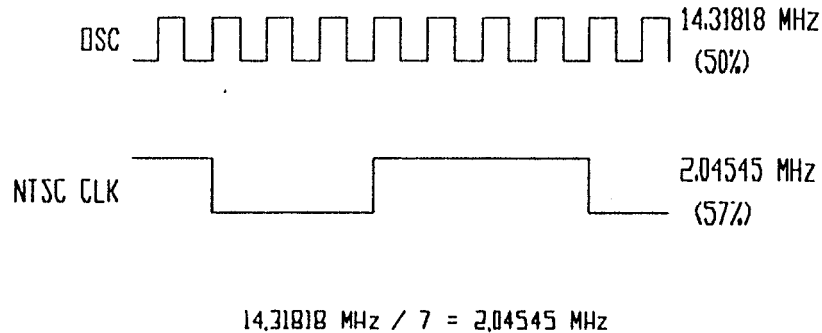
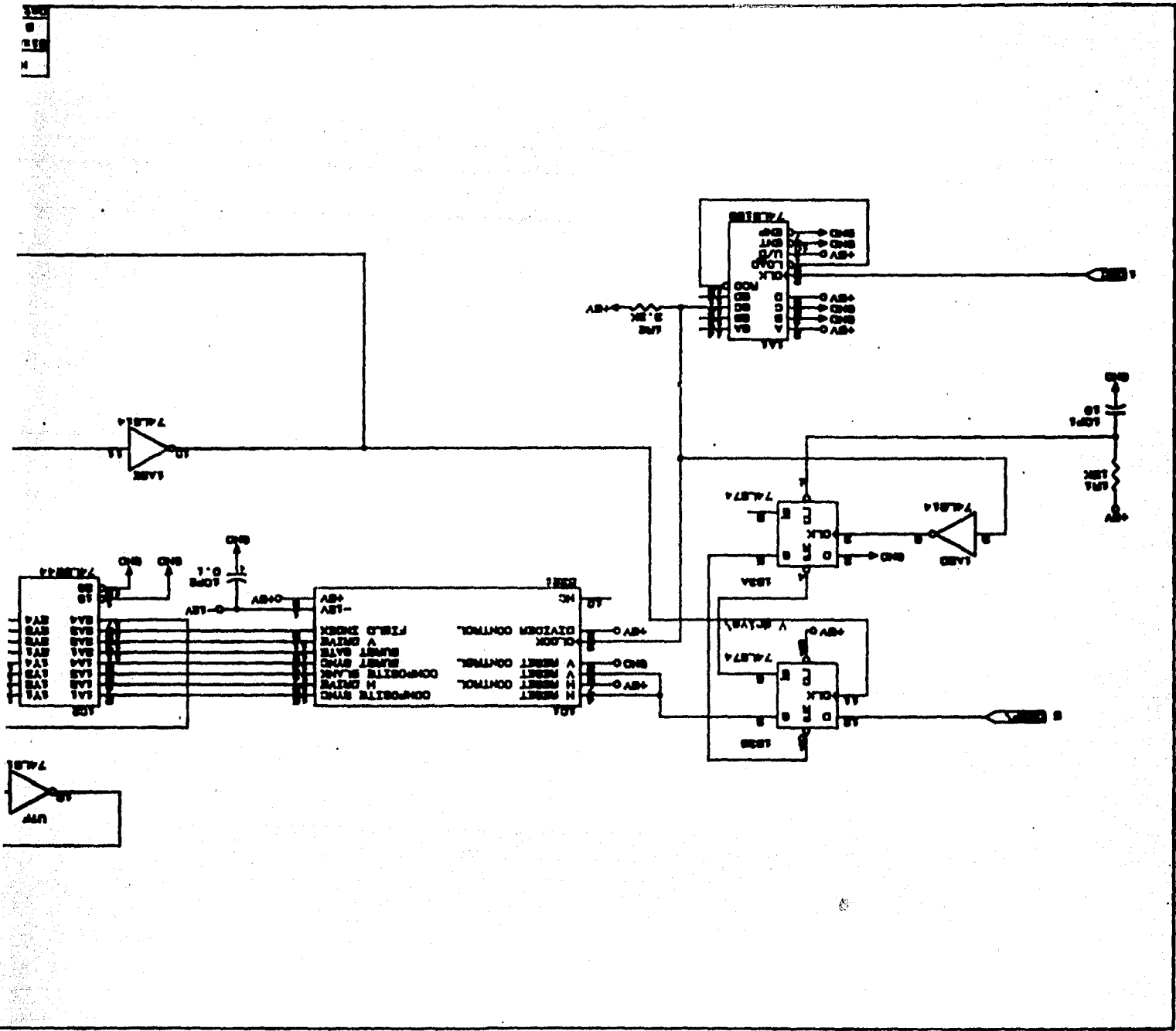
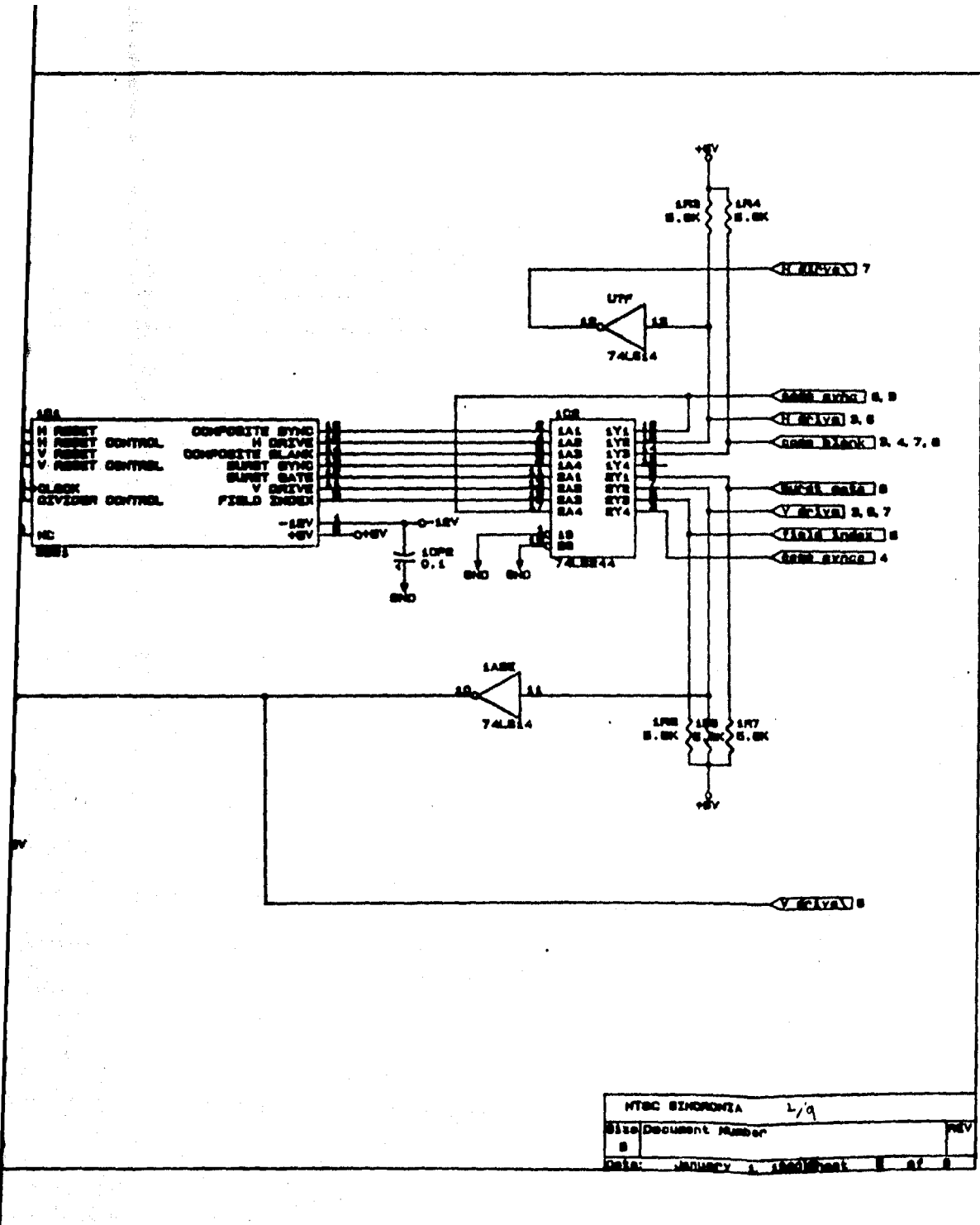


Figura 5,2/9,1

En su modo normal de operación, el circuito genera sincronías NTSC que incluyen dos campos por cuadro (Ver apéndice A1). Sin embargo tiene capacidad de reset tanto vertical como horizontal. Esta posibilidad existe para poder sincronizar el circuito a alguna otra fuente de sincronía NTSC. El reset horizontal lleva al contador horizontal a la cuenta de inicio de línea (para comenzar un campo impar) mientras que el reset vertical lleva al contador vertical a la primera línea del campo. El pulso de reset se genera con la sincronía vertical y de esta manera, cuando el sistema se encuentra en el estado de despliegue de memoria (DESP), tenemos una sincronía modificada que consiste en dos campos impares por cuadro en lugar de uno impar seguido por uno par. La razón de esto es que el digitalizador captura únicamente los campos impares y al momento de desplegar el contenido de memoria, i.e. la imagen, lo debe hacer con la misma sincronía con la que fue capturada. En resumen, de los dos campos del cuadro de TV NTSC, el digitalizador captura el primero (impar). Para desplegarlo correctamente en el estado DESP, se altera la señal de sincronía NTSC mediante el reset del generador para producir una señal de

sincronía que contiene únicamente campos impares. Esta señal modificada es incapaz de sincronizar a la cámara de TV pero sí al monitor. Por eso, mientras está presente, la cámara se encuentra en un estado de falta de sincronía total. Para pasar del estado de despliegue (DESP\ ) al estado de captura (CAPT\ ) es necesario pasar primero por el estado de acceso (ACC\ ) para permitir que se vuelva a sincronizar la cámara con el generador de sincronías.







### 3/9 -- Contadores

En este dibujo se encuentran los circuitos que generan los relojes; tanto para la conversión A/D como para la captura de los datos del convertidor A/D en los registros de corrimiento de las memorias.

Aquí nuevamente se toma como reloj fuente al oscilador de la PC para mantener las fases entre las señales producidas por el generador de sincronías NTSC, y estas dos señales de reloj que son tan importantes en el sistema.

El par de flip-flops JK (1C5) dividen al oscilador entre 3 para obtener la frecuencia de muestreo de 4.77273 MHz (igual a la del reloj de la PC). Sin embargo, ambos tienen a la señal de sincronía vertical (V drive) conectada a su preset. De esta forma, en el momento en que se levanta esta señal, indicando que la línea de TV está en progreso, estos comienzan su conteo. Con esto se garantiza que la fase entre V drive y H drive, con SCLK y ADCLK sea siempre la misma. Esto es de importancia puesto que de no ser así, la fase entre las muestras mismas y el comienzo de la línea no sería la misma de una línea a otra resultando en lo que se conoce como "pixel jitters" o bailoteo de los pixeles. En la configuración de este sistema en donde la cámara de TV se encuentra amarrada al oscilador de la PC, este efecto de bailoteo de pixeles no existe y es la gran ventaja de la configuración. Si el sistema aceptara sincronía externa (de la cámara) existiría un bailoteo de un período del oscilador o de 70 ns puesto que sería el máximo tiempo entre la subida de la señal de reset y la primera bajada del oscilador ya que estos dos no tendrían sincronía alguna.

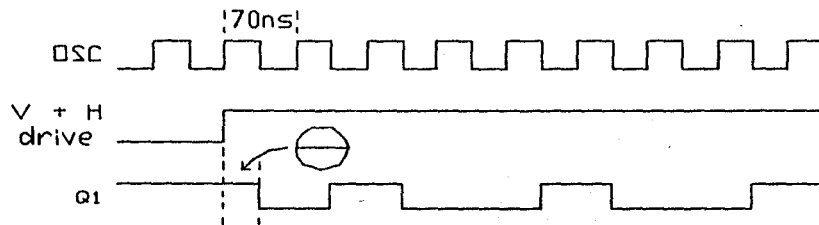
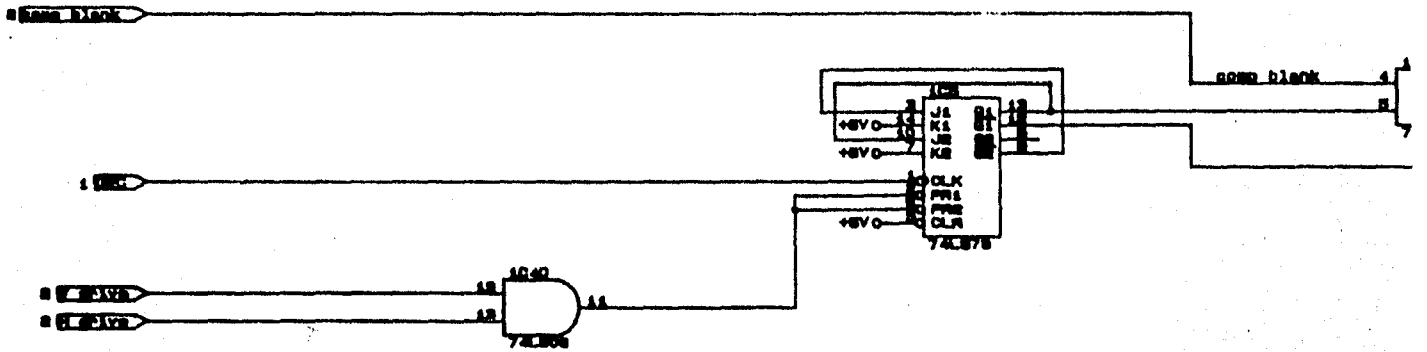
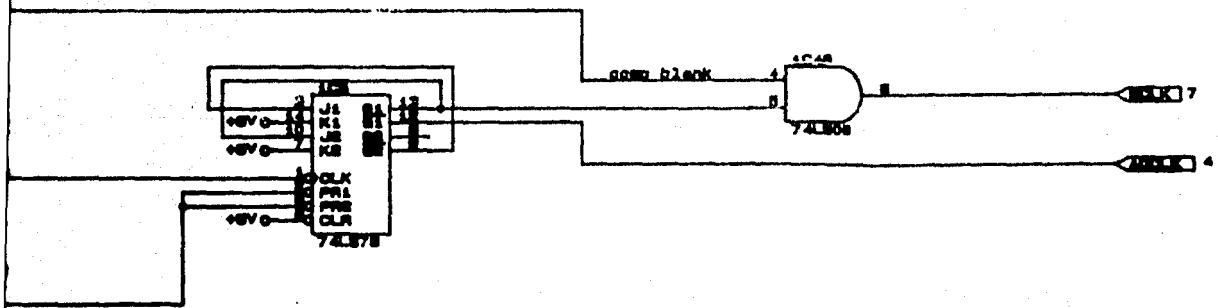


Figura 5,3/9,1

Este diagrama de tiempos muestra la relación entre el comienzo de línea (subida de V drive H drive) y el reloj. Ya que el generador de sincronías tiene como reloj fuente al oscilador tenemos que la diferencia  $\theta$  se mantiene constante. De no tener esta configuración,  $\theta$  podría variar 70 ns ya que no existiría ninguna relación de fase fija entre V drive H drive y el oscilador.

La salida del reloj es regulada por la señal de comp blank para formar SCLK. De esta manera, las transferencias a los registros de corrimiento ocurren únicamente durante la parte de la línea de TV que contiene información (ver última parte de la sección 4 para la función de comp blank).





CONTADORES	3/a	
Size	Document Number	REV
0		
Date:	INDUSTRY 1. 1980	2 of 2

#### 4/9 -- Convertidor A/D

Este es un circuito de electrónica analógica esencialmente. La señal de la cámara tiene una resistencia de 75 ohms a tierra para mantener la impedancia de la línea de transmisión (75 ohms nominal) (ver apéndice A2 sobre líneas de transmisión). El diodo que le sigue es un restaurador de nivel DC que aprovecha la capacitancia de la salida de la cámara

El primer amplificador que se encuentra en su recorrido hacia el convertidor es un inversor que tiene ganancia hasta de 10. Una vez amplificada, la señal pasa a otro amplificador de ganancia unitaria pero que le suma un nivel DC. De aquí la señal pasa a un clipper de  $\pm 3.3$  V para que no vaya a sobrepasar los niveles de referencia del convertidor A/D por más de unas cuantas décimas de volt. Del clipper, la señal pasa al convertidor mismo. Estos dos amplificadores son operacionales de banda ancha (3B2).

Esta sección del circuito se requiere para que la señal de entrada al convertidor sea de  $\pm 3.2$ V y así aprovechar el rango dinámico del mismo. Las sincronías de la señal son eliminadas por el clipper.

Los otros dos op-amps (de banda angosta) sirven para proveer al A/D con voltajes de referencia estables. Un diodo zener fija un voltaje de 1.2V que entra a un amplificador no inversor que se ajusta para obtener 3.24 V a la salida. Este voltaje pasa a un amplificador inversor con ganancia unitaria para obtener -3.24V. La referencia de 0 volts (ref center) no está amarrada a tierra. Está conectada a un atenuador que a su vez está

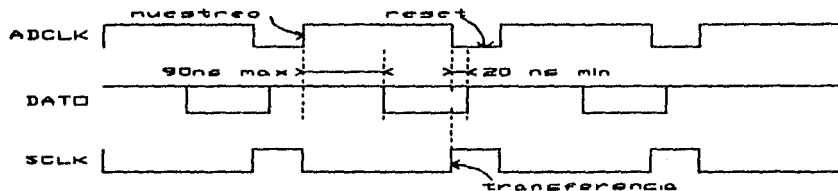


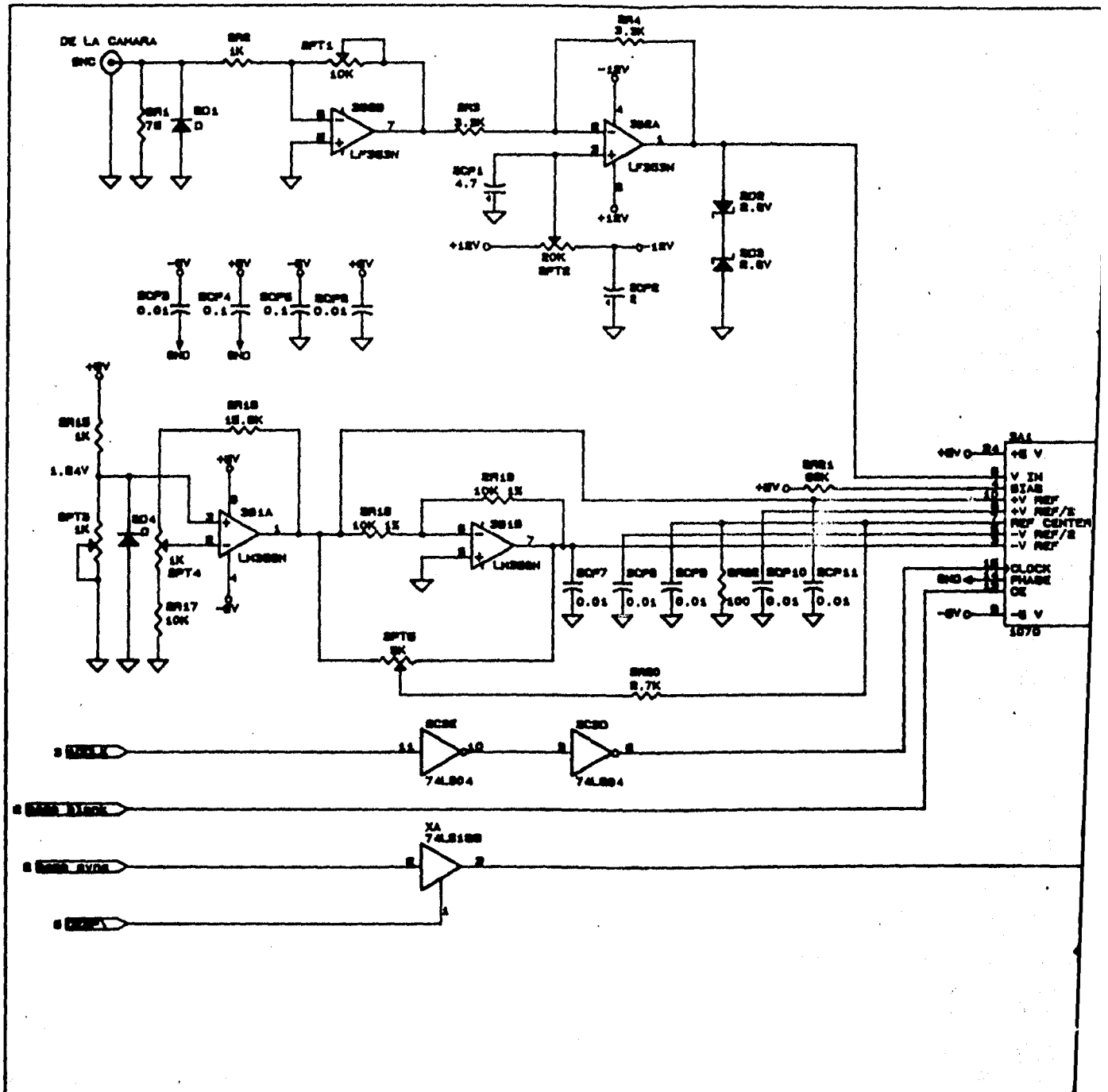
Figura 5,4/9,1

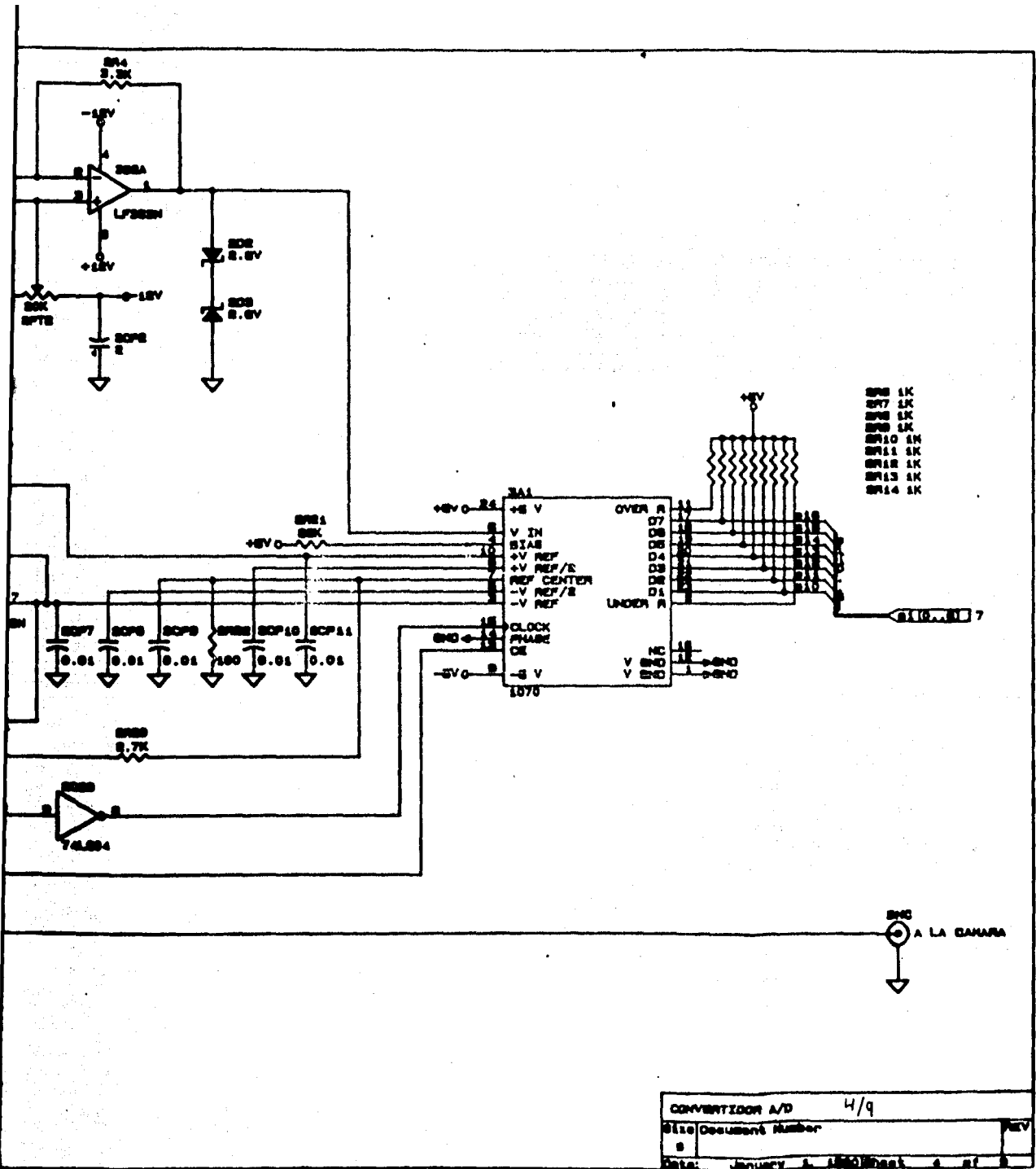
conectado a un potenciómetro entre -3.2V y +3.2V. Con esto, se puede ajustar la referencia de 0 volts con precisión.

Este diagrama muestra la salida del convertidor A/D con relación al reloj ADCLK. El reloj SCLK, que usa la subida para hacer la transferencia a los registros de corrimiento, es esencialmente ADCLK negada pero tiene el retraso de la compuerta (1C4B). Para compensar este retraso, ADCLK pasa por dos inversores antes de entrar al convertidor y de esta forma queda asegurado de que la subida de SCLK ocurre en la presencia de información válida del convertidor A/D.

El 'enable' del convertidor está dado directamente por la señal de blanqueo de línea compuesto (comp blank).

Finalmente tenemos la señal de sincronía compuesta (comp sync) que pasa a sincronizar la cámara de TV. Esta pasa por un buffer de triple estado que entra en estado de alta impedancia cuando el sistema está en el estado de despliegue de memoria de video. Así se evita que la cámara trate de sincronizarse con la sincronía modificada propia de este estado.





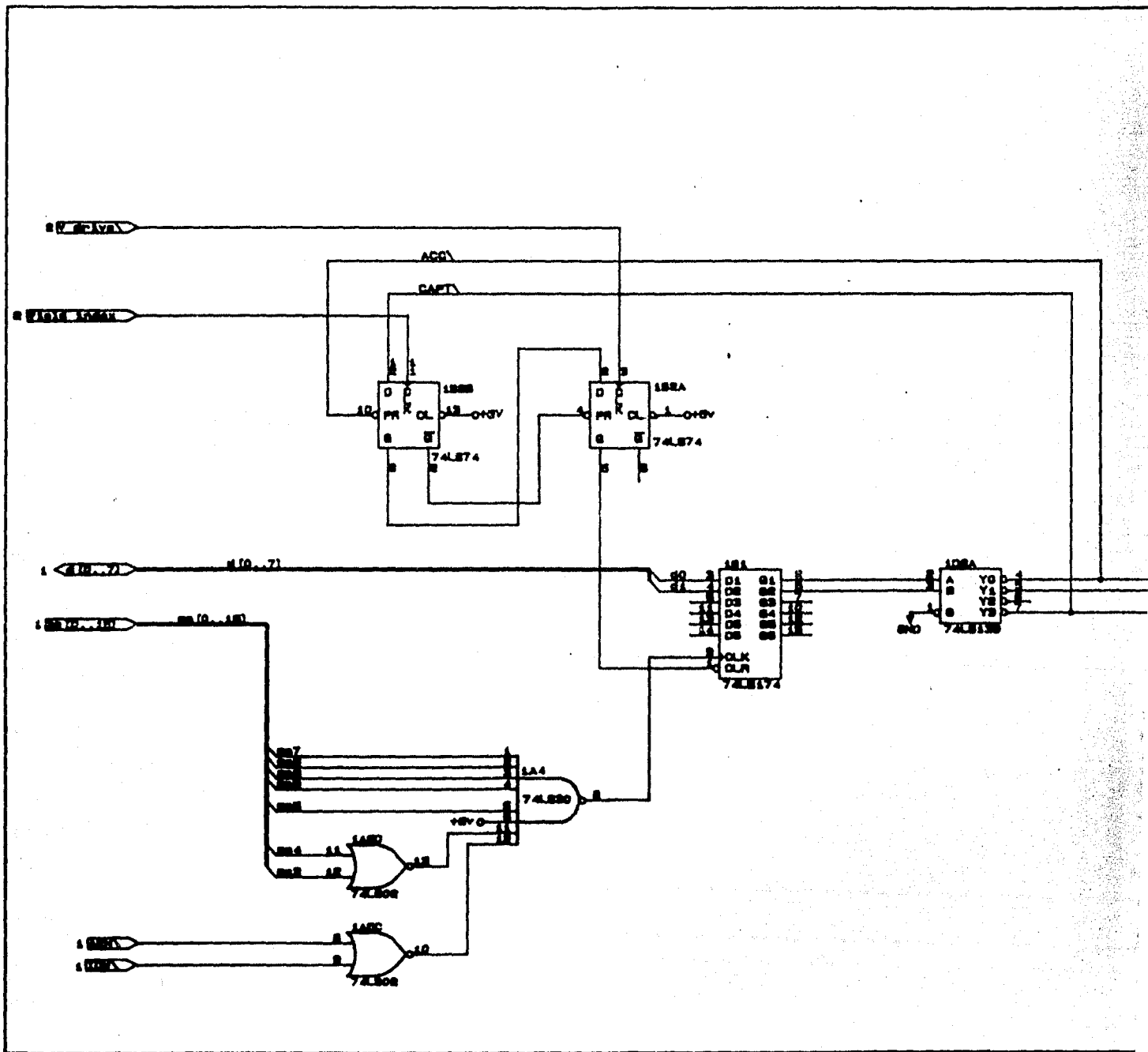
GND  
 A LA CAMARA  
 ↓

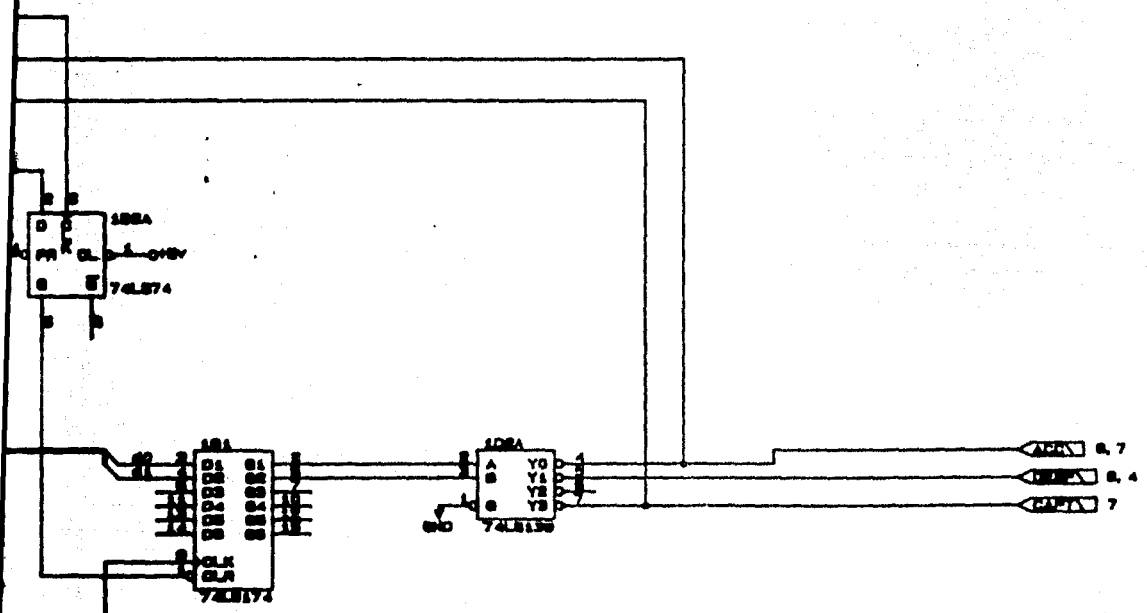
CONVERTIDOR A/D	4/9
Site Document Number	
Date: January 2, 1980	Sheet 1 of 1



## 5/9 -- Puerto

Aquí encontramos la decodificación para el puerto en las localidades 03E0-03E7 (1A4, 1A5D) que junto con la señal de escritura a puerto (IOW\ ) y la señal de que el CPU no está en ciclo de refresco de memoria o algún otro ciclo de DMA (AEN), proveen al latch (1B1) con el pulso para atrapar la palabra de control. Este pasa directamene a un decodificador 1 de 4 (1D2A) que genera las tres señales ACC\, DESP\ y CAPT\ para los tres estados del sistema. Además, se encuentra el circuito 'cacha cuadros' que se encarga de la captura del primer campo impar en aparecer después de que esté presente la señal válida de CAPT\ . La señal de field index es provista por el generador de sincronías NTSC al principio de cada campo impar, y el circuito envía un reset al latch al final de este campo si se está en el estado de captura.

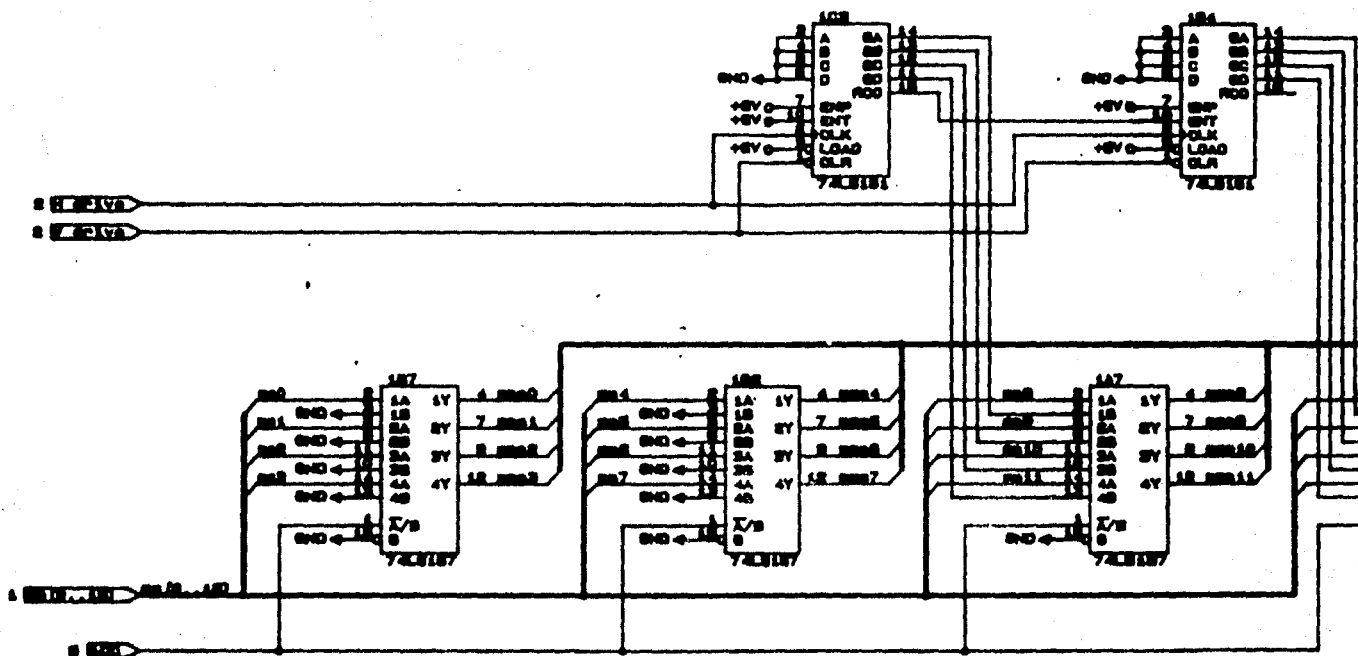


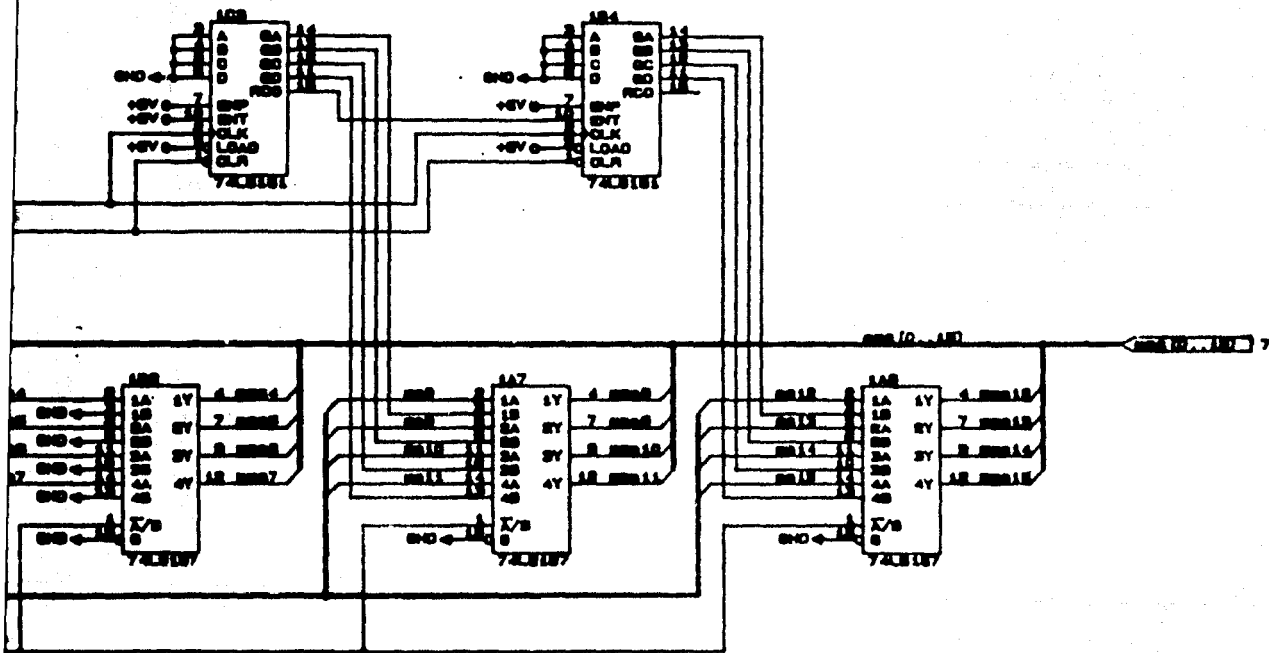


PLANT	5/q	
Site/Document Number		REV
Date:	JANUARY 4, 1980	1 of 1

## 6/9 -- Multiplexores

La función de estos circuitos es la de generar las direcciones apropiadas para las memorias en cada uno de los tres estados del sistema. Cuando el sistema se encuentra en el estado ACC\, las memorias reciben las direcciones del CPU de la PC y son accesadas si la señal MEMRWD\ está activa (dibujo 1/1). En los otros dos estados, DESP\ y CAPT\, las 8 direcciones más significativas están dadas por los contadores que tienen como reloj a la sincronía horizontal (H drive) y como reset a la sincronía vertical (V drive). Estas direcciones vienen a ser las direcciones de los renglones en las memorias. Las ocho menos significativas son siempre cero. Esto se requiere para indicar a las memorias que la transferencia del registro de corrimiento al renglón referido por las 8 líneas más altas, debe ser de los 256 bits (existen otras opciones que no interesan en este sistema. Ver hojas técnicas de las memorias TMS4161).





MULTIPLEXOR 6/9

Site/Document Number

B

Date: March 16, 1983 Sheet 8 of 8

## 7/9 -- Memorias

señal	ACCESO	DESPLIEGUE	CAPTURA
mma0..7	ma0..7	0	0
mma8..15	ma8..15	cont0..7	cont0..7
$\overline{w}$	$\overline{MEMW}$	$\overline{CAPT}$	$\overline{CAPT}$
$\overline{TR/QE}$	$\overline{CAS}$	H drive $\overline{REFREQ}$	H drive $\overline{REFREQ}$
$\overline{CS}$	$\overline{DECODE}$	0	0
ALE	$\overline{MEMRWD}$	ALEI	ALEI

TABLA 7/9

Relación entre las señales empleadas por las memorias y el controlador de memorias y su origen según el estado del sistema.

Este circuito es el corazón del sistema. Consiste esencialmente de las memorias doble puerto (2A1-4, 2B1-4) y el controlador de memorias (2C1). Este último recibe el bus de 16 líneas de direcciones mma0 - mma15 y las multiplexa a las memorias en dos grupos de ocho líneas cada uno; las más significativas acompañadas de la señal de RAS\ y que direcciona los renglones en la matriz de la memoria; las menos significativas acompañadas de la señal de CAS\ y que direccionan las columnas de la matriz.

Otra función fundamental del controlador es el arbitraje que lleva a cabo entre ciclos de acceso iniciados por la señal que recibe en la entrada ALE - que puede provenir de dos fuentes como se muestra en la tabla 7/9 - y solicitudes de refresco de memoria iniciados por la señal REFREQ\ que es generada directamente por la PC. REFREQ\ se activa cada 72 ciclos del reloj de la PC (CLK) o cada 15  $\mu$ s. Se lleva a cabo en cuatro ciclos de reloj extra asignados para este efecto por el CPU. Si el controlador se encuentra

en un ciclo de acceso y recibe una solicitud de refresco de memoria, el acceso se termina y se efectúa el refresco. El CPU opera de forma similar apartando 5 ciclos de reloj para tal efecto ( $T_w$ ). Sin embargo, si el controlador está efectuando un ciclo de refresco de memoria y recibe una solicitud de acceso, esta es ignorada. En resumen, el controlador presupone que a partir de que recibe una solicitud de refresco, va a seguir un período de inactividad de por lo menos la misma duración del ciclo de refresco del mismo controlador. En este caso el ciclo del controlador es de tres períodos del reloj y el tiempo provisto por el CPU es de 5 ciclos.

Cuando el sistema se encuentra en el estado  $ACC\$ , ALE está dado por  $MEMRWD\$ .  $REFREQ\$  (originalmente  $DACK0\$  en la PC) se activa cuando el CPU está listo para llevar a cabo el ciclo de refresco como se muestra a continuación (fig 5,7/9,1)

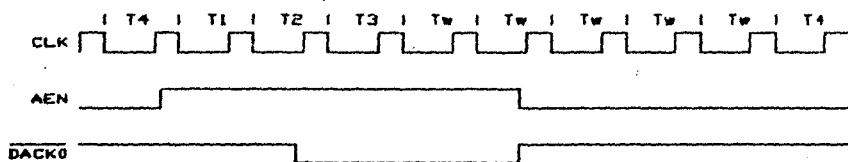


Figura 5,7/9,1

De esta forma, el controlador de memoria lleva acabo el refresco al mismo tiempo que el CPU y en el mismo número de ciclos. Los problemas surgen cuando estamos en los estados  $DESP\$  o  $CAPT\$  y ALE está dado por la señal ALEI. ALEI es a su vez una división del reloj de la PC con las siguientes características:

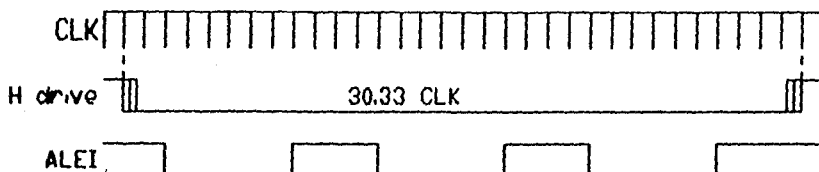
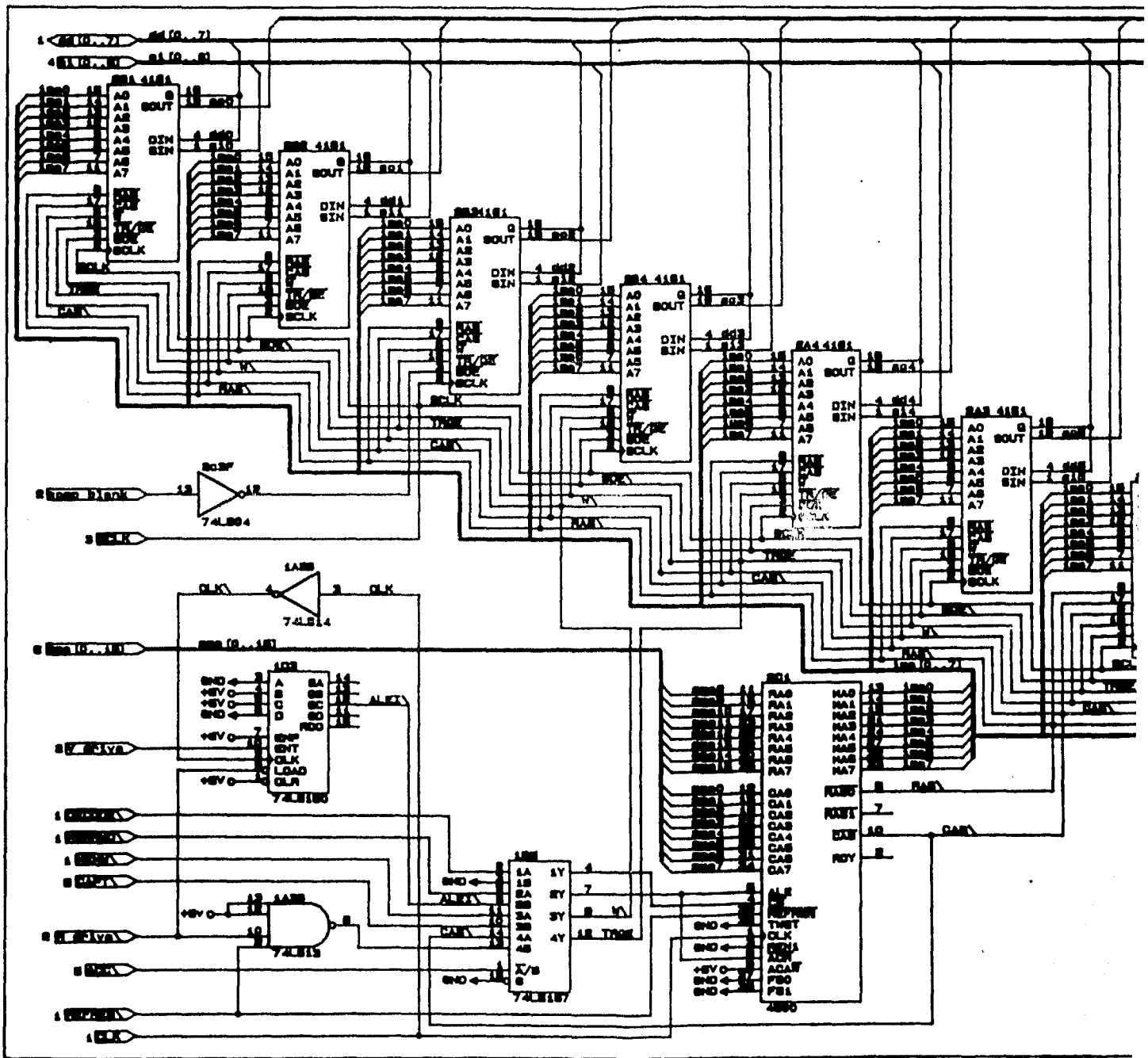


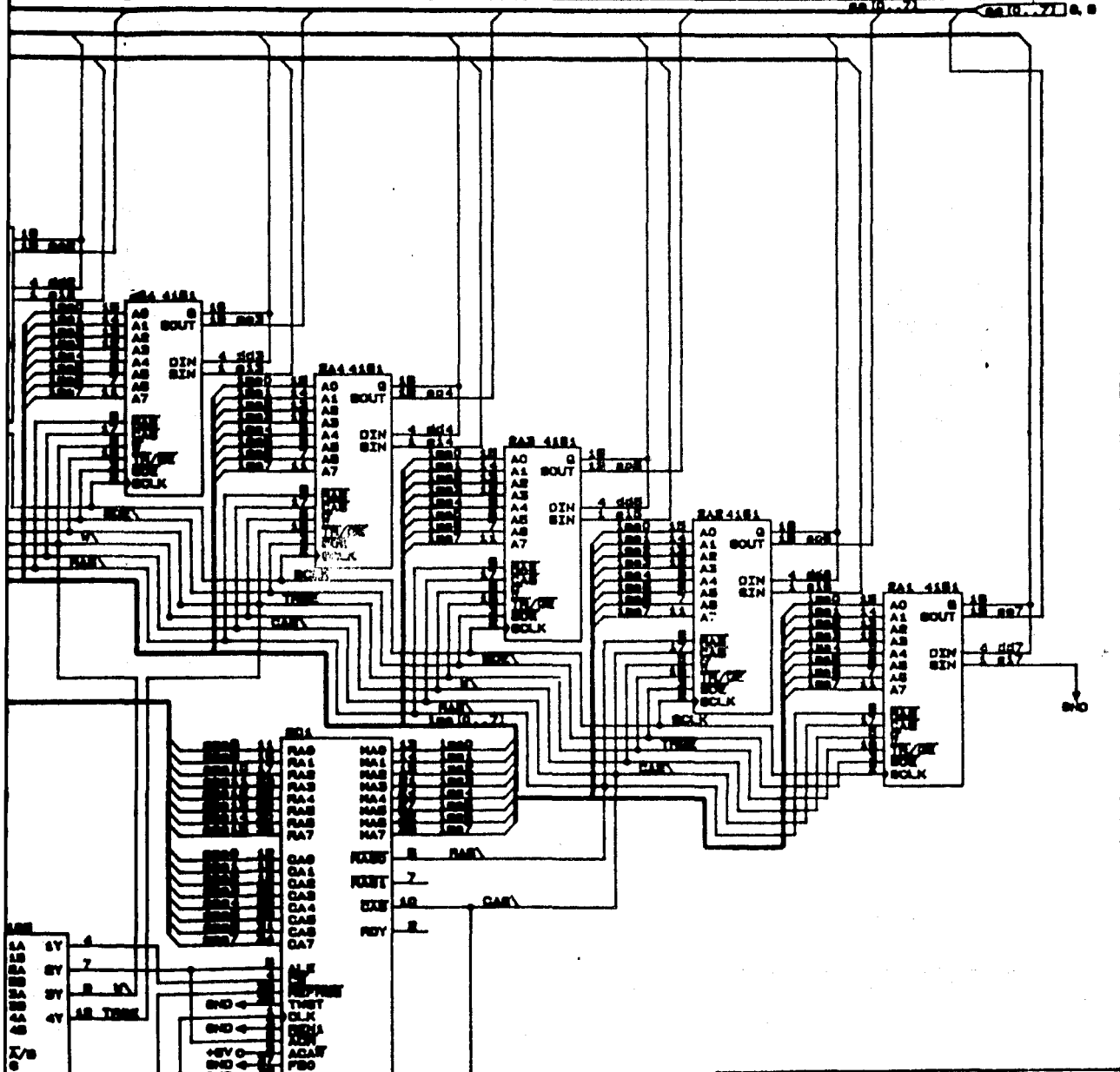
Figura 5,7/9,2



Tiene tres caídas por línea de TV y estas tres ocurren siempre durante la sincronía horizontal. Recordando que cualquier ciclo de acceso a memoria se inicia con la caída de la señal en la entrada de ALE, habrán tres accesos a memoria durante el período de sincronía horizontal. Se hacen los tres accesos por si alguno interfiere con refresco de memoria. Si uno de ellos ocurre durante un ciclo de refresco es ignorado pero los otros dos se aseguran de que el acceso se lleve a cabo. Únicamente puede haber una solicitud de refresco por período de sincronía horizontal. Estos accesos tienen la función de hacer la transferencia del registro de corrimiento a memoria en caso de estar en el estado CAPT\ o de memoria al registro de corrimiento en caso de estar en el estado DESP\.

Otra señal de suma importancia es TR/QE. Cuando se está en ACC\ esta es generada por CAS\. De esta forma, se encontrará en alto al caer RAS\ indicando que el acceso que se lleva a cabo es de lectura o escritura de alguna celda de memoria. También habilita la salida Q de las memorias en caso de que W\ se encontrara en alto al caer CAS\ indicando un acceso de lectura. En los otros dos estados, TR/QE está dada por la negación de la sincronía horizontal de tal forma que al ocurrir los accesos a memoria de estos estados ésta señal se encontrará en alto indicando una transferencia del registro de corrimiento. Únicamente baja si se presenta una solicitud de refresco.

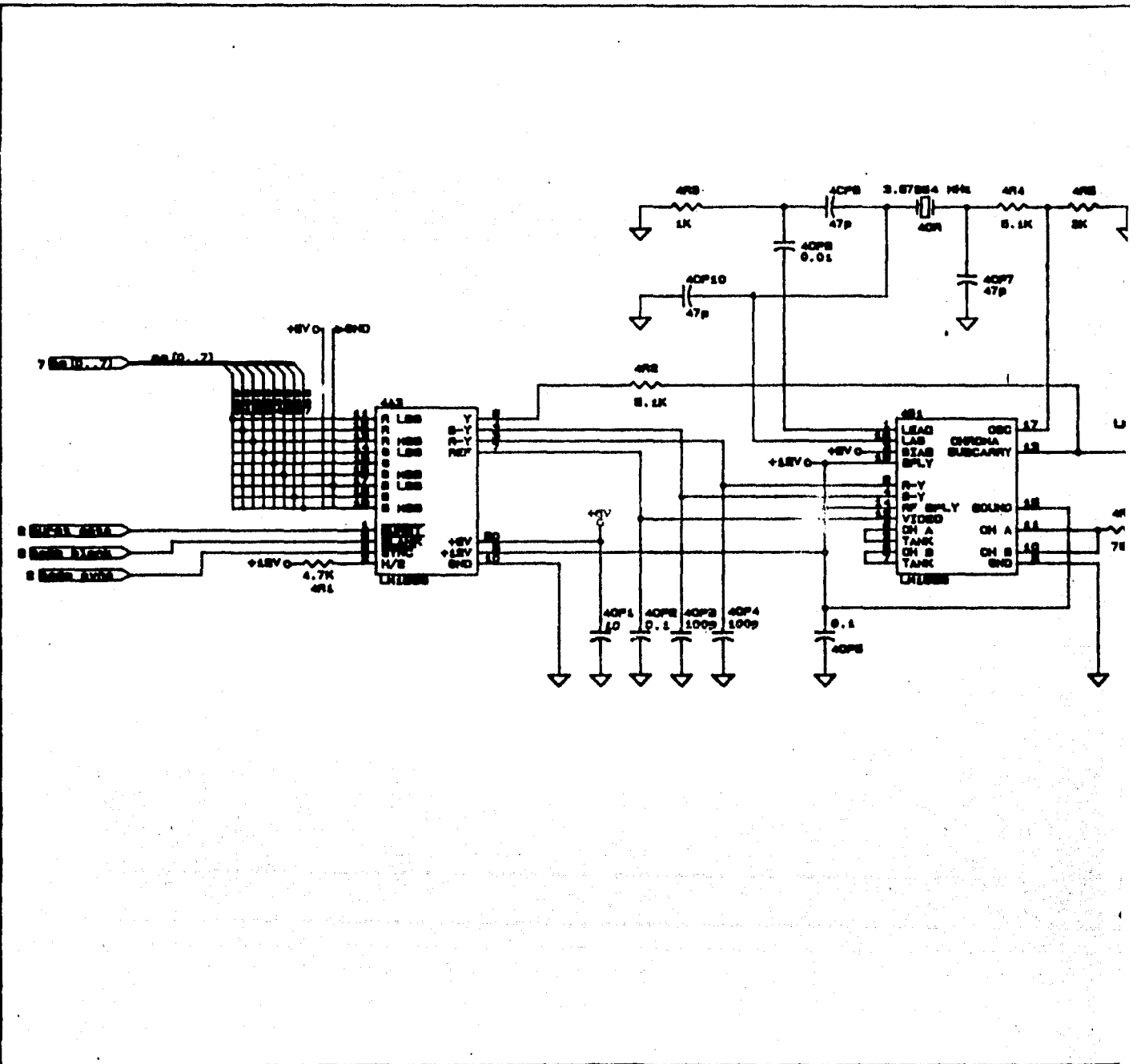


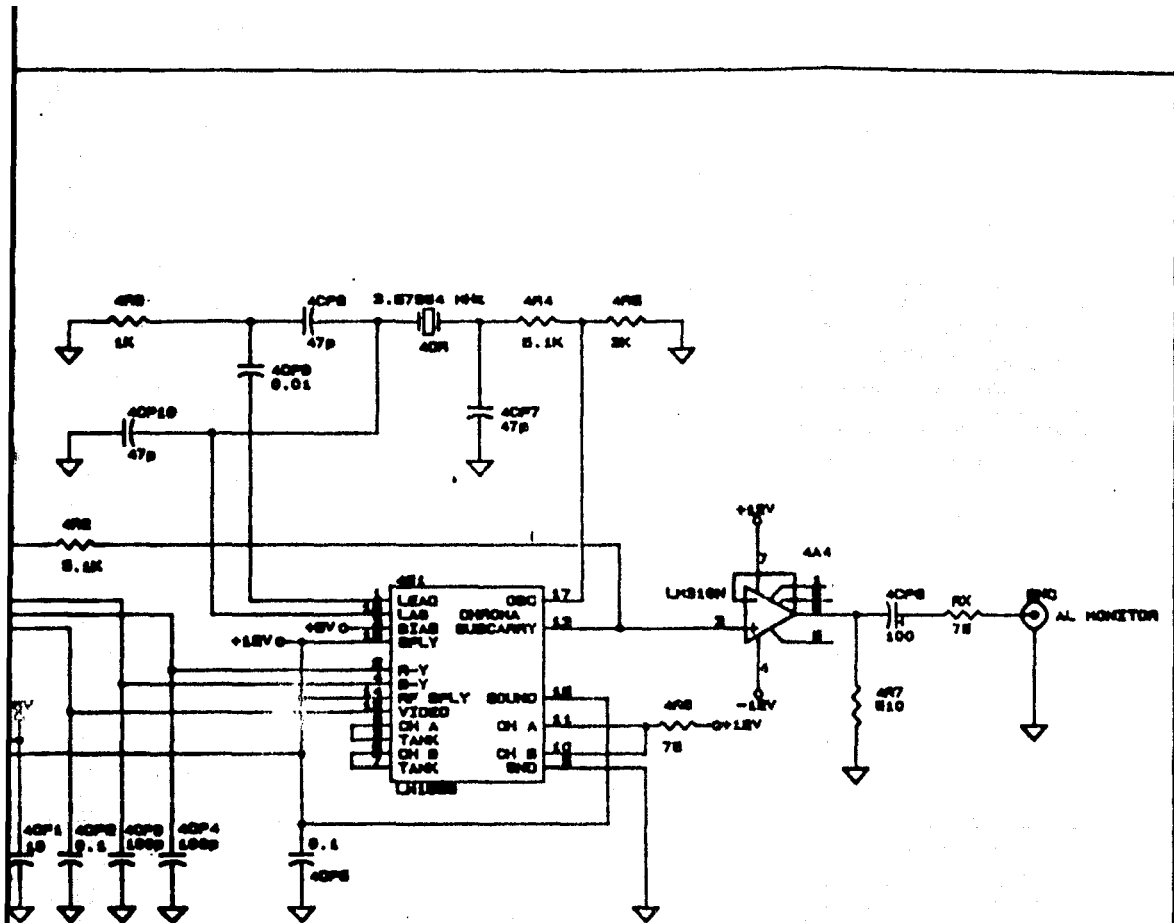


MEMORIAS 7/9  
 Size/Document Number  
 Date: January 1, 1980

## 8/9 -- Convertidor D/A color

Este circuito consiste esencialmente de un chip de tres convertidores D/A de tres bits cada uno (4A3) para las entradas de verde, rojo y azul; y un modulador para producir una señal de color compuesto (4B1). El circuito 4A3 tiene nueve bits de entrada. Hasta este momento no existe ninguna asignación definitiva entre los ocho bits del bus de salida de las memorias y los nueve bits del convertidor. Las salidas que se obtienen de este convertidor son Y, B-Y y R-Y. El modulador (4B1) toma las señales B-Y y R-Y para formar la señal portadora de crominancia que se suma a la salida de luminancia Y del convertidor (4A3) que contiene además la información de sincronía, blank y burst gate. (Para más información sobre estas señales ver apéndice A1) Una vez que se forma la señal compuesta (en la pata 13 de 4B1), ésta pasa a un seguidor de voltaje que presenta una alta impedancia de entrada y baja impedancia de salida. La salida de este seguidor pasa por un capacitor de 100 mf (baja reactancia a las frecuencias de video) para bloquear la componente DC de la señal y luego por una resistencia de 75 ohms característica de la línea de transmisión.



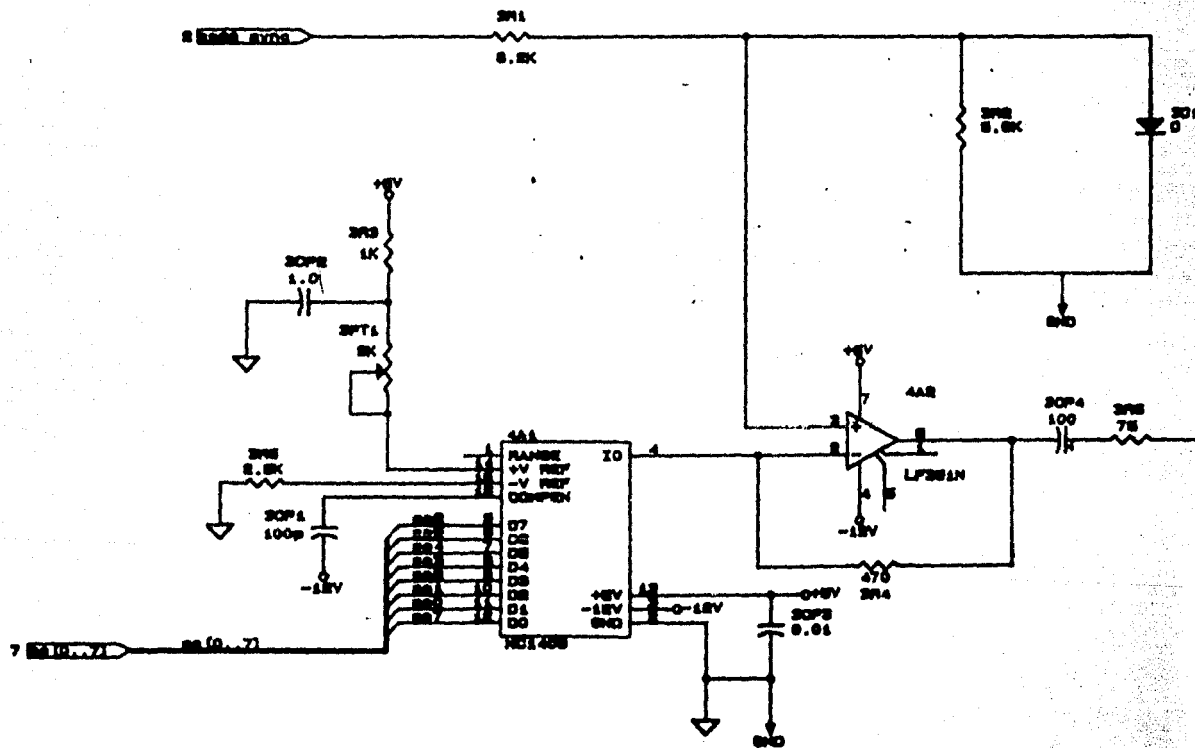


CONVERTION D/A COLOR	8/9
File/Document Number	
Date: January 1, 1980	Page 1 of 1

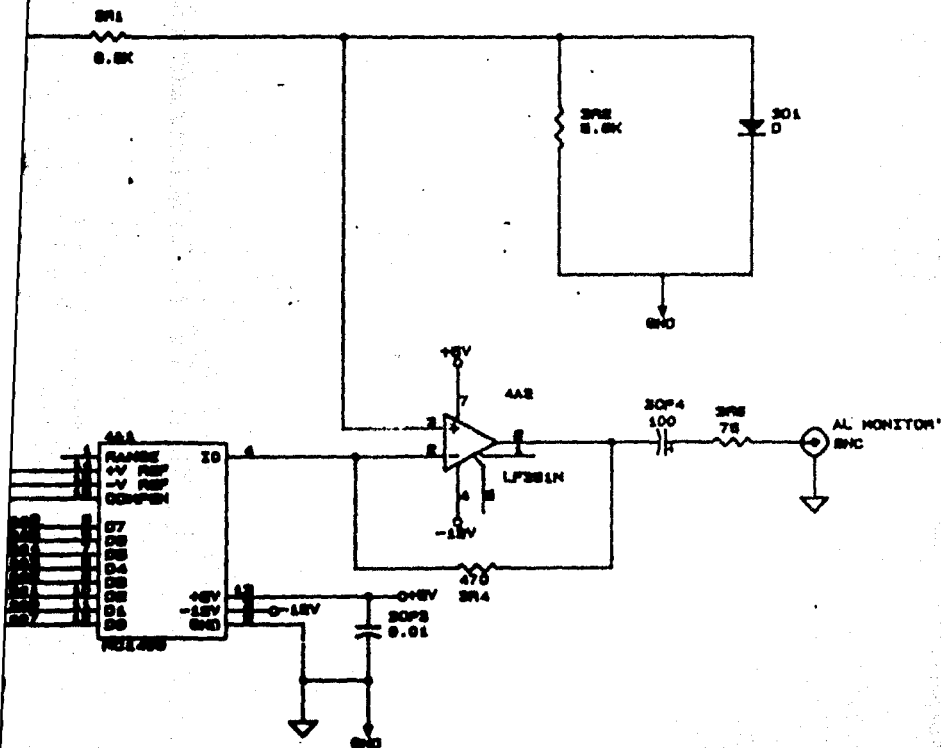
## **9/9 – Convertidor D/A blanco y negro**

El circuito convertidor MC 1408 no es realmente el adecuado para este sistema ya que su frecuencia máxima de trabajo es de 3.3 MHz y nosotros tenemos una frecuencia de 4.77 MHz. El resultado es que ciertas transiciones no se llevan a cabo correctamente ocurriendo sobretiros en la señal de salida. El convertidor en sí tiene como entrada ocho bits, y una referencia de corriente suministrada por la alimentación de 5V a través de un filtro tipo T. La salida pasa a un convertidor de corriente con una resistencia de carga de 470 ohms en donde se le suma también la sincronía compuesta para obtener finalmente la señal de video compuesta. A esta también se le bloquea la componente DC y se prepara para una línea de transmisión de 75 ohms.

Este circuito será rediseñado en el momento que se cuente con un convertidor adecuado.







CONVERTIDOR D/A BLANCO Y NEGRO 9/9

Sheet/Document Number

8

Rev: 1968-12-15 10:00 AM

## **Bibliografía:**

Integrated Circuits and Semiconductor Devices  
Gordon J. Deboo, Clifford N. Burrous  
McGraw Hill Book Co. 1977

Principles of Electronic Instrumentation  
A. James Diefenderfer  
W. B. Saunders Co. 1972.

Operational Amplifiers, Design and Applications  
Burr-Brown Research Co.  
Jerald G. Graeme, Gene E. Tobey, Lawrence P. Huelsman  
McGraw Hill Book Co. 1971.

**N.B.** Las hojas técnicas de los circuitos más importantes se encuentra en el apéndice  
A3 .

## 6 -- ESPECIFICACIONES

MEMORIA DE IMAGEN:	D000:0000 - FFFF
LOCALIZACION DE LA IMAGEN:	D000:00D0 - FCFF
DIMENSION DE LA IMAGEN:	251 X 241 pixeles.
PUERTO DE CONTROL:	03E0-03E7 (cualquiera)
ENTRADAS:	video monocromático 1V pp.
SALIDAS:	video monocromático 1V pp. video color NTSC 1.3V pp. sincronía compuesta 4V pp.
CONSUMO DE CORRIENTE:	+5V - 525 mA  +12V - 56 mA  -5V - 12 mA  -12V - 27 mA
TIEMPO DE CAPTURA DE IMAGEN:	1/30 segundos

## 7 - POSIBLES MEJORAS Y CONCLUSIONES

En esta sección trataré el tema de mejoras que se pueden llevar a cabo en el diseño sin cambiar la esencia del mismo. Claro está que cualquier alteración que se le hiciera involucraría la necesidad de rediseñar.

La parte más obvia que requiere rediseñar es la sección del convertidor D/A en blanco y negro (ver sección 5 9/9) ya que el circuito empleado, un convertidor D/A MC1408, no tiene los tiempos de conversión requeridos por el sistema. Esto resulta en distorsiones en la imagen final entre niveles que requieren el encendido o apagado de varios bits simultáneamente (como sería pasar del nivel 0000111 al nivel 0001000 o del 0001111 al 0010000). Esto se puede remediar empleando un convertidor con tiempos adecuados como sería el MC6890 de la misma familia reduciendo así el trabajo de rediseñar.

Otra mejora sería el empleo de un convertidor A/D de ocho bits en vez de siete para poder utilizar el banco de memorias a toda su capacidad. Sin embargo, esta modificación aumentaría el costo del sistema.

Otra mejora interesante sería la de convertir al estado III, de despliegue de memoria de video, en un estado en donde el CPU pudiese tener acceso al banco de memoria de video de forma similar al estado I. Esto se podría lograr utilizando el intervalo de sincronía vertical que dura 508.4 ms que equivalen a 605 ciclos del CPU de 0.84 ms cada uno. Para lograr esto se requeriría una señal propia del estado III que indicara al CPU la presencia de la sincronía vertical y que habilitara el acceso a través de los multiplexores. El CPU podría responder por medio de una rutina de interrupción. Esto permitiría, entre otras cosas, el manejo de un cursor sobre la imagen digitalizada para efectuar la selección de alguna subimagen por ejemplo. Esta mejora aumentaría la interacción entre el usuario y el sistema.

Finalmente llegamos a la cuestión de la resolución del sistema. Aún cuando la resolución con la que cuenta es suficiente para muchas aplicaciones, existen muchas situaciones donde no lo es. Un cambio en la resolución del sistema sería un cambio

sustancial en el diseño del mismo. Sin embargo, la esencia del diseño propuesto es capaz de soportar dicho cambio con algunas condiciones. Como se discutió en la sección 4, la resolución requerida para conservar la información de TV según el estándar NTSC es de 482x482 píxeles. Para llevar esto a cabo se tendría que emplear una matriz de memoria de 512x512 y hacer un sobremuestreo de la señal. Esto también involucraría la necesidad de digitalizar los dos campos del cuadro de TV (ver apéndice A1). Otras opciones existen como sería la digitalización de un solo campo pero doblando las muestras por línea (en una matriz de 512x256 por ejemplo); o bien utilizar algún otro estándar que no sea el NTSC. Este último es un requisito indispensable si se requieren más de 482x482 píxeles de resolución.

Cualquier aumento en la resolución del sistema involucra un aumento en el tamaño de la memoria empleada. Uno de los aspectos esenciales del diseño es el hecho de que la memoria pueda ser directamente accesible por el CPU. Los 64K que tiene el sistema son fácilmente acomodables en el mapa de memoria de cualquier sistema con CPU de la familia iAPX Intel. Sin embargo, al aumentar la memoria de video se complica su localización en el mapa de memoria. El CPU 8088 de la PC o XT únicamente puede acceder 1M byte de memoria y por lo tanto no podría soportar fácilmente más de 64K. Los CPU 8086, 80286 y 80386 de los sistemas AT y los nuevos PS son capaces de direccionar de 4M bytes hasta 16M bytes de memoria y por lo tanto podrían soportar sin problemas una memoria de 256K para una resolución de 512x512 píxeles.

Sobre el diseño mismo, un aumento en la memoria sería una de dos cosas: se podría aumentar el número de bancos de memoria empleando el mismo circuito integrado TMS 4161 de 64Kx1 que reduciría la posibilidad de poder colocar el sistema entero sobre una tarjeta de inserción directa; o bien se podría explorar la posibilidad de emplear las nuevas memorias de doble puerto que han aparecido en el mercado desde que se inició este trabajo. Existen ya en el mercado memorias doble puerto de hasta 1M byte de capacidad.

(1)

En resumen, un aumento en resolución podría efectuarse ya sea aumentando los bancos de las memorias empleadas actualmente o bien empleando memorias de doble

puerto de mayor capacidad. El sistema de mayor resolución tendría que ser operado por una computadora con un CPU con mayor direccionamiento que el 8088 de la PC.

### Conclusiones

Los objetivos con que se inició este trabajo sí han sido logrados en el sentido de que el diseño propuesto es sencillo y de bajo costo y con una gran estabilidad en la imagen digitalizada. De llegarse a producir sería de mucha ayuda a la comunidad involucrada en el procesamiento de imágenes. Sin embargo, el presente trabajo se encuentra actualmente en la etapa de desarrollo. Se ha concluido su diseño y el prototipo se encuentra en tablas de pruebas (protoboards) y por lo mismo tiene ruido y no está en condiciones idóneas de uso. Por otro lado, desde que se inició este trabajo, el desarrollo de los circuitos con tecnologías PAL (Programmable Array Logic) y GAL (Gate Array Logic) además del desarrollo en las memorias de doble puerto mismas, han bajado los costos de tarjetas digitalizadoras que ya existen en el mercado. Por esto y conociendo las necesidades, apremiantes en algunos casos, de la comunidad científica de México de sistemas integrados de procesamiento de imágenes (hardware y software para alguna aplicación particular) es mi opinión que sería de más provecho continuar el trabajo de procesamiento de imágenes en México aprovechando los nuevos productos ya existentes en el mercado y concentrándose en integrar sistemas completos para las varias necesidades que existen.

La experiencia y el aprendizaje obtenido en el desarrollo de este trabajo me ha sido fundamental para el entendimiento de lo que es el procesamiento digital de imágenes; y más importante, lo que puede llegar a ser.

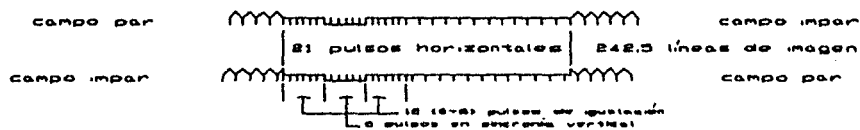
### Bibliografía

- (1) 1 M-bit video RAMs offer speed for high-resolution graphics displays  
Margery S. Conner  
EDN magazine, March 31, 1988.

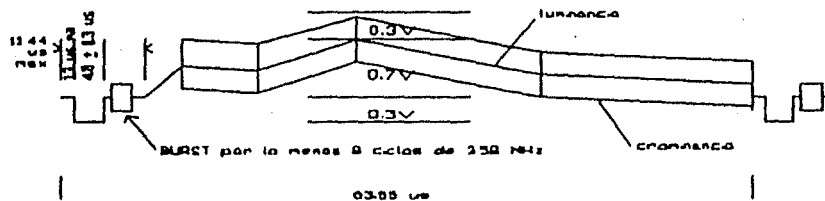
## **APENDICE A1: ESTANDARES DE TELEVISION A COLOR NTSC.**

El sistema de televisión usado en México es el establecido por la NTSC (National Television Standards Committee) del los E.E.U.U. y consiste en lo siguiente:

- 1 Cada cuadro completo está formado por 525 líneas de las cuales 483 son las que forman la imagen. Las restantes están blanqueadas (no contienen información de la imagen) y se emplean en la sincronía vertical y el retorno de haz vertical.
- 2 La frecuencia de cuadros es de 30 campos por segundo.
- 3 Cada cuadro está compuesto por dos campos (campo par y campo impar) de 262.5 líneas cada uno que son proyectados de forma entrelazada con una frecuencia de 60 campos por segundo. El campo impar comienza en la esquina izquierda superior de la pantalla y termina en el centro de la parte inferior de la pantalla. El campo par comienza en el centro de la parte superior de la pantalla y termina en la esquina inferior derecha de la pantalla.
- 4 La proyección se hace de izquierda a derecha horizontalmente a velocidad uniforme y progresando hacia abajo con líneas subsecuentes. El haz de electrones retorna a la parte superior de la pantalla al término de cada campo.
- 5 La 'razón de aspecto' de la imagen es de cuatro unidades horizontales a tres verticales.
- 6 La información de luminancia y sincronía se encuentra en la modulación de amplitud de la señal. La información de crominancia se encuentra en modulación de amplitud y de frecuencia de la señal.



Cuadro de TV NTSC



Línea de TV NTSC

**Pulsos de Igualación:** La función de estos pulsos es la de presentar al circuito integrador vertical, que dispara el retorno vertical de haz, un antecedente a la sincronía vertical similar en los dos campos. Si no existieran estos pulsos, el retorno de haz ocurriría antes, con relación al pulso de sincronía vertical, al fin del campo impar (el que tiene media línea al final) que al fin del campo par con graves consecuencias para el entrelazado.

## COLOR

La información de color viene modulada tanto en amplitud como en frecuencia. La amplitud determina la saturación (cantidad de blanco en el color) mientras que la frecuencia determina el tono. La información de color (crominancia) está referida a una señal de 3.58 MHz.

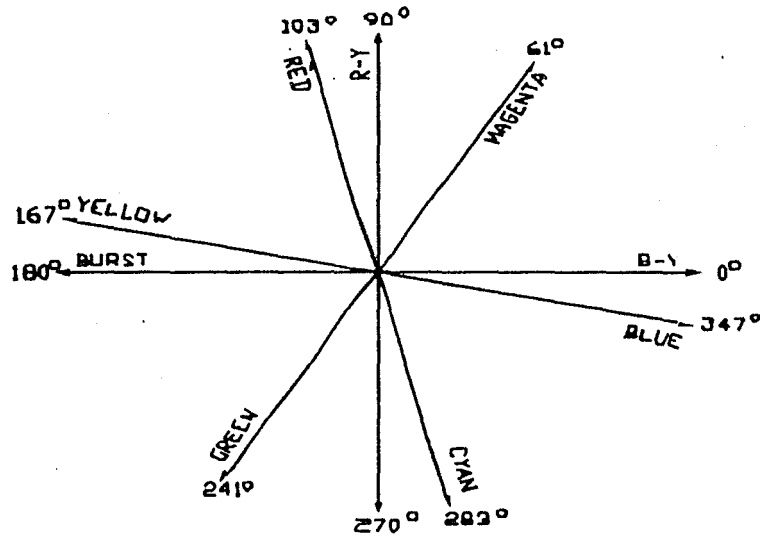


El color en NTSC se forma a partir de imágenes en los tres colores rojo (R), verde (G) y azul (B). Una combinación muy particular de estos tres colores forma la señal de luminancia tomando en consideración la respuesta espectral del ojo humano. La señal de luminancia (Y) esta formada de la siguiente manera:

$$Y = 0.59 G + 0.30 R + 0.11 B$$

Esta señal contiene la intensidad de la imagen y es suficiente para observarla en duotono.

Dos señales portadoras de 3.58 MHz con un desfase de 90 son moduladas en amplitud por B-Y y por R-Y y luego son sumadas para formar la información de crominancia. Esta señal se monta sobre la señal de luminancia para formar la señal NTSC de video compuesto. El tono dependerá entonces del desfase entre la señal de crominancia y otra señal de referencia de 3.58 MHz. Esta es suministrada por un oscilador de esta frecuencia que se encuentra dentro del aparato reproductor. Para asegurar que la fase entre este oscilador y la señal de crominancia sea la misma que al momento de capturar la imagen se insertan, al principio de cada línea de video siguiendo la señal de sincronía, algunas oscilaciones (8 a 10) del oscilador empleado para la captura de la imagen. El oscilador del sistema reproductor se sincroniza con estas oscilaciones asegurando así una fase correcta entre la señal de crominancia y el oscilador de referencia. Estas oscilaciones se conocen como el 'burst'. El siguiente diagrama muestra la relación entre la fase de la señal con respecto al 'burst', la amplitud de la misma, y el color producido.



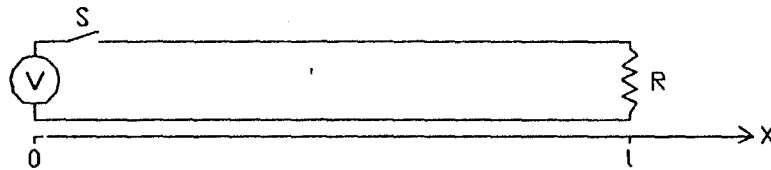
La amplitud y Fase de la portadora de cromas depende del color transmitido

#### Bibliografía:

Television Electronics, 8th Edition.  
 Milton S. Kiver, Milton Kaufman  
 Van Nostrand Reinhold Co., 1983.

## APENDICE A2 - LINEAS DE TRANSMISION

Este apéndice pretende explicar de forma breve y simplificada el tema de líneas de transmisión y su relevancia con las entradas y salidas de señales de TV.



En el diagrama anterior tenemos una fuente de voltaje  $V$  conectada a una carga  $R$  a través de un par de conductores que van desde  $X=0$  hasta  $X=l$ . Consideraremos que los conductores son ideales, se encuentran en el vacío, y que están acomodados de forma tal que su corte transversal, el plano  $YZ$ , es igual para cualquier valor de  $X$  dentro de  $(0,l)$ .

Al cerrar el circuito a través de  $S$ , la diferencia de voltaje  $V$  no se establece inmediatamente por todo el circuito entre los conductores sino que se propaga de  $X=0$  hasta  $X=l$  con alguna velocidad finita.

El arreglo de los conductores presenta una capacitancia y una inductancia que dependerán de la distancia entre ellos de tal forma que al aumentar la distancia, crece  $L$  y decrece  $C$ ; al disminuir la misma, crece  $C$  y decrece  $L$ .

$$C \quad L = \alpha$$

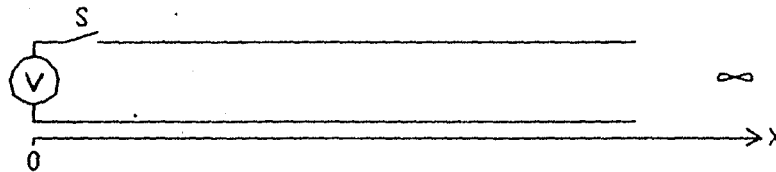
Podemos definir entonces la capacitancia e inductancia por unidad de longitud como:

$$C_0 = C / l \quad L_0 = L / l$$

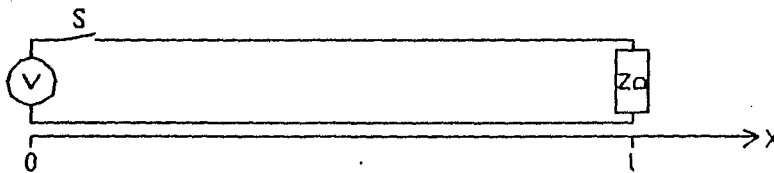
Esto indica que el arreglo de los conductores presentan a la fuente de voltaje una reactancia de naturaleza no disipativa (i.e. es una impedancia con cantidades imaginarias)

que llamaremos la impedancia característica  $Z_0$  de la línea de transmisión entre la fuente de voltaje y la carga.

Supongamos ahora que el arreglo de los conductores se extiende hacia  $X = \infty$ . Al cerrar el circuito habrá un frente de voltaje acompañado por un frente de corriente que se propagará de  $X = 0$  hacia  $X = \infty$ . Al igual que la fuente, este frente de voltaje verá, en cada punto de su recorrido, la misma impedancia característica  $Z_0$  del arreglo.

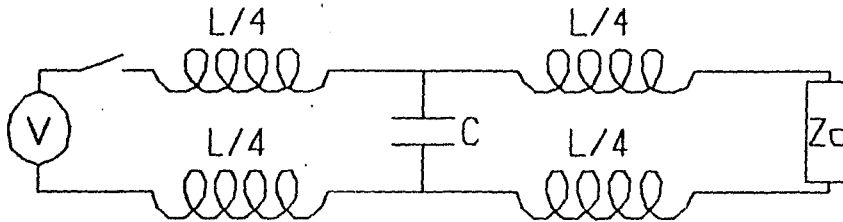


Siendo así la situación, podemos suplantar nuestro arreglo infinito por un finito pero terminado por una carga con impedancia igual a la característica del arreglo mismo y la fuente de voltaje seguirá viendo una impedancia  $Z_0$  en la línea.

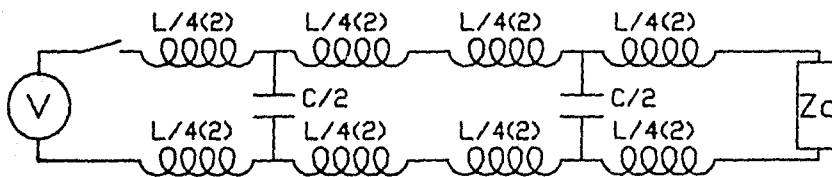


En el nuevo esquema, tenemos la fuente, un pedazo finito de línea de transmisión y la carga de impedancia igual a la impedancia de la línea.

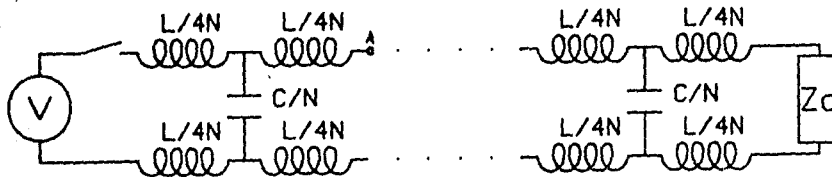
En una primera aproximación podríamos representar la línea de transmisión de la siguiente manera:



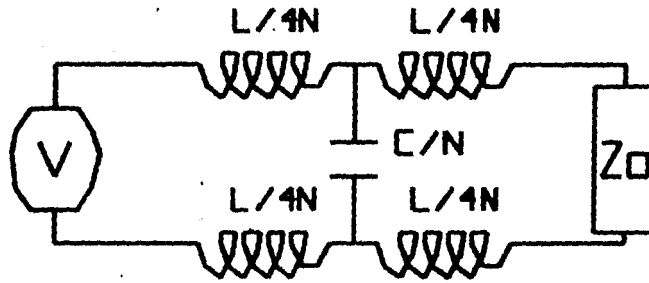
En la realidad la capacitancia y la inductancia no se encuentran distribuidos de esta forma. Una mejor aproximación sería:



luego:



El caso real se obtiene cuando  $N \rightarrow \infty$ . Ahora, cuando el frente de voltaje (y el de corriente) llegue al punto A éste seguirá viendo en la línea de transmisión la impedancia característica  $Z_0$  así que el último esquema es equivalente a:



La impedancia que vé la fuente en la línea es  $Z_0$ . Sumando impedancias...

$$Z_0 = 2i\omega L/4N + \frac{1}{i\omega C/N + \frac{1}{2i\omega L/4N + Z_0}}$$

despejando  $Z_0$

$$Z_0 = \sqrt{L/C - \omega^2 L^2 / 4N^2}$$

tomando el límite cuando  $N \rightarrow \infty$  tenemos

$$Z_0 = \sqrt{L/C}$$

pero como

$$C_0 = C / l \quad L_0 = L / l$$

tenemos que

$$Z_0 = \sqrt{L_0 / C_0}$$

De forma intuitiva veamos lo que pasa al viajar un frente de voltaje por la línea de transmisión. Conforme avanza el frente de voltaje, lo acompaña un frente de corriente con su campo magnético correspondiente que va cargando la capacitancia de la línea creando un campo eléctrico entre los conductores.

Al moverse el frente una distancia  $dx$ , la capacitancia adicional que se carga al voltaje  $V$  es:

$$C_0 dx$$

y la carga requerida para esto es:

$$dQ = V C_0 dx.$$

Si la corriente está dada por

$$I = dQ/dt = V C_0 dx/dt$$

ésta es igual a:

$$V = I Z_0 \Rightarrow I = V/Z_0 = V/\sqrt{C_0/L_0}$$

de donde tenemos que:

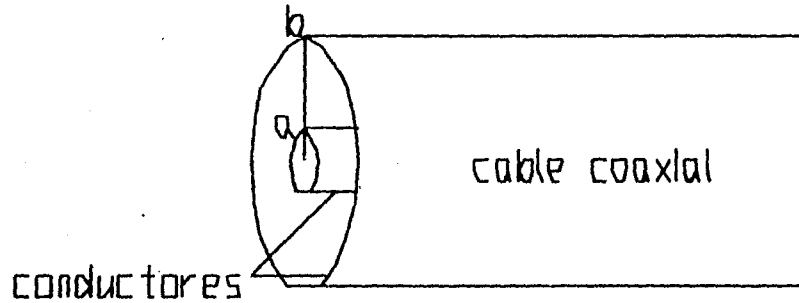
$$V C_0 dx/dt = V/\sqrt{C_0/L_0}$$

despejando:

$$dx/dt = 1/\sqrt{C_0 L_0} = v$$

que es la velocidad de propagación.

Veamos el caso particular de un cable coaxial como el empleado comunmente para señales de TV:



En este caso tenemos que;

$$C_0 = 2\pi \epsilon_0 / \ln(b/a)$$

$$L_0 = \ln(b/a) / 2\pi \epsilon_0 c^2$$

de donde tenemos que

$$v = 1/\sqrt{(C_0 L_0)} = c$$

¿Qué pasaría si al llegar el frente de voltaje (y de corriente) al final de la línea encontrara ahí una impedancia  $Z$  diferente a  $Z_0$ ?

Mientras avanza el frente, este está relacionado por

$$Z_0 = V/I$$

pero al llegar a  $X = l$  se relaciona por

$$Z = V/I$$



creando la inconsistencia

$$Z_0 = Z_1$$

Lo que ocurre es que se genera un frente reflejado de forma tal que el voltaje total en  $X = l$  que llamaremos  $V_l$  y la corriente total en el mismo punto,  $I_l$ , cumpla con la relación:

$$V_l / I_l = Z.$$

$V_l$  es la suma de los voltajes del frente incidente y del frente reflejado mientras que  $I_l$  es la corriente del frente incidente menos la corriente del frente reflejado puesto que la dirección de la corriente del frente reflejado es en sentido inverso al del frente incidente.

Otra forma de expresar esto sería:

$$(V + \rho V) / (I - \rho I) = Z$$

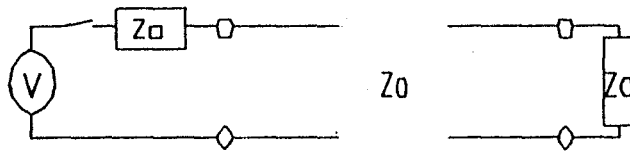
$$\rho = (Z/Z_0 - 1) / (Z/Z_0 + 1)$$

donde  $\rho$  se conoce como el coeficiente de reflexión.

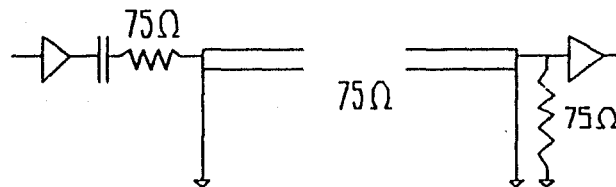
Si la línea termina en corto circuito tenemos que  $Z = 0$  y por lo tanto  $\rho = -1$  mientras que si la línea está abierta  $Z = \infty$  y tenemos que  $\rho = 1$ .

De igual manera, si la línea comienza con una impedancia distinta a  $Z_0$ , al llegar el frente reflejado al inicio de la línea generará a su vez otro frente reflejado teniendo así reflexiones múltiples.

Para evitar estas situaciones, una línea de transmisión debe conectarse de la siguiente manera:



En televisión, es común usar cable coaxial de 75 de impedancia característica. Los amplificadores de la señal deben de ser de alta impedancia de entrada y baja de salida. La conexión de un sistema de TV queda entonces.



Finalmente un comentario sobre otro factor de suma importancia en líneas de transmisión. El hecho de que la inductancia y capacitancia de la línea sea constante hace que la propagación de los frentes de voltaje y corriente, que es propagación de energía, sea pareja. Además, en las frecuencias donde normalmente son empleadas, la generación de ondas electromagnéticas es confinada al espacio inmediato de la línea, sirviendo esta como guía de ondas, evitando así que se dispersen y terminen en sitios donde puedan generar interferencia.

**Bibliografía:**

The Feynman Lectures on Physics, Volume II  
Richard P. Feynman, Robert B. Leighton, Mathew Sands  
Addison Wesley Publishing Company, 1976.

Handbook of Wiring, Cabling, and Interconnecting for Electronics  
Charles A. Harper, Editor in Chief  
McGraw Hill Book Co. 1972.

Digital Integrated Electronics  
Herbert Taub, Donald Schilling  
McGraw Hill Book Co. 1977.

## APENDICE A3: UN PROGRAMA BASICO DE OPERACION EN 'C'

```

/* Este programa efectúa las funciones elementales del manejo */
/* del digitalizador como son el enviar los comandos para cada */
/* estado, cargar y guardar imágenes en disco, mostrar un */
/* histograma de los valores de una imagen y una rutina */
/* sumamente sencilla de realce de contraste. */
/* Está escrito en Turbo 'C' versión 1.0 de Borland. */

#include <math.h>
#include <dos.h>
#include <stdio.h>
#include <alloc.h>
#include <io.h>
#include <fcntl.h>
#include <dir.h>
#include <string.h>
#define VIDEO 0x10

/* Envía comando para el estado I de acceso a la memoria de
video. */
void acceso() ( outportb(0x03E2,0); )

/* Comando para el estado III de despliegue de memoria */
void despliega() ( outportb(0x03E2,0x2); )

/* Comando para el estado II de captura de imagen. */
void captura() ( outportb(0x03E2,0x3); )

void setgraphics() /* Modo de gráficas 320 x 200 */
(
    union REGS regs;
    regs.h.ah=0;
    regs.h.al=4;
    int86(VIDEO,&regs,&regs);
)

void normaldisplay() /* Modo de texto normal 80 x 25 */
(
    union REGS regs;
    regs.h.ah=0;
    regs.h.al=2;
    int86(VIDEO,&regs,&regs);
)

/* En modo de gráficas, dibuja una línea vertical
del punto fx,fy y de altura hgt */
void vline(unsigned fx,unsigned fy,unsigned hgt)
(
    char far * page;
    char far * page0;
    char far * temp;
    unsigned x,i,f,j,l,t,m,n,o;
    char t;
    t=0xc0;
    if(hgt!=0)

```

```

(      x=fx/4;
      t>=fx%4*2;

      switch((fy-hgt+1)%2)
      (      case 0: page = (char *) 0xb0008000;
              page0 = (char *) 0xb000a000;
              i = 80*(fy-hgt+1)/2; m=i;
              break;
              case 1: page = (char *) 0xb000a000;
              page0 = (char *) 0xb0008000;
              i = 80*(fy-hgt)/2; m=i+80;
              break;
      );
      f=0; j=0;
      for(k=1;k<=hgt;k++)
      (      page[i+j*80+x]l=t;
              n=i; i=m; m=n;
              j++; l=j; j=f; f=l;
              temp=page; page=page0; page0=temp;
      )
)

/* En modo de gráficas dibuja una línea horizontal del punto
fx,fy hacia la derecha y de longitud len */
void hline(unsigned fx,unsigned fy,unsigned len)
(      char far * page;
      unsigned i,f,j,k;
      char t;
      t=0xff;
      if (len!=0)
      (      switch(fy%2)
              (      case 0: page = (char *) 0xb0008000;
                      j = 80*fy/2;
                      break;
                      case 1: page = (char *) 0xb000a000;
                      j = 80*(fy-1)/2; break;
              );
              i=j+fx/4; f=j+(fx+len)/4;
              page[i] = t >> (fx%4)*2;
              for(k=i+1;k<=f;k++) page[k]=0xff;
              page[f] &= t << (4-(fx+len)%4)*2;
      )
)

void gotoxy(int fx,int fy) /* Posiciona el cursor en fx,fy */
(      union REGS regs;
      regs.h.ah=2;
      regs.h.dh=fy;
      regs.h.dl=fx;
      regs.h.bh=0;
      int86(VIDEO,&regs,&regs);
)

```

```

/* Regresa el valor del elemento mayor del arreglo ary */
unsigned maxpxl(unsigned ary[])
{
    unsigned i,mayor;
    mayor = ary[0];
    for(i=0;i<255;i++)
        if(ary[i]>mayor) mayor=ary[i];
    return(mayor);
}

/* Regresa la posición del primer elemento del arreglo ary
diferente de cero */
unsigned minvalor(unsigned ary[])
{
    unsigned i;
    while(ary[i]==0) i++;
    return(i);
}

/* Regresa la posición del último elemento del arreglo ary
diferente de cero */
unsigned maxvalor(unsigned ary[])
{
    unsigned i;
    while(ary[i]==0) i--;
    return(i);
}

void directorios() /* Muestra directorio del disco a: */
{
    struct ffbk ffbk;
    int done;
    printf("\nListado del directorio a:*.img\n");
    done = findfirst("a:*.img",&ffbk,0);
    while(!done)
    {
        printf(" %s\n",ffbk.ff_name);
        done = findnext(&ffbk);
    }
}

/* Carga el archivo de imagen de disco al buffer img */
void setimg(char img[])
{
    int arch,i;
    char file[14];
    directorios();
    printf("que archivo? ");
    scanf("%s",file);
    arch = open(file,O_RDONLY_BINARY);
    i=read(arch,img,65000);
    i=read(arch,img+64999,1000);
    close(arch);
}

/* Escribe en disco el archivo con la imagen contenida en el
buffer img */
void storeimg(char img[])
{
    int arch,i;
    char file[14];
    directorios();
}

```

```

        printf("nombre completo del archivo? ");
        scanf("%s",file);
    arch=open(file,O_RDWR_CREATIO_BINARYIO_TRUNC,S_IREADIS_IWRITE);
    i=write(arch,img,65000);
    i=write(arch,img+64999,535);
    close(arch);
}

/* Forma un histograma de los valores en el buffer img en el
arreglo ary */
void far histogrm(unsigned ary[],char img[])
{
    unsigned i,j,k;
    for(i=0;i<=255;i++) ary[i]=0;
    for(i=0xd00;i<=0xfb00;i+=0x100)
    {
        for(j=0x6;j<=0xfe;j++)
        {
            k=img[i+j];
            ary[k]++;
        }
    }
};

void setnums() /* Despliega escalas para el histograma */
{
    gotoxy(6,23); printf("0"); gotoxy(21,23); printf("127");
    gotoxy(37,23); printf("255"); gotoxy(13,23);printf("63");
    gotoxy(29,23); printf("191");
    hline(52,180,255); hline(52,144,255); hline(52,108,255);
    hline(52,72,255); hline(52,36,255);
    gotoxy(5,22); printf("1"); gotoxy(4,17); printf("10");
    gotoxy(3,13); printf("100"); gotoxy(2,8); printf("1000");
    gotoxy(1,4); printf("10000");
}

void showhisto(unsigned his[]) /* Despliega el histograma */
{
    unsigned i;
    unsigned char hh;
    setgraphics();
    setnums();
    for(i=0;i<=255;i++)
    {
        if(his[i]!=0)
            hh = (char)180.0*log10(his[i])/5.0+1.5;
        else hh=0;
        vline(52+i,180,hh);
    };
    getch();
    normaldisplay();
}

/* Resalta algún valor particular de la imagen poniendolo en
FFH y todos los demás valores en 0 */
void far resalta(char imaq[])
{
    unsigned a;
    unsigned i,j;
    printf(" que valor quieres resaltar? "); scanf("%u",&a);
}

```

```

        for(i=0xd00;i<=0xfb00;i+=0x100)
            for(j=0x6;j<=0xfe;j++)
                (
                    if(img[i+j]==a) img[i+j]=127;
                    else img[i+j]=0;
                )
    )

/* Realce de contraste */
void scontrst(char img[],unsigned a,unsigned b)
(
    unsigned f;
    unsigned i,j;
    char c;
    f= b-a;
    for(i=0xd00;i<=0xfb00;i+=0x100)
    (
        for(j=0x6;j<=0xfe;j++)
        (
            c=img[i+j]-a;
            img[i+j] = *127/f;
        )
    )
)

void printscrn() /* Despliega el menu de comandos */
(
    normaldisplay();
    printf("\n1- cargar imagen de disco  ");
    printf("\n2- histograma                ");
    printf("\n3- resaltar algun valor          ");
    printf("\n4- desplegar imagen                ");
    printf("\n5- desplegar video                  ");
    printf("\n6- capturar imagen                   ");
    printf("\n7- contraste estandard                ");
    printf("\n8- guardar imagen en disco           ");
    printf("\nF- FIN                                ?");
)

main()
(
    /* dos pointers lejanos a buffers de tipo char (byte) */
    static char far * img0;
    static char far * img1;
    /* arreglo de 256 enteros para el histograma */
    static unsigned hgm[256];
    static unsigned mnp;
    char cmd;
    unsigned i,j;
    /* aparta 1K para buffer de imagen */
    img1 = (char *)farmalloc(65536);
    /* posiciona el apuntador a la memoria de video */
    img0 = (char *)0xd000000;
    do
    (
        printscrn();
        cmd = getch();
        switch (cmd)
        (
            case '1': setimg(img1);
                    accesa();
                    for(i=0xd00;i<=0xfb00;i+=0x100)
                        for(j=0x6;j<=0xfe;j++)

```



```

        img0[i+j]=img1[i+j];
        despliega();
        getch();
        break;
    case '2': histogr(hgm,img1); showhisto(hgm); break;
    case '3':
        resalta(img1);
        accesa();
        for(i=0xd00;i<=0xfb00;i+=0x100)
            for(j=0x6;j<=0xfe;j++)
                img0[i+j]=img1[i+j];
        despliega();
        getch();
        break;
    case '4': despliega(); break;
    case '5': accesa(); break;
    case '6': accesa();
    printf("\n oprimir cualquier tecla para efectuar la captura \n");
        getch();
        captura();
        for(i=0;i<=20000;i++);
        despliega(); break;
    case '7': histogr(hgm,img1);
    scnrst(img1,minvalor(hgm),maxvalor(hgm));
        accesa();
        for(i=0xd00;i<=0xfb00;i+=0x100)
            for(j=0x6;j<=0xfe;j++)
                img0[i+j]=img1[i+j];
        despliega();
        break;
    case '8': accesa();
        storeimg(img0);
        despliega();
        break;
    }
} while(cmd!='F' && cmd!='f');
printf("\n\n fin");
free(img1);
)

```

## APENDICE A4: HOJAS TECNICAS DE LOS CIRCUITOS PRINCIPALES

A continuación se encuentran las hojas técnicas de los siguientes circuitos:

TMS 4161	Memorias doble-puerto.
TMS 4500A	Controlador de RAM dinámica.
MM 5321	Generador de sincronías NTSC.
TML 1070	Convertidor A/D 'flash'.
LM 1886	Convertidor D/A color.
LM 1889	Modulador de video color.
MC 1408	Convertidor D/A 8 bits.

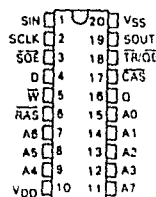
MOS  
LSI

TMS4161  
65,536-BIT MULTIPORT MEMORY

JULY 1983

- Dual Accessibility - One Port Sequential Access, One Port Random Access
- Four Cascaded 64-Bit Serial Shift Registers for Sequential Access Applications
- Shift Register Loaded Once Every 64, 128, 192, or 256 Shift Cycles as Desired by User
- Fast Serial Port . . . 25 MHz Shift Rate
- $\overline{\text{TR}}/\overline{\text{OE}}$  as Output Enable Allows Direct Connection of D, Q and Address Lines to Simplify System Design
- Random Access Port Looks Exactly Like a TMS4164
- Separate Serial In and Serial Out to Allow Simultaneous Shift In and Out
- 65,536 x 1 Organization
- Maximum Access Time from  $\overline{\text{RAS}}$  Less Than 150 ns
- Minimum Cycle Time (Read or Write) Less Than 260 ns
- Long Refresh Period . . . 4 Milliseconds
- Low Refresh Overhead Time . . . As Low As 1.8% of Total Refresh Period
- All Inputs, Outputs, Clocks Fully TTL Compatible
- 3-State Unlatched Outputs for Both Random and Serial Access
- Common I/O Capability with "Early Write" Feature
- Page-Mode Operation for Faster Access
- Low Power Dissipation (TMS4161-15)
  - Operating . . . 175 mW (Typical)
  - Standby . . . 40 mW (Typical)
- New SMOS (Scaled-MOS) N-Channel Technology
- $\overline{\text{SOE}}$  Simplifies Multiplexing of Video Data Streams

TMS4161 . . . NL PACKAGE  
(TOP VIEW)



PIN NOMENCLATURE

AD-A7	Address Inputs
CAS	Column Address Strobe
D	Random Access Data In
Q	Random Access Data Out
RAS	Row Address Strobe
SCLK	Serial Data Clock
SIN	Serial Data In
SOE	Serial Output Enable
SOUT	Serial Data Out
TR/OE	Register Transfer/Q Output Enable
W	Write Enable
VDD	+ 5-V Supply
VSS	Ground

- Available with MIL-STD-883B Processing and L(-55°C to 70°C), E(-40°C to 85°C), or S(-55°C to 100°C) Temperature Ranges in the Future

description

The TMS4161 is a high-speed, dual-access 65,536 bit dynamic random-access memory. The random-access port makes the memory look like it is organized as 65,536 words of one bit each like the TMS4164. The sequential access port is interfaced to an internal 256-bit dynamic shift register organized as four 64-bit shift registers which makes the memory look like it is organized as up to 256 words of up to 256 bits each which are accessed serially. One,

PRODUCT PREVIEW

This document contains information on a product under development. Texas Instruments reserves the right to change or discontinue this product without notice.

Copyright © 1983 by Texas Instruments Incorporated

TEXAS  
INSTRUMENTS

POST OFFICE BOX 275012 • DALLAS, TEXAS 75265

4-15

**TMS4161**  
**65,536-BIT MULTIPOINT MEMORY**

two, three, or four 84-bit shift registers can be sequentially read out depending on a two-bit code applied to the two most significant column address inputs. The TMS4161 employs state-of-the-art CMOS (Scaled MOS) A-channel double level polysilicon gate technology for very high performance combined with low cost and improved reliability.

The TMS4161 features full asynchronous dual access capability except when transferring data between the shift register and the memory array.

Refresh period is extended to 4 milliseconds, and during this period each of the 256 rows must be strobed with  $\overline{RAS}$  in order to retain data.  $\overline{CAS}$  can remain high during the refresh sequence to conserve power. Note that the transfer of a row of data from the memory array to the shift register also refreshes that row.

All inputs and outputs, including clocks, are compatible with Series 74 TTL. All address lines and data in are latched on chip to simplify system design. Data-out is unclocked to allow greater system flexibility.

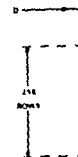
The TMS4161 is offered in a 20-pin dual in-line package and is guaranteed for operation from 0°C to 70°C. Packages are designed for insertion in mounting hole rows on 300-mil (7.62 mm) centers.

**random access address space to sequential address space mapping**

The TMS4161 is designed with each row divided into four, 64-column sections. The first column section to be shifted out is selected by the two most significant column address bits. If the two bits represent binary 00, then one to four registers can be shifted out in order. If the two bits represent binary 01, then only 1 to 3 (the most significant) registers can be shifted out in order. If the two bits represent 10, then one to two of the most significant registers can be shifted out in order. Finally, if the two bits represent 11 only the most significant register can be shifted out. All registers are shifted out with the least significant bit (bit 0) first and the most significant bit (bit 83) last. Note that if the two column address bits equal 00 during the last register transfer cycle ( $\overline{TR/GE}$  equal to 0) a total of 256 bits can be sequentially read out.

4  
 Dynamic RAM and Memory Support Devices

**functional block diagram**



**random access operation**

**$\overline{TR/GE}$**

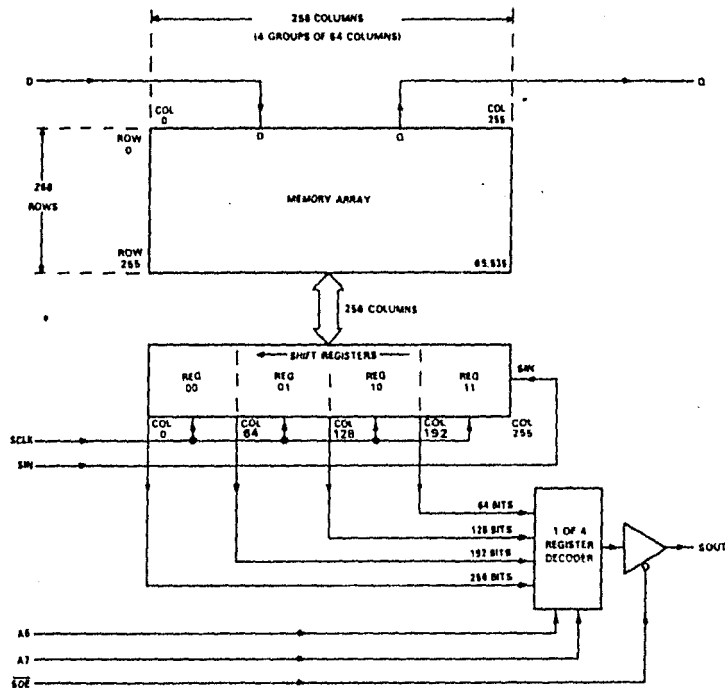
The  $\overline{TR/GE}$  pin is used to select the first and second.

To use the first, the 256 elements are shifted, then the first element of the memory array is selected.

Once  $\overline{CAS}$  is driven low, the first element is transferred.

TMS4161  
65,536-BIT MULTIPORT MEMORY

functional block diagram



random access operation

$\overline{TR}/\overline{OE}$

The  $\overline{TR}/\overline{OE}$  pin has two functions. First, it selects either register transfer or random-access operation as  $\overline{RAS}$  falls, and second, if this is a random-access operation, it functions as an output enable after  $\overline{CAS}$  falls.

To use the TMS4161 in the random-access mode,  $\overline{TR}/\overline{OE}$  must be high as  $\overline{RAS}$  falls. Holding  $\overline{TR}/\overline{OE}$  high disconnects the 256 elements of the shift registers from the corresponding 256 bit lines of the memory array. If data is to be shifted, the shift registers must be disconnected from the bit lines. Holding  $\overline{TR}/\overline{OE}$  low enables the 256 switches that connect the shift registers to the bit lines and indicates that a transfer will occur between the shift registers and one of the memory rows.

Once  $\overline{CAS}$  has been pulled low,  $\overline{TR}/\overline{OE}$  controls when the data will appear at the Q output (if this is a read cycle). Whenever  $\overline{TR}/\overline{OE}$  is held high, the Q output will be in the high-impedance state. This feature removes the possibility

## TMS4161 65,536-BIT MULTIPORT MEMORY

of an overlap between data on the address lines and data appearing on the Q output making it possible to connect the address lines to the Q and D lines (Use of this organization prohibits the use of the early write cycle.)

### address (A0 through A7)

Sixteen address bits are required to decode 1 of 65,536 storage cell locations. Eight row-address bits are set up on pins A0 through A7 and latched onto the chip by the row-address strobe (RAS). Then the eight column-address bits are set up on pins A0 through A7 and latched onto the chip by the column-address strobe (CAS). All addresses must be stable on or before the falling edges of RAS and CAS. RAS is similar to a chip enable in that it activates the sense amplifiers as well as the row decoder. CAS is used as a chip select activating the column decoder and the input and output buffers.

### write enable ( $\bar{W}$ )

The read or write mode is selected through the write enable ( $\bar{W}$ ) input. A logic high on the  $\bar{W}$  input selects the read mode and a logic low selects the write mode. The write enable terminal can be driven from standard TTL circuits without a pull-up resistor. The data input is disabled when the read mode is selected. When  $\bar{W}$  goes low prior to CAS, data-out will remain in the high-impedance state for the entire cycle permitting common I/O operation.

### data-in (D)

Data is written during a write or read-modify-write cycle. The falling edge of CAS or  $\bar{W}$  strobes data into the on-chip data latch. This latch can be driven from standard TTL circuits without a pull-up resistor. In an early write cycle,  $\bar{W}$  is brought low prior to CAS and the data is strobed in by CAS with setup and hold times referenced to this signal. In a delayed write or read-modify-write cycle, CAS will already be low, thus the data will be strobed in by  $\bar{W}$  with setup and hold times referenced to this signal.

### data-out (Q)

The three-state output buffer provides direct TTL compatibility (no pull-up resistor required) with a fan-out of two Series 74 TTL loads. Data-out is the same polarity as data-in. The output is in the high-impedance (floating) state as long as CAS or TR $\bar{O}$ E is held high. Data will not appear on the output until after both CAS and TR $\bar{O}$ E have been brought low. In a read cycle, the guaranteed maximum output enable access time is valid only if tCOE is greater than tCOE MAX, and tRCL is greater than tRCL MAX. Likewise, t $\bar{O}$ CE MAX is valid only if tRCL is greater than tRCL MAX. Once the output is valid, it will remain valid while CAS and TR $\bar{O}$ E are both low; CAS or TR $\bar{O}$ E going high will return the output to a high-impedance state. In an early write cycle, the output is always in a high-impedance state. In a delayed write or read-modify-write cycle, the output will follow the sequence for the read cycle. In a register transfer cycle, the output will always be in a high-impedance state.

### refresh

A refresh operation must be performed at least every four milliseconds to retain data. Since the output buffer is in high-impedance state unless CAS is applied, the RAS only refresh sequence avoids any output during refresh. Strobing each of the 256 row addresses (A0 through A7) with RAS causes all bits in each row to be refreshed. CAS can remain high (inactive) for this refresh sequence to conserve power. Note that the shift registers are also dynamic storage elements and that the data held in the registers will be lost unless SCLK goes high to shift the data one bit position or else the data is reloaded from the memory array. See specifications for maximum register data retention times.

### page-mode

Page-mode operation allows effectively faster memory access by keeping the same row address and strobing successive column addresses onto the chip. Thus, the time required to setup and strobe sequential row addresses for the same page is eliminated. To extend beyond the 256 column locations on a single RAM, the row address and RAS are applied to multiple 64K RAMs. CAS is then decoded to select the proper RAM.

TMS4161  
65,536-BIT MULTI-PORT MEMORY

sequential access operation

$\overline{\text{TR}}/\overline{\text{OE}}$

Memory operations involving parallel use of the shift register are first indicated by bringing  $\overline{\text{TR}}/\overline{\text{OE}}$  low before  $\overline{\text{RAS}}$  falls low. This enables the switches connecting the 256 elements of the shift register to the 256 bit lines of the memory array. The  $\overline{\text{W}}$  line determines whether the data will be transferred from or to the shift registers.

write enable ( $\overline{\text{W}}$ )

In the sequential access mode,  $\overline{\text{W}}$  determines whether a transfer will occur from the shift registers to the memory array, or from the memory array to the shift registers. To transfer from the shift registers to the memory array,  $\overline{\text{W}}$  is held low as  $\overline{\text{RAS}}$  falls, and, to transfer from the memory array to the shift registers,  $\overline{\text{W}}$  is held high as  $\overline{\text{RAS}}$  falls. Thus, reads and writes are always with respect to the memory array. The write setup and hold times are referenced to the falling edge of  $\overline{\text{RAS}}$  for this mode of operation.

row address (A0 through A7)

Eight address bits are required to select one of the 256 possible rows involved in the transfer of data to or from the shift registers. The A0-A7,  $\overline{\text{W}}$ , and the  $\overline{\text{TR}}/\overline{\text{OE}}$  line are latched on the falling edge of  $\overline{\text{RAS}}$ .

register column address (A7, A6)

To select one of the four shift registers (transfer from memory to register only), the appropriate 2 bit column address (A7, A6) must be valid when  $\overline{\text{CAS}}$  falls. However, the  $\overline{\text{CAS}}$  and register address signals need not be supplied every cycle, only when it is desired to change or select a new register.

SCLK

Data is shifted in and out on the rising edge of SCLK. This makes it possible to view the shift registers as though it were made of 256 rising edge D flip flops connected D to Q. The TMS4161 is designed to work with a wide range duty cycle clock to simplify system design. Note that data will appear at the SOUT pin not only on the rising edge of SCLK but also after an access time of  $t_{a}(\text{RSO})$  from  $\overline{\text{RAS}}$  high during a parallel load of the shift registers.

SIN and SOUT

Data is shifted in through the SIN pin and is shifted out through the SOUT pin. The TMS4161 is designed such that it requires 0 ns hold time on SIN as SCLK rises. SOUT is guaranteed not to change for at least 8 ns after SCLK rises. These features make it possible to easily connect TMS4161s together, to allow SOUT to be connected to SIN, and to give external circuitry a full SCLK cycle time to allow manipulation of the serial data. To guarantee proper serial clock sequence after power up, a transfer cycle must be initiated before serial data is applied at SIN.

SOE

The serial output enable pin controls the impedance of the serial output allowing multiplexing of more than one bank of TMS4161 memories into the same external video circuitry. When  $\overline{\text{SOE}}$  is at a low logic level, SOUT will be enabled and the proper data read out. When  $\overline{\text{SOE}}$  is at a high logic level, SOUT will be disabled and be in the high-impedance state.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Voltage on any pin except $V_{DD}$ and data out (see Note 1)	-1.5 V to 10 V
Voltage on $V_{DD}$ supply and data out with respect to $V_{SS}$	-1 V to 6 V
Short circuit output current	50 mA
Power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	-65°C to 150°C

†Stress beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values in this data sheet are with respect to  $V_{SS}$ .

**TMS4161**  
**65,536-BIT MULTI-PORT MEMORY**

**recommended operating conditions**

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, V <sub>DD</sub>	4.5	5	5.5	V
Supply voltage, V <sub>SS</sub>		0		V
High-level input voltage, V <sub>IH</sub>	2.4		V <sub>DD</sub> + 0.3	V
Low-level input voltage, V <sub>IL</sub> (see Note 2)	-1		0.8	V
Operating free air temperature, T <sub>A</sub>	0		70	°C

NOTE 2 The algebraic convention, where the more negative (less positive) limit is designated as minimum, is used in this data sheet for logic voltage levels only.

**electrical characteristics over full range of recommended operating conditions (unless otherwise noted)**

PARAMETER	TEST CONDITIONS	TMS4161-15			TMS4161-20			UNIT	
		MIN	TYP <sup>1</sup>	MAX	MIN	TYP <sup>1</sup>	MAX		
V <sub>OH</sub>	High-level output voltage (I <sub>O</sub> , SOUT)	I <sub>OH</sub> = -5 mA			2.4		2.4	V	
V <sub>OL</sub>	Low-level output voltage (I <sub>O</sub> , SOUT)	I <sub>OL</sub> = 4.2 mA				0.4	0.4	V	
I <sub>I</sub>	Input current (leakage)	V <sub>I</sub> = 0 V to 5.8 V, V <sub>DD</sub> = 5 V, All other pins = 0 V				±10		µA	
I <sub>O</sub>	Output current (leakage)	V <sub>O</sub> = 0.4 V to 5.5 V, V <sub>DD</sub> = 5 V				±10		µA	
I <sub>DD1</sub>	Average operating current during read or write cycle	t <sub>CRD</sub> = minimum cycle time, TR <sub>OE</sub> low after RAS falls, <sup>2</sup> SCLK and SIN low, SOE high			35	50	30	45	mA
I <sub>DD2</sub> <sup>3</sup>	Standby current	After 1 - RAS cycle, RAS and CAS high, SCLK low, SIN low, SOE high			8	10	6	8	mA
I <sub>DD3</sub>	Average refresh current	t <sub>CRD</sub> = minimum cycle time, CAS high, SCLK low, SIN low, SOE high, TR <sub>OE</sub> high			30	40	25	35	mA
I <sub>DD4</sub>	Average page-mode current	t <sub>CRP</sub> = minimum cycle time, RAS low, CAS cycling, TR <sub>OE</sub> low after RAS falls, <sup>2</sup> SCLK and SIN low, SOE high			30	40	20	32	mA
I <sub>DD5</sub> <sup>4</sup>	Average shift register current (includes I <sub>DD2</sub> )	RAS high, CAS high, t <sub>CR(SCLK)</sub> = 100 ns			18	27	15	25	mA

NOTE: I<sub>DD1</sub> thru I<sub>DD5</sub> assume no load on I and SOUT. Additional information on these parameters on last page.

<sup>1</sup> All typical values are at T<sub>A</sub> = 25°C and nominal supply voltages.

<sup>2</sup> See appropriate timing diagram.

<sup>3</sup> V<sub>IH</sub> > -0.6 V.

<sup>4</sup> See power versus cycle time derating curve on last page.

4 Dynamic RAM and Memory Support Devices



**TMS4161**  
**65,536-BIT MULTIPOINT MEMORY**

capacitance over recommended supply voltage and operating free-air temperature range,  $f = 1$  MHz

PARAMETER		TYP <sup>1</sup>	MAX	UNIT
$C_i(A)$	Input capacitance, address inputs	4	5	pF
$C_i(O)$	Input capacitance, data input	4	5	pF
$C_i(RC)$	Input capacitance, strobe inputs	8	10	pF
$C_i(W)$	Input capacitance, write enable input	8	10	pF
$C_i(CK)$	Input capacitance, serial clock	8	10	pF
$C_i(SI)$	Input capacitance, serial in	4	5	pF
$C_i(SOE)$	Input capacitance, serial output enable	4	5	pF
$C_i(TR)$	Input capacitance, register transfer input	4	5	pF
$C_o(O)$	Output capacitance, random-access data	5	7	pF
$C_o(SOUT)$	Output capacitance, serial out	5	7	pF

<sup>1</sup> All typical values are at  $T_A = 25^\circ\text{C}$  and nominal supply voltages.

switching characteristics over recommended supply voltage range and operating free-air temperature range (see figure 1)

PARAMETER	TEST CONDITIONS	ALT. SYMBOL	TMS4161-15		TMS4161-20		UNIT
			MIN	MAX	MIN	MAX	
$t_{pl}(C)$	Access time from $\overline{CAS}$	$C_L = 100$ pF		100		135	ns
$t_{pl}(OE)$	Access time of O from $\overline{TR}/\overline{OE}$ low	$C_L = 100$ pF		40		40	
$t_{pl}(R)$	Access time from $\overline{RAS}$	$\overline{RLCL} = \text{MAX.}$ $C_L = 100$ pF	$t_{RAC}$	150		200	
$t_{pl}(SOUT)$	SOUT access time from $\overline{RAS}$ high	$C_L = 50$ pF		60		60	
$t_{pl}(SOE)$	Access time from $\overline{SOE}$ low to SOUT	$C_L = 50$ pF		20		25	
$t_{pl}(SO)$	Access time from SCLK	$C_L = 50$ pF		30		30	
$t_{dis}(CH)$ <sup>†</sup>	O output disable time from $\overline{CAS}$ high		$t_{OFF}$	20		25	
$t_{dis}(OE)$ <sup>†</sup>	O output disable time from $\overline{TR}/\overline{OE}$ high			20		25	
$t_{dis}(SOE)$ <sup>†</sup>	Serial output disable time from $\overline{SOE}$ high			20		25	

<sup>†</sup> The maximum values for  $t_{dis}(CH)$ ,  $t_{dis}(OE)$ , and  $t_{dis}(SOE)$  define the time at which the output achieves the open circuit condition and are not referenced to  $V_{OH}$  or  $V_{OL}$ .

4

Dynamic RAM and Memory Support Devices

**TMS4161**  
**65,536-BIT MULTI-PORT MEMORY**

Timing requirements over recommended supply voltage range and operating free-air temperature range

PARAMETER	ALT. SYMBOL	TMS4161-15		TMS4161-20		UNIT
		MIN	MAX	MIN	MAX	
t <sub>CP</sub> Page-mode cycle time	t <sub>PC</sub>	160		225		ns
t <sub>CRd</sub> Read cycle time <sup>1</sup>	t <sub>RC</sub>	235		310		ns
t <sub>CRW</sub> Write cycle time	t <sub>WC</sub>	235		310		ns
t <sub>CRdW</sub> Read-write/read-modify-write cycle time	t <sub>RWC</sub>	260		325		ns
t <sub>CSCLK</sub> Serial clock cycle time	t <sub>SCC</sub>	40	50,000	40	50,000	ns
t <sub>wCH</sub> Pulse width, CAS high (precharge time) <sup>1</sup>	t <sub>CP</sub>	60		80		ns
t <sub>wCL</sub> Pulse width, CAS low <sup>1</sup>	t <sub>CAS</sub>	100	10,000	135	10,000	ns
t <sub>wRH</sub> Pulse width, RAS high (precharge time)	t <sub>RP</sub>	75		100		ns
t <sub>wRL</sub> Pulse width, RAS low <sup>1</sup>	t <sub>RAS</sub>	150	10,000	200	10,000	ns
t <sub>wW</sub> Write pulse width	t <sub>WP</sub>	45		45		ns
t <sub>wCLK</sub> Pulse width, SCLK low		10		10		ns
t <sub>wCKH</sub> Pulse width, SCLK high		10		10		ns
t <sub>wQE</sub> TR/DE pulse width low time		40		40		ns
t <sub>t</sub> Transition times (rise and fall) RAS, CAS, and SCLK	t <sub>t</sub>	3	50	3	50	ns
t <sub>suCA</sub> Column address setup time	t <sub>ASC</sub>	0		0		ns
t <sub>suRA</sub> Row address setup time	t <sub>ASR</sub>	0		0		ns
t <sub>suRW</sub> W setup time before RAS low with TR/DE low		0		0		ns
t <sub>suD</sub> Data setup time	t <sub>DS</sub>	0		0		ns
t <sub>suRD</sub> Read command setup time	t <sub>RCS</sub>	0		0		ns
t <sub>suWCL</sub> Early write command setup time before CAS low	t <sub>WCS</sub>	-5		-5		ns
t <sub>suWCH</sub> Write command setup time before CAS high	t <sub>CWL</sub>	60		80		ns
t <sub>suWRH</sub> Write command setup time before RAS high	t <sub>RWL</sub>	60		80		ns
t <sub>suSH</sub> Serial data setup time before SCLK high		10		10		ns
t <sub>suTH</sub> TR/DE setup time before RAS low		0		0		ns
t <sub>hCLCA</sub> Column address hold time after CAS low	t <sub>CAH</sub>	45		55		ns
t <sub>hRA</sub> Row address hold time	t <sub>RAH</sub>	20		25		ns
t <sub>hRW</sub> W hold time after RAS low with TR/DE low		20		20		ns
t <sub>hRLCA</sub> Column address hold time after RAS low	t <sub>AR</sub>	95		140		ns
t <sub>hCLD</sub> Data hold time after CAS low	t <sub>DH</sub>	60		80		ns
t <sub>hRLD</sub> Data hold time after RAS low	t <sub>DHR</sub>	110		145		ns
t <sub>hWLD</sub> Data hold time after W low	t <sub>DH</sub>	45		55		ns
t <sub>hCHrd</sub> Read command hold time after CAS high	t <sub>RCH</sub>	0		0		ns
t <sub>hRHrd</sub> Read command hold time after RAS high	t <sub>RRH</sub>	5		5		ns
t <sub>hCLW</sub> Write command hold time after CAS low	t <sub>WCH</sub>	60		80		ns
t <sub>hRLW</sub> Write command hold time after RAS low	t <sub>WCR</sub>	110		145		ns
t <sub>hRSO</sub> Serial data out hold time after RAS low with TR/DE low		30		30		ns
t <sub>hSH</sub> Serial data in hold time after SCLK high		0		0		ns

(continued next page)

NOTE: Timing measurements are made at the 10% and 90% points of input and clock transitions. In addition, V<sub>IL</sub> max and V<sub>IH</sub> min must be met at the 10% and 90% points.

- 1 All cycle times assume t<sub>r</sub> = 5 ns.
- 1 Page-mode only.
- 1 In a read-modify-write cycle, t<sub>wCL</sub> and t<sub>suWCH</sub> must be observed. Depending on the user's transition times, this may require additional CAS low time (t<sub>wCLL</sub>). This applies to page-mode read-modify-write also.
- 1 In a read-modify-write cycle, t<sub>wWL</sub> and t<sub>suWRH</sub> must be observed. Depending on the user's transition times, this may require additional RAS low time (t<sub>wRL</sub>).

4 Dynamic RAM and Memory Support Devices

**TMS4101**  
**65,536-BIT MULTIPORT MEMORY**

Timing requirements over recommended supply voltage range and operating free-air temperature range (continued)

PARAMETER	ALT. SYMBOL	TMS4101-15		TMS4101-20		UNITS
		MIN	MAX	MIN	MAX	
t <sub>NSO</sub>	Serial data out hold time after SCLK high		8		8	ns
t <sub>HTR</sub>	TR <sub>OE</sub> hold time after RAS low		20		20	ns
t <sub>RLCH</sub>	Delay time, RAS low to CAS high		150		200	ns
t <sub>CRH</sub>	Delay time, CAS high to RAS low		0		0	ns
t <sub>CLGEH</sub>	Delay time, CAS low to OE high		100		135	ns
t <sub>CLRH</sub>	Delay time, CAS low to RAS high		100		135	ns
t <sub>CLWL</sub>	Delay time, CAS low to W low (read-modify-write cycle only)		60		65	ns
t <sub>COE</sub>	Delay time, CAS low to OE low (maximum value specified only to guarantee t <sub>COE</sub> access time)		60		95	ns
t <sub>RHSC</sub>	Delay time, RAS high to SCLK high		50, 60,000		50, 60,000	ns
t <sub>RLCL</sub>	Delay time, RAS low to CAS low (maximum value specified only to guarantee t <sub>RLH</sub> )		20, 50		25, 65	ns
t <sub>RLWL</sub>	Delay time, RAS low to W low (read-modify-write cycle only)		110		130	ns
t <sub>CKRL</sub>	Delay time, SCLK high before RAS low with TR <sub>OE</sub> low †		10, 50,800		10, 50,000	ns
t <sub>f</sub>	Refresh time interval		4		4	ms

NOTE: Timing measurements are made at the 10% and 90% points of input and clock transitions. In addition, V<sub>IL</sub> max and V<sub>IH</sub> min must be met at the 10% and 90% points.

† SCLK be high or low during t<sub>RL</sub>.

**PARAMETER MEASUREMENT INFORMATION**

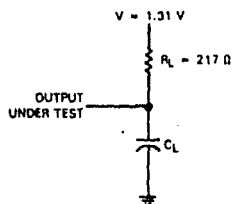
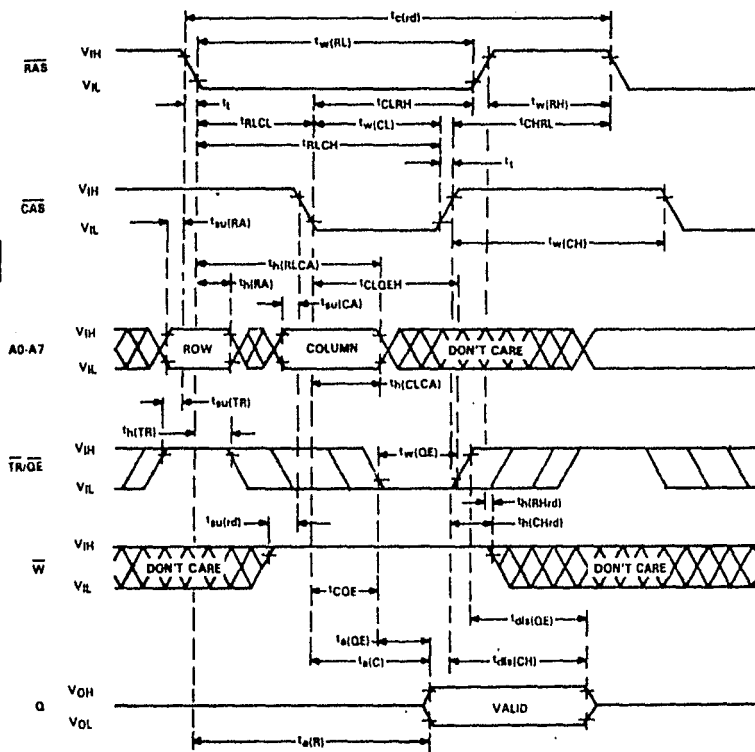


FIGURE 1 - LOAD CIRCUIT

Dynamic RAM and Memory Support Devices

**TMS4161**  
**65,536-BIT MULTIPORT MEMORY**

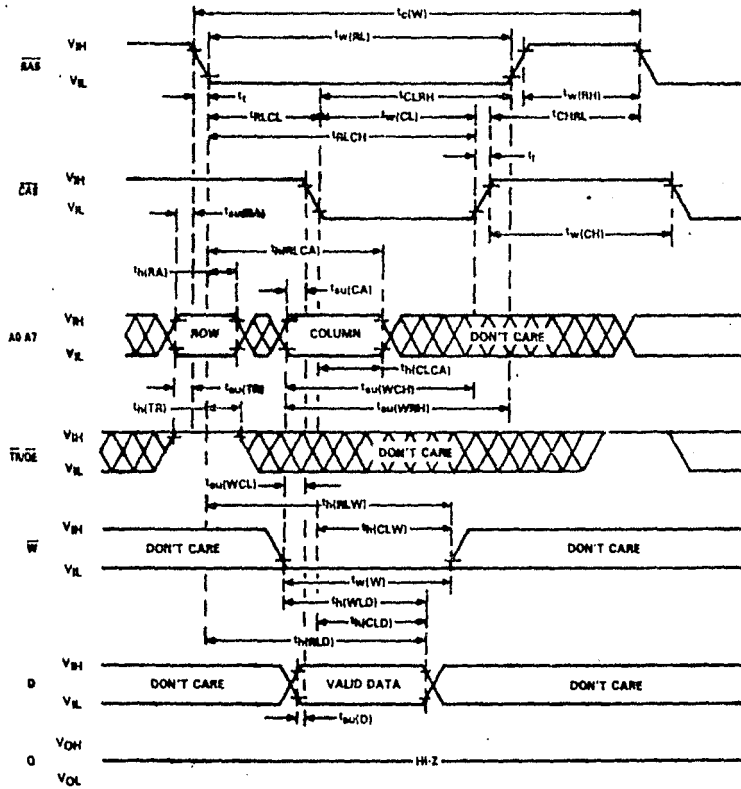
read cycle timing



4  
 Dynamic RAM and Memory Support Devices

TMS4161  
65,536-BIT MULTI-PORT MEMORY

early write cycle timing

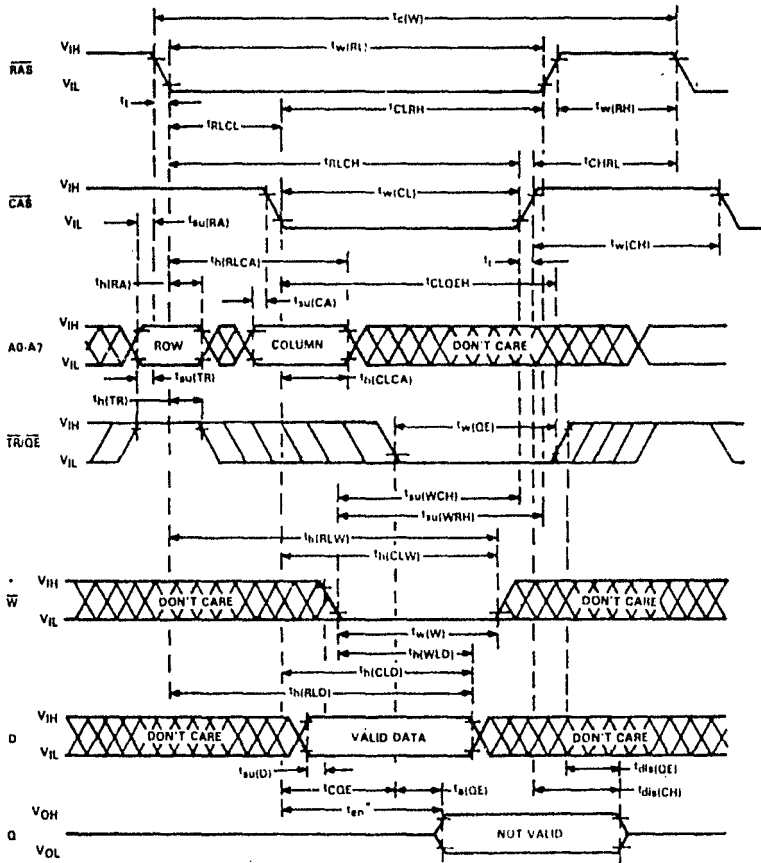


4

Dynamic RAM and Memory Support Devices

**TMS4161**  
**65,536-BIT MULTI-PORT MEMORY**

**write cycle timing**

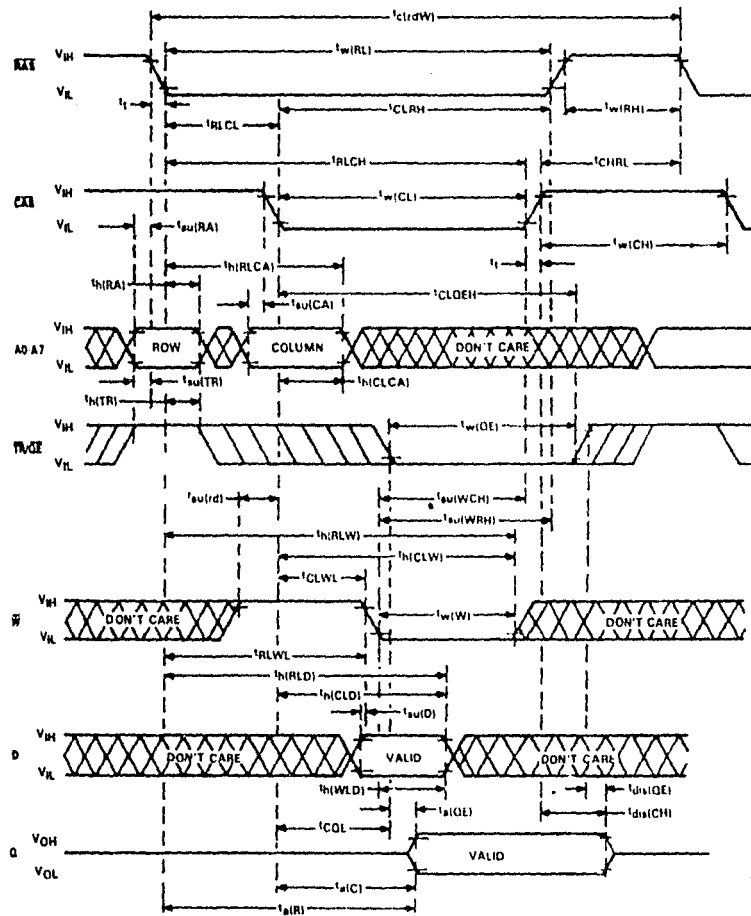


\* The enable time (t<sub>en</sub>) for a write cycle is equal in duration to the access time from CAS (t<sub>su(C)</sub>) in a read cycle, but the active levels at the output are invalid.

Dynamic RAM and Memory Support Devices

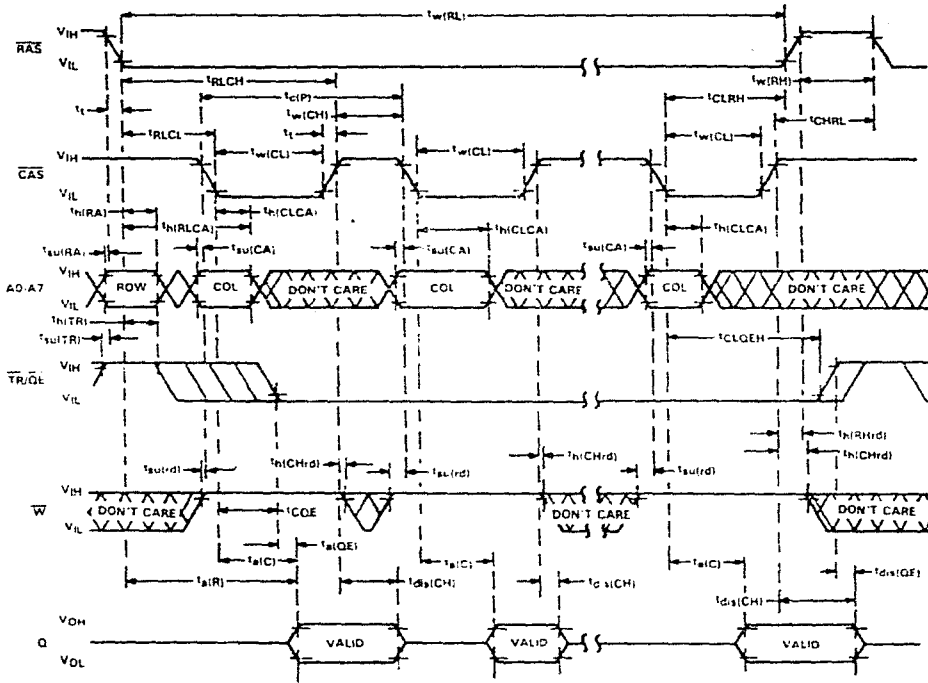
TMS4161  
65,536-BIT MULTI-PORT MEMORY

read-write/read-modify-write cycle timing



4  
Dynamic RAM and Memory Support Devices

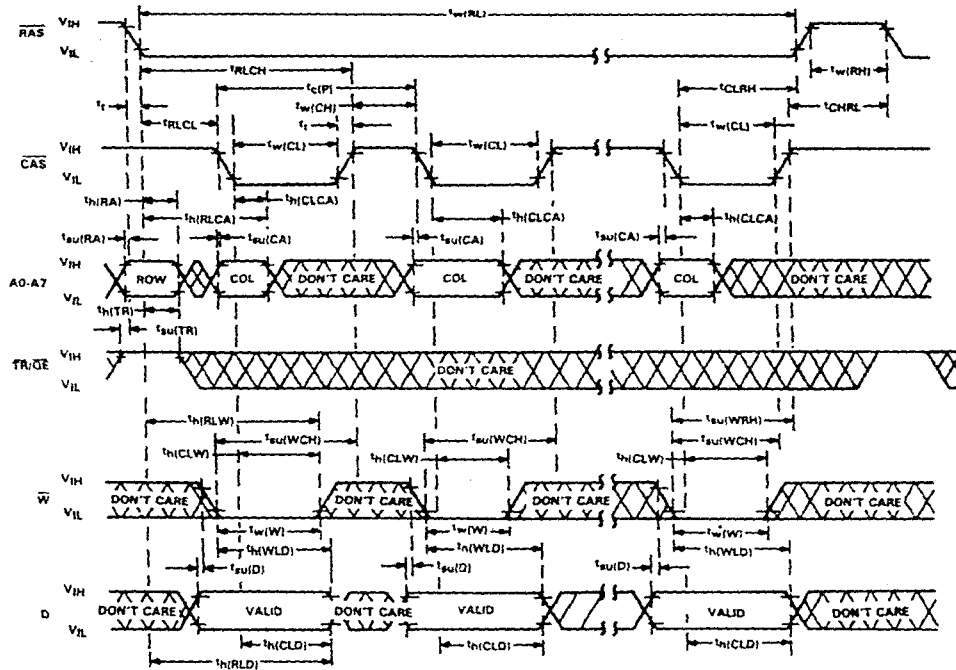
Dynamic RAM and Memory Support Devices



NOTE: Timing is for non-multiplexed D, Q, and Address lines.



NOTE: Timing is for non-multiplexed D, Q, and Address lines.



page-mode write cycle timing.

NOTE 1: Timing is for non-multiplexed D, Q, and Address lines.

TEXAS  
INSTRUMENTS  
POST OFFICE BOX 210023 • DALLAS, TEXAS 75243

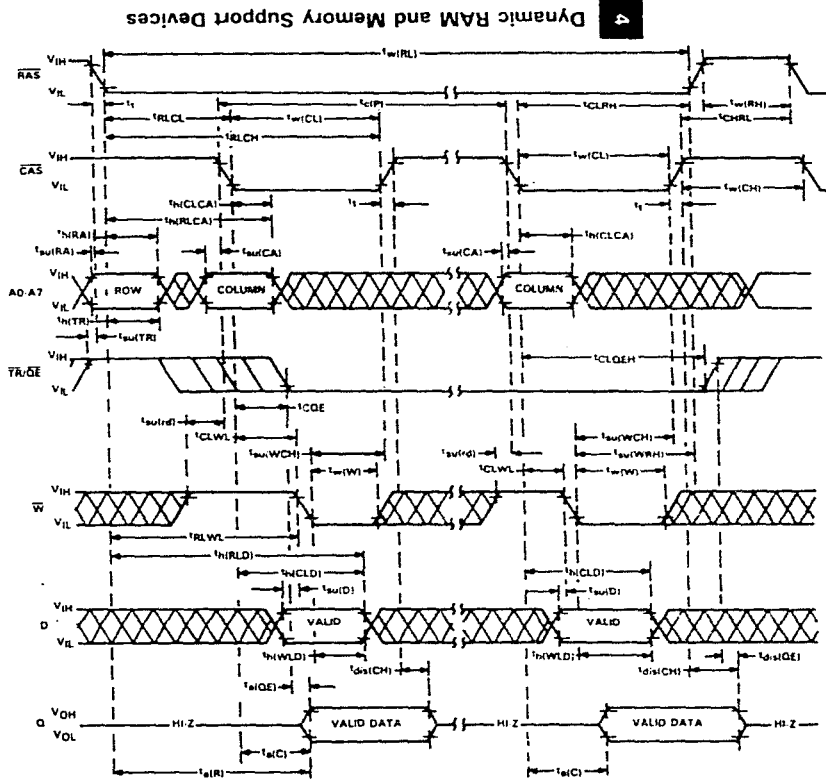
4-29

TMS4161  
65,536-BIT MULTIPORT MEMORY

Dynamic RAM and Memory Support Devices

TMS4161  
65,536-BIT MULTIPORT MEMORY

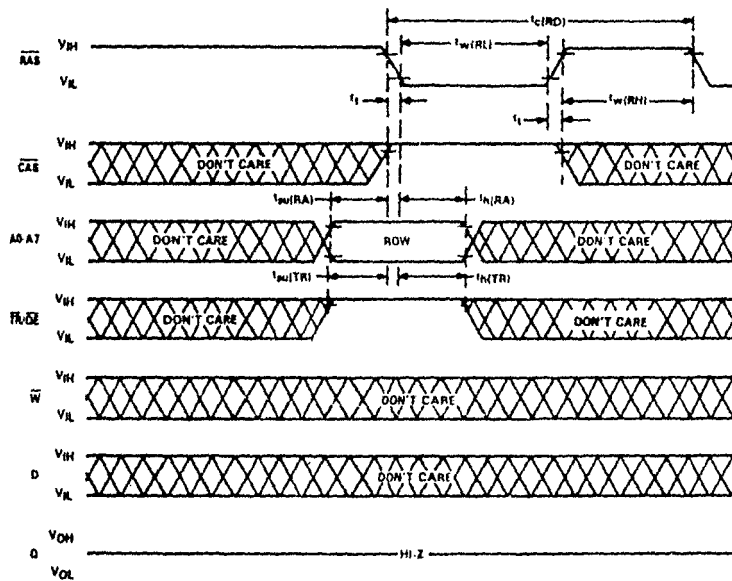
page-mode read/modify-write cycle timing



NOTE: Timing is for non-multiplexed D, D, and Address lines.

TMS4161  
65,536-BIT MULTIPOINT MEMORY

AAS only refresh timing

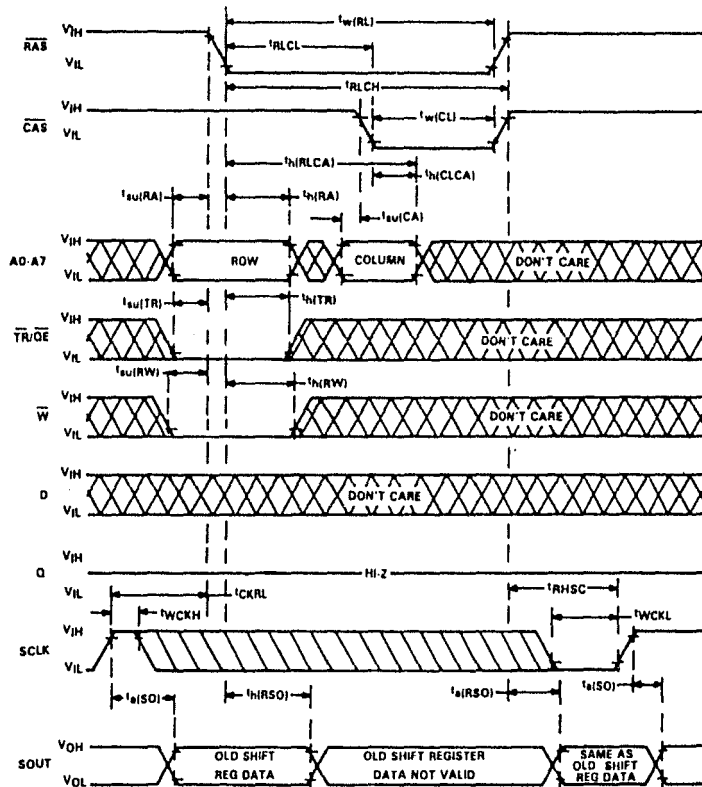


4  
Dynamic RAM and Memory Support Devices

**TMS4161**  
**65,536-BIT MULTIPOINT MEMORY**

shift register to memory timing

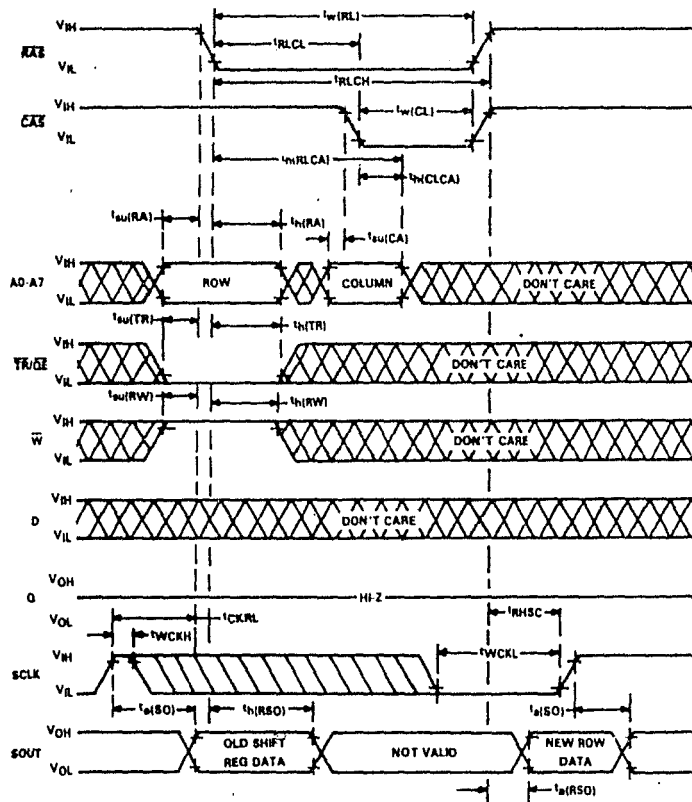
4 Dynamic RAM and Memory Support Devices



- NOTES
1. The shift register to memory cycle is used to transfer data from the shift register to the memory array. Every one of the 256 locations in the shift register is written into the 256 columns of the selected row. Note that the data that was in the shift register may have resulted, either from a serial shift in or from a parallel load of the shift register from one of the memory array rows.
  2. SOE assumed low.
  3. SCLK may be high or low during  $t_w(RL)$ .

TMS4161  
65,536-BIT MULTI-PORT MEMORY

memory to shift register timing

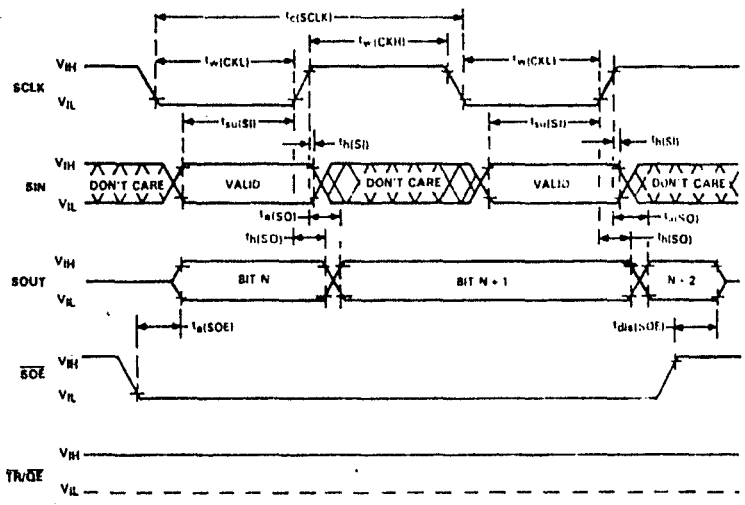


- NOTES:
1. The memory to shift register cycle is used to load the shift register in parallel from the memory array. Every one of the 256 locations in the shift register re-written into from the 256 columns of the selected row. Note that the data that is loaded into the shift register may be either shifted out or written back into another row.
  2. SOE assumed low.
  3. SCLK may be high or low during  $t_w(RL)$ .

**TMS4161**  
**65,536-BIT MUXPORT MEMORY**

serial data transfer timing

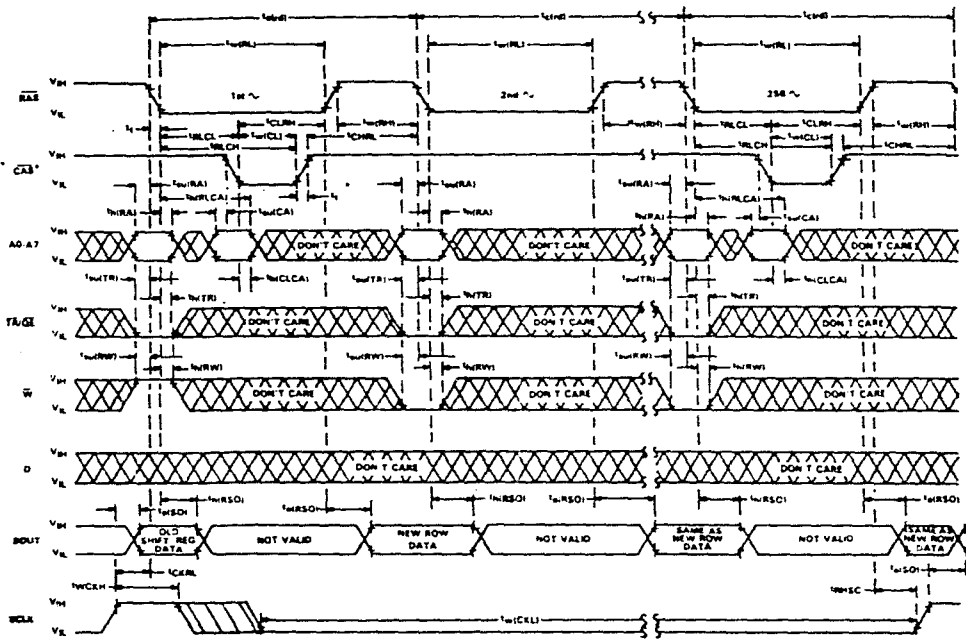
shift



4 Dynamic RAM and Memory Support Devices

**NOTE:** While shifting data through the serial shift register, the state of  $\overline{RD}$  is a "1" as long as  $\overline{SDE}$  is held high when RAM uses  $t_{SU}(SI)$  and  $t_{HSI}$  times are observed. This requirement affects the initiation of a register-to-memory or memory-to-register data transfer operation. The serial data transfer cycle is used to shift data in and/or out of the shift register.





\* CAS and register address need not be supplied every cycle, only when it is desired to change from one register address to another.

- NOTES:
1. The memory to shift register to memory multiple cycle is used to reorder the rows within the memory array itself. First, the data in a row is stored in the shift register and then it is written into other selected rows. The random output part  $\square$  will be in a high impedance state as long as register transfer cycles are selected.
  2. SOE assumed low.

memory to shift register to memory multiple linking

TMSA161  
 65,536-BIT MULTIPORT MEMORY



**MEMORY SUPPORT  
LSI**

**TMS4500A  
DYNAMIC RAM CONTROLLER**

JANUARY 1982 REVISED APRIL 1983

- Controls Operation of 8K/16K/32K/64K Dynamic RAMs
- Creates Static RAM Appearance
- One Package Contains Address Multiplexer, Refresh Control, and Timing Control
- Directly Addresses and Drives Up to 256K Bytes of Memory Without External Drivers
- Operates from Microprocessor Clock
  - No Crystals, Delay Lines, or RC Networks
  - Eliminates Arbitration Delays
- Refresh May Be Internally or Externally Initiated
- Versatile
  - Strap-Selected Refresh Rate
  - Synchronous, Predictable Refresh
  - Selection of Distributed, Transparent, and Cycle-Steal Refresh Modes
  - Interfaces Easily to Popular Microprocessors
- Strap-Selected Wait State Generation for Microprocessor/Memory Speed Matching
- Ability to Synchronize or Interleave Controller with the Microprocessor System (Including Multiple Controllers)
- Three-State Outputs Allow Multiport Memory Configuration
- Performance Ranges of 150 ns/200 ns/250 ns

TMS4500A ... NL PACKAGE  
(TOP VIEW)

CLK	1	40	VCC
RNY	2	38	REFREQ
HN1	3	38	TWST
CS	4	37	FG0
ALL	5	36	ISA1
HA50	6	36	HA7
HA51	7	34	CA7
AG11	8	33	MA7
REW	9	32	MA6
CA5	10	31	CA6
HA0	11	30	HA6
CA0	12	29	HA5
MA0	13	28	CA5
MA1	14	27	MA5
CA1	15	26	HA4
HA1	16	25	CA4
HA2	17	24	MA4
CA2	18	23	HA3
MA2	19	22	CA3
GND	20	21	MA3

4

Dynamic RAM and Memory Support Devices

**description**

The TMS4500A is a monolithic DRAM system controller designed to provide address multiplexing, timing, control and refresh/access arbitration functions to simplify the interface of dynamic RAMs to microprocessor systems.

The controller contains a 16 bit multiplexer that generates the address lines for the memory device from the 16 system address bits and provides the strobe signals required by the memory to decode the address. An 8 bit refresh counter generates the 256 row addresses required for refresh.

A refresh timer is provided that generates the necessary timing to refresh the dynamic memories and assure data retention.

The TMS4500A also contains refresh/access arbitration circuitry to resolve conflicts between memory access requests and memory refresh cycles. The TMS4500A is offered in a 40 pin, 600 mil dual in line plastic package and is guaranteed for operation from 0°C to 70°C.

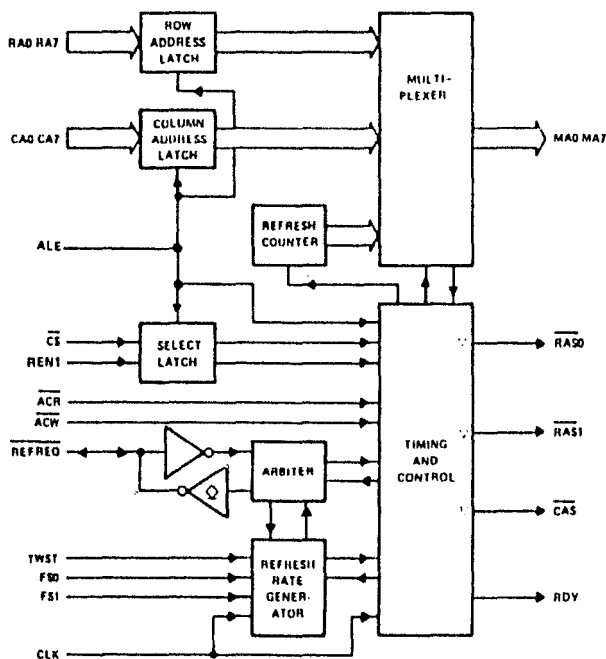
Copyright © 1983 by Texas Instruments Incorporated

**TEXAS INSTRUMENTS**  
INCORPORATED

4-12B

**TMS4500A**  
**DYNAMIC RAM CONTROLLER**

**BLOCK DIAGRAM**



4

Dynamic RAM and Memory Support Devices

**pin descriptions**

RA0 - RA7	Input	Row Address -- These address inputs are used to generate the row address for the multiplexer.
CA0 - CA7	Input	Column Address -- These address inputs are used to generate the column address for the multiplexer.
MA0 - MA7	Output	Memory Address -- These three-state outputs are designed to drive the addresses of the dynamic RAM array.
ALE	Input	Address Latch Enable -- This input is used to latch the 16 address inputs, $\overline{CS}$ and RENT. This also initiates an access cycle if chip select is valid. The rising edge (low level to high level) of ALE returns $\overline{RAS}$ to the high level.

**TMS4500A**  
**DYNAMIC RAM CONTROLLER**

pin descriptions (continued)

$\overline{CS}$	Input	Chip Select - A low on this input enables an access cycle. The trailing edge of ALE latches the chip select input.
REN1	INPUT	RAS Enable 1 - This input is used to select one of two banks of RAM via the $\overline{RAS0}$ and $\overline{RAS1}$ outputs when chip select is present. When it is low, $\overline{RAS0}$ is selected; when it is high, $\overline{RAS1}$ is selected.
$\overline{ACR}$ , $\overline{ACW}$	Input	Access Control, Read; Access Control, Write - A low on either of these inputs causes the column address to appear on MA0 - MA7 and the column address strobe. The rising edge of $\overline{ACR}$ or $\overline{ACW}$ terminates the cycle by ending $\overline{RAS}$ and $\overline{CAS}$ strobes. When $\overline{ACR}$ and $\overline{ACW}$ are both low, MA0 - MA7, $\overline{RAS0}$ , $\overline{RAS1}$ , and $\overline{CAS}$ go into a high impedance (floating) state.
CLK	Input	System Clock - This input provides the master timing to generate refresh cycle timings and refresh rate. Refresh rate is determined by the TWST, FS0, FS0 inputs.
$\overline{REFREQ}$	Input/Output	Refresh Request - (This input should be driven by an open collector output.) On input, a low going edge initiates a refresh cycle and will cause the internal refresh timer to be reset on the next falling edge of the CLK. As an output, a low going edge signals an internal refresh request and that the refresh timer will be reset on the next low going edge of CLK. $\overline{REFREQ}$ will remain low until the refresh cycle is in progress and the current refresh address is present on MA0 MA7. (Note: $\overline{REFREQ}$ contains an internal pull up resistor with a nominal resistance of 10 kilohms.)
$\overline{RAS0}$ , $\overline{RAS1}$	Output	Row Address Strobe - These three state outputs are used to latch the row address into the bank of DRAMs selected by REN1. On refresh both signals are driven.
$\overline{CAS}$	Output	Column Address Strobe - This three-state output is used to latch the column address into the DRAM array.
RDY	Output	Ready - This totem pole output synchronizes memories that are too slow to guarantee microprocessor access time requirements. This output is also used to inhibit access cycles during refresh when in cycle steal mode.
TWST	Input	Timing/Wait Strap - A high on this input indicates a wait state should be added to each memory cycle. In addition it is used in conjunction with FS0 and FS1 to determine refresh rate and timing.
FS0, FS1	Inputs	Frequency Select 0, Frequency Select 1 - These are strap inputs to select Mode and Frequency of operation as shown in Table 1.

4

Dynamic RAM and Memory Support Devices

**TMS4500A**  
**DYNAMIC RAM CONTROLLER**

TABLE 1 - STRAP CONFIGURATION

STRAP INPUT MODES			WAIT STATES FOR MEMORY ACCESS	REFRESH RATE	MINIMUM CLK FREQ. (MHz)	REFRESH FREQ. (kHz)	CLOCK CYCLES FOR EACH REFRESH
TWST	FS1	FS0					
L	L	L <sup>†</sup>	0	EXTERNAL		REFREQ	4
L	L	H	0	CLK 31	1.904	64.95 <sup>‡</sup>	3
L	H	L	0	CLK 46	2.944	64.85 <sup>‡</sup>	3
L	H	H	0	CLK 61	3.904	64.82 <sup>‡</sup>	4
H	L	L	1	CLK 46	2.944	64.85 <sup>‡</sup>	3
H	L	H	1	CLK 61	3.904	64.80 <sup>‡</sup>	4
H	H	L	1	CLK 76	4.864	64.77 <sup>‡</sup>	4
H	H	H	1	CLK 91	5.824	64.88 <sup>‡</sup>	4

<sup>†</sup> This strap configuration resets the Refresh Timer circuitry.

<sup>‡</sup> The figure in refresh frequency is the frequency that is produced if the minimum CLK frequency of the next select state is used.

<sup>‡</sup> Refresh frequency if CLK frequency is 5 MHz.

<sup>‡</sup> Refresh frequency if CLK frequency is 8 MHz.

4 Dynamic RAM and Memory Support Devices

**functional description**

TMS4500A consists of six basic blocks; address and select latches, refresh rate generator, refresh counter, the multiplexer, the arbiter, and the timing and control block.

**address and select latches**

The address and select latches allow the DRAM controller to be used in systems that multiplex address and data on the same lines without external latches. The row address latches are transparent, meaning that while ALE is high, the output at MA0 - MA7 follows the inputs RA0 - RA7.

**refresh rate generator**

The refresh rate generator is a counter that indicates to the arbiter that it is time for a refresh cycle. The counter divides the clock frequency according to the configuration straps as shown in Table 1. The counter is reset when a refresh cycle is requested or when TWST, FS1 and FS0 are low. The configuration straps allow the matching of memories to the system access time.

Upon Power-Up it is necessary to provide a reset signal by driving all three straps to the controller low to initialize internal counters. A system's low-active, power-on reset (RESET) can be used to accomplish this by connecting it to those straps that are desired high during operation. During this reset period, at least four clock cycles should occur.

**refresh counter**

The refresh counter contains the address of the row to be refreshed. The counter is decremented after each refresh cycle. [A low-to-high transition on TWST sets the refresh counter to FF<sub>16</sub> (255<sub>10</sub>).]

**multiplexer**

The multiplexer provides the DRAM array with row, column, and refresh addresses at the proper times. Its inputs are the address latches and the refresh counter. The outputs provide up to 16 multiplexed addresses on eight lines.

**TMS4500A**  
**DYNAMIC RAM CONTROLLER**

**arbiter**

The arbiter provides two operational cycles: access and refresh. The arbiter resolves conflicts between cycle requests and cycles in execution, and schedules the inhibited cycle when used in cycle steal mode.

**timing and control block**

The timing and control block executes the operational cycle at the request of the arbiter. It provides the DRAM array with RAS and CAS signals. It provides the CPU with a RDY signal. It controls the multiplexer during all cycles. It resets the refresh rate generator and decrements the refresh counter during refresh cycles.

**absolute maximum ratings over operating ambient temperature range (unless otherwise noted)<sup>1</sup>**

Supply voltage range, V <sub>CC</sub> (see Note 1)	-1.5 V to 7 V
Input voltage range (any input) (see Note 1)	-1.5 V to 7 V
Continuous power dissipation	1.2 W
Operating ambient temperature range	0°C to 70°C
Storage temperature range	-65°C to 150°C

**4**

**recommended operating conditions**

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	V
High-level input voltage, V <sub>IH</sub>	2.4		5	V
Low-level input voltage, V <sub>IL</sub>	-1 <sup>2</sup>		0.8	V
Operating ambient <sup>3</sup> temperature, T <sub>A</sub>	0		70	°C

<sup>1</sup> Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and full rated operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute maximum rated conditions for extended periods may affect device reliability.

<sup>2</sup> The algebraic convention, where the more negative limit is designated as minimum, is used in this data sheet for logic voltage levels only.

<sup>3</sup> NOTE 1: Voltage values are with respect to the ground terminal.

**electrical characteristics over recommended operating ambient temperature range (unless otherwise noted)**

PARAMETER		TEST CONDITIONS	MIN	TYP <sup>1</sup>	MAX	UNIT	
V <sub>OH</sub>	High level output voltage	MA0-MA7, RDY	I <sub>OH</sub> = 1 mA	V <sub>CC</sub> = 4.5 V	2.4	V	
		RAS0, RAS1, CAS			2.7		
V <sub>OL</sub>	Low level output voltage	REFRESH	I <sub>OH</sub> = 100 µA	V <sub>CC</sub> = 4.5 V	2.4	V	
		All others	I <sub>OL</sub> = 4 mA	V <sub>CC</sub> = 4.5 V	0.4		
I <sub>IH</sub>	High level input current	V <sub>I</sub> = 5.5 V			100	µA	
I <sub>IL</sub>	Low-level input current	REFRESH	V <sub>I</sub> = 0 V			-1.25	mA
		All others				10	µA
I <sub>OZ</sub>	OH state output current	V <sub>O</sub> = 0 to 4.5 V	V <sub>CC</sub> = 5.5 V		±50	µA	
I <sub>CC</sub>	Operating supply current	T <sub>A</sub> = 0°C			100	140	mA
C <sub>I</sub>	Input capacitance	V <sub>I</sub> = 0 V, f = 1 MHz			5	pF	
C <sub>O</sub>	Output capacitance	V <sub>O</sub> = 0 V, f = 1 MHz			6	pF	

<sup>1</sup> All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C, except where otherwise noted.

Dynamic RAM and Memory Support Devices

## TMS4500A DYNAMIC RAM CONTROLLER

Timing requirements over recommended supply voltage range and operating ambient temperature range

PARAMETER	TMS4500A-15		TMS4500A-20		TMS4500A-25		UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	
t <sub>c(C)</sub> CLK cycle time	100		100		140		ns
t <sub>w(CH)</sub> CLK high pulse width	20		20		20		
t <sub>w(CL)</sub> CLK low pulse width	35		35		35		
t <sub>t</sub> Transition time, all inputs		50		50		50	
t <sub>AEL-CL</sub> Time delay, ALE low to CLK starting low (see Note 1)	10		10		15		
t <sub>CL-AEL</sub> Time delay, CLK low to ALE starting low (see Note 1)	10		10		15		
t <sub>CL-AEH</sub> Time delay, CLK low to ALE starting high (see Note 2)	15		20		20		
t <sub>w(AEH)</sub> Pulse width ALE high	50		60		60		
t <sub>AV-AEL</sub> Time delay, address, RIN1, CS valid to ALE low	5		10		15		
t <sub>AEL-AX</sub> Time delay, ALE low to address not valid	10		10		10		
t <sub>AEL-ACL</sub> Time delay, ALE low to ACK low (see Notes 3, 4, 5, and 8)	t <sub>H(RA)</sub> + 30		t <sub>H(RA)</sub> + 40		t <sub>H(RA)</sub> + 50		
t <sub>ACH-CL</sub> Time delay, ACK high to CLK low (see Notes 3 and 7)	20		20		20		
t <sub>ACL-CH</sub> Time delay, ACK low to CLK starting high (to remove RDY)	30		30		30		
t <sub>RQL-CL</sub> Time delay, RETREQ low to CLK starting low (see Note 8)	20		20		20		
t <sub>w(RQL)</sub> Pulse width, REFREQ low	20		20		20		

- NOTES: 1. Coincidence of the trailing edge of CLK and the trailing edge of ALE should be avoided, as the refresh/access occurs on the trailing CLK edge. A trailing edge of CLK should occur during the interval from ACK high to ALE low.
2. If ALE rises before ACK and a refresh request is present, the falling edge of CLK after t<sub>CL-AEH</sub> will output the refresh address to MA0-MA7 and initiate a refresh cycle.
3. These specifications relate to system timing and do not directly reflect device performance.
4. On the access grant cycle following refresh, the occurrence of CAS low depends on the relative occurrence of ALE low to ACK low. If ACK occurs prior to or coincident with ALE then CAS is timed from the CLK high transition that crosses RAS low. If ACK occurs 20 ns or more after ALE then CAS is timed from the CLK low transition following the CLK high transition causing RAS low.
5. For maximum speed access (internal delays on both access and accept grant cycles), ACK should occur prior to or coincident with ALE.
6. t<sub>H(RA)</sub> is the dynamic memory row address hold time. ACK should follow ALE by t<sub>AEL-CL</sub> in systems where the required t<sub>H(RA)</sub> is greater than t<sub>REL-MAX</sub> minimum.
7. Minimum of 20 ns is specified to ensure arbitration will occur on falling CLK edge. t<sub>ACH-CL</sub> also affects precharge time such that the minimum t<sub>ACH-CL</sub> should be equal or greater than: t<sub>w(RH)</sub> - t<sub>w(CL)</sub> + 30 ns (for cycle where ACK high occurs prior to ALE high) where t<sub>w(RH)</sub> is the DRAM RAS precharge time.
8. This parameter is necessary only if refresh arbitration is to occur on this low going CLK edge in systems where refresh is synchronized to external events.

**TMS4500A**  
**DYNAMIC RAM CONTROLLER**

switching characteristics over recommended supply voltage range and operating ambient temperature range (see Figure 1)

PARAMETER	TEST CONDITIONS	TMS4500A 15		TMS4500A 20		TMS4500A 25		UNIT	
		MIN	MAX	MIN	MAX	MIN	MAX		
t <sub>AEL REL</sub>	Time delay, ALE low to RAS starting low		30		40		50	ns	
t <sub>H REL</sub>	RAS fall time		15		20		25		
t <sub>RAV MAV</sub>	Time delay, row address valid to memory address valid		40		50		60		
t <sub>AEH MAV</sub>	Time delay, ALE high to valid memory address		55		70		90		
t <sub>AEL RVL</sub>	Time delay, ALE to RDY starting low (TWS1 = 1 or refresh in progress)		20		25		35		
t <sub>AEL CEL</sub>	Time delay, ALE low to CAS starting low		60	150	75	200	100		250
t <sub>AEH REH</sub>	Time delay, ALE high to RAS starting high		25		30		40		
t <sub>(IMAV)</sub>	Address transition time		15		20		25		
t <sub>ACL MAX</sub>	Row address hold from ACX low		15		20		25		
t <sub>MAV CEL</sub>	Time delay, memory address valid to CAS starting low		0		0		0		
t <sub>(ICEL)</sub>	CAS fall time		15		20		25		
t <sub>ACL-CEL</sub>	Time delay, ACX low to CAS starting low		50	90	65	130	85		165
t <sub>ACH-REH</sub>	Time delay, ALX to RAS starting high		30		40		50		
t <sub>(IREH)</sub>	RAS rise time		15		20		25		
t <sub>ACH CEH</sub>	Time delay, ACX high to CAS starting high		5	30	10	40	15		50
t <sub>(ICFH)</sub>	CAS rise time		30		35		45		
t <sub>ACH MAX</sub>	Column address hold from ACX high		15		20		25		
t <sub>CH RYH</sub>	Time delay, CLK high to RDY starting high (after ACX low) (see Note 9)		35		45		60		
t <sub>RFL R/L</sub>	Time delay, REFREQ external till supported by REFREQ internal		25		30		30		
t <sub>CH RFL</sub>	Time delay, CLK high till REFREQ internal starting low		30		35		45		
t <sub>CL MAV</sub>	Time delay, CLK low till refresh address valid		75		100		125		
t <sub>CH RRL</sub>	Time delay, CLK high till refresh RAS starting low		10	50	15	60	20		80
t <sub>MAV RRL</sub>	Time delay, refresh address valid till refresh RAS low		5		5		5		
t <sub>CL RH H</sub>	Time delay, CLK low to REFREQ starting high (3 cycle refresh)		45		55		75		
t <sub>CH RH H</sub>	Time delay, CLK high to REFREQ starting high (4 cycle refresh)		45		55		75		
t <sub>CH RH H</sub>	Time delay, CLK high to refresh RAS starting high		5	35	10	45	10		60
t <sub>CH MAX</sub>	Time delay, refresh address hold after CLK high		15		20		25		

NOTE 9 RDY returns high on the rising edge of CLK. If TWS1 = 0, then on an access grant cycle RDY goes high on the same edge that causes access RAS low. If TWS1 = 1, then RDY goes to the high level on the first rising CLK edge after ACX goes low on access cycles and on the next rising edge after the edge that causes access RAS low on access grant cycles (assuming ACX low).

4

Dynamic RAM and Memory Support Devices

**TMS4500A**  
**DYNAMIC RAM CONTROLLER**

switching characteristics over recommended supply voltage range and operating ambient temperature range (see Figure 1) (continued)

PARAMETER	TEST CONDITIONS	TMS4500A-15		TMS4500A-20		TMS4500A-25		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
$t_{CH-REL}$ Time delay, CLK high to access RAS starting low	$C_L = 160$ pF	60		70		95		ns
$t_{CL-CEL}$ Time delay, CLK low to access CAS starting low (see Note 4)		125		140		185		
$t_{CL-MAX}$ Row address hold after CLK low		25		30		40		
$t_w(ACL)$ ACX low width		25		30		40		
$t_{REL-MAX}$ Row address hold from RAS low		25		30		35		
$t_{f(RDY)}$ RDY fall time	$C_L = 40$ pF	10		15		20		
$t_{r(RDY)}$ RDY rise time		20		25		35		
$t_{dis}$ Output disable time (3 state outputs)	$C_L = 160$ pF	45 100		55 125		75 165		
$t_{AEH-MAX}$ Column address hold from ALE high		10		15		20		
$t_{en}$ Output enable time (3 state outputs)		0 65		0 80		0 105		
$t_{CAV-CEL}$ CAS after refresh		0		0		0		
$t_{CH-CEL}$ Time delay, CLK high to access CAS starting low (see Note 4)		140		180		235		
$t_{ACL-CL}$ ACX low to CLK starting low	$C_L = 40$ pF	25		35		45		
$t_{ACL-RYH}$ ACX low to RDY starting high	$C_L = 40$ pF	40		50		60		
$t_{CL-ACL}$ CLK low to ACX starting low	$C_L = 40$ pF	0		0		0		

NOTE 4: On the access grant cycle following refresh, the occurrence of CAS low depends on the relative occurrence of ALE low to ACX low. If ACX occurs prior to or coincident with ALE then CAS is timed from the CLK high transition that causes RAS low. If ACX occurs 20 ns or more after ALE then CAS is timed from the CLK low transition following the CLK high transition causing RAS low.

**PARAMETER MEASUREMENT INFORMATION**

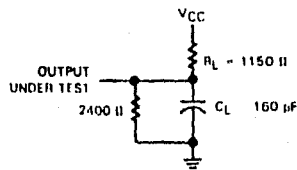
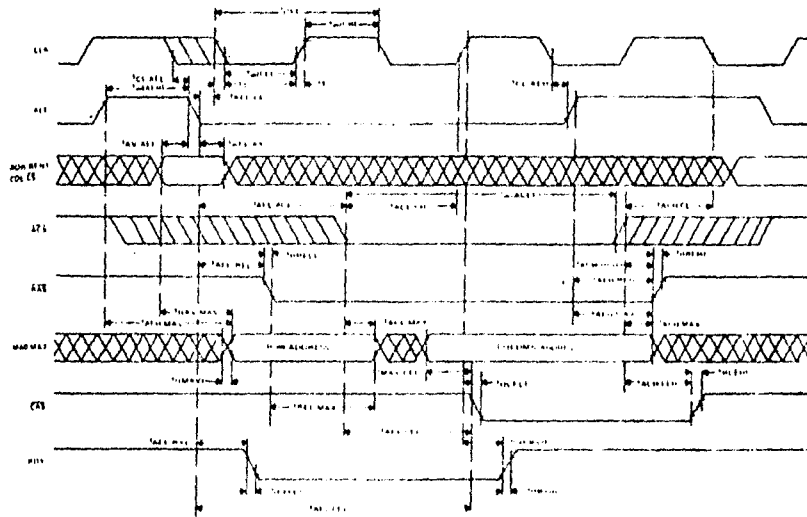


FIGURE 1 - LOAD CIRCUIT

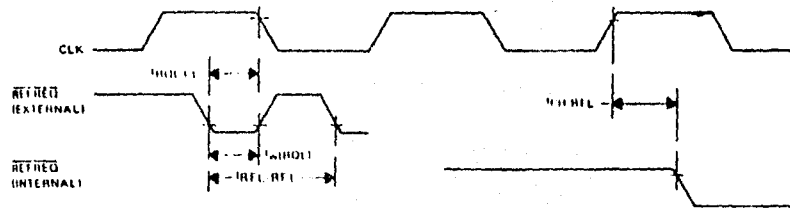


TMS4500A  
 DYNAMIC RAM CONTROLLER

access cycle timing



refresh request timing

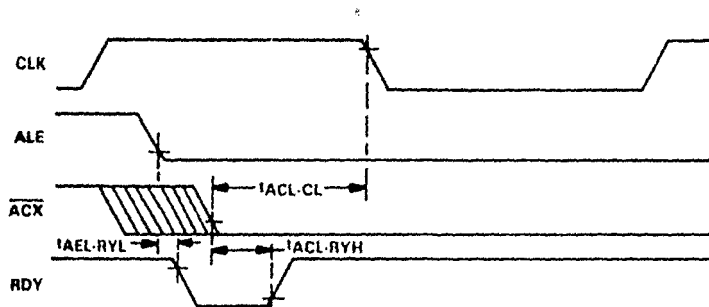


4

Dynamic RAM and Memory Support Devices

**TMS4500A**  
**DYNAMIC RAM CONTROLLER**

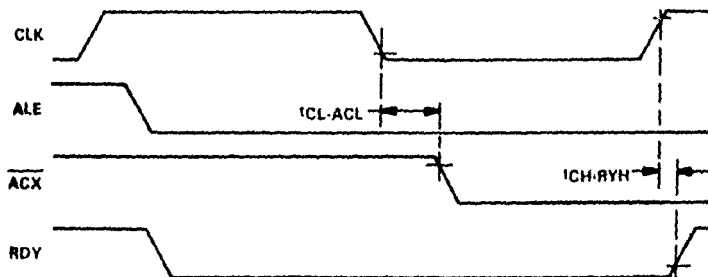
ready timing ( $\overline{ACX}$  during CLK high) (see notes 10 thru 13)



RDY starting high is timed from  $\overline{ACX}$  low ( $t_{ACL RYH}$ ) for the condition  $\overline{ACX}$  going low while CLK high

- NOTES: 10. For RDY high transition (during normal access) to be timed from the rising edge of CLK,  $\overline{ACX}$  must occur  $t_{CL ACL}$  after the falling edge of CLK.  
 11. For  $\overline{ACX}$  prior to the falling edge of CLK by  $t_{ACL CL}$ , the RDY high transition will be  $t_{ACL RYH}$ .  
 12.  $t_{ACL CL}$  is a limiting parameter for control of RDY to be dependent upon  $\overline{ACX}$  low.  
 13. During the interval for  $t_{ACL CL} < \text{MINIMUM}$  to  $t_{CL ACL} > \text{MINIMUM}$ , the control of RDY may vary between the rising clock edge or falling edge of  $\overline{ACX}$ .

ready timing ( $\overline{ACX}$  during CLK low) (see notes 10 thru 13)



RDY starting high is timed from CLK high ( $t_{CL RYH}$ ) for the condition  $\overline{ACX}$  going low while CLK low

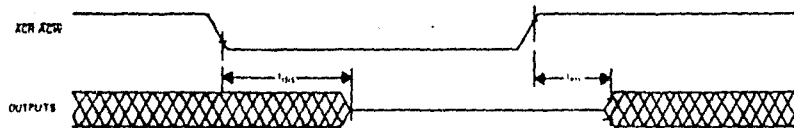
- NOTES: 10. For RDY high transition (during normal access) to be timed from the rising edge of CLK,  $\overline{ACX}$  must occur  $t_{CL ACL}$  after the falling edge of CLK.  
 11. For  $\overline{ACX}$  prior to the falling edge of CLK by  $t_{CL CL}$ , the RDY high transition will be  $t_{CL RYH}$ .  
 12.  $t_{CL CL}$  is a limiting parameter for control of RDY to be dependent upon  $\overline{ACX}$  low.  
 13. During the interval for  $t_{ACL CL} < \text{MINIMUM}$  to  $t_{CL ACL} > \text{MINIMUM}$ , the control of RDY may vary between the rising clock edge or falling edge of  $\overline{ACX}$ .

4

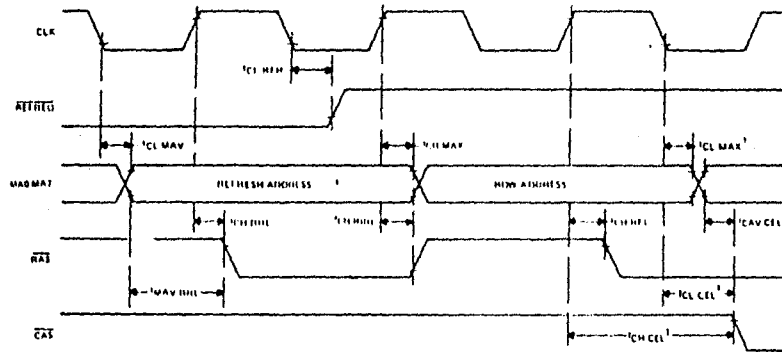
Dynamic RAM and Memory Support Devices

TMS4500A  
DYNAMIC RAM CONTROLLER

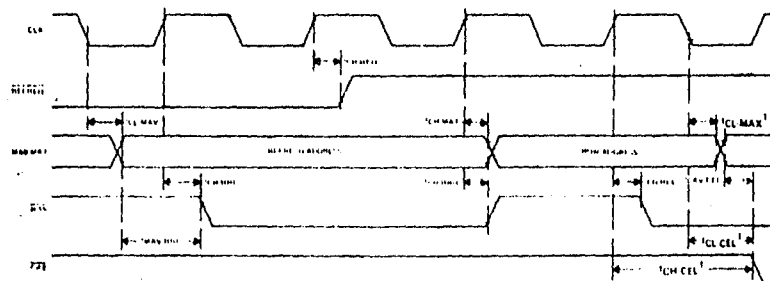
output tristate timing



refresh cycle timing  
(three cycle)



refresh cycle timing  
(four cycle)



<sup>1</sup> On the access grant cycle following refresh, the occurrence of  $\overline{\text{CAS}}$  low depends on the relative occurrence of ALE low to  $\overline{\text{ACR}}$  low. If  $\overline{\text{ACR}}$  occurs prior to or coincident with ALE then  $\overline{\text{CAS}}$  and address multiplexing are timed from the CLK high transition with  $t_{\text{HLE MAX}}$  delay from RAS low to address not valid. If  $\overline{\text{ACR}}$  occurs 20 ns or more after ALE, then  $\overline{\text{CAS}}$  and address multiplexing are timed from the CLK low transition.

4  
Dynamic RAM and Memory Support Devices

## A Broadcast Quality TV Sync Generator Made Economical through LSI

National Semiconductor  
Application Note 251  
Robert B. Johnson and  
Eugene H. Campbell  
May 1980



The growing number of applications of video tape recorders and TV cameras in the consumer market have resulted in the need for a single chip LSI integrated circuit TV camera sync generator. The National Semiconductor MM5321 TV Camera Sync Generator has been developed to economically provide the basic sync functions for color and monochrome, 525 line, 60 Hz, interlaced applications — and provide it with the reliability and accuracy of a digital IC system. A Metal Oxide Semiconductor (MOS) technology was chosen as the most economical method of obtaining the necessary circuit density and speed.

Figure 1 shows the simplified block diagram and Figures 2 through 5 are the timing diagrams of the generator.

All inputs and outputs of the 14 pin device are TTL compatible without the use of external components. Two supplies are required, with the nominal difference between them 17 volts. Ambient temperature may be varied between  $-25^{\circ}\text{C}$  and  $+70^{\circ}\text{C}$ .

The output functions provided are Horizontal Drive, vertical Drive, Composite Blanking, Composite Sync, and Color Burst Gate. In addition, a Field Index output function identifies a particular field, and a Color Burst Sync output presents a pulse at half the horizontal rate, but otherwise identical to the Color Burst Gate, and may be used to synchronize the color burst with the generator.

All output functions are derived from the clock applied to the Master Clock input. The user may select either of two input frequencies by selecting the proper horizontal divider, which is accomplished by hard wiring the Divider Control pin to either the  $V_{CC}$  (most positive or  $V_{EE}$  (most negative) power supply.

In color applications, a frequency four times the color sub-carrier signal is generated. Dividing that frequency by seven results in 2.04545 MHz, which is the input clock signal to be used when the Divider Control pin is connected to  $V_{SS}$ . With the control pin wired to  $V_{GG}$ , the horizontal divider is programmed to accept an input signal eighty times the horizontal rate, or 1.260 MHz.

The horizontal divider is essentially a 65 bit shift register which can be shortened to 40 bits with the Divider Control logic. Control logic also selects the proper set of register taps used for decoding the horizontal timing edges.

One of the outputs of the horizontal divider is a signal used to drive the ten-stage vertical counter and a 42 bit shift register, which together provide the vertical division and timing edges.

Shift registers are usually very efficient logic blocks in MOS designs, which is why they were selected for many of the counters in this product. Parasitic capacitances may be used to store charge for periods of time that are

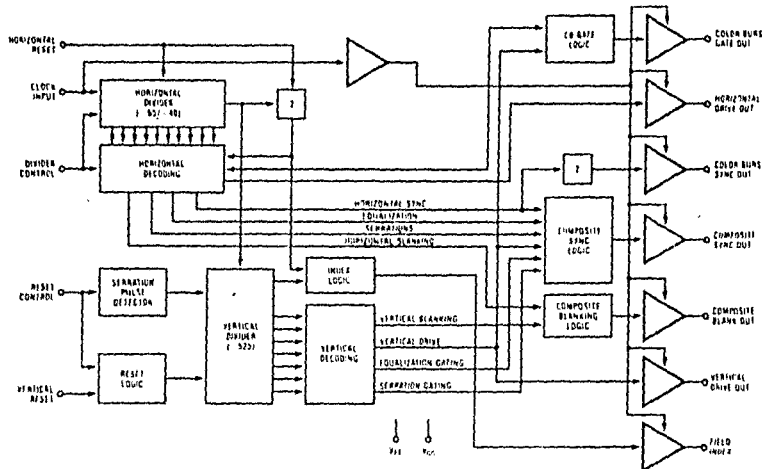


Figure 1. Block Diagram of a TV Camera Sync Generator Fabricated with MOS/LSI Techniques

essentially dependent only on semiconductor junction characteristics. Thus, in MOS it is possible to design both dynamic and static shift registers. Dynamic registers were used for both the vertical and horizontal counters because in each case the clock frequency is well above any minimum limitation due to leakage current considerations, and they offer a layout/size advantage over static type cells. The configuration selected

uses ten transistors and is capable of being reset to either a "1" or "0" logic state.

The vertical divider is comprised of DC flip-flops configured as a ten-stage short-cycled, modulus 525, ripple counter. Each stage is resettable, and to accommodate additional vertical reset versatility, stages 1, 2, and 8 can be set or reset.

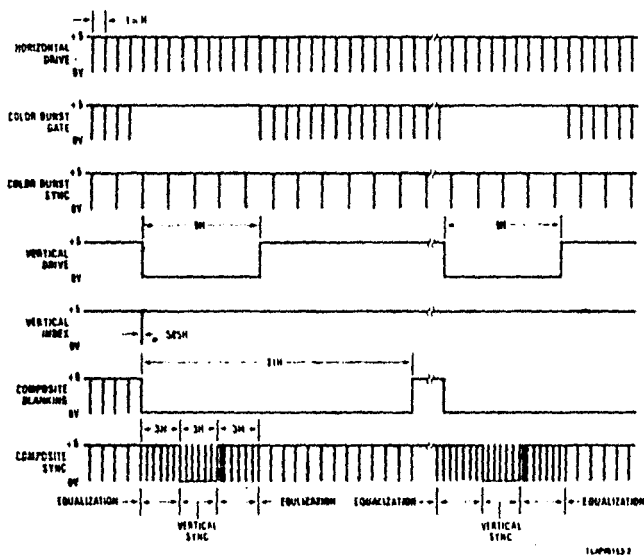


Figure 2. Sync Generator Output Waveforms

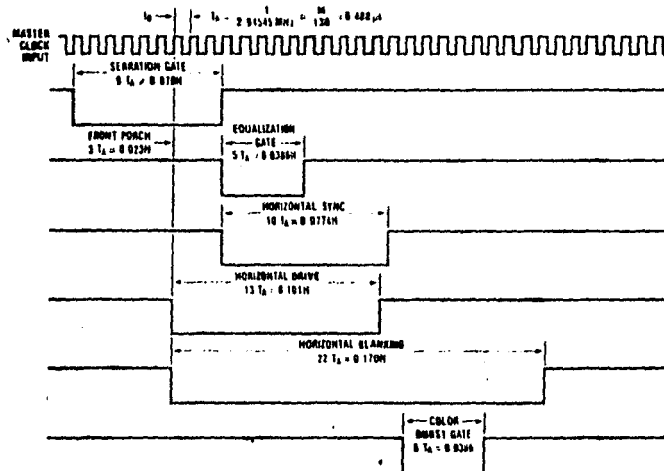


Figure 3. Horizontal Timing Diagram with the Input Clock Frequency Equal to 2.04545 MHz

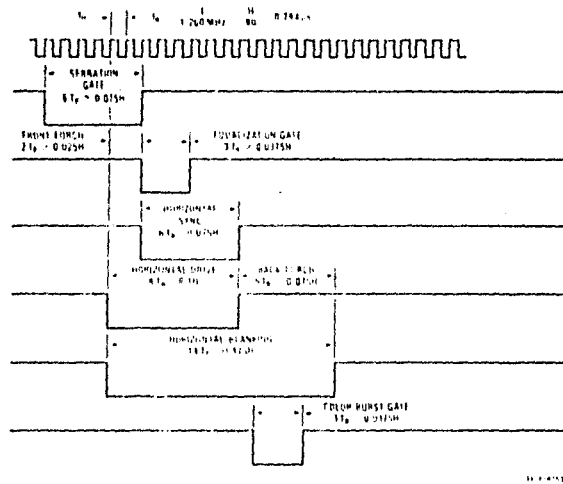


Figure 4. Horizontal Timing Diagram with the Input Clock Equal to 1.260 MHz

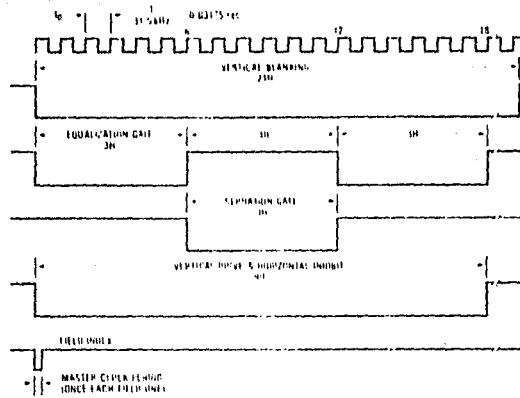


Figure 5. Vertical Timing Diagram

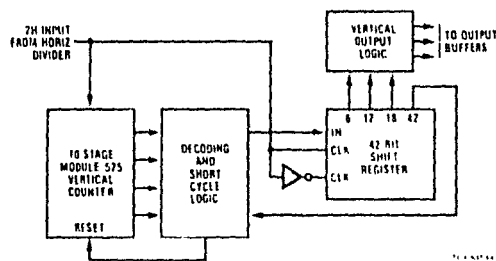


Figure 6. Simplified Vertical Timing Logic

Figure 6 indicates the method of generating the vertical output functions. Decoding logic detects the 525th state and short cycles the counter by resetting it to zero. Simultaneously, the input of the 42 bit shift register is set to zero and the vertical blanking and equalization gates are initiated. Six register clock periods later, the equalization gate is terminated and the serration pulse is initiated by the arrival of a zero state at the sixth bit of the shift register. Similarly, the serration gate is terminated and the equalization gate reinitiated when a zero is detected at the 12th tap and, finally, the equalization gate is terminated when the 18th tap changes to a zero. The vertical drive pulse is also initiated when the register input goes to a zero, and is terminated when the zero reaches the 18th bit. The vertical blanking pulse lasts until the zero propagates to the 42nd bit, at which time the register input is reset to a logical "1" level.

In some applications, particularly video recorder tape editing, it is necessary to identify which field of the vertical frame the system is in. For that purpose, the generator derives a Field Index pulse which identifies field one by occurring for two input clock periods at the leading edge of the vertical blanking pulse of field one. Field one is defined as the field with a whole scanning line interval between the equalizing pulse and the last line sync pulse of the preceding field.

When designing MOS circuits, one must be aware of the effects of power supply variations, ambient temperature excursions, and process variables on circuit performance. This is the case in design of most circuits of course, but MOS tends to be more sensitive than bipolar circuits due to increased parasitic capacitance and limited current drive capabilities. The speed of any MOS product is essentially dependent upon how fast critical capacitive nodes can be charged and discharged. The charging or discharging current is in turn a function of the size, the voltages applied to, and the threshold and gain factor of the transistor(s) supplying the current. Threshold and gain factor are functions of process variables such as gate oxide thickness, the type of substrate material and

its impurity concentration. They are also affected by temperature, which reduces the Fermi potential (decreasing threshold), and modifies the carrier mobility in the transistor channel (which lowers the gain factor). The reduction in gain factor generally has more effect than the change in threshold, resulting in an overall reduction in speed with increasing temperature.

As far as the sync generator is concerned, this variation in performance as a function of environmental and power supply conditions could cause skewing of individual output timing edges, reducing the accuracy of the sync functions. Careful design essentially eliminates this problem in the MM5321. First, all output functions were matched for total logic delay by simulating circuit performance for all environmental and process variations, and then optimizing the delays to the output buffers. Second, all output functions are resynchronized at the outputs by an internal clock signal running at the input clock rate, with its own optimized delay characteristics with respect to the horizontal divider clock. For all worst case conditions the output functions reach the synchronizing point before the synchronizing clock. Third, all the output buffers themselves are identical and therefore have matched delays. Thus, the design results in output functions whose timing delays are matched with respect to each other, but will have differences in delay with respect to the input clock on a part to part basis (due to variations in process variables). Even on a part to part basis, maximum differences in delay between two parts with the maximum allowed process variation should be less than 200ns, or 0.003H, at similar temperature and power supply values.

The output buffers are push-pull using the circuit configuration shown in Figure 7. The output transistors Q1 and Q2 provide the sink and source characteristics shown in Figure 8. When interfacing directly with TTL, the 800Ω resistor serves to limit the excess sink current supplied to the TTL clamp diode, by reducing the gate drive to Q2. This minimizes excessive power dissipation on the chip and protects the TTL diode. Q8 is the logic transfer device driven by the synchronizing clock.

2

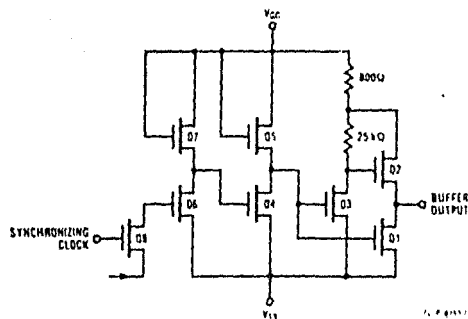


Figure 7. Schematic of TTL Compatible Push-Pull Buffer used on All Outputs of the Sync Generator

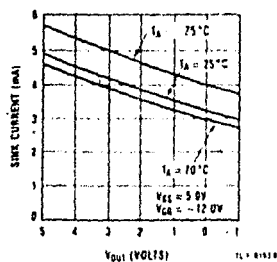


Figure 8a. Typical Output Sink Current as a Function of Output Voltage

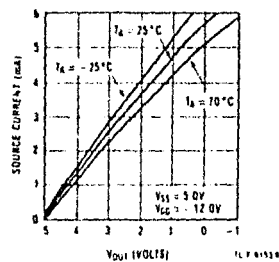


Figure 8b. Typical Output Source Current as a Function of Output Voltage

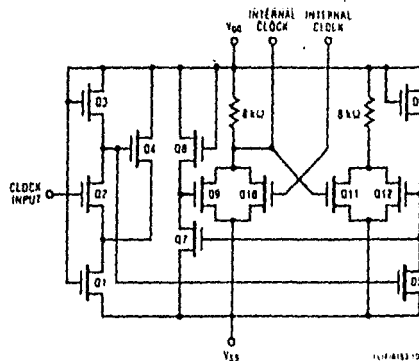


Figure 9. Schematic of Input Clock Buffer

The most critical circuitry in the generator, from the standpoint of speed, is the input clock buffer (Figure 9). The buffer is designed to generate a two-phase, full power supply amplitude clock signal from the single-phase low amplitude input signal. Q1 through Q4 constitute a Schmitt trigger type input stage that guarantees a trip-point range of  $V_{SS} - 4.2V$  maximum for "0" levels, and  $V_{SS} - 2.0V$  minimum for TTL "1" levels. When interfacing directly with TTL, the normal supplies will be

+5 volts connected to  $V_{SS}$ , and -12V connected to the  $V_{CC}$  pin. For a tolerance of 5% on the  $V_{SS}$  supply, the guaranteed trip points decenter to a required input level more negative than 4.75V-4.2V, or 0.55V, for the "0" level, and a required level more positive than 4.75V-2.0V, or 2.75, for the "1" level. These levels are obtainable from standard TTL without any external interface components. Q10 and Q11 are feedback latches which eliminate internal clock overlap problems.



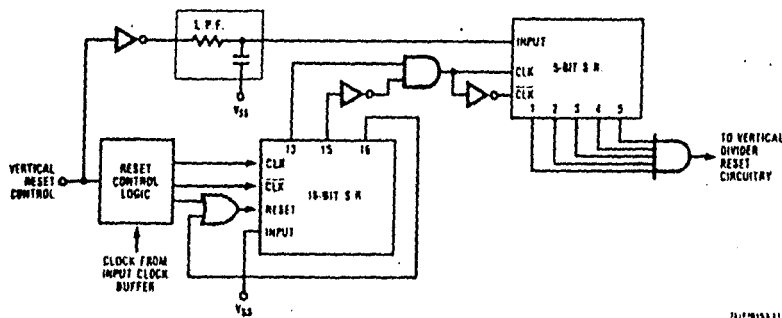


Figure 10. Basic Logic for Detecting Proper State of the Composite Sync Input Signal for Resetting the Vertical Divider in "Gen-Lock" Operation

To provide as much versatility as possible, a variety of divider reset ("gen-lock") features have been included. The horizontal and vertical dividers have individual Vertical and Horizontal Reset inputs which allow independent resetting of the appropriate divider. With the inputs tied together, both dividers may be reset simultaneously.

The vertical divider may be reset to either of two states, depending upon the DC level of the Reset Control pin. If the Reset Control is tied to  $V_{SS}$ , the most positive supply, a TTL "1" to the "0" level transition on the Vertical Reset pin will reset the vertical divider to all zeros, which is time zero as defined by the vertical timing diagram. With the Reset Control returned to  $V_{DD}$ , a Vertical Reset pulse will reset the vertical divider to the fifth serration pulse (eleven 0.5H time intervals from time zero). This allows the reset pulse to be generated by analog detection of a composite sync or video signal, and used to gen-lock the slave sync generator within the same field interval. The horizontal divider is always reset to zero, as defined by the horizontal timing diagram.

The Field Index output pulse occurs once during each field one at time zero and last for two master clock periods. It can be used to gen-lock similar sync generator chips by connecting it to their Vertical Reset inputs and wiring the Reset Control to the  $V_{SS}$  supply.

Another method of resetting the vertical divider is provided by using the Reset Control pin as an input for a composite sync signal from which gen-locking is desired. The slaved generator detects the fifth serration pulse and resets the vertical divider to the proper state (Figure 10).

The reset control logic generates a two-phase clock with a frequency equal to the input clock rate anytime the composite sync input signal is more negative than the Reset Control trip point. A 16-bit dynamic shift register with its input connected to  $V_{SS}$  is driven by the modulated clock signal. When the composite sync input becomes more positive than the Reset Control trip point, or if the 16th bit becomes a "1", all sixteen bits of the

register are reset to zeros. If the composite sync signal remains low for fifteen master clock periods, another two-phase signal is generated which acts as the clock for a 5-bit shift register used to store the sampled state of the inverted (and filtered) composite sync signal. The sample is the average value of the filtered signal during an approximately 200 ns sampling window occurring just before the fifteenth master clock time after the composite sync input signal initially went low. The input trip-point of the 5-bit register determines whether the sampled signal is stored as a "1" or "0" logic state.

Fifteen input clock periods equal a time of  $7.3\mu s$  at an input clock frequency of 2.04545 MHz, and  $11.9\mu s$  when the input rate is 1.260 MHz. The only interval of the composite sync waveform which is legitimately low during this time is the vertical sync pulse. In the present design, the first five serrated intervals must be successfully detected before the vertical divider is reset to the proper state. The limitation in this design may be the difficulty in actually acquiring legitimate detection due to excessive noise and missing pulses in the composite sync input signal. If this proves to be the case, it is possible to eliminate the second and/or fourth bits of the 5-bit register as detection requirements. This should improve the statistical probability of getting an initial gen-lock condition within a reasonable time.

As illustrated above, the Reset Control Input has a dual function. It selects the reset state of the vertical divider when hardwired to either  $V_{SS}$  or  $V_{DD}$ , and acts as a dynamic input when gen-locking is to be established using a composite sync input signal. When using the Reset Control as the input for a composite sync signal, the Vertical Reset pin should be hardwired to  $V_{SS}$ .

The MM5321 TV Sync Generator has been designed with both versatility and economy as the primary objectives. We feel it exemplifies the role of MOS/LSI standard products can play in providing useful consumer products in a manner that both large and small volume users will find attractive.

**Features**

- 7 bit resolution
- 10 MHz sampling rate
- Low power CMOS
- Underrange and overrange status lines
- Simple Interface with TTL, CMOS, ECL logic
- 24 pin dual-in-line 0.3" wide
- One pulse conversion

**Applications**

- High speed A/D conversion applications where low power is important
- Portable products and products in remote locations
- TV video digitizing (industrial/security)
- Digital oscilloscope storage/display
- Radar pulse analysis
- Transient signal analysis
- Optical character recognition
- Ultrasound signature analysis
- High-energy physics research
- Motion signature analysis
- General-purpose hybrid ADCs
- Generate 12 bits at 1MHz

**Description**

The model TML1070 is a CMOS 7 bit parallel (flash) A/D converter designed for 10 MHz sampling at low power levels. Although nominal power level is 150mW, the converter is designed to be operated at less than 50mW at a 3 MHz sample rate.

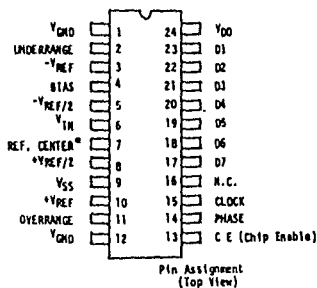
Conversion is accomplished with only one pulse. Data appears at the outputs following the conversion signal. No extra clock signals are required to shift data out.

Underrange and overrange status lines indicate whether the input signal is below or above the input range of the converter. Nominal input voltage range is -3.2V to +3.2V.

The TML1070 may be easily interfaced to TTL, CMOS, or ECL logic. Its output data lines are driven by N-channel open drain MOSFETs, and the digital ground,  $V_{GND}$ , is independent of the analog input.

High speed 12 bit conversions can be obtained as shown in the writeup on Page 4.

**Pin Configuration**



(Top View)

0075

**ABSOLUTE MAXIMUM RATINGS**

DC supply voltage ( $V_{DD} - V_{SS}$ )	12V max.
Logic Supply ( $V_{DD} - V_{GND}$ )	12V max.
Logic Output Voltage ( $V_O - V_{GND}$ )	10V max.
Logic Input Voltage	$V_{GND} - 0.3V, V_{DD} + 0.3V$ max.
$V_{IH}$ Reference Voltages	$V_{CC}$ MIN., $V_{DD}$ MAX.
I supply	20 mA max.
Temperature Range	Storage: -65°C to +125°C Operating: -55°C to +125°C military -40°C to +85°C industrial

**ELECTRICAL CHARACTERISTICS**

Temp. = 25°C  
 $V_{DD} = 5V$      $V_{SS} = -5V$      $V_{GND} = 0V$   
 Test     $I_{DD} = 15mA$      $V_{REF} = +1.2V$      $V_{REF} = -1.2V$   
 Conditions    Clock = 8 million samples per second (MSPS)  
                   Source Impedance = 100 ohms

PARAMETER	MIN	TYP	MAX	UNITS
Resolution			7	bits
Linearity Error			±1	LSB
Quantizing Error	-½		+½	LSB
Sample Rate	0	10	8	MSPS
Differential Linearity Error		±10	±10	mV
Logic supply ( $V_{DD} - V_{GND}$ )	3	5	7	V
Analog Input				
Full Scale Range (Ref. Voltage)	$V_{SS} + 1.5$		$V_{DD} - 1.5$	V
Input Capacitance		30	50	pF
Input Current, d.c.			1	nA
Input Impedance	1000			ohm
Ladder Resistance	2.0	4	6	kohm
Supply Current (Programmable) (Excluding ladder current)	1	10	20	mA
Digital Inputs				
Low Voltage (Logic 0)			1.5	V
High Voltage (Logic 1)	3.5			V
Input Current			±1	µA
Logic Outputs (Open drain)				
High Voltage (Logic 1)		5	10	V
Off Current (Logic 1)			10	µA
Low Voltage (Logic 0), $I_O = 6mA$		½	¾	V
Sink Current, $V_O = 0.7V$	6	9		mA
Minimum Reset Pulse	35	25		nSec
Aperture Time		20		nSec
Digital Output Delay		10	90	nSec

### Device Operation

Figure 1 shows a block diagram of the TML1070 flash converter and Figure 2 gives the timing information. A reference voltage is applied between +VREF and -VREF which drives a resistor with 128 voltage taps. These taps drive the inverting inputs of comparators. The input signal drives the non-inverting comparator inputs. In the RESET mode the comparator outputs are disabled. When the CLOCK changes, the comparator outputs are latched. The digital output is determined by the location where the comparators make the transition from all high to all low outputs. This location is encoded by a 7 bit code that is then gated to the output terminals.

There are three control lines: CLOCK, CE (CHIP ENABLE), and PHASE. And there are two status lines: OR (OVERRANGE) and UR (UNDERRANGE). If a reading is taken and  $V_{IN}$  is greater than +VREF or less than -VREF, then OR will go high or UR will go high, respectively. This is independent of the control lines.

The PHASE line determines the "polarity" of the CLOCK and CE lines. This feature is useful when paralleling converters. Figure 2 shows waveforms with the PHASE line high. Here the input is sampled on the falling edge of the CLOCK line. The CE line must be low (with PHASE high) to enable the output drive transistors. Note that only a single pulse is required to take a reading. Data propagates to the outputs when the CLOCK line is low (and PHASE line is high).

The chip enable line, CE, enables the digital outputs. If disabled (CE ⊕ PHASE = 0), all data output transistors are shut off. External pull-up

resistors (see Figure 5) pull the outputs high. An overrange condition will also produce the same effect, but underrange signals do not affect the data outputs. During RESET all data outputs are high, and OR and UR are both low.

Figure 3 shows the nominal input ranges for a number of output codes. For the TML1070 a code of 1000000 occurs between -25mV and +25mV.

Care should be taken to prevent driving any of the pins beyond the supplies. And pins 11, 13-15, and 17-23 should not be driven below  $V_{GND}$  (digital ground). Exceeding these conditions may cause the TML1070 to latch up. Therefore, overload currents should be kept under 10mA. Typical latch up currents range from 20mA to over 200mA.

Figure 4 summarizes minimum and maximum voltages for proper operation.  $V_{IN}$  should not exceed the power supply voltages. There are diode clamps on all input pins.

A typical configuration of the TML1070 is shown in Figure 5. Note that  $V_{DD}$  is bypassed to digital ground ( $\nabla$ ) with a 0.1μF (or larger) capacitor, and analog ground ( $\nabla$ ) is bypassed to  $V_{SS}$ . Furthermore, all five taps along the reference resistor should be bypassed to analog ground as shown. Any method can be used to supply +VREF and -VREF. Figure 5 shows one way using a band-gap reference and two op amps. R1 adjusts the +3.2V and -3.2V voltages simultaneously, and R2 sets REF CENTER to 0.0mV. For best performance, both digital ground pins  $V_{GND}$  (pins 1 and 12), should be connected to the same point. Pull-up resistors are required on the outputs. If power supplies are regulated, a simpler method of

## DEVICE OPERATION (Cont.)

generating reference voltages may be used as shown in Figure 6. This method has the drawbacks that it uses more power and is not as temperature stable as the design in Figure 5.

The converter is biased by R3 (Figure 5). Converter current is approximately 100 times R3's current, and R3's current is about  $(V_{DD} - V_{SS} - 2.0V) / R3$ . For  $V_{DD} = 5V$ ,  $V_{SS} = -5V$ , and  $R3 = 82Kohms$ , the converter's operating current (d.c.) will be around 10mA.

The open drain outputs of the flash converter, along with the floating digital ground, allow it to interface with TTL, CMOS, and ECL logic. The drive circuit (1Kohm pull-up resistors) of Figure 5 will drive one standard TTL load or four low power Schottky loads. To drive CMOS, the pull-up resistors connect to  $V_{DD}$  of the CMOS (as opposed to  $V_{DD}$  of the converter), and  $V_{CND}$  connects to the CMOS  $V_{SS}$  supply. Figure 7 shows how one can drive ECL logic.

8-BIT RESOLUTION

Figure 9 shows how two TML1070's can be stacked to give an 8 bit result. If the lower device is not in over-range, its OR line is low and this disables the upper converter's outputs. (Note that PHASE is low for both converters.) For signals beyond 01111111, the OR line of the lower converter goes high. This disables its outputs, enables the upper converter, and supplies D8, the most significant of the data bits.

OBTAINING OPTIMAL PERFORMANCE

Optimal speed is attained by using an asymmetric (non square wave) clock. This is achieved by keeping RESET to a minimum time. Thus, for 8 MHz sampling, the clock period of 125nSec

can be divided into a 35nSec RESET period and a 90nSec SAMPLE period. Data is strobed at the end of the 90nSec SAMPLE period. For higher speed operation, the SAMPLE period can be shortened. Data can be strobed up to 20nSec after the end of the SAMPLE period.

The TML1070's input line,  $V_{IN}$ , should be driven from a low impedance source of 100 $\Omega$  or less. Otherwise, a.c. switching spikes coupled from the internal comparators to  $V_{IN}$  will cause nonlinearity. These spikes are a.c. in nature and do not contribute any d.c. current to the input line.

12-BIT CONVERSION

High speed precision conversions can be attained as shown in Figure 8. A sample/hold (S/H) module is required to sample the incoming signal. The reading is taken in a two step process. With  $\phi$  low, the flash converter is connected to the S/H's output ( $V_{IN}$ ). CK1 then goes low and this provides a 7 bit digital output that is stored in a latch when  $\phi$  goes high. The output of the latch drives a 7 bit binary adder. Its output, which presently is the same as the latch, is then stored in a DAC when CK1 returns high. Note that the TML1070's reference voltages are 0.1V high. This means that the digital output is typically two counts low.

The output of the DAC ( $\pm 3.200V$  full scale swing) is added to a 96.7mV offset (100mV-100/32mV) which adjusts for the two count error in the first reading and the 0.1V shift in the converter's reference voltage. The composite signal is then subtracted from a differential amplifier with a gain of 32. Its output drives the TML1070 which then digitizes this remaining signal: when CK1 goes low again. The lower 5 bits of data appear at the output.

## DEVICE OPERATION (Cont.)

The upper two bits are gated into the adder and summed with the previous 7 most significant bits when CK2 goes high. The 12 bit results is now available at the outputs. This scheme will correct errors in the first approximation that are (up to) two counts off. As an example, suppose  $V_{IN} = +0.030V$  which looks like  $-0.070V$  to the converter's input due to the  $0.10V$  offset. This would normally give a reading of  $0111111$ . Assume there is an error and the output is  $0111110$  (62). The DAC would put out a signal of  $(62/128) \times 6.4 - 3.2 = -.100V$  which is offset by  $.09675V$  to give  $-.00325V$ . The  $x32$  amplifier puts out  $32 \times (0.030 - (-0.00325)) = +1.064V$  which looks like  $+0.964$  to the flash converter and becomes digitized as  $1001011$  (83). The final output is then  $((62+2) \times 32) + 19 = 2067$  which represents a signal  $(2067/4096) \times 6.4 - 3.2 = 29.7mV$  which is very close to the input value of  $30mV$ .

OPERATING AND HANDLING  
PRECAUTIONS

All CMOS IC's are susceptible to electrostatic damage. Although all inputs have diode clamps, improper handling may cause damage. The IC should be stored on conductive foam or in a conductive carrier. Work stations should be grounded, and the IC should not be touched unless the operator is also grounded. It is recommended that ground straps be used.

Care should be taken to guarantee that all operating voltages and currents remain within the limits called out in the ratings and in Figure 4. Furthermore, outputs should not be shorted to the supplies. No inputs should be left floating except for  $+V_{REF}/2$ , REF. CENTER, and  $-V_{REF}/2$ .

BLOCK DIAGRAM OF TML1070

FIG. 1

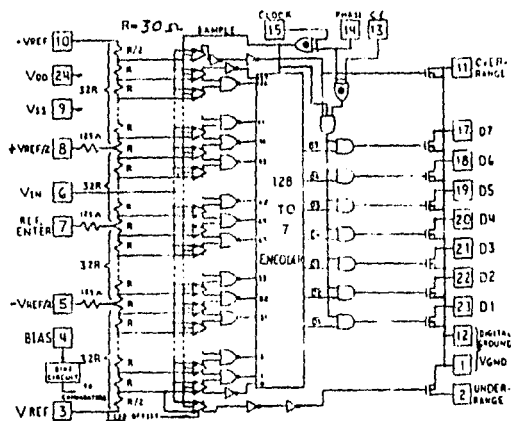
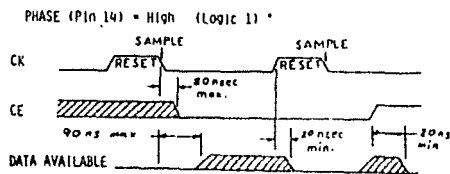


FIG. 2 TIMING DIAGRAM

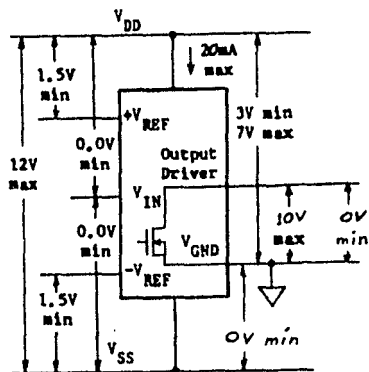


\*NOTE: Timing for PHASE = Low (Logic 0) is same as above except the CK and CE lines are inverted. Output data is NOT inverted and is independent of the PHASE line. All data output lines are high when CK is in RESET, the chip is disabled (CE @ PHASE = 0), or the chip is in Overrange. (Underrange condition has no effect on data output pins.)

FIG. 3 OUTPUT CODING

1070	+V <sub>REF</sub> = 3.20V
	-V <sub>REF</sub> = -3.20V
	OVERRANGE
+3.175V	1111111
+3.125V	1111110
+3.075V	1111101
+3.025V	1111100
+2.975V	1111100
...	...
+0.15V	1000001
+0.05V	1000000
-0.05V	0111111
-0.15V	0111110
...	...
-0.025V	0000011
-0.075V	0000010
-0.125V	0000001
-0.175V	0000000
-0.225V	UNDERRANGE

FIG. 4 MIN/MAX OPERATING VOLTAGES



# Telmos

Fig. 5 TYPICAL 1070 CONFIGURATION

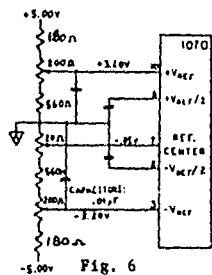
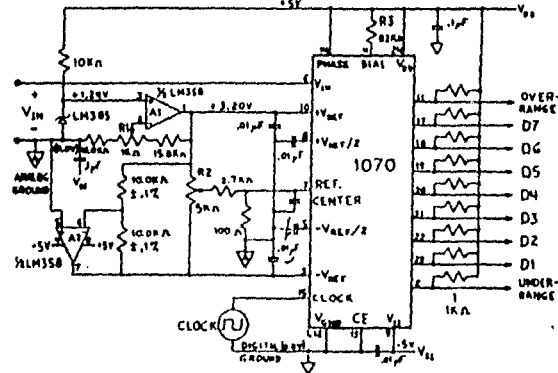


Fig. 6

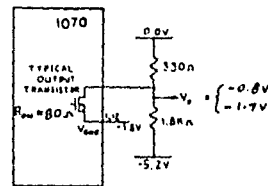


Fig. 7

ALTERNATE REFERENCE RESISTOR HOOK-UP  
EXTERNAL CIRCUITRY REQUIRED TO DRIVE ECL LOGIC

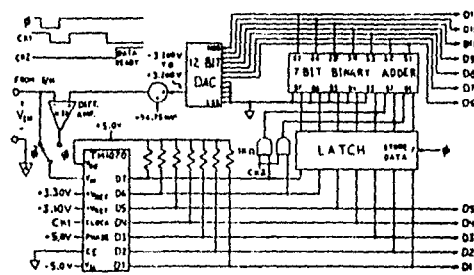


Fig. 8

12 BIT A/D CONVERTER USING TML 1070



# Telmos

FIG. 9

SERIES OPERATION TO OBTAIN  
TWICE THE NUMBER OF COUNTS:  
8 BITS AT 25MHz RESOLUTION  
VIN RANGES FROM -3.20 TO 3.20V

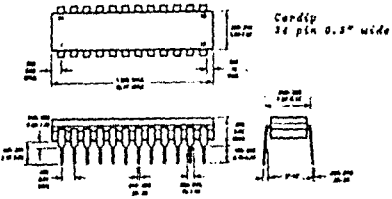
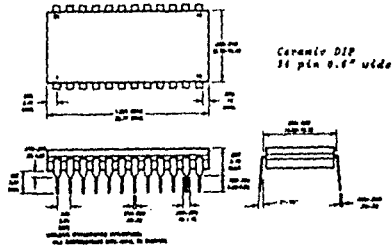
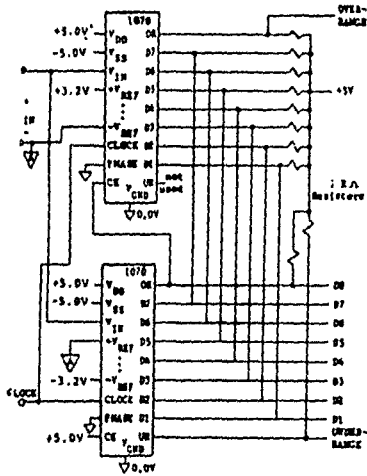
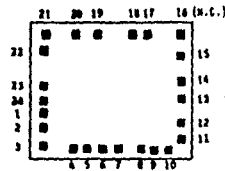
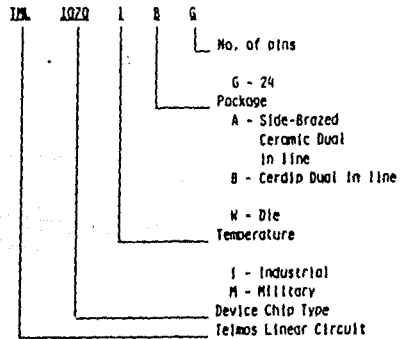


Fig. 10 PAD LAYOUT



Dimensions: 0.090" x 0.113"

HOW TO ORDER:



Telmos assumes no responsibility for the use of any circuits described and makes no representation that they are free from patent infringement.

Jan. 68. Printed in the USA

## LM1886 TV Video Matrix D to A

### General Description

The LM1886 is a TV video matrix D to A converter which encodes luminance and color difference signals from 3-bit red, green and blue inputs. The luminance output is encoded from the NTSC equation  $Y = 0.3R + 0.59G + 0.11B$  and the R-Y and B-Y outputs are weighted to prevent over-modulation. A built-in R-Y and burst gate polarity switch allow European PAL compatible signals to be encoded. All output levels including an RF O Carrier Bias Voltage have been referenced to 5V for direct connection to the LM1889 TV video modulator. When used in combination with the LM1889 and a suitable sync generator, 3 bit R, G and B information may be encoded to both composite video and RF channel carrier.

### Features

- Complete digital to RF encoding with LM1889
- 1 pin PAL/NTSC mode select
- True NTSC matrix
- 8 levels of grey scale
- Allows wide range of colorimetry
- Low power TTL inputs
- Wideband luminance output
- Weighted R-Y, B-Y outputs

### Connection Diagram

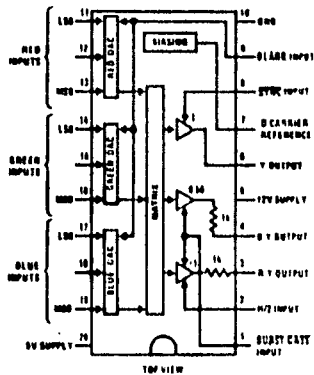


FIGURE 1

Order Number LM1886N  
See NS Package N20A

### Test Circuits

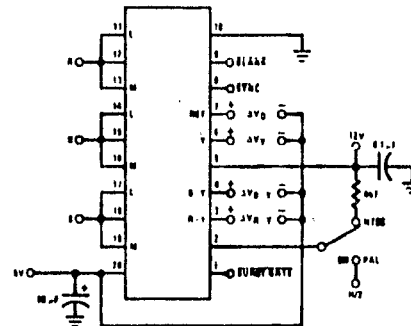


FIGURE 2a. 8-Color Input Connection

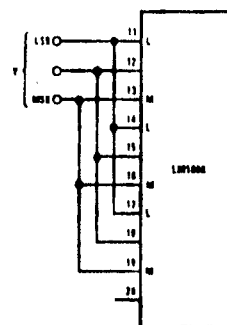


FIGURE 2b. 8-Level Grey Scale Input Connection

**Absolute Maximum Ratings**

Supply Voltage	
Pin 5	15V
Pin 20	6V
Input Voltage (Pins 1, 8, 9, 11-19)	-0.5V, +12V
Pin 2 Voltage Relative to Pin 20	0.8V
Output Current	5 mA
Power Dissipation, $T_A = 25^\circ\text{C}$ (Note 1)	1.67 W
Storage Temperature Range	-55°C to +150°C
Operating Temperature Range	0°C to 70°C
Lead Temperature (Soldering, 10 seconds)	300°C

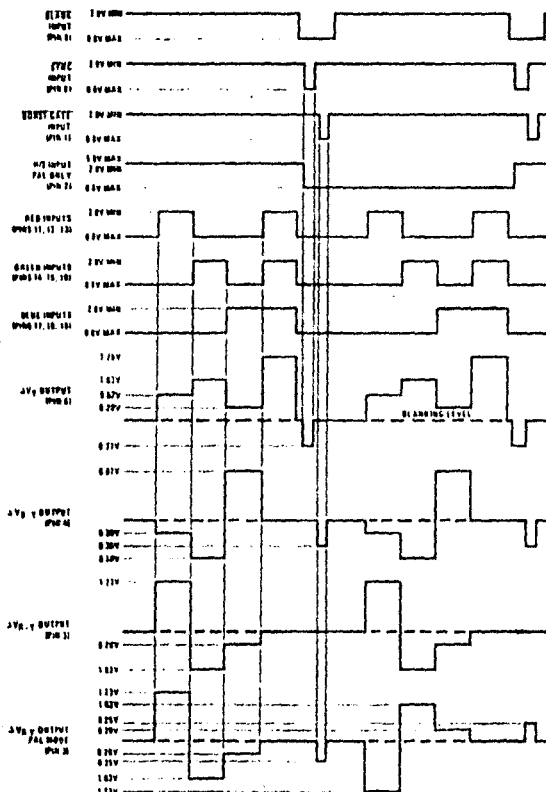
**Electrical Characteristics**  $T_A = 25^\circ\text{C}$ , (Figure 2, Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
5V Supply Current (Pin 20)	$\overline{\text{BLANK}} = 0.8\text{V}$	7	11	16	mA
12V Supply Current (Pin 5)	$\overline{\text{BLANK}} = 0.8\text{V}$	9	13	17	mA
Logic "1" Input Current (Pins 1, 2, 8, 9, 11-19)	Input Voltage = 5.0V		0	10	$\mu\text{A}$
Logic "0" Input Current (Pins 1, 2, 8, 9, 11-19)	Input Voltage = 0.3V		-0.01	-0.18	mA
Output Offsets	R, G, B = 0.8V				
$\Delta V_Y$			0	$\pm 50$	mV
$\Delta V_{R-Y}$			0	$\pm 50$	mV
$\Delta V_{B-Y}$			0	$\pm 50$	mV
R-Y Full Scale, $(\Delta V_{R-Y})/FS$	R = 2V; G, B = 0.8V	1.0	1.23	1.4	V
B-Y Full Scale, $(\Delta V_{B-Y})/FS$	B = 2V; R, G = 0.8V	0.7	0.87	1.0	V
Green Full Scale	G = 2V; R, B = 0.8V				
$\Delta V_{R-Y}$		-0.65	-1.03	-1.2	V
$\Delta V_{B-Y}$		-0.45	-0.58	-0.7	V
Y Full Scale	R, G, B = 2V				
$(\Delta V_Y)/FS$		1.6	1.75	1.9	V
$\Delta V_{R-Y}$			0	$\pm 100$	mV
$\Delta V_{B-Y}$			0	$\pm 75$	mV
O Carrier Reference, $\Delta V_O$		2.0	2.2	2.5	V
Blanking Level, $\Delta V_Y$	$\overline{\text{BLANK}} = 0.8\text{V}$		0	$\pm 50$	mV
Sync Level, $\Delta V_Y$	$\overline{\text{BLANK}}, \overline{\text{SYNC}} = 0.8\text{V}$	-0.67	-0.77	-0.87	V
NTSC Burst, $\Delta V_{B-Y}$	$\overline{\text{BLANK}}, \text{BURST GATE} = 0.8\text{V}$	-0.26	-0.35	-0.46	V
PAL Burst					
$\Delta V_{R-Y}$	SW in PAL Position; $\overline{\text{BLANK}}, \text{BURST GATE},$ H/2 = 0.8V	0.2	0.25	0.32	V
$\Delta V_{B-Y}$		-0.2	-0.25	-0.32	V
PAL Inversion Ratio $(\Delta V_{R-Y})/PAL / (\Delta V_{R-Y})/FS$	R = 2V; G, B, H/2 = 0.8V SW to PAL Position	-0.9	-1.0	-1.1	
Y Linearity Error	Figure 2b Input Connection		$\pm 1$	16	%FS
Y Switching Times	15 kHz Square Wave Switching R, G, B in Parallel				
Rise Time, $t_R$			35		ns
Fall Time, $t_F$			30		ns
Settling Time $\pm 1$ LSB			50		ns

Note 1: Above  $T_A = 25^\circ\text{C}$ , derate based on  $T_J(\text{MAX}) = 150^\circ\text{C}$  and  $\theta_{JA} = 76^\circ\text{C/W}$ .

Note 2: Unless otherwise noted,  $\overline{\text{BLANK}}, \overline{\text{SYNC}}, \text{BURST GATE} = 2\text{V}$  and SW is in NTSC position. All outputs are referenced to the +5V supply as shown in Figure 2a.

## Typical Input and Output Waveforms



## Application Notes (Refer to Figure 2)

SYNC, BLANK, and BURST GATE may be obtained from a sync generator IC similar to MM5320 or MM5321. For PAL operation, the H/Z square wave may be obtained by a  $\pm 2$  from horizontal sync.

All inputs are low-power TTL compatible. Because of the very low typical input currents, the color inputs may be paralleled in various combinations. For simple color requirements, the Figure 2a input connection may be used to produce the 6 primary and complementary colors listed in Table I, along with black and white. To add complex colors such as those at the bottom of Table I, all 9 input bits may be required separately. When choosing input codes for other colors, always check the new color against both light and dark backgrounds.

All outputs are referenced to the +5V supply for direct connection to the LM1889. The resistor on the luminance output pin 6 is used to sum the chroma subcarrier from the LM1889 and must be wired as tightly as possible to preserve the video bandwidth. For the addition of sound or a second RF channel, refer to the LM1889 data sheet.

TABLE I. INPUT CODE EXAMPLES FOR COMMON COLORS

COLOR	INPUT CODE					
	RED		GREEN		BLUE	
	M	L	M	L	M	L
Black	0	0	0	0	0	0
Dark Grey	0	1	0	0	1	0
Light Grey	1	0	1	0	1	0
White	1	1	1	1	1	1
Primary	Red	1	1	0	0	0
	Green	0	0	1	1	0
	Blue	0	0	0	0	1
Complementary	Cyan	0	0	1	1	1
	Magenta	1	1	0	0	1
	Yellow	1	1	1	1	0
Brown	0	1	0	1	0	0
Orange	1	1	1	0	0	0
Flesh tone	1	1	1	1	0	1
Pink	1	1	1	1	0	1
Sky Blue	1	0	1	1	0	1

## Typical Application

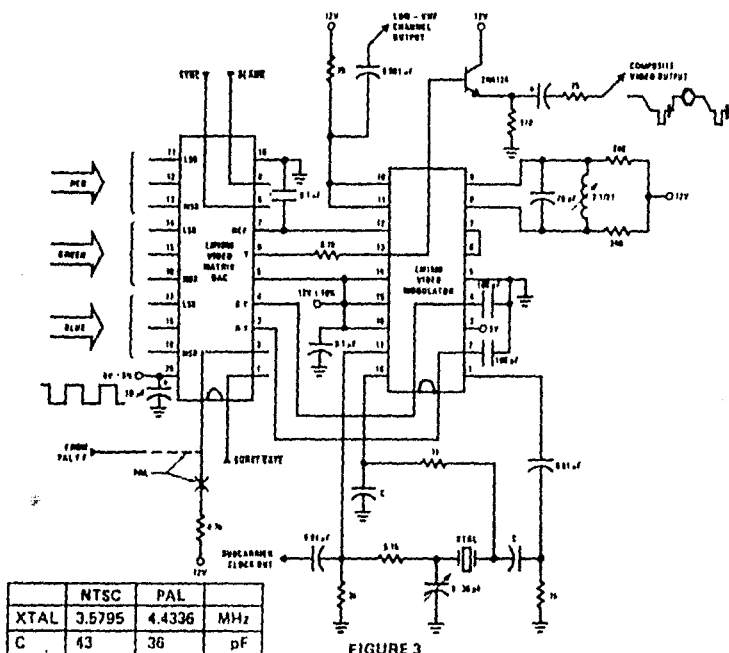


FIGURE 3

## Circuit Description (Refer to Figure 4)

The 3-bit red, green, and blue inputs go to identical 3-bit current-mode digital-to-analog converters (DACs). Each DAC consists of three binary-weighted current sources controlled by diff-amp current switches. The DAC output currents are arbitrarily given a weighting factor of 0.59, which is the green coefficient in the luminance equation. Portions of the red and blue currents are split off, so that the remaining currents combined with the green current form the luminance current  $I_Y = 0.3 I_R + 0.59 I_G + 0.11 I_B$ .  $I_Y$  develops the luminance voltage  $V_Y$  across  $R_0$  in a summing amplifier referenced to the +5V supply. A current switch operated by pin 8 adds (-) sync pulses to the Y output at pin 8.

The portions of red and blue currents previously split off flow through resistors  $R_0/0.29$  and  $R_0/0.48$ , which are weighted to form the red and blue voltages respectively. Since the opposite ends of the 2 resistors are connected to  $V_Y$ , the red and blue voltages across the resistors subtract from  $V_Y$  to develop the color difference voltages  $V_{Y-R}$  and  $V_{Y-B}$ .  $V_{Y-B}$  is coupled through a X.56 gain, 5V-referenced inverting amplifier to the B-Y output at pin 4.  $V_{Y-R}$  feeds parallel inverting and non-inverting unity gain amplifiers which allow either polarity to be coupled to the R-Y output pin 3. Switching between the 2 amplifiers is controlled by a current switch activated by the H/2 pin 2. A (-) burst gate pulse on pin 1 controls current switches which add the burst pulse components to the B-Y and R-Y outputs.

The requirements for PAL and NTSC encoding differ in the areas of burst gate operation and R-Y polarity, both of which are controlled via pin 2 as follows:

PAL, pin 2 fed by a half-line frequency TTL square wave—in this mode a PNP switch between pin 2 and +5V is held off continuously, which results in equal burst pulse components on the B-Y and R-Y outputs. In addition, the H/2 square wave causes the R-Y output polarity to reverse every line. (When fed to the LM1889 chroma modulator this causes the phase of the R-Y subcarrier to change 180° as required in PAL.)

NTSC, pin 2 tied through an external resistor to +12V—this turns on the PNP switch continuously, which eliminates the burst pulse on the R-Y output and increases the amplitude of the B-Y pulse. Since pin 2 is being held high, the R-Y output is locked in the positive polarity.

Blanking is activated by a low on pin 9, which de-biases the left side of the DAC diff-amps, so that  $I_R = I_G = I_B = 0$  independent of the input states. When blanked, the Y, B-Y and R-Y outputs all go to +5V. An additional amplifier produces a 0 carrier reference voltage at pin 7 which is 25% above the peak white voltage on the Y output, relative to +5V.

## LM1889 TV Video Modulator

### General Description

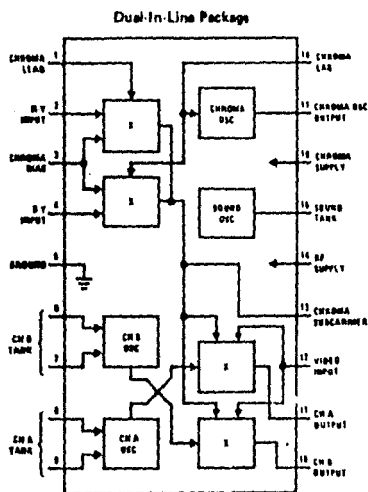
The LM1889 is designed to interface audio, color difference, and luminance signals to the antenna terminals of a TV receiver. It consists of a sound subcarrier oscillator, chroma subcarrier oscillator, quadrature chroma modulators, and RF oscillators and modulators for two low-VHF channels.

The LM1889 allows video information from VTR's, games, test equipment, or similar source, to be displayed on black and white or color TV receivers. When used with the MM57100 and MM53104, a complete TV game is formed.

### Features

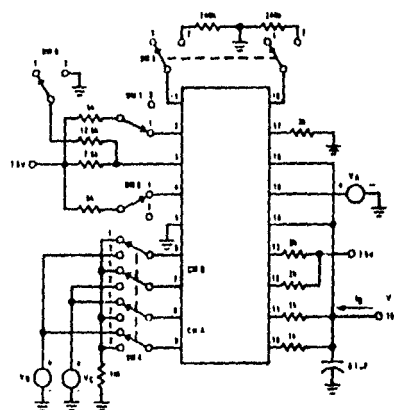
- dc channel switching
- 12V to 18V supply operation
- Excellent oscillator stability
- Low intermodulation products
- 5 Vp p chroma reference signal
- May be used to encode composite video

### Block Diagram



Order Number LM1889N  
See NS Package N18A

### DC Test Circuit



**Absolute Maximum Ratings**

Supply Voltage V14, V16 max	19 V <sub>dc</sub>
Power Dissipation Package (Note 1)	1390 mW
Operating Temperature Range	0°C to +70°C
Storage Temperature Range	-55°C to +150°C
Chroma Osc Current I <sub>17</sub> max	10 mA <sub>dc</sub>
(V18-V15) max	15 V <sub>dc</sub>
(V14-V10) max	7V
(V14-V11) max	7V
Lead Temperature (Soldering, 10 seconds)	300°C

**DC Electrical Characteristics** (dc Test Circuit, All SW Normally Pos 1, V<sub>A</sub> = 15V, V<sub>B</sub> = V<sub>C</sub> = 12V)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current, I <sub>S</sub>		20	35	45	mA
Sound Oscillator, Current Change, ΔI <sub>15</sub>	Change V <sub>A</sub> From 12.5V to 17.5V	0.3	0.6	0.9	mA
Chroma Oscillator Balance, V17		9.5	11.0	12.5	V
Chroma Modulator Balance, V13		7.0	7.4	7.8	V
R-Y Modulator Output Level, ΔV13	SW 3, Pos 2, Change SW 1 From Pos 1 to Pos 2	0.6	0.9	1.2	V
B-Y Modulator Output Level, ΔV13	SW 3, Pos 2, Change SW 2 From Pos 1 to Pos 2	0.6	0.9	1.2	V
Chroma Modulator Conversion Ratio, ΔV13/ΔV3	SW 3, Pos 2, Change SW 0 From Pos 1 to Pos 2 Divide ΔV13 by ΔV3	0.45	0.70	0.95	V/V
Ch. A Oscillator "OFF" Voltage, V <sub>B</sub> , V <sub>9</sub>	SW 4 Pos 2	0.5	1.5	3.0	V
Ch. A Oscillator Current Level, I <sub>g</sub>	V <sub>B</sub> = 12V, V <sub>C</sub> = 13V	2.5	3.5	5	mA
Ch. B Oscillator "OFF" Voltage, V <sub>6</sub> , V <sub>7</sub>		0.5	1.5	3.0	V
Ch. B Oscillator Current Level, I <sub>g</sub>	SW 4, Pos 2, V <sub>B</sub> = 12V, V <sub>C</sub> = 13V	2.5	3.5	5	mA
Ch. A Modulator Conversion Ratio, ΔV11/(V13-V12)	SW 1, SW 2, SW 3, Pos 2, V <sub>B</sub> = 12V, Change V <sub>C</sub> From 13V to 11V For ΔV11 Divide By V13-V12	0.40	0.55	0.70	V-V
Ch. B Modulator Conversion Ratio, ΔV10/(V13-V12)	All SW, Pos 2, V <sub>B</sub> = 12V, Change V <sub>C</sub> From 13V to 11V Divide as Above	0.40	0.55	0.70	V-V

**AC Electrical Characteristics** (ac Test Circuit, V = 15V)

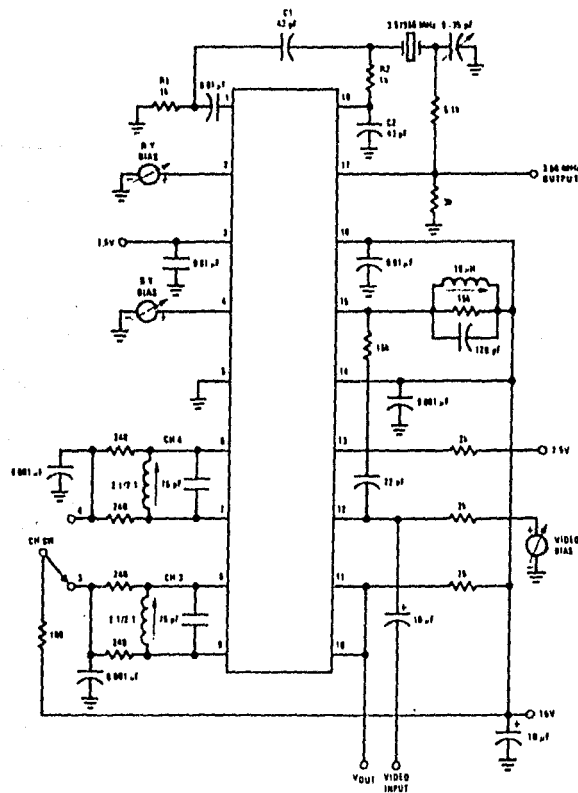
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Chroma Oscillator Output Level, V17	C <sub>LOAD</sub> ≤ 20 pF	4	5		V <sub>pp</sub>
Sound Carrier Oscillator Level, V15	Loaded by RC Coupling Network	2	3	4	V <sub>pp</sub>
Ch. 3 RF Oscillator Level, V <sub>B</sub> , V <sub>9</sub>	Ch. Sw. Pos. 3, f = 61.25 MHz, Use FET Probe	200	350		mV <sub>pp</sub>
Ch. 4 RF Oscillator Level, V <sub>6</sub> , V <sub>7</sub>	Ch. Sw. Pos. 4, f = 67.25 MHz, Use FET Probe	200	350		mV <sub>pp</sub>

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 90°C/W junction to ambient.

## Design Characteristics (ac Test Circuit, V = 15V)

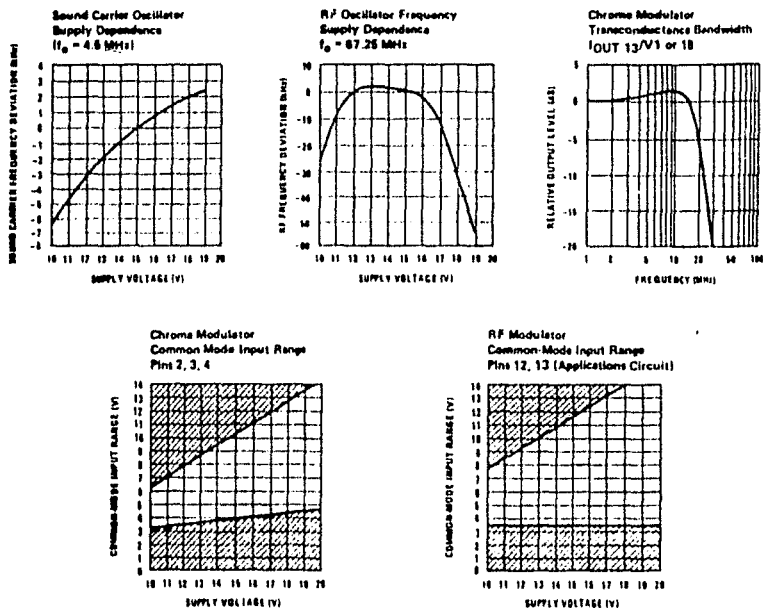
PARAMETER	TYP	UNITS	PARAMETER	TYP	UNITS
Oscillator Supply Dependence (Drum, $f_{osc}$ 3.579545 MHz) Sound Carrier, RF	3	1% V	1% Modulation Conversion Gain 1-61.25 MHz, $V_{OUT}$ (V13-V12)	10	mVrms/V
Oscillator Temperature Dependence (IC Drift)			3.58 MHz Differential Gain	5	%
Chroma	0.05	1000 C	Differential Phase	3	degrees
Sound Carrier	15	1000 C	2.5 Vpp Video, 47.5% mod		
RF	50	1000 C	Output Harmonics Below Carrier		
Chroma Modulator Output, Pin 17			2nd Jct	12	dB
IFISE, 10-90%	20	ns	4th and above	20	dB
IFALL, 90-10%	30	ns	Input Impedances		
Duty Cycle (1) Half Cycle	51	%	Chroma Modulator, Pin 2, 4	500k/17 pF	
(-1) Half Cycle	49	%	RF Modulator, Pin 12	1M/2 pF	
			Pin 13	750k/3.5 pF	
RF Oscillator Maximum Operating Frequency (Temperature Stability Dependent)	100	MHz			
Demodulator (1-3.58 MHz)					
B-Y Conversion Gain V13-(V4-V3)	0.6	Vpp/V			
R-Y Conversion Gain V13-(V7-V3)	0.6	Vpp/V			
Gain Balance	±0.5	dB			
Bandwidth	See Curve				

## AC Test Circuit





## Typical Performance Characteristics



## Circuit Description (Refer to Circuit Diagram)

The sound carrier oscillator is formed by differential amplifier Q3, Q4 operated with positive feedback from the pin 15 tank to the base of Q4.

The chroma oscillator consists of the inverting amplifier Q16, Q17 and Darlington emitter follower Q11, Q12. An external RC and crystal network from pin 17 to pin 18 provides an additional 180 degrees phase lag back to the base of Q17 to produce oscillation at the crystal resonance frequency. (See ac test circuit).

The feedback signal from the crystal is split in a lead-lag network to pins 1 and 18, respectively, to generate the subcarrier reference signals for the chroma modulators. The R-Y modulator consists of multiplier devices Q29, Q30 and Q21-Q24, while the B-Y modulator consists of Q31, Q32 and Q25-Q28. The multiplier outputs are coupled through a balanced summing amplifier Q37, Q38 to the input of the RF modulators at pin 13. With 0 offset at the lower pairs of the multipliers, no chroma output is produced. However, when either pin 2 or pin 4 is offset relative to pin 3 a subcarrier output current of the appropriate phase is produced at pin 13.

The channel B oscillator consists of devices Q56 and Q57 cross-coupled through level-shift zener diodes Q54 and Q55. A current regulator consisting of devices Q39-Q43 is used to achieve good RF frequency stability over supply and temperature. The channel B modulator consists of multiplier devices Q58, Q59 and Q50-Q53. The top quad is coupled to the channel B tank through isolating devices Q48 and Q49. A dc offset between pins 12 and 13 offsets the lower pair to produce an output RF carrier at pin 10. That carrier is then modulated by both the chroma signal at pin 13 and the video and sound carrier signals at pin 12. The channel A modulator shares pin 12 and 13 buffers Q45 and Q44 with channel B and operates in an identical manner.

The current flowing through channel B oscillator diodes Q54, Q55 is turned around in Q60, Q61 and Q62 to source current for the channel B RF-modulator. In the same manner, the channel A oscillator Q71-Q74 uses turn around Q77, Q78 and Q79 to source the channel A modulator. One oscillator at a time may be activated by connecting its tank to supply (see ac test circuit). The corresponding modulator is then activated by its current turn-around, and the other oscillator/modulator combination remains "OFF".



**MOTOROLA**

**MC1408  
MC1508**

**Specifications and Applications  
Information**

**EIGHT-BIT MULTIPLYING  
DIGITAL-TO-ANALOG CONVERTER**

... designed for use where the output current is a linear product of an eight-bit digital word and an analog input voltage.

- Eight-Bit Accuracy Available in Both Temperature Ranges  
Relative Accuracy:  $\pm 0.19\%$  Error maximum  
(MC1408LB, MC1408PB, MC1508LB)
- Seven and Six-Bit Accuracy Available with MC1408 Designated by 7 or 8 Suffix after Package Suffix
- Fast Settling Time - 300 ns typical
- Noninverting Digital Inputs are MTTL and CMOS Compatible
- Output Voltage Swing -  $+0.4$  V to  $-5.0$  V
- High-Speed Multiplying Input  
Slew Rate 4.0 mA/ $\mu$ s
- Standard Supply Voltages:  $+5.0$  V and  $-5.0$  V to  $-15$  V

**EIGHT-BIT MULTIPLYING  
DIGITAL-TO-ANALOG  
CONVERTER**

**SILICON MONOLITHIC  
INTEGRATED CIRCUIT**

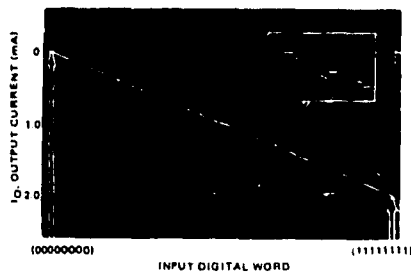


**L SUFFIX  
CERAMIC PACKAGE  
CASE 820**

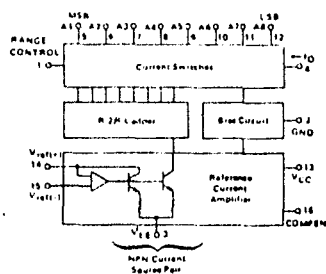


**P SUFFIX  
PLASTIC PACKAGE  
CASE 848**

**FIGURE 1 - D-to-A TRANSFER CHARACTERISTICS**



**FIGURE 2 - BLOCK DIAGRAM**



**TYPICAL APPLICATIONS**

- Tracking A-to-D Converters
- Successive Approximation A-to-D Converters
- 2 1/2 Digit Panel Meters and DVM's
- Waveform Synthesis
- Sample and Hold
- Peak Detector
- Programmable Gain and Attenuation
- CRT Character Generation
- Audio Digitizing and Decoding
- Programmable Power Supplies
- Analog-Digital Multiplication
- Digital-Digital Multiplication
- Analog-Digital Division
- Digital Addition and Subtraction
- Speech Compression and Expansion
- Stepping Motor Drive

MAXIMUM RATINGS (T<sub>A</sub> = +25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V <sub>CC</sub> V <sub>EE</sub>	+5.5 -16.5	Vdc
Digital Input Voltage	V <sub>I</sub> thru V <sub>I2</sub>	0 to +5.5	Vdc
Applied Output Voltage	V <sub>O</sub>	+0.5 to 5.2	Vdc
Reference Current	I <sub>14</sub>	5.0	mA
Reference Amplifier Inputs	V <sub>14</sub> , V <sub>15</sub>	V <sub>CC</sub> , V <sub>EE</sub>	Vdc
Operating Temperature Range	T <sub>A</sub>	-55 to +125 0 to +75	°C
Storage Temperature Range	T <sub>119</sub>	-65 to +150	°C

ELECTRICAL CHARACTERISTICS (V<sub>CC</sub> = +5.0 Vdc, V<sub>EE</sub> = -15 Vdc,  $\frac{V_{ref}}{R_{14}} = 2.0$  mA, MC1508LB, T<sub>A</sub> = -55°C to +125°C, MC1408LB Series, T<sub>A</sub> = 0 to +75°C unless otherwise noted. All digital inputs at high logic level.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Relative Accuracy (Error relative to full scale I <sub>Q</sub> ) MC1508LB, MC1408LB, MC1408PB MC1408P7, MC1408L7, See Note 1 MC1408P6, MC1408L6, See Note 1	4	E <sub>r</sub>	-	-	±0.19 ±0.39 ±0.78	%
Settling Time to within ±1/2 LSB (includes t <sub>PLH</sub> , t <sub>PHL</sub> ) (T <sub>A</sub> = +25°C) See Note 2	5	t <sub>S</sub>	-	300	-	ns
Propagation Delay Time T <sub>A</sub> = +25°C	5	t <sub>PLH</sub> , t <sub>PHL</sub>	-	30	100	ns
Output Full Scale Current Drift		ΔI <sub>Q</sub>	-	-20	-	PPM/°C
Digital Input Logic Levels (MSB) High Level, Logic "1" Low Level, Logic "0"	3	V <sub>IH</sub> V <sub>IL</sub>	2.0 -	- -	- 0.8	Vdc
Digital Input Current (MSB) High Level, V <sub>IH</sub> = 5.0 V Low Level, V <sub>IL</sub> = 0.8 V	3	I <sub>IH</sub> I <sub>IL</sub>	- -	0 -0.4	0.04 -0.8	mA
Reference Input Bias Current (Pin 15)	3	I <sub>15</sub>	-	-1.0	-5.0	μA
Output Current Range V <sub>EE</sub> = -5.0 V V <sub>EE</sub> = -15 V, T <sub>A</sub> = 25°C	3	I <sub>OR</sub>	0 0	2.0 2.0	2.1 4.2	mA
Output Current V <sub>ref</sub> = 2.000 V, R <sub>14</sub> = 1000 Ω	3	I <sub>O</sub>	1.9	1.99	2.1	mA
Output Current (All bits low)	3	I <sub>O(min)</sub>	-	0	4.0	μA
Output Voltage Compliance (E <sub>r</sub> ≤ 0.19% at T <sub>A</sub> = +25°C) Pin 1 grounded Pin 1 open, V <sub>EE</sub> below -10 V	3	V <sub>O</sub>	-	-	-0.55, +0.4 -5.0, +0.4	Vdc
Reference Current Slew Rate	6	5H I <sub>ref</sub>	-	4.0	-	mA/μs
Output Current Power Supply Sensitivity		PSRR(1-)	-	0.5	-	μA/V
Power Supply Current (All bits low)	3	I <sub>CC</sub> I <sub>EE</sub>	-	+13.5 -7.5	+22 -13	mA
Power Supply Voltage Range (T <sub>A</sub> = +25°C)	3	V <sub>CCH</sub> V <sub>EEH</sub>	+4.5 -4.5	+5.0 -15	+5.5 -16.5	Vdc
Power Dissipation All bits low V <sub>EE</sub> = -5.0 Vdc V <sub>EE</sub> = -15 Vdc All bits high V <sub>EE</sub> = -5.0 Vdc V <sub>EE</sub> = -15 Vdc	3	P <sub>D</sub>	-	105 190	170 305	mW

Note 1. All current switches are tested to guarantee at least 50% of rated output current.

Note 2. All bits switched.

## BIBLIOGRAFIA GENERAL

Burr-Brown Research Co.

Graeme Jerald G., Tobey Gene E., Huelsman Lawrence P.  
"Operational Amplifiers, Design and Applications"  
McGraw Hill Book Co. 1971.

Campoell Fergus W., Maffei Lamberto

"Contrast and Spatial Frequency"  
Scientific American, November 1974.

Cannon T. M., Hunt B.R.

"Image Processing by Computer"  
Scientific American, October 1981.

Conner Margery S.

"1 M-bit video RAMs offer speed for high-resolution graphics displays"  
EDN magazine, March 31, 1988.

Corkidi Blanco Gabriel

"Digitalizador de Imágenes"  
Centro de Instrumentos, UNAM  
Mayo de 1986, B-127-1

Deboo Gordon J., Burrous Clifford N.

"Integrated Circuits and Semiconductor Devices"  
McGraw Hill Book Co. 1977

Diefenderfer James A.

"Principles of Electronic Instrumentation"  
W. B. Saunders Co. 1972.

Feynman Richard P., Leighton Robert B., Sands Mathew

"The Feynman Lectures on Physics, Volume II"  
Addison Wesley Publishing Company, 1976.

Harper Charles A. Editor in Chief

"Handbook of Wiring, Cabling, and Interconnecting for Electronics"  
McGraw Hill Book Co. 1972.

IBM Personal Computer Hardware Reference Library  
Technical Reference TX  
April 1984.

Intel Microsystems Component Handbook  
Volumen I y II  
Intel Corporation 1986.

Kiver Milton S., Kaufman Milton  
"Television Electronics, 8th Edition"  
Van Nostrand Reinhold Co., 1983.

Myers Joseph, Bernstein Ralph  
"Image Processing on the IBM Personal Computer"  
IEEE Proceedings, June 1985.

Stanley William D.  
"Digital Signal Processing"  
Reston Publishing Company, Inc. 1975.

Taub Herbert, Schilling Donald  
"Digital Integrated Electronics"  
McGraw Hill Book Co. 1977.

Van Wezel Ru  
"Video Handbook"  
Newnes Technical Books, 1981.