

24/811



**UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO**

**FACULTAD DE INGENIERIA**

**DISEÑO DE UN SUBSISTEMA PARA OSCILOSCOPIO**

**T E S I S**

**QUE PARA OBTENER EL TITULO DE  
INGENIERO MECANICO ELECTRICISTA**

**Presentan**

**GUSTAVO AVILA BRAVO  
GUILLERMO VALDES HERNANDEZ  
BENIGNO ORTIZ ZARRAGA**

**DIRECTOR M. EN I. JUAN CARLOS ROA BEIZA**



México, D. F.

1988



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

# I N D I C E

	pág.
Introducción.....	1
Multicanalizador.....	3
Analizador de Estados Lógicos.....	45
Memoria Digital.....	66
Apéndices.....	109

## CAPITULO 1

### INTRODUCCION

## INTRODUCCION.

Dentro del laboratorio de electrónica, en el análisis de señales tanto digitales como analógicas, la herramienta más importante la representa el osciloscopio, el cual nos permite tanto en el diseño como en el mantenimiento un análisis bastante detallado de cualquier forma de onda. Por si solo, este tiene una serie de limitaciones en cuanto a frecuencia y tipo de señales que puede manejar.

El ingeniero en electrónica, ya sea en el campo del diseño o del mantenimiento, requiere de una serie de aparatos (de un equipo de trabajo), lo más completo posible, para llevar a cabo un trabajo lo más eficiente posible.

Entre estos aparatos necesarios para la obtención de mejores resultados se encuentra el osciloscopio, que representa sin lugar a dudas la herramienta más importante. Por consiguiente, entre más completo sea este, se podrá trabajar de manera más eficaz y con los mejores resultados dentro del laboratorio.

Se ve claro entonces, hasta este punto, que si nuestro osciloscopio cuenta con las mejores características, trabajaremos mejor con el menor número de problemas a la hora de analizar las diferentes señales de los diferentes equipos con los que usualmente nos enfrentamos en nuestro trabajo.

Es por ello entonces, que en el presente trabajo de tesis, se proponga un circuito, llamado "subsistema para osciloscopio", que en conjunto con el osciloscopio, nos brinde una serie de características deseables para el mejoramiento sustancial de las

de un osciloscopio convencional, sin que por ello, se haga un incremento apreciable en el precio global, como se requeriría al obtener un osciloscopio con dichas características integradas.

Antes de continuar, se hace necesario definir a que se le llama "osciloscopio convencional", término que se utilizará a lo largo del desarrollo de la presente tesis. Un osciloscopio convencional se define como un osciloscopio de uno o dos canales, el cual realiza las funciones de despliegue de señales analógicas de todo tipo hasta ciertos límites. Estos límites se refieren generalmente a frecuencia y amplitud de las señales manejadas.

El osciloscopio en sí, representa una herramienta muy poderosa en el análisis de señales de voltaje; aunque con algunos circuitos implementados externamente se pueden mejorar sus características en sus aplicaciones.

De aquí que, en el presente diseño, se propongan un circuito que nos va a permitir mejoras del osciloscopio convencional brindándole tres nuevas características:

- a) Multicanalizador.
- b) Analizador de Estados lógicos.
- c) Memoria Digital.

**CAPITULO 2**

**MULTICANALIZADOR**

## INTRODUCCION:

En el trabajo de laboratorio se da con bastante frecuencia la necesidad de observar en el osciloscopio más de una señal a la vez. Por ejemplo, en ocasiones en un sistema electrónico digital, se encuentran señales que son el resultado de dividir la frecuencia de una señal entre varios valores (entre 2, entre 4, etc...), con un osciloscopio de varios canales, observaríamos claramente y al mismo tiempo, la señal original y sus distintos divisores de frecuencia; también se da el caso de necesitar saber, si un sistema trabaja correctamente, por medio de la sincronía de varias señales, esto solo es posible saberlo, analizando los diferentes puntos del sistema con un osciloscopio de varios canales, en el cual aparecerán todas las señales mostrando sus tiempos exactos de unas con respecto a otras, y solo así se puede saber si hay sincronía o no; en el plano analógico es necesario a veces comparar diversas formas de onda, por ejemplo, si una señal analógica se le hace pasar por diferentes procesos, utilizando un osciloscopio de canal múltiple podríamos ver al mismo tiempo, la señal y los distintos efectos sufridos por esta despues de cada proceso.

La mayoría de los osciloscopios con los que cuentan los laboratorios de electrónica, de la Facultad de Ingeniería de la UNAM, son de dos canales, por lo tanto, en su pantalla solo se pueden observar dos señales al mismo tiempo. El subsistema que se propone, y que se explica en este capítulo, cumplirá la función de aumentar el número de canales.

La utilidad del multicanalizador es evidente. Sin duda se ha tenido la necesidad de observar más de dos señales a la vez, ya sea para verificar el buen funcionamiento de algún sistema diseñado en el laboratorio, o para localizar fallas en cualquiera de los aparatos de que se dispone; de esta manera, el campo de utilidad abarca, tanto el diseño de sistemas electrónicos analógicos y digitales, como el mantenimiento de equipo electrónico. Ahora bien, el costo del subsistema es muy bajo, comparado con lo que costaría la compra de un osciloscopio de cuatro canales, y esto representa una gran ventaja, ya que se podría contar con osciloscopios de canal múltiple en los laboratorios, sin hacer un gasto muy alto.

Para comprender como funciona un osciloscopio de trazos múltiples, es necesario antes, entender como funciona uno de dos trazos; es decir, que mediante el análisis del funcionamiento de un osciloscopio de dos canales, se podrán deducir las características que deberá tener uno de varios canales.

En un osciloscopio de doble trazo, las señales que se desea observar sobre la pantalla, en general son sometidas a tres procesos, antes de llegar a excitar las placas de deflexión vertical: primero se hacen pasar por un atenuador, luego sigue una etapa de preamplificación, y por último son amplificadas nuevamente por el amplificador vertical.

El trabajo combinado de atenuación y preamplificación, nos permite ver señales, que por su magnitud, no se verían si no

existiera este; si la señal que se quiere ver o medir es muy grande, de tal manera que haga desplazarse el haz más allá de la región útil de la pantalla, entonces es necesario atenuarla, para poder observar la señal correctamente; tambien se presenta el caso, de que la magnitud de la señal, puede ser tan pequeña que de no amplificarse no se observaría.

Sabemos que para deflexionar el haz, se necesita alto voltaje en las placas de deflexión, la etapa amplificadora da la ganancia adecuada, para deflectar el trazo sobre toda la región útil de la pantalla, en sentido vertical.

Después de haber repasado las diferentes etapas por las que pasa la señal dentro del osciloscopio, agruparemos estas en dos grupos: uno formado por el atenuador junto al preamplificador, y el otro constituido solamente por el amplificador vertical. La separación dada está en función de lo siguiente: en el osciloscopio de trazo dual, las señales a observar pasan por las primeras dos etapas en forma independiente, es decir cada señal tiene su atenuación y preamplificación propias, para posteriormente, en la última etapa pasar por el mismo amplificador vertical ambas señales. Así el primer grupo es el que tiene varios caminos, uno para cada señal (en este caso dos), y el segundo es el que tiene solo uno, por el cual transitan ambas señales.

La atenuación y preamplificación de las dos señales se da en forma simultánea, mientras que, la amplificación final sucede en distinto tiempo para cada señal. Para lograr que un camino sirva

de vía para dos señales diferentes, se utiliza un proceso de conmutación electrónica o de multiplexaje; en este proceso, por medio del conmutador que trabaja a cierta frecuencia, las dos señales que salen de los preamplificadores, se conectan alternadamente a la vía única: el amplificador vertical. De este último, las señales pasan a excitar las placas de deflexión vertical alternándose cada una esta función y durante un tiempo que dependerá de la frecuencia de conmutación.

Hasta aquí, hemos definido como trabaja la sección vertical de un osciloscopio de doble trazo, la cual podemos representar con el diagrama de bloques de la figura 2.1.

Podemos ver claramente en el diagrama mencionado anteriormente, como los canales de entrada son independientes hasta el preamplificador, para luego compartir el mismo amplificador vertical y las mismas placas verticales. Para poder ver al mismo tiempo sobre la pantalla, las señales de entrada por ambos canales, se tiene el conmutador electrónico, el cual trabaja a una frecuencia suficientemente alta, para poder engañar al ojo humano, haciéndole creer que las dos señales están presentes al mismo tiempo.

El selector de acoplamiento, que no fue mencionado antes, tiene la función de acoplar la señal de entrada al atenuador, ya sea en forma directa (CD), permitiendo el paso de la señal alterna más la componente de directa, o en otro caso, suprimiendo esta última, para dejar pasar únicamente la señal variable en el tiempo (CA). Por otro lado, si no se desea ver señal alguna,

también se puede acoplar el atenuador a un nivel de referencia (GND).

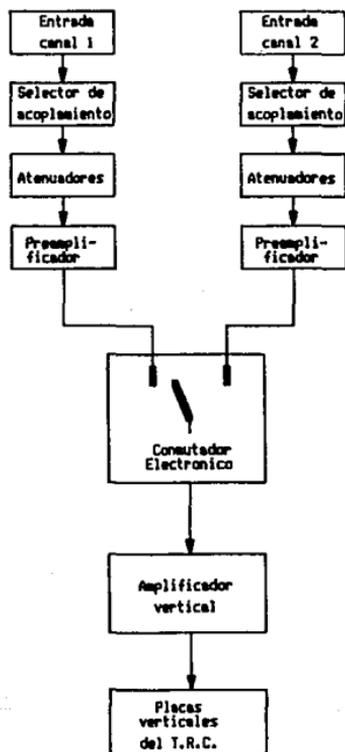


fig 2.1

Ahora analizaremos el funcionamiento del conmutador electrónico, pero antes hay que recordar como se obtiene el barrido horizontal del haz. Para que el haz de electrones emitido por el cañon electrónico del TRC se pueda mover horizontalmente, es necesario aplicar una diferencia de potencial a las placas de deflexión horizontal, ahora, para que este tenga un movimiento rectilíneo uniforme, es decir, que recorra distancias iguales en tiempos iguales, se necesita aplicar a las placas horizontales, una señal de voltaje que varíe linealmente en el tiempo; dicha señal es la comunmente llamada "diente de sierra", así, el voltaje en las placas variará en forma lineal desde un mínimo negativo hasta un máximo positivo. Alcanzado este último voltaje, regresa bruscamente al mínimo negativo, volviéndose a repetir el ciclo. Durante el cambio de valor más negativo al más positivo, el haz se desplaza más lentamente que en el cambio inverso. El barrido lento será de izquierda a derecha, mientras que el rápido al contrario. El osciloscopio tiene un sistema interno de borrado, de tal forma que el barrido de regreso (de derecha a izquierda) no es visible en la pantalla. Si se desea que el haz se desplace más rápido, se debe aplicar a las placas una señal de mayor frecuencia; si se quiere lo contrario, entonces hay que disminuir la frecuencia del diente de sierra (ver figura 2.2).

Volviendo al conmutador, diremos que este puede trabajar en dos modos distintos de operación, de acuerdo a la relación que hay entre la frecuencia de conmutación y la frecuencia de la señal que se utiliza para el barrido horizontal (diente de

sierra). El uso de uno u otro modo, estaría en función de la frecuencia de las señales que se quisieran ver en la pantalla del osciloscopio.

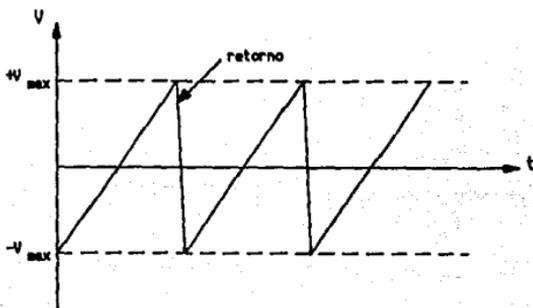


fig. 2.2

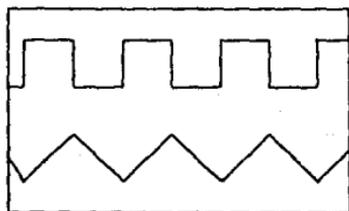
Las dos formas de operación son las siguientes:

a) En el "modo alternado", cada señal tiene su lugar reservado para ocupar el amplificador vertical, durante un tiempo igual al periodo de la señal diente de sierra, es decir, la frecuencia de barrido horizontal es igual a la frecuencia de conmutación. Este modo es útil cuando se desea observar señales de alta frecuencia, así, por cada barrido del haz, se podrá ver en la pantalla un periodo completo o más de la señal que se va a analizar.

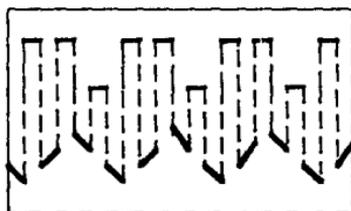
b) Cuando la frecuencia de barrido horizontal es menor que la de conmutación, se tiene el "modo muestreado". En este modo, durante el recorrido del diente de sierra, se van tomando muestras alternadamente de las señales que se quiere ver, de esta

forma, para cada ciclo de barrido, se presentarán las señales discretizadas o recortadas. La frecuencia de conmutación deberá ser tan rápida, que ante la vista humana, las señales aparecerán como si fueran continuas. Si las señales que se desea observar son de baja frecuencia, se usa este modo de conmutación.

La figura 2.3, nos muestra como aparecerán en la pantalla una señal cuadrada y una triangular, utilizando los dos modos de conmutación.



modo alternado



modo muestreado

fig. 2.3

Finalmente, solo nos falta explicar el fenómeno de sincronización, que consiste en que la señal de entrada y la de barrido horizontal deben estar sincronizadas.

Cuando no existe proporcionalidad, entre la frecuencia de la señal de barrido horizontal y la frecuencia de la señal de entrada, no hay sincronía, y por lo tanto, la señal vista en la pantalla aparecerá moviéndose; si la frecuencia de barrido es menor que la de la señal de entrada, habrá un movimiento aparente

hacia la izquierda, debido a que en cada periodo de barrido, aparecerá más de un periodo de la señal; cuando se observa menos de un periodo de la señal en cada recorrido del haz, es porque la frecuencia de esta es menor que la del barrido, entonces, la señal se verá moviéndose hacia la derecha. Ajustando la velocidad del barrido se puede lograr la sincronización aumentándola o disminuyéndola, según sea el caso.

Mencionamos que variando la velocidad de barrido, podemos lograr la sincronización con la señal de entrada, pero en realidad lo más usual para obtener esto, es utilizar el método de disparo; con este último, el barrido no se inicia mientras el generador de diente de sierra no reciba la señal de disparo o de arranque.

El aviso para iniciar el barrido, se le da al generador de base de tiempo, por medio del nivel de una señal cíclica. Cada vez que el nivel de la señal de disparo alcanza un determinado valor, ocurre el disparo, y de esta forma, el inicio de una nueva línea horizontal de barrido, no comienza inmediatamente después de transcurrido el tiempo de regreso, sino hasta que se presenta el nivel de disparo. Así, el barrido ocurre a una relación impuesta por la frecuencia de la señal de disparo y no por el tiempo que dura la señal de barrido horizontal.

Dependiendo de que señal se utilice para disparar, se tienen tres modos distintos de disparo: interno, la señal de disparo se toma de alguna parte del amplificador vertical; externo, el disparo se puede lograr gracias a una señal generada al exterior

del osciloscopio y aplicándola a la entrada que para ello este tiene; de línea, la frecuencia de la señal de línea impone condiciones para el barrido horizontal. En el panel de control, junto a la sección horizontal, se debe localizar el control de modo de disparo.

Ahora ya podemos presentar un diagrama de bloques del osciloscopio de trazo dual, integrando la sección vertical ya vista, con la sección horizontal (figura 2.4).

Habiendo comprendido como funciona un osciloscopio de dos canales, y teniendo esto como punto de partida, el campo queda abierto, para adentrarnos en el diseño de un sistema electrónico, que convierta un osciloscopio de dos trazos en uno de trazos múltiples.

Lo que se ha hecho hasta ahora, es narrar el proceso que se da dentro del osciloscopio, para que este pueda presentar dos trazos en su pantalla. Analizando cuidadosamente dicho proceso, podemos deducir que el trabajo central lo desarrolla el conmutador, ya que este sirve como un puente, para comunicar en distinto tiempo, a los preamplificadores con el amplificador vertical, y sin este enlace, simplemente no habría señal alguna en la pantalla. Basándonos en lo anterior, podemos visualizar con mayor claridad, que es lo que deseamos hacer: lo que ocurría en el interior del aparato, se tratará ahora de reproducirlo fuera de él, en otras palabras, se intentará implementar un conmutador electrónico, que nos permita acceder más de dos señales externas, trabajando a una cierta frecuencia, y a través de una sola vía de

acceso al osciloscopio.

Antes de continuar, es necesario definir cual es la vía o camino único, que tomarán las señales, despues de haber pasado por el conmutador. Nosotros sabemos que el osciloscopio de dos canales, solo tiene dos entradas para conectar señales externas con el amplificador vertical, teniendo la opción de poder usar un canal u otro, o ambos a la vez, haciendo uso de un control externo inherente al osciloscopio. De esta manera, la vía única deseada, puede ser cualquiera de las dos entradas, tomando en cuenta, que al elegir una de las dos, se debe accionar el control que permita conectar permanentemente la entrada con el amplificador vertical.

Con lo ya visto, podemos deducir que el trabajo fundamental para poder ver en la pantalla dos señales distintas, que han pasado por el mismo amplificador vertical, lo desarrolla el conmutador. A nosotros nos interesa que sean más de dos señales, las que se esten alternando su lugar en el amplificador vertical, y por ende, poder ver más de dos señales en la pantalla del osciloscopio. Así pues, la parte principal del diseño que deseamos hacer, deberá ser un conmutador electrónico que conmute a dos o más posiciones (hasta el momento sin límite).

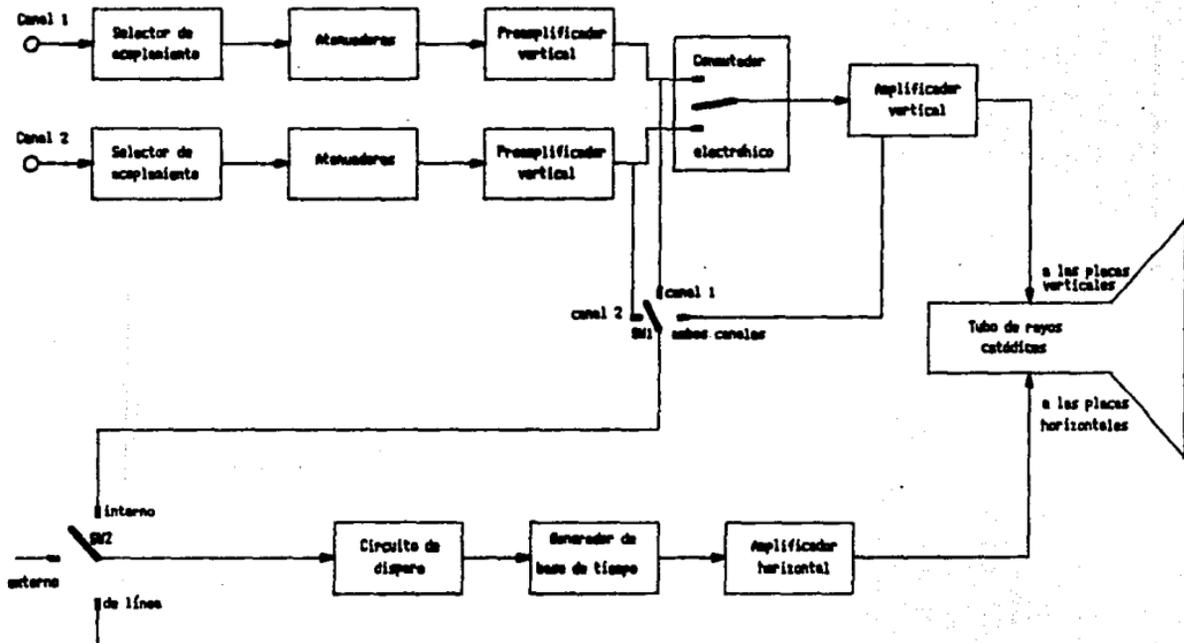


figura 4

a) Principio de operación, características y diseño.

En base a lo expuesto en la introducción, nuestro problema queda limitado a diseñar y construir un conmutador electrónico.

De entre los circuitos digitales, se conoce uno que podría hacer el papel de conmutador electrónico: el multiplexor. Un multiplexor tiene la función de enlazar la información que se tiene en varias líneas de entrada con una sola línea de salida, en distinto tiempo. El que se conecte o no, una u otra entrada con la salida única, dependerá del valor lógico (uno o cero) que tengan otras líneas que llegan al multiplexor, llamadas líneas de selección. Dichas líneas en conjunto conforman el selector de línea. El número de líneas de entrada estará en función de las combinaciones que se puedan lograr de unos y ceros, agrupados de  $n$  en  $n$ , siendo  $n$  el número de líneas de selección. Cada combinación (palabra lógica) funciona como una llave o un switch, de tal manera, que a cada palabra le corresponderá la conexión de una entrada determinada con la salida. El número de líneas de entrada y de selección están relacionadas con el siguiente modelo matemático:  $m = 2^n$  ; donde  $m$  es el número de entradas a seleccionar y  $n$  el número de líneas de selección. Si  $n = 2$ , entonces  $m = 4$  y tendremos un multiplexor con 4 entradas, llamado de 4 a 1. Cuando  $n = 3$ , obtenemos  $m = 8$ , teniendo un multiplexor de 8 a 1. Para tener un multiplexor de 16 a 1, se necesita tener  $n = 4$ , ya que  $m = 2 \exp 4 = 16$ . Con la combinación adecuada de estos tipos básicos de multiplexor y utilizando otros circuitos digitales (decodificadores por ejemplo), se pueden obtener mux de

más entradas, de 32 a 1, de 64 a 1, etc...

Esquemáticamente un multiplexor de dos y uno de tres entradas de selección se pueden ver así:

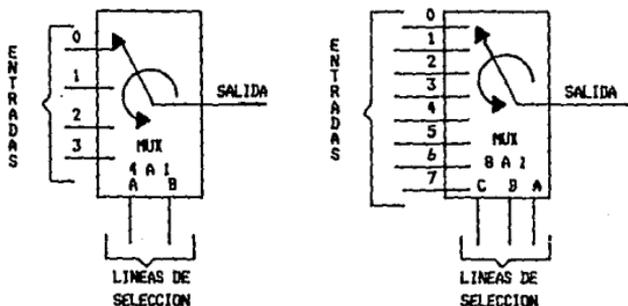


fig. 2.5

Cada combinación de unos y ceros, aplicada a las entradas de selección, es un número binario que tiene su equivalente en el sistema decimal; de esta forma, se puede identificar a cada línea de entrada, con el valor decimal que corresponde a la palabra lógica usada para conectar una determinada entrada con la salida.

Ahora bien, podemos decir que lo que necesitamos como elemento central de nuestro sistema, es un multiplexor, que servirá para conectar las diferentes señales que deseamos ver, con el amplificador vertical, con la salvedad de que dichas señales pueden ser de tipo analógico, por esta razón se debe efectuar un multiplexaje analógico, independientemente de que las

entradas de selección tengan valores digitales. Así el sistema de multiplexaje será un híbrido, que procesará tanto información analógica como digital; las señales de entrada podrán ser analógicas o digitales, mientras que para las entradas de selección solo pueden ser digitales.

Hemos dado el primer paso en el diseño, necesitamos un multiplexor que acepte señales analógicas en sus entradas. El sistema de multiplexaje analógico podemos obtenerlo de dos formas: una, diseñando el sistema con elementos discretos; la otra, investigar si existe un circuito integrado que cumpla esta función. Desde luego, lo ideal es realizar el sistema con la segunda opción. Por lo pronto, reconoceremos el sistema como un bloque, del cual sabemos su funcionamiento, pero no cómo está constituido (figura 2.6).

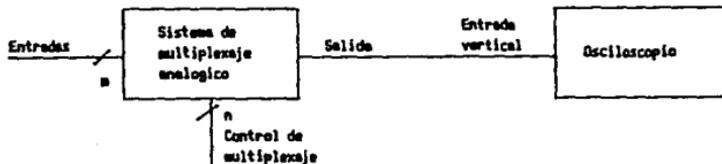


fig. 2.6

Como se van a manejar varias señales en la pantalla del osciloscopio, y además, siendo muy probable que el sistema de multiplexaje nos imponga restricciones respecto a la amplitud de la señales de entrada, es necesario contar con una etapa

condicionadora de entrada; por ejemplo, si se desea ver seis señales en la pantalla, éstas deberán tener una amplitud adecuada para no encimarse una sobre otra, así, manipulando en forma combinada el atenuador que se maneja desde el panel de control y un nuevo control, correspondiente a cada canal, lograremos ver adecuadamente las señales. Por otro lado, ya sea diseñando el multiplexor con elementos discretos o utilizando circuitos integrados, de cualquier manera, la polarización de los circuitos electrónicos impone límites en el manejo de la amplitud de las señales de entrada.

Además de condicionar la entrada, es necesario tener un control de referencia para cada canal, que nos permita situar las señales en diferentes puntos de la pantalla del osciloscopio, al sumarles a éstas un voltaje de directa.

Incorporando las nuevas ideas podemos ampliar el diagrama de bloques inicial (figura 2.7).

Para seleccionar que línea se conectará a la entrada vertical se necesita un bloque funcional que controle esta operación. Así, por la acción de este control, las entradas quedarán conectadas al amplificador vertical una por una en distinto tiempo, desde la primera hasta la última, repitiéndose nuevamente la misma operación cada vez que se hayan recorrido todas las entradas; en otras palabras, se ejecutará un barrido de todas las entradas a una cierta frecuencia.

A este control le podemos llamar control de multiplexaje, fundamentalmente su función consistirá en proporcionar y hacer

variar las palabras lógicas que se necesita aplicar a las entradas de selección, para poder seleccionar que entrada se conectará con la salida. La aparición de cada palabra durará un tiempo determinado y será el mismo para todas, siendo este tiempo el que tardará en estar conectada la entrada correspondiente (a dicha palabra) con la salida del sistema de multiplexaje.

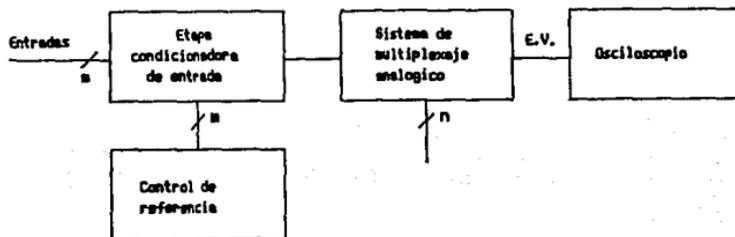
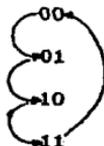


fig. 2.7

En resumen, el control de multiplexaje seleccionará las líneas de entrada a una determinada frecuencia, de esta manera, cada línea de entrada quedará conectada a la línea vertical del osciloscopio por un lapso fijo de tiempo, y dependiendo del número de canales que se están usando, será el tiempo que tarde en conectarse nuevamente un canal con la entrada vertical. Por ejemplo, si el patrón de tiempo se fija con una señal que tiene una frecuencia de 1 kHz, cada canal quedará conectado a la entrada vertical durante 1 ms, y si se trabaja con 4 canales, cada canal ocupará el amplificador vertical 1 ms cada 4 ms.

Para aclarar más lo anterior, ejemplificaremos con lo siguiente: si tenemos un multiplexor de 4 a 1, sabemos que los diferentes valores que se pueden tener en las dos líneas de selección son: 00, 01, 10 y 11. Cada uno hace que se conecten las entradas 0, 1, 2 y 3, respectivamente, con la salida. Para lograr el barrido cíclico de las entradas, se debe tener un sistema digital con dos salidas, en las cuales presente de manera secuencial y cíclica, los cuatro diferentes estados lógicos, que se necesitan para seleccionar que línea de entrada se conecta a la salida. La permanencia de cada estado estará regida por un patrón de tiempo, para que el tiempo de duración sea el mismo para todos los estados.

El comportamiento de las salidas sería el siguiente:



Ahora, ya podemos deducir de lo mencionado, que el control que necesitamos deberá ser un sistema digital, que proporcione una secuencia cíclica de estados binarios, que trabaje en sincronía con una señal (señal de reloj) que fijará el tiempo de duración de cada estado.

Como ya vimos, el control de multiplexaje necesita un patrón de tiempo para trabajar, y éste estará dado por una señal

periódica, llamada señal de reloj. La duración del periodo de esta señal, será el tiempo que dure conectado algún canal con el amplificador vertical. Por lo tanto, hace falta un bloque que nos proporcione la señal de reloj; del valor de la frecuencia de esta señal, dependerá en que modo de conmutación se esté trabajando: modo alternado, si la frecuencia es alta o modo muestreado, si la frecuencia es baja. De esta forma, tendremos que incluir un control, que incida sobre la frecuencia de la señal de reloj, para poder trabajar con los dos modos de conmutación. Entonces, este bloque debe ser un oscilador, que nos dé una señal periódica, y se debe tener un control para poder variar la frecuencia de esta señal.

Cada vez nos vamos acercando más a la definición completa del subsistema; podemos decir, que solo nos falta por definir el bloque de sincronía; así, con lo que hasta ahora tenemos, podemos configurar el siguiente diagrama de bloques (figura 2.8).

Finalmente, nos queda por definir el bloque de sincronía. Como se mencionó en la introducción, la sincronización se puede lograr de tres formas: interna, externa o de línea.

Sabemos que las señales se hacen pasar por una de las entradas verticales del osciloscopio. Si se usa la sincronía interna, se toma una muestra de la señal de alguna parte del preamplificador vertical, la que servirá para disparar el generador de barrido horizontal. En nuestro caso, al estar multiplexando las entradas por las que pasarán las señales a observar, y estando la sincronía interna funcionando, la muestra

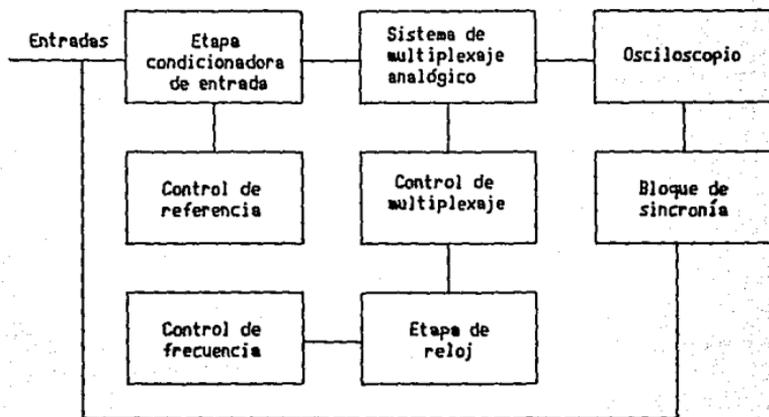


fig. 2.9

**b) Características y selección del multiplexor analógico.**

Como ya lo habíamos mencionado antes, se presentan dos posibilidades para seleccionar el multiplexor: construir uno con elementos discretos, o hacer uso de un circuito integrado que cumpla con esta función.

Llevar a cabo la primera opción, implicaría desarrollar más trabajo, en comparación con la segunda; diseñar y construir un sistema electrónico, es más difícil que conseguir un circuito integrado que ya exista en el mercado y que desarrolle las funciones de aquél; mientras que en la primera situación aplicaríamos un gran esfuerzo y dedicación, en la segunda, basta con investigar en los manuales si existe el circuito, y de ser

así, obtener todas las características técnicas dadas por el fabricante, para poder manipular adecuadamente el C.I.

Obviamente, para no trabajar de más, nos abocaremos a investigar primeramente si existe el C.I., y de no suceder esto tendríamos que construirlo en forma discreta. Antes, es preciso enumerar una serie de requisitos que debe cumplir el C.I., para poder adecuarse satisfactoriamente al diseño que estamos llevando a cabo; éstos son las siguientes:

1.- El multiplexor debe admitir en sus entradas todo tipo de señales, tanto digitales como analógicas.

2.- El C.I. seleccionado debe ser un sistema híbrido, que multiplexe señales analógicas y digitales, controlando el multiplexaje digitalmente por medio de sus entradas de selección.

3.- Debe tener una buena respuesta en frecuencia, mínimo debe aceptar señales hasta de 1 MHz.

4.- La impedancia que presente una cierta entrada a una señal cuando está conectada a la salida debe tender a cero.

5.- A través de sus entradas, el multiplexor debe permitir el paso tanto de voltajes positivos, como de negativos.

Investigando, encontramos que en el manual de CMOS, se presenta un circuito que cumple con las características requeridas, éste es el Multiplexor-Demultiplexor Analógico de 8 canales, identificado con la clave numérica 4051; dicho circuito cuenta con tres entradas de selección (A0, A1 y A2), una de habilitación que se activa con voltaje bajo (E), 8 entradas que también funcionan como salidas, que son independientes entre sí

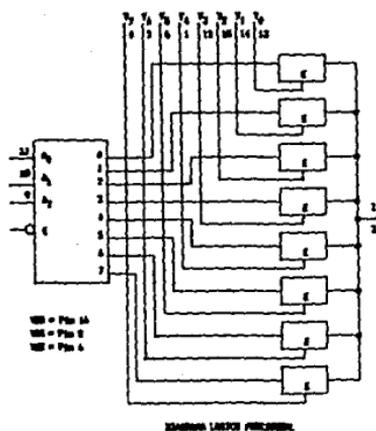
(Y0 - Y7) y una entrada-salida común (Z).

Internamente el 4051 está formado por dos bloques, uno en el que se encuentran 8 switches analógicos bidireccionales, y el otro, representado únicamente por un decodificador de 3 x 8. Un lado de los switches funciona como la entrada del multiplexor, los 8 tienen su entrada correspondiente, mientras del otro lado todos coinciden en un punto común, que actúa como salida del multiplexor (Z). La habilitación de cada switch, estado de baja impedancia entre entrada y salida, se hace por medio de un decodificador (A0 - A2), conecta un determinado switch, poniéndolo en estado de baja impedancia, mientras que los demás estarán abiertos, es decir, presentando alta impedancia; así, las 8 posibles palabras lógicas habilitan respectivamente los 8 switches analógicos. La entrada de habilitación del decodificador (E), si se encuentran en estado alto, deshabilita todos los switches independientemente del valor de las entradas de selección, es decir, que para que funcione el circuito esta entrada deberá estar siempre en nivel bajo.

Por otro lado, el 4051 tiene dos entradas de polarización (VDD y VSS) para el control digital de las entradas de selección y la de habilitación (A0 - A2, E). Una tercera entrada de polarización, llamada VEE, establece junto con VDD los límites negativo y positivo respectivamente, que pueden tener las señales o voltajes de directa, siendo el máximo margen entre VDD y VSS de 15 volts.

La figura 2.10 nos muestra el diagrama funcional del 4051 y

su tabla de verdad para hacer más clara la explicación anterior. Como se ve en la tabla de características proporcionada por el fabricante, que incluimos en el apéndice, tenemos que para diferentes condiciones de prueba del multiplexor, se obtuvieron diferentes valores de resistencia presentada por un switch analógico, cuando se encuentra habilitado (RON), el rango obtenido fue:  $35 = R_{ON} = 100$ . Esta condición nos muestra que el switch creado con medios electrónicos, sólo se aproxima al real, el cual debe presentar cero resistencia al estar funcionando, pero como la resistencia que presenta es muy baja, se puede despreciar, aceptando que al habilitar el switch, éste actúa en condiciones reales de operación.



Entradas			Salidas							
$S_2$	$S_1$	$S_0$	$V_0=1$	$V_1=1$	$V_2=1$	$V_3=1$	$V_4=1$	$V_5=1$	$V_6=1$	$V_7=1$
L	L	L	0V							
L	L	H	0V							
L	L	L	0V							
L	L	H	0V							
L	H	L	0V							
L	H	H	0V							
L	H	L	0V							
L	H	H	0V							
H	L	L	0V							
H	L	H	0V							
H	H	L	0V							
H	H	H	0V							

Tabla de Verdad

fig. 2.10

En cuanto a la respuesta en frecuencia, se puede decir que es bastante buena, ya que para una polarización de 15 volts, la frecuencia máxima que acepta el switch en estado de habilitación es de 70 MHz.

El circuito se puede polarizar de tal manera, que pueda aceptar voltaje positivo y negativo en sus entradas, haciendo: VDD = 7.5 volts, VSS = -7.5 volts y VEE = 0 volts; podemos manejar señales y voltaje de DC, cuya amplitud esté entre 7.5 y -7.5 volts, teniendo cuidado de no rebasar estos valores para no destruir el circuito. El control de multiplexaje se puede hacer aplicando a las entradas de selección como voltaje alto (uno) 7.5 volts y como voltaje bajo (cero) 0 volts

c) Etapa condicionadora de entrada y control de referencia.

Es necesario contar con esta etapa, para disminuir la amplitud de las señales que se desean ver en la pantalla del osciloscopio, por dos razones: una, para no dañar el circuito integrado, por el que pasarán las señales antes de llegar a la entrada vertical. En nuestro caso, los límites son fijados por los voltajes de polarización del multiplexor (+7.5 v y -7.5 v), las señales de entrada no deben rebasar estos valores, de lo contrario dañarían el circuito; la otra razón es porque si se necesita ver varias señales en la pantalla, tendrán que tener la amplitud adecuada para que no se encimen unas con otras.

El control de referencia nos permitirá mover las señales hacia arriba o hacia abajo sobre la pantalla, al sumarles o restarles a éstas un voltaje de corriente directa, funciona como

un control de posición, y de no existir este, las señales se verían en un mismo lugar.

Los atenuadores se pueden implementar con arreglos resistivos formando divisores de voltaje. Se deben seleccionar valores altos de resistencia para tener alta impedancia de entrada, también se debe tomar en cuenta la capacitancia implícita de cada resistencia de carbón, ya que esta hace al arreglo comportarse como un filtro paso bajas, con una frecuencia de corte de aproximadamente 20 KHz, obviamente si no se compensa este efecto el ancho de banda del sistema disminuye en gran medida. La compensación se hace colocando dos capacitores de valor pequeño en paralelo con las resistencias ( fig. 2.11 ), el capacitor variable se ajusta hasta que se obtenga la salida adecuada, es decir, que tenga un buen ancho de banda (mínimo 1 MHz).

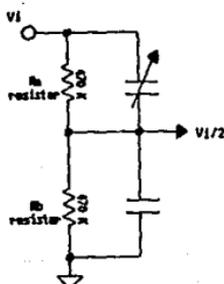


fig. 2.11

Como se necesitan diferentes valores de atenuación, se proponen cuatro arreglos (fig. 2.12) que nos entregan la señal de entrada dividida por 2, 4, 5 y 10 respectivamente.

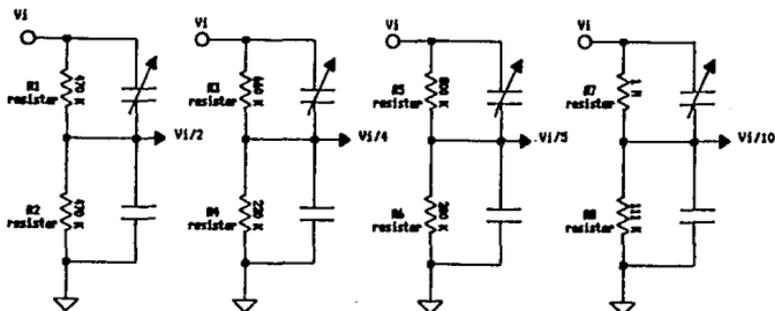


fig. 2.12

Para poder mover verticalmente las señales vistas en la pantalla, es necesario modificar el voltaje de referencia de los atenuadores, que pueda ser positivo, negativo o cero, según el lugar donde se quiera colocar las señales sobre la pantalla. El arreglo siguiente permite dar voltajes de referencia entre  $+V_{cc}$  y  $-V_{cc}$ , dependiendo donde se coloque al cursor del potenciómetro, si este se encuentra a la mitad el voltaje de referencia es de cero volts (fig. 2.13).

Un problema del arreglo anterior lo representa la capacitancia implícita del potenciómetro, pero esto se puede evitar utilizando un amplificador operacional configurado como seguidor, para aislar el potenciómetro del arreglo resistivo,

como se ve en la figura 2.14.

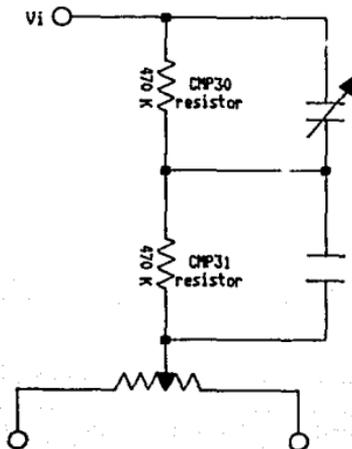


fig. 2.13

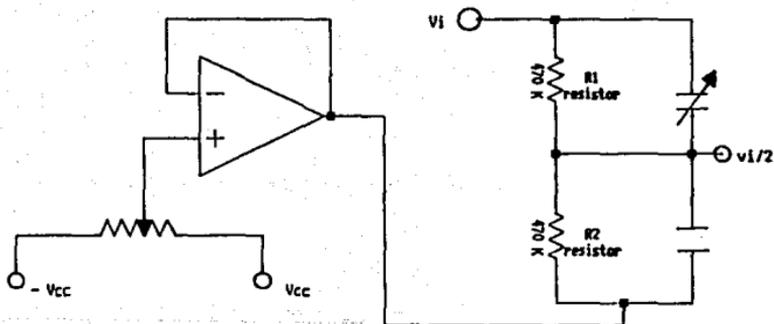


fig. 2.14

Para seleccionar la atenuación deseada de cada canal, se puede usar un switch de 2 polos 4 tiros; Para el presente trabajo se diseño un switch electrónico, el voltaje de referencia se coloca en cada atenuador a través de un demultiplexor analógico y cada atenuación se selecciona por medio de un multiplexor analógico ( 4052 ), las entradas de selección son comunes y se controlan con un contador (4520 ). En la siguiente figura se puede ver el diagrama del circuito:

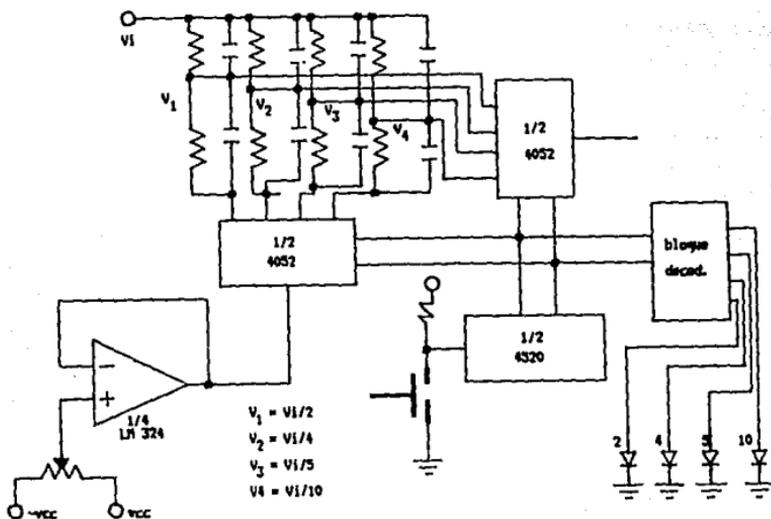


fig. 2.15

Para no usar un boton de control para cada atenuador, se diseño el arreglo de la figura 2.16, cada pulso de reloj hacia el

contador nos coloca en posición de atenuar un canal determinado, el bloque decodificador nos dará una señal para visualizar con un led que canal se esta atenuando.

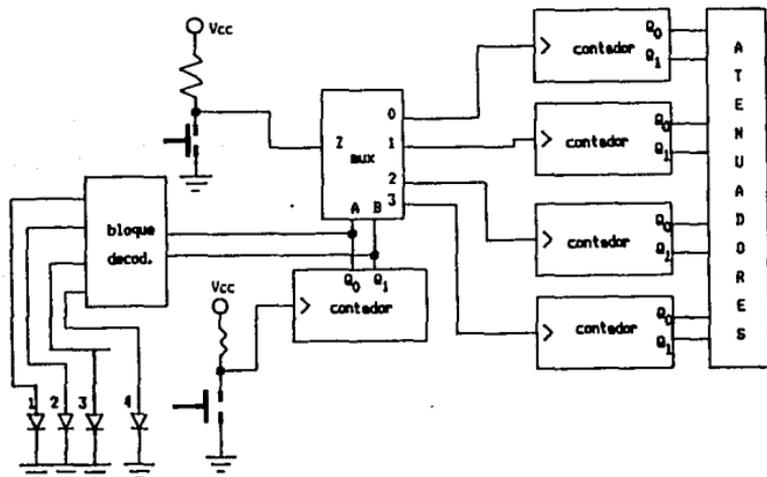


fig. 2.16

d) Reloj y etapa de control para el multiplexor analógico.

Iniciaremos esta parte con el diseño de la etapa de control para el multiplexor, para ello hay que recordar, que lo que se desea es que las entradas del multiplexor sean barridas a una cierta frecuencia, esto es, que las entradas se conecten a la salida una por una, durante un intervalo de tiempo en forma periódica.

La parte controlable del multiplexor se identifica con las entradas de selección, obviamente el control de multiplexaje debe incidir sobre estas últimas. Como ya se vió anteriormente, con las entradas de selección se controla el que una determinada entrada se conecte a la salida, dependiendo del valor lógico (uno ó cero) que se les aplique. En nuestro caso, el multiplexor 4051 tiene tres entradas de selección, con las cuales se maneja la conexión de sus ocho entradas con las salida. Sabemos que cada entrada del multiplexor se identifica con un número decimal, que corresponde a la palabra lógica (número binario) que se debe aplicar a las entradas de selección, para que dicha entrada quede conectada con la salida. Para el 4051 se tienen ocho palabras lógicas, que conectan respectivamente ocho entradas con la salida, como se muestra en la tabla 2.A.

Si queremos que se conecte la entrada cero con la salida un cierto tiempo, luego la uno, y así sucesivamente hasta la siete, repitiéndose el ciclo al terminar el turno de esta última, se deben proporcionar las palabras lógicas equivalentes, en el orden correspondiente y repetir la acción cíclicamente. en otras palabras, para barrer las entradas del multiplexor se requiere un circuito digital, que proporcione en forma secuencial y cíclica, los diferentes estados lógicos que correspondan a la palabra lógica que se necesita para que cada entrada quede conectada con la salida.

Existe un circuito integrado, que trabaja como un circuito secuencial que nos puede ser útil para controlar el

multiplexaje, él es el contador; un contador es un circuito digital secuencial, que presenta una secuencia preestablecida de estados en sus salidas, donde la duración de un estado y la variación de uno a otro, esta en función de una señal periódica, llamada señal de reloj, la cual es aceptada como entrada por el contador.

Palabra lógica	Entrada a seleccionar
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

tabla 2.A

Hay diferentes tipos de contadores, a nosotros nos interesa un contador binario, el cual sigue una secuencia de estados correspondiente a una cuenta binaria. Por ejemplo un contador de 4 bits, presentará los estados desde 0000 hasta 1111 (desde 0 hasta 15 en decimal), repitiéndose dicha cuenta cíclicamente, esta sería una cuenta ascendente, aunque hay los que pueden hacer la cuenta inversa (de 15 a 0).

Los estados de un contador de cuatro bits se pueden

representar por medio de un diagrama de tiempos, como se puede ver en la figura siguiente:

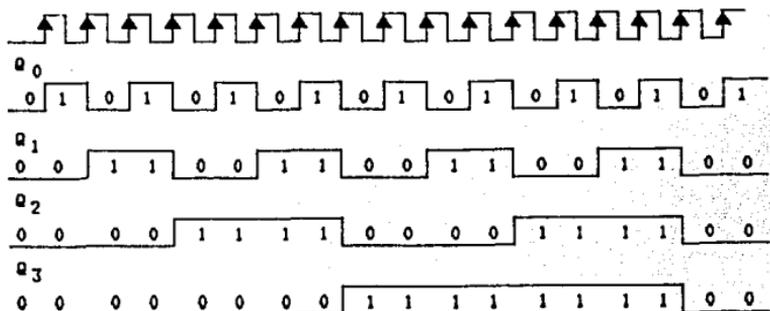
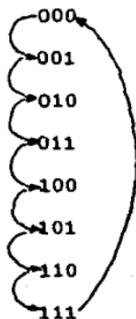


fig. 2.17

De la figura anterior se observa que la duración de cada estado es igual al período de la señal de reloj y cada cambio de estado se da con el flanco de subida de esa misma señal. También se observa que las salidas del contador presentan señales periódicas, cuya frecuencia es el resultado de dividir la frecuencia del reloj por un número entero ( $f_{Q0} = 1/2 f_R$ , etc.) así, cada 16 periodos de reloj se reinicializa la cuenta en 0000, ya que la señal que representa al bit más significativo, tiene una frecuencia 16 veces menor que la de la señal de reloj. Además se ve como durante los primeros ocho estados el bit más significativo se mantiene en cero y en los siguientes ocho en uno, haciendo esto la diferencia entre ambos grupos de estados, ya que los otros tres bits (Q<sub>0</sub>, Q<sub>1</sub> y Q<sub>2</sub>) se repiten cíclicamente cada ocho periodos de reloj, de esta forma, si se desea tener un contador de tres bits, usando uno de cuatro, basta con no tomar

en cuenta al bit más significativo (Q3).

La secuencia de estados de un contador de tres bits es la siguiente:



Si recordamos la secuencia de palabras lógicas, que tendríamos que aplicar a las entradas de selección, para barrer cíclicamente las entradas de la cero a la siete, vemos que ésta coincide con la secuencia de estados que presenta un contador de tres bits, por lo tanto, como control de multiplexaje se puede utilizar dicho contador.

Ahora hay que seleccionar el contador, basándonos en que debe cumplir los siguientes requisitos:

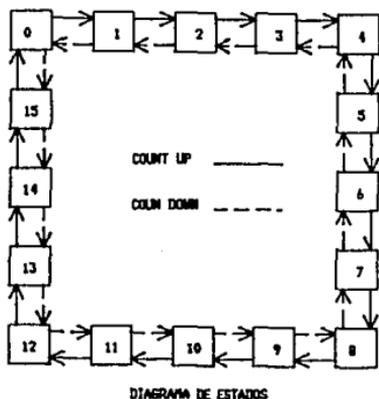
1. Debe ser un contador binario de 3 bits, en su defecto de 4.
2. Tiene que ser capaz de manejar como uno lógico, un nivel de 7.5 Volts; con esto eliminamos la posibilidad de usar circuitos construidos con tecnología TTL y tendremos que buscar entre los CMOS, ya que estos últimos pueden operar con niveles mayores de 5 V, a diferencia de los primeros, que

sólo aceptan niveles de hasta 5 V.

3. Es necesario que cuente con una entrada asíncrona para borrado (clear ó reset) o carga (load), con la finalidad de tener control sobre el número de canales a barrer.

Después de buscar en el manual de CMOS, se encontró un circuito que satisface lo deseado, es el 4516, que se encuentra disponible en el mercado y a muy bajo costo, comparado con un circuito TTL de las mismas características. El 4516 es un contador binario de 4 bits, cuenta hacia arriba o hacia abajo, tiene dos entradas asíncronas: PL (paralelo load) y MR(master reset), ambas se habilitan con un estado alto (uno lógico). Cuando PL se habilita, los datos que se tengan en las entradas de carga (P0, P1, P2, P3), son cargados como estados en las salidas del contador (Q0, Q1, Q2, Q3), y éstas permanecerán en el mismo estado mientras no se deshabilite a PL, independientemente de los cambios del reloj. MR tiene la función de poner a ceros los estados del contador, cuando se encuentre habilitada hace una especie de borrado o reseteo, al igual que PL, si no se deshabilita se mantienen las salidas en ese estado y tampoco le afectan los pulsos del reloj. El circuito se puede polarizar hasta con 15 Volts, para hacer compatibles los estados del contador, con las entradas de selección del multiplexor, se debe tener una polarización de 7.5 V y 0 V como referencia.

En la siguiente figura se presenta la tabla de modo de selección, el diagrama de estados y el símbolo lógico del 4516.



PL	UP/ $\overline{DN}$	$\overline{CE}$	CP	MODO
H	X	X	X	Parallel load
L	X	H	X	No change
L	L	L	$\downarrow$	Count Down
L	L	L	$\uparrow$	Count up

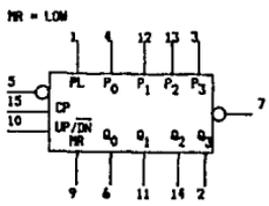


fig. 2.18

Hasta este momento, si se hace trabajar el contador, y se conectan sus tres salidas menos significativas, a las tres entradas respectivas de selección del multiplexor, se logrará multiplexar las señales que se tengan en las ocho entradas de este último. Claro esta, suponiendo que la señal de reloj es proporcionada de alguna manera, de ella nos ocuparemos después. Pero que pasa si se quiere trabajar con cualquier número de canales menor de ocho, obviamente se tiene que hacer que el contador reduzca su cuenta, por ejemplo, si se quiere manejar solo tres canales, el conteo debe ser únicamente de 000 a 010 (de 0 a 2), para multiplexar solamente las tres primeras

entradas.

Para reducir la cuenta, se necesita que ésta se interrumpa en un momento determinado, e inmediatamente se ponga en ceros a las salidas del contador, reiniciando la cuenta con el siguiente pulso de reloj, e interrumpiéndose nuevamente en el mismo estado que se hizo la interrupción anterior, repitiéndose la operación hasta que se quiera tener otra cuenta diferente.

Ya sabemos que para poner ceros en todas las salidas del contador, independientemente del reloj, se debe activar la entrada de borrado (MR). Cuando aparecen los estados que se desea tener, MR debe estar deshabilitada y sólo en el instante de interrumpir la cuenta, se debe habilitar con un uno lógico. Podemos deducir que la señal de borrado esta en función de las salidas del contador, más aún, que aquella es producida como salida de un circuito combinatorial, que tiene como entradas estas últimas, lo que se puede ver ilustrado en la siguiente figura:

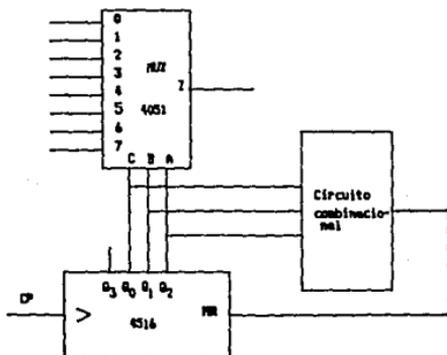


fig. 2.19

Dependiendo del número de canales a usar, tendremos seis casos posibles; para 2,3,4,5,6 y 7 canales. Excluimos el caso en que se tengan ocho canales, ya que se explicó anteriormente. A continuación analizaremos caso por caso.

Caso 1. Para dos canales.

Nos servirán los tres primeros estados del contador, a los que les asociaremos una variable, la que durante los dos primeros vale cero y sólo en el tercer estado toma el valor de uno, para los siguientes estados el valor de esta variable no importa. Podemos asignar a la variable el mismo nombre que tiene la entrada de borrado (MR). Para encontrar la función booleana ( $MR = f(Q_0, Q_1, Q_2)$ ) haremos uso de la tabla de verdad del circuito combinacional y del diagrama de Karnaugh:

$Q_2$	$Q_1$	$Q_0$	MR
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	X
1	0	0	X
1	0	1	X
1	1	0	X
1	1	1	X

QC-Q1

	00	01	11	10
Q2				
0	0	0	X	1
1	X	X	X	X

De donde se obtiene:

$$MR = Q_1$$

Para los siguientes casos se procede de manera similar que para el anterior, por lo tanto nos limitaremos a presentar el resultado obtenido en cada caso:

Para tres canales  $MR = Q1 \cdot Q0$

Para cuatro canales  $MR = Q2$

Para cinco canales  $MR = Q2 \cdot Q0$

Para seis canales  $MR = Q1 \cdot Q2$

Para siete canales  $MR = Q0 \cdot Q1 \cdot Q2$

Con la información anterior podemos representar ya la etapa de control de manera más completa. Para seleccionar el número de canales que se quiera tener funcionando, se puede hacer uso de un multiplexor, con el que tenemos un direccionamiento electrónico, la salida del multiplexor se conecta a la entrada MR (borrado) del contador que controla el multiplexaje, y las entradas se conectan con las respectivas salidas del circuito combinacional ya diseñado. Las entradas de selección se controlan con otro contador que hace una cuenta de 2 a 8, y se incrementa cada que recibe un pulso de reloj, dado manualmente cuando se quiera cambiar de número de canales. También se puede hacer uso de un decodificador BCD a 7 segmentos, para mostrar a través de un display el número de canales en uso. El contador, el multiplexor y el decodificador seleccionados para cumplir esta función, son respectivamente: el 4516, el 4051 y el 4511, todos de tecnología CMOS,

Ahora toca el turno a la etapa de reloj. La señal de reloj que necesita el contador para trabajar, debe ser una señal de

onda cuadrada con amplitud de 7.5 V, para ser congruentes con la polarización del contador. El oscilador que se use, debe tener la posibilidad de variar la frecuencia de la señal dentro de un rango amplio, desde baja frecuencia (10 Hz aprox.) hasta relativamente alta (500 Kz aprox.).

Se puede pensar en el timer 555, trabajando en forma estable, con el cual únicamente hay que variar el valor de resistencias y capacitores, para tener señales cuadradas de diferentes frecuencias. En la fig. 2.20.a se puede ver al 555 configurado en forma estable, la frecuencia de la señal que se obtiene por la pata tres del C.I. responde a la siguiente ecuación:

$$f = \frac{1.44}{(RA + 2RB) C}$$

En la fig. 2.20.b tenemos un gráfica en la que nos podemos basar para obtener los valores de resistencias y capacitor. Para obtener frecuencias bajas se puede fijar el valor del capacitor en  $1 \mu f$  y variar las resistencias entre 1K y 100 K (RA+2RB), así, podemos tener un rango aproximado de frecuencias entre 10 Hz y 3 KHz. Para altas frecuencias sólo hay que cambiar de capacitor, si hacemos  $C = 1 \text{ nf}$ , entonces tenemos el rango siguiente: 12 KHz  $\leq f \leq$  500 KHz.

De esta manera, podemos tener que RA varíe su valor entre 1K y 100 K , y hacer  $RB = 1K$  , para cumplir aproximadamente con el rango de frecuencias propuesto, por lo tanto, para el factor resistivo se tiene el siguiente rango:  $2K \leq RA + 2RB \leq 101K$  .

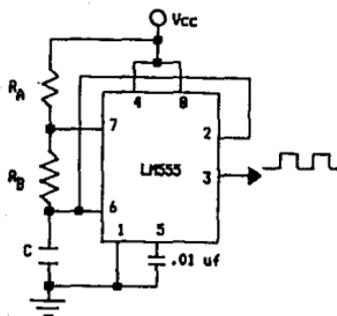


fig. 2.20a

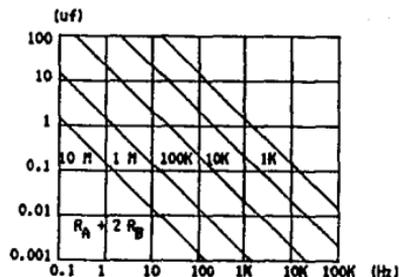


fig. 2.20b

Para cambiar de rango se pone un switch, que al estar cerrado conecta en paralelo a los dos capacitores, donde la capacitancia equivalente es la suma de las dos capacitancias, y si uno de los valores es muy pequeño respecto del otro, entonces la frecuencia de la señal producida por el timer, será fijada por el capacitor de mayor valor. Cuando el switch se abre, sólo queda conectado al circuito el capacitor de mayor valor, teniendo en esta situación el rango de frecuencias altas.

Como conclusión, la señal de reloj será generada por el circuito de la figura 2.21. La variación de frecuencia se controlará con el potenciómetro de 100 K y el control de rangos se hará con SW3.

e) Señal de sincronía.

Como ya lo habíamos mencionado anteriormente si se quiere

sincronizar el barrido horizontal con una señal, la señal de sincronía debe tener una frecuencia similar a esta última, por lo tanto, basta con conectar la señal a la entrada de sincronía externa para obtener la sincronización. Dependiendo del número de canales del multicanalizador, será el número de polos del switch rotatorio a usar. Aunque se mencionó que se pueden multiplexar ocho señales con el 4051, el presente diseño lo limitamos a cuatro canales, quedando como posible la expansión a ocho, por lo tanto el switch debe ser de 4 polos un tiro (fig. 2.22).

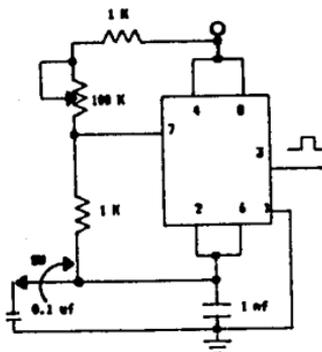


fig. 2.21

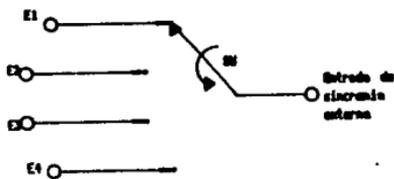
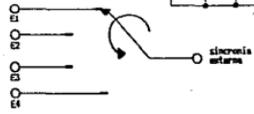
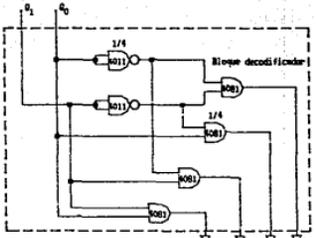
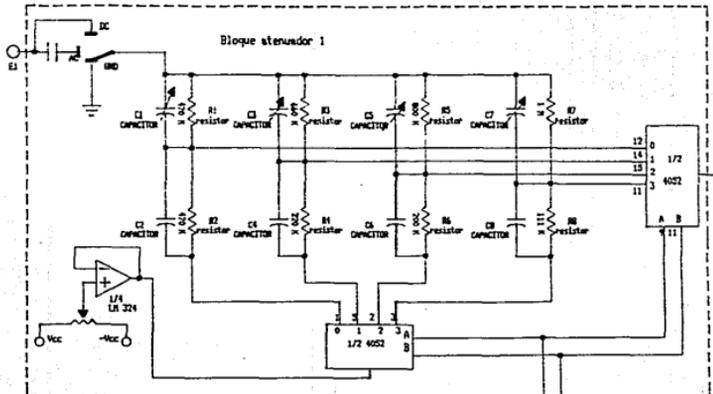
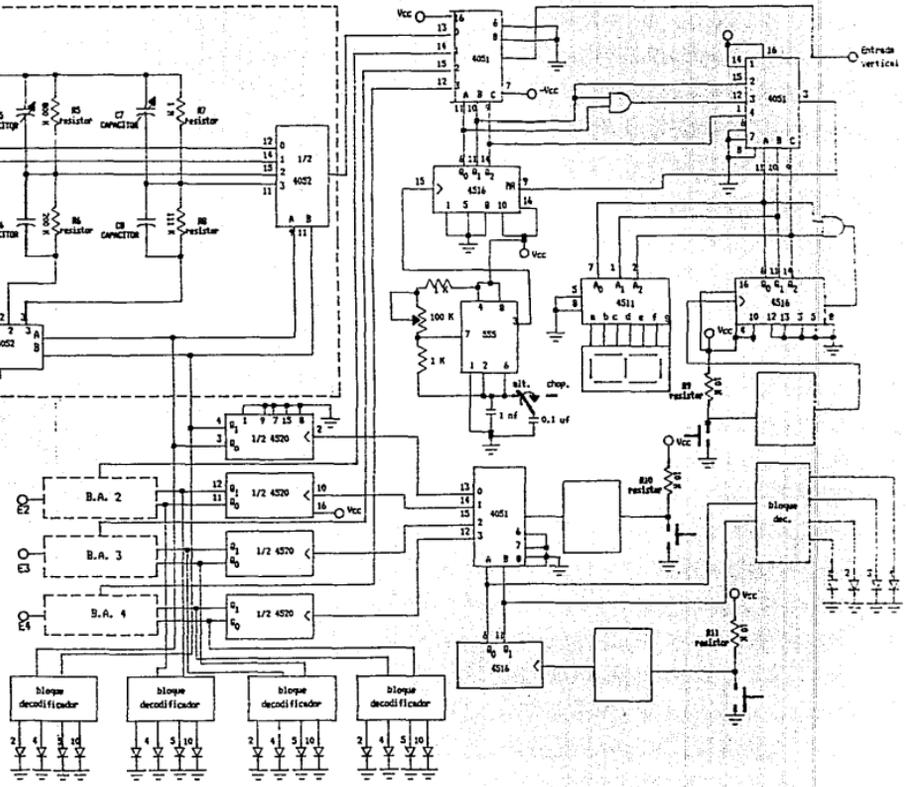


fig. 2.22



**VALLE DE ORLEN**



CAPITULO 3

ANALIZADOR DE ESTADOS LOGICOS

## INTRODUCCION:

Las personas que se inicializan en el campo de los circuitos digitales, se preguntarán, ¿cómo probar un circuito digital que contenga más de una salida o más de una entrada? ¿cómo saber si la información que sale o entra es la correcta? ¿cómo saber si los datos que salen o entran son sincrónicos con algún reloj, o alguno de ellos tiene algún retraso? El problema parece ser grave. Utilizando un osciloscopio de un solo canal o trazo, se observaría solamente el cambio de nivel en un solo conductor (pero si el nivel de este conductor está cambiando aleatoriamente, el osciloscopio no sincronizará). Con este método solo se garantizará que el circuito está trabajando, pero no sabemos si lo hace correctamente, ya que no podemos saber si esta información es la que deseamos. Se podría pensar en usar un osciloscopio de varios canales, solo que el problema está en la sincronización.

Lo anterior nos hace notar que esta información que sale o entra, la tenemos que guardar en algún lugar para posteriormente sacarla y analizarla. Por tanto un osciloscopio no nos serviría de mucho para estos fines, ya que no cuenta con un sistema de almacenamiento, ni tampoco con un sistema que nos muestre los estados lógicos en la pantalla. Ahora si agregamos al osciloscopio un dispositivo externo que almacene datos, y que posteriormente nos los muestre en la pantalla, se tendrá ahora lo que se llama "Analizador de Estados Lógicos".

Un analizador de estados lógicos es un instrumento capaz de

tomar datos digitales por medio de varios canales, en forma simultánea. Estos datos digitales los almacena, y posteriormente los exhibe en un tubo de rayos catódicos.

El osciloscopio que en un momento nos sirvió para observar señales analógicas, ahora lo utilizamos para observar señales digitales, por lo que podemos llamarle osciloscopio digital.

La utilidad que se le puede dar al analizador de estados lógicos es:

- a) Tenerlo como ayuda en el diseño de circuitos digitales.
- b) Tenerlo como ayuda en el mantenimiento de sistemas digitales.

Este subsistema (analizador de estados lógicos) que se aplicará más adelante, se llevó a cabo tomando en cuenta los siguientes propósitos:

- 1) En la Facultad no se ha construido alguno.
- 2) Facilitar el diseño de circuitos digitales elaborados en la Facultad.
- 3) Facilitar el mantenimiento de las microcomputadoras.
- 4) Construir un conjunto de ellos para colocarlos en los laboratorios.
- 5) El costo es muy bajo.

El diagrama de bloques del subsistema (analizador de estados lógicos), se presenta en la página siguiente.

Este subsistema que se puede adaptar a cualquier osciloscopio de dos o más canales, tiene las siguientes características.

- a) Puede seleccionar una palabra de control hasta de 16

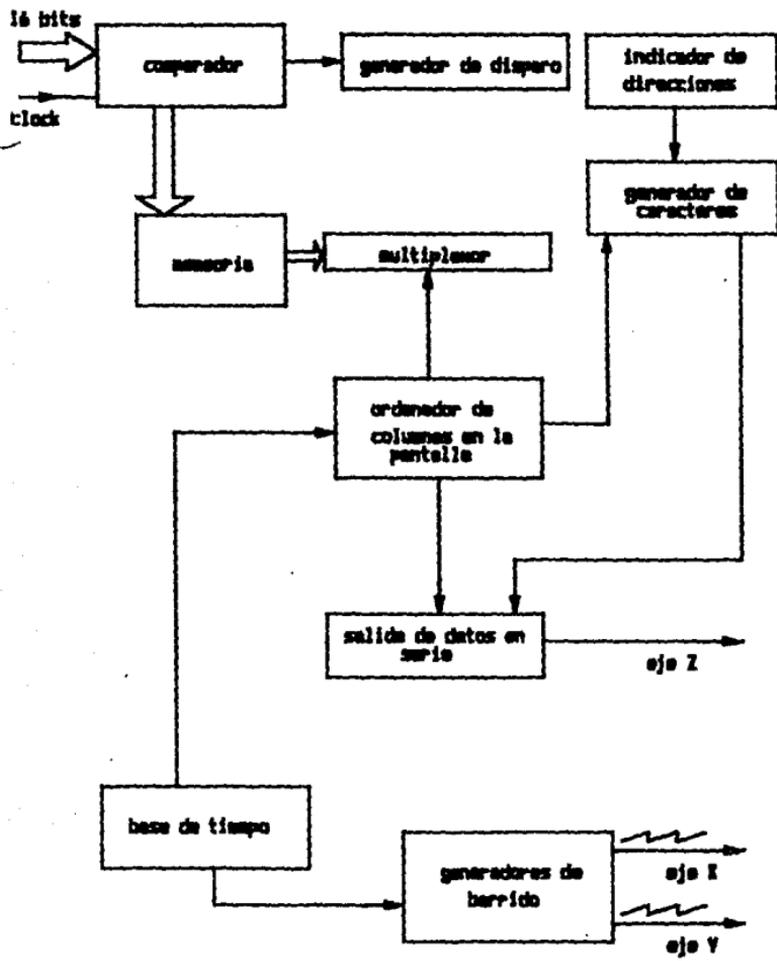


fig. 3.1

bits.

b) Puede almacenar en cada dirección de memoria hasta 16 bits.

c) Los datos pueden ser almacenados de tres distintas maneras.

-- Desde que se pone en funcionamiento hasta que la palabra de control aparece.

-- Después de que la palabra de control aparece, que inicie el almacenamiento de datos.

-- Ignorando la palabra de control, el almacenamiento de datos se lleva a cabo, desde que se pone en funcionamiento hasta que la memoria se llena.

d) Es posible mostrar en la pantalla del osciloscopio hasta 8 direcciones de memoria, cada una de ellas contiene 16 bits, en total, se exhibirán 128 bits.

Esta cantidad de bits se puede mostrar en las siguientes formas:

-- Mostrar todos los bits con una distancia igual entre ellos, formando una sola columna de 16 x 8 bits.

-- Mostrar dos columnas de 8 x 8 bits.

-- Mostrar cuatro columnas de 4 x 8 bits.

-- Mostrar una columna de 1 x 8 (bit más significativo), más cinco columnas de 3 x 8 bits.

e) Pueden ser observadas hasta 256 páginas (capacidad total de memoria), cada página cuenta con 8 renglones por 16 columnas, además en la parte inferior se indica la dirección que tiene el

1) Comparador: a este bloque llegan palabras de 16 bits y pasan por un buffer para ser almacenadas en la memoria. Además aquí se puede seleccionar la palabra de control, para ser comparada con cada una de las palabras de 16 bits que se toman de algún bus. Cuando ambas palabras son iguales a la salida de este comparador existirá un nivel alto.

Una vez escogida la palabra de control podemos seleccionar si los datos se comienzan a guardar, antes de que se presente la palabra de control, después de que se presente la palabra de control, o sin tomar en cuenta esta palabra.

El bloque de comparación está compuesto por las partes que muestra la figura 3.3. El propósito de colocar buffers a la entrada, es dar el nivel adecuado a cada bit, ya sea 1 ó 0, así como tener sincronía con el reloj externo, el cual controla los datos. Para realizar la función anterior utilizamos unos latches tipo D, de tal manera que al habilitarse con cada pulso del reloj externo atrapen un dato. Estos deben tener salida tres estados.

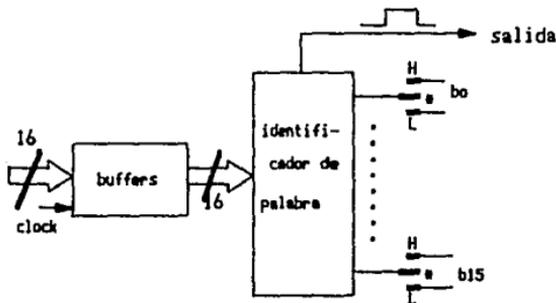


fig. 3.3

El identificador de palabras debe ser capaz de dar un nivel alto a la salida cuando la palabra de control y la palabra que llega del exterior son iguales. La palabra de control tiene 16 bits ( $b_0 - b_{15}$ ), cada bit está representado por un interruptor de tres posiciones. La posición superior corresponde a un nivel bajo ( $L$  ó  $0$ ), la posición inferior a un nivel alto ( $H$  ó  $1$ ), y la posición central corresponde a "don't care" ( $H$  ó  $L$ ,  $1$  ó  $0$ ), es decir, que no importa el nivel que exista, siempre a la salida se tendrá un nivel alto, si todos los interruptores están en esa posición.

Se analizará a continuación, como es que se comparan dos palabras de 16 bits, usando dos tipos de circuitos.

a) Con circuitos totem-pole. Aquí nos daremos cuenta de la desventaja que tienen estos circuitos para realizar el comparador. La figura 3.4 nos muestra el comparador usando este tipo de circuitos.

Obsérvese que a la salida existirá un nivel alto cuando la

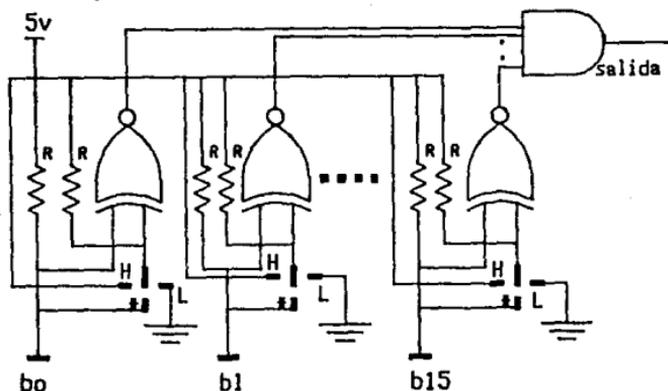


fig. 3.4

palabra de control y la palabra que llega son iguales.

Las salidas de las compuertas NOR exclusiva deben entrar a una compuerta que debe tener 16 entradas. Si esta compuerta no existe tendremos que sustituirla por otras de menos entradas, ocasionando que el número de niveles de compuertas aumente, así como el número de circuitos. Otra desventaja de éstos, es el aumento de consumo de energía cuando el número de circuitos aumenta.

b) Con circuitos open-collector. Estos circuitos tienen grandes ventajas sobre los circuitos totem-pole.

-- Las salidas de estos circuitos se pueden unir para formar una compuerta AND. En los circuitos totem-pole no es posible hacer esto, ya que se dañarían fácilmente.

-- A la salida de los circuitos open-collector debe colocarse una resistencia a Vcc llamada resistencia de pull-up. Esta debe calcularse tomando en cuenta el número de salidas que se van a juntar, y la corriente que va a circular por estas salidas hacia la parte interna de cada circuito, así como la que va a circular hacia la carga.

En las dos siguientes figuras se muestra el comparador reducido a un solo nivel de compuertas, usando circuitos open-collector. La figura 3.5 nos muestra el comparador realizado con compuertas NOR exclusiva, y la figura 3.6 con compuertas AND de tres entradas.

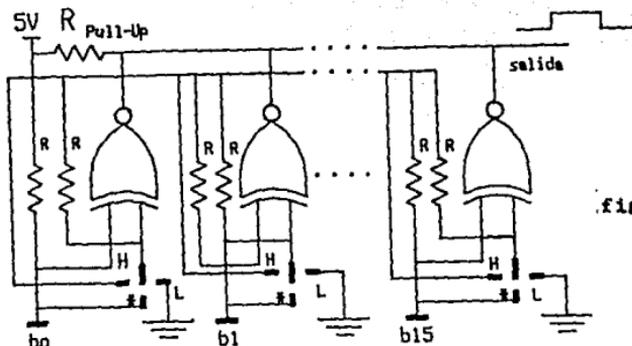


fig. 3.5

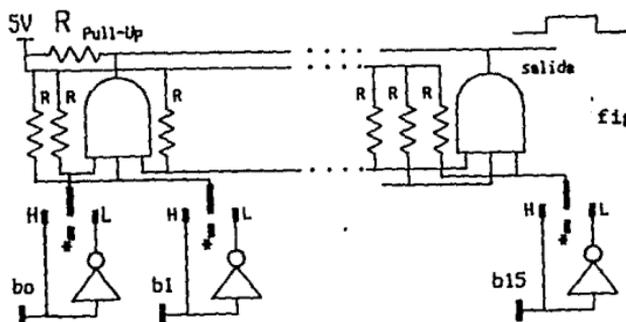


fig. 3.6

El nivel alto que se obtiene a la salida del comparador nos indica que la palabra escogida en los interruptores se ha detectado. Este cambio de nivel debe llegar al generador de disparo, para que este habilite o deshabilite a la memoria según sea el caso.

2) El generador de disparo no es más que un flip-flop arreglado de tal manera que cuando llegue un nivel alto haga una conmutación. La figura 3.7 nos muestra como está constituido este generador de disparo. En el momento en que se detecta el nivel alto del comparador, éste llega a un estrechador cuya salida nos da un

pulso para hacer conmutar al flip-flop.

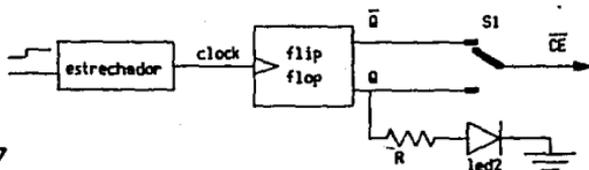


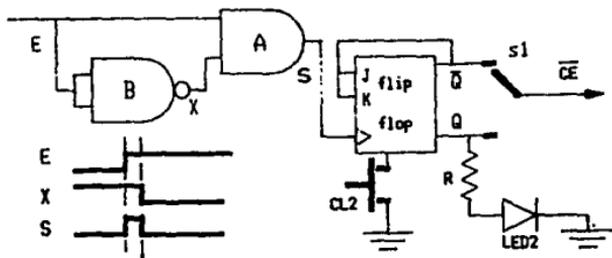
fig. 3.7

El flip-flop que aquí se usa, cuando está limpio tiene en su salida  $\bar{Q}$  un nivel alto, mientras que en  $Q$  debe haber un nivel bajo. Mientras que no exista nivel alto a la entrada, no habrá pulso a la salida del estrechador, por tanto el flip-flop no conmuta. En el momento en que el flip-flop conmuta, se enciende el led, indicando que se ha detectado la palabra de control. El papel que tiene el interruptor "S1" es muy importante ya que depende de él, la habilitación o deshabilitación de la memoria.

Hay que hacer notar que si todos los interruptores están en la posición central, la memoria guardará datos desde el principio hasta que ésta se llena. Esto siempre y cuando el interruptor "S1" esté en la posición de  $\bar{Q}$ .

Ahora veremos como se construyó el estrechador y que tipo de flip-flop se utilizó para estos fines. El bloque completo del generador de disparo se muestra en la figura 3.8.

fig. 3.8



Obsérvese que el estrechador está en función del retardo del inversor. Para garantizar que el ancho del pulso pueda hacer conmutar al flip-flop elegimos un circuito que llamamos B, el cual será menos rápido en comparación con el circuito A. Hay que notar que el generador de disparo se puede contruir fácilmente con un flip-flop tipo D sin necesidad de usar el estrechador.

Cuando el flip-flop está limpio en  $\bar{Q}$  existe un nivel alto, entonces en J y K existe un nivel alto y puede haber conmutación con el pulso de reloj que llegue, (hay que notar que solo conmuta cuando J y K estan a nivel alto). Cuando el flip-flop conmuta en J y K habrá un nivel bajo, y aunque haya más pulsos de reloj el flip-flop ya no conmutará. Para limpiar al flip-flop solo basta oprimir el interruptor "CL".

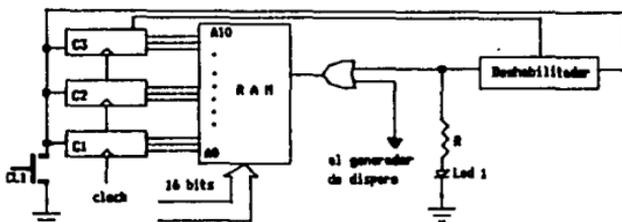


fig. 3.9

3) El bloque de memoria: éste bloque contiene como su nombre lo indica, todos los datos que han pasado por la etapa de comparación. Cada dato se va almacenando en distinta dirección. La memoria tiene una capacidad de 2048 direcciones, cada una de ellas puede almacenar hasta 16 bits. Las direcciones se controlan por

medio de tres contadores de 4 bits, conectados de tal manera que tengamos un solo contador de 12 bits, de éste tomamos el pulso de cuenta máxima para indicar que la memoria se ha llenado y la deshabilita. El reloj externo debe conectarse al contador menos significativo, para que con cada pulso almacene los datos consecutivamente. La figura 3.9 nos muestra este bloque.

En la figura anterior tenemos un deshabilitador que es el mismo circuito usado en el generador de disparo. Cuando el "LED1" se enciende, la memoria se ha llenado, y ya se pueden leer datos de ella, solo basta activar el analizador para que ahora sea capaz de leer y mostrar los datos en la pantalla. Hecho esto, debe oprimirse el interruptor "CL" que limpia los contadores "C2" y "C3" para iniciar desde la primera página.

La segunda parte se le llama de lectura y está compuesta por los siguientes bloques:

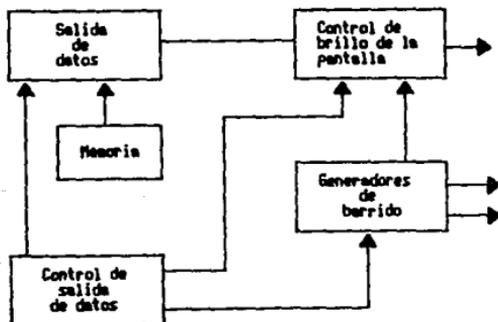


fig. 3.10

En esta parte los datos guardados en la memoria se exhibirán en el osciloscopio usando los ejes X, Y y Z.

El bloque de datos serie está formado por un multiplexor de 16 entradas por 1 salida, cuyas líneas de selección van conectadas al bloque de control de salida de datos, como muestra la figura 3.11.

Este multiplexor actúa junto con el contador "C1", ya cuando se terminen de formar en la pantalla todos los bits de la primera dirección este contador debe incrementarse para formar ahora la segunda dirección, posteriormente vendrá la tercera y así hasta que el contador "C1" llega hasta 111. Una vez que este contador llega a su máxima cuenta coloca ceros en sus salidas con el siguiente pulso, para iniciar nuevamente en la primera dirección.

El bloque de control de brillo de la pantalla contiene las partes mostradas en la figura 3.12.

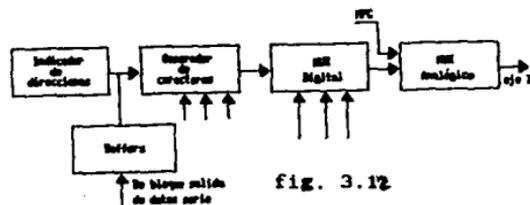


fig. 3.12

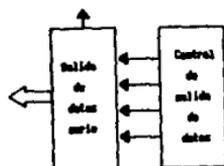


fig. 3.11

El indicador de direcciones es una memoria EPROM cuyas salidas están en código ASCII para poder direccionar el generador de caracteres. Las direcciones que aparecen en la parte inferior de la pantalla tendrán una distancia entre ellas de 7 (en

hexadécimal) es decir, la primera página tendrá indicado 0000, la segunda 0008, la tercera 0010 y así hasta completar los 2k de memoria (256 páginas) que corresponde a 03FF. El propósito de colocar buffers es de aislar los datos (1 o 0) de la salida del multiplexor, mientras que esta habilitada la memoria que tiene grabadas las direcciones.

El generador de caracteres una memoria EPROM la cual cuenta con una matriz de 5 x 7 para cada caracter.

Una vez que se direcciona un caracter por medio de las líneas A3 -- A9 en su código ASCII correspondiente, el generador se coloca en la matriz de este caracter. Las líneas A0 -- A2 se usan para leer los renglones correspondientes a esa matriz, para ello es necesario colocar un contador como muestra la figura.

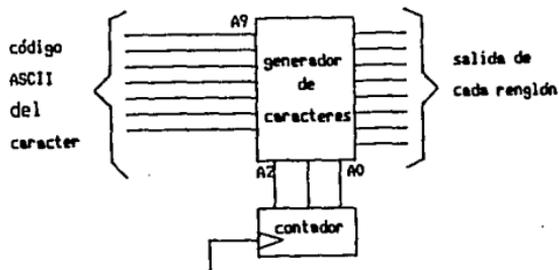


fig. 3.13

Una vez que se tiene la salida de un renglón, que son 8 bits de los cuales solo 5 serán útiles, se debe pasar bit por bit hacia el eje Z para formar las matrices de puntos de cada

uno de los caracteres en la pantalla, para estos fines se usa un multiplexor, cuyas líneas de selección van conectadas al control de salida de datos, que manda datos binarios de 3 bits en cierto orden (igual que lo hace un contador desde 000 hasta 111), para tener en la salida del multiplexor primero D0, luego D1 y así hasta D7. Esta salida del multiplexor puede conectarse directamente al eje Z. Como se desea que se intensifiquen algunas direcciones o palabras, se tiene que colocar un circuito, que con dos líneas de selección (con niveles lógicos TTL) podamos tener a sus salidas voltajes inferiores a los niveles lógicos TTL (se hace de esta manera, ya que el eje Z necesita voltajes negativos para que la pantalla del osciloscopio se vuelva mas liminosa). La línea de selección más significativa estará conectada al interruptor "MPC" (marca palabra de control) y la menos significativa a la salida del multiplexor. El circuito mencionado es un multiplexor analógico de 4 a 1 que tiene dos líneas de selección. Cuando existe un nivel bajo en la línea mas significativa y la mas significativa este variando, entonces la salida será una señal variante entre los niveles TTL. Cuando la línea mas significativa tenga un nivel alto, a la salida del multiplexor analógico existirá una variación del nivel alto en TTL hasta el nivel de voltaje negativo con que se este polarizando el multiplexor. El multiplexor analógico esta constituido internamente; por un conjunto de interruptores analógicos (uno por cada línea de entrada), y un decodificador digital que sirve para cerrar los interruptores.

El siguiente bloque es el correspondiente al control de salida de datos. Este bloque cuenta con una memoria EPROM grabada de tal manera que los datos que se vayan a analizar salgan en cierto orden. Las cuatro salidas menos significativas van conectadas a las líneas de selección del multiplexor digital (8 a 1) y las cuatro más significativas se conectan a las líneas de selección del multiplexor digital (16 a 1), que es el bloque de datos serie. Esta memoria controla la forma de presentación de los bits en la pantalla (una columna de 16 x 8 bits, dos columnas de 8 x 8 bits, cuatro columnas de 4 x 8 bits y una columna de del bit menos significativo más cinco columnas de 3 x 8 bits) como se muestra en la fig. 3.14 .

Se puede observar que con A8 y A9 se controla la forma de representar los bits en la pantalla. Ya que con dos bits es suficiente para tener cuatro combinaciones.

Las resistencias son colocadas para garantizar un nivel bajo en las líneas A8 y A9 cuando los circuitos tres estados son deshabilitados. Cuando A10 esta a nivel alto se muestran los 128

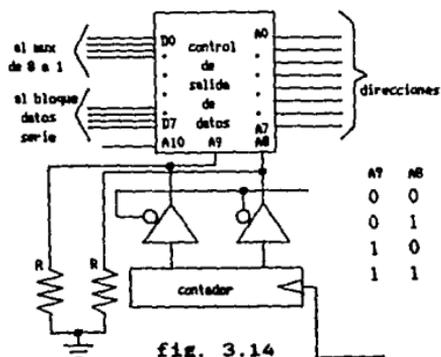


fig. 3.14

bits y cuando esta a nivel bajo se muestra la dirección que tiene el primer renglón, de la página. Las líneas de direcciones A0 hasta A7 van conectadas a las salidas del contador que genera el diente de sierra horizontal. El contador que controla las líneas A8 y A9 tiene su entrada de reloj conectada a la salida de un comparador de histéresis, el cual manda un pulso cada vez que se oprime el interruptor llamado "FORM".

El siguiente bloque es el de generadores de barrido. En este bloque se generarán dos señales del tipo diente de sierra, una señal se conectará a las placas verticales del osciloscopio y la otra a las placas horizontales. Ambas señales son iguales en forma pero no en frecuencia.

horizontalmente se van a mostrar 16 bits por renglón, y sabiendo que cada caracter tendrá un ancho de ocho puntos (cinco de estos puntos corresponderan a la matriz), entonces habrá un total de 128 puntos, pero como se van a mostrar en diferentes formas (tamaño de la columna) se debe dejar cierto espacio disponible para que esto pueda ser posible. El espacio que se dejó fue de 144 puntos. Verticalmente son 17 renglones incluyendo el renglón que indica la dirección. Como también la representación vertical de un caracter ocupa ocho puntos, se tendrán un total de 72 puntos verticales.

Lo anterior indica que el contador que manda el código para que se genere el diente de sierra horizontal, debe llegar a la cuenta de 1001 0000 (binario) y limpiarse para colocar en sus salidas 0000 0000. Cuando éste contador se limpia debe mandar

un pulso de reloj al contador que se usa para generar el diente de sierra vertical, el cual llegará a la cuenta de 0100 1000 (binario) y regresar a 0000 0000 para iniciar otro ciclo. Cuando ambos contadores tengan en todas sus salidas niveles (ceros) bajos, el Haz electrónico se colocará en la parte superior izquierda de la pantalla. Si el contador del barrido horizontal ha hecho un ciclo, quedan marcados en la pantalla los puntos del primer renglón de las matrices de los caracteres que van a ser exhibidos. Hecho esto debe incrementarse el contador vertical para sacar ahora el segundo renglón de las matrices, y así hasta completar todos los renglones de las matrices, para formar las 8 direcciones y los cuatro caracteres que se encuentran en la parte inferior. Para poder generar el diente de sierra, es necesario conectar las salidas de un contador a un convertidor digital-analógico, fig. 3.15,

El cálculo de la frecuencia de los dientes de sierra así como

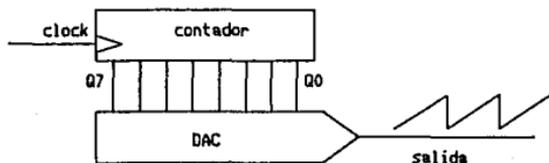


fig. 3.15

la manera de conectar el convertidor digital-analógico se encuentra en el apéndice.

El bloque borrador de columnas es un comparador de malla abierta, en cuya entrada positiva se introduce el diente de sierra horizontal y en la negativa un voltaje variable que va a estar dado por el potenciómetro "Rp". Este potenciómetro deshabilitará en cierto rango al multiplexor digital (8 a 1) que cuando esta deshabilitado tendrá a su salida siempre un nivel alto, lo cual ocasiona que la pantalla se oscurezca en ese instante (debido a que con un nivel alto se corta el brillo del osciloscopio).

Una vez que se ha explicado el funcionamiento de cada parte, será más fácil entender el funcionamiento del circuito completo que a continuación se realiza.

Los datos que se van a analizar deben pasar por los latch (74373). Cada que el reloj externo tenga un nivel alto es cuando se atrapa el dato en los latch, y es enviado a almacenarse en cierta dirección de memoria esto sucede siempre y cuando el interruptor "Sp" se encuentre en la posición "write". Este interruptor controla los buffers marcados con el caracter "@" que habilita la parte de escritura o la parte de lectura. Se debe notar que el reloj externo pasa por un buffer para incrementar al contador "C1" que controla las líneas menos significativas de la memoria.

Cuando "C1" llena la cuenta debe limpiarse e incrementar al contador "C2", posteriormente se deberá incrementar "C3". Esto se

hace así para que con cada pulso del reloj externo, los datos se guarden consecutivamente. La memoria se habilitará o deshabilitará dependiendo de como se halla elegido la palabra de control.

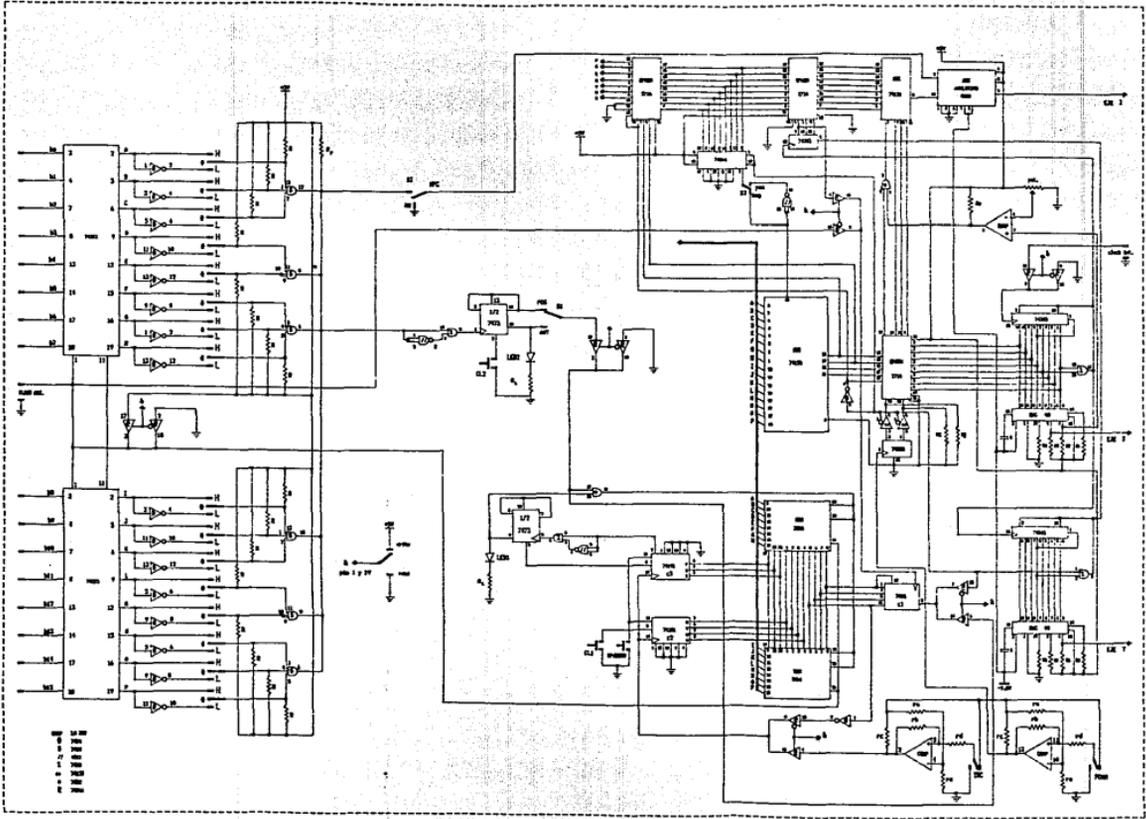
Para poder leer los datos almacenados en la memoria se debe colocar el interruptor "Sp" en la posición "read", entonces el reloj externo quedará bloqueado, los latch deshabilitados y el generador de disparo no actuará. Ahora el reloj interno se habilitará y entrará al contador 74393 para generar el barrido horizontal. Se debe colocar una compuerta para que el contador no llegue hasta 1111 1111 debe llegar solo hasta 1000 1000. La salida de esa compuerta debe de conectarse al reloj del contador que genera el barrido vertical, el cual también debe tener una compuerta para evitar que llegue hasta 1111 1111.

El contador que genera el barrido horizontal también controla el bloque de salida de datos, que es una memoria EPROM. Esta memoria tiene en sus cuatro salidas menos significativas grabaciones tales que el multiplexor digital 74151 saque en serie cada renglón, de cada matriz que sea colocado en sus entradas por el generador de caracteres, las líneas más significativas se conectarán a las líneas de selección del multiplexor digital 74150 para poder enviar los datos almacenados de uno en uno hacia el generador de caracteres.

Ejemplo: supongamos que en la primera dirección de la memoria halla los siguientes 16 bits 1010 0000 1111 1010 y que todos los contadores tengan niveles bajos en sus salidas.

El primer contador que comienza a incrementarse es el 74393 para generar el primer ciclo de diente de sierra. con los primeros ocho pulsos, en la pantalla aparecen los puntos del primer renglón de la matriz correspondiente al primer caracter que es el 1 ( en estos ocho pulsos se tendrá en las líneas de selección del multiplexor 74150 puros ceros por lo cual este multiplexor apunta hacia la dirección 0000 que contiene al bit menos significativo que en este caso es el 1 ). Con los siguientes ocho pulsos se debe tener en las líneas de selección del multiplexor 0001 para que el multiplexor se coloque en el siguiente bit que es el 0. La salida del multiplexor va a unos buffers, que estan conectados de tal manera que a la salida se tenga el código ASCII del 1 y el 0 para que lleguen al generador de caracteres. Una vez que el multiplexor ha llegado al número binario 1111, el diente de sierra horizontal ha hecho un ciclo y debe incrementarse el contador "C4" del generador de caracteres para que con el siguiente ciclo aparezcan en la pantalla los segundos renglones de las matrices de puntos. Cuando el diente de sierra horizontal ha hecho 8 ciclos entonces observaremos los 16 caracteres antes mencionados.

Hecho esto el contador "C1" debe incrementarse para que ahora sea posible observar la segunda dirección de la memoria. Cuando "C1" llena su cuenta se observarán las 8 direcciones en la pantalla. Hay que notar que por cada ciclo de barrido horizontal, el barrido vertical tiene que ir aumentando en amplitud, ya que el contador que genera este barrido se va incrementando.



**FALLA DE CRIGEN**

**CAPITULO 4**

**MEMORIA DIGITAL.**

## INTRODUCCION.

Dentro del laboratorio de electrónica, es común encontrarse con la necesidad del análisis de señales analógicas con diferentes formas de onda y frecuencias; por ejemplo, cuando se observa el proceso de transformación que está sufriendo una señal en las diferentes etapas de un sistema que se diseña, o bien en la localización de alguna falla en un aparato que se esté reparando; hecho por el cual se hace indispensable contar con un dispositivo capaz de mantenernos el despliegue continuo de tales señales, el tiempo necesario para llevar a cabo un estudio detallado del sistema en cuestión.

En este caso, la herramienta más importante la representa el osciloscopio, mediante el cual podemos trabajar con señales analógicas, con la limitación de que éstas deben ser del tipo repetitivo (para que el despliegue se mantenga en la pantalla, al estarse repitiendo el ciclo de la señal una y otra vez) y dentro de un rango de frecuencias establecido. Para el osciloscopio convencional, entonces, se tendrá dicha limitación, lo cual nos impide el manejo de señales de una sola ocurrencia y alta frecuencia; ya que, aunque se mantiene el despliegue por un corto tiempo en la pantalla, debido a la persistencia propia de la capa fluorescente de ésta, no es posible realizar su análisis. Para lograr esto último, es necesario tener una especie de almacenamiento (o memoria) de las señales desplegadas, de tal manera que se nos facilite su estudio.

La figura 4.1 muestra un par de señales analógicas típicas,

para dejar claro el concepto de señal repetitiva y señal de una sola ocurrencia.

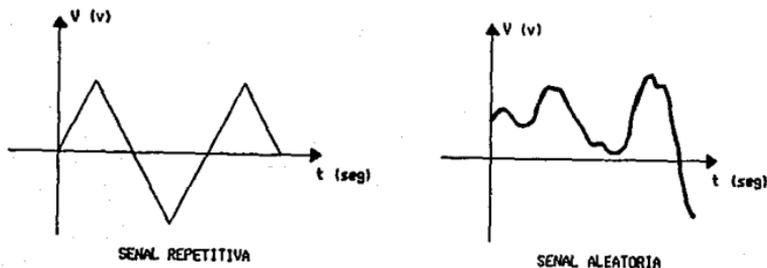


Figura 4.1 Señales analógicas comunes.

En el presente diseño, se propone un circuito de memoria capaz de almacenar señales analógicas con cualquier tipo de forma de onda en un formato digital. De hecho, existen en el mercado osciloscopios conteniendo esta característica (osciloscopios con memoria digital integrada); con la desventaja del incremento elevado del precio original del mismo, lo que provoca que quede fuera del alcance de posibles consumidores, volviéndolo antieconómico. De aquí, que el presente prototipo de bajo costo busque solventar dicha desventaja, pues el mismo en conjunto con un osciloscopio convencional (uno o dos canales), cumplirá la función del osciloscopio con memoria integrada con la misma eficiencia y con un abatimiento del costo global.

El circuito de memoria, va a permitirnos pues el almacenamiento de señales analógicas, mediante su equivalente digital; para que al ser conectada su salida a un canal del

osciloscopio, tener la señal original reconstruida para ser desplegada durante un tiempo determinado por el usuario.

#### Características Generales del Circuito.

El circuito de memoria va a consistir básicamente en una combinación de convertidores analógico-digital (A/D) y digital-analógica (D/A), con una memoria de acceso aleatorio (RAM); de tal manera que la etapa A/D va a digitalizar la señal analógica, para luego ser almacenada directamente en memoria.

Posteriormente, esta información digital será extraída de la memoria en el momento deseado, para ser reconvertida por la etapa D/A a su forma original, para que conectada a un canal del osciloscopio se pueda tener un despliegue continuo para su análisis.

La conversión A/D se lleva a cabo a través de un proceso de muestreo y cuantificación. Con el muestreo se obtienen niveles de voltaje representativos de la señal original, los cuales son tomados en puntos discretos de tiempo equiespaciados a un cierto periodo de muestreo, para que después en el proceso de cuantificación se conviertan estos valores en números binarios ( $n$  bits), en base al nivel de voltaje obtenido en el muestreo. El periodo de muestreo está determinado por una base de tiempos precisa, representada en este caso por un reloj digital.

El siguiente proceso es el almacenamiento de los valores binarios en memoria; éste se lleva a cabo simultáneamente con la conversión, direccionándose las celdas binarias de la memoria

RAM, las cuales una vez llenas con la información dan por terminado el proceso de conversión. A partir de este momento, podemos leer el contenido de memoria a una razón de tiempo preseleccionada y reconstruir la señal (mediante el convertidor D/A) para ser desplegada a través del osciloscopio. Dado que la información en la memoria RAM puede ser leída en forma indefinida sin el peligro de que se destruya, la señal podrá ser desplegada en pantalla por el tiempo que se desee.

Además de las arriba mencionadas, es necesario añadir otras etapas complementarias para la correcta operación del circuito de memoria. Así pues, es necesario delimitar las diferentes etapas requeridas por el presente diseño, e identificar las características y función principal que van a realizar.

El siguiente diagrama de bloques presenta las etapas que forman el presente circuito, así como sus interacciones, para enseguida dar una breve explicación de su función dentro del sistema.

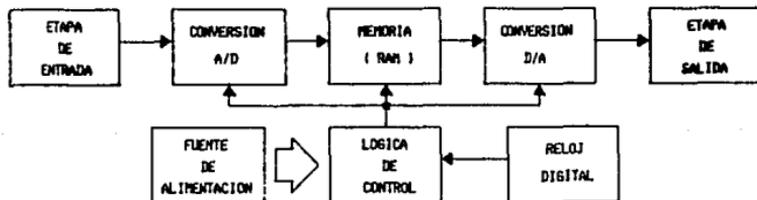


Figura 4.2 Diagrama de bloques de la memoria.

Etapa de Entrada. Esta etapa es también llamada acondicionadora de entrada, ya que su función principal es la de acondicionar la señal analógica a grabarse; esto es, le da a la señal los niveles de voltaje e impedancia requeridos para ser manejada por el circuito de memoria.

Etapa de Conversión Analógico-Digital (A/D). En esta etapa se recibe la señal acondicionada, para realizar la transformación de ésta a su equivalente digital, mediante un proceso de muestreo y cuantificación, como ya se mencionó anteriormente.

Etapa de Memoria. La presente etapa constituye la base del circuito y consiste en una memoria de acceso aleatorio (RAM), la cual va a almacenar los datos binarios que representan la señal, conservándolos dentro de sus celdas una vez que han sido grabadas; posteriormente la información puede ser leída cada vez que se requiera, manteniéndose ahí hasta que se le sustituya por una nueva señal (digitalizada) que se desee grabar.

Como se sabe, este tipo de memoria semiconductor tiene dos modos de operación: modo de escritura, en el cual se van a grabar los valores digitales equivalentes a la señal; y modo lectura, durante el cual se van a leer dichos datos para ser reconvertidos a su forma original (analógica) para ser introducida en el osciloscopio. Para la grabación de una nueva señal digitalizada, simplemente se graban los nuevos datos (en modo escritura) sobre los anteriores, permaneciendo en memoria la nueva información.

Etapa de Conversión Digital-Analógica (D/A). La función de esta etapa consiste en recibir los valores digitales de la

memoria para reconvertirlos a su equivalente analógico, y así lograr la reconstrucción de la señal original, para luego ser desplegada por el osciloscopio.

**Etapas de Salida.** Una vez reconstruida la señal original a través del convertidor D/A, esta etapa la acondiciona para ser conectada a uno de los canales del osciloscopio para mantener su despliegue en pantalla y ser analizada por el usuario.

**Lógica de Control.** Esta parte del circuito es muy importante, ya que va a llevar a cabo el control del mismo, para tener un funcionamiento adecuado en todos sus modos de operación en los que trabaja. Se encarga de proporcionar las señales de control a las diferentes etapas del sistema y en el momento preciso en que se necesite (esta última función la cumple la base de tiempos).

**Base de Tiempos.** Esta representa el reloj del sistema, tiene como función sincronizar el flujo de datos durante las operaciones de grabado y lectura. Además, en base a ésta se proporcionan las señales que entrega la lógica de control.

Consiste en su base de un oscilador básico, a partir del cual se forman los divisores de frecuencia, para tener una selección de frecuencias para desplegar la señal en el osciloscopio.

Ahora que se han delimitado las diferentes etapas requeridas por el sistema para su operación adecuada, así como su función dentro del mismo, se va a proceder ahora al diseño de cada una de ellas mediante el análisis detallado de cada parte que las componen. Posteriormente, se determinarán las interacciones necesarias entre ellas para su operación en conjunto.

### Etapa de Entrada.

Como ya se mencionó en la introducción, la presente etapa va a proporcionar las "condiciones" necesarias a la señal para ser introducida en el circuito (para cumplir con los requerimientos impuestos por el circuito de memoria). De esta manera, vamos a limitar la amplitud de la señal para que se encuentre dentro de los rangos de voltaje que puede manejar el circuito de memoria; de hecho, la máxima amplitud de voltaje que puede ser introducida al convertidor A/D.

Por otro lado, se hace necesario realizar el acoplamiento de impedancias, de modo que no se cargue el circuito fuente, del cual estamos tomando la señal a grabarse y asimismo reforzarla, para que así no se absorba energía de ella y sea aprovechada de manera eficiente por el sistema.

Se requiere entonces a la entrada un circuito que nos realice el acoplamiento de las impedancias y que atenué las señales de entrada a niveles seguros de voltaje, para evitar dañar con un sobrevoltaje al circuito.

En lo que respecta al acoplamiento de impedancias, el amplificador operacional es un circuito que nos ofrece muy buenas características: impedancia de entrada muy alta (idealmente infinita), para que no absorba energía del circuito fuente; e impedancia de salida muy baja (idealmente cero), para que toda la señal sea aprovechada por el circuito.

Existen en el mercado diferentes tipos de operacionales, de acuerdo a los parámetros que más interesen en un diseño

determinado. En nuestro caso, se tiene especial interés en la impedancia de entrada (como ya se vio) y en la respuesta en frecuencia (pues a mayor ancho de banda, señales de más alta frecuencia se podrán almacenar por el circuito de memoria).

Después de realizarse una investigación en los manuales se optó por la introducción a la entrada del sistema del C.I. TL081, operacional que presenta una impedancia de entrada bastante superior a la de circuitos de propósito general (como el LM741) y también mejor respuesta a la frecuencia, ya que nos ofrece una impedancia de entrada típica de  $10 \times 10^{12}$  Ohms y un slew-rate típico de 13 V/microseg.

Antes del circuito arriba mencionado, se va a introducir la señal que se desee grabar a través de un conector BNC (cable coaxial), para luego pasar por un selector de modo de acoplamiento; de tal manera que se tenga la posibilidad de introducir la señal con o sin la componente de directa que pueda tener. De aquí que se tenga en dicho conector la opción de seleccionar modo CA (donde la componente de directa va a ser desacoplada por el capacitor C1), y modo CD, para introducir la señal con su voltaje de directa si lo tiene (como ya se mencionó).

El diagrama que se presenta a continuación (figura 4.3), nos muestra el selector de modo de acoplamiento. Cabe mencionar que es posible introducir un tercer modo de selección al circuito anterior, desacoplando la señal al dejarla desconectada con una tercera posición del selector (modo apagado).

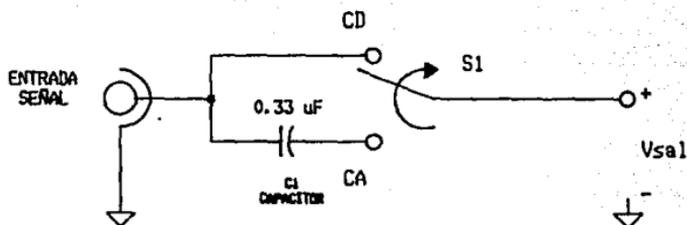


Figura 4.3 Selector de modo de acoplamiento.

Volviendo al acoplador, el circuito que se propone (en base al operacional TL081) se muestra en la figura 4.4.

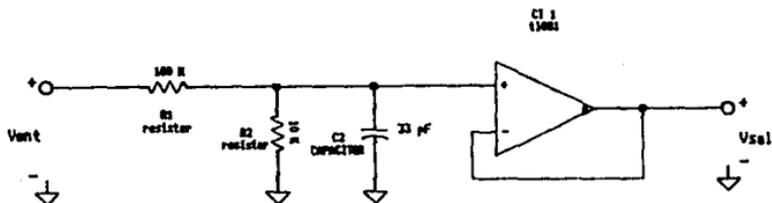


Figura 4.4 Acondicionador de la señal de entrada

Como se ve en la figura, por principio se tiene un divisor de voltaje (formado por  $R_1$ ,  $R_2$  y  $C_2$ ) que atenúa la señal introducida a un décimo de su valor (pico a pico); y además, filtra las señales de alta frecuencia, ya que la configuración representa un filtro paso-bajas (el capacitor  $C_2$  introduce un polo al circuito). Lo que se propone es lograr la atenuación de las

señales de alta frecuencia para proteger al sistema, ya que las componentes de alta frecuencia (por lo general transitorios) tiene a menudo amplitudes muy grandes (llegan al orden de los kV), y dañarían seriamente al sistema, razón por la cual se desean evitar.

A continuación se conecta el operacional seleccionado (TL081) como seguidor de voltaje, el cual conserva la amplitud de la señal (no hay amplificación de voltaje), lográndose además un buen acoplamiento de ésta. La función del seguidor de voltaje con el operacional se explica a partir de la figura 4.5.

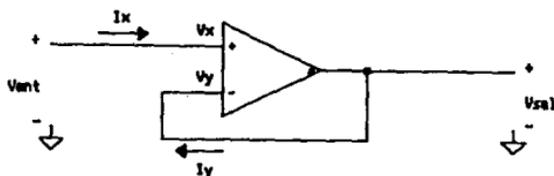


Figura 4.5 Circuito seguidor de voltaje.

De las características ideales del operacional (en la figura anterior), tenemos que:  $I_x = I_y = 0$ , por lo tanto  $V_x = V_y$ . De aquí que  $V_{ent} = V_x = V_y$ , y como  $V_y = V_{sal}$  al estar conectada directamente la entrada no inversora a la salida nos queda que:  $V_{ent} = V_{sal}$ . De donde queda demostrado que se mantiene la misma señal a la salida del seguidor.

Una vez logrado el acoplamiento de la señal al circuito de memoria, se propone la introducción de un circuito que nos permita tener un control sobre el rango de voltaje, de manera que podamos seleccionar el tamaño de la señal en la pantalla del osciloscopio. Este circuito tendrá una función similar al selector de volts/división de un osciloscopio convencional. Se propone el circuito que se presenta en la figura 4.6.

Con el presente circuito se tiene la capacidad de controlar la amplitud de la señal en pantalla, lo que nos permite ampliar o reducir en tamaño el despliegue en el osciloscopio, sea si se quiere analizar sólo una parte de la señal (ampliando dicho sector) o se quiera tener una visión general de ella (reduciéndola en pantalla). La selección se realiza mediante el interruptor de seis posiciones S2 (ver figura).

En este caso se utiliza un operacional LM741, ya que sus características se adaptan a la presente aplicación, cabe mencionar solamente que se introduce una resistencia en la terminal no inversora para reducir la contribución de la corriente de polarización en la desviación de voltaje a la salida del operacional (R10).

Como se ve en la figura, se utiliza para dicho operacional una configuración inversora, cuya amplificación se define por el siguiente cociente:  $R_f / R_i$ . Donde  $R_i = R_3 = 10 \text{ k}$  y  $R_f$  está representada por la resistencia seleccionada a través del selector S2, de la serie de resistencias de precisión (para obtener los valores más precisos) R4-R9.

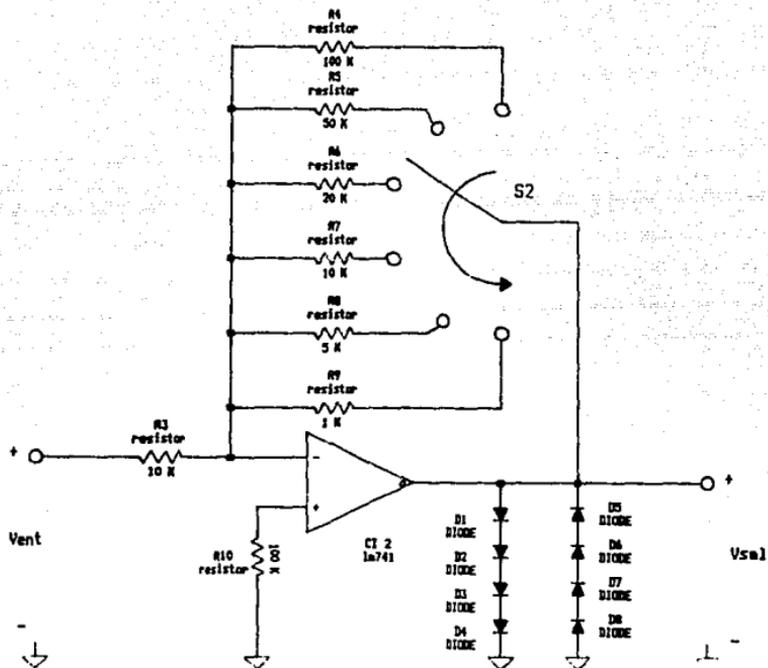


Figura 4.6 Selector de volts/div.

La tabla I muestra los factores multiplicativos que se obtienen en la selección de cada resistencia de realimentación (Rf's).

SELECCION Rf	FACTOR
R4 = 100 k	x 10
R5 = 50 k	x 5
R6 = 20 k	x 2
R7 = 10 k	x 1
RB = 5 k	x 0.5
R9 = 1 k	x 0.1

Tabla I. Factores del selector de volts/div.

Para el mismo circuito selector de voltaje, se introduce a la salida del operacional un par de series de diodos (D1 - D8), cuya función consiste en limitar la caída de voltaje de la señal, asegurando una amplitud máxima de la señal de 5 Vpp por convenir así al circuito convertidor A/D (como se verá en dicha etapa). De tal manera que si por alguna razón se tiene una señal de mayor amplitud a la salida del selector de volts/división, ésta sea recortada por los diodos y proteja así al convertidor A/D. Cada serie está formada por 4 diodos, dando una caída máxima de voltaje de 2.8 V (con caída típica del diodo 1N4007 de 0.7 V), teniéndose una serie en directa y una en inversa.

Como se mencionó antes, la señal que entra al convertidor seleccionado para el presente diseño deberá tener una máxima amplitud de 5 Vpp, cuestión que es lograda a través de la etapa anterior; sin embargo, se debe cumplir además que las señales

estén comprendidas entre 0 y 5 V, ya que son los niveles que maneja el convertidor (dado que esta es la polarización del mismo). Para lograr esto se hace necesario sumarle a la señal una componente de directa, para que se comprenda la señal entre los valores de voltaje antes mencionados, es claro que el "offset" requerido para lograr lo anterior debe ser de 2.5 V DC.

Para lograr sumar el offset a la señal existen diferentes circuitos posibles; en el presente diseño se utiliza un sumador con operacional, la suma se logra introduciendo un potenciómetro de 10 k (P1) conectado a la polarización, y cuyo cursor (ajustado al voltaje necesario de offset) se conecta a la terminal no inversora del operacional (LM741), mientras que la que la señal se introduce a la entrada inversora a través de la resistencia R11, dicha entrada es realimentada desde la salida a través de la resistencia R12 obteniéndose una configuración no inversora donde el offset de la entrada no inversora es sumado a la señal. El valor de la resistencia R11 es igual al de la resistencia R12, de manera que la ganancia de señal de esta configuración dada por el cociente  $R12 / R11$  (como se vio anteriormente) es unitaria. El diagrama del circuito propuesto se presenta en la figura 4.7, en donde para una comprensión más clara de la función de éste se ilustra una señal típica a la entrada y la que se obtendría a la salida del circuito.

Por último, de esta señal acondicionada se toma una muestra para ser utilizada por la lógica de control como señal de "disparo" (para inicio de grabación), en caso de seleccionarse el

# ESTA TESIS NO DEBE SALIR DE LA BIBLIOTECA

modo de grabación por disparo, esta característica se explicará ampliamente en la etapa de la lógica de control.

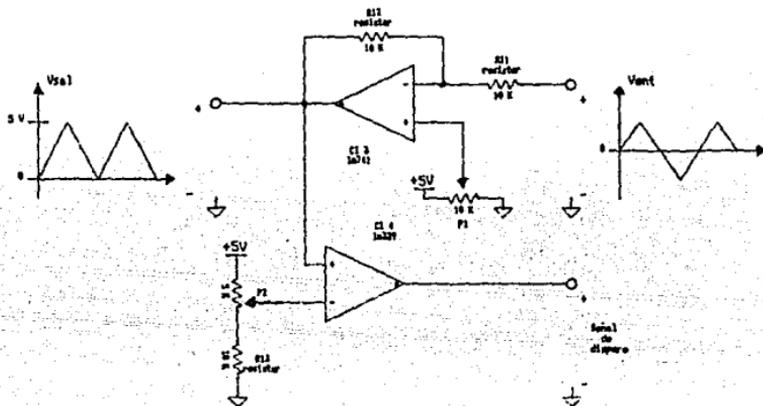


Figura 4.7 Fijador de nivel de la señal.

Para obtener la señal de disparo (como se ilustra en la figura 4.7), se ve que la señal es introducida a un comparador de voltaje cuya referencia es fijada mediante el cursor del potenciómetro P2 de 5 k. Los extremos de éste se conectan por un lado a la polarización (5 V) y por el otro va en serie con la resistencia R13 de 10 k que se conecta a la referencia (tierra).

De tal manera que el circuito de memoria se va a disparar (en el caso de seleccionar modo disparo) cuando la señal supera el voltaje fijado por dicho potenciómetro, iniciándose la grabación de la señal.

Ahora, si la señal se encuentra acondicionada para ser introducida al convertidor A/D para obtener su equivalente

digital. Pasamos ahora al diseño de esta etapa.

#### Etapa de Conversión Analógico-Digital (A/D).

Como se mencionó en la introducción, la presente etapa va a llevar a cabo la conversión de la señal ya acondicionada en su equivalente digital para ser almacenada en memoria.

Antes de pasar al diseño del convertidor, existe una consideración muy importante por hacer en cuanto a la velocidad de conversión de esta etapa; ya que en función de la rapidez del convertidor se determina la componente de máxima frecuencia que se podrá almacenar por el sistema.

Lo anterior se explica en base al teorema de muestreo de Nyquist, el cual especifica que: "la mínima frecuencia a la que se debe muestrear una señal (que se va a digitalizar), para que pueda ser reconstruida nuevamente sin distorsión es de cuando menos el doble de la frecuencia máxima que contenga dicha señal"; es decir, que si tenemos una señal con una componente de máxima frecuencia  $f_s$ , la mínima frecuencia a la que debe ser mostrada tal señal deberá ser  $f_m = 2 f_s$ .

Por tanto, se hace necesario seleccionar un convertidor A/D con las mejores características de tiempo de conversión (el tiempo más pequeño posible), para que nuestro ancho de banda se vea incrementado y podamos almacenar señales de alta frecuencia con el presente sistema.

El tipo de convertidor más rápido que existe es el convertidor paralelo ("flash-converter" o "high speed

converter"), y debido a que el ADC seleccionado en este diseño opera en base a este tipo de convertidor, se define enseguida su principio de operación.

El convertidor A/D paralelo utiliza  $(2 \exp n) - 1$  comparadores para una resolución de n bits (en el caso que se muestra en la figura 4.8, son 3 comparadores para un ADC paralelo de 4 bits).

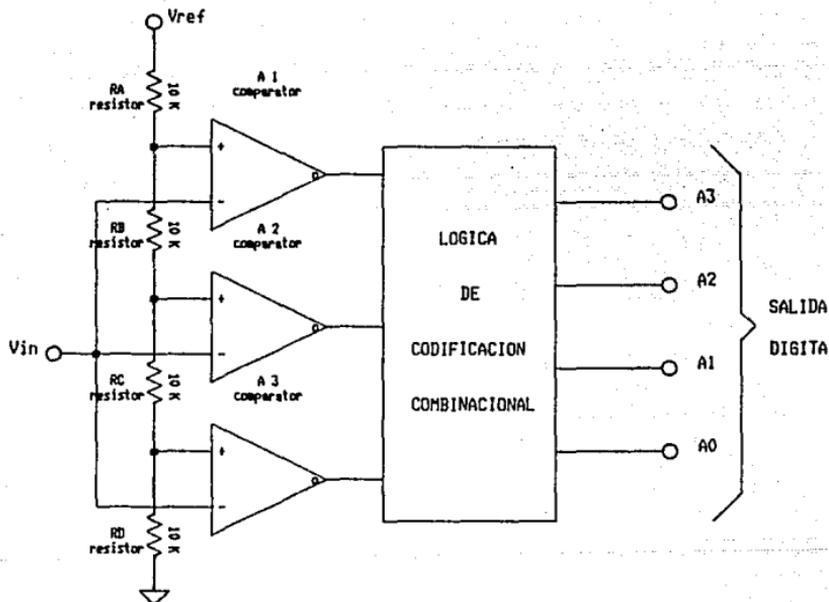


Figura 4.8 Convertidor paralelo de 4 bits.

Una referencia común de voltaje,  $V_{ref}$ , y una cadena de resistencias de precisión aplican una polarización a cada comparador, cuyo valor difiere en un bit menos significativo (un LSB) entre comparadores contiguos. Un circuito combinacional codifica los estados de los 3 comparadores (en este caso) en una palabra de 4 bits (equivalente al nivel de la señal muestreada).

Esta conversión es asíncrona en sí, pero se puede sincronizar a través de una señal de control (señal de reloj, por ejemplo); su velocidad de conversión está determinada por la suma de los tiempos de propagación de un comparador y de la lógica de codificación, de aquí que sea el convertidor más rápido.

Sin embargo, cabe mencionar que este método de conversión está limitado a ADC's de baja resolución debido a la extensa cantidad de circuitería requerida (al aumentar la resolución).

Por lo que generalmente se recomienda para un convertidor A/D relativamente rápido y de alta resolución una combinación de esta técnica y el método de aproximación sucesiva.

Una vez comprendido el funcionamiento del convertidor paralelo, vamos a iniciar el diseño de la presente etapa en base al convertidor seleccionado: el C.I. ADC0820, convertidor A/D de 8 bits, cuyo principio de operación es el de la conversión paralelo. Se ha seleccionado dicho convertidor A/D entre una serie de posibilidades, pues representaba la mejor opción. De hecho, se tuvieron una serie de problemas en la selección del convertidor, ya que en un principio se pensaba utilizar un convertidor A/D de aproximaciones sucesivas (mencionado anteriormente), y el cual representa el convertidor más rápido

del tipo serie; sin embargo, el problema fue conseguir el C.I. DM2502, registro de aproximaciones sucesivas de 8 bits indispensable para este tipo de convertidor (por el cual lleva el nombre el tipo de convertidor). De aquí, se tenía la opción de implementarlo en forma discreta, con el consiguiente aumento del volumen del convertidor, pues además de los circuitos necesarios para hacer la sustitución del registro de aproximaciones sucesivas (alrededor de 12 circuitos), se hacía necesario utilizar para dicho convertidor un DAC (convertidor digital-analógico integrado) y un comparador de alta velocidad.

Por ello se optó por utilizar el convertidor integrado ADC0820, siendo el único circuito necesario para lograr la conversión A/D (es decir, que no requiere de circuitos externos para complementar el convertidor) y teniendo las mejores características de tiempo de conversión (2.5 microseg.) de todos los C.I.'s ADC existentes en el mercado (hasta este momento).

Ahora procederemos a dar las principales características del convertidor ADC0820: el C.I. consiste básicamente en un par de "flash-converters" de 4 bits cada uno (8 bits en total) con una entrada "sample and hold" (muestreo y retención) y la lógica necesaria que lo hace compatible con los circuitos TTL. Cabe mencionar que el presente convertidor también tiene características que le permiten ser conectado directamente a cualquier microprocesador de 8 bits, aplicación que no se utiliza en el presente proyecto.

La operación del convertidor en el circuito de memoria se

explica a partir de la siguiente figura (así como la función de cada terminal para nuestra aplicación), en el modo de operación normal (configuración con resolución de 8 bits). Al final del trabajo de tesis se presentan las hojas de datos del convertidor ADC0820, en donde se ven más claros los conceptos que aquí se van a tratar.

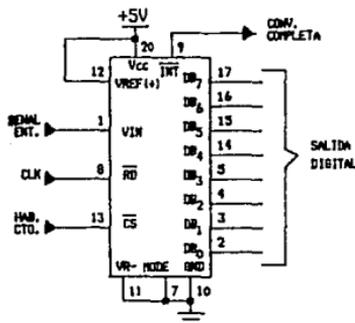


Figura 4.9 Configuración del ADC0820.

Como muestra la figura: se tienen 8 líneas de salida de datos tres-estados, bits DB0 - DB7, las cuales representan los 8 bits de la salida digital; 2 terminales para la referencia de voltaje Vref(+) y Vref(-), donde se requieren 5 V; terminal de entrada Vin, por la que se introduce la señal analógica a ser convertida a su equivalente digital (esta entrada tiene como referencia la tierra del circuito GND); terminal de modo de operación MODE, con la que se hace la selección para operación WR-RD (MODE a nivel alto) u operación RD (MODE a nivel bajo), en este caso en bajo; terminal de lectura  $\overline{RD}$ , al tener un flanco de bajada en esta

terminal se lleva a cabo la lectura de la señal; es decir, cada vez que se tiene un nivel bajo en la terminal de  $\overline{RD}$  se realiza la conversión del nivel de voltaje de la señal en dicho instante (es por esto que la presente terminal representará la señal de reloj para sincronizar la conversión de señales); una terminal de selección del circuito  $\overline{CS}$ , la cual debe estar en un nivel bajo para que la señal de  $\overline{RD}$  sea reconocida por el convertidor; terminal de interrupción  $\overline{INT}$ , se presenta un nivel bajo en esta terminal cada vez que se completa una conversión; por lo cual se utilizará como señal de control para habilitar la grabación de la memoria e incrementar los contadores que direccionan esta última (como se verá más claramente en la etapa de memoria); terminales de polarización del circuito,  $V_{cc} = 5$  volts y referencia GND.

Existen además otras terminales en el convertidor, sin embargo, como se dijo anteriormente en la presente aplicación no se hacen necesarias (su función se incluye en las hojas de datos del convertidor).

El modo de operación presentado por la figura anterior (modo de operación RD), se explica a continuación:

Con la terminal  $\overline{CS}$  en bajo (una vez seleccionado el modo de operación RD con la terminal MODE en bajo), la conversión se inicia con la señal  $\overline{RD}$  yendo a bajo (flanco de bajada), además la misma señal habilita las salidas de datos tres-estados al completarse la conversión. La señal  $\overline{INT}$  yendo a bajo indica el final de la conversión, esta señal es reestablecida a su valor (nivel alto) mediante el flanco de subida de  $\overline{RD}$ .

Es necesario aclarar que las señales  $\overline{CS}$  y el reloj del convertidor ( $\overline{RD}$ ) son controladas por la lógica como se verá en dicha etapa.

En la figura anterior se ven algunas cuestiones importantes del convertidor seleccionado: el voltaje de referencia necesario para la conversión es de 5 V al igual que la polarización, siendo una ventaja ya que por lo general los convertidores requieren de un voltaje de referencia (en algunos casos corriente de referencia) diferente de la polarización, y aquí sólo se utiliza una fuente común para ambas cosas.

Como ya se mencionó, se utiliza en este diseño un convertidor con una resolución de 8 bits, lo cual representa un total de 256 niveles discretos disponibles para cuantizar las muestras de señal obtenidas por el convertidor A/D; se tiene además un rango de voltaje de 5 V, lo que nos ofrece una resolución en voltaje dada por la ecuación  $r = 5 \text{ V} / 255 = 19.6 \text{ mV}$  (esto es, 0.196 % del voltaje de entrada ó 1960 partes por millón).

Una vez obtenida la equivalencia digital de la señal, el canal de datos del convertidor es acoplado al canal de entrada de datos de la memoria vía el C.I. 74LS374, latch formado por 8 flip-flops D. La transferencia de datos se lleva a cabo habilitando la terminal de OE en sincronía con el reloj del sistema, el cual sincroniza además la conversión y la grabación de la memoria controlada mediante la lógica.

La etapa completa del convertidor A/D se presenta en la figura siguiente (figura 4.10):

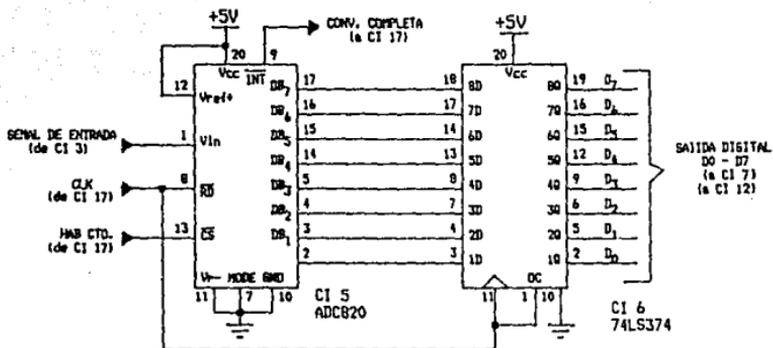


Figura 4.10 Etapa de conversión A/D completa.

#### Etapa de Memoria.

Esta etapa es la más importante del sistema, pues está formada básicamente por la memoria RAM (de lectura y escritura) en donde se va a grabar las palabras digitales que representan la señal y de donde se van a leer para ser desplegadas por la pantalla del osciloscopio; además, se requieren una serie de circuitos extras para que la etapa opere adecuadamente.

Para comenzar, se tiene que realizar la selección de la memoria que mejor se adapte a nuestras necesidades. De entre las diferentes memorias de 8 bits que se encuentran en manuales, se ha optado por utilizar la memoria RAM HM6116.

Las características principales de la memoria HM6116 se describen a partir del su diagrama, que se presenta a continuación (figura 4.11).

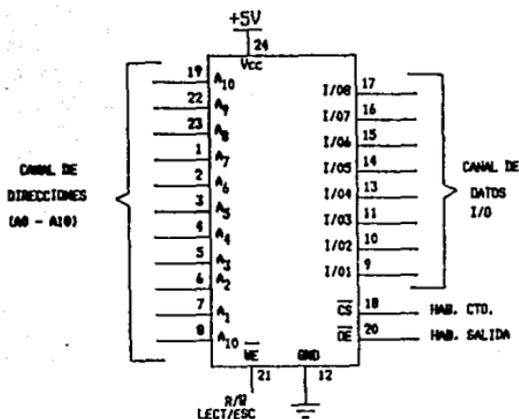


Figura 4.11 Configuración de la memoria HM6116.

La memoria RAM HM6116 estática de alta velocidad tiene una capacidad de almacenamiento de 2 k x 8 (esto es, 2,048 localidades de memoria de 8 bits cada una). La memoria cuenta con las siguientes terminales: 11 terminales de direcciones A0 - A10, las cuales se utilizan para direccionar las 2,048 localidades de la memoria disponibles; es decir,  $2 \exp 11 = 2,048$ ; 8 terminales para el canal de datos D0 - D7, se utilizan para que a través de este canal se lea o escriba la información, ya sea si se opera la memoria en su modo de operación de lectura o escritura; terminal de lectura  $\overline{WE}$ , la cual se activa en 'alto'; una vez activada esta línea, se pone en modo de lectura la memoria; de tal manera, se puede estar leyendo la información contenida en memoria y

desplegarse en el osciloscopio; función de escritura WR, activa en bajo; cuando se activa esta línea (con un cero), la memoria opera en modo "escritura"; entonces se puede llevar a cabo la grabación de la señal deseada en memoria; terminal selectora del circuito (chip select)  $\overline{CS}$ , activada en bajo; al activar esta terminal, la memoria puede operar en el modo de funcionamiento seleccionado a través de las terminales de lectura o escritura, no pudiéndose utilizar mientras esta terminal se encuentre desactivada (con un 1 lógico); por tal se puede considerar esta señal como un habilitador del circuito; polarización Vcc y GND, a través de estas terminales el circuito recibe la energía necesaria para realizar adecuadamente sus funciones, de acuerdo al modo de operación establecido por las terminales de lectura y escritura y con la habilitación de la terminal selectora del circuito.

De acuerdo a lo anterior, la memoria requiere de una serie de señales de la lógica de control, para que se lleve a cabo la operación adecuada en el modo seleccionado (como se verá más adelante). Para llevar a cabo la grabación o lectura de datos, sin embargo, requerimos además de las señales de control, los circuitos necesarios para el direccionamiento de la memoria. De tal manera que en el canal de direcciones se incremente en uno la palabra digital, para que se dirija la siguiente localidad de memoria al tiempo que se requiera (grabar o leer) el siguiente dato de la memoria.

Para esto, se conectan al canal de direcciones (11 líneas, ya

que se requieren  $2 \text{ exp } 11 = 2,048$  localidades) 3 contadores de 4 bits (en este caso los contadores 74LS161), conectados en cascada para obtener la secuencia de los 11 bits necesarios. Para interconectarlos, cada contador cuenta con una terminal "CARRY", en la cual se tiene un pulso alto cada vez que el contador termina una cuenta completa, tomándose ésta del primer contador (el menos significativo) como señal de reloj del segundo (para que se incremente su cuenta en uno cada ciclo de cuenta completa del primero), e igualmente del segundo al tercero (contador más significativo éste último).

Además, como el MSB (bit más significativo) del tercer contador (el más significativo) no se utiliza, debido a que sólo se requieren 11 líneas para direccionar la memoria, se va a tomar como una señal de "memoria completa" para la lógica de control, para dar por terminada la conversión en el modo escritura; o bien para proporcionar un pulso de sincronía para el disparo de la señal en el osciloscopio en el modo lectura.

La figura 4.12 nos muestra el diagrama completo de la etapa de memoria. Las señales de control y la operación de la memoria (lectura o escritura) se explican con detalle en la lógica de control.

En la figura, se presenta la memoria seleccionada y los contadores que la van a direccionar, así como las señales que vienen de la lógica de control. El canal de datos se interconecta a las etapas de conversión A/D y D/A: para el ADC el canal de datos está interconectado con el latch, y los datos se transfieren

cada vez que se habilita éste último (cuando se opera en modo grabación); mientras que para el DAC el canal se interconecta con la entrada digital (de datos) del DAC08, para que la reconstrucción de la señal se lleve a cabo (modo lectura).

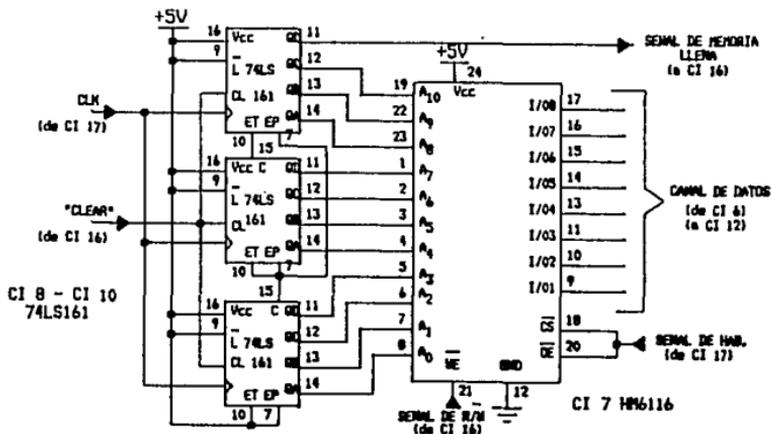


Figura 4.12 Etapa de memoria completa

#### Etapa de Conversión Digital-Analógica (D/A).

En esta etapa se va a llevar a cabo la reconstrucción de la señal digitalizada, para ser desplegada en la pantalla del osciloscopio. Una vez contenida en memoria la información digital que representa a la señal, ésta se encuentra a disposición para ser leída cuando así se desee, de tal manera que se realice la reconversión a través del convertidor D/A y se acondicione para ser conectada a uno de los canales del osciloscopio para ser

desplegada en pantalla, pudiéndose hacer entonces el análisis de ella por el usuario.

Ya se dijo antes que las entradas del convertidor D/A se encuentran conectadas directamente al canal de datos de la memoria; de tal manera, al seleccionarse el modo de lectura de ésta última, inmediatamente que se inicie la lectura se iniciará la reconversión de los valores digitales por el DAC de una manera independiente al resto del sistema.

En el presente diseño se ha optado por utilizar como convertidor D/A al C.I. DAC08 (de la misma familia que el convertidor A/D), por ser el que mejor se adapta al sistema, ya que es un circuito ampliamente utilizado por su simplicidad en el manejo. Las características de dicho convertidor D/A se presentan al final en las hojas de datos.

Este DAC requiere también (como el ADC), de una referencia para dar los valores equivalentes digitales de las muestras tomadas de la señal analógica. El DAC08 es un circuito sensible a corriente, por ello requiere de una referencia bien fija para operar adecuadamente, haciéndose necesario un circuito extra para proporcionar la referencia  $V_{ref} = 10\text{ V}$  ( lo que implica una referencia de  $2\text{ mA}$ ) a través de la resistencia  $R_{14} = 5\text{ k}$  conectada a la entrada de referencia del DAC08. La figura 4.13 muestra el circuito diseñado para obtener el  $V_{ref}$  para el DAC08. En la figura se ve que la referencia se implementa mediante un divisor de voltaje de la polarización de los operacionales (15 volts). El divisor consiste en un trimpot P3

(potenciómetro de tornillo lineal), cuyo cursor se ajusta al valor exacto de 10 volts, conectándose además el capacitor C3 en paralelo (del cursor a tierra) para absorber posibles variaciones de la fuente. Enseguida, se conecta dicho punto a la entrada no inversora de un amplificador operacional (LM741), realimentándose la salida hacia la entrada inversora (configuración seguidora), con lo que se logra una mayor estabilidad en el voltaje de referencia.

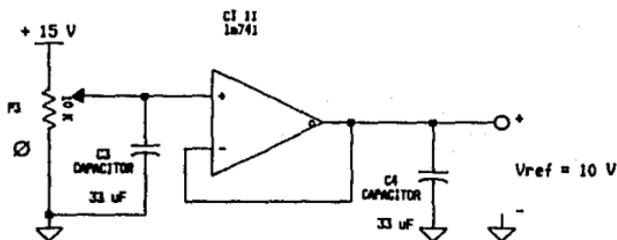


Figura 4.13 Circuito para el  $V_{ref}$  del DAC08.

Volviendo al DAC08, se requiere además un circuito de transconductancia a la salida del DAC (para convertir la señal de corriente en voltaje) ya que la salida del convertidor está dada por un equivalente de corriente, que se obtiene con la configuración del operacional LM741 con su resistencia de realimentación conectados a la salida del DAC, lográndose así a la salida del operacional su equivalente de voltaje.

La figura 4.14 muestra la etapa de conversión D/A completa, formada por las partes antes mencionadas.

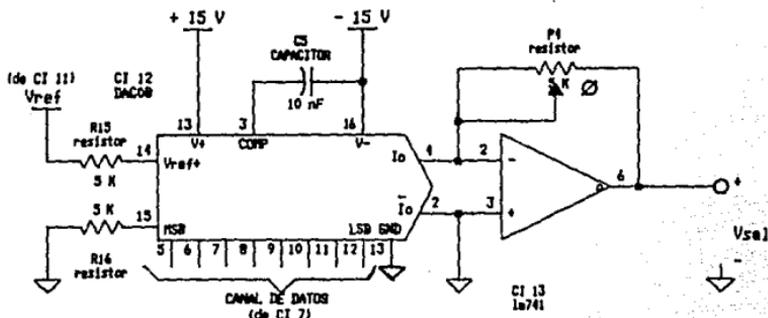


Figura 4.14 Etapa de conversión D/A.

#### Etapa de salida.

La función de la etapa de salida, es la de acondicionar de nuevo la señal, para ser introducida al osciloscopio (a través de alguno de sus canales). De aquí que, a la señal obtenida de la reconstrucción hecha por el DAC, se le proporcione las condiciones de voltaje e impedancia requeridas por el osciloscopio.

De acuerdo a las condiciones de salida de la señal (del DAC), se va a introducir un amplificador operacional (al igual que en la etapa de entrada), de modo que se obtengan las condiciones de impedancia y voltaje para la interconexión del circuito con el osciloscopio. La configuración utilizada en este caso, es la de un circuito no inversor con ganancia dada por la ecuación siguiente:  $A_v = R_f/R + 1$ , donde con los valores dados  $R_f = 10\text{ K y}$

$R = 10\text{ K}$  tenemos  $A_v = 2$ . Obtenemos así un buen acoplamiento con el osciloscopio (con impedancia de entrada de Megaohms), y cuya amplitud máxima de la señal de 10 Vpp (para escala completa, como se especificó en la etapa de conversión D/A), no representando problema para la entrada del osciloscopio (con límites de voltaje máximo típicos de 300 V de pico).

Se introduce enseguida del circuito no inversor una resistencia atenuadora para realizar el acoplamiento. Se va a introducir la señal a través de un conector BNC (luego de la resistencia), para la conexión a cualquiera de los canales del osciloscopio, obteniéndose así la "salida normal" del sistema; además, se incluye en la etapa de salida un filtro paso-bajas (basado en un operacional LM741), para que suavice la señal de salida del DAC. A la salida de este filtro, la llamaremos "salida lineal", acoplándola al osciloscopio también mediante un conector BNC. La figura 4.15 representa la etapa completa de salida (con las dos salidas posibles del circuito).

#### Lógica de control.

La función de la lógica ya se ha mencionado a lo largo del presente trabajo de tesis, va a llevar a cabo el "control" (en base al reloj digital) del sistema, para una operación de manera correcta y sincronizada.

Las señales de control requeridas por el circuito son diversas y actúan en diferentes etapas; por ello, se determinan dentro de la explicación de la operación en conjunto del sistema.

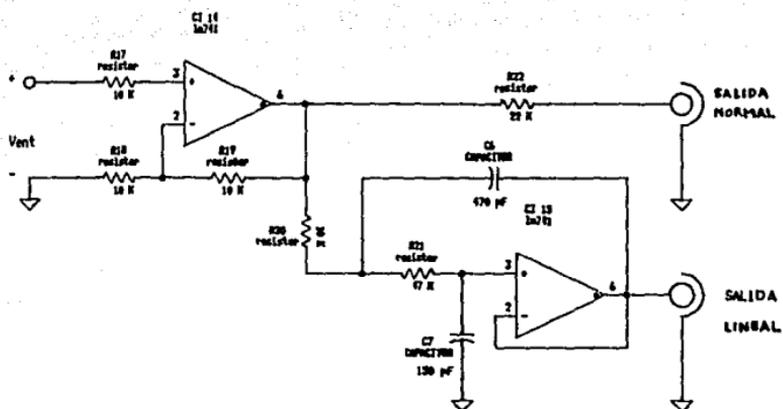


Figura 4.15 Etapa de salida.

Cabe mencionar que el diseño de la lógica se realizó en base a las señales de control requeridas por cada etapa.

De acuerdo a lo anterior se procede a determinar los modos de operación del circuito y la manera en que son controlados a través de las señales proporcionadas por esta etapa.

a) Operación a partir del selector Disparo/No disparo.

El circuito de memoria puede iniciar la grabación de una señal a partir de un cierto nivel preseleccionado o a partir del momento en que se aplique ésta. Para llevar a cabo la selección de uno de estos dos modos de inicio de grabación, se cuenta con el selector S3 de dos posiciones, en base al cual se tienen las dos opciones que se explican a continuación:

1 - Modo disparo. En este modo de inicio de grabación, se puede preseleccionar un nivel de voltaje (dentro de un cierto rango), para que la grabación de la señal se inicie en el momento en que ésta alcance dicho nivel preseleccionado, como se explicó en la etapa de entrada (al final). La siguiente figura muestra la operación con este modo de disparo (figura 4.16).

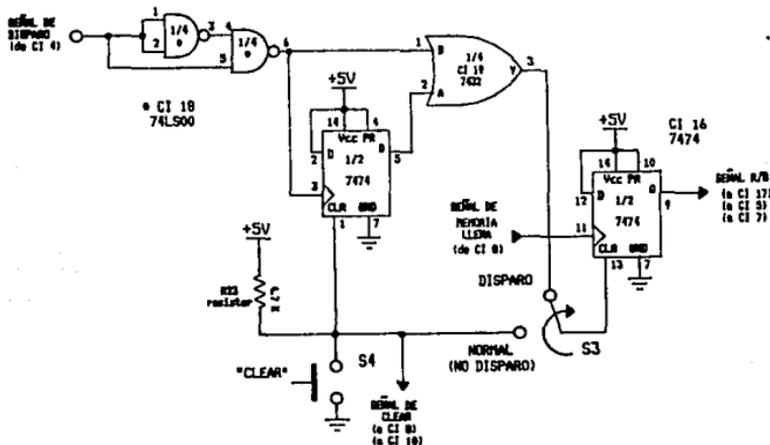


Figura 4.16 Grabación en modo disparo.

De la figura, una vez seleccionado el nivel de disparo vía el potenciómetro P2, se va a iniciar la grabación de la señal en el momento en que alcance su amplitud dicho nivel. Entonces, el comparador CI 4 conmuta, por lo que se obtiene un pulso alto en su salida, cuya duración es reducida mediante el estrechador formado por 2 compuertas NAND (1/2 del CI 18), una conectada como inversor; el pulso estrachado se introduce como pulso de reloj al

FF1 tipo D (1/2 del CI 16), dicho pulso es retardado por la otra mitad del CI 18 (otras 2 compuertas NAND conectadas también como inversores), de tal manera que se transfiera un "uno" a su salida Q, que conectado a través de la compuerta OR (1/4 del CI 19), envía un pulso a la terminal de CLEAR del FF2 tipo D (la otra mitad del CI 16) y se realiza la "puesta a cero" del mismo, con lo cual se tiene un nivel bajo en su salida Q, la cual representa la señal de  $RD/\overline{WR}$ , seleccionándose el modo escritura e iniciando así la grabación de los datos en memoria a partir de dicho valor.

2 - Modo normal (No disparo). En el modo normal de inicio de grabación, ésta se realiza a partir del momento en que se aplica la señal a la entrada del circuito de memoria, ya que se desconecta el sistema del circuito de disparo al conmutarse el selector S3. De esta manera, la señal de CLEAR del FF2 se desactiva, pues se conecta directamente a la polarización (vía la resistencia de "pull-up" R14 de 10 K) al conmutar el selector S3.

La figura 4.17 muestra la operación en este modo de inicio de grabación.

b) Operación del sistema.

El proceso que realiza el circuito de memoria (tanto la grabación como lectura) es iniciado a partir del selector S4 "pushbutton" que representa la señal de "CLEAR" del sistema (borrado o restablecimiento), es decir, que al pulsar dicho selector, se reinicializa el circuito al borrar los contadores que direccionan la memoria, fijando ésta en la localidad 00 0000 0000.

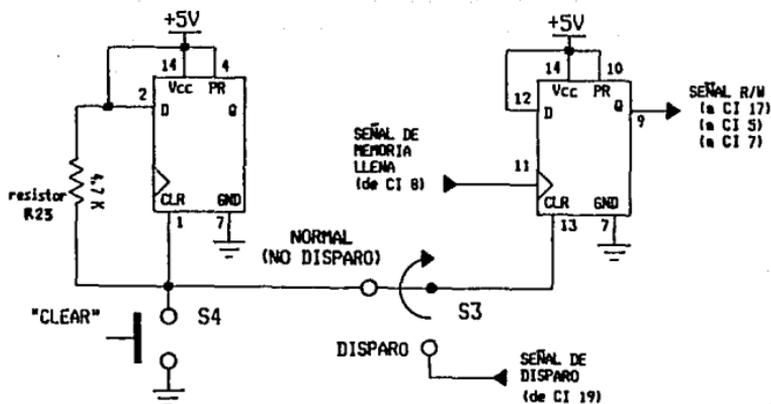


Figura 4.17 Grabación en modo normal (no disparo).

El pulso de clear también manda la puesta a cero del FF 1, con lo que se tiene la selección del modo escritura de la memoria (ya que la señal de  $R/\bar{W}$  está representada por la salida Q del FF 1), pues esta salida se encuentra directamente conectada a la terminal de  $\bar{WE}$  de la memoria.

La conversión de la señal presente a la entrada del ADC (ya acondicionada) se inicia, ya que la señal de  $R/\bar{W}$  (en bajo) habilita la terminal  $\bar{CS}$  y activa el buffer 1 que transfiere los pulsos de reloj a la terminal  $\bar{RD}$  del convertidor; proporciona la señal de reloj y habilita la terminal de control de salida OC del latch que transfiere los datos a memoria (del canal de salida digital del ADC al canal de datos I/O de la memoria); y además

R/ $\overline{W}$  habilita el paso del pulso de  $\overline{INT}$  del ADC como reloj de los contadores direccionadores (para dar el incremento de dirección de las localidades de memoria) vía el buffer 3 y como habilitador de la terminal de CS de la memoria a través del buffer 2, pues se tiene un pulso bajo en  $\overline{INT}$  cada vez que se completa una conversión. Cabe mencionar que dicho pulso mantiene la señal de reloj de los contadores en bajo, no incrementándose el direccionamiento hasta que se inicie la siguiente conversión (cuando la señal  $\overline{INT}$  vuelve a su estado estable alto).

La secuencia anterior se va a repetir hasta que la memoria se llene. Durante este periodo de grabación, se hace necesario aclarar, que el despliegue de la señal reconstruida se puede llevar a cabo de manera simultánea, ya que el canal de datos I/O de la memoria se encuentra conectado directamente a las entradas digitales del DAC, reconvirtiéndose el nivel de voltaje de la señal al mismo tiempo que se transfiere el dato (palabra digital) a memoria por el latch.

Una vez direccionada la última localidad de memoria (y por ende grabado el último dato), al siguiente pulso de reloj el MSB del contador más significativo toma el nivel alto (uno lógico), bit que es utilizado como señal de reloj del FF 1 y estando la entrada D del mismo a Vcc (nivel alto), se transfiere un uno a la salida Q (señal R/ $\overline{W}$ ) con lo que se selecciona ahora el modo lectura de la memoria (terminal  $\overline{WE}$  en alto); además, va a activar la transferencia del reloj a los contadores a través del buffer 4.

Así pues, en este modo los datos salen de memoria por el canal de datos I/O y son reconvertidos por el DAC, y como el reloj entra directo a los contadores, éste sincroniza el direccionamiento y la reconstrucción de los datos, pudiéndose desplegar la señal en el momento deseado, ya que la lectura de memoria se mantiene en un proceso continuo (repitiéndose una y otra vez) mientras no se active nuevamente un pulso de clear (vía el selector S4), con lo que se volvería al modo de operación de grabación de señal, repitiéndose el proceso completo (antes mencionado), (ver figura 4.20).

#### Base de tiempos.

Como se vio en la etapa anterior, la lógica proporciona las señales de control para que se realicen las funciones del sistema; sin embargo, para que éste lleve a cabo su operación con una secuencia correcta, se hace necesario sincronizar el flujo de señales a través de un reloj digital.

También se pueden obtener del mismo, una serie de divisores de frecuencia que nos permitan tener un control de la velocidad de despliegue en la pantalla del osciloscopio. De aquí, se van a diseñar las partes necesarias para formar los circuitos antes mencionados.

#### a) Reloj digital.

Por ello se va a introducir un circuito de reloj, el cual proporcionará los pulsos para establecer la conversión de las muestras de la señal a grabar en la entrada del ADC, la

transferencia de cada palabra digital (equivalente a cada muestra) de la salida del ADC a la memoria (a través del latch), y el incremento de los contadores que direccionan las localidades de la memoria; todo esto para la función de grabación de memoria.

En el caso de la función de lectura y despliegue de datos, se sincroniza nuevamente el direccionamiento de la memoria para leer los datos y llevar a cabo la reconversión por el DAC para introducir la señal reconstruida en el osciloscopio.

En la introducción se dijo que la señal de reloj se construye a partir de un oscilador básico, ya sea un cristal de cuarzo o un multivibrador estable (generador de señal cuadrada). Para este último, existe un circuito básico ampliamente usado para construir un oscilador de señal cuadrada con unos cuantos componentes externos: el temporizador LM555, más conocido por el nombre de "timer"; es un C.I. lineal que con unos cuantos componentes externos nos puede proporcionar un tren de pulsos con temporizaciones desde microsegundos hasta horas (en base a los valores de los componentes externos, como se verá más adelante).

Dicho circuito es muy simple en su diseño y representa el oscilador más económico que se pueda utilizar, adaptándose, sin embargo, perfectamente al presente diseño.

El diseño y la configuración del timer LM555 operando en su modo estable, se presentan a continuación (figura 4.18).

Existen un par de resistencias (formadas por el potenciómetro P5 y por la resistencia R25) y un capacitor (C8) conectados externamente al temporizador LM555, en base a éstos se tiene la

frecuencia de oscilación que se va a obtener a la salida (terminal 3 del timer).

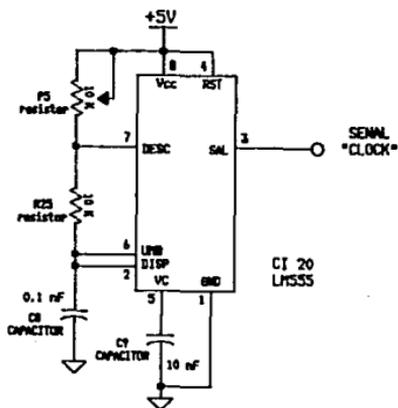


Figura 4.18 Generador del reloj digital.

La ecuación para obtener el valor de dicha frecuencia es la que sigue:

$$f = \frac{1.44}{(RA + 2RB) C}$$

De la ecuación, en base a la frecuencia deseada, se le asignan valores a las resistencias y al capacitor (dentro de los rangos permitidos). La curva de los rangos para resistencias y

capacitores, la operación más detallada en modo estable del timer LM555, así como sus gráficas se presentan en las hojas de datos del fabricante al final del presente trabajo.

Para el circuito de la figura anterior y en base a la ecuación dada para el oscilador estable (basado en el timer LM555), podemos obtener la frecuencia de operación de nuestro circuito de reloj:

$$f_o = \frac{1.44}{(8.8 \text{ K} + 20 \text{ K}) (0.1 \text{ nF})} = 500 \text{ kHz}$$

El valor de la resistencia RA es ajustado por el potenciómetro P5, la resistencia RB la representa la resistencia R25 de 10 K y C es el capacitor C8 de 0.1 nF (ver figura anterior).

b) Selector de tiempo/div.

En base al reloj anterior, se van a formar los divisores de frecuencia, con los cuales se puede variar la frecuencia de grabación de la señal, así como la frecuencia de despliegue en la pantalla del osciloscopio. En lo que respecta al despliegue, lo que implica el variar su frecuencia, es que los puntos representativos de la señal (reconstruidos por el DAC), se van a espaciar más o menos en la pantalla, de acuerdo al divisor seleccionado, cuyo diseño se muestra enseguida.

Se van a formar una serie de 16 divisores de frecuencia a partir de la señal de reloj, se construyen con un multiplexor de 16 entradas a 1 entrada CI 21 74LS150 y 4 contadores binarios de



De la figura anterior, se observa que la selección de frecuencia se realiza mediante el selector S5 ("pushbutton"), al pulsar el selector se proporciona un pulso de disparo al circuito monoestable formado a partir del CI 26 (timer LM555): Al recibir el pulso de disparo el temporizador monoestable entrega un pulso alto (de 5 volts) a la salida, cuya duración está determinada por la siguiente ecuación:

$$T = 1.1 RC$$

De lo anterior, dados los valores de R y C, se obtiene el tiempo de duración del pulso alto de salida del monoestable; una vez terminado éste, la salida se estabiliza en nivel bajo, hasta que se dispare el circuito nuevamente (vía el selector S5).

La operación detallada de la operación en modo monoestable del timer LM555, así como sus principales características se presentan en las hojas de datos al final del presente trabajo (como ya se mencionó con anterioridad).

Debido a que el pulso generado por el circuito monoestable va a servir como señal de reloj del contador CI 27 (74LS161), para incrementar la palabra digital que selecciona la entrada de frecuencia deseada, su duración no representa ninguna limitación.

En nuestro caso, se determinó una duración de 1 seg, aplicando la ecuación tenemos:

$$T = 1.1 (1 M\Omega) (1 \text{ microF}) = 1 \text{ seg}$$

El valor de R está determinado por la resistencia R26 de 1 M $\Omega$  y el valor de C por el capacitor C10 de 1 microF.

Las 4 salidas del contador CI 27 están directamente

conectadas a las líneas de selección del multiplexor de 16 a 1 (también 4, ya que se tiene  $2 \exp 4 = 16$  combinaciones para seleccionar las 16 entradas), con lo cual al incrementar el reloj del contador se selecciona el siguiente divisor de frecuencia de entrada del mux (divisor entre 2 del anterior para cada incremento, como ya se dijo antes). La salida del multiplexor, con el valor seleccionado de frecuencia, representa el reloj del sistema en ese momento (sea para despliegue o grabación de señal).

La tabla de la siguiente página nos muestra los diferentes valores de frecuencia con los que cuenta el circuito selector de tiempo/div, con los valores en forma descendente.

SELECCION	MUX	FRECUENCIA (Hz)
E0		500 k
E1		250 k
E2		125 k
E3		62.5 k
E4		31.25 k
E5		15.625 k
E6		7.8125 k
E7		3.9 k
E8		1.95 k
E9		975
E10		487.5
E11		243.75
E12		121.875
E13		61
E14		30.5
E15		15.25

Tabla II. Frecuencias del selector de tiempo/división.

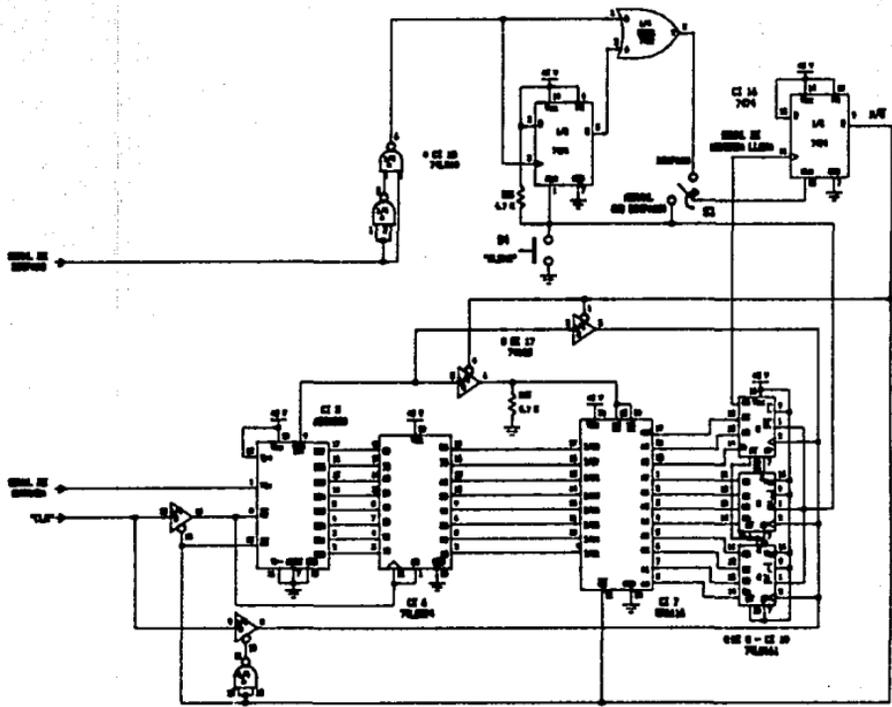


Figure 4.20 Operación en base a la lógica de control.



## A P E N D I C E S

## Apéndice A.

En este apéndice se incluyen algunas de las consideraciones más importantes en lo que respecta a los convertidores, tanto D/A como A/D, de manera que se haga más comprensibles las especificaciones que maneja el fabricante y de acuerdo a las cuales vamos a seleccionar nuestro circuito convertidor en base a nuestros requerimientos.

### a) Especificaciones para los convertidores D/A.

Se consideran ahora una serie de parámetros que sirven para describir la calidad en el funcionamiento de los convertidores D/A. Estos parámetros son generalmente especificados por los fabricantes.

- Resolución. Este término es definido en base al mínimo incremento de voltaje que puede ser discernido por el circuito y depende primordialmente en el número de bits de entrada del convertidor. Por ejemplo, en nuestro caso tenemos una resolución de 8 bits; esto corresponde a un total de  $2^8 = 256$  niveles de voltaje, por lo que el LSB tiene un peso de  $1/256$ . Esto implica que el incremento más pequeño en  $V_{sal}$  es de  $1/256$  del valor del voltaje de referencia ( $V_{ref}$ ).

- Exactitud. La exactitud del convertidor depende de la diferencia entre el voltaje analógico de salida real y el valor de salida que debería ser en el caso ideal (valor teórico). Esto está en función de la exactitud de las resistencias usadas en la escalera y en la precisión de la referencia de voltaje.

Prácticamente un convertidor deberá tener una exactitud mejor

que + o - 1/2 LSB.

- Linealidad. Es una especificación de la máxima desviación de la salida de una línea recta que se extiende a lo largo del rango completo de la forma de onda. Se expresa como un porcentaje del voltaje de escala completa o como una fracción de equivalente de voltaje del LSB, no debiendo ser menor de 1/2 LSB.

- Tiempo de asentamiento. Este es el tiempo que pasa entre la aplicación de un pulso de entrada ideal y el tiempo al cual el voltaje de salida se estabiliza o aproxima a su valor final dentro de un límite especificado de exactitud. Típicamente, esta especificación describe que tan pronto la salida puede ser establecida con una exactitud dentro de 1/2 LSB después del pulso de entrada.

- Sensibilidad a la temperatura. Para una entrada digital dada, la salida analógica varía con la temperatura debido a que las fuentes de voltaje de referencia y las resistencias son sensibles a la temperatura. La sensibilidad a la temperatura del voltaje de offset y la corriente de bias del amp-op también afectan al voltaje de salida.

b) Especificaciones de los convertidores A/D.

Las especificaciones de un convertidor A/D normalmente proporcionadas por los fabricantes incluyen las siguientes:

- Señal de entrada. Este es el máximo rango de voltaje de entrada analógico permisible del convertidor y puede ser unipolar o bipolar.

- Tiempo de conversión. Este depende del tipo de convertidor.

Convertidores paralelo ultrarápidos tienen tiempo de conversión en el rango de 10 a 60 nseg (en nuestro caso, el ADC0820 tenemos tiempo de conversión máximo de 1.5 microseg, debido a que se integra el convertidor completo en un solo chip); convertidores de aproximaciones sucesivas varían de 1 a 100 microseg.

- Formato de salida. Se tiene una variedad de formatos disponibles, incluyendo binario unipolar, binario offset, complemento a 1 y 2, y otros códigos estándar. Los circuitos de salida seguidos son diseñados con compatibilidad TTL, ECL o CMOS.

- Exactitud. La exactitud incluye errores tanto de la parte digital como de la parte analógica del sistema. El error digital se debe a la cuantización, y el error de cuantización resultante está en función de  $1/2$  LSB. La principal fuente de error analógico es el comparador. Otras fuentes son la fuente de voltaje de referencia, la escalera de resistencias, etc. La exactitud requerida y el número de bits debe ser compatible.

## Apéndice B.

-- Cálculo de la frecuencia de barrido ( horizontal y vertical).

Haciendo analogía con un televisor, cuya frecuencia de barrido vertical es de 60 Hz y la de horizontal es de 15750 Hz. La frecuencia de barrido horizontal es igual a la frecuencia de barrido vertical multiplicada por el número de líneas. Con la frecuencia de 60 Hz se resuelve el problema del parpadeo que es muy molesto para la vista. Ahora haciendo la frecuencia de nuestro analizador igual a 60 Hz tendremos:

$$F.H. = F.V. \times \# \text{líneas}$$

El número de líneas esta dado por el número de puntos verticales de cada matriz multiplicado por el número de caracteres que se van a mostrar verticalmente. Sabiendo que el número de puntos es ocho y el número de caracteres es nueve, tendremos que el número de líneas es 72. Ahora:

$$F.H. = F.V. \times 72 \quad \text{lo cual nos da una frecuencia de :}$$

$$F.H. = 4.32 \text{ KHz.}$$

Los barridos (horizontal y vertical) son generados por convertidores digital-analógico. La frecuencia del reloj para los convertidores esta en función del número de puntos que se van a mostrar durante el barrido horizontal.

Como el barrido vertical va a depender del barrido horizontal, es suficiente con calcular la frecuencia del reloj de los contadores que controlan al convertidor de la sección horizontal.

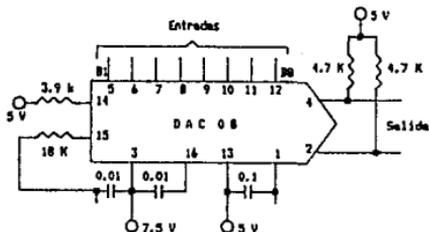
Horizontalmente se van a mostrar 144 puntos, entonces el

contador debe recibir 144 pulsos. Así que la frecuencia del reloj sera:

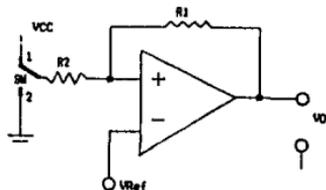
$$F.R. = F.H. \times 144 \quad \text{entonces:}$$

$$F.R. = 622.08 \text{ KHZ} \quad \text{como frecuencia mínima.}$$

La siguiente figura nos muestra como se conectarán los convertidores digital-analógico para obtener las frecuencias antes mencionadas.



-- Para incrementar un contador en forma consecutiva, sin saltar ninguna cuenta, al reloj del contador le enviamos pulsos manualmente por medio de un interruptor mecánico y un comparador de histéresis para evitar el ruido. El comparador de histéresis tiene la siguiente configuración:



Supongamos que sw esta en la posición 1, a la salida habrá un nivel bajo debido a que el comparador es no inversor. Cuando sw

cambia a la posición 2 se efectúa un cambio de nivel. El voltaje  $V_x$  esta dado por:

$$V_x = [R_2/(R_2 + R_3)]V_o + [R_1/(R_1 + R_2)]V_{cc} \quad \text{si } V_o = 0 \text{ y } R_1 = 2R_2$$

tenemos:

$$V_x = 2/3 V_{cc}.$$

Como  $V_x$  es menor que  $V_{ref}$  habrá ahora un nivel alto a la salida del comparador.

Moviendo sw a la posición 1 tenemos:

$$V_x = [R_2/(R_2 + R_1)]V_o \quad V_o = V_{cc}, \quad V_i = 0 \text{ y } R_1 = 2R_2$$

Tenemos:

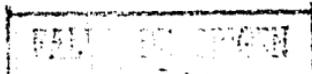
$$V_x = 1/3 V_{cc}.$$

Como  $V_x$  es menor que  $V_{ref}$  el comparador cambia teniendo ahora un nivel bajo en  $V_o$ . Entonces pasará un solo pulso, eliminando el ruido ocasionado por los contactos metálicos del sw.

El bloque llamado control de salida de datos (memoria  
eprom) tiene las siguientes grabaciones.

Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato
400	08	418	20	430	50	448	80
401	08	419	21	431	51	449	81
402	08	41A	22	432	52	44A	82
403	08	41B	23	433	53	44B	83
404	08	41C	24	434	54	44C	84
405	08	41D	25	435	55	44D	85
406	08	41E	26	436	56	44E	86
407	08	41F	27	437	57	44F	87
408	00	420	30	438	60	450	90
409	01	421	31	439	61	451	91
40A	02	422	32	43A	62	452	92
40B	03	423	33	43B	63	453	93
40C	04	424	34	43C	64	454	94
40D	05	425	35	43D	65	455	95
40E	06	426	36	43E	66	456	96
40F	07	427	37	43F	67	457	97
410	10	428	40	440	70	458	A0
411	11	429	41	441	71	459	A1
412	12	42A	42	442	72	45A	A2
413	13	42B	43	443	73	45B	A3
414	14	42C	44	444	74	45C	A4
415	15	42D	45	445	75	45D	A5
416	16	42E	46	446	76	45E	A6
417	17	42F	47	447	77	45F	A7

Dir.	Dato	Dir.	Dato
460	B0	478	E0
461	B1	479	E1
462	B2	47A	E2
463	B3	47B	E3
464	B4	47C	E4
465	B5	47D	E5
466	B6	47E	E6
467	B7	47F	E7
468	C0	480	F0
469	C1	481	F1
46A	C2	482	F2
46B	C3	483	F3
46C	C4	484	F4
46D	C5	485	F5
46E	C6	486	F6
46F	C7	487	F7
470	D0	488	08
471	D1	489	08
472	D2	48A	08
473	D3	48B	08
474	D4	48C	08
475	D5	48D	08
476	D6	48E	08
477	D7	48F	08



Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato
500	08	518	24	530	54	548	08
501	08	519	25	531	55	549	08
502	08	51A	26	532	56	54A	08
503	08	51B	27	533	57	54B	08
504	00	51C	30	534	60	54C	80
505	01	51D	31	535	61	54D	81
506	02	51E	32	536	62	54E	82
507	03	51F	33	537	63	54F	83

508	04	520	34	538	64	550	84
509	05	521	35	539	65	551	85
50A	06	522	36	53A	66	552	86
50B	07	523	37	53B	67	553	87
50C	10	524	40	53C	70	554	90
50D	11	525	41	53D	71	555	91
50E	12	526	42	53E	72	556	92
50F	13	527	43	53F	73	557	93

510	14	528	44	540	74	558	94
511	15	529	45	541	75	559	95
512	16	52A	46	542	76	55A	96
513	17	52B	47	543	77	55B	97
514	20	52C	50	544	08	55C	A0
515	21	52D	51	545	08	55D	A1
516	22	52E	52	546	08	55E	A2
517	23	52F	53	547	08	55F	A3

Dir.	Dato	Dir.	Dato
560	A4	578	D4
561	A5	579	D5
562	A6	57A	D6
563	A7	57B	D7
564	B0	57C	E0
565	B1	57D	E1
566	B2	57E	E2
567	B3	57F	E3

568	B4	580	E4
569	B5	581	E5
56A	B6	582	E6
56B	B7	583	E7
56C	C0	584	F0
56D	C1	585	F1
56E	C2	586	F2
56F	C3	587	F3

570	C4	588	F4
571	C5	589	F5
572	C6	58A	F6
573	C7	58B	F7
574	D0	58C	08
575	D1	58D	08
576	D2	58E	08
577	D3	58F	08

Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato
600	08	618	24	630	51	648	08
601	08	619	25	631	52	649	08
602	08	61A	26	632	53	64A	08
603	08	61B	27	633	54	64B	01
604	00	61C	30	634	55	64C	02
605	01	61D	31	635	56	64D	03
606	02	61E	32	636	57	64E	04
607	03	61F	33	637	60	64F	05

608	04	620	34	638	61	650	06
609	05	621	35	639	62	651	07
60A	06	622	36	63A	63	652	00
60B	07	623	37	63B	64	653	01
60C	10	624	08	63C	65	654	02
60D	11	625	08	63D	66	655	03
60E	12	626	08	63E	67	656	04
60F	13	627	40	63F	70	657	05

610	14	628	41	640	71	658	06
611	15	629	42	641	72	659	07
612	16	62A	43	642	73	65A	00
613	17	62B	44	643	74	65B	01
614	20	62C	45	644	75	65C	02
615	21	62D	46	645	76	65D	03
616	22	62E	47	646	77	65E	04
617	23	62F	50	647	08	65F	05

Dir.	Dato	Dir.	Dato
660	A6	678	D3
661	A7	679	D4
662	B0	67A	D5
663	B1	67B	D6
664	B2	67C	D7
665	B3	67D	E0
666	B4	67E	E1
667	B5	67F	E2

668	B6	680	E3
669	B7	681	E4
66A	08	682	E5
66B	08	683	E6
66C	08	684	E7
66D	C0	685	F0
66E	C1	686	F1
66F	C2	687	F2

670	C3	688	F3
671	C4	689	F4
672	C5	68A	F5
673	C6	68B	F6
674	C7	68C	F7
675	D0	68D	00
676	D1	68E	00
677	D2	68F	00

Dir.	Date	Dir.	Date	Dir.	Date	Dir.	Date
700	08	718	23	730	51	748	77
701	08	719	24	731	52	749	80
702	08	71A	25	732	53	74A	81
703	00	71B	26	733	54	74B	82
704	01	71C	27	734	55	74C	83
705	02	71D	30	735	56	74D	84
706	03	71E	31	736	57	74E	85
707	04	71F	32	737	60	74F	86
708	05	720	33	738	61	750	87
709	06	721	34	739	62	751	90
70A	07	722	35	73A	63	752	91
70B	08	723	36	73B	64	753	92
70C	08	724	37	73C	65	754	93
70D	10	725	08	73D	66	755	94
70E	11	726	08	73E	67	756	95
70F	12	727	40	73F	08	757	96
710	13	728	41	740	08	758	97
711	14	729	42	741	70	759	08
712	15	72A	43	742	71	75A	08
713	16	72B	44	743	72	75B	A0
714	17	72C	45	744	73	75C	A1
715	20	72D	46	745	74	75D	A2
716	21	72E	47	746	75	75E	A3
717	22	72F	50	747	76	75F	A4

Dir.	Date	Dir.	Date
760	A5	778	D3
761	A6	779	D4
762	A7	77A	D5
763	B0	77B	D6
764	B1	77C	D7
765	B2	77D	E0
766	B3	77E	E1
767	B4	77F	E2
768	B5	780	E3
769	B6	781	E4
76A	B7	782	E5
76B	C0	783	E6
76C	C1	784	E7
76D	C2	785	F0
76E	C3	786	F1
76F	C4	787	F2
770	C5	788	F3
771	C6	789	F4
772	C7	78A	F5
773	08	78B	F6
774	08	78C	F7
775	D0	78D	08
776	D1	78E	08
777	D2	78F	08

Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato
000	08	010	08	030	08	048	20
001	08	019	08	031	08	049	21
002	08	01A	08	032	08	04A	22
003	08	01B	08	033	08	04B	23
004	08	01C	08	034	08	04C	24
005	08	01D	08	035	08	04D	25
006	08	01E	08	036	08	04E	26
007	08	01F	08	037	08	04F	27

008	08	020	08	038	00	050	30
009	08	021	08	039	01	051	31
00A	08	022	08	03A	02	052	32
00B	08	023	08	03B	03	053	33
00C	08	024	08	03C	04	054	34
00D	08	025	08	03D	05	055	35
00E	08	026	08	03E	06	056	36
00F	08	027	08	03F	07	057	37

010	08	028	08	040	10	058	08
011	08	029	08	041	11	059	08
012	08	02A	08	042	12	05A	08
013	08	02B	08	043	13	05B	08
014	08	02C	08	044	14	05C	08
015	08	02D	08	045	15	05D	08
016	08	02E	08	046	16	05E	08
017	08	02F	08	047	17	05F	08

Dir.	Dato	Dir.	Dato
060	08	078	08
061	08	079	08
062	08	07A	08
063	08	07B	08
064	08	07C	08
065	08	07D	08
066	08	07E	08
067	08	07F	08

068	08	080	08
069	08	081	08
06A	08	082	08
06B	08	083	08
06C	08	084	08
06D	08	085	08
06E	08	086	08
06F	08	087	08

070	08	088	08
071	08	089	08
072	08	08A	08
073	08	08B	08
074	08	08C	08
075	08	08D	08
076	08	08E	08
077	08	08F	08

El indicador de direcciones tiene las siguientes grabaciones.

Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato
000	30	018	30	030	30	048	30
001	30	019	30	031	30	049	31
002	30	01A	36	032	43	04A	32
003	30	01B	30	033	30	04B	30
004	30	01C	30	034	30	04C	30
005	30	01D	30	035	30	04D	31
006	31	01E	37	036	44	04E	33
007	30	01F	30	037	30	04F	30
008	30	020	30	038	30	050	30
009	30	021	30	039	30	051	31
00A	32	022	38	03A	45	052	34
00B	30	023	30	03B	30	053	30
00C	30	024	30	03C	30	054	30
00D	30	025	30	03D	30	055	31
00E	33	026	39	03E	46	056	35
00F	30	027	30	03F	30	057	30
010	30	028	30	040	30	058	30
011	30	029	30	041	31	059	31
012	34	02A	41	042	30	05A	36
013	30	02B	30	043	30	05B	30
014	30	02C	30	044	30	05C	30
015	30	02D	30	045	31	05D	31
016	35	02E	42	046	31	05E	37
017	30	02F	30	047	30	05F	30

Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato
060	30	078	30	090	30	0A8	30
061	31	079	31	091	32	0A9	32
062	38	07A	45	092	34	0AA	41
063	30	07B	30	093	30	0AB	30
064	30	07C	30	094	30	0AC	30
065	31	07D	32	095	32	0AD	32
066	39	07E	46	096	35	0AE	42
067	30	07F	30	097	30	0AF	30
068	30	080	30	098	30	0B0	30
069	31	081	32	099	32	0B1	32
06A	41	082	30	09A	36	0B2	43
06B	30	083	30	09B	30	0B3	30
06C	30	084	30	09C	30	0B4	30
06D	31	085	32	09D	32	0B5	32
06E	42	086	31	09E	37	0B6	44
06F	30	087	30	09F	30	0B7	30
070	30	088	30	0A0	30	0B8	30
071	31	089	32	0A1	32	0B9	32
072	43	08A	32	0A2	38	0BA	45
073	30	08B	30	0A3	30	0BB	30
074	30	08C	30	0A4	30	0BC	30
075	31	08D	32	0A5	32	0BD	32
076	44	08E	33	0A6	39	0BE	46
077	30	08F	30	0A7	30	0BF	30

Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato
180	30	198	30	180	30	1C8	30
181	36	199	36	181	36	1C9	37
182	30	19A	36	182	43	1CA	32
183	30	19B	30	183	30	1CB	30
184	30	19C	30	184	30	1CC	30
185	36	19D	36	185	36	1CD	37
186	31	19E	37	186	44	1CE	33
187	30	19F	30	187	30	1CF	30

188	30	1A0	30	188	30	1D0	30
189	36	1A1	36	189	36	1D1	37
18A	32	1A2	38	18A	45	1D2	34
18B	30	1A3	30	18B	30	1D3	30
18C	30	1A4	30	18C	30	1D4	30
18D	36	1A5	36	18D	36	1D5	37
18E	33	1A6	39	18E	46	1D6	35
18F	30	1A7	30	18F	30	1D7	30

190	30	1A8	30	1C0	30	1D8	30
191	36	1A9	36	1C1	37	1D9	37
192	34	1AA	41	1C2	30	1DA	36
193	30	1AB	30	1C3	30	1DB	30
194	30	1AC	30	1C4	30	1DC	30
195	36	1AD	36	1C5	37	1DD	37
196	35	1AE	42	1C6	31	1DE	37
197	30	1AF	30	1C7	30	1DF	30

Dir.	Dato	Dir.	Dato
1E0	30	1FB	30
1E1	37	1F9	37
1E2	38	1FA	45
1E3	30	1FB	30
1E4	30	1FC	30
1E5	37	1FD	37
1E6	39	1FE	46
1E7	30	1FF	30

1E8	30
1E9	37
1EA	41
1EB	30
1EC	30
1ED	37
1EE	42
1EF	30

1F0	30
1F1	34
1F2	43
1F3	30
1F4	30
1F5	37
1F6	44
1F7	30

| Dir. Dato |
|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| OC0 30    | OD8 30    | OF0 30    | 108 30    |           | 120 30    | 138 30    | 150 30    |
| OC1 33    | OD9 33    | OF1 33    | 109 34    |           | 121 34    | 139 34    | 151 35    |
| OC2 30    | ODA 34    | OF2 43    | 10A 32    |           | 122 38    | 13A 45    | 152 34    |
| OC3 30    | ODR 30    | OF3 30    | 10B 30    |           | 123 30    | 13B 30    | 153 30    |
| OC4 30    | ODC 30    | OF4 30    | 10C 30    |           | 124 30    | 13C 30    | 154 30    |
| OC5 33    | ODD 33    | OF5 33    | 10D 34    |           | 125 34    | 13D 34    | 155 35    |
| OC6 31    | ODE 37    | OF6 44    | 10E 33    |           | 126 39    | 13E 46    | 156 35    |
| OC7 30    | ODF 30    | OF7 30    | 10F 30    |           | 127 30    | 13F 30    | 157 30    |
| OC8 30    | OE0 30    | OF8 30    | 110 30    |           | 128 30    | 140 30    | 158 30    |
| OC9 33    | OE1 33    | OF9 33    | 11 34     |           | 129 34    | 141 35    | 159 35    |
| OCA 32    | OE2 38    | OFA 45    | 12 34     |           | 12A 41    | 142 30    | 15A 36    |
| OCB 30    | OE3 30    | OFB 30    | 13 30     |           | 12B 30    | 143 30    | 15B 30    |
| OCC 30    | OE4 30    | OFC 30    | 14 30     |           | 12C 30    | 144 30    | 15C 30    |
| OCD 33    | OE5 33    | OFD 33    | 15 34     |           | 12D 34    | 145 35    | 15D 35    |
| OCE 33    | OE6 39    | OFE 46    | 16 35     |           | 12E 42    | 146 31    | 15E 37    |
| OCF 30    | OE7 30    | OFF 30    | 17 30     |           | 12F 30    | 147 30    | 15F 30    |
| OD0 30    | OE8 30    | 100 30    | 118 30    |           | 130 30    | 148 30    | 160 30    |
| OD1 33    | OE9 33    | 101 34    | 119 34    |           | 131 34    | 149 35    | 161 35    |
| OD2 34    | OEA 41    | 102 30    | 11A 36    |           | 132 43    | 14A 32    | 162 38    |
| OD3 30    | OEB 30    | 103 30    | 11B 30    |           | 133 30    | 14B 30    | 163 30    |
| OD4 30    | OEC 30    | 104 30    | 11C 30    |           | 134 30    | 14C 30    | 164 30    |
| OD5 33    | ODE 33    | 105 34    | 11D 34    |           | 135 34    | 14D 35    | 165 35    |
| OD6 35    | OEE 42    | 106 31    | 11E 37    |           | 136 44    | 14E 33    | 166 39    |
| OD7 30    | OEF 30    | 107 30    | 11F 30    |           | 137 30    | 14F 30    | 167 30    |



**Absolute Maximum Ratings** (Notes 1 & 2)

Supply Voltage ( $V_{CC}$ )	10V
Logic Control Inputs	-0.2V to $V_{CC} + 0.2V$
Voltage at Other Inputs and Output	-0.2V to $V_{CC} + 0.2V$
Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ\text{C}$	875 mW
Lead Temp. (Soldering, 10 seconds)	300°C

**Operating Conditions** (Notes 1 & 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0820BD, ADC0820CD	-50°C $\leq T_A \leq$ +125°C
ADC0820BCD, ADC0820CCD	-40°C $\leq T_A \leq$ +85°C
ADC0820BCN, ADC0820CCN	0°C $\leq T_A \leq$ 70°C
$V_{CC}$ Range	4.5V to 6V

**Converter Characteristics** The following specifications apply for RD mode (pin 7 = 0),  $V_{CC} = 5V$ ,  $V_{REF}(+) = 5V$ , and  $V_{REF}(-) = GND$  unless otherwise specified. Boldface limits apply from  $T_{MIN}$  to  $T_{MAX}$ ; all other limits  $T_A = T_J = 25^\circ\text{C}$ .

Parameter	Conditions	ADC0820BD, ADC0820CD ADC0820BCD, ADC0820CCD			ADC0820BCN, ADC0820CCN			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			<b>8</b>		<b>8</b>	<b>8</b>		Dits
Total Unadjusted Error (Note 3)	ADC0820BD, BCD ADC0820BCN ADC0820CD, CCD ADC0820CCN		<b><math>\pm 1/2</math></b>		<b><math>\pm 1/2</math></b>	<b><math>\pm 1/2</math></b>		LSB LSB LSB LSB
Minimum Reference Resistance		<b>2.3</b>	<b>1.25</b>		<b>2.3</b>	<b>1.4</b>	<b>1.25</b>	$\Omega$
Maximum Reference Resistance		<b>2.3</b>	<b>8</b>		<b>2.3</b>	<b>5.3</b>	<b>8</b>	$\Omega$
Maximum $V_{REF}(+)$ Input Voltage			<b><math>V_{CC}</math></b>		<b><math>V_{CC}</math></b>	<b><math>V_{CC}</math></b>		V
Minimum $V_{REF}(-)$ Input Voltage			<b>GND</b>		<b>GND</b>	<b>GND</b>		V
Minimum $V_{REF}(+)$ Input Voltage			<b><math>V_{REF}(-)</math></b>		<b><math>V_{REF}(-)</math></b>	<b><math>V_{REF}(-)</math></b>		V
Maximum $V_{REF}(-)$ Input Voltage			<b><math>V_{REF}(+)</math></b>		<b><math>V_{REF}(+)</math></b>	<b><math>V_{REF}(+)</math></b>		V
Maximum $V_{IN}$ Input Voltage			<b><math>V_{CC} + 0.1</math></b>		<b><math>V_{CC} + 0.1</math></b>	<b><math>V_{CC} + 0.1</math></b>		V
Minimum $V_{IN}$ Input Voltage			<b><math>GND - 0.1</math></b>		<b><math>GND - 0.1</math></b>	<b><math>GND - 0.1</math></b>		V
Maximum Analog Input Leakage Current	$CS = V_{CC}$ $V_{IN} = V_{CC}$ $V_{REF} = GND$		<b>3</b> <b>-3</b>		<b>0.3</b> <b>-0.3</b>	<b>3</b> <b>-3</b>		$\mu\text{A}$ $\mu\text{A}$
Power Supply Sensitivity	$V_{CC} = 5V \pm 5\%$	<b><math>\pm 1/2</math></b>	<b><math>\pm 1/2</math></b>		<b><math>\pm 1/2</math></b>	<b><math>\pm 1/2</math></b>		LSB

**DC Electrical Characteristics** The following specifications apply for  $V_{CC} = 5V$ , unless otherwise specified. Boldface limits apply from  $T_{MIN}$  to  $T_{MAX}$ ; all other limits  $T_A = T_J = 25^\circ C$ .

Parameter	Conditions	ADC0820BD, ADC0820CD ADC0820BCD, ADC0820CCD			ADC0820BCH, ADC0820CCH			Unit
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IH(1)}$ , Logical "1" Input Voltage	$V_{CC} = 5.25V$ CS, WR, RD Mode		2.0			2.0	2.0	V
$V_{IH(2)}$ , Logical "0" Input Voltage	$V_{CC} = 4.75V$ CS, WR, RD Mode		0.8			0.8	0.8	V
$V_{OL(1)}$ , Logical "1" Output Voltage	$V_{OH(1)} = 5V$ ; CS, RD $V_{OH(1)} = 5V$ ; WR $V_{OH(1)} = 5V$ ; Mode	0.005, 0.1 50	1 3 200		0.005 0.1 50	0.3 3 170	1 3 200	$\mu A$ $\mu A$ $\mu A$
$V_{OL(2)}$ , Logical "0" Output Voltage	$V_{OH(2)} = 0V$ ; CS, RD, WR, Mode	-0.005	-1		-0.005		-1	$\mu A$
$I_{OUI(1)}$ , Logical "1" Output Current	$V_{CC} = 4.75V$ , $I_{OUI} = -360 \mu A$ ; DB0-DB7, OFL, INT $V_{CC} = 4.75V$ , $I_{OUI} = -10 \mu A$ ; DB0-DB7, OFL, INT		2.4 4.8			2.8 4.8	2.4 4.8	-V -V -V
$I_{OUI(2)}$ , Logical "0" Output Current	$V_{CC} = 4.75V$ , $I_{OUI} = 1.8 mA$ ; DB0-DB7, OFL, INT, RDY		0.4			0.34	0.4	V
$I_{OUI(3)}$ , TRI-STATE Output Current	$V_{OUT} = 5V$ ; DB0-DB7, RDY $V_{OUT} = 0V$ ; DB0-DB7, RDY	0.1 -0.1	3 -3		0.1 -0.1	0.3 -0.3	3 -3	$\mu A$ $\mu A$
$I_{I(1)}$ , Output Source Current	$V_{OUT} = 0V$ ; DB0-DB7, OFL, INT	-12 -9	-8 -4.5		-12 -9	-7.2 -5.3	-8 -4.5	mA mA
$I_{I(2)}$ , Output Sink Current	$V_{OUT} = 5V$ ; DB0-DB7, OFL, INT, RDY	14	7		14	8.4		mA
$I_{CC}$ , Supply Current	CS = WR = RD = 0	7.5	18		7.5	13	18	mA

**AC Electrical Characteristics** The following specifications apply for  $V_{CC} = 5V$ ,  $t_r = t_f = 20 ns$ ,  $V_{REF(+)} = 5V$ ,  $V_{REF(-)} = 0V$  and  $T_A = 25^\circ C$  unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Unit
$t_{CRD}$ , Conversion Time for RD Mode	Pin 7 = 0, (Figure 2)	1.8		2.5	$\mu s$
$t_{ACC}$ , Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = 0, (Figure 2)	$t_{CRD} + 20$		$t_{CRD} + 50$	ns
$t_{WR, RD}$ , Conversion Time for WR-RD Mode	Pin 7 = $V_{CC}$ ; $t_{WR} = 600 ns$ , $t_{RD} = 600 ns$ ; (Figures 3a and 3b)			1.52	$\mu s$
$t_{WR}$ , Write Time	Pin 7 = $V_{CC}$ ; (Figures 3a and 3b) (Note 4) See Graph	Min		600	ns
Max		50			$\mu s$
$t_{RD}$ , Read Time	Min			600	ns
$t_{ACC1}$ , Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = $V_{CC}$ ; $t_{RD} < t_r$ ; (Figure 3a) $C_L = 15 pF$ $C_L = 100 pF$		190	280	ns
			210	320	ns
		Pin 7 = $V_{CC}$ ; $t_{RD} > t_r$ ; (Figure 3b) $C_L = 15 pF$ $C_L = 100 pF$	70		120
		90		150	ns

## AC Electrical Characteristics (Continued)

The following specifications apply for  $V_{CC} = 5V$ ,  $t_r = t_f = 20$  ns,  $V_{REF} (+) = 5V$ ,  $V_{REF} (-) = 0V$  and  $T_A = 25^\circ C$  unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
Internal Completion Time	Pin 7 = $V_{CC}$ (Figures 3b and 4) $C_L = 50$ pF	800		1300	ns
$t_{TR}$ TRI-STATE Control Delay from Rising Edge of RD to $\frac{1}{2}$ State	$R_L = 1K$ , $C_L = 10$ pF	100		200	ns
$t_{PL}$ Delay from Rising Edge of RD to Falling Edge of INT	Pin 7 = $V_{CC}$ , $C_L = 50$ pF $t_{RD} > t_c$ (Figure 3b) $t_{RD} < t_c$ (Figure 3a)	$t_{RD} + 200$		$t_{RD} + 290$	ns
$t_{PH}$ Delay from Rising Edge of RD to Rising Edge of INT	(Figure 2, 3a and 3b) $C_L = 50$ pF	125		225	ns
$t_{WH}$ Delay from Rising Edge of RD to Rising Edge of INT	(Figure 4), $C_L = 50$ pF	175		270	ns
$t_{CO}$ Delay from CS to RDY	(Figure 2), $C_L = 50$ pF, Pin 7 = 0	50		100	ns
$t_{LO}$ Delay from INT to Output Valid	(Figure 4)	20		80	ns
$t_{RD}$ Delay from RD to INT	Pin 7 = $V_{CC}$ , $t_{RD} < t_c$ (Figure 3a)	200		380	ns
$t_{CV}$ Delay from End of Conversion to Next Conversion	(Figure 2, 3a, 3b and 4) (Note 4) See Graph			500	ns
Bus Rate, Tracking		0.1			V/ $\mu$ s
$C_{IN}$ Analog Input Capacitance		45			pF
$C_{OUT}$ Logic Output Capacitance		5			pF
$C_{IN}$ Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: Total unidirectional error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if  $t_{RD}$  or  $t_{RD}$  is shorter than the minimum value specified. See Accuracy vs  $t_{RD}$  and Accuracy vs  $t_{RD}$  graphs.

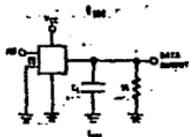
Note 5: The voltage at these pins should never go higher than  $V_{CC}$  nor lower than GND.

Note 6: Typicals are at  $25^\circ C$  and represent most likely parametric norm.

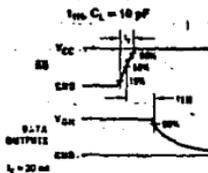
Note 7: Guaranteed and 100% production tested.

Note 8: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

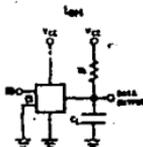
## TRI-STATE Test Circuits and Waveforms.



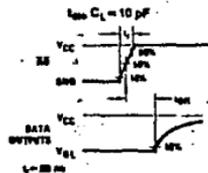
TLV5601-3



TLV5601-4



TLV5601-5



TLV5601-6

## Description of Pin Functions

Pin Name	Function	Pin Name	Function
1 $V_{IN}$	Analog input range = $GND \leq V_{IN} \leq V_{CC}$	9 INT	WR-RD Mode INT going low indicates that the conversion is completed and the data result is in the output latch. INT will go low, ~800 ns (the preset internal time out, $t_i$ ) after the rising edge of WR (see Figure 3b); or INT will go low after the falling edge of RD, if RD goes low prior to the 800 ns time out (see Figure 3a). INT is reset by the rising edge of RD or CS (see Figures 3a and 3c). RD Mode INT going low indicates that the conversion is completed and the data result is in the output latch. INT is reset by the rising edge of RD or CS (see Figure 2).
2 DB0	TRI-STATE data output—bit 0 (LSB)	10 GND	Ground
3 DB1	TRI-STATE data output—bit 1	11 $V_{REF(-)}$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF(-)} \leq V_{REF(+)}$ (Note 5)
4 DB2	TRI-STATE data output—bit 2	12 $V_{REF(+)}$	The top of resistor ladder, voltage range: $V_{REF(-)} \leq V_{REF(+)} \leq V_{CC}$ (Note 5)
5 DC3	TRI-STATE data output—bit 3	13 CS	CS must be low in order for the RD or WR to be recognized by the converter.
6 WR/RDY	WR-RD Mode WR: With CS low, the conversion is started on the falling edge of WR. Approximately 800 ns (the preset internal time out, $t_i$ ) after the WR rising edge, the result of the conversion will be strobed into the output latch, provided that RD does not occur prior to this time out (see Figures 3a and 3b). RD Mode RDY: This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of CS; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see Figure 2). Mode Mode: Mode selection input—it is internally tied to GND through a 50 $\mu A$ current source. RD Mode: When mode is low WR-RD Mode: When mode is high	14 DB4	TRI-STATE data output—bit 4
7 Mode	Mode: Mode selection input—it is internally tied to GND through a 50 $\mu A$ current source. RD Mode: When mode is low WR-RD Mode: When mode is high	15 DB5	TRI-STATE data output—bit 5
8 RD	WR-RD Mode With CS low, the TRI-STATE data outputs (DB0-DB7) will be activated when RD goes low (see Figure 4). RD can also be used to increase the speed of the converter by reading data prior to the preset internal time out ( $t_i$ , ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the RD (see Figures 3a and 3c). RD Mode With CS low, the conversion will start with RD going low, also RD will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and INT going low indicates the completion of the conversion (see Figure 2).	16 DB6	TRI-STATE data output—bit 6
		17 DB7	TRI-STATE data output—bit 7 (MSB)
		18 OFL	Overflow output—if the analog input is higher than the $V_{REF(+)}$ , OFL will be low at the end of conversion. It can be used in cascade 2 or more devices to have more resolution (8, 10-bit).
		19 NC	No connection
		20 $V_{CC}$	Power supply voltage

## 1.0 Functional Description

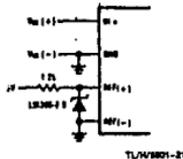
### 1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Figure 1). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4  $\mu S$ BS, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

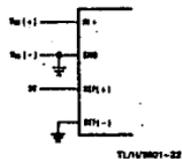
## Analog Considerations (Continued)

Signal Reference 2.5V Full-Scale



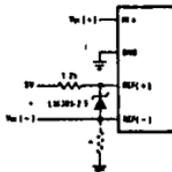
TLV5601-21

Power Supply as Reference



TLV5601-22

Input Not Referred to QHD



\*Current path must still exist from VREF(-) to ground

TLV5601-23

FIGURE 9. Analog Input Options

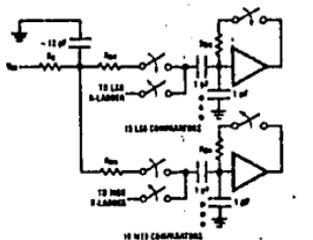
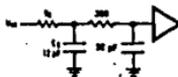


FIGURE 10a

TLV5601-24



TLV5601-25

FIGURE 10b

### INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into  $V_{IN}$ , will not degrade the A/D performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while  $WR$  is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the  $V_{IN}$  terminal.

### INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least  $1/2$  LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for very high speed signals, this signal must be externally "latched," and held stationary during the conversion.

Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5  $\mu$ s, the time through which  $V_{IN}$  must be  $1/2$  LSB stable is much smaller. Since the MS flash ADC uses  $V_{IN}$  as its "compare" input and the LS ADC uses  $V_{IN}$  as its "zero" input, the ADC0820 only "samples"  $V_{IN}$  when  $WR$  is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of  $V_{IN}$  approximately 100 ns after the rising edge of  $WR$  (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/ $\mu$ s can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1  $\mu$ s would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.



A to D, D to A

## DAC0800, DAC0801, DAC0802 8-Bit Digital-to-Analog Converters

### General Description

The DAC0800 series are monolithic 8-bit high-speed current output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monolithic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 V<sub>pp</sub> with simple resistor load as shown in Figure 1. The reference-to-full-scale current matching of better than  $\pm 1$  LSB eliminates the need for full-scale trim in most applications while the nonlinearity of better than 10% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V<sub>LC</sub> (pin 1) grounded. Simple adjustments of the V<sub>LC</sub> potential allow direct interface to all logic families. The performance and characteristics of the device are essentially unchanged over the full  $\pm 4.5$ V to  $\pm 18$ V power supply range, power dissipation is only 33 mW with  $\pm 5$ V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC 08, DAC 05A, DAC 08C, DAC 08E and DAC 08H, respectively.

### Features

- Fast settling output current 100 ns
- Full scale error  $\pm 1$  LSB
- Nonlinearity over temperature  $\pm 0.1\%$
- Full scale current drift  $\pm 10$  ppm/ $^{\circ}$ C
- High output compliance  $-10$ V to  $+18$ V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range  $\pm 4.5$ V to  $\pm 18$ V
- Low power consumption 33 mW at  $\pm 5$ V
- Low cost

### Typical Applications

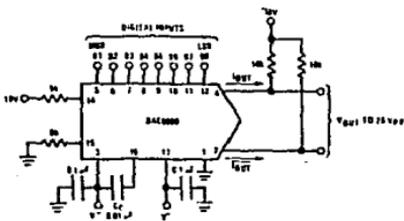
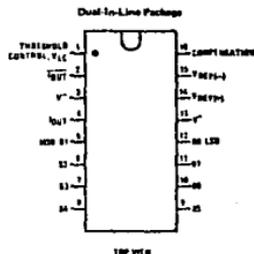


FIGURE 1. 120 V<sub>pp</sub> Output Digital-to-Analog Converter

### Connection Diagram



### Ordering Information

NONLINEARITY	TEMPERATURE RANGE	ORDER NUMBERS*					
		D PACKAGE (1616C)		J PACKAGE (158A)		N PACKAGE (1616A)	
10 1% FS	-55°C ≤ T <sub>A</sub> ≤ +125°C	DAC0820D	DAC08AD	DAC0827CJ	DAC08QD	DAC08020CN	DAC08HP
10 1% FS	0°C ≤ T <sub>A</sub> ≤ +70°C						
10 1% FS	-55°C ≤ T <sub>A</sub> ≤ +125°C	DAC0800D	DAC080D	DAC0820CJ	DAC080D	DAC08000CN	DAC080P
10 1% FS	0°C ≤ T <sub>A</sub> ≤ +70°C						
10 3% FS	0°C ≤ T <sub>A</sub> ≤ +70°C			DAC0801CJ	DAC080CQ	DAC08010CN	DAC080CP

\*Note: Devices may be ordered by using either order number.

## Absolute Maximum Ratings

Supply Voltage	+15V or 30V
Power Dissipation (Note 1)	800 mW
Reference Input Differential Voltage (V14 to V15)	V <sup>-</sup> to V <sup>+</sup>
Reference Input Common-Mode Range (V14, V15)	V <sup>-</sup> to V <sup>+</sup>
Reference Input Current	5 mA
Logic Inputs	V <sup>-</sup> to V <sup>+</sup> plus 20V
Analog Current Outputs	Figure 24
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

## Operating Conditions

Temperature (T <sub>A</sub> )	MIN		MAX		UNITS
	DAC0801L/DAC0802L	DAC0801/DAC0802	DAC0801L/DAC0802L	DAC0801/DAC0802	
	-65	+125	-65	+125	°C
	0	+70	0	+70	°C
	0	+70	0	+70	°C

Electrical Characteristics (V<sub>S</sub> = ±15V, I<sub>REF</sub> = 2 mA, T<sub>MIN</sub> ≤ T<sub>A</sub> ≤ T<sub>MAX</sub> unless otherwise specified. Output characteristics refer to both I<sub>OUT</sub> and I<sub>OUT1</sub>.)

PARAMETER	CONDITIONS	DAC0801L/DAC0802L			DAC0801/DAC0802			DAC0801L/DAC0802L			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution		8	8	8	8	8	8	8	8	8	Bits	
Monotonicity		8	8	8	8	8	8	8	8	8	Bits	
Nonlinearity				±0.1			±0.15			±0.20	%FS	
Setting Time	To 1/2 LSB, All Bits Switched "ON" or "OFF", T <sub>A</sub> = 25°C		100	126				100	100	180	ns	
V <sub>IL</sub> , V <sub>OH</sub>	Propagation Delay										ns	
	Each Bit										ns	
T <sub>CO</sub>	All Bits Switched		25	60		25	60		25	60	ns	
	Full Scale Transition		110	180		110	180		110	180	ns	
V <sub>OC</sub>	Output Voltage Compliance	-10		10	-10		10	-10		10	V	
I <sub>FS</sub>	Full Scale Current		1.800	1.800	1.800	1.800	1.800	1.800	1.800	1.800	mA	
	Full Scale Symmetry		10.5	14.0		11	18.0		12	116	µA	
I <sub>CS</sub>	Zero Scale Current		0.1	1.0		0.2	2.0		0.2	4.0	µA	
I <sub>OH</sub>	Output Current Range		0	2.0	0	2.0	0	2.0	0	2.0	mA	
	Logic Input Levels		0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
V <sub>IL</sub>	Logic "0"			0.8			0.8			0.8	V	
V <sub>OH</sub>	Logic "1"		2.0		2.0			2.0			V	
I <sub>L</sub>	Logic Input Current			-2.0		-1.0		-2.0		-1.0	µA	
	Logic "0"			0.002		10		0.007		10	µA	
I <sub>H</sub>	Logic "1"										µA	
	Logic Input Sinking		-10	18	-10	18	-10	18	-10	18	µA	
V <sub>TH</sub>	Logic Threshold Range		-10	13.8	-10	13.8	-10	13.8	-10	13.8	V	
I <sub>IS</sub>	Reference Bias Current		-1.0	-2.0		-1.0	-2.0		-1.0	-2.0	µA	
I <sub>SR</sub>	Reference Input Slew Rate	(Figure 24)	4.0	8.0	4.0	8.0	4.0	8.0	4.0	8.0	mA/µs	
	Power Supply Sensitivity	4.5V ≤ V <sub>S</sub> ≤ 15V	0.0001	0.01	0.0001	0.01	0.0001	0.01	0.0001	0.01	%/%	
I <sub>PS</sub>	Power Supply Current	-4.5V ≤ V <sub>S</sub> ≤ 15V	0.0001	0.01	0.0001	0.01	0.0001	0.01	0.0001	0.01	%/%	
		V <sub>S</sub> = 15V, I <sub>REF</sub> = 1 mA		2.3	3.8		2.3	3.8		2.3	3.8	mA
I <sub>PS</sub>	Power Supply Current	V <sub>S</sub> = 15V, I <sub>REF</sub> = 2 mA		-4.2	-6.8		-4.2	-6.8		-4.2	-6.8	mA
		V <sub>S</sub> = 30V, -15V, I <sub>REF</sub> = 2 mA		2.4	3.8		2.4	3.8		2.4	3.8	mA
I <sub>PS</sub>	Power Supply Current	V <sub>S</sub> = 30V, -15V, I <sub>REF</sub> = 2 mA		-6.4	-7.8		-6.4	-7.8		-6.4	-7.8	mA
		V <sub>S</sub> = ±15V, I <sub>REF</sub> = 2 mA		2.6	3.8		2.6	3.8		2.6	3.8	mA
I <sub>PS</sub>	Power Supply Current	V <sub>S</sub> = ±15V, I <sub>REF</sub> = 2 mA		-6.8	-7.8		-6.8	-7.8		-6.8	-7.8	mA
		V <sub>S</sub> = 15V, I <sub>REF</sub> = 1 mA		33	46		33	46		33	46	mW
P <sub>D</sub>	Power Dissipation	30V, -15V, I <sub>REF</sub> = 2 mA		108	136		108	136		108	136	mW
		±15V, I <sub>REF</sub> = 2 mA		136	174		136	174		136	174	mW

Note 1: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, stress on the dual-in-line J or D package must be derated based on a thermal resistance of 100°C/W, junction to ambient, 175°C/W for the molded quad-in-line N package.

## LM555/LM555C Timer

### General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

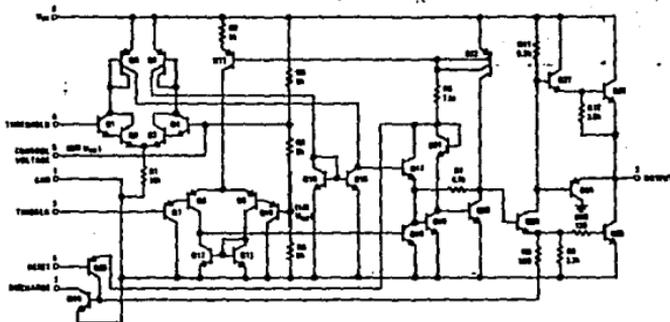
### Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

### Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

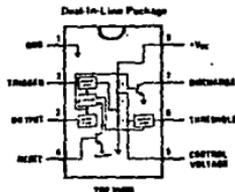
### Schematic Diagram



### Connection Diagrams



Order Number LM555H, LM555CH  
See NS Package HOBC



Order Number LM555C1  
See NS Package HOBC  
Order Number LM555C2 or LM555C3  
See NS Package HOBA

## Absolute Maximum Ratings

Supply Voltage	+18V
Power Dissipation (Note 1)	600 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
LM555	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics ( $T_A = 25^\circ\text{C}$ ,  $V_{CC} = +5\text{V}$  to  $+15\text{V}$ , unless otherwise specified)

PARAMETER	CONDITIONS	LIMITS						LIMITS
		LM555			LM555C			
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		18	V
Supply Current	$V_{CC} = 5\text{V}$ , $R_1 = \infty$ $V_{CC} = 15\text{V}$ , $R_1 = \infty$ (Low State) (Note 2)		3	5		3	8	mA
			10	12		10	15	mA
Timing Error, Monostable								
Initial Accuracy			0.5			1		%
Drift with Temperature	$R_A, R_B = 1\text{k}$ to $100\text{k}$ , $C = 0.1\mu\text{F}$ , (Note 2)		20			50		ppm/°C
Accuracy over Temperature			1.5			1.5		%
Drift with Supply			0.05			0.1		mV
Timing Error, Astable								
Initial Accuracy			1.6			2.25		%
Drift with Temperature			90			150		ppm/°C
Accuracy over Temperature			2.8			3.0		%
Drift with Supply			0.15			0.20		mV
Threshold Voltage			0.687			0.687		$\approx V_{CC}$
Tripper Voltage	$V_{CC} = 15\text{V}$ $V_{CC} = 5\text{V}$	4.8	5	5.2		5		V
		1.45	1.67	1.9		1.67		V
Tripper Current			0.01	0.5		0.5	0.9	mA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	mA
Control Voltage Level	$V_{CC} = 15\text{V}$ $V_{CC} = 5\text{V}$	9.6	10	10.4	8	10	11	V
		2.8	3.33	3.8	2.6	3.33	4	V
Pin 7 (Voltage Output High)			1	100		1	100	mA
Pin 7 Sat (Plate 5)								
Output Low	$V_{CC} = 15\text{V}$ , $I_T = 15\text{mA}$		150			180		mV
Output Low	$V_{CC} = 4.5\text{V}$ , $I_T = 4.5\text{mA}$		70	100		80	200	mV
Output Voltage Drop (Low)	$V_{CC} = 15\text{V}$ $I_{\text{load}} = 10\text{mA}$ $I_{\text{load}} = 50\text{mA}$ $I_{\text{load}} = 100\text{mA}$ $I_{\text{load}} = 200\text{mA}$ $V_{CC} = 5\text{V}$ $I_{\text{load}} = 8\text{mA}$ $I_{\text{load}} = 5\text{mA}$		0.1	0.15		0.1	0.25	V
			0.4	0.5		0.4	0.75	V
			2	2.2		2	2.5	V
			2.8			2.5		V
			0.1	0.25				V
						0.25	0.35	V
Output Voltage Drop (High)	$I_{\text{load}} = 200\text{mA}$ , $V_{CC} = 15\text{V}$ $I_{\text{load}} = 100\text{mA}$ , $V_{CC} = 15\text{V}$ $V_{CC} = 5\text{V}$	13	12.5		12.5			V
		13	13.3		17.75	13.2		V
		3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operation at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of +45°C/W junction to case for TO-5 and +180°C/W junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at  $V_{CC} = 5\text{V}$ .

Note 3: Tested at  $V_{CC} = 5\text{V}$  and  $V_{CC} = 15\text{V}$ .

Note 4: This will determine the maximum value of  $R_A$  &  $R_B$  for 15V operation. The maximum total ( $R_A + R_B$ ) is 20 MΩ.

Note 5: No provision against excessive pin 7 current; a necessary providing the package dissipation rating will not be exceeded.



**National  
Semiconductor**

## Voltage Comparators

### LM139/239/339, LM139A/239A/339A, LM2901, LM3302 Low Power Low Offset Voltage Quad Comparators

#### General Description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters, pulse, squarewave and time delay generators; wide range VCO, MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic—where the low power drain of the LM339 is a distinct advantage over standard comparators.

#### Advantages

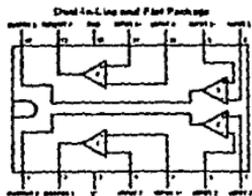
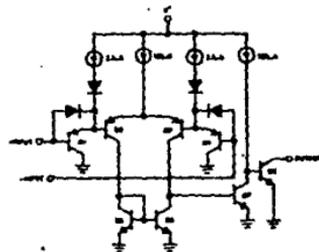
- High precision comparators
- Reduced  $V_{OS}$  drift over temperature

- Eliminates need for dual supplies
- Allows sensing near gnd
- Compatible with all forms of logic
- Power drain suitable for battery operation

#### Features

- Wide single supply voltage range or dual supplies
  - LM139 series, 2 VDC to 36 VDC or LM139A series, LM2901 ±1 VDC to ±18 VDC
  - LM3302 2 VDC to 28 VDC or ±1 VDC to ±14 VDC
- Very low supply current drain (0.8 mA) — independent of supply voltage (7 mW/comparator at +5 VDC)
- Low input biasing current 25 nA
- Low input offset current 15 nA and offset voltage 13 mV
- Input common-mode voltage range includes gnd
- Differential input voltage range equal to the power supply voltage
- Low output 250 mV at 4 mA saturation voltage
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

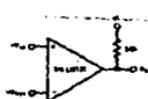
#### Schematic and Connection Diagrams



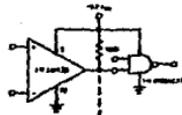
Order Number LM139AJ, LM139AJJ,  
LM239AJ, LM239AJJ, LM339AJ,  
LM339AJJ, LM2901J or LM2901JJ  
See MS Package #14A

Order Number LM339BN, LM339BAN,  
LM2901W or LM3392W  
See MS Package #14A

#### Typical Applications ( $V^+ = 5.0 \text{ VDC}$ )



Basic Comparator



Driving CMOS



Driving TTL

LM139/LM239/LM339,  
LM139A/LM239A/LM339A, LM2901, LM3302

5

LM139/LM239/LM339,  
LM139A/LM239A/LM339A, LM2901, LM3302

Absolute Maximum Ratings

	LM139/LM239/LM339 LM139A/LM239A/LM339A LM2901	LM3302
Supply Voltage, $V^+$	36 VDC or 118 VDC	28 VDC or 114 VDC
Differential Input Voltage	36 VDC	28 VDC
Input Voltage	0.3 VDC to +36 VDC	0.2 VDC to +28 VDC
Power Dissipation (Note 1)		
Molding DIP	570 mW	570 mW
Ceramic DIP	900 mW	
Flat Pack	800 mW	
Output Short Circuit to GND. (Note 2)	Continuous	Continuous
Input Current ( $V_{IN} = 0.3$ VDC, (Note 3))	50 $\mu$ A	50 $\mu$ A
Operating Temperature Range		
LM239A	0°C to +170°C	-40°C to +85°C
LM2901A	-25°C to +85°C	
LM2901	40°C to +85°C	
LM139A	85°C to +175°C	
Storage Temperature Range	65°C to +150°C	85°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C

Electrical Characteristics ( $V^+ = 5$  VDC, Note 4)

PARAMETER	CONDITIONS	LM139A			LM239A, LM239A			LM139			LM239, LM239			LM2901			LM3302			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25^\circ\text{C}$ (Note 5)	110	120		110	120		120	150		120	150		120	150		13	130		mVDC
Input Bias Current	$I_{IN}(1)$ or $I_{IN}(2)$ with Output in Linear Range, $T_A = 25^\circ\text{C}$ (Note 5)	25	100		25	250		25	100		25	250		25	250		25	500		nADC
Input Offset Current	$I_{IN}(1) - I_{IN}(2)$ , $T_A = 25^\circ\text{C}$	130	125		180	150		120	125		150	150		15	150		13	1100		nADC
Input Common-Mode Voltage Range	$T_A = 25^\circ\text{C}$ (Note 5)	0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		VDC
Supply Current	$R_L = 10$ k $\Omega$ all Comparators, $T_A = 25^\circ\text{C}$ $R_L = \infty$ , $V^+ = 30$ V, $T_A = 25^\circ\text{C}$	0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2		mADC
Voltage Gain	$R_L \geq 10$ k $\Omega$ , $V^+ = 18$ VDC (For Saturated Large $V_O$ Signal), $T_A = 25^\circ\text{C}$	50	200		50	200		300			200		75	100		2	30			V/mV
Large Signal Response Time	$V_{IN} = 1$ V, Load Signal, $V_{OFF} = 1.4$ VDC, $V_{IN} = 5$ VDC, $R_L = 5$ k $\Omega$ , $T_A = 25^\circ\text{C}$	300			300			300			300		300			300				ns
Response Time	$V_{OL} = 5$ VDC, $R_L = 5$ k $\Omega$ , $T_A = 25^\circ\text{C}$ (Note 7)	1.3			1.3			1.3			1.3		1.3			1.3				ns
Output Sink Current	$V_{IN} \geq 1$ VDC, $V_{IN}(1) = 0$ , $V_O = 18$ VDC, $T_A = 25^\circ\text{C}$	80	18		80	18		80	18		80	18		80	18		80	18		mADC
Saturation Voltage	$V_{IN}(1) \geq 1$ VDC, $V_{IN}(2) = 0$ , $I_{SINK} = 4$ mA, $T_A = 25^\circ\text{C}$	250	400		250	400		250	400		250	400		400		250	500			mVDC
Output Leakage Current	$V_{IN}(1) \geq 1$ VDC, $V_{IN}(2) = 0$ , $V_O = 5$ VDC, $T_A = 25^\circ\text{C}$	0.1			0.1			0.1			0.1			0.1		0.1				nADC



# LINEAR INTEGRATED CIRCUITS

# TYPES TLO80 THRU TLO85, TLO80A THRU TLO84A, TLO81B, TLO82B, TLO84B JFET-INPUT OPERATIONAL AMPLIFIERS

BULLETIN NO. DL-6 1248A, FEBRUARY 1977-REVISED OCTOBER 1978

24 DEVICES COVER COMMERCIAL, INDUSTRIAL, AND MILITARY TEMPERATURE RANGES

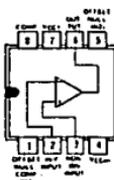
- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- High Input Impedance . . . JFET-Input Stage
- Internal Frequency Compensation (Except TLO80, TLO80A)
- Latch-Up-Free Operation
- High Slew Rate . . . 13 V/ $\mu$ s Typ

## description

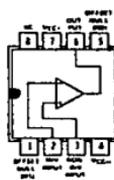
The TLO81 JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient. Offset adjustment and external compensation options are available within the TLO81 Family.

Device types with an "M" suffix are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ , those with an "I" suffix are characterized for operation from  $-25^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ , and those with a "C" suffix are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

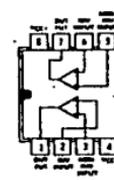
TLO80, TLO80A  
JG OR P DUAL-IN-LINE  
PACKAGE (TOP VIEW)



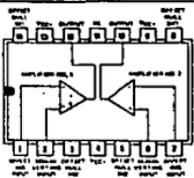
TLO81, TLO81A, TLO81B  
JG OR P DUAL-IN-LINE  
PACKAGE (TOP VIEW)



TLO82, TLO82A, TLO82B  
JG OR P DUAL-IN-LINE  
PACKAGE (TOP VIEW)

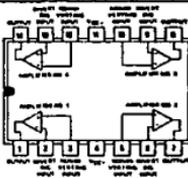


TLO83, TLO83A  
J OR N DUAL-IN-LINE  
PACKAGE (TOP VIEW)

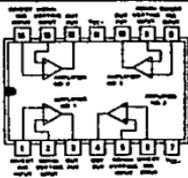


PINS 9 AND 12 ARE INTERNALLY INTERCONNECTED

TLO84, TLO84A, TLO84B  
J OR N DUAL-IN-LINE  
OR W FLAT PACKAGE  
(TOP VIEW)



TLO85  
N DUAL-IN-LINE  
PACKAGE (TOP VIEW)



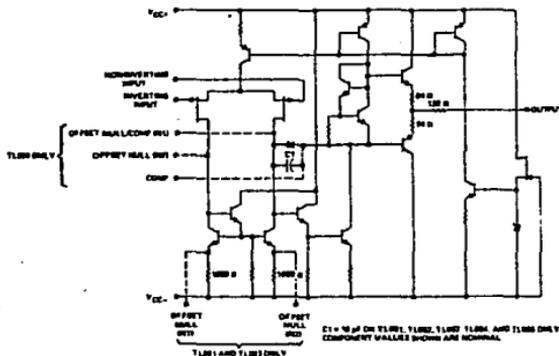
J-C-NL INTER-7/78 CONNECTION

Copyright © 1979 by Texas Instruments Incorporated

TEXAS INSTRUMENTS  
INCORPORATED  
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

# TYPES TLO80 THRU TLO85, TLO80A THRU TLO84A, TLO81B, TLO82B, TLO84B JFET-INPUT OPERATIONAL AMPLIFIERS

schematic (each amplifier)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

	TLO8_M	TLO8_I	TLO8_C TLO8_AC TLO8_BC	UNIT
Supply voltage, $V_{CC+}$ (see Note 1)	18	18	18	V
Supply voltage, $V_{CC-}$ (see Note 1)	-18	-18	-18	V
Differential input voltage (see Note 2)	$\pm 30$	$\pm 30$	$\pm 30$	V
Input voltage (see Notes 1 and 3)	$\pm 15$	$\pm 15$	$\pm 15$	V
Duration of output short circuit (see Note 4)	Unlimited	Unlimited	Unlimited	
Continuous total dissipation at (or below) 25°C case-air temperature (See Note 5)	880	880	680	mW
Operating free-air temperature range	-55 to 125	-25 to 88	0 to 70	°C
Storage temperature range	-65 to 150	-65 to 150	-65 to 150	°C
Lead temperature 1/16 inch (1.6 mm) from case for 60 seconds	300	300	300	°C
Lead temperature 1/16 inch (1.6 mm) from case for 10 seconds	N or P package	260	260	°C

- NOTES: 1. All voltage values, except differential voltages, are with respect to the midpoint between  $V_{CC+}$  and  $V_{CC-}$ .  
 2. Differential voltages are at the non-inverting input terminal with respect to the inverting input terminal.  
 3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.  
 4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.  
 5. For operation above 25°C free-air temperature, refer to Dissipation Derating Table. In the J and JG packages, TLO8\_M chips are silicon-mounted, TLO8\_I, TLO8\_C, TLO8\_AC, and TLO8\_BC chips are glass-mounted.

DISSIPATION DERATING TABLE

PACKAGE	POWER RATING	DERATING FACTOR	ABOVE $T_A$
J (Alloy Mounted Chd)	880 mW	11.0 mW/°C	88°C
J (Glass Mounted Chd)	880 mW	8.2 mW/°C	81°C
JG (Alloy Mounted Chd)	880 mW	6.4 mW/°C	65°C
JG (Glass Mounted Chd)	880 mW	5.2 mW/°C	47°C
N	880 mW	9.2 mW/°C	75°C
P	880 mW	8.0 mW/°C	65°C
W	680 mW	8.0 mW/°C	65°C

Also see Dissipation Derating Curves Section 2

DEVICE TYPES, SUFFIX VERSIONS, AND PACKAGES

	TLO80	TLO81	TLO82	TLO83	TLO84	TLO85
TLO8_M	JG	JG	JG	J	J, W	*
TLO8_I	JG, P	JG, P	JG, P	J, N	J, N	*
TLO8_C	JG, P	JG, P	JG, P	J, N	J, N	N
TLO8_AC	JG, P	JG, P	JG, P	J, N	J, N	*
TLO8_BC	*	JG, P	JG, P	*	J, N	*

\*These combinations are not defined by this data sheet.

# TYPES TLO80 THRU TLO85, TLO80A THRU TLO84A, TLO81B, TLO82B, TLO84B JFET-INPUT OPERATIONAL AMPLIFIERS

electrical characteristics,  $V_{CC1} = \pm 15$  V

PARAMETER	TEST CONDITIONS†	TLO8_M			TLO8_I			TLO8_C TLO8_AC TLO8_BC			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
$V_{IO}$ Input offset voltage	$R_S = 50 \Omega$ , $T_A = 25^\circ\text{C}$	'80, '81, '82, '83, '85‡ TLO8_A			3 6			5 18			mV
		TLO8_A			3 6			5 18			
	'81B, '82B, '84B						3 6				
	'80, '81, '82, '83, '85‡ TLO8_A			9			9 20				
$R_S = 50 \Omega$ , $T_A = \text{full range}$	TLO8_A			15			9 20			mV	
	'81B, '82B, '84B						7.5				
$\theta_{VID}$ Temperature coefficient of input offset voltage	$R_S = 50 \Omega$ , $T_A = \text{full range}$	10			10			10			$\mu\text{V}/^\circ\text{C}$
$I_{IO}$ Input offset current †	$T_A = 25^\circ\text{C}$	TLO8_I			5 100			5 100			pA
		TLO8_A						5 100			
	'81B, '82B, '84B						5 100				
	TLO8_I			20			10			nA	
$I_{IB}$ Input bias current †	$T_A = 25^\circ\text{C}$	TLO8_I			30 200			30 400			pA
		TLO8_A						30 200			
	'81B, '82B, '84B						30 200				
	TLO8_I			60			20 10			nA	
$V_{ICR}$ Common-mode input voltage range	$T_A = 25^\circ\text{C}$	TLO8_I			$\pm 11$ $\pm 12$			$\pm 10$ $\pm 11$			V
		TLO8_A						$\pm 11$ $\pm 12$			
$V_{OPP}$ Maximum peak-to-peak output voltage swing	$T_A = 25^\circ\text{C}$	$R_L = 10 \text{ k}\Omega$			24 27			24 27			V
		$R_L > 10 \text{ k}\Omega$			24			24			
$A_{VD}$ Large-signal differential voltage amplification	$R_L > 2 \text{ k}\Omega$ , $V_O = \pm 10$ V, $T_A = 25^\circ\text{C}$	TLO8_I			25 200			60 200			V/mV
		TLO8_A						25 200			
	'81B, '82B, '84B						60 200				
	TLO8_I			16			16				
$B_1$ Unity-gain bandwidth	$T_A = 25^\circ\text{C}$	TLO8_I			3			3			MHz
		TLO8_A						3			
$\rho$ Input resistance	$T_A = 25^\circ\text{C}$	$10^{11}$			$10^{11}$			$10^{11}$ $\infty$			$\Omega$
CMRR Common-mode rejection ratio	$R_S > 10 \text{ k}\Omega$ , $T_A = 25^\circ\text{C}$	TLO8_I			80 86			70 76			dB
		TLO8_A						80 86			
	'81B, '82B, '84B						80 86				
$b_{SVR}$ Supply voltage rejection ratio ( $\Delta V_{CC1}/\Delta V_{IO}$ )	$R_S > 10 \text{ k}\Omega$ , $T_A = 25^\circ\text{C}$	TLO8_I			80 86			70 76			dB
		TLO8_A						80 86			
$I_{CC}$ Supply current (per amplifier)	$T_A = 25^\circ\text{C}$	No load			1.4 2.8			1.4 2.8			mA
		$A_{VD} = 100$ , $T_A = 25^\circ\text{C}$			120			120			

† All characteristics are specified under open-loop conditions unless otherwise noted. Full range for  $T_A$  is  $-55^\circ\text{C}$  to  $125^\circ\text{C}$  for TLO8\_M;  $-25^\circ\text{C}$  to  $85^\circ\text{C}$  for TLO8\_I; and  $0^\circ\text{C}$  to  $70^\circ\text{C}$  for TLO8\_C, TLO8\_AC, and TLO8\_BC.

‡ Types TLO80 and TLO80A are not defined by this data sheet.

§ Input bias currents of a JFET-input operational amplifier are a normal junction reverse currents, which are temperature sensitive as shown in Figure 18. Pulse techniques must be used that will maintain the junction temperature as close to the ambient temperature as is possible.

**TEXAS INSTRUMENTS**  
INCORPORATED

POST OFFICE BOX 220112 • DALLAS, TEXAS 75220

FAIRCHILD CMOS • F4051/34051

DC CHARACTERISTICS $V_{DD}$ as shown, $V_{EE} = 0V$ (See Note 1)														
SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITION	
		$V_{DD} = 5V$			$V_{DD} = 10V$			$V_{DD} = 15V$						
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX				
R <sub>ON</sub>	ON Resistance	XC		95			56			36	Ω	MIN 25°C MAX	$V_{in} = V_{DD}$ Note 2	
				100			65			40				
				125			100			65				
				85			66			36	Ω	MIN 25°C MAX	$V_{in} = V_{EE}$ Note 2	
				100			68			40				
				125			100			66				
				1600			110			65	Ω	MIN 25°C MAX	Note 3	
				1000			125			60				
				850			900			95				
		ON Resistance	XC		80			50			30	Ω	MIN 25°C MAX	$V_{in} = V_{DD}$ Note 2
					100			55			40			
					150			110			70			
				80			60			30	Ω	MIN 25°C MAX	$V_{in} = V_{EE}$ Note 2	
				100			65			40				
				160			110			70				
				1750			100			60	Ω	MIN 25°C MAX	Note 3	
				1000			125			80				
				700			220			100				
ΔR <sub>ON</sub>	"Δ" ON Resistance Between Any Two Channels					10				5	Ω	25°C	Note 2	
I <sub>z</sub>	OFF State Leakage Current, All Channels OFF	XC								800	nA	25°C	$E = V_{DD}$ $V_{CS} = V_{DD}/2$ $V_{in} = V_{DD}$ or $V_{EE}$	
		XM								80				
	Any Channel OFF	XC								100				
		XM								10				
I <sub>DD</sub>	Quiescent Power Supply Dissipation	XC			20		40		8		μA	MIN 25°C MAX	$V_{SS} = V_{EE}$ All inputs common and and at $V_{DD}$ or $V_{EE}$	
		XM			2		4		0.8					
					70		140		28		MIN 25°C MAX			

Notes on following page.

FAIRCHILD CMOS • F4051/34051

DC CHARACTERISTICS AND SET-UP REQUIREMENTS: VDD as shown, VEE = 0V, TA = 25°C (See Note 4)

SYMBOL	PARAMETER	UNITS								UNITS	TEST CONDITIONS
		VDD = 5V		VDD = 10V		VDD = 15V					
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP		
tPLH tPHL	Propagation Delay, Input to Output	20 8			7 4			4 3		ns	CL = 15 pF, E = VSS = VEE, A1 or V15 = VDD or VEE Note 6
tPLH tPHL	Propagation Delay, Address to Output	160 200			80 120			75 90	ns		
tPZL tPZH	Output Enable Time	180 200			80 100			70 80	ns	CL = 15 pF, E or A1 = VSS = VEE	
tPLZ tPHZ	Output Disable Time	1000 1000			800 920			880 850	ns	V15 = VDD or VEE Note 6	
tPLH tPHL	Propagation Delay, Input to Output	25 10			15 6			8 4	ns	CL = 50 pF E = VSS = VEE	
tPLH tPHL	Propagation Delay, Address to Output	170 210			95 125			80 95	ns	A1 or V15 = VDD or VEE Note 6	
tPZL tPZH	Output Enable Time	185 205			85 105			75 85	ns	CL = 50 pF, E or A1 = VSS = VEE	
tPLZ tPHZ	Output Disable Time	1250 1240			1130 1120			1080 1070	ns	V15 = VDD or VEE Note 6	
	Distortion, Sine Wave Response	0.2			0.2			0.2	%	CL = 15 pF RL = 10 kΩ, VSS = VDD/2, E = VEE V15 = VDD/2 (sine wave) f15 = 1 kHz	
	Crosstalk Between Any Two Channels				1				MHz	RL = 1 kΩ, E = VEE V15 = VDD/2 (sine wave) at -40 dB VSS = VDD/2, 20 Log10 (Vout/V15) = -40 dB	
	OFF State Feedthrough				1				MHz	RL = 1 kΩ, VSS = VDD/2, E = VDD V15 = VDD/2 (sine wave) 20 Log10 (Vout/V15) = -40 dB	
MAX	ON State Frequency Response	13			40			70	MHz	RL = 1 kΩ, E = VSS V15 = VDD/2 (sine wave) VSS = VDD/2 20 Log10 (Vout/V15) = -3 dB	

NOTES:

1. All nominal DC Characteristics for the Address and Enable Inputs are listed in the section under F4000 Series CMOS Family Characteristics.
2. E = VEE, RL = 10 kΩ, one channel selected and VGS = VEE or VDD/2.
3. V15 = 15V for VDD = 15V.
4. V15 = 5V for VDD = 10V.
5. V15 = 5V for VDD = 5V.
6. Propagation Delay and Output Transition Times are graphically described in the section under F4000 Series CMOS Family Characteristics.
7. CL = VDD, if the voltage signal is an Input/Output terminal (V15/Z1).
8. V15 = VDD (Square wave, input transition times < 20 ns, RL = 10 kΩ).

## BIBLIOGRAFIA

- a) TTL DATA BOOK, TEXAS INSTRUMENTS.
- b) LINEAR DATA BOOK, NATIONAL.
- c) CMOS DATA BOOK, MOTOROLA.
- d) CMOS DATA BOOK, FAIRCHILD.
- e) MEMORY DATA BOOK, MOTOROLA.
- e) MEMORY DATA BOOK, TEXAS INSTRUMENTS.
- f) MANUAL DE OSCILOSCOPIO HP MODELO 2220.
- g) MANUAL DE OSCILOSCOPIO TEKTRONIX MODELO 2313.
- h) MANUAL DE ANALIZADOR DE ESTADOS LOGICOS HP (8 BITS).