

24: 48



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

Facultad de Ingeniería

**DISEÑO Y REALIZACION DE UN CONTROLADOR
ELECTRONICO DE PROYECTORES**

T E S I S

**Que para obtener el Título de:
INGENIERO MECANICO ELECTRICISTA**

P R E S E N T A N :

**ALEJANDRO N. GALVAN ESPINOSA
EVA MARIANA GARCIA GOMEZ**

**DIRECTOR DE TESIS:
ING. ANTONIO SALVA CALLEJA**

MEXICO, D. F.

1988



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

	Página
INTRODUCCION	1
I. DESCRIPCION FUNCIONAL	4
1. INTRODUCCION	4
2. DESCRIPCION DE LAS ETAPAS	5
1. ETAPA DE GRABACION	5
2. ETAPA DE REPRODUCCION	12
3. ETAPA DE CONTROL	15
4. INTERFASE A PROYECTORES Y AUXILIARES	20
II. ETAPA DE GRABACION	21
1. INTRODUCCION	21
2. BLOQUE DE TECLAS PROGRAMABLES	22
1. LA INSTRUCCION A TRAVES DEL TECLADO	22
2. ALAMBRADO DEL TECLADO	25
3. BLOQUE CODIFICADOR DE TECLA	31
4. BLOQUE DE REGISTRO DE FORMA- CION DE PALABRA	35
5. BLOQUE DE MEMORIA	38
6. BLOQUE CONVERTIDOR PARALELO - SERIE	39
7. BLOQUE ACONDICIONADOR DE SEÑAL A GRABAR	42

III.	ETAPA DE CONTROL	50
1.	INTRODUCCION	50
2.	BLOQUE DE TECLAS DE CONTROL	51
3.	BLOQUE CONTROLADOR	53
1.	LINEAS DE DIRECCION DE LA MEMORIA EPROM	53
2.	LINEAS DE DATOS DE LA MEMORIA EPROM	61
4.	BLOQUE DE EXHIBICION DE NUMERO DE INSTRUCCION	76
5.	BLOQUE DE EXHIBICION DE INSTRUCCION	76
IV.	ETAPA DE REPRODUCCION	82
1.	INTRODUCCION	82
2.	BLOQUE ACONDICIONADOR DE SEÑAL RECUPERADA	83
3.	BLOQUE SELECTOR DE EJECUCION DIRECTA	94
4.	BLOQUE CONVERTIDOR SERIE - PARALELO	96
1.	SEPARACION DE SEÑALES	96
2.	CONVERSION SERIE - PARALELO	98
5.	BLOQUE DE REGISTRO DE PALABRA PARA INTERFASE	101

V.	INTERFASE A PROYECTORES Y AUXILIARES	104
1.	INTRODUCCION	104
2.	SELECTOR DE FUNCION Y EQUIPO	105
1.	SELECTOR DE FUNCION	107
2.	SELECTOR DE EQUIPO	108
3.	MEMORIAS DE ALMACENAMIENTO DE FUNCIONES	111
4.	GENERADOR DE SEÑAL DE CONTROL PARA LAMPARA	114
1.	SELECTOR DE FUNCION DE LAMPARA	114
2.	GENERADOR DE RAMPA PARA CONTROL DE LAMPARA	117
5.	INTERFASE PARA LAMPARA	123
6.	INTERFASE DE MOVIMIENTOS DE PROYECTOR	125
7.	INTERFASE DE AUXILIAR	127
	CONCLUSIONES	130
	APENDICES	132
I.	DIAGRAMAS ELECTRONICOS Y LISTA DE PARTES	133
II.	FUENTES DE ALIMENTACION Y RELOJES	146
	BIBLIOGRAFIA	160

INTRODUCCION

El controlador electrónico de proyectores, objeto del presente trabajo, fué diseñado con dos propósitos fundamentales. El primero, resultado de una experiencia académica de varios semestres, es la creación de un aparato que conjuntamente con proyectores y auxiliares forme un equipo adecuado para la realización y exhibición de audiovisuales de apoyo didáctico. El segundo, un propósito común a todos los estudiantes en búsqueda de la conclusión de sus estudios profesionales, es el de presentar una tesis que refleje la asimilación de conceptos y criterios que han constituido nuestra formación como universitarios.

La idea inicial del controlador de proyectores surgió en el Departamento de Control de la Facultad de Ingeniería de la U.N.A.M., como parte de un proyecto en el cual se pretendía la proyección de materiales audiovisuales elaborados en el propio Departamento, de manera automática, sincronizando el movimiento de las diapositivas con la cinta de audio.

Tomando así esta idea como base, propusimos el diseño de un controlador de proyectores con mayores capacidades, teniendo en consideración aspectos tales como su utilidad en el área docente, su similitud con los equipos existentes en el mercado en cuanto a capacidades y su compatibilidad con los proyectores más comúnmente empleados.

Como resultado, definimos las características funcionales del aparato. Este aspecto constituye el primer capítulo de esta tesis bajo el título de DESCRIPCION FUNCIONAL, y pretende dar una descripción completa y concreta de las capacidades del controlador, así como una explicación, a nivel de bloques, del funcionamiento del mismo.

En los capítulos II, III y IV se describen las soluciones de diseño empleadas en la realización de las tres etapas fundamentales del controlador: ETAPA DE GRABACION, ETAPA DE CONTROL y ETAPA DE REPRODUCCION.

En cuanto a la ETAPA DE GRABACION se presentan las soluciones de diseño para la captura de instrucciones - introducidas por el usuario a través del teclado, el almacenamiento de las mismas y su grabación en la cinta magnética.

La ETAPA DE CONTROL contiene las secuencias de operación interna del aparato llevadas a cabo mediante microprogramación en memoria EPROM. También se presentan aquí las soluciones de diseño para los despliegues de INSTRUCCION y de NUMERO DE INSTRUCCION, ventanas para el usuario hacia su interacción con el controlador.

En la ETAPA DE REPRODUCCION se presentan soluciones de diseño para la recuperación de las instrucciones de la cinta magnética y su paso hacia la interfase -- que comunica al controlador con los elementos finales

que realizarán las diferentes acciones: los proyectores y los auxiliares.

La INTERFASE A PROYECTORES Y AUXILIARES constituye el capítulo V, último del trabajo. En éste se hace una descripción funcional de dicha interfase y se presentan las soluciones de diseño empleadas para su realización. No se pretende un análisis detallado de las soluciones, sino proporcionar una idea clara de la forma de operación de la interfase.

En las páginas siguientes se expone el resultado del trabajo realizado durante el diseño de controlador electrónico de proyectores.

E.M.G.G.

A.N.G.E.

Así, cada vez que se reproduzca la cinta de audio a través del controlador, éste hará actuar a los proyectores en la forma deseada.

2. DESCRIPCION DE LAS ETAPAS

El controlador de proyectores, para su mejor comprensión, se puede dividir en cuatro etapas fundamentales, las cuales se describen en el presente capítulo (Fig. 1).

2.1 ETAPA DE GRABACION

Esta etapa constituye el inicio de la operación del aparato. Por medio de ella el usuario programa la secuencia de su audiovisual en el controlador y posteriormente la graba en la cinta magnética. La etapa de grabación se divide en seis bloques funcionales (Fig. 2):

1. BLOQUE DE TECLAS PROGRAMABLES.
2. BLOQUE CODIFICADOR DE TECLA.
3. BLOQUE DE REGISTRO DE FORMACION DE LA PALABRA.
4. BLOQUE DE MEMORIA.
5. BLOQUE CONVERTIDOR PARALELO - SERIE.
6. BLOQUE ACONDICIONADOR DE SEÑAL A GRABAR.

A continuación se da una descripción funcional de estos bloques.

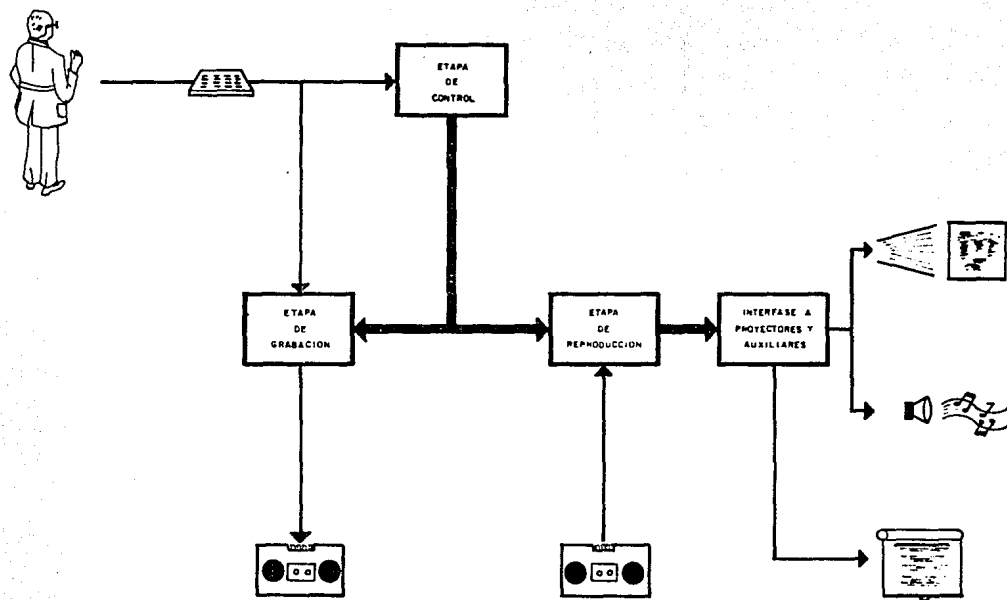


Figura 1. ETAPAS FUNDAMENTALES DEL CONTROLADOR

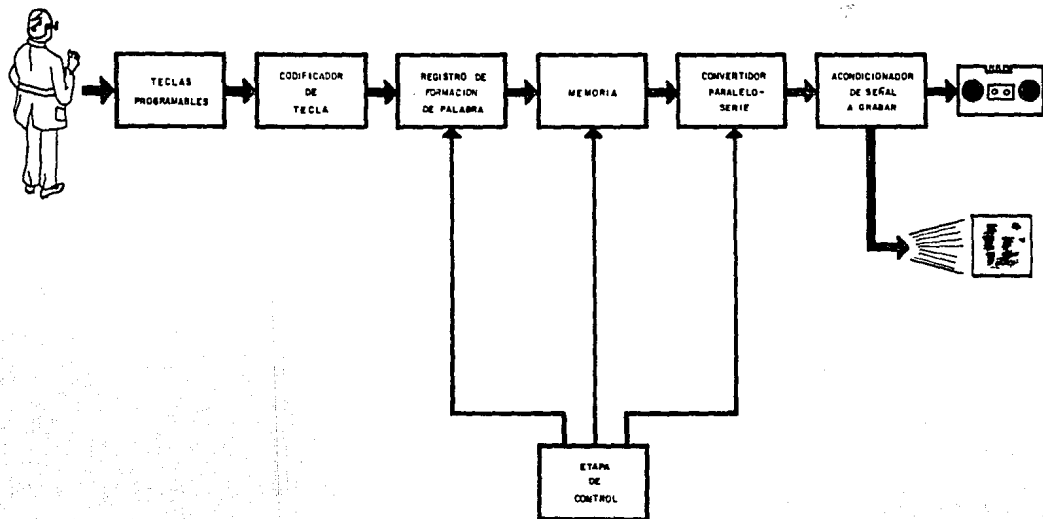


Figura 2. ETAPA DE GRABACION

2.1.1 BLOQUE DE TECLAS PROGRAMABLES

Mediante el uso de las teclas programables con que cuenta el teclado del aparato, el usuario tiene la posibilidad de formar una instrucción con ciertas características:

A. Función a realizar por proyectores o auxiliares:

El aparato posee capacidad de hacer que uno o varios proyectores ejecuten cualquiera de las 6 siguientes funciones en cada instrucción.

1. Avance, que es poner en posición de ser exhibida la siguiente transparencia (adelantar el carro del proyector).
2. Retroceso, que es poner en posición de ser exhibida la transparencia anterior (retroceder el carro del proyector).
3. Encendido, que es la activación de la lámpara del proyector a su máxima intensidad, sin cambio de transparencia.
4. Apagado, que es la desactivación total de la lámpara del proyector, sin cambio de transparencia.
5. Flasheo, que es un encendido intermitente de la lámpara a la más alta velocidad posible, sin cambio de transparencia.

6. Disolvensia, que es el encendido de un proyector simultáneamente con el apagado de otro, sin cambio de transparencia.

B. Dispositivo que realizará la función: El aparato da la posibilidad de ejecutar cualquiera de las cinco primeras funciones mencionadas anteriormente en hasta cuatro proyectores a la vez. La última función, disolvensia, sólo se puede llevar a cabo por parejas de proyectores.

Además, se cuenta con dos líneas auxiliares que pueden ejecutar las funciones de encendido, apagado y flasheo. Estas líneas tienen como finalidad el manejo de elementos que contribuyan a la presentación del audiovisual, tales como focos, pantallas, telones, etc.

C. Velocidad de ejecución de la función: En las funciones que manejan las lámparas de los proyectores (encendido, apagado y disolvensia) se tiene la opción de seleccionar una de cuatro velocidades disponibles:

1. Velocidad instantánea, que está determinada por el tiempo de respuesta de la lámpara.
2. Velocidad alta, que realiza el cambio de estado de la lámpara en 2 segundos.
3. Velocidad media, que lo realiza en 4 segundos.
4. Velocidad baja, que lo realiza en 8 segundos.

Cuando la función sea ejecutada por los auxiliares, sólo se hará uso de la velocidad instantánea.

Una vez que el usuario ha seleccionado una función, uno o varios dispositivos que la ejecutarán y una velocidad (cuando se tenga esta opción), entonces ha formado una instrucción.

2.1.2 BLOQUE CODIFICADOR DE TECLA

Este bloque tiene la función de convertir la instrucción que está siendo tecleada, en una palabra de control comprensible y manejable para el aparato.

2.1.3 BLOQUE DE REGISTRO DE FORMACION DE PALABRA

En este registro se almacena la palabra de control a medida que va siendo creada por el usuario. Al terminar de teclear todas las características de la instrucción, la palabra de control correspondiente queda completa y presente en el registro.

2.1.4 BLOQUE DE MEMORIA

Cada palabra de control que es creada se almacena en la memoria del aparato, formándose una secuencia de palabras correspondiente a la secuencia de instrucciones que constituye el audiovisual.

2.1.5 BLOQUE CONVERTIDOR PARALELO - SERIE

Este bloque se encarga de tomar cada una de las pa-

labras que se encuentran en la memoria y cuya salida son líneas en paralelo, y convertirla en una salida que va en forma seriada por una sola línea.

2.1.6 BLOQUE ACONDICIONADOR DE SEÑAL A GRABAR

El acondicionador de señal a grabar modifica características de nivel y duración a la señal seriada, de manera que al entrar dicha señal a la grabadora, sea captada de una forma adecuada.

Este bloque cuenta también con una salida adicional que va hacia los proyectores y auxiliares, para que el usuario pueda ejecutar directamente una instrucción que está en la memoria, sin tener que grabarla en la cinta magnética.

Esta opción de ejecución directa es de gran utilidad ya que elimina el paso de la palabra de control por la grabadora y la envía al bloque selector de ejecución directa de la etapa de reproducción.

Si se quiere probar la operación de una instrucción, mediante la función de control "Ejecutar" se hace pasar la palabra de control asociada a dicha instrucción de la etapa de grabación a la etapa de reproducción sin hacer uso de la cinta magnética para su transmisión.

Mediante la etapa de grabación se logra que toda una secuencia de instrucciones quede registrada en un canal de cinta magnética, en sincronía con el otro (audio).

La sincronía consiste en grabar las palabras de control en lugares previamente seleccionados de acuerdo a la música o texto del audiovisual.

Es importante señalar que varios de los bloques de la etapa de grabación están manejados o apoyados por la etapa de control.

2.2 ETAPA DE REPRODUCCION

Comprende la recuperación y el procesamiento de las palabras de control provenientes de la grabadora. Su finalidad es hacer ejecutar a los proyectores y auxiliares las funciones correspondientes a las instrucciones grabadas por el usuario en la etapa de grabación. Los bloques que constituyen la etapa de reproducción son cuatro (Fig. 3):

1. BLOQUE ACONDICIONADOR DE SEÑAL RECUPERADA.
2. BLOQUE SELECTOR DE EJECUCION.
3. BLOQUE CONVERTIDOR SERIE - PARALELO.
4. BLOQUE DE REGISTRO DE PALABRA PARA INTERFASE.

Se describe a continuación la función de cada uno de los bloques.

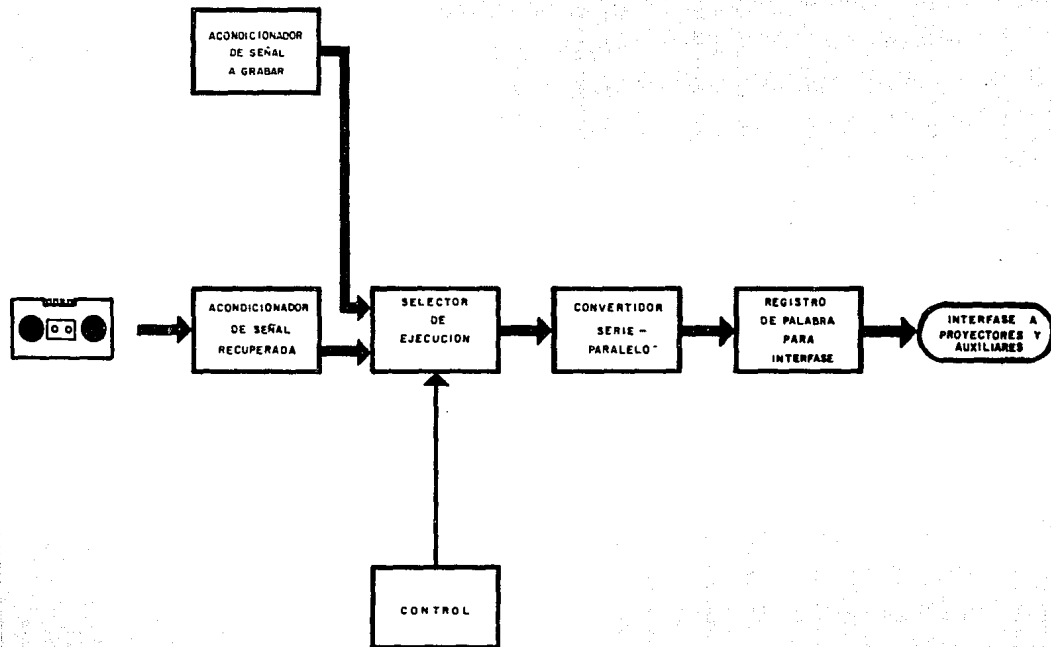


Figura 3. ETAPA DE REPRODUCCION

2.2.1 BLOQUE ACONDICIONADOR DE SEÑAL RECUPERADA

Mediante este bloque, las palabras de control que se encuentran grabadas en la cinta magnética son recuperadas por el aparato, y acondicionadas para su manejo en el resto de los bloques de la etapa.

2.2.2 BLOQUE SELECTOR DE EJECUCION

Su función es seleccionar, según lo indique el usuario por medio del control, si la instrucción que se desea ejecutar proviene de la grabadora, o de la opción de ejecución directamente de la memoria.

2.2.3 BLOQUE CONVERTIDOR SERIE - PARALELO

Este bloque tiene como finalidad convertir la palabra de control de la forma seriada en que se encuentra grabada en la cinta magnética y en que pasa por el acondicionador de señal recuperada, a salidas en paralelo por diferentes líneas.

2.2.4 BLOQUE REGISTRO DE PALABRA PARA INTERFASE

Constituye el final de la etapa de reproducción. Tiene por objeto retener la información de la palabra de control durante el tiempo necesario para que sea ejecutada la instrucción correspondiente por los proyectores y auxiliares, y permanece hasta la llegada de la siguiente palabra.

En forma global, la etapa de reproducción hace que las palabras de control que han sido grabadas en la

cinta magnética pasen a los dispositivos encargados de ejecutar las instrucciones (proyectores y auxiliares).

El bloque selector de ejecución directa es el único de esta etapa que requiere de la etapa de control para su operación.

2.3 ETAPA DE CONTROL

Constituye la parte fundamental del aparato, ya que es quien dirige sus acciones principales. Está formada por cuatro bloques, y relacionada con varios bloques de las otras etapas (Fig. 4).

Los bloques que la constituyen se describen a continuación, y son los siguientes:

1. BLOQUE DE TECLAS DE CONTROL.
2. BLOQUE CONTROLADOR.
3. BLOQUE DE EXHIBICION DEL NUMERO DE INSTRUCCION.
4. BLOQUE DE EXHIBICION DE INSTRUCCION.

2.3.1 BLOQUE DE TECLAS DE CONTROL

Con las teclas de control el usuario tiene la opción de seleccionar una de varias funciones que el controlador puede realizar. Estas funciones son diferentes de las comprendidas en el bloque de teclas de funciones programables, ya que las primeras las ejecuta el

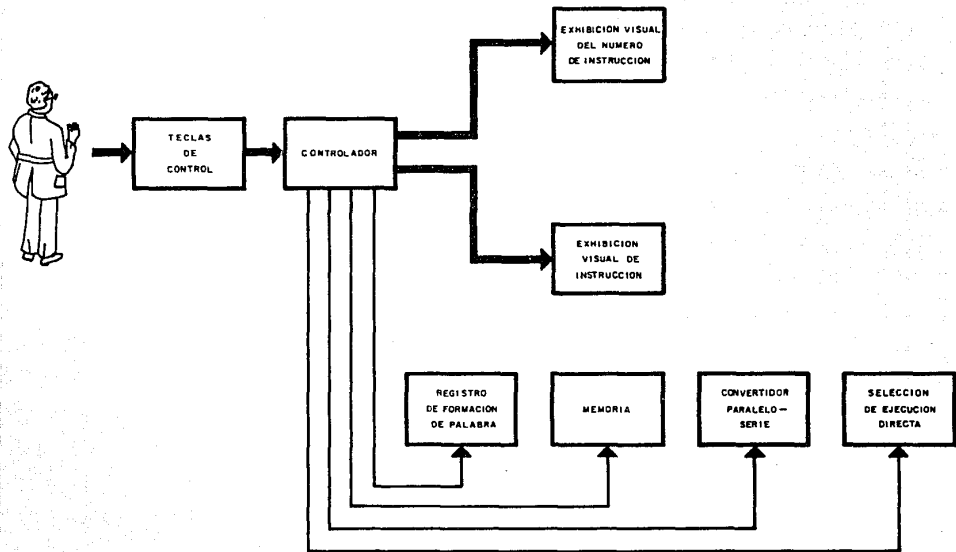


Figura 4. ETAPA DE CONTROL

aparato para la selección de su forma de operación, mientras que las segundas las ejecutarán los proyectos y los auxiliares después de haber sido almacenadas en la memoria del aparato, grabadas y reproducidas.

Las funciones de control son:

1. Entrar.- Una vez que el usuario ha formado una instrucción, esta tecla le permite almacenarla en la memoria del aparato bajo un cierto número de instrucción. Posteriormente este número se incrementa para recibir la siguiente instrucción.
2. Grabar.- Ya almacenadas todas las instrucciones en la memoria, esta tecla permite al usuario grabarlas en la cinta magnética de manera secuencial, una cada vez que se oprima la tecla. Todo esto ocurre mientras la cinta está avanzando, de tal forma que la posición en que se grabe cada instrucción sea seleccionada en base al audio.
3. Ejecutar.- Esta tecla da la opción al usuario de que una vez formada una instrucción o tomándola de la memoria, ésta se ejecute directamente, sin la necesidad de ser grabada.
4. Borrar instrucción.- Si el usuario, al formar una instrucción y antes de darle entrada a memoria, comete un error o desea modificarla, podrá borrarla y empezar a formarla nuevamente mediante el uso de esta tecla.

5. Leer adelante.- Todas las instrucciones que constituyen el audiovisual, llevan asociado un "número de instrucción" consecutivo y único para cada una. La tecla leer adelante hace que se muestre al usuario, mediante tres dígitos luminosos, un número y las características de la instrucción asociada a éste (función, dispositivo, velocidad). Si se mantiene oprimida la tecla durante un segundo o se suelta y oprime nuevamente el controlador incrementará el número, apareciendo en los indicadores el nuevo número y la instrucción correspondiente.

6. Leer atrás.- La función de esta tecla es similar a la de leer adelante, con la diferencia de que al mantener la tecla oprimida por un segundo o soltarla y volver a oprimirla, el controlador decrementará el número de instrucción, mostrándose al usuario el número anterior al que se estaba exhibiendo, y su instrucción asociada.

Con las dos teclas "leer", el usuario puede seguir de principio a fin o viceversa todas las instrucciones que forman su audiovisual, mediante el incremento o decremento del número de instrucción. Esto brinda la oportunidad de realizar modificaciones al audiovisual tecleando una nueva instrucción y dándole entrada a memoria en un número ya utilizado, con lo cual la nueva instrucción reemplazará a la anterior.

7. Regreso a inicio.- Esta tecla permite al usuario colocar el número de instrucción en el ini-

cio de la secuencia de su audiovisual, mostrándose también el contenido de la primera instrucción.

8. Restablecer.- Si por alguna causa el usuario pierde el control del aparato, o si desea borrar toda la información almacenada en la memoria, al oprimir esta tecla iniciará de nuevo toda la operación del controlador. Su función es equivalente al encendido del aparato.

2.3.2 BLOQUE CONTROLADOR

Este bloque es propiamente quien realiza las acciones de control sobre los dispositivos que así lo requieren, para llevar a cabo una cierta función del aparato.

Tiene acción directa sobre los bloques de registro de formación de palabra (etapa de grabación), memoria (etapa de grabación), convertidor paralelo-serie (etapa de grabación) y selección de ejecución directa (etapa de reproducción).

2.3.3 BLOQUE DE EXHIBICION DEL NUMERO DE INSTRUCCION.

Mediante este bloque el usuario puede ver el número que posee una instrucción en particular, del número total que constituye el audiovisual. El máximo número de instrucciones que se puede almacenar en la memoria es 1000.

2.3.4 BLOQUE DE EXHIBICION DE INSTRUCCION

Por medio de este bloque el usuario tiene la opción de ver como se va formando una instrucción antes de darle entrada a memoria, o bien de ver el contenido de la instrucción (función, dispositivos y velocidad) asociada al número que aparece en los dígitos luminosos del número de instrucción.

La función de la etapa de control es, mediante su interacción con las otras dos etapas y con el usuario, permitirle a este último el manejo total del aparato, con la finalidad de crear un audiovisual con opciones variadas en proyectores y auxiliares y que sea reproducible en forma automática.

2.4 INTERFASE A PROYECTORES Y AUXILIARES

Esta interfase no constituye en sí una etapa del controlador. Su función es hacer compatibles las señales de salida del aparato con las señales que requieren los proyectores para generar las acciones tanto en las lámparas como en el avance y retroceso de las transparencias.

II

ETAPA DE GRABACION

1. INTRODUCCION

La primera etapa del controlador electrónico de proyectores, en lo que se refiere a su secuencia de operación, es la etapa de grabación.

Para reproducir un audiovisual automáticamente a través del aparato, es necesario que las instrucciones a ejecutarse en dicho audiovisual hayan sido previamente grabadas en una cinta magnética.

A su vez, para ser grabadas las instrucciones en la cinta magnética, éstas deben ser primeramente formadas mediante el teclado y almacenadas en la memoria del controlador. Así, la etapa de grabación comprende desde la creación de una instrucción por medio del teclado, hasta su grabación en la cinta magnética.

Los bloques funcionales que componen esta etapa son los siguientes (Cap. I, Fig. 2):

1. BLOQUE DE TECLAS PROGRAMABLES.
2. BLOQUE CODIFICADOR DE TECLA.
3. BLOQUE DE REGISTRO DE FORMACION DE LA PALABRA.
4. BLOQUE DE MEMORIA.

5. BLOQUE CONVERTIDOR PARALELO - SERIE.

6. BLOQUE ACONDICIONADOR DE SEÑAL A GRABAR.

2. BLOQUE DE TECLAS PROGRAMABLES

Este bloque está constituido por dos teclados de membrana de conexión paralelo y 12 teclas cada uno, y una resistencia limitadora de corriente de 10 K Ω por cada tecla.

2.1 LA INSTRUCCION A TRAVES DEL TECLADO

Funcionalmente el teclado se presenta como un conjunto de 24 teclas de membrana de las cuales 15 están asignadas a las diferentes opciones que forman la instrucción (Fig. 1).

Una instrucción es un conjunto de datos que el usuario debe seleccionar y proporcionar al controlador pulsando ciertas teclas, para ser convertido en una palabra de control. Las partes de una instrucción son tres y se agrupan por secciones del teclado:

FUNCION. Se debe seleccionar solamente una función por instrucción. Las opciones que se presentan en el teclado son:

AVANZAR
RETROCEDER
ENCENDER
APAGAR
FLASHEAR
DISOLVER

DISPOSITIVO. Se pueden seleccionar uno o más de los dispositivos presentados en el teclado, oprimiendo la o las teclas correspondientes:

PROYECTOR 1

PROYECTOR 2

PROYECTOR 3

PROYECTOR 4

AUXILIAR 1 (excepto avance, retroceso, disolven-
cia)

AUXILIAR 2 (excepto avance, retroceso, disolven-
cia)

VELOCIDAD. Las funciones asociadas a las lámparas de los proyectores (encender, apagar, flashear, disolver) pueden realizarse en distintas velocidades, de acuerdo a las necesidades particulares de cada audio-visual. La característica de velocidad sólo es aplicable a proyectores, ya que los auxiliares tienen asignada una velocidad fija para sus funciones. Las opciones que se presentan en el teclado, en cuanto a velocidades son:

VEL. BAJA 8 segundos

VEL. MEDIA 4 segundos

VEL. ALTA 2 segundos

VEL. INSTANTANEA No está en el teclado. Es la que se asigna si no se selecciona alguna de las otras. Velocidad máxima de cambio de estado de la lámpara.

2.2 ALAMBRADO DEL TECLADO

El tipo de teclado seleccionado es de membrana de 12 teclas en paralelo RAPID CIRCUIT 1200. Sus características eléctricas son:

$$\begin{aligned}V_{\max} &= 30 \text{ V} \\I_{\max} &= 100 \text{ mA} \\R_{\text{contacto}} &= 50 \text{ a } 100 \Omega\end{aligned}$$

El bloque siguiente, codificador de tecla, está alimentado por las salidas del teclado y lo constituyen circuitos integrados TTL/LS con las siguientes características:

$$\begin{aligned}V_{IH} &= 2\text{V min.} \\V_{IL} &= 0.8\text{V max.} \\I_{IH} &= 20 \mu\text{A @ } V_{IH} = 2.7\text{V} \\I_{IL} &= -0.4 \text{ mA @ } V_{IL} = 0.4\text{V}\end{aligned}$$

De acuerdo a las características anteriormente mencionadas se propuso el arreglo eléctrico de teclado (Fig. 2) que se considera más adecuado en cuanto a niveles TTL, corriente drenada y compatibilidad con la lógica de las etapas siguientes.

La conexión seleccionada es el común del teclado a tierra y cada tecla a la fuente de +5V a través de una resistencia limitadora de corriente.

Al permanecer el contacto abierto, la corriente que circula por el circuito está sujeta únicamente a la

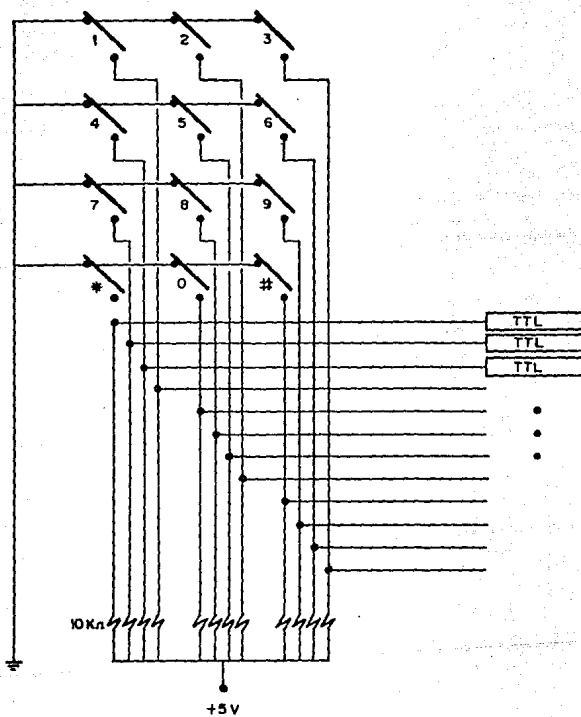


Figura 2. CONEXION DEL TECLADO

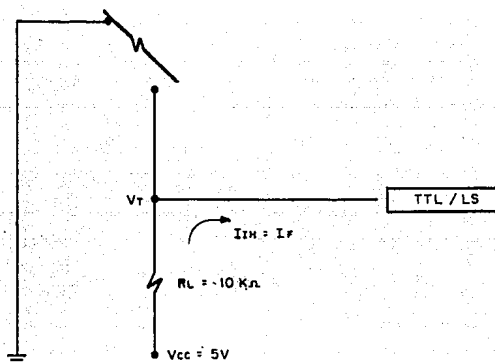


Figura 3. TECLA SIN OPRIMIR

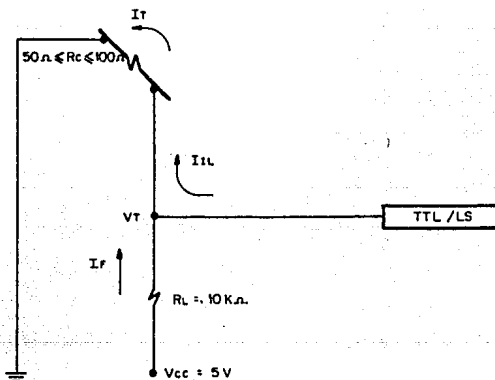


Figura 4. TECLA OPRIMIDA

Analizando los requerimientos de corriente del teclado y la corriente que debe entregar la fuente a las entradas TTL debido al arreglo propuesto, al mantener el contacto abierto es demandada tan sólo I_{IH} de la fuente hacia el circuito integrado asociado a la salida de cada tecla.

$$I_F = I_{IH} = 20 \mu A$$

Con la tecla oprimida se demanda una corriente limitada por las resistencias que constituyen la malla de la tecla:

$$I_F = \frac{V_{CC}}{R_L + R_C}$$

Suponiendo la menor resistencia de contacto, la mayor corriente que la fuente debe entregar está dada por:

$$I_F = \frac{5}{10000 + 50}$$

$$I_F = 0.497 \text{ mA}$$

La corriente a través del teclado para esta condición está dada por la corriente de la fuente más la corriente que drena el circuito integrado TTL en estado bajo:

$$I_T = I_F + I_{IL}$$

$$I_T = 0.497 \times 10^{-3} + 0.4 \times 10^{-3}$$

$$I_T = 0.897 \text{ mA.}$$

De los resultados de I_F (contacto abierto y cerrado), e I_T se observa que la demanda de corriente a la fuente es muy pequeña, y que la corriente que circula por los contactos del teclado está dentro del rango especificado por el fabricante:

Demanda de corriente a la fuente
por cada tecla oprimida = 0.497 mA .

Demanda de corriente a la fuente
sin teclas oprimidas = 0.48 mA

Corriente máxima circulando a
través de cada contacto del
teclado = 0.897 mA

Por último, la lógica del teclado como salida hacia circuitos integrados TTL se muestra en la siguiente tabla.

ESTADO DE LA TECLA	NIVEL DE ENTRADA A TTL
OPRIMIDA	BAJO
NO OPRIMIDA	ALTO

Tabla 1

3. BLOQUE CODIFICADOR DE TECLA

El bloque codificador está formada por 6 compuertas lógicas AND de 2 entradas (74LS08), las cuales constituyen el paso intermedio entre la instrucción teclada por el usuario y la palabra de control asociada que se registrará en el siguiente bloque. (Fig. 5)

Mientras el teclado se mantenga sin ser oprimido, todas sus líneas presentan un estado alto (+ 5V). Después, a medida que el usuario vaya formando su instrucción, irá apareciendo una línea en estado bajo por cada tecla que sea oprimida.

La secuencia en que se debe teclear la instrucción es:

FUNCION.- Seleccionar y teclear una sola función por instrucción.

DISPOSITIVO(S).- Seleccionar y teclear todos los dispositivos asignados a realizar la función, uno a la vez.

VELOCIDAD.- Seleccionar y teclear, en las funciones que se requiera, una sola velocidad. La omisión de selección de velocidad causará la asignación de la velocidad instantánea.

En la selección de la función, el codificador, mediante 4 compuertas AND, convierte el contenido de 6 líneas del teclado (las 6 funciones) en 4 líneas

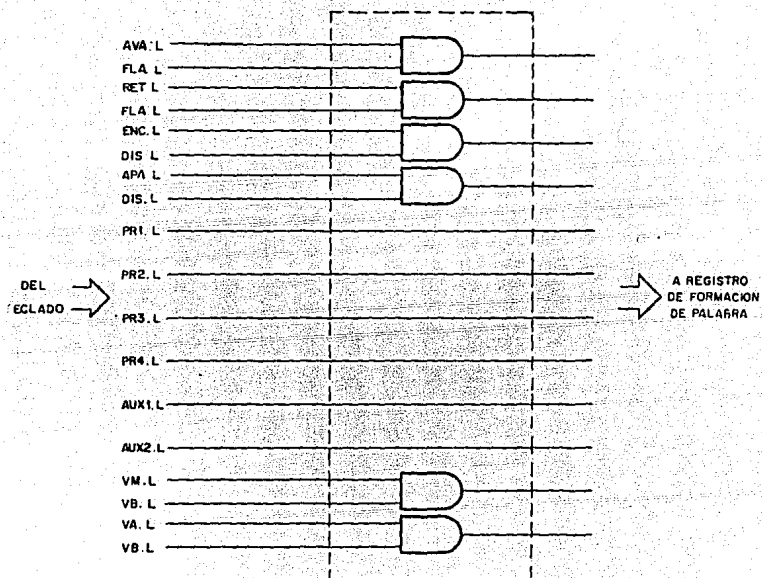


Figura 5. BLOQUE CODIFICADOR DE TECLA

hacia el bloque de registro, con la finalidad de reducir la palabra de control.

Las líneas de dispositivos no son alteradas por el codificador, ya que esto facilitará su detección en los actuadores sin necesidad de una posterior decodificación.

Las 3 velocidades a que se tiene acceso en el teclado, y la omisión de ellas, son convertidas en 2 líneas hacia el bloque de registro mediante 2 compuertas AND.

Las siguientes tablas muestran la correspondencia entre las líneas del teclado y la salida del bloque codificador, para las diferentes partes de la instrucción.

FUNCION	LINEAS DEL TECLADO AV.DL.EN.AP.PL.OI.	SALIDA DE BLOQUE CODIFICADOR			
		B12	B11	B10	B9
NO OPERA	1 1 1 1 1 1	1	1	1	1
AVANCE	0 1 1 1 1 1	0	1	1	1
RETROCESO	1 0 1 1 1 1	1	0	1	1
ENCENDIDO	1 1 0 1 1 1	1	1	0	1
APAGADO	1 1 1 0 1 1	1	1	1	0
FLASHED	1 1 1 1 0 1	0	0	1	1
DISOLVENCIA	1 1 1 1 1 0	1	1	0	0

Tabla 2

DISPOSITIVO	LINEAS DEL TECLADO						SALIDA DE BLOQUE CODIFICADOR					
	P1	P2	P3	P4	A1	A2	B8	B7	B6	B5	B4	B3
NO OPERA	1	1	1	1	1	1	1	1	1	1	1	1
PROYECTOR 1	0	1	1	1	1	1	0	1	1	1	1	1
PROYECTOR 2	1	0	1	1	1	1	1	0	1	1	1	1
PROYECTOR 3	1	1	0	1	1	1	1	1	0	1	1	1
PROYECTOR 4	1	1	1	0	1	1	1	1	1	0	1	1
AUXILIAR 1	1	1	1	1	0	1	1	1	1	1	0	1
AUXILIAR 2	1	1	1	1	1	0	1	1	1	1	1	0

Tabla 3

VELOCIDAD	LINEAS DEL TECLADO			SALIDA A BLOQUE CODIFICADOR	
	VA.	VM.	VB.	B2	B1
INSTANTANEA	1	1	1	1	1
ALTA	0	1	1	1	0
MEDIA	1	0	1	0	1
BAJA	1	1	0	0	0

Tabla 4

A la salida del bloque codificador de tecla se presentan ya los bits que constituyen la palabra de control. Esta palabra contiene toda la información necesaria para que se ejecute la instrucción tecleada por el usuario.

4. BLOQUE DE REGISTRO DE FORMACION DE PALABRA

Lo forman 12 latches del tipo RS (74LS279), los cuales dan entrada y guardan la información que se va generando en las salidas del bloque codificador (Fig. 6).

La tabla de verdad que siguen los latches empleados es:

ENTRADAS		SALIDA
$\overline{S}_1$	$\overline{R}$	Q
0	0	NO OP.
0	1	1
1	0	0
1	1	Qo
* Para latches con $\overline{S}_1$ y $\overline{S}_2$. 1 = Ambas $\overline{S}$ altas 0 = Una o ambas $\overline{S}$ bajas		

Tabla 5

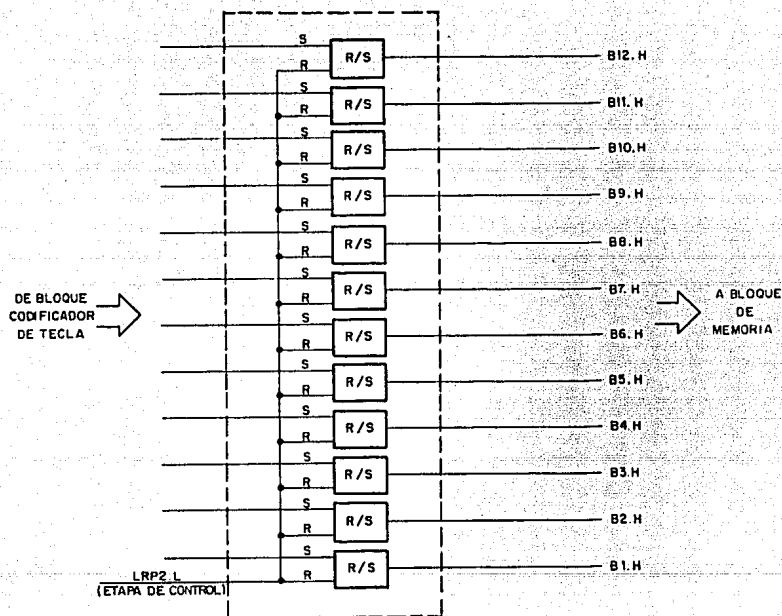


Figura 6. REGISTRO DE FORMACION DE PALABRA

Las entradas $\bar{S}$ de los latches son tomadas del bloque codificador.

Las entradas $\bar{R}$, por otra parte, son tomadas en forma común de una línea especial ($\overline{LRP2}$) proveniente de la etapa de control.

La manera en que opera el bloque de registro de formación de palabra es la siguiente:

Mientras no es oprimida ninguna tecla programable del teclado, todas sus líneas permanecen en estado alto, al igual que las salidas del bloque codificador. Además la etapa de control mantiene la línea $\overline{LRP2}$ en estado alto. Así, de acuerdo a la tabla de verdad de los latches, lo que se encuentra en las salidas de éstos es el estado Q_0 (estado anterior), que previamente se ha garantizado por el control, serán niveles bajos.

Al iniciar el usuario la formación de una instrucción, teclea una de las 6 funciones que se presentan en el teclado. Mientras se mantenga oprimida la tecla seleccionada, aparece en una o en dos de las cuatro primeras líneas de salida del bloque codificador, un nivel bajo. La correspondencia entre líneas del teclado y salidas del bloque codificador se encuentra en la tabla 2.

Entonces, al presentarse un nivel bajo en las entradas $\bar{S}$ de algunos de los latches, y seguirse presentando un nivel alto en las entradas $\bar{R}$, se genera un cambio a nivel alto en la salida de estos latches,

permaneciendo este nivel en forma inalterable, aún cuando la tecla que produjo el cambio deje de ser oprimida.

Continuando con la formación de la instrucción, el usuario selecciona uno o varios dispositivos, los cuales desea que ejecuten la función ya tecleada. Al oprimir en forma consecutiva las teclas de los dispositivos seleccionados, el latch correspondiente a cada dispositivo (cualquiera de las 6 siguientes líneas de salida del bloque codificador) cambia su estado a alto, y así permanece incluso una vez soltada la tecla (Ver tabla 3).

Por último, al seleccionarse una de las velocidades de que dispone el teclado, una o ambas salidas del bloque codificador correspondientes a velocidades (últimas dos líneas del bloque codificador) presentan un cambio a nivel bajo (Ver tabla 4). El nivel bajo que se genere, se presenta en la entrada $\bar{S}$ del latch y permaneciendo en la entrada $\bar{R}$ un nivel alto, el latch modifica su salida a nivel alto. Este nivel permanece así aún después de soltada la tecla.

De la manera anteriormente descrita, al terminar de ser tecleada una instrucción, su palabra de control correspondiente quedará almacenada en el conjunto de 12 latches que constituye el bloque de registro de formación de la palabra.

5. BLOQUE DE MEMORIA

Este bloque está constituido por dos circuitos integrados de tres estados (74LS367), tres memorias tipo

RAM (2114) de 1K x 4 y tres contadores (74LS193). La forma de conexión de estos elementos y las líneas asociadas se muestran en la figura 7.

La forma de operación del bloque es la siguiente:

Una vez que se tiene presente una palabra de control completa, el usuario puede darle entrada a memoria - mediante la tecla ENTRAR. Al oprimir esta tecla, - se genera una secuencia de control de la etapa de - control, la cual hace que los circuitos 3 estados - permitan el paso de las salidas de los latches hacia la memoria, y en seguida habilita la memoria en modo de escritura. La secuencia completa ENTRAR se detalla en el Capítulo III.

Los contadores tienen como finalidad determinar la - dirección de las memorias RAM. Su conexión es en - cascada, y las líneas de incremento y decremento de contador son activadas por diferentes condiciones tales como las teclas LEER ADELANTE, LEER ATRAS, ENTRAR, EJECUTAR, GRABAR y otras. Esto se explica - con detalle también en el Capítulo III.

6. BLOQUE CONVERTIDOR PARALELO - SERIE

Está constituido por un multiplexor (74LS150) de 16 a 1, el cual toma como entradas las 12 líneas de salida de las memorias RAM y 4 valores fijos de protocolo, y los pone en forma seriada en su salida, durante la - cuenta de sus 4 líneas de direcciones. Esta cuenta es activada en forma descendente mediante el contador del bloque controlador al oprimirse la tecla GRABAR

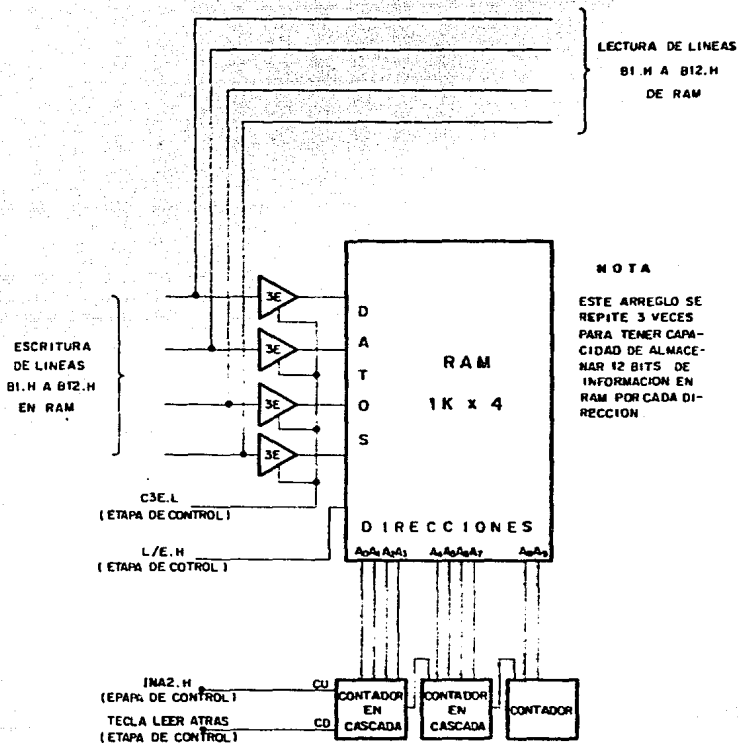


Figura 7. BLOQUE DE MEMORIA

(ver Capítulo III). A la salida del multiplexor se encuentra un inversor (74LS04), ya que el multiplexor presenta en su salida el negado de las entradas.

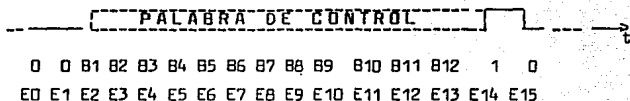
La activación o desactivación del multiplexor está determinada por una línea del bloque controlador dependiendo de la secuencia que se esté realizando en él. Las secuencias del bloque controlador se describe en detalle en el Capítulo siguiente.

La tabla de verdad que sigue el multiplexor se muestra a continuación, y de acuerdo a ella se genera la palabra serie.

ENTRADAS					SALIDA MUX	SALIDA INVERSOR
DIRECCIONES D C B A				HAB. S		
X	X	X	X	1	1	0
0	0	0	0	0	$\overline{E0}$	E0
0	0	0	1	0	$\overline{E1}$	E1
0	0	1	0	0	$\overline{E2}$	E2
0	0	1	1	0	$\overline{E3}$	E3
0	1	0	0	0	$\overline{E4}$	E4
0	1	0	1	0	$\overline{E5}$	E5
0	1	1	0	0	$\overline{E6}$	E6
0	1	1	1	0	$\overline{E7}$	E7
1	0	0	0	0	$\overline{E8}$	E8
1	0	0	1	0	$\overline{E9}$	E9
1	0	1	0	0	$\overline{E10}$	E10
1	0	1	1	0	$\overline{E11}$	E11
1	1	0	0	0	$\overline{E12}$	E12
1	1	0	1	0	$\overline{E13}$	E13
1	1	1	0	0	$\overline{E14}$	E14
1	1	1	1	0	$\overline{E15}$	E15

Tabla 6

La forma de conexión de las entradas del multiplexor se muestra en la figura 8. Para la cuenta decreciente que se genera en sus direcciones, la palabra sería a la salida del bloque convertidor es de la siguiente manera:



7. BLOQUE ACONDICIONADOR DE SEÑAL A GRABAR

El bloque acondicionador, última parte de la etapa de grabación, tiene como finalidad generar la señal que será grabada en la cinta magnética partiendo de la palabra de control serializada en el bloque anterior.

Este bloque está constituido por tres temporizadores (74LS121, 74LS123), un amplificador operacional (741) y los componentes pasivos requeridos para configurar a los circuitos integrados de manera adecuada.

La forma en que el bloque lleva a cabo su función es la siguiente (Fig. 9):

Se tiene un temporizador (74LS123) alimentado por el reloj de señal cuadrada de 200 Hz. el cual está configurado para generar un pulso de 0.15 mS. por cada ciclo de reloj ($R = 4.7 \text{ K}\Omega$, $C = 0.1 \mu\text{F}$, $t = 0.28RC(1 + 0.7/R)$). La salida del temporizador se denomina --REL.H.

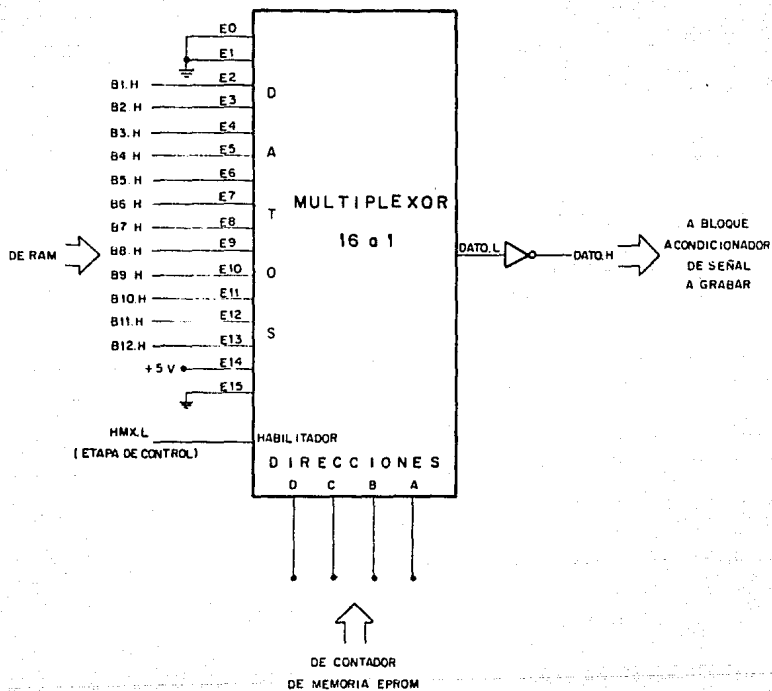


Figura 8. CONVERTIDOR PARALELO-SERIE

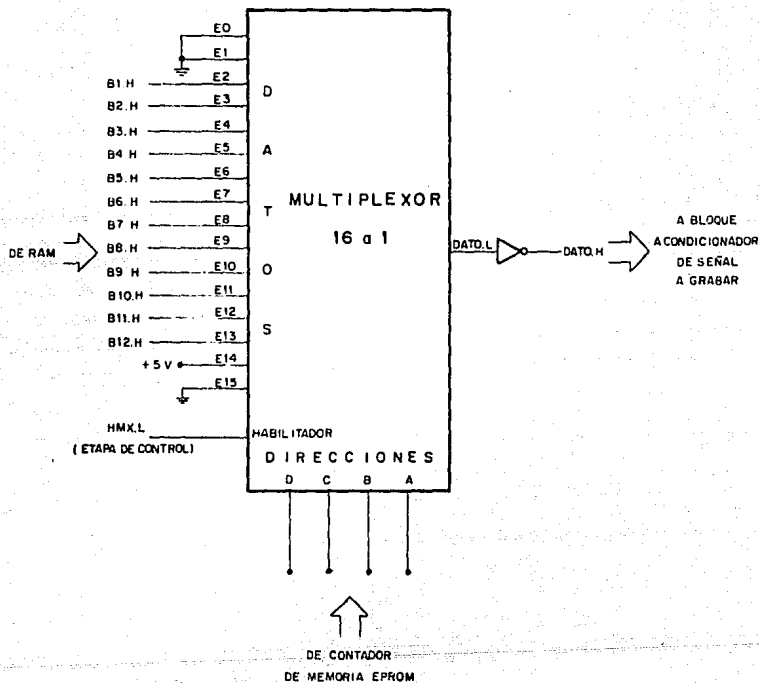


Figura 8. CONVERTIDOR PARALELO-SERIE

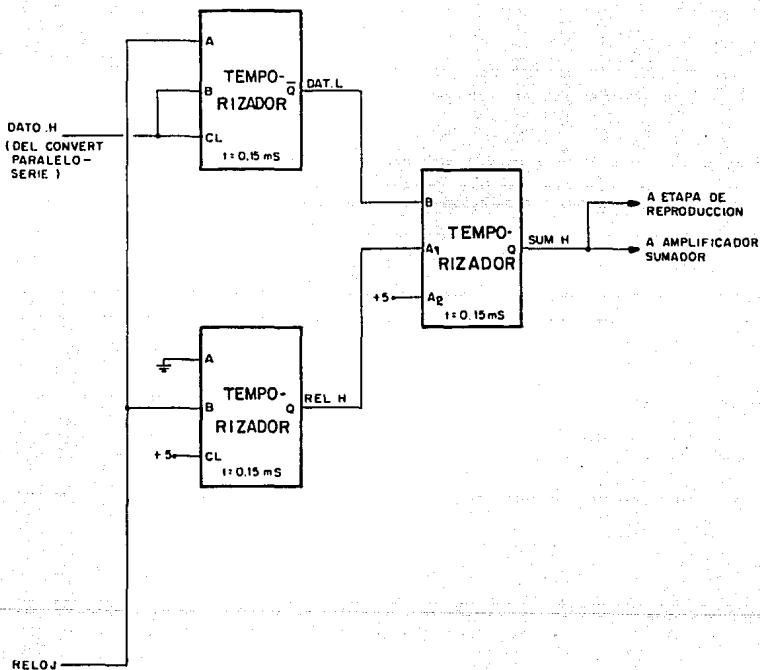


Figura 9. TEMPORIZADORES DE SEÑAL A GRABAR

Por otra parte, otro temporizador (74LS123) tiene como entradas al reloj y a la palabra de control serializada que proviene del bloque de conversión paralelo-serie. En este temporizador se detecta el borde de bajada del reloj y si en ese instante se está presentando un nivel alto en la salida del convertidor (dato = 1) se generará un pulso de 0.15 mS. ($R = 4.7 \text{ K}\Omega$, $C = 0.1 \mu\text{F}$, $t = 0.28RC(1 + 0.7/R)$). Si la señal que sale del convertidor es un nivel bajo (dato = 0) no aparecerá ningún pulso a la salida del temporizador. Esta salida se denomina DAT.H.

Las señales REL.H y DAT.L (salida negada de DAT.H) entran al último temporizador (74LS121), del cual se obtiene como salida la suma de ambos, SUM.H, con la misma duración para cada pulso (0.15 mS.). La señal SUM.H tiene una derivación hacia la etapa de reproducción para llevar a cabo la función de ejecución directa de una instrucción, sin pasar por la cinta magnética. Las formas que siguen todas las señales se muestran en la figura 10.

Una vez que se tiene ya el tren de pulsos de reloj y dato (SUM.H), éste debe ser acondicionado a una magnitud adecuada para la grabación en la cinta magnética. Mediante el amplificador operacional del bloque, configurado como sumador, se obtiene un tren de pulsos bipolar de aproximadamente $\pm 1.5 \text{ V.}$, el cual es grabado en la cinta magnética (Fig. 11).

Las señales que se suman son SUM.H, DAT.L, REL.L y un valor fijo de -15 V., con los siguientes pesos dentro de la suma:

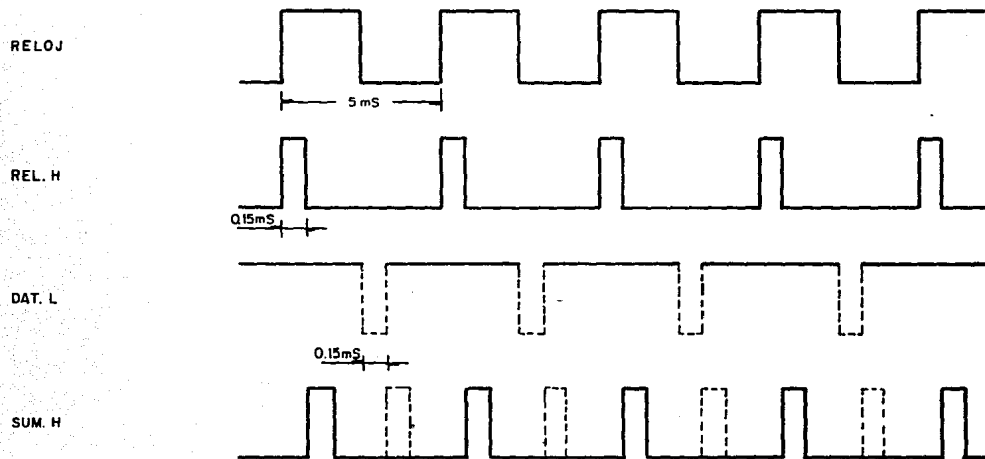


Figura 10. SEÑALES DE TEMPORIZADORES

$$V_0 = -\left(\frac{R_F}{R_1} V_1 + \frac{R_F}{R_2} V_2 + \frac{R_F}{R_3} V_3 + \frac{R_F}{R_4} V_4\right)$$

$$\frac{R_F}{R_1} V_1 = \frac{1000}{3300} \text{ SUM.H} = 0.3 \text{ SUM.H}$$

$$\frac{R_F}{R_2} V_2 = \frac{1000}{3300} \text{ DAT.L} = 0.3 \text{ DAT.L}$$

$$\frac{R_F}{R_3} V_3 = \frac{1000}{3300} \text{ REL.L} = 0.3 \text{ REL.L}$$

$$\frac{R_F}{R_4} V_4 = \frac{1000}{5600} (-15) = -2.68 \text{ V.}$$

La figura 12 muestra la suma realizada por el amplificador en forma gráfica.

En la grabación que se realice del audiovisual siempre se encontrará señal de reloj, y las palabras de control se grabarán de manera secuencial al oprimir el usuario la tecla GRABAR, con lo cual sale una palabra hacia la grabadora, y queda la siguiente preparada para salir. Así, las palabras de control que constituyen el audiovisual quedarán grabadas en la cinta magnética en las posiciones que el usuario determine, en sincronía con el audio.

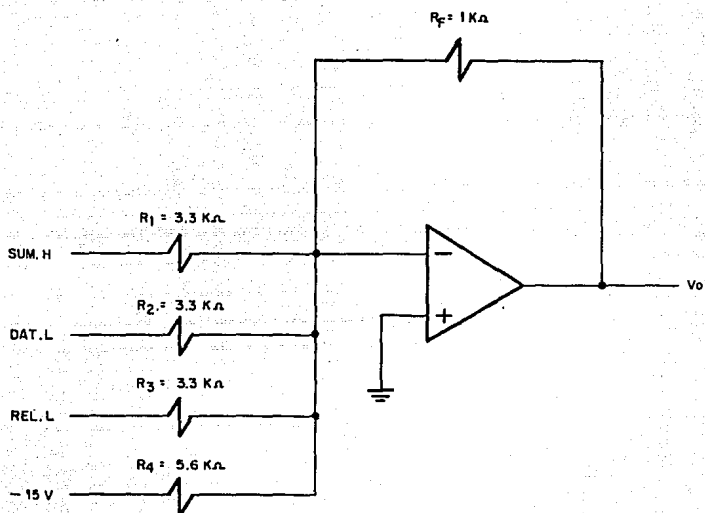


Figura 11. SUMADOR DE SEÑAL A GRABAR

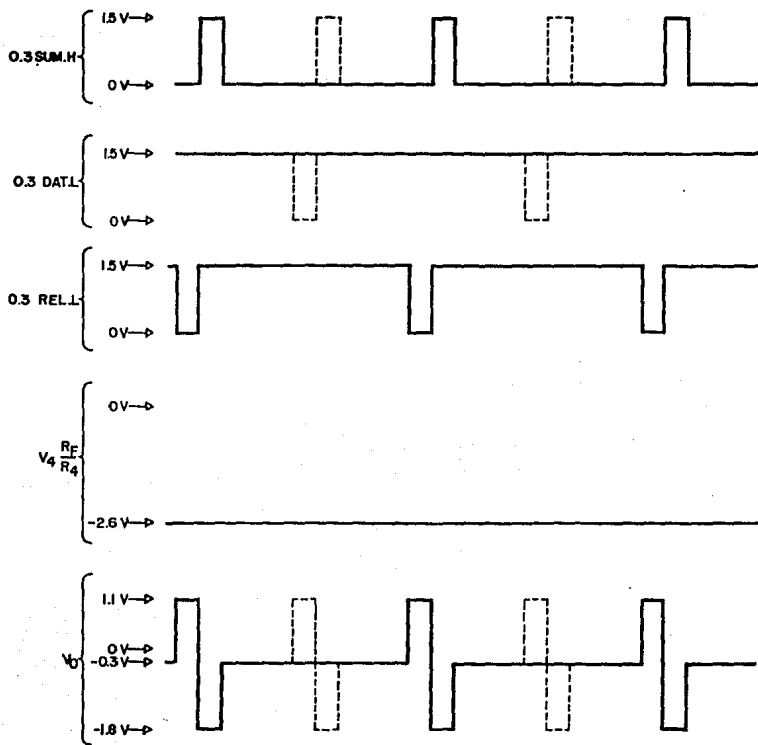


Figura 12. SEÑAL A GRABAR

III

ETAPA DE CONTROL

1. INTRODUCCION

La operación global del controlador electrónico de - proyectores se lleva a cabo por medio de un conjunto de acciones realizadas en la etapa de control. Ejemplos de estas acciones son el almacenamiento secuencial de las instrucciones en la memoria, la grabación de las palabras de control en la cinta magnética en - sincronía con el audio, la ejecución directa de una - instrucción y otras.

Por otra parte, la etapa de control realiza el despliegue luminoso de las instrucciones y sus números para el usuario, y le permite revisar y modificar las instrucciones que contiene su audiovisual tanto al te clearlas como ya almacenadas en la memoria del aparato.

Los bloques funcionales que constituyen la etapa de - control son los siguientes (Cap. I, Fig. 4):

1. BLOQUE DE TECLAS DE CONTROL.
2. BLOQUE CONTROLADOR.
3. BLOQUE DE EXHIBICION DE NUMERO DE INSTRUCCION.
4. BLOQUE DE EXHIBICION DE INSTRUCCION.

2. BLOQUE DE TECLAS DE CONTROL

Este bloque está formado por 9 teclas pertenecientes a los 2 teclados de membrana descritos en el capítulo anterior. Las 9 teclas de control y las 15 teclas - programables hacen el total de las 24 teclas comprendidas por los 2 teclados de configuración paralelo de 12 teclas cada uno (Fig. 1).

Eléctricamente la conexión de las teclas de control - es idéntica a la de las teclas programables (Ver Cap. II.2.2). Lógicamente también ambos tipos de teclas son iguales (Ver tabla II.1).

Funcionalmente, las teclas de control se dividen en - dos grupos:

1. Teclas que generan una secuencia de acciones en la etapa de control, las cuales son:

ENTRAR
GRABAR
EJECUTAR

2. Teclas que generan un conjunto de acciones simultáneas en la etapa de control, que son:

BORRAR INSTRUCCION
LEER ADELANTE
LEER ATRAS
REGRESO A INICIO
REESTABLECER
ENCENDIDO/APAGADO

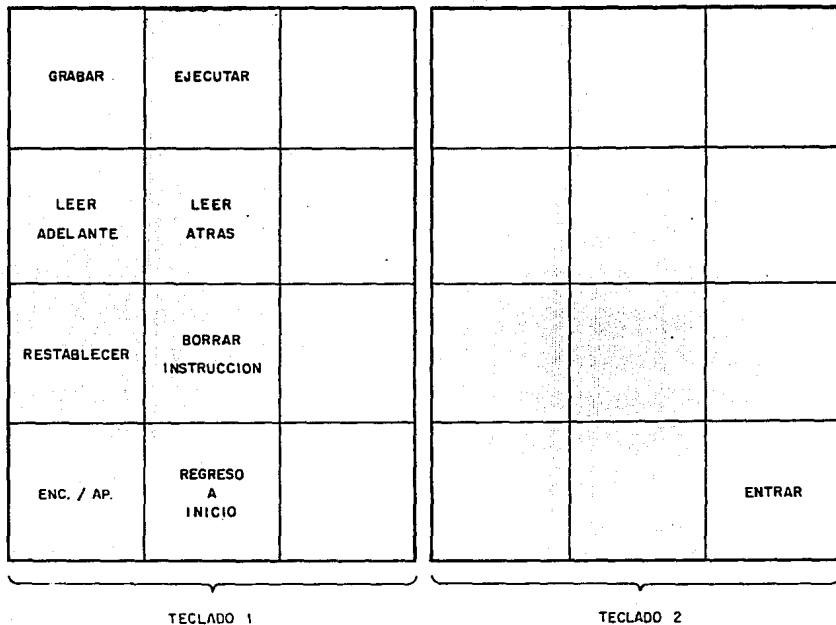


Figura 1. TECLAS DE CONTROL

La descripción funcional detallada de todas las teclas de control se encuentra en el Capítulo I.

3. BLOQUE CONTROLADOR

Este bloque constituye la parte fundamental de la etapa de control, ya que es dentro del cuál se encuentran programadas las acciones que deben seguirse para la operación del aparato.

El bloque está formado por una memoria de tipo EPROM de 2K x 8 (2716) y la lógica asociada a las líneas de direcciones y de datos de la memoria, tal como compuertas (74LS08, 74LS32), latches (74LS279), drivers (74LS367) y un contador binario (74LS191).

3.1 LINEAS DE DIRECCION DE LA MEMORIA EPROM

La memoria EPROM 2716 cuenta con 11 líneas de dirección, 8 líneas de datos, una línea de habilitación - de salidas de datos y una línea de habilitación del propio circuito integrado.

Las líneas de dirección de la memoria (denotadas por el fabricante como A0 a A10, y denominadas en este trabajo como D0 a D10) se encuentran asociadas a las diferentes opciones del teclado de la siguiente manera (Fig. 2):

- D10 - Nivel bajo permanente
- D9 - Conectada a tecla LEER ATRAS
- D8 - Conectada a tecla LEER ADELANTE
- D7 - Asociada a secuencia EJECUTAR
- D6 - Asociada a secuencia GRABAR
- D5 - Asociada a secuencia ENTRAR
- D4 - Asociada a bit de acarreo de contador

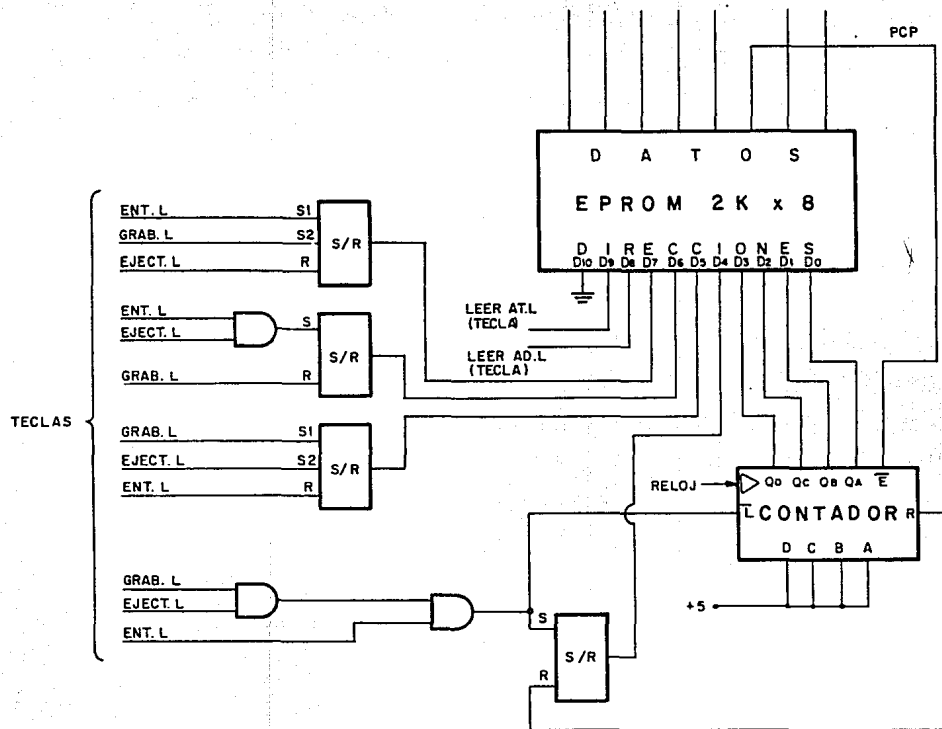


Figura 2. LINEAS DE DIRECCION DE LA EPROM

D3	}	Conectadas a contador para generación de secuencias
D2		
D1		
D0		

Las líneas D9 y D8 presentarán niveles altos permanentes y sólo bajará de nivel D9 al oprimir la tecla - LEER ATRAS. De igual manera sólo bajará de nivel D8 al ser oprimida la tecla LEER ADELANTE.

Las líneas D7, D6 y D5 se activan de manera excluyente entre sí, bajo la condición de que sólo puede estar una tecla oprimida a la vez, o ninguna tecla oprimida. De esta forma, a través de las teclas ENTRAR, GRABAR o EJECUTAR como entradas hacia los latches se obtiene la siguiente tabla:

TECLA			DIRECCIONES		
ENTRAR	GRABAR	EJECUTAR	D5	D6	D7
1	1	1	D5 ant	D6 ant	D7 ant
0	1	1	0	1	1
1	0	1	1	0	1
1	1	0	1	1	0

Tabla 1

Las líneas D3, D2, D1 y D0 están conectadas a las líneas de salida Q_D , Q_C , Q_B y Q_A de un contador binario alembreado en forma de contador programado.

El contador programado funciona de la siguiente manera:

Al seleccionar el usuario una de las tres secuencias, ENTRAR, GRABAR o EJECUTAR, la lógica formada por dos compuertas AND genera un nivel bajo mediante el cual el contador recibe la orden de realizar la carga de - datos en paralelo (niveles altos). Por otra parte, el latch de bit de acarreo de contador (D4) es llevado a nivel alto.

El contador inicia su cuenta descendente desde 1111 - hasta 0000. En la última cuenta se presenta un pulso de nivel bajo en el RIPPLE CLOCK, lo cual causa, junto con la condición de ninguna tecla oprimida, que el latch de acarreo cambie a nivel bajo. La cuenta reinicia y es detenida cuando la secuencia llega a su fin deshabilitando al contador a través de una de las líneas de dato (SC5) de la memoria EPROM.

Se mantienen a las salidas del contador los valores - que se encontraban presentes al momento de ser deshabilitado, y en la salida del latch de acarreo el valor posterior a su último cambio. De esa forma permanecen las líneas de dirección D0 a D4 de la EPROM, hasta que se genere una nueva secuencia o instrucción por medio del teclado.

Las líneas de dirección D8 y D9, conectadas a las teclas LEER ADELANTE y LEER ATRAS respectivamente, posic_ionan a la EPROM en direcciones cuyo contenido genere las acciones correctas en los diferentes circuitos integrados que intervienen en la lectura de palabras de control almacenadas en la RAM. Al programar el -

contenido de las instrucciones LEER ADELANTE y LEER ATRAS se ha tomado en consideración que las líneas D0 a D4 pueden presentar diferentes valores, dependiendo de la secuencia con la cual se haya detenido el contador.

A continuación se muestran las tablas de direcciones en memoria EPROM asociadas a cada secuencia e instrucción.

SECUENCIA ENTRAR											HEXADECIMAL
D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	1	1	1	1	0	1	1	1	1	1	3DF
0	1	1	1	1	0	1	1	1	1	0	3DE
0	1	1	1	1	0	1	1	1	0	1	3DD
0	1	1	1	1	0	1	1	1	0	0	3DC
0	1	1	1	1	0	1	1	0	1	1	3DB
0	1	1	1	1	0	1	1	0	1	0	3DA
0	1	1	1	1	0	1	1	0	0	1	3D9
0	1	1	1	1	0	1	1	0	0	0	3D8

Tabla 2

SECUENCIA GRABAR												HEXADECIMAL
D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
0	1	1	1	0	1	1	1	1	1	1	3BF	
0	1	1	1	0	1	1	1	1	1	0	3BE	
0	1	1	1	0	1	1	1	1	0	1	3BD	
0	1	1	1	0	1	1	1	1	0	0	3BC	
0	1	1	1	0	1	1	1	0	1	1	3BB	
0	1	1	1	0	1	1	1	0	1	0	3BA	
0	1	1	1	0	1	1	1	0	0	1	3B9	
0	1	1	1	0	1	1	1	0	0	0	3B8	
0	1	1	1	0	1	1	0	1	1	1	3B7	
0	1	1	1	0	1	1	0	1	1	0	3B6	
0	1	1	1	0	1	1	0	1	0	1	3B5	
0	1	1	1	0	1	1	0	1	0	0	3B4	
0	1	1	1	0	1	1	0	0	1	1	3B3	
0	1	1	1	0	1	1	0	0	1	0	3B2	
0	1	1	1	0	1	1	0	0	0	1	3B1	
0	1	1	1	0	1	1	0	0	0	0	3B0	
0	1	1	1	0	1	0	1	1	1	1	3AF	
0	1	1	1	0	1	0	1	1	1	0	3AE	
0	1	1	1	0	1	0	1	1	0	1	3AD	

Tabla 3

SECUENCIA EJECUTAR												HEXADECIMAL
D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
0	1	1	0	1	1	1	1	1	1	1	37F	
0	1	1	0	1	1	1	1	1	1	0	37E	
0	1	1	0	1	1	1	1	1	0	1	37D	
0	1	1	0	1	1	1	1	1	0	0	37C	
0	1	1	0	1	1	1	1	0	1	1	37B	
0	1	1	0	1	1	1	1	0	1	0	37A	
0	1	1	0	1	1	1	1	0	0	1	379	
0	1	1	0	1	1	1	1	0	0	0	378	
0	1	1	0	1	1	1	0	1	1	1	377	
0	1	1	0	1	1	1	0	1	1	0	376	
0	1	1	0	1	1	1	0	1	0	1	375	
0	1	1	0	1	1	1	0	1	0	0	374	
0	1	1	0	1	1	1	0	0	1	1	373	
0	1	1	0	1	1	1	0	0	1	0	372	
0	1	1	0	1	1	1	0	0	0	1	371	
0	1	1	0	1	1	1	0	0	0	0	370	
0	1	1	0	1	1	0	1	1	1	1	36F	
0	1	1	0	1	1	0	1	1	1	0	36E	
0	1	1	0	1	1	0	1	1	0	1	36D	
0	1	1	0	1	1	0	1	1	0	0	36C	

Tabla 4

INSTRUCCION LEER ADELANTE D10 D9 D8 D7 D6 D5 D4 D3 D2 D1 D0	HEXADECIMAL
Después de secuencia ENTRAR 0 1 0 1 1 0 1 1 0 0 0	2D8
Después de secuencia GRABAR 0 1 0 1 0 1 0 1 1 0 1	2AD
Después de secuencia EJECUTAR 0 1 0 0 1 1 0 1 1 0 0	26C

Tabla 5

INSTRUCCION LEER ATRAS D10 D9 D8 D7 D6 D5 D4 D3 D2 D1 D0	HEXADECIMAL
Después de secuencia ENTRAR 0 0 1 1 1 0 1 1 0 0 0	1D8
Después de secuencia GRABAR 0 0 1 1 0 1 0 1 1 0 1	1AD
Después de secuencia EJECUTAR 0 0 1 0 1 1 0 1 1 0 0	16C

Tabla 6

3.2 LINEAS DE DATOS DE LA MEMORIA EPROM

Las líneas de datos con las que cuenta la memoria -- EPROM 2716 son 8. Estas líneas (denotadas por el fabricante como Q0 a Q7 y denominadas en este trabajo -- como SC0 a SC7) son las salidas de control que comandan la acción de diferentes circuitos integrados de -- manera conjunta, con la finalidad de realizar las funciones que el aparato está diseñado para poder llevar a cabo.

Las líneas de señales de control (SC) están asociadas a los diferentes circuitos integrados de la siguiente manera (Fig. 3):

- SC0 - Controla la lectura y escritura a la memoria - RAM ($L/\overline{E}$) y habilita el circuito tres estados - que está conectado a las líneas de datos de la memoria ($\overline{C3E}$) según se trate de leer o de escribir.
- SC1 - Tiene por función el control de despliegue de - las instrucciones que están almacenadas en la - memoria RAM (CD), de acuerdo al despliegue de - número de instrucción.
- SC2 - Habilita la memoria RAM cuando en la secuencia que se está ejecutando se leerá o escribirá en ella ($\overline{HM}$).
- SC3 - Su función es limpiar el registro de formación de palabra una vez que se ha terminado de te--clear una instrucción y se da entrada a memoria ($\overline{LRP1}$), o bien si el usuario desea eliminar lo que ha tecleado y reiniciar la formación de su

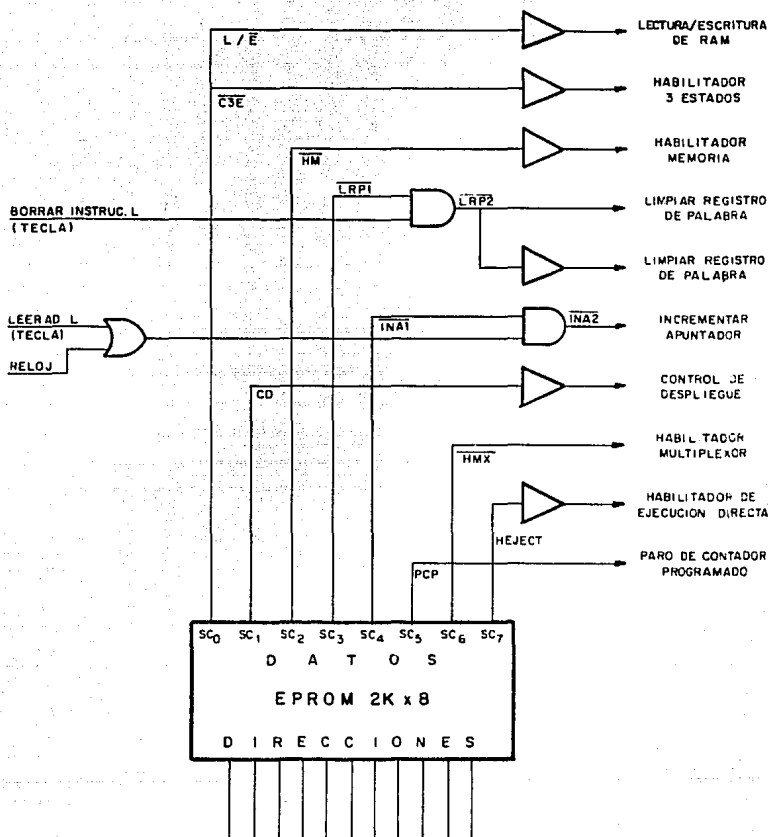


Figura 3. LINEAS DE DATOS DE LA EPROM

instrucción (LRP2).

SC4 - Una vez que se ha teclado ENTRAR, GRABAR o EJECUTAR, esta línea incrementa la dirección de la memoria RAM (INAT), o si el usuario desea seguir el contenido de la memoria, va incrementando la dirección a una cierta velocidad fijada en un reloj.

SC5 - Detiene al propio contador de dirección de la memoria EPROM una vez que la secuencia ejecutada ha terminado (PCP).

SC6 - Habilita el multiplexor que realiza la función de convertidor paralelo-serie (HMX).

SC7 - Habilita la ejecución directa de la instrucción en lugar de que sea grabada a cinta magnética y posteriormente reproducida (HEJECT).

Todas estas líneas de control son pasadas a través de drivers de acuerdo al tipo y cantidad de circuitos integrados que haya que alimentar, para protección de la memoria EPROM.

A continuación se presenta una tabla que resume las funciones de cada una de las líneas de control.

LINEA DE CONTROL	SEÑAL QUE GENERA	FUNCION
SC0	$L/\overline{E}$ $\overline{C3E}$	Selección lect./esc. RAM Control 3Est. líneas RAM
SC1	CD	Control de despliegue
SC2	HM	Habilitar RAM
SC3	$\overline{LRP1}$	Limpiar reg. formac. pal.
SC4	$\overline{INA1}$	Incrementar direc. RAM
SC5	PDP	Parar ccontador programado
SC6	$\overline{HMX}$	Habilitar multiplexor
SC7	HEJECT	Habilitar ejec. directa

Tabla 6

Las tres secuencias programadas en la memoria EPROM para control del aparato son ENTRAR, GRABAR y EJECUTAR.

ENTRAR tiene como función dar entrada a la memoria RAM a una instrucción, una vez que ya ha sido tecleada por el usuario. Esta secuencia se activa oprimiendo la tecla del mismo nombre.

GRABAR tiene como función sacar la instrucción de una localidad de la memoria RAM, hacerle la conversión paralelo-serie y enviarla hacia el acondicionador de señal a grabar. Se activa a través de la tecla del mismo nombre.

EJECUTAR tiene como función tomar una instrucción que ya ha sido tecleada por el usuario e introducida a memoria, y pasarla hacia los actuadores. Esto permite comprobar el efecto de cierta instrucción sobre los proyectores y auxiliares sin tener que grabarla y reproducirla. Se activa mediante la tecla del mismo nombre.

A continuación se presentan las tablas que siguen cada una de las tres secuencias en las líneas de control de la memoria EPROM. Se muestran también los cronogramas correspondientes a cada secuencia en las figuras 4, 5 y 6 respectivamente, en relación al reloj que genera la cuenta en las líneas de direcciones D3, D2, D1 y D0 de la EPROM.

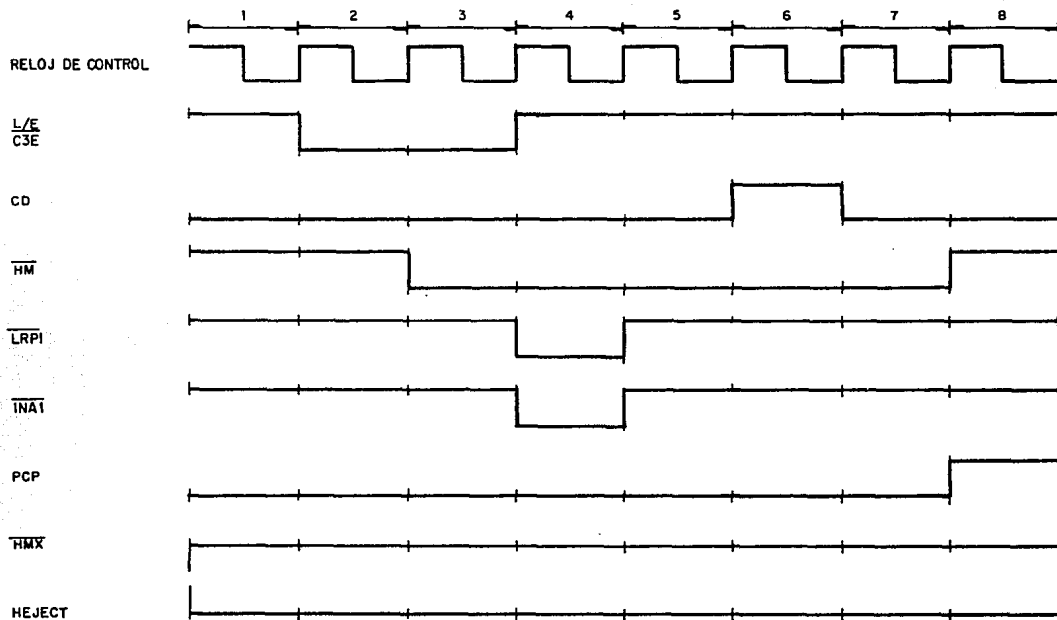


Figura 4. CRONOGRAMA DE SECUENCIA ENTRAR

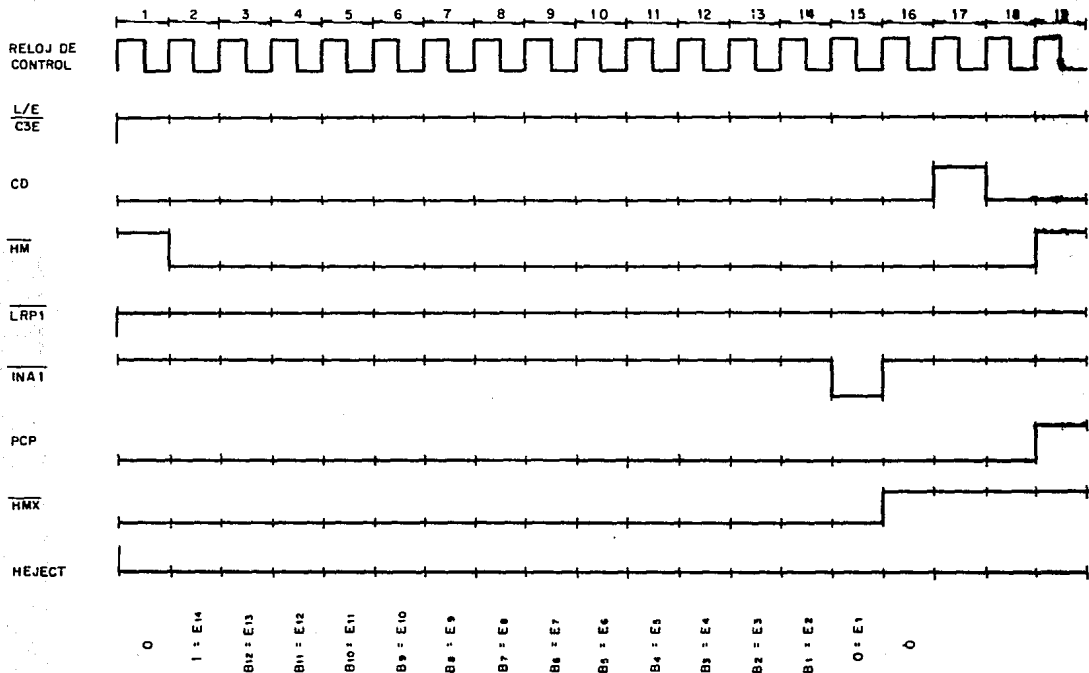


Figura 5. CRONOGRAMA DE SECUENCIA GRABAR

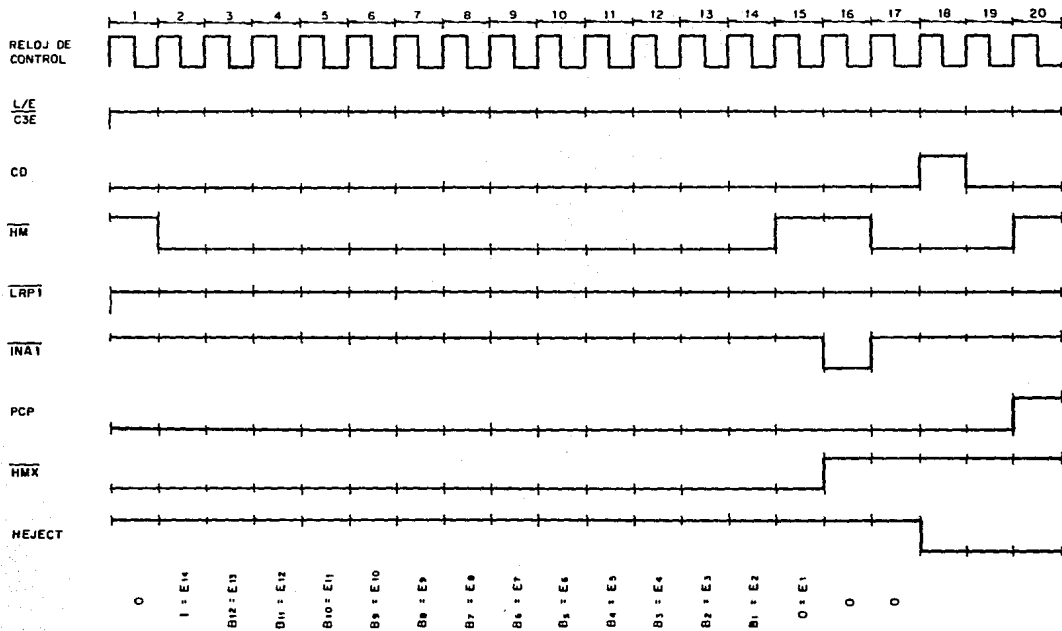


Figura 6. CRONOGRAMA DE SECUENCIA EJECUTAR

DIRECCION EPROM	LINEAS DE CONTROL								ACCIONES QUE SE GENERAN SECUENCIA ENTRAR
	SC0	SC1	SC2	SC3	SC4	SC5	SC6	SC7	
3DF	1	0	1	1	1	0	1	0	Hab. Esc. RAM/Hab. 3 estados Hab. RAM
3DE	0	0	1	1	1	0	1	0	
3DD	0	0	0	1	1	0	1	0	
3DC	1	0	0	0	0	0	1	0	Deshab. Esc. RAM/Deshab. 3 est./Limpiar Reg./Inc. Apunt
3DB	1	0	0	1	1	0	1	0	
3DA	1	1	0	1	1	0	1	0	Gen. despliegue sig. instr.
3D9	1	0	0	1	1	0	1	0	
3DB	1	0	1	1	1	1	1	0	Deshab. RAM/Parar contador

Tabla 7

DIRECCION EPROM	LINEAS DE CONTROL								ACCIONES QUE SE GENERAN SECUENCIA GRABAR
	SC0	SC1	SC2	SC3	SC4	SC5	SC6	SC7	
3BF	1	0	1	1	1	0	<u>0</u>	0	Hab. Mux./Multiplexaje
3BE	1	0	<u>0</u>	1	1	0	0	0	Hab. RAM/ Multiplexaje
3BD	1	0	0	1	1	0	0	0	Multiplexaje
3BC	1	0	0	1	1	0	0	0	Multiplexaje
3BB	1	0	0	1	1	0	0	0	Multiplexaje
3BA	1	0	0	1	1	0	0	0	Multiplexaje
3B9	1	0	0	1	1	0	0	0	Multiplexaje
3B8	1	0	0	1	1	0	0	0	Multiplexaje
3B7	1	0	0	1	1	0	0	0	Multiplexaje
3B6	1	0	0	1	1	0	0	0	Multiplexaje
3B5	1	0	0	1	1	0	0	0	Multiplexaje
3B4	1	0	0	1	1	0	0	0	Multiplexaje
3B3	1	0	0	1	1	0	0	0	Multiplexaje
3B2	1	0	0	1	1	0	0	0	Multiplexaje
3B1	1	0	0	1	<u>0</u>	0	0	0	Inc. Apunt. RAM/Multiplexaje
3B0	1	0	0	1	1	0	<u>1</u>	0	Deshab. Mux.
3AF	1	<u>1</u>	0	1	1	0	1	0	Gen. despliegue sig. instr.
3AE	1	0	0	1	1	0	1	0	
3AD	1	0	<u>1</u>	1	1	<u>1</u>	1	0	Deshab. RAM/Parar contador

Tabla 8

DIRECCION EPROM	LINEAS DE CONTROL								ACCIONES QUE SE GENERAN SECUENCIA EJECUTAR
	SC0	SC1	SC2	SC3	SC4	SC5	SC6	SC7	
37F	1	0	1	1	1	0	<u>0</u>	<u>1</u>	Hab. Mux/Hab. Ejec. Dir./Multi- plexaje
37E	1	0	<u>0</u>	1	1	0	0	1	Hab. RAM/Multiplexaje
37D	1	0	0	1	1	0	0	1	Multiplexaje
37C	1	0	0	1	1	0	0	1	Multiplexaje
37B	1	0	0	1	1	0	0	1	Multiplexaje
37A	1	0	0	1	1	0	0	1	Multiplexaje
379	1	0	0	1	1	0	0	1	Multiplexaje
378	1	0	0	1	1	0	0	1	Multiplexaje
377	1	0	0	1	1	0	0	1	Multiplexaje
376	1	0	0	1	1	0	0	1	Multiplexaje
375	1	0	0	1	1	0	0	1	Multiplexaje
374	1	0	0	1	1	0	0	1	Multiplexaje
373	1	0	0	1	1	0	0	1	Multiplexaje
372	1	0	0	1	1	0	0	1	Multiplexaje
371	1	0	<u>1</u>	1	1	0	0	1	Deshab. RAM/ Multiplexaje
370	1	0	1	1	<u>0</u>	0	<u>1</u>	1	Deshab. Mux./Inc. Apunt. RAM
36F	1	0	<u>0</u>	1	1	0	1	1	Hab. RAM
36E	1	<u>1</u>	0	1	1	0	1	<u>0</u>	Gen. despl. sig. inst./Des- hab. Ejec. Dir.
36D	1	0	0	1	1	0	1	0	
36C	1	0	<u>1</u>	1	1	<u>1</u>	1	0	Deshab. RAM/Parar ccontador

Tabla 9

Además de las tres secuencias ya descritas, en la -- EPROM están también programadas las acciones que se - deben ejecutar al oprimir el usuario las teclas LEER ADELANTE o LEER ATRAS.

LEER ADELANTE tiene como función incrementar la di-- rección de la memoria RAM y presentar al usuario me-- diante los despliegues, el número de esa siguiente - instrucción y el propio contenido de la misma. Si - se oprime la tecla instantaneamente, se incrementará en uno la dirección de la memoria, y si se mantiene o primida, el incremento se vuelve continuo a la veloci-- dad que se fije en un reloj empleado para lograr esto (Fig. 7).

La función de LEER ATRAS difiere de la de LEER ADELANTE únicamente en que decrementa la dirección en lugar de incrementarla.

La memoria EPROM después de ejecutar alguna de sus - tres secuencias se encuentra en una de las siguientes direcciones (Tablas 2, 3 y 4):

30B	Final de ENTRAR
3AD	Final de GRAEAR
36C	Final de EJECUTAR

Como la tecla LEER ADELANTE se encuentra conectada a DB y LEER ATRAS a D9, al oprimirse alguna de estas te-- clas se presentarán las direcciones mostradas en las tablas 5 (para LEER ADELANTE) y 6 (para LEER ATRAS).

En la tabla 10 se muestra el contenido de las líneas de control para las instrucciones de LEER ADELANTE y LEER ATRAS.

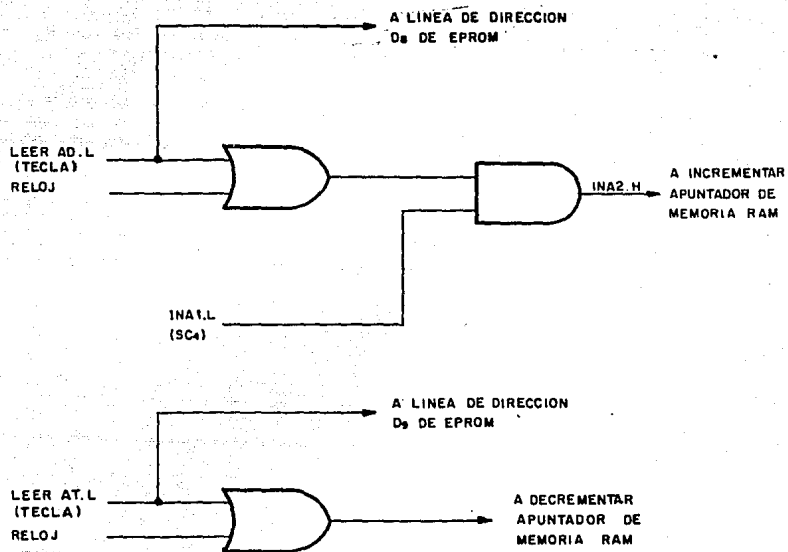


Figura 7. LEER ADELANTE Y LEER ATRAS

DIRECCION EPROM	LINEAS DE CONTROL								ACCIONES QUE SE GENERAN
	SC0	SC1	SC2	SC3	SC4	SC5	SC6	SC7	
LEER AD.									
208									Hab. RAM/Parar contador/
2AD	1	1	0	1	1	1	1	0	Gen. despliegue sig. inst.
26C									
LEER AT.									
108									Hab. RAM/Parar contador/
1AD	1	1	0	1	1	1	1	0	Gen. despliegue sig. inst.
16C									

Tabla 10

Se observa en la tabla anterior que se mantiene habilitada la memoria RAM para poder leer los datos y desplegarlos. También se mantiene parado el contador de la EPROM para que no cambie de dirección. De este modo, y con las líneas de las teclas LEER ADELANTE y LEER ATRAS conectadas también al incremento y decremento de cuenta de los contadores que direccionan a la RAM, se logra la exhibición de las instrucciones almacenadas en sentido ascendente o descendente.

Las teclas BORRAR INSTRUCCION, REGRESO A INICIO, RESTABLECER y ENCENDIDO/APAGADO no pasan a través del bloque controlador, pero forman parte de la etapa de control.

BORRAR INSTRUCCION limpia el registro de formación de palabra mediante el reset de los latches que lo forman. Así, se da la opción al usuario de borrar una instrucción en formación en lugar de darle entrada.

REGRESO A INICIO direcciona la memoria RAM en la primera localidad, mediante el reset de los contadores de dirección de la misma. Esto permite regresar al inicio del conjunto de instrucciones que se encuentran almacenadas en el aparato.

RESTABLECER realiza un borrado de los principales circuitos integrados que componen el aparato, tales como memorias RAM, latches del registro de formación de palabra, registros de corrimiento y contadores. De esta forma se puede reiniciar la operación para programar un nuevo audiovisual sin que quede información de audiovisuales anteriores dentro del controlador.

4. BLOQUE DE EXHIBICION DE NUMERO DE INSTRUCCION

Este bloque hace posible ver el número de instrucción sobre el cual está operando el aparato de alguna manera (leer adelante, atrás, dar entrada, grabar, ejecutar, etc.).

Está constituido por un conjunto de contadores BCD - (74LS192) en cascada cuyas salidas están conectadas a decodificadores BCD-7 segmentos (74LS49) , y éstos a 3 dígitos luminosos a través de resistencias limitadoras de 1 K Ω (Fig. 8).

La cuenta hacia arriba está comandada por la tecla - LEER ADELANTE y por la línea del controlador INAT. La cuenta hacia abajo está comandada por la tecla -- LEER ATRAS. Además este bloque forma parte de la operación RESTABLECER.

En los 3 dígitos luminosos del despliegue la cuenta - para el usuario puede ir desde 000 hasta 999, lo que permite un almacenamiento de 1000 instrucciones.

5. BLOQUE DE EXHIBICION DE INSTRUCCION

Mediante este bloque se despliega en forma luminosa - la instrucción asociada al número de instrucción que se muestra en el conjunto de 3 dígitos (número de instrucción).

El despliegue consta de 16 leds, con los siguientes - significados:

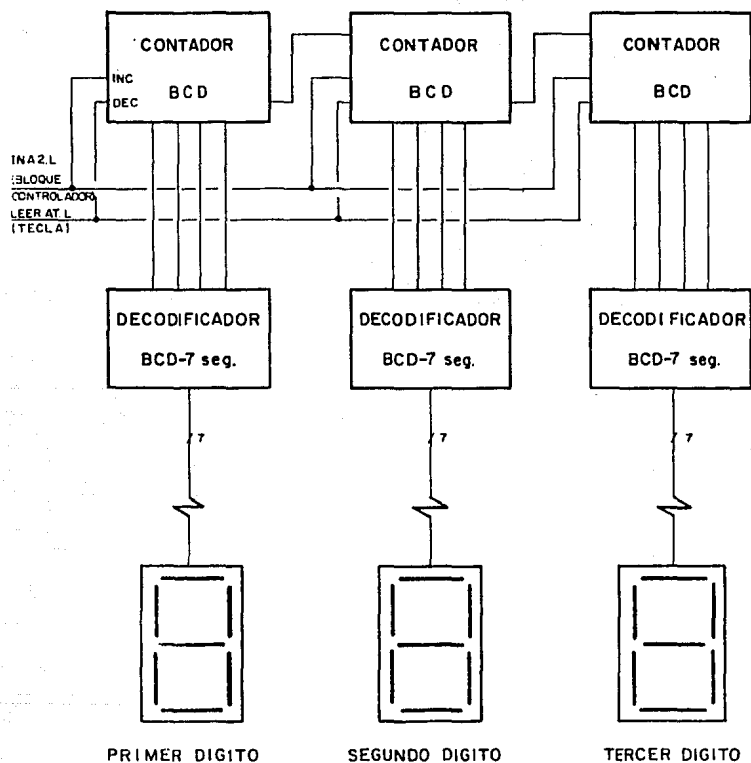


Figura 8. DESPLIEGUE DE NUMERO DE INSTRUCCION

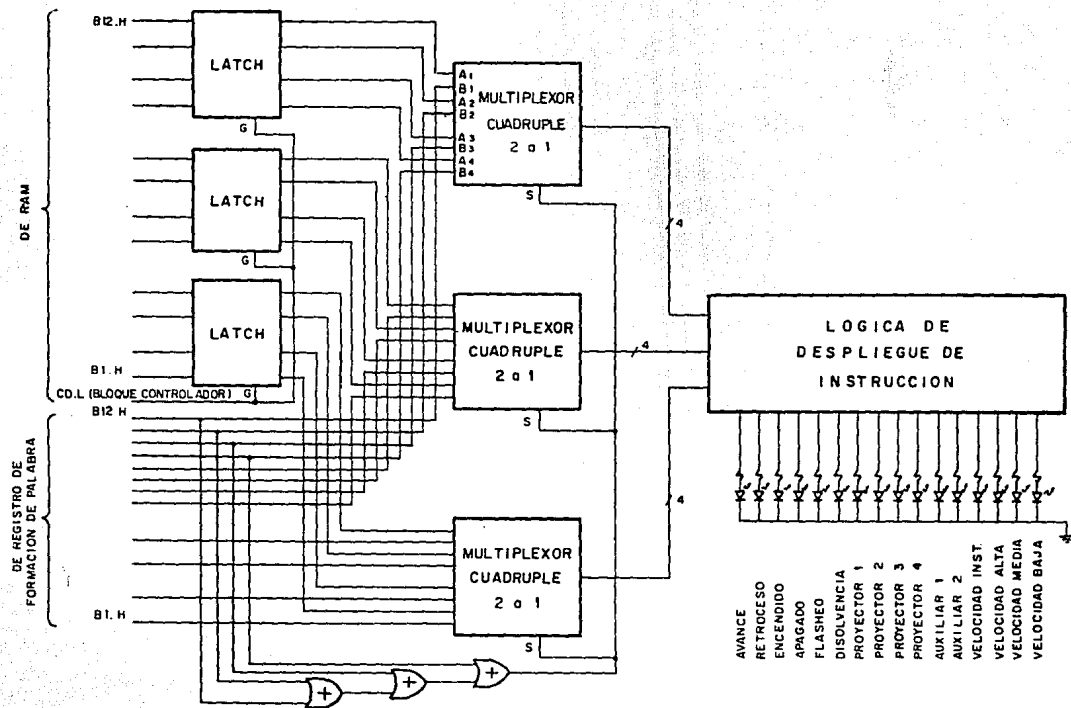


Figura 9. DESPLIEGUE DE INSTRUCCION

AVANCE
 RETROCESO
 ENCENDIDO
 APAGADO
 FLASHED
 DISOLVENCIA
 PROYECTOR 1
 PROYECTOR 2
 PROYECTOR 3
 PROYECTOR 4
 AUXILIAR 1
 AUXILIAR 2
 VELOCIDAD INSTANTANEA
 VELOCIDAD ALTA
 VELOCIDAD MEDIA
 VELOCIDAD BAJA

La información que contenga el despliegue puede ser:

1. La instrucción que se está tecleando y a la cual se dará entrada en el número de instrucción que aparece, o
2. La instrucción que se encuentra ya en la memoria en el número de instrucción que aparece.

El bloque está formado por 3 latches (74LS75) que toman el contenido de las memorias RAM, 3 multiplexores cuádruples 2 a 1 (74LS157) que seleccionan entre el contenido de la RAM (a través de los latches) o el contenido del registro de formación de palabra, la lógica asociada a la conversión de las 12 líneas de la palabra de control a 16 líneas y los 16 leds correspondientes con sus resistencias limitadoras de corriente (Fig. 9).

La selección de ~~cual~~ de las dos informaciones sea la que se presente, se realiza automáticamente de la siguiente manera:

Al empezar a teclear una instrucción el usuario (oprimir alguna de las 6 funciones: AVANCE, RETROCESO, ENCENDIDO, APAGADO, FLASHED o DISOLVENCIA), una o dos -- de las líneas de la palabra de control de 89 a 812 -- presentarán un nivel alto a la salida del registro de formación de palabra. Una lógica asociada a estas -- líneas detectará el nivel alto y lo enviará hacia la línea de selección de los multiplexores 2 a 1, quedando presente en el despliegue la palabra en formación. El número de instrucción del despliegue de 3 dígitos es en el cual entrará la palabra.

Estando ya terminada de teclear la instrucción, el -- usuario puede darle entrada (secuencia ENTRAR), grabarla (secuencia GRABAR) o ejecutarla (secuencia EJECUTAR). Con cualquiera de las 3 secuencias se genera un borrado del registro de formación de palabra, -- liberándose en consecuencia la línea de selección del multiplexor hacia los latches que toman la información de la RAM. Un instante después, también como -- parte de las secuencias se genera un incremento en la dirección de la RAM (INAI), e inmediatamente después se da un pulso a la compuerta de los latches (CD) para que tomen la información nueva que se presenta en sus entradas. De esta manera ahora lo que se despliega es el contenido de la RAM, el cual permanecerá mostrándose mientras no se inicie una nueva instrucción.

Las teclas LEER ADELANTE y LEER ATRAS también generan la exhibición del contenido en memoria RAM del número de instrucción que se vaya incrementando o decrem--
tando.

IV

ETAPA DE REPRODUCCION

1. INTRODUCCION

La tercera y última etapa del controlador electrónico de proyectores, en cuanto a su secuencia de operación, es la etapa de reproducción.

Una vez que la secuencia de instrucciones del audiovisual ha sido almacenada en la memoria del aparato y grabada en la cinta magnética de audio, el audiovisual ha quedado listo para ser reproducido.

Mediante la etapa de reproducción, la señal de la grabadora que contiene en forma secuencial las palabras de control es recuperada y procesada hasta convertirse en un conjunto de señales en paralelo, que activan a proyectores y auxiliares a través de la interfase diseñada para este propósito.

En el proceso de reproducción del audiovisual el usuario debe simplemente verificar que todos los proyectores y auxiliares se encuentren encendidos y preparados para iniciar su operación, y hacer correr la cinta magnética donde se encuentran el audio y las palabras de control. Una vez hecho esto el audiovisual se presentará en forma automática de principio a fin.

Los bloques funcionales que forman esta etapa son los siguientes (Cap. I, Fig. 3):

1. BLOQUE ACONDICIONADOR DE SEÑAL RECUPERADA.
2. BLOQUE SELECTOR DE EJECUCION.
3. BLOQUE CONVERTIDOR SERIE - PARALELO.
4. BLOQUE DE REGISTRO DE PALABRA PARA INTERFASE.

2. BLOQUE ACONDICIONADOR DE SEÑAL RECUPERADA

Este bloque recupera la señal grabada en la cinta magnética y la acondiciona para su procesamiento en el resto de la etapa.

Su función la lleva a cabo en 5 partes fundamentales, las cuales son:

Aislamiento de la señal proveniente de la grabadora

Filtrado de la señal

Rectificación de la señal

Comparación de la señal

Conversión a nivel TTL

Todo lo anterior es llevado a cabo mediante 4 amplificadores operacionales (TL084), un transistor NPN (2A238) y los componentes pasivos para configurar a los elementos activos.

AISLAMIENTO

Está constituido por un amplificador operacional en configuración de seguidor de voltaje (Fig. 1), mediante el cual se logra un excelente aislamiento de la grabadora debido a su alta impedancia de entrada. La ganancia de esta configuración es unitaria:

$$V_o = V_i$$

FILTRADO

Esta segunda parte tiene como función recuperar los pulsos de la palabra de control, los cuales presentan una frecuencia de 3.3 KHz.

El diseño y cálculo del filtro se llevó a cabo con el auxilio de un programa de computación desarrollado en el Departamento de Control de la Facultad de Ingeniería U.N.A.M. El paquete genera las características principales del filtro y el cálculo de sus componentes a partir de una plantilla de diseño.

La información alimentada al paquete fué:

Filtro Paso-altas

Aproximación Chebyshev

Magnitud de Rizo (R_{db}) = 1 db

Ganancia en la banda de paso respecto a la banda de supresión (A_{db}) = 40 db

Frecuencia en la que inicia la banda de oscilación (Banda de paso) (F_a) = 3,300 Hz.

Frecuencia que limita la banda de supresión (F_g) = 330 Hz.

Configuración de realimentación múltiple

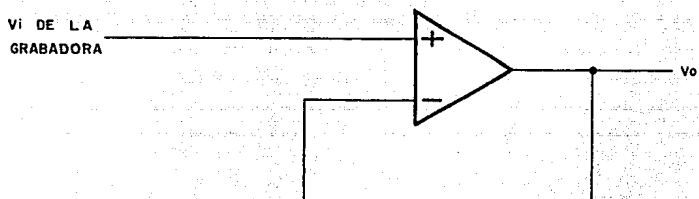
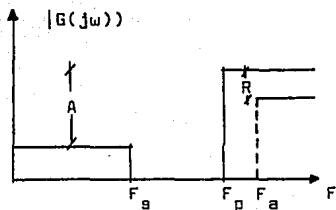


Figura 1. SEGUIDOR DE VOLTAJE



Los resultados obtenidos fueron:

Orden del filtro (n) = 2

Frecuencia que inicia la banda de paso (F_p) = 2,710 Hz.

Frecuencia de resonancia (F_r) = 4,666.9 Hz.

Valores de los componentes en realimentación múltiple (Fig. 2):

$$C_1 = C_2 = 0.01 \mu F.$$

$$R_1 = 14,531.6 \Omega$$

$$R_2 = 1,764.75 \Omega$$

Los valores comerciales empleados en la configuración son:

$$C_1 = C_2 = 0.01 \mu F.$$

$$R_1 = 15 K\Omega$$

$$R_2 = 1.8 K\Omega$$

La función de transferencia del filtro es:

$$\frac{V_o(s)}{V_i(s)} = \frac{-(sC_2)(sC_2)}{1/R_1(sC_2 + 1/R_2 + sC_2 + sC_1) + (sC_1)(sC_2)}$$

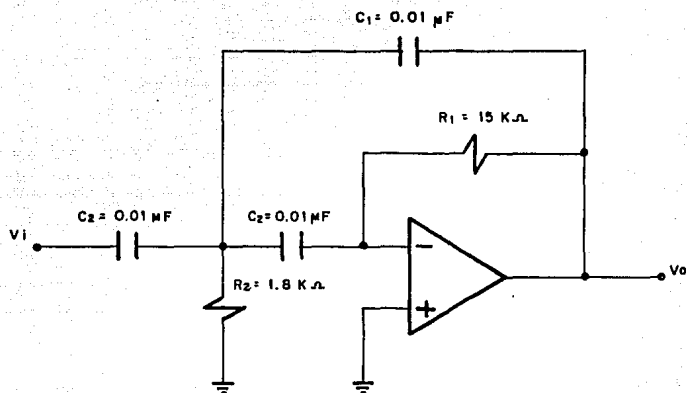


Figura 2. FILTRO PASO-ALTAS

$$\frac{V_o(s)}{V_i(s)} = \frac{-1 \times 10^{-16} s^2}{1 \times 10^{-16} s^2 + 2 \times 10^{-12} s + 3.7 \times 10^{-8}}$$

RECTIFICACION

Está formada por un amplificador operacional configurado como rectificador no inversor de precisión de me dia onda (Fig. 3):

Este circuito permite el paso de la señal filtrada só lo en los semiciclos positivos y le proporciona una - ganancia de:

$$V_o = (1 + R_f/R_1)V_i, \quad V_i > 0$$

$$V_o = (1 + 180000/10000)V_i$$

$$V_o = 19V_i$$

Para los semiciclos negativos, el diodo D1 se abre -- presentando la salida un voltaje nulo:

$$V_o = 0, \quad V_i < 0$$

Los diodos empleados en esta configuración son de señal pequeña, 8AV20, con un voltaje de encendido de -- 0.7 V. La alta ganancia del amplificador operacio-- nal reduce el voltaje de encendido del diodo a su va-- lor nominal entre la ganancia de malla abierta, permi tiendo así el paso a señales de entrada positivas que presenten niveles muy pequeños:

$$V_i > \frac{0.7}{100000} \text{ V.}; \quad V_i > 7 \mu\text{V.}$$

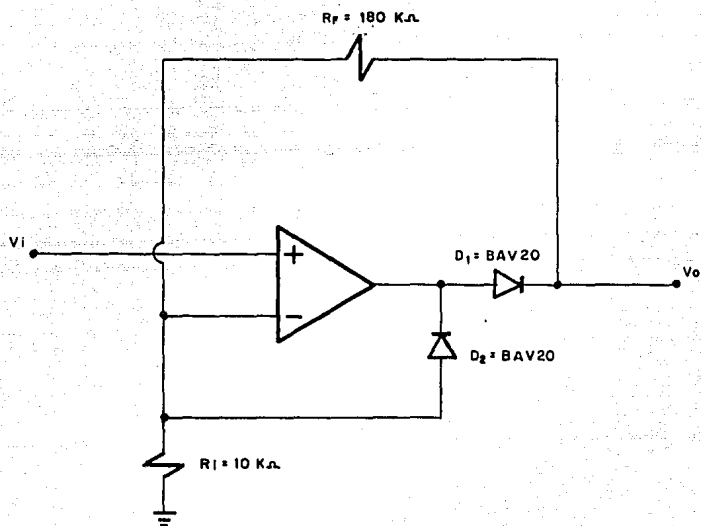


Figura 3. RECTIFICADOR

COMPARACION

La función del comparador es generar un pulso de saturación del amplificador operacional por cada pulso bipolar que se recupera de la grabadora.

Lo anterior se logra con la comparación de dos señales de forma exponencial decreciente ($\tau = RC$) con diferentes constantes de tiempo (Fig. 4).

En la entrada inversora del amplificador se presenta la señal proveniente del rectificador de media onda, retenida mediante un juego RC, el cual presenta una constante de tiempo de $\tau = 0.82 \text{ mS}$.

En la entrada no inversora se presenta la misma señal con una caída de voltaje que se genera en el diodo de señal pequeña alambrado antes del retén. Este segundo juego RC presenta una constante de tiempo de $\tau = 3.3 \text{ mS}$.

El tiempo en el cual la primera exponencial (terminal inversora) es mayor que la segunda, el amplificador se mantendrá saturado en su polarización negativa. Después, al momento en que la primera exponencial cae por debajo del valor de la segunda, el amplificador cambia de saturación a la fuente positiva.

De esta manera se tiene que el voltaje de salida del comparador es:

$$V_o = -15 \text{ V} \quad V_{1(-)} > V_{1(+)}$$

$$V_o = +15 \text{ V} \quad V_{1(-)} < V_{1(+)}$$

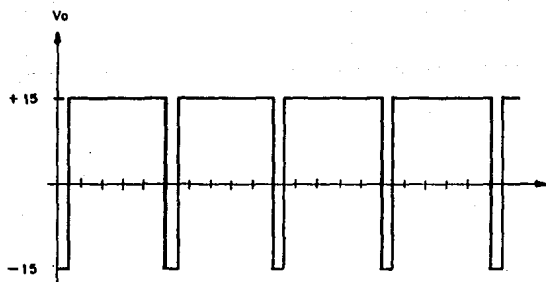
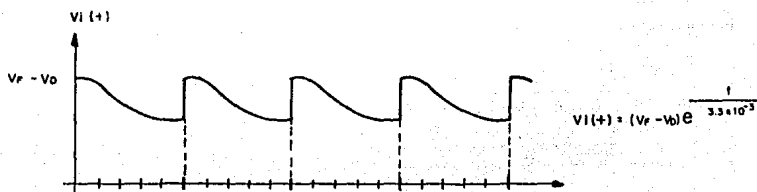
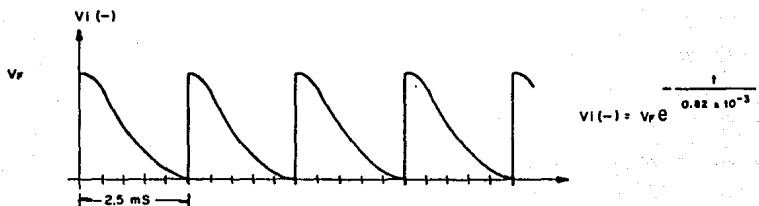
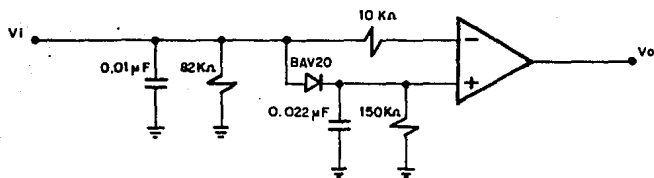


Figura 4. COMPARADOR

CONVERSION A NIVEL TTL

La conversión de niveles se lleva a cabo en un transistor (2A238), el cual es puesto en corte y saturación alternadamente generando como salida niveles de aproximadamente 5 y 0 v.

Esta conversión es necesaria ya que toda la etapa de reproducción maneja lógica TTL.

Cuando la salida del amplificador operacional es de +15 V., este voltaje es aplicado a la base del transistor saturándolo y causando que en su colector se presente tan sólo el voltaje de saturación (0.2 V.). Este valor se considera como cero lógico para circuitos integrados TTL.

En el caso contrario, cuando a la salida de amplificador operacional se presentan -15 V., el transistor se corta, y en su colector se presenta el voltaje de la fuente que lo alimenta, la cual es de +5 V. Este voltaje representa uno lógico para circuitos integrados TTL.

La figura 5 muestra el circuito empleado para la conversión de niveles, y muestra los valores de los elementos pasivos usados para lograr el corte y la saturación del transistor.

Al final de las cinco partes anteriormente descritas del bloque acondicionador de señal recuperada se obtiene un tren de pulsos de nivel TTL el cual está formado por el reloj y los datos de cada palabra de control, que aparece en forma seriada.

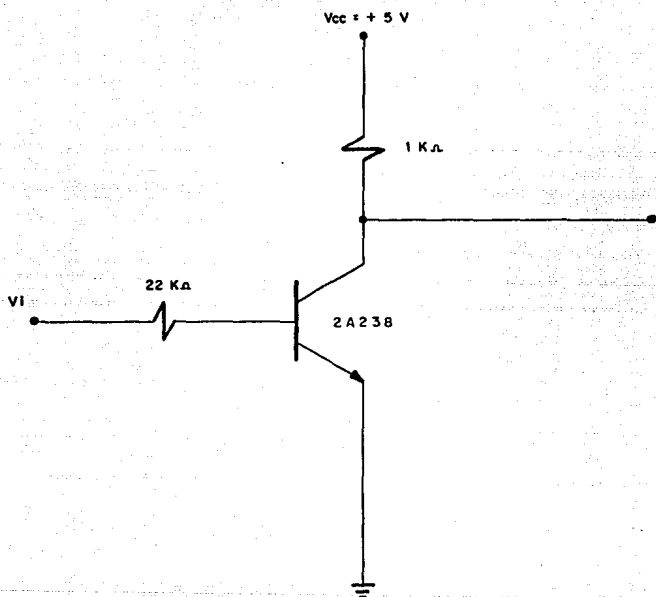


Figura 5. CONVERSION A NIVEL TTL

3. BLOQUE SELECTOR DE EJECUCION

Tiene como función seleccionar si la instrucción a ser reproducida provendrá de las palabras de control almacenadas en RAM o de la secuencia de palabras de control de la cinta magnética.

Está constituido por un inversor (74LS04), dos compuertas AND (74LS08) y una compuerta OR (74LS32), y opera de la siguiente forma (Fig. 6):

Se tienen las compuertas AND a cada una de las cuales entra una línea de control proveniente del controlador. Para la primera compuerta entra la línea HEJECT.L ($\overline{SC7}$) y para la segunda HEJECT.H (SC7). Debido a esta inversión en una de las líneas de control, las compuertas AND trabajan en forma excluyente, permitiendo el paso de la información que se presente en la compuerta cuya línea HEJECT se encuentre habilitada.

La primera AND tiene como entrada la salida del bloque acondicionador de señal recuperada, el cual entrega una secuencia de datos en nivel TTL. La segunda compuerta presenta como entrada la salida de la palabra de control de la etapa de grabación antes de modificarse los niveles TTL en el bloque acondicionador de señal a grabar (SUM.H). Así, dependiendo de la secuencia que el usuario quiera realizar (ENTRAR, GRABAR o EJECUTAR), la línea HEJECT presentará el estado necesario para permitir el paso de la señal de la grabadora o de la almacenada en memoria. La compuerta OR permite obtener una sola línea para ambas opciones de paso de las compuertas AND.

SALIDA DE BLOQUE
ACONDICIONADOR
DE SEÑAL
RECUPERADA

SEÑAL DE BLOQUE
ACONDICIONADOR
DE SEÑAL A GRABAR
(ETAPA DE GRABACION)

HEJECT. H
(ETAPA DE CONTROL)

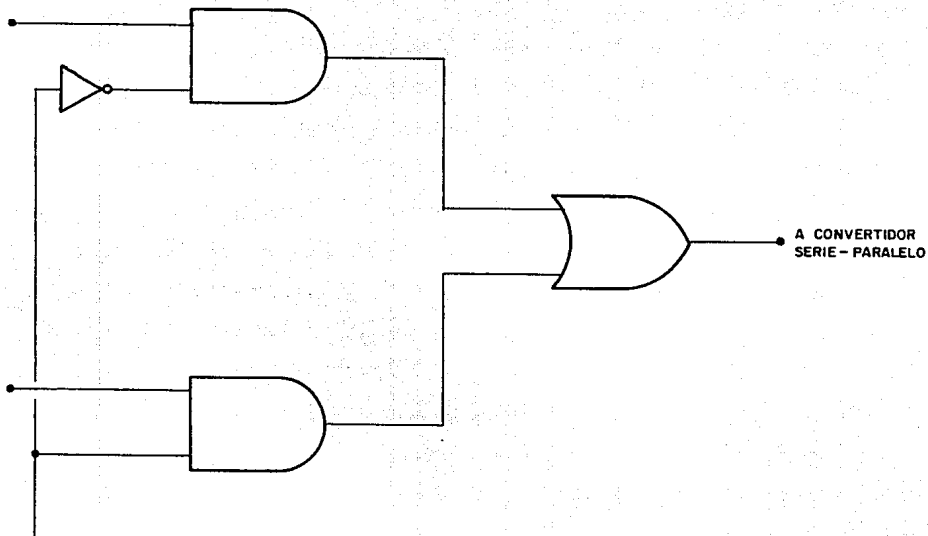


Figura 6. SELECTOR DE EJECUCION

4. BLOQUE CONVERTIDOR SERIE - PARALELO

En este bloque se debe separar la información de reloj que llega en la señal, de la señal que es la palabra de control, y una vez separada esta última convertirla de una secuencia en una sola línea, a un conjunto de líneas paralelo presentando toda la información de la palabra simultáneamente en 12 líneas.

4.1 SEPARACION DE SEÑALES

La señal que se recupera de la grabadora es acondicionada y pasada a través del selector de ejecución. A la salida de éste, presenta una forma de tren de pulsos muy angostos ($d < 0.5$ mS.) a nivel TTL, con un período de 5 mS. y con la posibilidad de tener en la mitad del período (2.5 mS.) otro pulso que corresponde a un nivel alto de la palabra de control (Fig. -- 7.a).

A través de un temporizador no redispensible (74LS121) alambrado para disparar solamente con borde de bajada de la señal y configurado para tener una duración de pulso de 3.26 mS. ($R = 47$ K Ω , $C = 0.1$ μ F, $t = 0.69RC$), se obtiene la señal de reloj recuperado. Como la duración del pulso del temporizador es mayor de 3 mS., si aparece un dato a la mitad del ciclo de reloj, no será detectado. La forma de la señal de reloj recuperado se muestra en la figura 7.b.

Para obtener los pulsos de la palabra de control, se hacen pasar la señal de entrada al convertidor serie-paralelo y la señal de reloj recuperado por una compuerta AND. De esta manera el reloj recuperado --

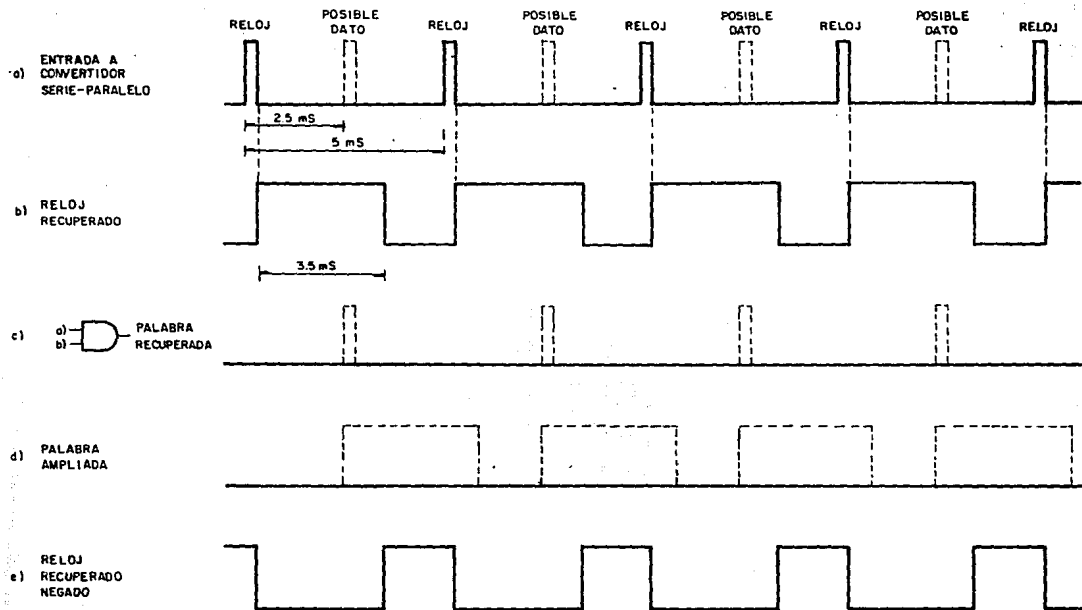


Figura 7. SEPARACION DE SEÑALES

siempre estará en alto al aparecer un dato, y siempre estará en bajo al aparecer el pulso del reloj ya que su disparo es con borde de bajada. La forma de la palabra recuperada se muestra en la figura 7.c.

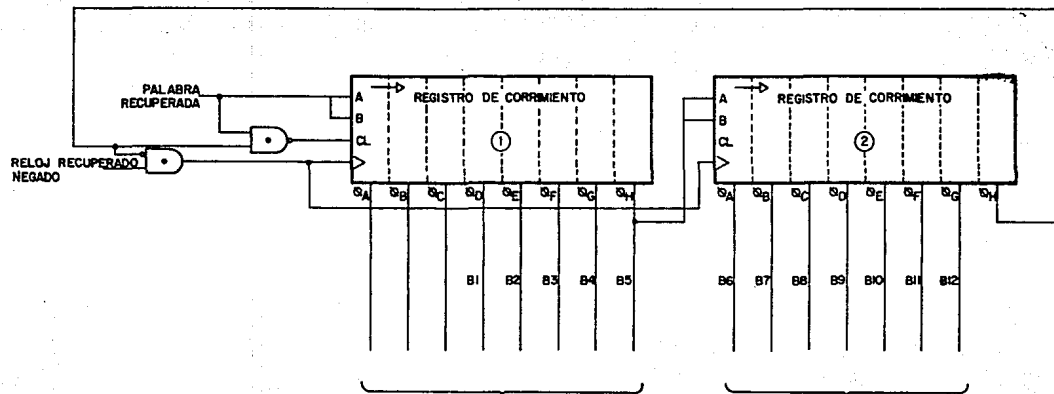
Una vez obtenida la palabra recuperada, se les da a sus pulsos una duración fija y mayor a la que tienen mediante un temporizador (74LS123) alambrado para -- disparar únicamente con borde de subida de la palabra recuperada, y configurado para tener una duración de pulso de 3.38 mS. ($R = 120\text{ K}\Omega$, $C = 0.1\text{ }\mu\text{F}$, $t = 0.28RC(1 + 0.7/R)$). La forma de la palabra ampliada se muestra en la figura 7.d.

Mediante los dos temporizadores y la compuerta se logra tener por separado la señal de reloj, que siempre está presente en la cinta magnética, y la secuencia de palabras de control.

4.2 CONVERSION SERIE - PARALELO

Una vez que se tiene la señal de la palabra ampliada en forma de secuencia de 12 bits (palabra de control), se hace entrar a un registro de corrimiento de salidas paralelo. El registro al detectar mediante un protocolo que la palabra está completa, se detiene y envía la palabra de control a un conjunto de latches que la retienen en sus salidas hasta la llegada de la siguiente palabra.

Dos registros de corrimiento de salidas paralelo de 8 bits (74LS164) y un conjunto de compuertas (74LS08, 74LS00, 74LS126) realizan la conversión serie-paralelo de la siguiente forma (Fig. 8):



A REGISTRO DE PALABRA
PARA INTERFASE

Figura 8. CONVERTIDOR SERIE-PARALELO

Inicialmente no hay llegada de palabra de control y solamente se presenta el reloj recuperado negado -- (Fig. 7.e) en las entradas de reloj de los regis--tros. Ambos registros están llenos de ceros y se encuentran realizando el corrimiento de éstos continuamente. En las entradas A y B del primer registro se tiene la señal de palabra recuperada, la --cual si no hay palabra de control apareciendo, es -un nivel bajo permanente. A su vez la última salida paralelo del mismo registro está conectada a las entradas serie del segundo. De esta manera se logra un registro de corrimiento de 16 bits.

Al empezar a presentarse una palabra de control, ésta va precedida por el primer bit en alto (línea --del multiplexor E14 a +5V.). La palabra corre hasta que ese nivel alto llega a la última salida paralelo del segundo registro (QH). Esta salida es realimentada hacia el reloj de los registros en forma negada a través de una compuerta AND junto con la -señal de reloj recuperado negado causando la inhibición del reloj y haciendo que los registros se de--tengan. Por otra parte este nivel alto también es realimentado a la entrada CLEAR junto con la señal de palabra recuperada a través de una compuerta --NAND. Mientras no se presente otra palabra la entrada CLEAR mantendrá estado alto, el cual implica no borrar el contenido.

En este momento se tiene la palabra de control disponible en las salidas paralelo de los registros de corrimiento, y es cuando puede ser tomada por los -latches que constituyen el bloque siguiente.

Al llegar una nueva palabra de control, el primer bit en alto (protocolo) genera un nivel bajo en la entrada CLEAR de los registros debido a que en la compuerta NAND se presentan a la vez como entradas dos niveles altos. Con esto se borra el contenido de los registros y al terminar de borrarse, el CLEAR vuelve a quedar en alto. Por otra parte con el borrado la última salida paralelo (QH) vuelve a tomar un nivel bajo, con lo cual se desinhibe el reloj, formado por la operación AND de la señal de reloj recuperado negado y QH. Con esto, la palabra inicia su acceso al registro.

5. BLOQUE DE REGISTRO DE PALABRA PARA INTERFASE

Este bloque tiene por función mantener la palabra de control hacia la interfase a proyectores y auxiliares, aislándola de perturbaciones que se puedan presentar en los registros de corrimiento, causadas por pausa o apagado temporal de la grabadora, y de la información que se mueve durante el tiempo que le toma a la palabra quedar ubicada en las salidas paralelo correctas (16 ciclos de corrimiento de la palabra).

Está constituido por 2 latches octales tipo D (74LS373), un temporizador (74LS123), y un arreglo de -- compuertas AND e inversores (74LS08, 74LS126).

Una vez que la palabra de control está detenida dentro de los registros de corrimiento, el conjunto de compuertas AND verifica el estado de las cuatro localidades que corresponden al protocolo de inicio y fin de la palabra (QH del segundo registro en alto,

QA, QB y QC del primer registro en bajo). Si se encuentran los estados esperados, se envía una señal al temporizador de tal forma que se dispare con el borde de subida y genere un pulso de 0.1 mS. -- ($R = 33 \text{ K}\Omega$, $C = 0.1 \text{ }\mu\text{F}$., $t = 0.28RC(1 + 0.7/R)$). El pulso hará que los latches tomen los datos presentados en sus entradas en ese momento y los mantengan en sus salidas (Fig. 9). Al terminar el pulso los latches contienen la información hacia la interfase y la mantienen sin que afecte a las acciones en proyectores y auxiliares lo que ocurra en los bloques anteriores, hasta que se verifique, con la siguiente palabra que llegue a los registros de corrimiento, el protocolo. Con el protocolo verificado los latches tomarán la nueva información.

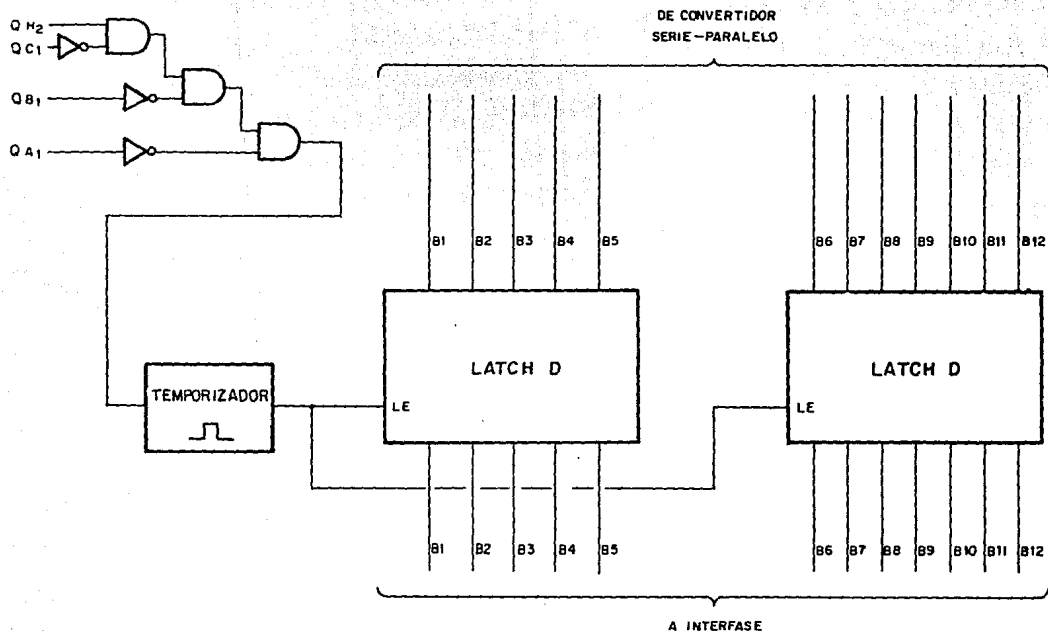


Figura 9. REGISTRO DE PALABRA PARA INTERFASE

INTERFASE A PROYECTORES Y AUXILIARES

1. INTRODUCCION

La descripción funcional del diseño de la parte final del controlador electrónico de proyectores es desarrollada en este capítulo.

Ningún dispositivo de control es de utilidad si no -- cuenta con los medios para modificar el estado de los sistemas físicos a controlar. En el caso del presente trabajo, la interfase entre el controlador y los proyectores y auxiliares debe realizar las siguientes funciones:

- a) Descifrar la información contenida en la palabra -- de control, atendiendo a los siguientes aspectos:
 - 1. Función que ha sido programada
 - 2. Equipo que ha sido seleccionado
- b) Almacenar la instrucción en caso de que sea necesario.
- c) Generar señales de características determinadas para que los equipos finales (carros y lámparas de -- proyectores y accionamientos de auxiliares) puedan actuar adecuadamente.
- d) Realizar el acoplamiento final mediante los dispositivos necesarios, tales como triacs y relevado--

res, con los proyectores y auxiliares.

De manera global, las funciones a realizar por la interfase consisten en captar la palabra de control recuperada que se le proporciona a la salida de la etapa de reproducción y convertirla en una salida que sea compatible con los proyectores, para hacer que las lámparas enciendan, se apaguen, que los carros avancen a la siguiente diapositiva o retrocedan a la anterior, así como proporcionar salidas para comandar pequeñas cargas eléctricas como sistemas auxiliares de iluminación, ventiladores, pantallas, etc.

Para su mejor comprensión esta etapa se representa en diagrama a bloques en la figura 1.

2. SELECTOR DE FUNCION Y EQUIPO

La función a realizar por el equipo controlado (proyectores y auxiliares) está contenida en cuatro bits de la palabra de control recuperada, según la codificación de la siguiente tabla.

FUNCION	B12	B11	B10	B9
AVANZAR	0	1	1	1
RETROCEDER	1	0	1	1
ENCENDER	1	1	0	1
APAGAR	1	1	1	0
FLASHEAR	0	0	1	1
DISOLVER	1	1	0	0

Tabla 1

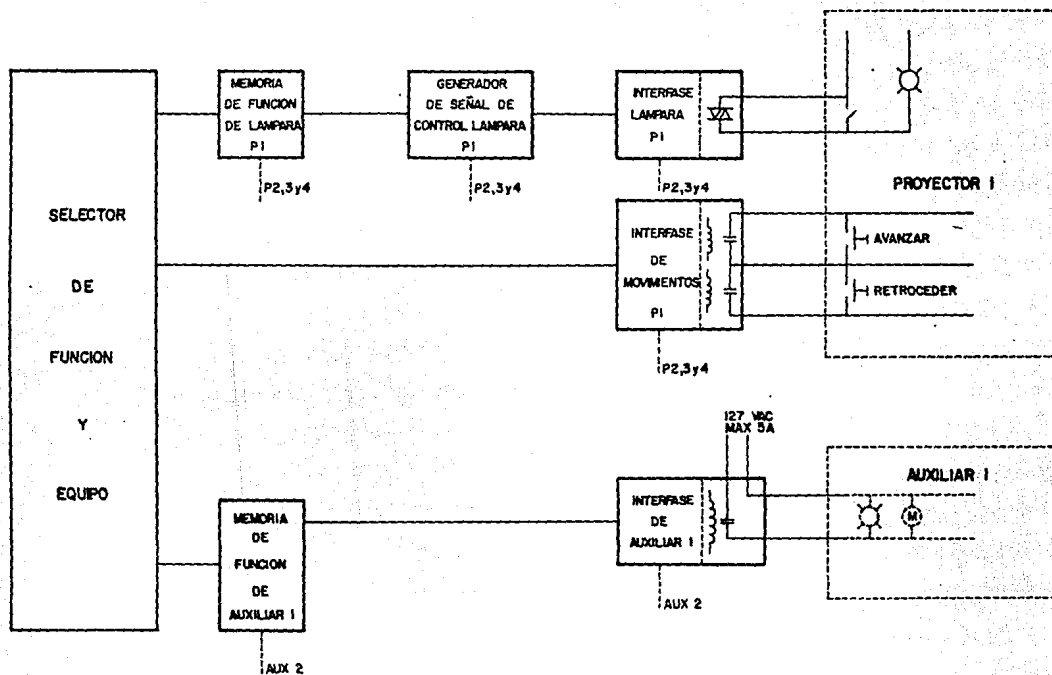


Figura 1. INTERFASE CON PROYECTORES Y AUXILIARES

De acuerdo a esto se puede observar que existe un bit específico para cada función simple (avanzar, retroceder, encender y apagar) y que las funciones compuestas (flashear y disolver) están formadas por combinaciones arbitrarias de las simples, elegidas para hacer sencilla su identificación.

2.1 SELECTOR DE FUNCION

El procedimiento que se utiliza para decodificar las funciones de proyectores y auxiliares (Fig. 2) se lleva a cabo en una compuerta XOR que tiene como entradas los bits B12 y B11, seleccionándose así las funciones de movimientos (señal MOV). La señal negada MOV es utilizada para funciones de lámparas y auxiliares (señal LAMP1).

La señal MOV pasa a través de un temporizador (74LS--121), programado con el tiempo necesario para producir un desplazamiento de sólo una localidad en el carrero de los proyectores, y el movimiento deseado (avanzar o retroceder) es determinado por medio de un par de compuertas AND utilizando los mismos bits B11 y B12, generándose las señales AV y RET.

En el caso de la señal LAMP1, ésta es convertida en un pulso con la señal que habilita el latcheo de la palabra de control hacia la interfase LE (generada y utilizada en la etapa de reproducción) con el fin de controlar el almacenamiento de los bits B10, B9, B2 y B1 en la memoria de función de lámpara de cada proyector (señal LAMP2), de donde serán tomados para producir la señal de control de dicha lámpara.

Por otro lado la función específica de los auxiliares es determinada a partir de la señal LAMP1 utilizando cinco compuertas AND y un inversor (Fig. 2), que hacen uso de los bits B9 y B10 para seleccionar sólo una de las tres funciones disponibles en el controlador para los auxiliares, que son encender, apagar y flashear, produciéndose las señales ENCAx, APAX y FLAX correspondientes.

2.2 SELECTOR DE EQUIPO

La selección de cual o cuales de los seis equipos disponibles (cuatro proyectores y dos auxiliares) serán los que ejecuten la función decodificada en el bloque anterior, se realiza con un banco de compuertas AND y NAND (Fig. 3) que utiliza las señales de funciones específicas y los bits B3, B4, B5, B6, B7 y B8 de la palabra de control recuperada, en los que se encuentra contenida la información del equipo seleccionado durante la grabación del audiovisual. Esta información está codificada de acuerdo a la tabla 2.

EQUIPO SELECCIONADO	B8	B7	B6	B5	B4	B3
PROYECTOR 1	1	0	0	0	0	0
PROYECTOR 2	0	1	0	0	0	0
PROYECTOR 3	0	0	1	0	0	0
PROYECTOR 4	0	0	0	1	0	0
AUXILIAR 1	0	0	0	0	1	0
AUXILIAR 2	0	0	0	0	0	1

Tabla 2

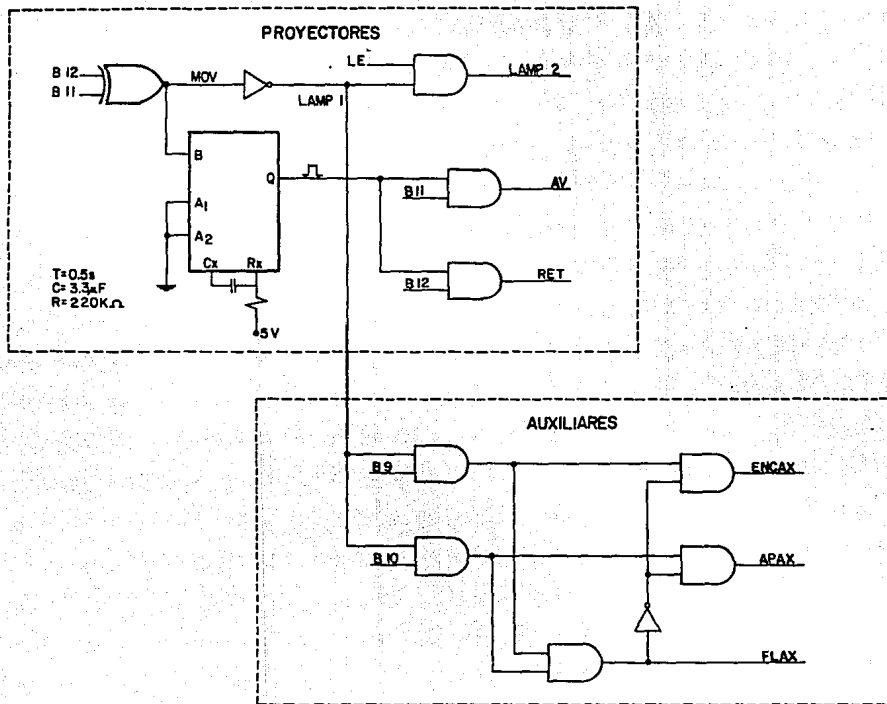


Figura 2. SELECTOR DE FUNCIONES

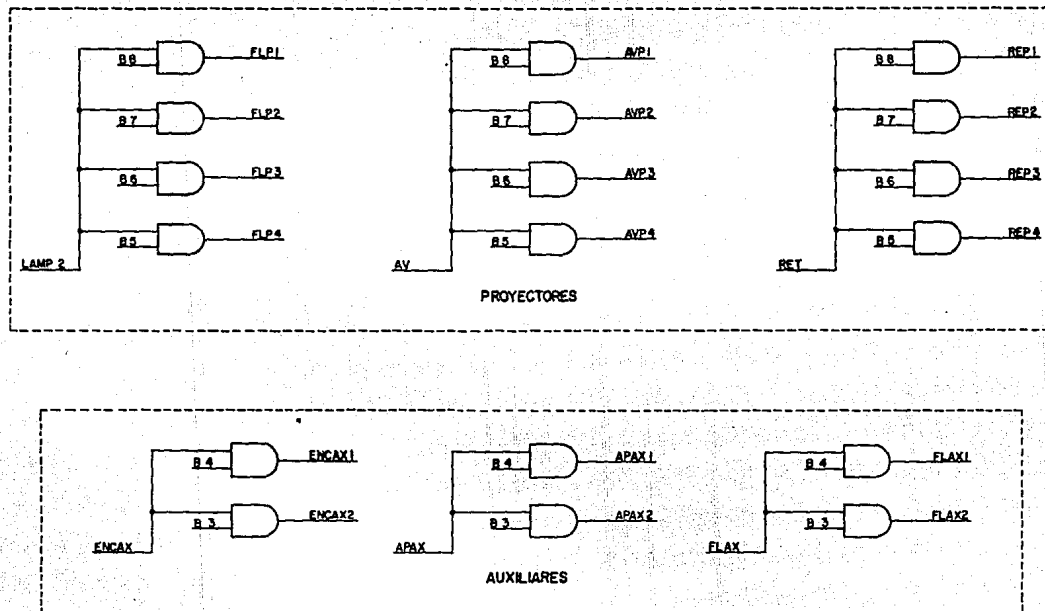


Figura 3. SELECTOR DE EQUIPO

Como se puede observar existe en la palabra de control un bit asociado a cada equipo, por lo que es posible realizar una misma función con cualquier número y combinación de equipos y además la decodificación de esta información se vuelve muy sencilla.

3. MEMORIAS DE ALMACENAMIENTO DE FUNCIONES

Tanto los bloques funcionales como la electrónica descrita hasta aquí son comunes a todos los equipos. A partir de este bloque de memoria y a lo largo del capítulo lo que se trate para "el proyector" y "el auxiliar" debe considerarse aplicable de manera igual a los 4 proyectores y a los 2 auxiliares respectivamente.

Las memorias de almacenamiento de funciones cumplen la tarea de proporcionar señales permanentes a las interfaces con el equipo, de manera independiente al contenido del registro de la palabra de control recuperada. Esto es necesario en las funciones de la lámpara del proyector y en todas las del auxiliar, ya que el contenido del registro mencionado cambia con cada nueva instrucción y esto no significa que el estado de operación de todos los equipos deba también cambiar, sino exclusivamente el del equipo que ha sido seleccionado en la instrucción en curso.

En el caso del proyector, la memoria de almacenamiento de funciones está constituida por un latch tipo D de 4 bits (74LS75) (Fig. 4), que tiene por entradas de dato los bits B10, B9, B2 y B1 tomados de las salidas del registro de palabra de control recuperada descrito en el capítulo IV. En estos bits está conteni

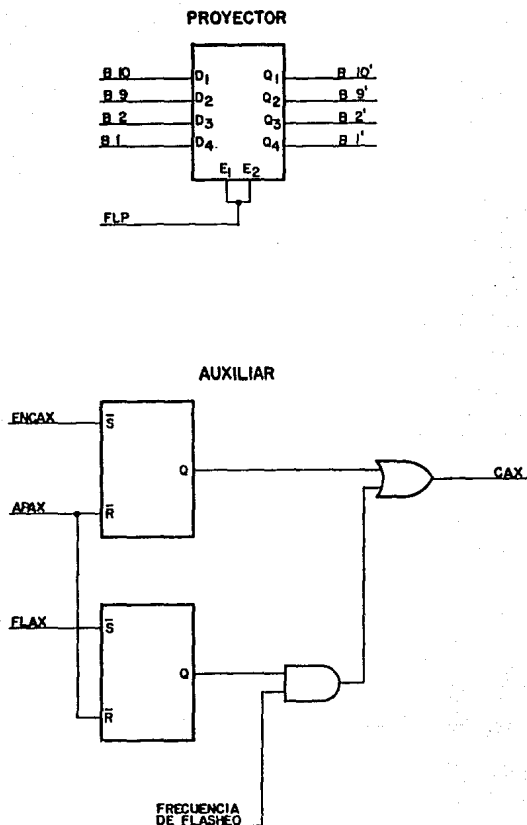


Figura 4. MEMORIAS DE ALMACENAMIENTO DE FUNCIONES

de la información necesaria para la operación de la lámpara, como se detallará adelante.

La señal para habilitar la captura de datos es precisamente la señal FLP* (*indica que la señal puede pertenecer a cualquiera de los 4 proyectores), que en su estado alto indica que se desea cambiar el estado de operación de la lámpara y que el proyector ha sido seccionado. Al ser esta señal en forma de pulso se garantiza que los contenidos de la memoria sólo cambiarán en estas condiciones.

Por otra parte, para el auxiliar se cuenta con dos latches tipo $\overline{S-R}$ (74LS279) (Fig. 4). Uno para almacenar el estado simple de operación de este equipo (encendido o apagado) que tiene por entradas las señales ENCAX* y APAX* (*indica que la señal puede pertenecer a cualquiera de los 2 auxiliares) al Set y al Reset respectivamente. El otro latch cumple la función de almacenar el estado compuesto (flasheo) y tiene por entradas a las señales FLAX* y APAX* al Set y al Reset respectivamente. Se cuenta además en las salidas con una lógica para la función de flasheo, ya que en esta operación la señal a utilizar por la interfase debe ser un tren de pulsos con la frecuencia de flasheo, que es generado en la fuente de alimentación del controlador. Se produce así la señal de control final para el auxiliar CAX* mediante una compuerta OR de las señales de control fijas y el tren de pulsos para flasheo.

4. GENERADOR DE SEÑAL DE CONTROL PARA LAMPARA

Dadas las características de operación de la lámpara del proyector, encendido y apagado a diferentes velocidades, es necesaria una interfase de tipo analógico con dicha lámpara (dimmer), y por lo tanto es necesaria una señal de control analógica que debe tener forma de una rampa de pendiente negativa para encenderla y de pendiente positiva para apagarla, como se justificará más adelante al describir la interfase.

Para su mejor comprensión se considera a este bloque dividido en dos independientes (Fig. 5).

4.1 SELECTOR DE FUNCION DE LAMPARA

Cumple la tarea de decodificar la información contenida en los bits B10 y B9 para producir las señales binarias de apagado de lámpara APAL*, encendido de lámpara ENCL*, flasheo de lámpara FLAL* y requerimiento de disolvencia DISOL*.

El selector está constituido por cuatro compuertas -- AND, dos compuertas OR y dos inversores (Fig. 6).

Utiliza en su operación la señal de lámpara encendida LENC* que proporciona el estado actual y real de la lámpara, la cual es generada en la parte analógica de este bloque que se describirá más adelante.

El funcionamiento de esta lógica es como sigue:
Los bits B9 y B10 contienen en su estado alto la información de encendido y apagado respectivamente (Ver tabla 1). Mediante un par de compuertas AND, un inversor y la señal LENC* estas acciones son bloqueadas

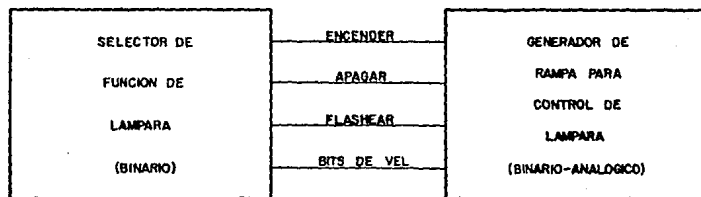


Figura 5. GENERADOR DE SEÑAL DE CONTROL PARA LAMPARA

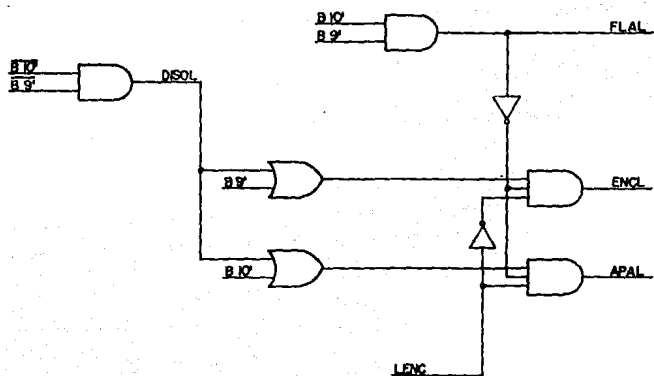


Figura 6. SELECTOR DE FUNCION DE LAMPARA

por la condición en que se encuentre la lámpara, esto es, sólo se generará un comando de encendido cuando la lámpara esté apagada y viceversa. Con esto se obtiene la función de disolvenencia automáticamente ya -- que basta generar las señales de encendido y apagado simultáneamente mediante la compuerta AND con entradas B10' y B9' (el signo ' se refiere a bits que han sido latched) y el par de compuertas OR.

Al producirse una señal de disolvenencia esta lógica garantiza que se genere el comando correcto hacia la -- lámpara, es decir, que se apague si estaba encendida y que se encienda si estaba apagada. Por otra parte se garantiza también que los comandos de encendido y apagado se produzcan de manera correcta. Aquí es generado el comando de flasheo mediante la compuerta AND con entradas B10' y B9', que bloquea cualquier otro -- comando para facilitar su operación.

4.2 GENERADOR DE RAMPA PARA CONTROL DE LAMPARA

Como se ha mencionado anteriormente, dadas las características de la interfase para lámpara, es necesaria una señal de control que tenga la forma de una rampa donde la información para la operación esté contenida en el signo de la pendiente y su magnitud. La primera característica determina si el comando es encender en el caso de pendiente negativa, o apagar si es positiva. La segunda fija la velocidad con que se debe ejecutar el comando; mientras mayor sea la pendiente de la rampa mayor será la velocidad de ejecución.

La configuración (Fig.7) mediante la cual se genera la señal descrita arriba se diseñó a partir de un in-

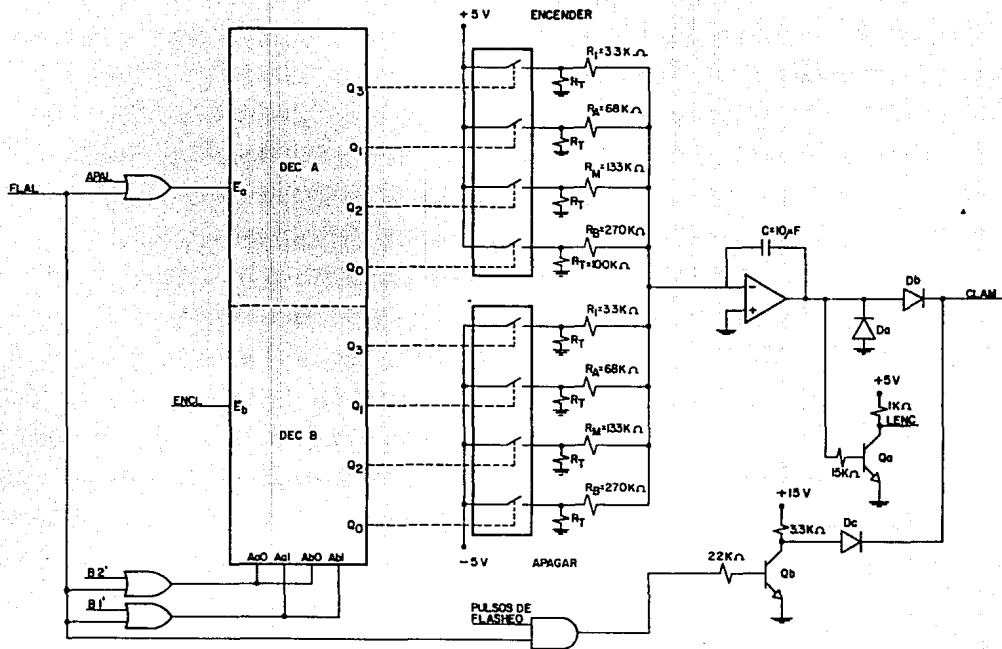


Figura 7. GENERADOR DE RAMPA PARA CONTROL DE LAMPARA

tegrador realizado con un amplificador operacional - (TL084) que tiene como entrada un voltaje constante, por lo que su salida produce una rampa.

Para obtener la señal de control adecuada se utilizan dos principios que son:

- a) Inversión de la polaridad del voltaje de entrada, dada la característica de la configuración elegida. Obtener pendiente positiva con voltaje negativo de entrada y viceversa.
- b) Modificación del valor de la resistencia de entrada para obtener ganancias diferentes en el integrador, y por lo tanto pendientes diferentes de la rampa a la salida.

Para hacer la selección de la polaridad del voltaje y valor de resistencia acordes con la función a ejecutar, se cuenta con un banco de 8 resistencias, 4 de ellas conectadas a +5 V. a través de interruptores analógicos individuales (CD4016) y las otras 4 con un arreglo idéntico pero conectadas a -5 V. La selección de la resistencia adecuada para una velocidad de ejecución determinada se realiza con los bits 81 y 82 de la palabra de control, que están codificados de acuerdo a la siguiente tabla.

VELOCIDAD	82	81
INSTANT.	1	1
ALTA	1	0
MEDIA	0	1
BAJA	0	0

Tabla 3

La interpretación de esta información se lleva a cabo mediante dos decodificadores 1 de 4 (74LS139) que tienen como entradas de dirección estos dos bits y cuyas salidas controlan la apertura o cierre de los interruptores analógicos. Un decodificador contiene el banco de resistencias de conexión a +5 V. y el otro - las de conexión a -5 V. Por otra parte las señales de encendido ENCL* y apagado APAL* son utilizadas para habilitar la operación de uno u otro decodificador haciendo uso de las entradas correspondientes en el circuito integrado.

Con todo esto se logra que para un comando determinado sólo uno de los interruptores permanezca cerrado y se obtenga la rampa con la pendiente adecuada en signo y magnitud.

Para el cálculo de los valores de las resistencias se han considerado los tiempos de ejecución disponibles para el usuario (instantáneo, 2, 4 y 8 seg.) y la expresión para la ganancia del integrador, tomando en cuenta que los límites de voltaje de operación de la señal de control son +15 V. para lámpara completamente apagada y 0 V. para lámpara completamente encendida.

Se sabe que para el integrador:

$$V_o(t) = - \frac{1}{RC} \int V_i(t) dt$$

Si $V_i(t) = 5$ V. entonces:

$$V_o(t) = - \frac{5}{RC} t$$

donde la magnitud de la pendiente es:

$$m = \frac{5}{RC}$$

Considerando $C = 10 \mu F$, se tiene que:

$$R = \frac{5 \times 10^5}{m}$$

Para cada velocidad se obtiene:

VELOCIDAD BAJA

$$m_b = \frac{15}{8} = 1.875 \text{ V/s}$$

$$R_b = \frac{5 \times 10^5}{1.875} = 266 \text{ K}\Omega$$

VELOCIDAD MEDIA

$$m_m = \frac{15}{4} = 3.75 \text{ V/s}$$

$$R_m = \frac{5 \times 10^5}{3.75} = 133 \text{ K}\Omega$$

VELOCIDAD ALTA

$$m_a = \frac{15}{2} = 7.5 \text{ V/s}$$

$$R_a = \frac{5 \times 10^5}{7.5} = 66 \text{ K}\Omega$$

VELOCIDAD INSTANTANEA (Considerando ejecución en un tiempo de 0.1 seg.)

$$m_i = \frac{15}{0.1} = 150 \text{ V/s}$$

$$R_i = \frac{5 \times 10^5}{150} = 3.3 \text{ K}\Omega$$

Los valores de resistencias comerciales empleados en la configuración son:

$$R_b = 270 \text{ K}\Omega$$

$$R_m = 100 + 33 \text{ K}\Omega$$

$$R_a = 68 \text{ K}\Omega$$

$$R_i = 3.3 \text{ K}\Omega$$

Las resistencias que permanezcan con sus interrupto--

res abiertos serán aterrizadas a través de las resistencias R_t (Fig. 7) con el fin de que no contribuyan a la salida del amplificador operacional. Se tiene además un diodo D_a (8AV20) conectado a la salida del amplificador con la finalidad de limitar el valor en este punto cuando el integrador trate de saturarse a su voltaje negativo de alimentación. Esto se requiere ya que la interfase trabaja adecuadamente con la señal de control en el rango de 0 a +15 V. solamente. De esta manera se produce una señal para las funciones de apagar, encender y disolver. La señal para flashear se genera en una compuerta AND con la señal FLAL* y un tren de pulsos, proveniente de la fuente de alimentación del controlador, que producen a través de un transistor Q_b (2A239) otro tren de pulsos con niveles de voltaje 0 y +15 V. Al mismo tiempo se bloquea la función de encender y se obliga al circuito a establecer un estado de operación de apagado instantáneo haciendo uso de las tres compuertas OR mostradas (Fig. 7). El tren de pulsos para flashear forma parte de la señal de control final CLAM* a través de la compuerta OR analógica formada por los diodos D_b y D_c (8AV20).

Por otra parte la señal LENC* utilizada en la lógica descrita en la cual se proporciona el estado de la lámpara es formada en el transistor Q_a (2A239), y opera de tal forma que cuando en la salida del amplificador operacional el voltaje es menor de 2 V. aproximadamente este transistor pasa a su estado de corte obteniendo un nivel alto de LENC*, lo que indica que la lámpara está encendida.

5. INTERFASE PARA LAMPARA

Los fabricantes de proyectores de diapositivas normalmente proporcionan como entrada a sus aparatos los -- dos puntos de conexión del interruptor de la lámpara, con lo que si se mantiene éste abierto en el proyector se puede controlar el encendido de la lámpara por medios externos. Partiendo de esta base, la interfase para el control de la lámpara se diseñó para el empleo de un triac (TIC 216) que forma parte del controlador y es conectado en paralelo con el interruptor -- de la lámpara en el proyector (Fig. 8).

El circuito de disparo es realizado mediante un optotriac (MOC 3010) con lo que se obtiene aislamiento -- galvánico de la electrónica del controlador con la alimentación de la lámpara en el interior del proyector. El optotriac es a su vez comandado por el transistor Q_b (2A239), que es puesto en su estado de corte o saturación por la señal proveniente del amplificador operacional AO2 (TL084) que se encuentra configurado para que opere como comparador de la señal de control analógica para lámpara CLAM* y un diente de sierra de 120 Hz. y 15 V. de amplitud que se encuentra sincronizado con la línea de alimentación de 127 V_{ac} . De esta forma se obtiene un control continuo y total de la corriente que circula a través de la lámpara y por lo tanto de su intensidad luminosa.

La operación de todo este circuito es como sigue: Mediante el transformador T_a (mismo transformador de la fuente de alimentación), los diodos D_a , D_b y D_c -- (1N 4001), Q_a (2A239), R_a y R_b se genera un pulso de corriente hacia la base del transistor Q_a en cada cru

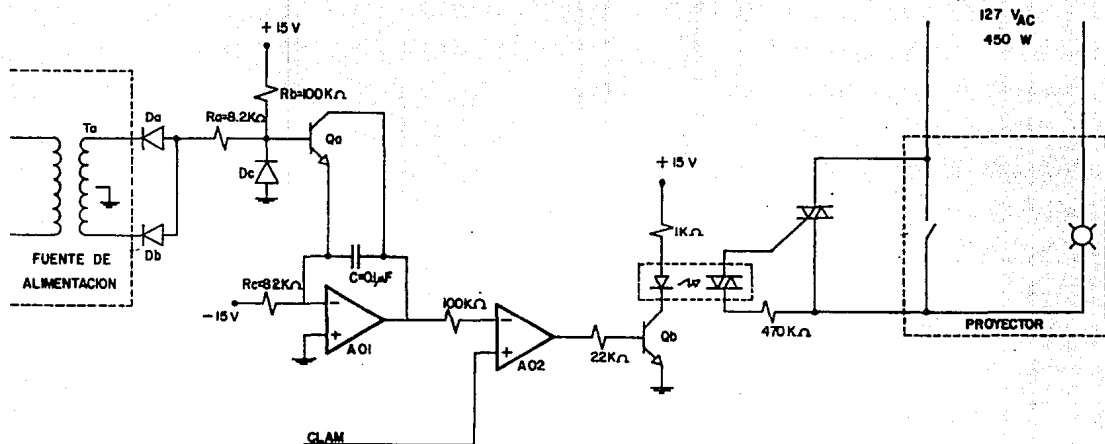


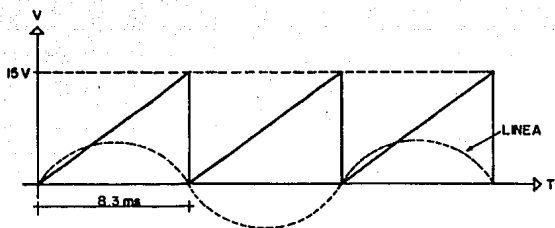
Figura 8. INTERFASE DE LAMPARA

ce por cero de la línea, provocando que se cortocircuite el capacitor C. Este se encuentra formando parte de un integrador realizado con el amplificador operacional AO1 (TL084), que tiene como entrada una constante por lo que su salida es una rampa que es obligada a regresar a voltaje cero con cada cruce por cero de la línea, mediante la acción de Q_a . Además R_c y C son calculados y ajustados siguiendo el procedimiento usado en la sección del generador de rampa para control de lámpara, para lograr que la rampa alcance un voltaje de +15 V. en 8.3 ms. Así se logra obtener a la salida del amplificador AO1 una señal como la de la figura 9.a.

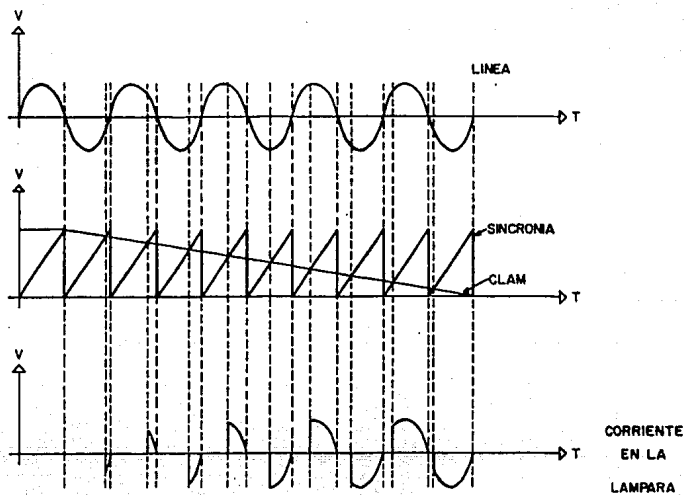
La señal descrita anteriormente es comparada con la señal CLAM* con lo que se obtienen pulsos de voltaje con duración menor a medio ciclo de la señal de línea que son convertidos en pulsos de corriente en el transistor Q_b y que disparan el triac proporcionando corriente a la lámpara sólo durante fragmentos del ciclo de la línea. La figura 9.b muestra las señales asociadas al proceso de encendido de la lámpara.

6. INTERFASE DE MOVIMIENTOS DE PROYECTOR

Al igual que en el caso de la lámpara, los fabricantes de proyectores proporcionan los puntos de conexión de sus interruptores de avance y retroceso del carro, que son dos contactos normalmente abiertos con un punto común y que controlan el mecanismo de tal manera que si se mantiene cerrado alguno de ellos el carro tiene un movimiento constante. De aquí la necesidad de hacer a las señales de control que se generen en el bloque selector de función, de una duración



a)



b)

Figura 9. SEÑALES EN LA INTERFASE DE LAMPARA

muy corta mediante el uso de temporizadores para que permanezcan activas sólo durante el tiempo en que se genere un movimiento del carro.

Esta interfase se ha diseñado a partir de un par de relevadores independientes (Fig. 10) y únicamente -- consta de dos amplificadores de corriente Q_a y Q_b , para excitar las bobinas de estos relevadores. Los amplificadores hacen uso de las señales AVP* y REP*.

7. INTERFASE DE AUXILIAR

Con el fin de hacer más atractivo un audiovisual, frecuentemente se utilizan equipos auxiliares para lograr efectos especiales como pueden ser luces de la sala de proyección, pequeños motores para manejo de pantallas, ventiladores, etc. Para no limitar la -- creatividad del diseñador de audiovisuales se ha provisto al controlador de dos salidas para manejar este tipo de equipos, que pueden ser operadas directamente desde el teclado del controlador o bien programadas y grabadas en la misma estructura y cinta que el audiovisual.

La interfase hacia estos equipos consiste en un relevador (Fig. 11) por cada salida con un juego de contactos, uno normalmente cerrado y uno normalmente abierto con una capacidad de hasta 5 amperes. Esta capacidad se considera adecuada para diversos equipos.

Al igual que en la interfase de movimientos se cuenta con un amplificador de corriente Q_a para comandar la bobina del relevador, el cual hace uso de la señal -- CAX*.

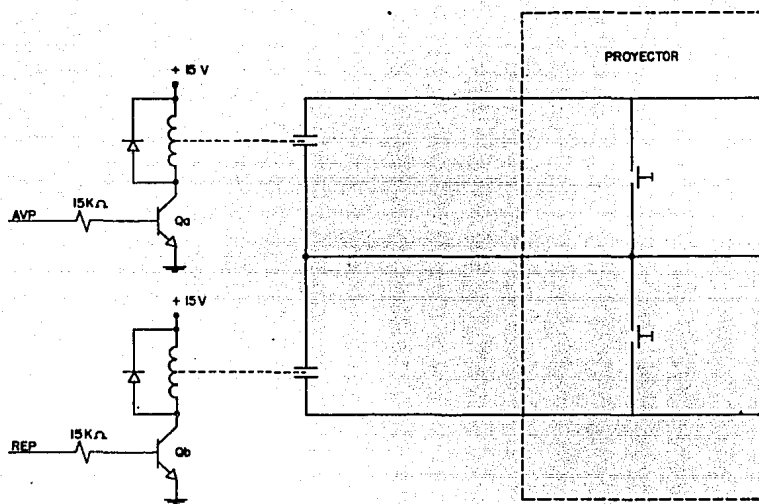


Figura 10. INTERFASE DE MOVIMIENTOS

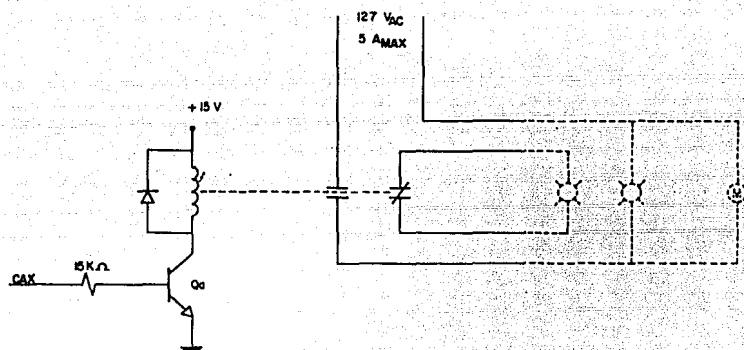


Figura II. INTERFASE DE AUXILIARES

CONCLUSIONES

Como resultado del trabajo desarrollado se obtuvo un prototipo del controlador electrónico de proyectores, que opera satisfactoriamente con las características definidas en el capítulo I. Estas características son las de un equipo cuya versatilidad esté limitada solamente por la creatividad del usuario, ya que permite el control total de hasta cuatro proyectores y dos equipos auxiliares en cualquier combinación. Cuenta además con tres modos de operación: ejecución directa de una instrucción, ejecución secuencial manual de hasta mil instrucciones y ejecución secuencial automática comandada por una grabación en cinta magnética. Todo esto sin requerir experiencia previa o capacitación por parte del usuario.

Durante la realización del diseño se pudieron poner en práctica muchos conceptos estudiados a lo largo de la carrera, tanto en la resolución de problemas puramente técnicos, como en el planteamiento adecuado de los mismos, la búsqueda sistemática de soluciones, la definición de especificaciones de operación y su realización práctica, considerando siempre las características y los requerimientos del usuario del equipo a diseñar, así como la satisfacción de una necesidad real.

Se plantearon criterios generales de diseño, consistentes en descargar las complicaciones de operación del aparato en el diseñador y no en el usuario, reali

zar un diseño simple basado en bloques funcionales, que haga sencilla la comprensión para el interesado y la localización de fallas, así como utilizar componentes de fácil adquisición en el mercado nacional para simplificar su mantenimiento.

Por último, estamos conscientes de que las soluciones técnicas adoptadas no son las únicas posibles ni pretenden ser las óptimas, ya que en el trabajo de diseño electrónico éstas dependen de la creatividad, la experiencia y el criterio personal del diseñador. Sin embargo las soluciones elegidas, al igual que el trabajo de tesis en su totalidad, reflejan nuestra formación profesional adquirida a lo largo de la carrera.

E.M.G.G.

A.N.G.E.

APENDICES

I

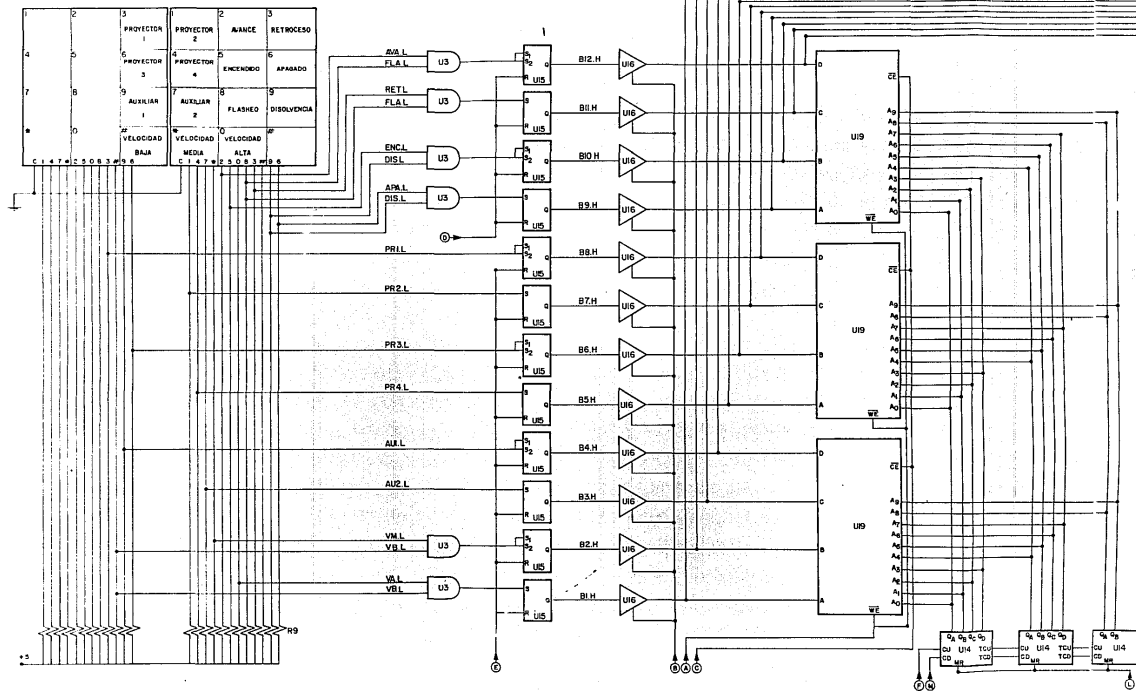
DIAGRAMAS ELECTRONICOS

Y LISTA DE PARTES

A DIAGRAMAS ELECTRONICOS

- 1. ETAPA DE GRABACION**
- 2. ETAPA DE CONTROL**
- 3. DESPLIEGUE DE NUMERO DE INSTRUCCION**
- 4. DESPLIEGUE DE INSTRUCCION**
- 5. ETAPA DE REPRODUCCION**

B LISTA DE PARTES



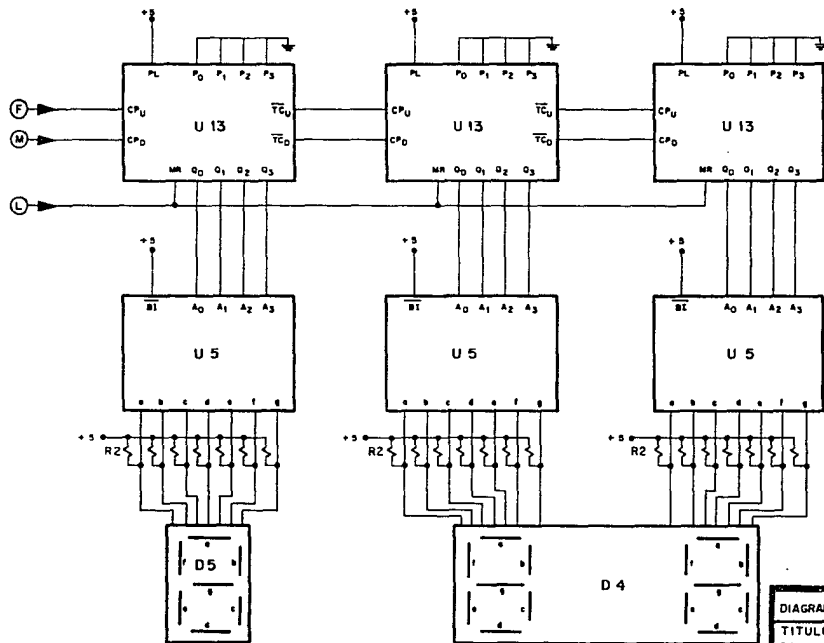


DIAGRAMA N^o 3
 TITULO :
 DESPLIEGUE DE NUMERO
 DE INSTRUCCION

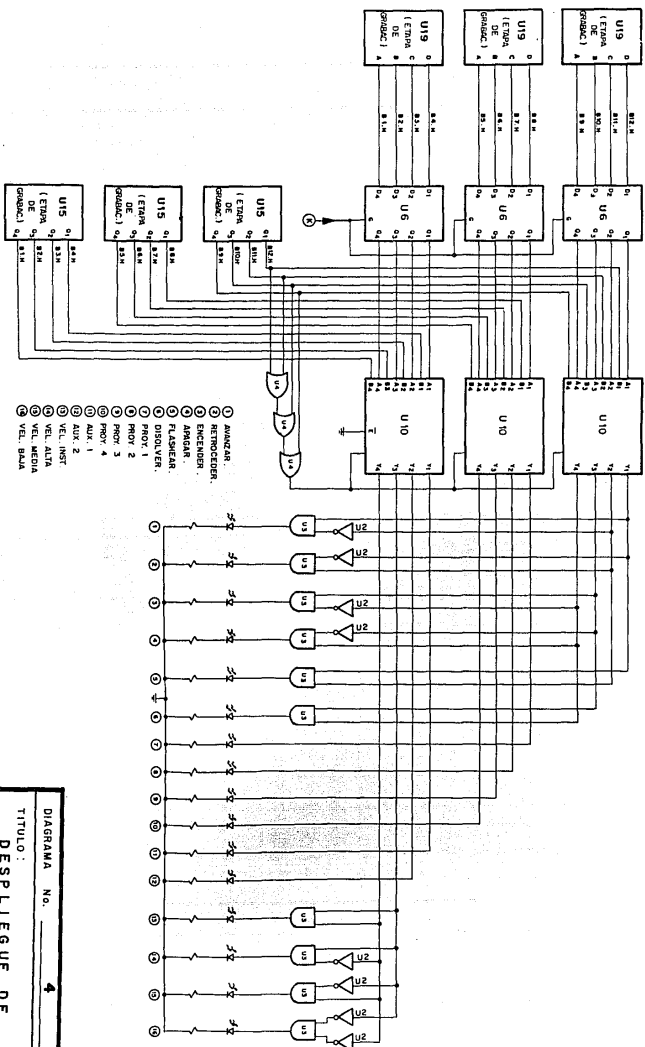
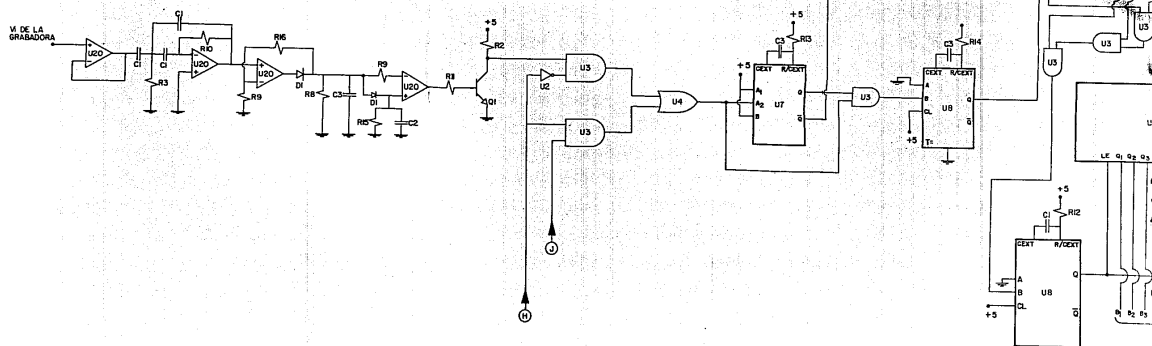
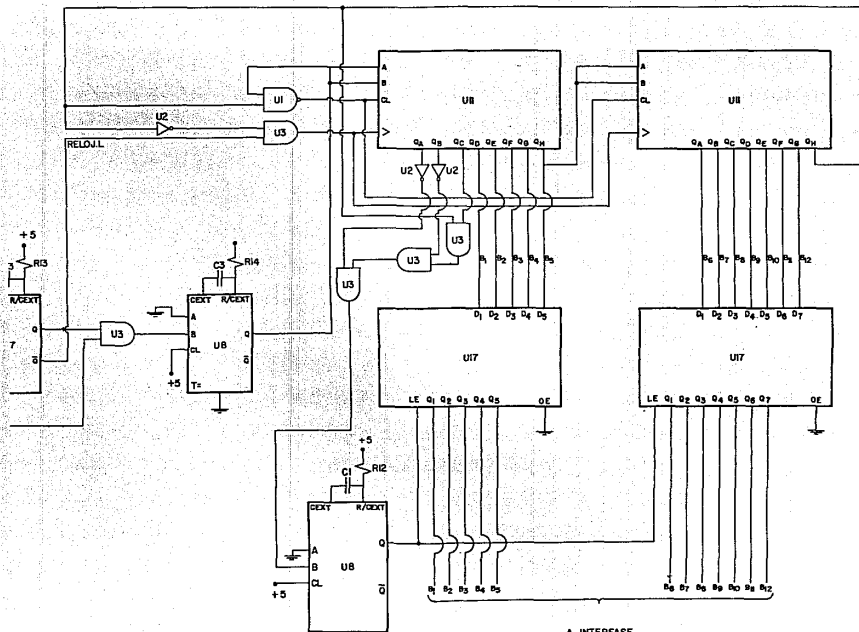


DIAGRAMA No. 4

TITULO:
DESPLIEGUE DE
INSTRUCCION

VI DE LA
GRABADORA





A INTERFASE

LISTA DE PARTES

CIRCUITOS INTEGRADOS (U):

U1	74LS00	Compuerta NAND 2 entradas cuádruple
U2	74LS04	Inversor séxtuplo
U3	74LS08	Compuerta AND 2 entradas cuádruple
U4	74LS32	Compuerta OR 2 entradas cuádruple
U5	74LS49	Decodificador BCD a 7 segmentos
U6	74LS75	Latch tipo D de 4 bits
U7	74LS121	Temporizador no redispensible
U8	74LS123	Temporizador redispensible dual
U9	74LS150	Multiplexor 16 a 1
U10	74LS157	Multiplexor cuádruple 2 a 1
U11	74LS164	Registro de corrimiento de 8 bits, entrada serie, salidas paralelo
U12	74LS191	Contador binario arr./ab. de 4 bits
U13	74LS192	Contador BCD arr./ab. de 4 bits con CLEAR
U14	74LS193	Contador binario arr./ab. de 4 bits con CLEAR
U15	74LS279	Latch cuádruple tipo $\overline{S}-\overline{R}$
U16	74LS367	Driver séxtuplo
U17	74LS373	Latch óctuple tipo D
U18	2716	Memoria UV EPROM de 2K x 8
U19	2114	Memoria RAM de 1K x 4
U20	TL084	Amplificador Operacional cuádruple
U21	741	Amplificador Operacional

RESISTENCIAS (R):

R1	330	Ω
R2	1	K Ω
R3	1.8	K Ω
R4	2.2	K Ω
R5	3.3	K Ω
R6	4.7	K Ω
R7	5.6	K Ω
R8	8.2	K Ω
R9	10	K Ω
R10	15	K Ω
R11	22	K Ω
R12	33	K Ω
R13	47	K Ω
R14	120	K Ω
R15	150	K Ω
R16	180	K Ω

CAPACITORES (C):

C1	0.01	μF
C2	0.022	μF
C3	0.1	μF

TRANSISTORES (Q):

Q1 2A238 Transistor NPN 25 V. 200 mA.

DIODOS (D):

- D1 BAV20 Diodo de señal pequeña**
- D2 MR504 Diodo rectificador**
- D3 DEL9510 Diodo emisor de luz**
- D4 MAN6740 Dígito 7 segmentos dual cátodo común**
- D5 MAN6780 Dígito 7 segmentos cátodo común**

MISCELANEOS:

TEC1 Teclado de membrana 12 teclas paralelo
TP1 Transformador de voltaje 36 V. con deriva
 ción central

FUENTES DE ALIMENTACION

Las fuentes de alimentación forman parte importante dentro del diseño y operación de cualquier aparato o equipo electrónico, ya que son las que proporcionan la energía necesaria para el buen funcionamiento de dicho aparato o equipo.

Las etapas fundamentales de una fuente de alimentación son:

- Transformación del nivel de voltaje C.A.
- Rectificación
- Filtrado
- Regulación

La implementación de las diferentes etapas se puede realizar de varias maneras, y está sujeta a las características particulares que se requieran en la alimentación del aparato.

El controlador electrónico de proyectores debe ser alimentado por fuentes que cubran las siguientes especificaciones:

1. VOLTAJES

En el controlador se utilizan básicamente circuitos integrados de dos tipos:

- a) C. I. de acondicionamiento de señales analógicas a alimentados a ± 15 V.
- b) C. I. que constituyen la lógica del aparato alimentados a +5 V.

También se tiene que proporcionar alimentación al teclado con +5 V. y a transistores con +5 y +15 V.

2. CORRIENTES

La corriente total que demanda el controlador para su operación está dada por la suma de las corrientes que demanda cada una de las etapas del aparato en todas - sus componentes.

ETAPA DE GRABACION

C. I.	CANTIDAD	I_{cc} max (mA)	I_{cc} max total (mA)
74LS08	2	4.4	8.8 (1)
74LS121	1	20.0	20.0 (1)
74LS123	1	20.0	20.0 (1)
74150	1	68.0	68.0 (1)
74LS193	3	34.0	102.0 (1)
74LS279	3	7.0	21.0 (1)
74LS367	2	24.0	48.0 (1)
741	1	2.7	2.7 (2)
2114	3	40.0	120.0 (1)
Teclado	2	1.0	2.0 (1)

ETAPA DE CONTROL

C. I.	CANTIDAD	I_{cc} max (mA)	I_{cc} max total (mA)
74LS08	2	4.4	8.8 (1)
74LS32	1	9.8	9.8 (1)
74LS191	1	35.0	35.0 (1)
74LS279	1	7.0	7.0 (1)
74LS367	1	24.0	24.0 (1)
2716	1	8.0	8.0 (1)

DESPLIEGUE DE NUMERO DE INSTRUCCION

C. I.	CANTIDAD	I_{cc} max (mA)	I_{cc} max total (mA)
74LS49	3	15.0	45.0 (1)
74LS192	3	34.0	102.0 (1)
MAN6780	1	35.0	35.0 (1)
MAN6740	1	70.0	70.0 (1)

La corriente que demandan los relojes de alimentación es de:

$$\text{Fuente de } +5 \text{ V} \quad I_F = 12 \text{ mA}$$

La corriente total demandada en cada fuente es de:

$$\text{Fuente de } +5 \text{ V} \quad I_F = 1.4184 \text{ A}$$

$$\text{Fuente de } +15 \text{ V} \quad I_F = 0.7029 \text{ A}$$

$$\text{Fuente de } -15 \text{ V} \quad I_F = 0.0589 \text{ A}$$

Proporcionando a las fuentes una tolerancia de aproximadamente 30% de su demanda de corriente total, se llega al requerimiento final para cada fuente de:

$$\text{Fuente de } +5 \text{ V} \quad I_F = 1.8439 \text{ A}$$

$$\text{Fuente de } +15 \text{ V} \quad I_F = 0.9138 \text{ A}$$

$$\text{Fuente de } -15 \text{ V} \quad I_F = 0.0766 \text{ A}$$

Una vez definidos los requerimientos de voltaje y corriente del aparato, se describe a continuación la implementación de las fuentes de alimentación.

1. TRANSFORMACION DEL NIVEL DE VOLTAJE C.A.

Suponiendo una demanda total de corriente del controlador de 2 A., y un requerimiento de fuentes bipolares, se seleccionó un transformador con las siguientes características:

$$V_1 = 127 \text{ V}_{\text{rms}}$$

$$V_2 = 36 \text{ V}_{\text{rms}}$$

$$I_2 = 3 \text{ A. (tolerancia respecto a 2.8179 A requeridos)}$$

Derivación Central

2. RECTIFICACION

Se seleccionó un puente rectificador de onda completa implementado mediante 4 diodos, los cuales cumplen las condiciones de corriente de directa (I_F) de 3 A., y voltaje de inversa (V_R) mínimo de 18 V_{rms} . Su voltaje de encendido debe ser no mayor de 1 V.

3. FILTRADO

El transformador seleccionado presenta entre la derivación y una de sus terminales el siguiente voltaje:

$$V_{rms} = 18 \text{ V}$$

$$V_p = 18 \sqrt{2} \text{ V}$$

$$V_p = 25.46 \text{ V}$$

Debido a que se propone el uso de reguladores integrados como parte del diseño de las fuentes, estos componentes tienen los siguientes rangos de voltaje de entrada:

7805	$0 \leq V_{in} \leq 35 \text{ V}$
7815	$17 \leq V_{in} \leq 35 \text{ V}$
7915	$-35 \leq V_{in} \leq -17 \text{ V}$

De estos rangos se observa que para las fuentes positivas derivadas del mismo filtro, el valor mínimo de voltaje que se debe presentar a la salida de éste, es de 17 V.

De manera similar, para la fuente negativa que toma la derivación del transformador y su otra terminal, el valor máximo de voltaje debe ser de -17 V.

Partiendo de los resultados anteriores, y considerando el voltaje de encendido de los diodos del puente rectificador de 1 V., el rango absoluto de voltaje -- que se debe obtener a la salida del filtro tanto para las fuentes positivas como para la negativa es de:

$$| 17 \leq V_F \leq 24.46 |$$

El voltaje de corriente continua (c.c.) está dado como (Fig. 1):

$$V_{cc} = V_m - \frac{V_{r(p-p)}}{2}$$

$$V_{cc} = 24.46 - \frac{7.46}{2}$$

$$V_{cc} = 20.73 \text{ V.}$$

El voltaje de rizo está dado como:

$$V_{r \text{ rms}} = \frac{V_{r(p-p)}}{2\sqrt{3}}$$

$$V_{r \text{ rms}} = \frac{7.46}{2\sqrt{3}}$$

$$V_{r \text{ rms}} = 2.15 \text{ V.}$$

El rizado que presenta la señal está dado como:

$$r = \frac{V_{r \text{ rms}}}{V_{cc}} \times 100$$

$$r = \frac{2.15}{20.73} \times 100$$

$$r = 10.39 \%$$

Para obtener el valor de capacitancia necesario, se sabe que el rizo también está dado como:

$$r = \frac{2.4}{C} \frac{I_{cc}}{V_{cc}} \times 100$$

I_{cc} en mA
C en μF

$$C = \frac{2.4}{r} \frac{I_{cc}}{V_{cc}}$$

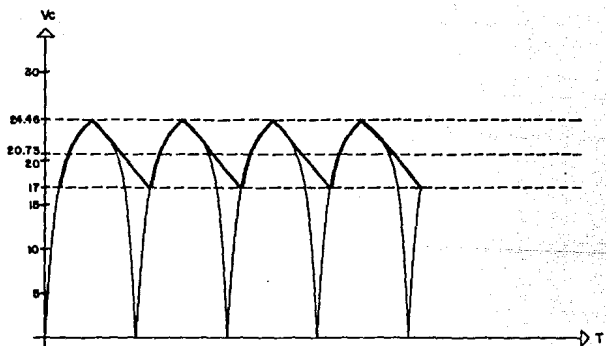
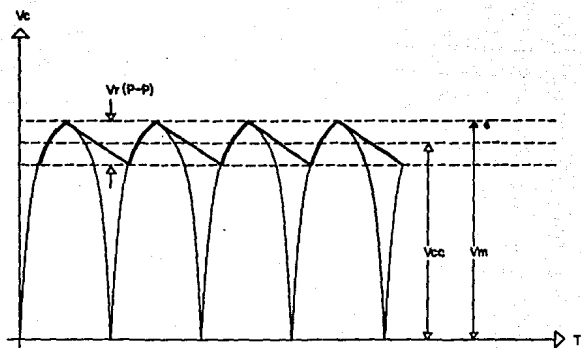


Figura 1. FILTRADO DE FUENTES

$$C = \frac{(2.44)(2820)}{(0.104)(20.73)}$$

$$C = 3,191.5 \mu F.$$

Se seleccionó un valor comercial de capacitancia ajustando también con el 30% de tolerancia para estas demandas, quedando así 3 capacitores de 1,000 μF . en paralelo.

Para la fuente negativa la carga máxima de corriente es muy pequeña, dando como resultado una capacitancia también muy pequeña:

$$C = \frac{(2.44)(76.6)}{(0.104)(20.73)}$$

$$C = 96.6 \mu F.$$

Se seleccionó un valor de capacitancia con el 30% de tolerancia, quedando de aproximadamente 100 μF .

4. REGULACION

Se seleccionaron los siguientes reguladores integrados:

CANTIDAD	TIPO	VOLTAJE SAL.	CORRIENTE SAL.
2	7805	+ 5 V	1 A
1	7815	+15 V	1 A
1	7915	-15 V	1 A

Los 2 reguladores 7805 alimentan diferentes partes -- del aparato procurando una carga repartida y también con objeto de tener por separado la alimentación de las etapas de GRABACION y REPRODUCCION, para poder -- energizar sólo el modo en el que esté operando el controlador (GRABAR o REPRODUCIR).

Adicionalmente a los reguladores integrados, se decidió poner en sus entradas y salidas capacitores de valor pequeño cuya finalidad es ayudar a mantener el voltaje de C.C. en su valor y ayudar a filtrar variaciones de voltaje de altas frecuencias.

La configuración completa del conjunto de fuentes de alimentación se muestra en la figura 2.

RELOJES

Los relojes que se requieren para la correcta operación del controlador, se consideran como parte de la alimentación del aparato.

El controlador electrónico debe ser alimentado por 2 relojes con las siguientes características:

Reloj de 200 Hz.

Ciclo de trabajo = $1/2$

Nivel de salida TTL

Carga de 3 Circuitos Integrados

Función: Generar la cuenta en las direcciones de la EPROM para secuencias, y generar reloj para grabación en cinta magnética.

Reloj de 1 Hz.

Ciclo de trabajo = $1/2$

Nivel de salida TTL

Carga de 7 Circuitos Integrados

Función: Determinar velocidad de funciones LEER ADELANTE y LEER ATRAS, y velocidad de flasheo de proyectores y auxiliares.

La implementación de ambos relojes se realizó con un circuito integrado 555 cada uno, en su configuración típica para este propósito (Fig. 3).

Las ecuaciones de selección de frecuencia y ciclo de trabajo están en función de las componentes R_A , R_B y C , de la siguiente forma:

$$t_1 = 0.693(R_A + R_B)C$$

$$t_2 = 0.693R_B C$$

$$T = 0.693(R_A + 2R_B)C$$

$$\text{Ciclo de Trabajo} = \frac{t_1}{t_1 + t_2}$$

$$\text{Ciclo de trabajo} = \frac{R_A + R_B}{R_A + 2R_B}$$

Cálculo de componentes del reloj de 200 Hz.:

$$f = \frac{1}{0.693(R_A + 2R_B)C}$$

Seleccionando $C = 0.01 \mu F$

$$R_A + 2R_B = 721,500.72$$

Seleccionando $R_B = 100R_A$

$$R_A + 200R_A = 721,500.72$$

$$R_A = 3,589.55 \Omega$$

$$R_B = 358,955.58 \Omega$$

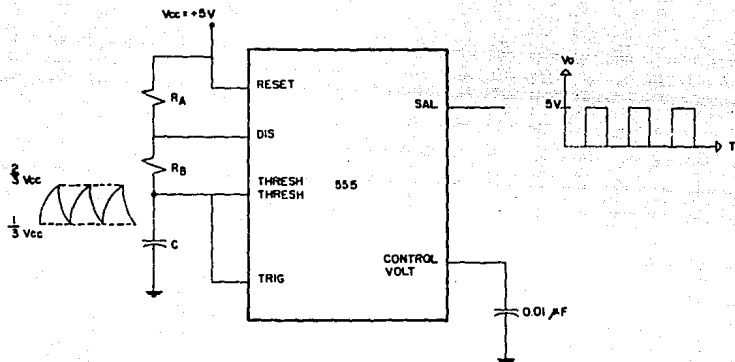


Figura 3. CONFIGURACION DE RELOJES

El juego de elementos resultantes para este reloj es:

$$C = 0.01 \mu F$$

$$R_A = 3.6 K\Omega$$

$$R_B = 360 K\Omega$$

Cálculo de componentes del reloj de 1 Hz.:

Seleccionando $C = 0.1 \mu F$

$$R_A + 2R_B = 14,430,014.43$$

Seleccionando $R_B = 100R_A$

$$R_A + 200R_A = 14,430,014.43$$

$$R_A = 71,791.11 \Omega$$

$$R_B = 7,179,111.65 \Omega$$

El juego de elementos resultantes para este reloj es:

$$C = 0.1 \mu F$$

$$R_A = 72 K\Omega$$

$$R_B = 7.2 M\Omega$$

BIBLIOGRAFIA

LIBROS

Boylestad Robert. ELECTRONICA. TEORIA DE CIRCUITOS.

Prentice Hall Hispanoamericana. 1983.

Graeme Jerald. DESIGNING WITH OPERATIONAL AMPLI--

FIERS. Mc-Graw Hill. 1977.

Malvino Albert Paul. PRINCIPIOS DE ELECTRONICA.

Mc-Graw Hill. 1982.

Millman Jacob. MICROELECTRONICS: DIGITAL AND ANALOG
CIRCUITS AND SYSTEMS. Mc-Graw Hill Int'l

Student Edition. 1984.

Sandige Richard. DIGITAL CONCEPTS USING STANDARD IN
TEGRATED CIRCUITS. Mc-Graw Hill Int'l Stu--

dent Edition. 1978.

Texas Instruments. DESIGNING WITH TTL INTEGRATED
CIRCUITS. Mc-Graw Int'l Student Edition.

1975.

Tobey Gene. AMPLIFICADORES OPERACIONALES. DISEÑO
Y APLICACION. Editorial Diana. 1982.

MANUALES

Fairchild. CATALOGO CONDENSADO 1981.

Fairchild. TTL DATA BOOK. 1978.

Intel. MEMORY COMPONENTS HANDBOOK. 1984.

Motorola. APLICACION NOTE AN-780A. APLICACIONES OF
THE MOC-3011 TRIAC DRIVER. 1978.

National. LINEAR DATA BOOK.

Texas Instruments. MANUAL DE SEMICONDUCTORES DE
SILICIO. TIPOS PREFERIDOS EN LATINOAMERICA.
1983.

Texas Instruments. THE TTL DATA BOOK FOR DESIGN
ENGINEERS. 1981.

Radio Shack. Mims Forrest M. ENGINEERS NOTEBOOK.
1980.

Radio Shack. TRS-80 MICROCOMPUTER TECHNICAL REFERENCE
HANDBOOK. 1978.

Spindler and Saeppel Inc. OPERATOR'S MANUAL. DIRECTOR 24-Z MULTI-IMAGE PROGRAMMER. 1980.

CURSOS Y CONGRESOS

CURSO "ELECTRONICA DE POTENCIA". División de Educación Continua. Facultad de Ingeniería. U.N.A.M. 1986.

CURSO "MICROPROCESADORES Y MICROCOMPUTADORAS". División de Educación Continua. Facultad de Ingeniería. U.N.A.M. 1983.

"INSTRUMENTACION DIGITAL". CURSO DE EXTENSION PROFESIONAL SOBRE DISEÑO, USO Y APLICACIONES DE INSTRUMENTOS ELECTRONICOS DIGITALES. A.M.I.C.E.E. Lima. 1982.

MEMORIA. II CONGRESO INTERNACIONAL DE INGENIERIA EN COMUNICACIONES ELECTRICAS Y ELECTRONICA. A.M.I.C.E.E. 1985.

ARTICULOS

Salvá Calleja Antonio. PROGRAMAS INTERACTIVOS EN
EL DISEÑO DE FILTROS ACTIVOS. MEXICON.
1983.