

Universidad Autónoma de Guadalajara

Incorporada a la Universidad Nacional Autónoma de México

Escuela de Ingeniería en Computación

/ 2
Ejem.



TESIS CON
FALLA DE ORIGEN

“Metodología y Técnicas de Diseño para el Desarrollo de un Microcomputador”

TESIS PROFESIONAL

que para obtener el título de:

Ingeniero en Computación

presenta:

Marco Antonio Carvajal Ortiz



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

CONTENIDO

Introducción.....	8
Dedicatoria.....	9
1. Conocimientos básicos acerca de microcomputadoras.....	10
1.1 Definición de una computadora.....	12
1.2 Estructura básica de una computadora.....	13
1.2.1 CPU vs Microprocesador.....	14
1.2.2 Organización de un microcomputador.....	14
1.3 Arquitectura interna de un microprocesador.....	16
1.4 Señales de control de un microprocesador.....	17
1.4.1 Líneas para control interno.....	17
1.4.2 Líneas para control externo.....	18
1.5 Software del microprocesador.....	19
1.6 Funcionamiento de un microprocesador.....	22
1.7 Memorias.....	23
1.7.1 Características.....	24
-Tiempo de escritura.....	24
-Tiempo de lectura.....	24
-Tiempo de acceso.....	24
-Tiempo de ciclo.....	24
-Capacidad.....	24
-Volatilidad.....	25
-Destructibilidad.....	25
1.7.2 Clasificación y tipos.....	25
1.8 Interfaces de Entrada/Salida.....	26
1.9 Circuitos digitales integrados.....	26
1.9.1 Clasificación.....	27
1.9.2 Tecnologías y familias.....	27
1.9.3 Familias de circuitos lógicos TTL y CMOS.....	28
1.10 Aplicaciones de las microcomputadoras.....	30
2. El proceso de diseño.....	31
2.1 Criterios de diseño.....	31
-Sencillez.....	31
-Expansión.....	32
-Otras aplicaciones.....	32
-Economía.....	32

2.2	Elaboración de un modelo general.....	32
2.3	El procesador central.....	33
2.4	Recursos direccionables del microcomputador.....	34
2.4.1	Memoria de lectura/escritura.....	34
2.4.2	Memoria permanente.....	35
2.4.3	Puertos de comunicación.....	35
3.	Diseño del módulo de CPU.....	36
3.1	El procesador.....	37
3.2	Circuito de inicialización.....	38
3.3	Amplificación intermedia.....	40
3.4	Organización de la memoria.....	42
3.4.1	Decodificación de memoria y Entrada/Salida.....	44
3.5	Circuito de paso único de instrucción.....	47
3.5.1	Descripción y funcionamiento del modelo propuesto.....	49
	-Eliminación de rebotes.....	51
3.5.2	Circuito de visualización.....	53
4.	Diseño del módulo de memoria.....	55
4.1	Memoria RAM.....	56
4.1.1	Memoria de Stack.....	56
4.1.2	Bloque de memoria de 256 bytes.....	56
	-La batería.....	56
	-Manejo de las memorias con batería.....	57
4.1.3	Memoria de usuario.....	59
4.2	Memoria EPROM.....	60
4.3	Tiempo de conmutación de las memorias.....	62
5.	Diseño del módulo de Entrada/Salida.....	63
5.1	El dispositivo periférico.....	64
5.1.1	El teclado, generación y captura de un dato.....	64
	-Rollover.....	66
	-Rebotes.....	67
5.1.2	Etapo de visualización.....	68
5.1.3	El interfaz de control.....	70

6. Estudio del juego de instrucciones del CPU.....	72
6.1 Registros internos del procesador.....	72
6.1.1 El contador de programa.....	72
6.1.2 El apuntador de stack.....	72
6.1.3 El registro índice.....	73
6.1.4 El acumulador A y B.....	73
6.1.5 Registro de códigos condicionales.....	73
6.2 Modos de direccionamiento.....	74
6.2.1 Direccionamiento acumulador.....	74
6.2.2 Direccionamiento inmediato.....	74
6.2.3 Direccionamiento directo.....	75
6.2.4 Direccionamiento extendido.....	75
6.2.5 Direccionamiento indexado.....	75
6.2.6 Direccionamiento relativo.....	75
6.2.7 Direccionamiento inherente.....	76
6.3 El juego de instrucciones.....	76
6.3.1 Uso de algunas instrucciones del MPU.....	77
-LDA.....	77
-STA.....	77
-ABA.....	77
-BNE.....	77
7. Implementación y prueba.....	80
7.1 Proceso de preimplementación y comprobación estática.....	80
7.1.1 Pruebas al módulo del procesador.....	81
-Control de inicialización.....	81
-Control de paso único.....	81
-Controladores de los buses de dirección y datos.....	82
-Microprocesador.....	83
-Decodificador de direcciones de memoria.....	84
7.1.2 Pruebas al módulo de memoria.....	84
7.1.3 Pruebas al módulo de entrada/salida.....	85
-Visualizadores.....	85
-Sección de decodificación de tecla.....	85
7.2 Implementación, diseño y grabación del circuito impreso.....	86
7.2.1 Métodos de impresión.....	89

7.2.2 Soldadura.....	90
7.2.3 Pruebas al impreso.....	90
7.3 Comprobación dinámica.....	91
7.3.1 Programa de prueba.....	91
7.4 Problemas digitales.....	97
7.4.1 Fallas comunes.....	97
-Fallo de componentes.....	97
-Ruido.....	97
-Errores de software.....	98
-Errores de diseño.....	98
7.4.2 Equipo de prueba.....	99
7.5 Consideraciones de costo del sistema.....	100

APENDICES (Especificaciones técnicas)

Apéndice A Microprocesador MC6802.....	109
Apéndice B Memorias RAM 2101/5101.....	125
Apéndice C Memoria RAM 2114.....	136
Apéndice D Memoria EPROM 2716.....	142
Apéndice E Interface paralela M6821.....	149
Apéndice F Integrados TTL: 7400-7414-7432-74LS74-74LS138-74148 74LS244-74LS245-9368.....	159
Apéndice G Integrado CMOS CD4516BC.....	175

BIBLIOGRAFIA.....	178
--------------------------	------------

INTRODUCCION

No cabe duda que con el advenimiento de la computadora comenzó una nueva era de impactos y adelantos cuya repercusión se cierne sobre todas las actividades del hombre en los niveles social, económico, tecnológico y científico, entre otros.

Su creciente importancia como elemento clave de desarrollo ha hecho que sean tema de conversación y consideración aun en aquellos que no poseen relación alguna con equipos de esta clase.

Más aún, al desarrollo de la tecnología en materia de circuitos integrados debemos la reducción del precio de los componentes usados en estas maravillas electrónicas lo que ha permitido que, día a día, estén al alcance de un mayor número de personas que requieren de conocer más acerca de su naturaleza de diseño y construcción.

En virtud de lo anterior pretendo tratar el desarrollo de una microcomputadora, que aunque básica, servirá para ilustrar los principales aspectos de diseño, implementación y manejo de este tipo de dispositivos. Se presta la máxima atención a los "por qué" y a los "cómo" del diseño de la microcomputadora.

Aquí se combina tanto material elemental como técnico tratado de manera que pueda ser suficientemente útil a noveles y experimentados en la materia.

Espero que el lector sienta una verdadera guía al abordar cada uno de los diferentes temas y por ello, en principio, se preparan las bases del mismo para que con los conocimientos mínimos necesarios, y complementado con otras referencias, pueda entender mejor lo expuesto. Se precisa del lector conocimientos sobre electrónica y computación, sin embargo, previendo lo contrario, se pone especial atención en señalar temas claves que deberán cubrirse para avanzar con provecho en la lectura del trabajo.

Debido a la imposibilidad de incluir todas las contribuciones que al presente se tienen disponibles se explica un método y algunas técnicas de diseño para diseñar ordenadamente un microcomputador, no obstante, algunas veces, estas habrán de ser desprendidas de lo tratado en relación al microcomputador en torno del cual girará la tesis.

En el aspecto técnico, es preciso utilizar un idioma general, que en este caso es el inglés técnico, con el fin de estandarizar todos los conceptos a nivel mundial. En este trabajo se han dejado muchos de estos conceptos en idioma inglés, y se han traducido aquellos que, desde el punto de vista técnico, expresan mejor la idea en español. De esta manera, la mezcla de conceptos en inglés y español, obedece solamente a la intención de dar una idea más comprensible al trabajo realizado.

DEDICATORIA

Quien afirme que el amor es tan sólo un sentimiento se equivoca. El amor es dar y recibir. A este respecto el presente trabajo es amor.

Es amor porque en su realización recibí apoyo, guía, consejo y otras tantas formas de amor...es amor porque por su medio puedo dar algo de mí al prójimo y como muestra de mi gratitud dedico esta tesis a la fuente misma del amor, DIOS y la SANTISIMA VIRGEN MARIA, por la luz recibida; a mis padres, a quienes debo lo que soy; a mis profesores asesores y correctores, por su paciencia y dedicación; a mis hermanos y amigos y a tí, lector, sin quienes no tendría sentido la realización del presente trabajo.

I. CONOCIMIENTOS BASICOS ACERCA DE MICROCOMPUTADORAS

Se ha difundido mucho la idea de que las computadoras son dispositivos cuyo uso esté solamente al alcance de unos pocos. En realidad, al principio así lo fue, debido a lo enorme que eran estas máquinas y lo difícil y costoso que resultaba, no sólo ponerlas a funcionar, sino también su programación.

Al presente la situación es totalmente contraria, debido a los adelantos tecnológicos en materia de electrónica y al interés de los fabricantes de computadores por hacer de ellos dispositivos cada vez más pequeños, simples y económicos, quedando así al alcance de todo aquel que lo desee.

La historia revela que a pesar de que el desarrollo de computadoras es una actividad que tuvo sus comienzos aproximadamente a mediados de este siglo, su existencia se debe a la genialidad de los inventores, cuyo trabajo abarca varios siglos [2,3].

Afortunadamente, la tarea de comprender este tipo de dispositivo va solamente un poco más allá del entendimiento de los principios de la electrónica digital, cuyo asidero fundamental se encuentra en los postulados y axiomas del álgebra booleana empleados para tal fin, por primera vez, en 1938, gracias a Claude Shannon [5]. Se había encontrado que los circuitos lógicos de conmutación podían efectuar las operaciones lógicas que, proporcionadas a una máquina, servían para resolver un problema. Esto determinó el principal tipo de componente electrónico que más tarde hizo posible el desarrollo de las primeras computadoras, la válvula [2,3,26].

Con el correr del tiempo eran cada vez más evidentes las desventajas propias del uso de estos componentes. Las computadoras resultaban verdaderos gigantes electrónicos, consumían mucha energía y producían demasiado calor, por lo que se requería de sistemas de aire acondicionado de elevado costo [3].

Pronto la historia vio surgir el desarrollo del transistor, semiconductor que pasó a sustituir a las mencionadas válvulas. Como resultado de tal cambio, las computadoras que se construían carecían en gran parte de los agravantes de diseño propios de sus antecesoras. Los nuevos diseños eran mucho más confiables, más veloces y de mayor capacidad de almacenamiento [3].

Ante el éxito obtenido, las mentes de grandes hombres, aunque satisfechas, siguieron fraguando más ideas para el mejoramiento de los nuevos sistemas. Esta tenaz tarea terminó con el empleo de microcircuitos lógicos de estado sólido. Se trataba de miniaturizar los componentes para obtener mejor y más rápida respuesta circuital [3].

Producto de esta labor pionera en el campo de la microelectrónica nació el hoy tan popular circuito integrado, el cual desencadenó una serie de grandes adelantos en materia de computadoras. Estos minúsculos circuitos elevaron considerablemente la velocidad operacional permitiendo la realización de procesos antes no imaginados [3]. Pero lo más trascendental fue el desarrollo de un circuito dentro de un chip <<integrado>>, que condujo al desarrollo de un circuito múltiple en la misma pastilla, y la invariable consecuencia de disponer varios chips juntos por capas culminó con la invención del microprocesador, dispositivo fundamental de los sistemas de cómputo modernos [26,28].

El aficionado en conocer detalles de diseño y construcción de computadoras debe poseer conocimientos en materia de electrónica, tanto analógica como digital. Evidentemente, aquel que no posea tales conocimientos tendrá primero que superar este escollo para aspirar a tratar circuitos de computadora. Se requiere familiaridad con conceptos como voltaje, corriente, potencia, ruido, frecuencia, respuesta en tiempo y muchos otros más que si bien resulta difícil determinar cuáles son todavía más cuáles no lo son. En términos generales se hace necesario conocer respecto a:

- a.-Principios básicos de la teoría de circuitos [7].
- b.-Electrónica básica [13,19,21].
- c.-Características, funcionamiento y uso de componentes electrónicos, tales como: transistores, resistencias, condensadores e integrados [7,13,19,21,26,28].
- d.-Tipos y funcionamiento de circuitos digitales tales como: compuertas lógicas, decodificadores, contadores, memorias y microprocesadores [1,2,3,5,13,18,20,21,26,28].
- e.-Manejo de manuales de información técnica de componentes electrónicos [25,26,29].
- f.-Sistemas de numeración binario, decimal y hexadecimal, métodos de conversión y aritmética [1,2,5,13,18,20,21,26,28].
- g.-Relaciones booleanas [2,13,18,26,28].
- h.-Conceptos básicos de programación, preferentemente en bajo nivel [3,5,16,20].

Puesto que el propósito de este trabajo no es enseñar electrónica y temas afines, el lector debe consultar en la literatura todo aquello que por los motivos antedichos no se explica.

1.1 Definición de una computadora

La mejor forma de introducirse al estudio de las computadoras es logrando una correcta definición de las mismas. A este respecto pueden darse dos tipos de definiciones, una con fundamento en una abstracción de la verdadera esencia de una computadora y otra con base a su funcionamiento.

En relación al primer enfoque citado, se puede decir que una computadora es un dispositivo electrónico de conmutación, que opera con señales eléctricas digitales de naturaleza binaria a frecuencias muy altas y cuyo modo de trabajo, o sea su funcionamiento, es establecido por el usuario. Por otro lado, es común escuchar que las computadoras son dispositivos capaces de admitir y procesar información, de acuerdo a un programa, para producir resultados de manera que puedan ser entendidos por el hombre [3]. Esta última definición, aunque correcta, es menos explícita que la primera.

Las computadoras, tal y como están concebidas actualmente, son máquinas que manipulan señales de voltaje de dos niveles, bajo y alto, denominados estados lógicos y representados por "0" y "1", respectivamente. El usuario les asocia un significado con lo que se convierten para él en la representación física de la información con que «trabaja» dicho aparato.

La tarea de interpretar estados alcanzados, o sea «resultados», producto de procedimientos preestablecidos y ejecutados por un CPU, se hace sobre la base de convenciones adoptadas para dar significado a un evento determinado en el sistema. Tal evento puede significar cualquier cosa según cada caso particular.

Dentro de la jerga computacional es frecuente emplear dos términos complementarios entre sí, a saber: hardware y software. Estos son utilizados para designar lo tangible e intangible del trabajo con una computadora. Hardware se relaciona con todos los elementos constituyentes de la computadora, la parte física; software se asocia con los programas y datos que guían el funcionamiento con miras a la solución de un problema [1,2,10,20].

La palabra computadora involucra una gran variedad de máquinas que difieren ampliamente en tamaño, velocidad y costo. En los años 70's el término microcomputadora describía a una computadora pequeña y barata de sólo unos pocos circuitos integrados LSI [10]. Las computadoras grandes se diferencian principalmente por su poder de procesamiento, complejidad y sofisticación de sus diseños, sin embargo, los conceptos básicos son esencialmente los mismos para todos los tipos de computadoras [10]. En adelante se emplea mucho el término microcomputadora, sin embargo, en la

mayor parte de los casos se puede utilizar indistintamente el de computadora.

1.2 Estructura básica de una computadora

La arquitectura de la computadora más popular fue propuesta en 1947 por Von Neumann [26]. La computadora se compone de cinco partes agrupadas en tres módulos, tal y como aparece en la Figura 1.1.

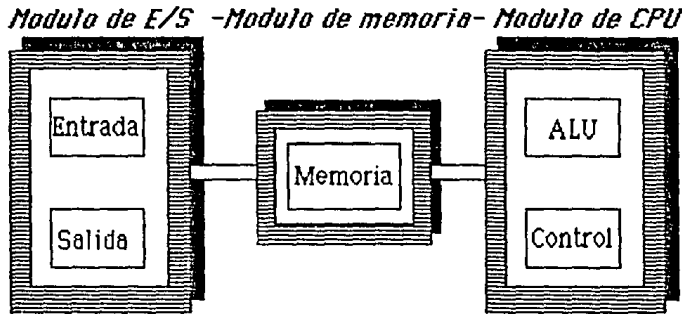


Figura 1.1 Partes esenciales a una computadora.

La entrada está compuesta por todos aquellos dispositivos que sirven para proporcionar información a la máquina o sea instrucciones y datos [2,10,18].

El CPU, siglas del inglés de Unidad Central de Procesamiento, funge como cerebro controlador/manipulador de información, razón por la que se compone de la unidad de control y de la unidad destinada a la ejecución de operaciones lógicas y aritméticas del sistema, ALU. La memoria principal de la computadora, tal y como se ve en la Figura 1.1, no forma parte del CPU, debido a la creciente capacidad de memoria interna de los sistemas modernos. No obstante, antiguamente formaba parte del CPU. Esta sirve como medio de almacenamiento de instrucciones y datos, estos últimos intermedios o resultantes de un proceso [10,18].

La salida está compuesta por aquellos aparatos que, unidos al CPU, sirven para presentar o desplegar información como resultado de un proceso. Los medios de entrada/salida son considerados como dispositivos periféricos, es decir, externos a la computadora [2].

1.2.1 CPU vs Microprocesador

En el presente se hace uso indistinto de las palabras CPU y microprocesador, a pesar de la diferencia de significado que existe entre ellas. CPU normalmente se asocia a una tableta formada por varios componentes electrónicos, generalmente integrados, entre los que a menudo se incluyen microprocesadores, cuyo diseño permite reconfigurar sus recursos internos. Un microprocesador, en cambio, es tan sólo un componente electrónico.

El que se permita su uso indistinto obedece a que ambas palabras se refieren a un «cerebro» encargado de cargar, interpretar y ejecutar las instrucciones que definen la secuencia lógica de un programa en el sistema. Para fines prácticos, un microprocesador o MPU (Micro-Processor Unit) se considera un CPU en un integrado [13].

1.2.2 Organización de un microcomputador

Un microprocesador, combinado con memoria y capacidades de E/S, se convierte en un microcomputador [14,18,20]. El prefijo micro se utiliza para indicar el tamaño físico pequeño de sus componentes, empero, el conjunto constituye un sistema de computador completo.

Para entender cómo opera un microprocesador es necesario familiarizarse con la forma en que éste interactúa con los distintos recursos de un microcomputador (Figura 1.2). Esta se lleva a cabo por medio de líneas lógicas. Un grupo de tales líneas lógicas dispuestas en paralelo se denomina, bus [20].

El bus está compuesto por tres tipos diferentes de líneas, a saber:

- a.-Bus de datos.
- b.-Bus de direcciones.
- c.-Bus de control.

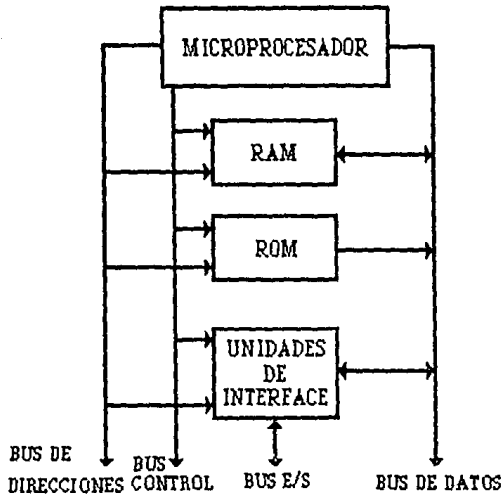


Figura 1.2 Diagrama de bloques de una microcomputadora [20].

En la Figura 1.2 se muestra la estructura y organización de una microcomputadora típica representada a bloques. El bus de direcciones es utilizado por el microprocesador para seleccionar o activar una unidad y poder direccionar cualquiera de sus localidades de memoria para leer o escribir un dato. La comunicación se establece por medio del bus de datos, claro está, bajo la supervisión del bus de control, que posee las señales necesarias para sincronizar toda transferencia de información en el sistema [20].

El número "n" de líneas de dirección disponibles determina el máximo tamaño de memoria que se puede acomodar en el sistema, el cual es equivalente a 2^n localidades de memoria, v.gr., para $n=16$ la capacidad de almacenamiento es de 64K ó 65,536 palabras (K=1024 palabras).

Los buses en un sistema pueden organizarse de diferente manera mas no todas estas tienen el mismo efecto sobre la capacidad funcional del mismo [10]. Normalmente, las microcomputadoras poseen un sólo bus de comunicación de datos (Figura 1.2), lo que permite aumentar considerablemente su velocidad de operación y facilitar la inclusión de equipo periférico a muy bajo costo.

El bus de direcciones es unidireccional, en tanto que el bus de datos es bidireccional.

1.3 Arquitectura interna de un microprocesador

A pesar de la diversidad de microprocesadores existentes todos cumplen funciones similares. La diferencia radica en la forma de llevarlas a cabo y, por ende, en su arquitectura interna [20]. Pese a lo anterior, usualmente todo microprocesador se compone de un conjunto de registros y acumuladores para captar datos (Memory Data Register, MDR), direccionar memorias (Memory Address Register, MAR), almacenar resultados y datos intermedios (Accumulator, ACC), indicar estados (Status Register, SR), controlar el flujo de ejecución de instrucciones (Program Counter, PC) y almacenar instrucciones (Instruction Register, IR), una unidad aritmético-lógica (Arithmetic-Logic Unit, ALU) y, por último una unidad de decodificación de instrucciones y control, tal y como se muestra en la Figura 1.3 [10].

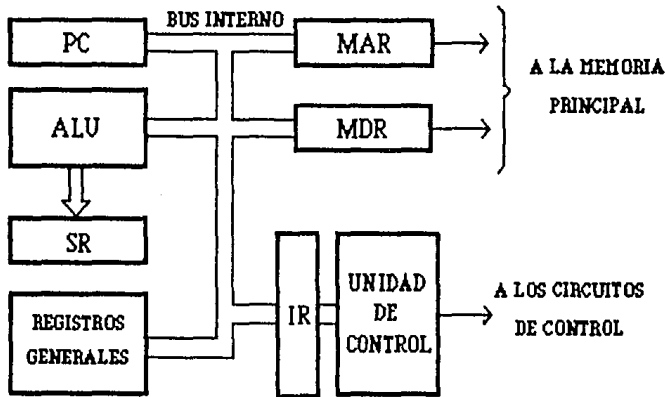


Figura 1.3 Arquitectura general de un microprocesador.

Lo anterior, aunado al juego de instrucciones del procesador, determina la arquitectura del mismo y consecuentemente su flexibilidad de uso y potencial asociado.

Este tipo de información se incluye en manuales técnicos de referencia, publicados por los fabricantes de microprocesadores. Estos suponen completa familiaridad del lector en relación a los conceptos básicos del hardware y la arquitectura del software. Sobre este último punto más adelante se mencionan algunos aspectos de importancia, aun cuando no se abordan en

demasiado para no desviar el tema central del presente trabajo. Sin embargo, es tan necesario e importante que se recomienda profundizar más en la literatura [1,10,14,20].

1.4 Señales de control de un microprocesador

Un microprocesador es esencialmente un controlador y como tal ofrece medios para poder controlarlo externamente. Esta característica es la que fundamentalmente lo hace único, ya que permite que el usuario gobierne a voluntad la actividad del procesador.

Las líneas o pines propios de todo procesador pueden agruparse de varias formas. Desde el punto de vista del control se tienen dos tipos: líneas para el control del procesador y líneas para el control de la circuitería a él asociada (sistema), que pueden llamarse igualmente líneas para control interno y externo, respectivamente.

1.4.1 Líneas para control interno

Algunas de las líneas para control interno son:

- a.-Suministro de energía.
- b.-Entrada de reloj.
- c.-Inicialización (reset).
- d.-Solicitud de interrupción.
- e.-Petición de buses.

Las líneas para el suministro de energía sirven para aplicar en ellas el o los voltajes de alimentación necesarios para el funcionamiento del MPU.

Todo microprocesador requiere para operar una base de tiempo que le sirve para guiar la realización de sus funciones internas de control y poder así ejecutar instrucciones [10,20]. La entrada de reloj es utilizada por algunos microprocesadores para que a través de ella un generador de reloj externo suministre pulsos de tiempo al mismo. En otros casos, el circuito de reloj, que es un oscilador de salida de onda cuadrada, está disponible dentro

de la pastilla, pero requiere de un cristal externo o un circuito para el control de su frecuencia, para lo que se dispone de dos entradas [13,20].

La entrada de inicialización sirve para forzar al microprocesador a adoptar su estado de arranque inicial en cualquier momento. En este estado todos sus registros se limpian o aclaran (borran) y se copian los contenidos de ciertas localidades de memoria en el contador de programa para comenzar a ejecutar instrucciones en la dirección que tales contenidos determinan [20].

La(s) entrada(s) de interrupción advierte(n) al procesador que debe suspender un determinado proceso para reanudarlo una vez que se ocupe de otros de mayor prioridad. La facilidad de interrupción se incluye, pues, para permitir cambios en la secuencia de un programa como resultado de condiciones externas [20]. Esta característica es de invaluable utilidad en un microprocesador para el control de procesos e interacción con periféricos para la transferencia de datos. Dada su importancia, y por lo extenso del tema, se recomienda su estudio más profundo en la literatura, inclusive en relación a un procesador en particular [1, 2, 5, 10, 14, 16, 18, 20, 28].

La línea de petición de buses sirve para que el procesador ponga en un estado de alta impedancia, comúnmente conocido por tercer estado, ciertas líneas, v.gr., los buses de datos y/o direcciones y la línea de lectura/escritura. Esto permite que el procesador se desconecte de los buses que maneja para ceder su control a otros dispositivos para la práctica de operaciones de acceso directo a memoria (Direct Memory Access, DMA) [2, 10, 16, 20, 28].

Se debe entender que las líneas de control discutidas no constituyen las únicas entre los diferentes procesadores pero son típicamente las más importantes.

1.4.2 Líneas para control externo

Algunas líneas para el control externo son:

- a.-Bus de direcciones.
- b.-Bus de datos.
- c.-Salida de reloj.
- d.-Concesión de buses.
- e.-Línea de lectura/escritura.

Los buses de dirección y datos ya se han discutido. Su inclusión en este grupo obedece a su estrecha interacción con la circuitería asociada al procesador.

La salida de reloj sirve para proporcionar una señal cuya frecuencia sincroniza la actividad del procesador con algunos dispositivos. De esta manera la transferencia de información en el sistema tiene lugar, vale decir, en el momento oportuno.

La línea de concesión de buses sirve para advertir por hardware el momento en que el procesador se <<desentiende>> de los buses del sistema.

La línea de lectura/escritura tiene el papel de informar a otros dispositivos lo que el procesador desea hacer con ellos, ya sea leerles o grabarles un dato, según si el estado lógico de la línea es "1" o "0", respectivamente [5,20].

1.5 Software del microprocesador

Siempre que se trabaja con un microprocesador debe tratarse tanto con circuitos como con secuencias binarias para operarlo. Cada orden u operación lógica o aritmética que el procesador pueda ejecutar está codificada en una palabra binaria denominada instrucción [1].

Un conjunto de instrucciones forman un programa o proceso ejecutable. El funcionamiento de una microcomputadora está bajo el completo control de los programas que tenga almacenados, excepto por la posibilidad de interrupciones externas debidas al operador o dispositivos conectados a la máquina [10].

Cada dígito binario que compone una instrucción es denominado "bit" y cuando estos se agrupan en paquetes de 4 u 8 bits toman el nombre de "nibble" y "byte", respectivamente. En cualquier tiempo los niveles lógicos presentes en el bus de datos de un microcomputador definen una palabra específica. Para el caso de un microprocesador de longitud de palabra de un byte los 8 dígitos binarios son denominados D0-D7. D0 y D7, son los dígitos menos y más significativos y ocupan los extremos izquierdo y derecho de la palabra. A mayor longitud de palabra el juego de instrucciones de que puede disponerse es más numeroso y poderoso [2,10,20].

La elección de un juego de instrucciones es un aspecto crucial en el diseño de una computadora. Todas las operaciones digitales de computadora pueden ser implementadas con juegos de instrucciones primitivos, no obstante, instrucciones más elaboradas pueden reducir enormemente el

número de instrucciones necesarias para una determinada tarea. Esto ahorra memoria de programa, esfuerzo de programación y tiempo de ejecución a expensas de más lógica [14]. Pese a lo anterior, actualmente se han hecho estudios para determinar la frecuencia de uso de las instrucciones de una computadora para eliminar en diseños nuevos aquellas que caen prácticamente en desuso. Se ha encontrado que las instrucciones más simples son usadas con mayor frecuencia. La eliminación de instrucciones sirve para simplificar el diseño de los procesadores de manera que puedan ejecutar en menor tiempo las instrucciones restantes [4].

Las instrucciones se componen de un código de operación o la combinación de éste y un operando. El código de operación instruye al MPU sobre qué debe hacerse. Un operando puede significar una dirección de memoria para encontrar un dato o ser el dato mismo, dependiendo del modo de direccionamiento en que esté operando la instrucción. Una instrucción puede tener diferentes formatos o estructuras y, sin embargo, realizar la misma función [2,5,16].

Debido a que manipular instrucciones y datos en forma binaria no sólo es tedioso sino que también facilita la ocurrencia de errores, normalmente se utiliza notación hexadecimal para su representación. En hexadecimal se utilizan los números del "0" al "9" y las letras de la "A" a la "F" para representar los números "0" a "15" en decimal. Cada símbolo hexadecimal equivale a la agrupación de cuatro dígitos binarios, tal y como se muestra en el Cuadro 1.1.

Pese a la facilidad de uso de la notación hexadecimal esto no es adecuada para representar y manejar instrucciones. Una instrucción en hexadecimal carece de sentido alguno para un programador, pues en ningún momento se hace evidente lo que está representando. Esta dificultad llevó a idear lo que se conoce como lenguaje ensamblador [5,16]. Así, las instrucciones se manejan por medio de lo que se conoce como «mnemónico».

Un mnemónico es un conjunto de tres o cuatro letras usadas para denotar instrucciones de manera que su significación sea más obvia [5]. Por ejemplo, para el 8080A CPE es una instrucción de llamada y retorno para realizar un salto condicionado a cierta parte de la memoria si el bit de paridad del registro de estado es par. Tal instrucción en inglés responde a Call on Parity Even [28]. Nótese que la instrucción corresponde a las siglas de la función que desempeña. Observe como la secuencia binaria 11101100 o el valor numérico hexadecimal EC, que le son equivalentes, no son tan fáciles de manejar y recordar.

Cuadro 1.1 Sistemas de numeración.

DECIMAL	BINARIO	HEXADECIMAL
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

Esta representación es muy ventajosa aunque no resulta tan fácil determinar lo que hace una instrucción con sólo ver su mnemónico. Mencionando otro ejemplo, esta vez del juego de instrucciones del 6800, **DAA** significa Ajuste Decimal del acumulador A (**D**ecimal **A**djust **A**ccumulator). A pesar del conocimiento de lo que significa la instrucción no es obvio concluir que sirve para sumar al contenido del acumulador A la secuencia binaria 0110 0110 que corresponde a 66 en binario codificado en decimal, BCD [5].

El microcomputador tratado en el presente trabajo se programa directamente en hexadecimal, sin embargo, los programas pueden escribirse en ensamblador, lo que todavía es un nivel muy bajo de programación. La programación en este nivel es de gran importancia como medio para conocer la forma en que realmente opera un microprocesador en un determinado sistema.

Cabe mencionar que existen lenguajes de programación de alto y muy alto nivel, donde la programación es en extremo simple debido a que prescinde de la necesidad de que el usuario conozca el hardware y el software básico de la máquina. En este nivel, una sola instrucción equivale a un segmento de programa formado por varios mnemónicos.

Cuando se programa en lenguaje de máquina es necesario conocer los sistemas de numeración binario, decimal y hexadecimal, entre otros, su aritmética y los métodos para realizar conversiones. Se recomienda su estudio como preparación para la programación y uso del microcomputador tratado en esta tesis.

1.6 Funcionamiento de un microprocesador

A continuación se comenta someramente el funcionamiento de un microprocesador.

Supóngase la existencia de un pequeño programa en localidades consecutivas de memoria, en una máquina cuyo procesador se encuentra listo para leer la primera instrucción del programa mencionado. En este estado el MAR del MPU posee la dirección que el contador de programa (PC) le proporcionó. Libre la acción del procesador, éste que ya direccionaba la memoria en su bus de direcciones, provoca su habilitación y le «informa» por medio de la línea de lectura/escritura (R/W), que desea leerle una palabra. Esto causa que el contenido de la memoria direccionada se deposite en el bus de datos y se copie del MDR al registro de instrucciones (IR) del MPU para ser interpretado. Este proceso se conoce como ciclo de carga de instrucción «fetch cycle», [18]. Enseguida el PC es incrementado automáticamente en "1" y la información contenida en el IR es alimentada a la unidad de control para producir una palabra de control. Si la instrucción requiere la obtención de operandos residentes en memoria, por no tenerse en los registros generales del MPU, se inician los ciclos de lectura de memoria que sean necesarios para obtenerlos [20]. El MPU, que ya apunta a otra localidad de memoria, lee otra palabra y luego de que el PC vuelve a autoincrementarse, el dato es transferido por el MDR al ALU. Una vez cargados todos los operandos requeridos por la instrucción da comienzo lo que se conoce como ciclo de ejecución [18].

Esto desencadena la realización inmediata de una secuencia de microoperaciones debido a que la señal de reloj proporciona la última condición necesaria para la habilitación oportuna de ciertas líneas de entrada

para el control de las funciones de los circuitos, combinacionales y/o secuenciales, que el procesador posee. Ello produce cambios de estado o información en los circuitos de acuerdo a la instrucción que se ejecute [18,20]. Tan pronto como la ejecución de la instrucción se completa, da comienzo otro ciclo de carga, repitiéndose lo anterior hasta que se hayan ejecutado todas las instrucciones del programa. La actividad del procesador no termina al concluirse el programa, ya que éste siempre se encuentra en funcionamiento, a menos de que intencionalmente se bloquee su operación normal. Lo que sucede es que al concluir un programa se acostumbra transferir el control del procesador a una rutina (pequeño segmento de programa) que mantiene al procesador en continuo cicloje en espera de un proceso diferente a ejecutar.

1.7 Memorias

La unidad de memoria es parte integral de toda microcomputadora. Comercialmente existen gran variedad de memorias que utilizan mecanismos de almacenamiento muy diferentes [28].

Algunos microprocesadores traen bloques de memoria residentes en la misma pastilla, no obstante, por la magnitud de programas y datos que manejan, una computadora siempre utiliza bancos de memoria externos.

El diseñador de una microcomputadora debe calcular la cantidad de memoria requerida de acuerdo al tamaño de los programas y las palabras de datos necesarios para la aplicación que se desea soportar [20].

La interacción entre la memoria y el microprocesador es determinada a partir del conocimiento del tamaño y tipo de memoria empleada [20]. En este trabajo únicamente son tratadas las memorias semiconductoras.

El direccionamiento de una memoria se establece por medio de una tabla o mapa de memoria que especifica la dirección de memoria asignada a cada una de las pastillas. Para el seleccionamiento es frecuente el uso de decodificadores.

Las memorias semiconductoras son de acceso aleatorio, esto quiere decir que la información contenida en ellas puede direccionarse al azar. Se utilizan para formar la memoria central o primaria de todo microcomputador en tanto que otras se dejan para almacenamiento masivo externo al mismo [26].

La interconexión entre la memoria y el microprocesador se ha discutido

un poco ya, sin embargo, el detalle se inserta en capítulos posteriores. No es abordada una discusión acerca de la estructura interna de estos dispositivos debido a que por el momento es más importante referirse a las características funcionales de estos componentes.

1.7.1 Características

TIEMPO DE ESCRITURA

El tiempo de escritura es el lapso que transcurre entre el momento en que se provee a la entrada la información a guardar y su dirección, y el instante en que la información queda realmente registrada [2,26,28].

TIEMPO DE LECTURA

El tiempo de lectura es el tiempo que transcurre entre la aplicación de la dirección y el instante en que la información está disponible a la salida [2,26,28].

TIEMPO DE ACCESO

El tiempo de acceso corresponde al promedio entre los tiempos de lectura y escritura [2,26,28].

TIEMPO DE CICLO

El tiempo de ciclo es la suma del tiempo de acceso y el tiempo de restauración necesario en algunas memorias para mantener el contenido en ellas [2].

CAPACIDAD

Capacidad se refiere al número de palabras o bits que la memoria puede almacenar [2].

VOLATILIDAD

Volatilidad es el efecto de perder la información en una memoria de lectura/escritura si se produce un corte en la alimentación [2].

DESTRUCTIBILIDAD

Destructibilidad es un término empleado para denotar la necesidad de restaurar la información en una memoria después de una operación de lectura [2].

1.7.2 Clasificación y tipos

Existen dos clases de memorias a saber: RAM y ROM. RAM viene del inglés Random Access Memory y ROM de Read Only Memory. Ambas son memorias de acceso aleatorio. Las primeras son de naturaleza volátil mientras que las otras no.

Hay dos tipos de memorias ROM: las programables por el usuario o por el fabricante. La programación de memorias por el fabricante se hace durante su manufactura, son muy confiables y cuando se producen en grandes volúmenes resultan muy económicas. Las memorias ROM que el usuario puede programar se denominan PROM's que significa Programmable ROM, o sea, ROM programable. Las hay del tipo de fusible de enlace, que sólo pueden programarse una vez, y las reprogramables. Estas últimas se pueden grabar y borrar varias veces alternativamente. Las reprogramables las hay de tipo EPROM (Eraseble PROM) y EEPROM (Electrically Eraseble PROM). Las EPROM pueden borrarse aplicándoles luz ultravioleta a través de una región transparente o ventana en la cápsula del microcircuito, mientras que la otra variedad se borra eléctricamente [9].

Por otro lado, las RAM se tienen en dos tipos, las dinámicas y las estáticas según se requiera o no de refrescar la información en sus celdas cada cierto tiempo [2,9,10,20,26,28].

1.8 Interfaces de Entrada/Salida

El subsistema de E/S de un microcomputador proporciona un modo eficiente de comunicación entre el sistema central y el mundo exterior. Así, el microcomputador puede aceptar y suministrar información en cualquier momento. Sin esta habilidad una microcomputadora no tendría un uso útil [20,28].

El propósito del enlace de comunicación es resolver las diferencias que existen entre la computadora y cada uno de los periféricos [20]. Las interfaces no se encargan de controlar el funcionamiento de los periféricos ya que estos poseen sus propios controladores. El problema se supera por medio del uso de procesadores de E/S en equipos grandes o módulos de interface en computadoras pequeñas [20].

Los módulos de interface se encargan de controlar toda transferencia de datos computadora-periférico y viceversa, de manera que no se perturbe la operación del sistema central y otros periféricos a él conectados. Sincronizan la operación del MPU con los periféricos compensando en cierta forma la lenta transferencia de datos de estos últimos. En realidad, el MPU está completamente <<desentendido>> de la operación y control de los periféricos. Este atiende una operación de E/S cuando un determinado interfaz se lo solicita interrumpiendo su funcionamiento.

Las interfaces soportan diferentes modos de operación. Pueden entablar comunicación en forma síncrona o asíncrona, paralela o serial, dependiendo de la aplicación y el tipo de periférico. Los canales por donde se establece dicha comunicación se denominan puertos. Poseen registros para datos, control y estado, disponibles al MPU a través de los cuales recibe o envía datos y establece su modo de operación bloqueando o habilitando sus funciones. Por último, la interacción MPU-interfaz es muy semejante a la correspondiente MPU-memoria [20].

1.9 Circuitos digitales integrados

Las microcomputadoras actuales están compuestas por un gran número de componentes electrónicos discretos e integrados, digitales y analógicos. En la construcción de sistemas como los que se estudia el empleo de circuitos digitales integrados es lo más importante.

Un integrado o chip es un dispositivo semiconductor compuesto por una pequeña oblea de silicio de unos cuantos milímetros de lado en la cual se

integran gran cantidad de componentes, principalmente transistores, para efectuar una determinada función dentro de una cápsula provista de pines para su conexión eléctrica en un sistema mayor [18,28]. Los encapsulados por lo general vienen en dos formas: la cápsula delgada, que generalmente se suelda permanentemente a un circuito impreso y la cápsula en doble línea (dual-in line package,DIP) de consistencia más dura y que convenientemente encaja en un zócalo o base [20,28].

1.9.1 Clasificación

Según la complejidad circuital de los integrados, definida en función del número de transistores o componentes lógicos que poseen, estos se clasifican por escalas de integración. Por consenso, la denominación SSI (baja escala de integración) se aplica a pastillas con menos de 12 puertas lógicas, MSI (integración de mediana escala) al rango de 13 a 99 puertas, LSI (alta escala de integración) para el rango de 100 a 1000 puertas y VLSI (muy alta escala de integración) para más de 1000 puertas [2,28].

Según la clasificación anterior los circuitos lógicos elementales son de tipo SSI, los contadores y decodificadores MSI, los microprocesadores y memorias VLSI y LSI, respectivamente, entre otros circuitos de computadora.

El uso de dispositivos de integración a gran escala en sistemas digitales es recomendado para reducir el tamaño físico de los circuitos impresos, desarrollar mejores diseños y reducir los costos de diseño y fabricación de los equipos. A título de ejemplo, cabe mencionar que para realizar un equivalente del microprocesador de Motorola 6800, que es un dispositivo VLSI, en circuitos MSI y SSI, es preciso utilizar tabletas de circuito impreso con 114 y 450 circuitos integrados, respectivamente.

1.9.2 Tecnologías y familias

Existen varias tecnologías y familias o procesos de elaboración de circuitos integrados, siendo las más importantes la bipolar y la MOS (Metal-Oxide-Semiconductor). Cada tecnología está constituida por diversas familias. Una familia es una línea técnica que aplica un conjunto de principios idénticos a todos los circuitos que la componen. Esto permite gran número de combinación de dispositivos compatibles [21].

Es necesario tener un conocimiento de las diferentes tecnologías tanto para la selección como para la aplicación de un microprocesador.

La tecnología bipolar usa transistores bipolares en sus circuitos en tanto que la MOS utiliza transistores de efecto de campo tipo MOS (MOSFET) [21,28]. En el Cuadro 1.2 se presenta una tabla con algunos ejemplos representativos de microprocesadores agrupados en familias tecnológicas.

El proceso de fabricación MOS de canal N es más ampliamente utilizado en la fabricación actual de microprocesadores. Los más rápidos usan la tecnología ECL o Schottky. El más bajo nivel de consumo de potencia se obtiene con microprocesadores CMOS, sin embargo, su costo es elevado. Los microprocesadores I^2L operan con los voltajes de polarización más bajos y son usados en aplicaciones de baja velocidad de operación, v.gr., en calculadoras. Los microprocesadores de más bajo costo son los P-MOS, no obstante, debido a que los huecos tienen menor movilidad que los electrones en silicio estos son reemplazados por los N-MOS en la mayor parte de las aplicaciones [9].

Cuadro 1.2 Microprocesadores, tecnologías y familias.

ECL*	Schottky*	I^2L *	CMOS	NMOS	PMOS
Motorola 10800	Intel 3001 Advanced Micro Devices Am2901	TI SBP0400 SBP9900	Intersil 6100 RCA COSMAC	Intel 8080, 8085 8748, 8086 Motorola 6800, 6802 6809 Fairchild F8 Mos technology MCS 6502 Zilog Z80, Z8, Z8000	Intel 4004 4040 8008 National IMP PACE

*Tecnología bipolar.

1.9.3 Familias de circuitos lógicos TTL y CMOS

La mayor parte de los circuitos SSI y MSI usados en microcomputadoras pertenecen a las familias TTL (Transistor Transistor Logic) y CMOS (Complementary MOS). Estas familias tienen características muy diferentes entre sí, mismas que se discuten más adelante.

Debido a que los transistores en la familia TTL pueden fabricarse como

dispositivos estándar o schottky, esta se compone de cinco diferentes clases de componentes de dos series (Cuadro 1.3), la 54 empleada en aplicaciones militares y la 74 que corresponde a una versión industrial de la anterior, de bajo costo, la cual opera en rangos de temperatura, corriente y voltaje más restringidos [28,29].

Cuadro 1.3 Familias de Circuitos TTL

Serie	Potencia	Q*
54/74 LS	Baja potencia	Schottky
54/74 L	Baja potencia	Estándar
54/74 S	Potencia estándar	Schottky
54/74	Potencia estándar	Estándar
54/74 H	Alta potencia	Estándar

*Tipo de transistor

En cuanto a los CMOS, se tienen dos familias, la serie 4000, de muy bajo suministro de corriente y la 54/74C que son pastillas funcionalmente equivalentes a muchos de los circuitos TTL 54/74 [28].

Algunos datos de importancia para el manejo de estos integrados son el abanico de salida (fan-out), el margen de ruido, el retraso de propagación y la disipación de potencia [20,28].

El abanico de salida sirve para denotar la capacidad de suministro de corriente que una línea de salida posee, útil para asegurar que la carga a ella conectada no sea excesiva [28]. Una condición de sobrecarga puede ocasionar daños permanentes a un circuito, o en su defecto fallas en el funcionamiento del sistema en que figura, debido a la incapacidad de éste para establecer niveles de voltaje apropiados para <<alimentar>> las entradas que maneja. El abanico de salida en circuitos TTL es normalmente mayor que en circuitos CMOS.

El margen de ruido en los circuitos TTL es de 0.4V en tanto que en los CMOS varía de 1 a 0.45Vcc [25,28]. En otras palabras, en tales circuitos pueden producirse perturbaciones de voltaje en los rangos mencionados sin que se afecte la mínima tensión alta o máxima baja a la salida de una puerta que produzca errores de interpretación de estados lógicos en líneas de entrada.

El retraso de propagación es el tiempo que transcurre para que la salida de un circuito se vea afectada como producto de un cambio de estado a la entrada del mismo. Varía según si la transición de entrada es positiva o negativa. Estos tiempos son mayores en circuitos CMOS.

Debe tenerse mucho cuidado con el manejo de integrados, principalmente de tipo CMOS, debido a que son altamente vulnerables a descargas eléctricas producidas por electricidad estática. Estas descargas pueden perforar algunas de las delgadas capas de un chip dando lugar a fugas de corriente que lo hacen funcionar mal. Algunas veces no causan daños perceptibles pero la degradación producida facilita su eventual descompostura.

Se recomienda consultar las especificaciones técnicas propias de cada integrado que se maneja en el manual publicado por el fabricante. Para una información detallada respecto de su funcionamiento y características eléctricas y de tiempo, véanse los Apéndices de este trabajo, como ejemplos de algunos de ellos.

A pesar de la imposibilidad de conocer todo circuito digital, es buena práctica para el diseñador investigar los diferentes tipos y aplicaciones de los circuitos disponibles, ya que eventualmente le será de mucha ayuda para otros diseños.

1.10 Aplicaciones de las microcomputadoras

Las microcomputadoras tienen un amplio campo de aplicación. Normalmente se encuentran auxiliando el diario quehacer en laboratorios de investigación y desarrollo, industrias, empresas, oficinas y a nivel personal en el hogar. Pese a su utilización en diferentes ramos su principal aplicación seguirá siendo el procesamiento de información administrativa en los negocios.

Actualmente las microcomputadoras son muy utilizadas en control de procesos para la automatización de operaciones industriales. Figuran incorporadas en controladores programables, en equipo electrónico de pruebas y en otros instrumentos para el seleccionamiento de rangos, control de visualizadores y muchas funciones más [28].

Se pueden encontrar apoyando actividades gráficas para el diseño de circuitos electrónicos, automóviles, computadoras, arte e inclusive juegos [15]. También son utilizadas para la generación de voz, tonos para la composición de música, en robótica y en la educación. Se infiere que, estos aparatos tienen aplicación de amplio espectro.

2. EL PROCESO DE DISEÑO

En este capítulo se empieza a tratar la construcción de una microcomputadora desde sus bases, partiendo de cero. Resulta altamente educativo para aquellos que desean aumentar sus conocimientos en materia de computadoras. Tales sistemas son, algunas veces, menos funcionales que aquellos existentes en el comercio. Pese a ello, la experiencia que se deriva de su construcción es insustituible. En esta etapa el constructor y programador debe discernir respecto a la importancia real de los recursos con que debe contar el sistema para permitir y facilitar su uso.

A pesar de que inseparablemente un microcomputador involucra tanto software como hardware, aquí se da mayor énfasis a este último por ser el motivo principal de la tesis. Conforme se avanza en el diseño y construcción, se describe el camino seguido para su ordenado desarrollo.

Lo que aquí se expone se formula y trata de manera amplia y sin mayor detalle para evitar atender aspectos irrelevantes de diseño. No obstante, las ideas generales definen con claridad el sistema en referencia.

2.1 Criterios de diseño

Lo primero que se debe determinar es la aplicación del diseño que se tiene en mente. Esto permite identificar una serie de requisitos y características correspondientes a las denominadas especificaciones y criterios de diseño del sistema, las que pueden agruparse en objetivos [15].

El sistema que se describe está orientado principalmente hacia actividades didácticas, por lo que se tomaron en cuenta los factores que a continuación se enumeran.

SENCILLEZ

Se considera que la sencillez se debe reflejar en el diseño mismo del hardware de manera que facilite su comprensión, construcción, uso y mantenimiento.

EXPANSION

En atención a las crecientes necesidades de los usuarios de un sistema, normalmente se exige que los equipos cuenten con medios para expandirse, en memoria y otros recursos.

OTRAS APLICACIONES

En materia de control, el uso de computadoras para fines didácticos constituye una de las aplicaciones más interesantes, razón por la que se pensó incluir en el sistema el hardware mínimo necesario como soporte de alguna aplicación de control.

ECONOMIA

El factor económico es uno de los principales aspectos en el cual se apoya todo diseño, y el presente no es una excepción.

A pesar de lo básico que resulta el sistema que se describe, se hizo de manera que amerite el esfuerzo en torno a su estudio e implementación.

En general, el microcomputador se logra con base en un equilibrio adecuado de los puntos antes mencionados. Para contribuir a la economía del sistema éste no se concibió para fines comerciales, ya que ello obliga a cubrir a fondo su diseño y fabricación para el logro de mayores grados de seguridad, confiabilidad y estandarización.

2.2 Elaboración de un modelo general

Con fundamento en la información anterior, el siguiente trabajo es proyectar el modelo general del microcomputador que se desea construir. Al principio no es importante ocuparse de la forma en que se habrá de implementar cada una de sus características.

Sabiendo que partes conforman una microcomputadora, el paso siguiente es determinar cuales de ellas se van a considerar en el diseño, por justificar la importancia de su inclusión.

El sistema que se describe se compone de los siguientes módulos:

- a.-Módulo de CPU.
- b.-Módulo de memoria.
- c.-Módulo de entrada/salida.
- d.-Módulo de alimentación.

El módulo de CPU está básicamente formado por el microprocesador y la circuitería necesaria para su control y el del resto del sistema. Además, posee un circuito para controlar la ejecución escalonada de instrucciones, útil para el desarrollo del software del micro.

El módulo de memoria se compone tanto de la memoria de trabajo como de la memoria permanente, esta última incluida para el almacenamiento de un pequeño programa para el control del sistema y otras aplicaciones.

El módulo de entrada/salida está compuesto por el hardware requerido para establecer comunicación hombre-máquina y viceversa, así como de los medios para conectar a la computadora con otros aparatos.

El módulo de alimentación lo forma la fuente de poder, cuyo diseño no formó parte del tema central de la tesis. La información relacionada con el tipo y capacidad de corriente se inserta en el Capítulo 7.

2.3 El procesador central

El elemento más importante de un microcomputador es el microprocesador. Este influye en la selección de algunos de los componentes a utilizar en el sistema, ya que su fabricante ofrece como alternativa toda una gama de circuitos para garantizar varias aplicaciones [28].

La elección de un microprocesador está estrechamente ligada a la aplicación que se desea atender [13]. En la mayoría de los casos se estudian los siguientes puntos:

- 1.-Juego de instrucciones.
- 2.-Arquitectura.
- 3.-Velocidad de operación.
- 4.-Capacidad de interrupción.
- 5.-Circuitos de soporte.
- 6.-Disponibilidad comercial.
- 7.-Software existente.
- 8.-Literatura.
- 9.-Costo.

Resulta imperativo conocer el potencial de un procesador antes de diseñar un sistema con él ya que, entre éstos, pueden encontrarse diferencias en cuanto a rendimiento y facilidad de manejo [6].

En el presente caso se intentó encontrar un dispositivo situado en la zona media del espectro de rendimientos y capacidades funcionales. Esto permite el desarrollo de un sistema de bajo costo y con gran disponibilidad de partes e información. Lo anterior condujo a utilizar un procesador de entre los de mayor uso en el comercio: 8080A, MC6800, 6502 y Z80, por citar algunos. Pese a sus diferencias, sus procesos de cómputo lógico son muy semejantes. Por la antedicha razón se eligió el MC6802 de Motorola, pues de hecho sus características son extensivas a los demás de su clase (el MC6802 es esencialmente un MC6800 pero, a diferencia de éste, integra en la misma pastilla un circuito oscilador y memoria RAM que lo hacen más práctico). Por la finalidad esencialmente didáctica del presente trabajo no se precisa el uso de un procesador más poderoso.

2.4 Recursos direccionables del microcomputador

Antes de comenzar a tratar el detalle de diseño de cada módulo del microcomputador se deben determinar los recursos direccionables del mismo. De esta manera, se completa la información necesaria para tener una visión general del sistema.

2.4.1 Memoria de Lectura/Escritura

Para satisfacer el desarrollo de programas por parte de usuarios potenciales y permitir que estos puedan ser suficientemente amplios, se distribuyeron 2384 bytes de RAM de la siguiente forma:

- a.-128 bytes (internos al procesador), para ser usados como espacio disponible para el stack (área de trabajo) del monitor del sistema.
- b.-256 bytes, destinados para servir como área de trabajo de programas de alguna aplicación de control, con opción de retención de información (respaldada por baterías) debido a la importancia de los datos.

c.-1024 bytes, para memoria de usuario para el desarrollo de sus programas.

d.-1024 bytes, para fines de expansión de la memoria de usuario (opcional).

2.4.2 Memoria permanente

Toda clase de almacenamiento permanente se conoce como ROM. Memorias semiconductoras de este tipo hay muchas, pero la solución está en escoger aquellas que, además de presentar esta característica, ofrezcan algunas de las ventajas de las memorias de lectura/escritura. Ello condujo a considerar memorias tipo EPROM. De esta manera 4096 bytes cubren las necesidades del sistema, a saber:

a.-2048 bytes, para el almacenamiento del sistema operativo (monitor de la microcomputadora), apropiados para grabar un amplio número de rutinas en este nivel.

b.-2048 bytes, para albergar aplicaciones de control que deban residir en memoria.

2.4.3 Puertos de comunicación

Del uso del MC6802 resulta adecuado utilizar para fines de entrada/salida de datos el interfaz de comunicación paralelo 6821, también de Motorola. Este integrado posee dos canales o puertos de comunicación de 8 bits cada uno, a través de los cuales se manipulan datos bajo el control del procesador [5,24].

En virtud de que el sistema ha de hacer posible su conexión, tanto a un dispositivo periférico como a otros aparatos para su control, se requieren dos de tales integrados para satisfacer las necesidades del sistema. Su uso implica apartar dos espacios de cuatro bytes de memoria en el mapa de memoria del sistema que se trata posteriormente. En el Capítulo 5 se trata el empleo de estos integrados y en el Apéndice E se compila una información más completa y detallada de sus características.

3. DISEÑO DEL MÓDULO DE CPU

Para aquellos que no poseen conocimientos en relación al microprocesador utilizado, se les recomienda consultar en el Apéndice A los temas de lógica interna, control de funciones externas y las características eléctricas y de tiempo que se aplican al mismo.

En el Capítulo 2 se insertó lo concerniente a los elementos constituyentes del módulo de CPU, sin embargo, una representación esquemática del mismo resulta de mucha ayuda para apreciar sus diferentes subsistemas y su respectiva interacción. En la Figura 3.1 se muestra un diagrama de bloques de esta parte de la microcomputadora.

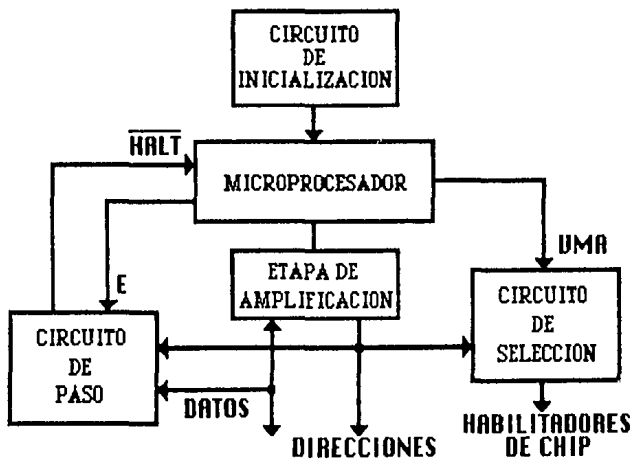


Figura 3.1 Diagrama de bloques del módulo de CPU.

A continuación se trata separadamente el diseño de cada uno de los diferentes subsistemas del módulo de CPU.

3.1 EL Procesador

En el diagrama de la Figura 3.2 se destaca la red eléctrica del procesador considerado en forma aislada del resto del sistema.

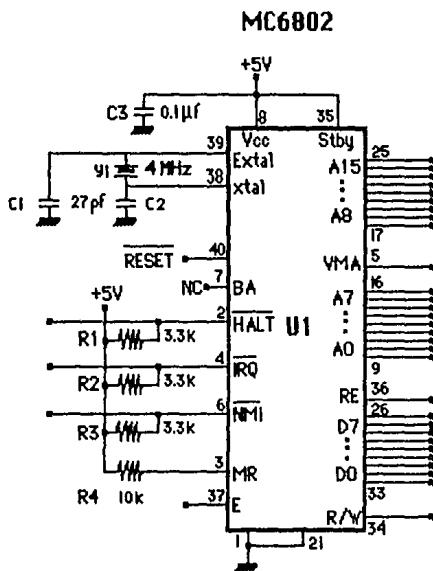


Figura 3.2 Diagrama eléctrico del procesador.

El microprocesador presenta compatibilidad en todos sus pines con cargas estándar TTL, de ahí que posteriormente se verá interactuando con dispositivos TTL y CMOS.

Entre los pines de polarización se conectó un capacitor de $0.1\mu\text{f}$ para filtrar ruido de la línea de alimentación.

La conexión de Vcc Stby a +5V hace que los primeros 32 bytes de la memoria interna al procesador y su lógica de control de habilitación solamente puedan ser usadas en condiciones normales de operación del sistema.

El uso de las resistencias de $3.3\text{k}\Omega$ entre HALT, IRQ, NMI y Vcc, lo dispone el fabricante para contribuir a su correcto funcionamiento. Por otro

lado, la resistencia de $10K\Omega$ conectada entre MR y Vcc se usó para inhabilitar la característica de alargamiento de la señal E (reloj del sistema). Su estado activo se justifica cuando memorias u otros dispositivos son muy lentos para interactuar con el procesador trabajando con el reloj a muy alta frecuencia. En estas situaciones dicha señal sufre un alargamiento haciendo que el MPU opere más lentamente (ver Apéndice A para más información).

A pesar de que el oscilador del microprocesador puede ser controlado con base en elementos R, L y C, en combinación con dispositivos TTL, se optó por un cristal en virtud de su gran estabilidad de generación de señal. Puesto que E representa una señal cuya frecuencia es exactamente cuatro veces menor que la correspondiente a la generada por el cristal y ésta alimenta las interfaces de comunicación cuya máxima frecuencia de trabajo es de 1MHz el cristal no debe generar una señal mayor a 4MHz. Se escogió precisamente un cristal de 4MHz para que la velocidad de operación del micro sea suficientemente rápida y pueda responder mejor a las actividades varias de control en las que pudiera emplearse el sistema. Los valores de los capacitores que se asocian al cristal dependen de su frecuencia. En el Apéndice A se da una tabla con los valores C1 y C2 para diferentes frecuencias del cristal.

3.2 Circuito de inicialización

La importancia de un circuito de inicialización se hace evidente cuando por ejecutar incorrectamente un programa se pierde el control del procesador. Esto lleva a tener que aplicar una señal de bajo nivel al pin 40 del procesador que al experimentar nuevamente otra señal de alto nivel, da comienzo a una secuencia de inicialización causando la obtención de un vector de las localidades de memoria FFFE y FFFF, que le indica la dirección de una rutina del monitor, que restablece los valores -default- de todos los registros y banderas de control del sistema, para permitir reanudar un proceso. Los dispositivos de esta clase pueden ser manuales, automáticos o una combinación de ambos [6].

Para el presente caso, la señal de RESET deberá mantenerse por aproximadamente 35 a 50 ms, cuando el sistema recién se enciende, para dar tiempo a que Vcc sobrepase 4.75V y que el sistema una vez estable, o sea bien alimentado, pueda responder adecuadamente a la misma. El circuito diseñado se muestra en la Figura 3.3.

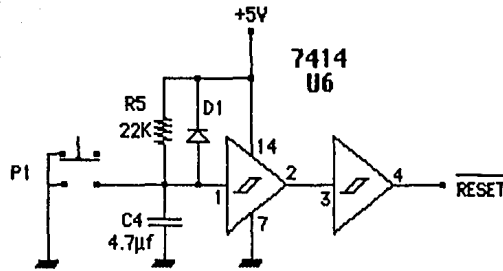


Figura 3.3 Circuito de inicialización.

Inmediatamente después de encender el sistema, el capacitor C4 entra en un estado de cortocircuito, aplicando a la entrada del primer inversor un cero lógico y en consecuencia al pin 40 del procesador. Esta condición se mantendrá hasta que el capacitor se cargue con el mínimo valor de voltaje aceptable para un "1" lógico, momento en el cual comienza la secuencia de inicialización antes mencionada.

El régimen de carga del capacitor debe ser tal que alcance aproximadamente +2V en unos 50 ms, mismo que se determinó con base en la siguiente relación:

$$V_c = V_s(1 - e^{-t/RC})$$

donde:

- V_c= voltaje del capacitor C4
- V_s= voltaje de la fuente (+5V)
- C = valor del capacitor C4
- R = valor de la resistencia R5

Suponiendo que C=4.7µf se despeja para R, entonces:

$$R = -t / [4.7\mu f (\ln(1 - V_c/V_s))]$$

de donde se obtiene que R=20,825.69 kΩ, y puesto que dicho valor de resistencia no es estándar, se considera que R≈22kΩ.

El diodo D1 sirve para aligerar la descarga del capacitor cuando se apaga el sistema de manera que, si se enciende rápidamente, el circuito de RESET

funcione correctamente. Lo anterior se logra estando el capacitor bien descargado pues de no ser así el procedimiento mencionado no inicializará el sistema por no producirse el estado de cortocircuito inicial en C4 por encontrarse cargado.

3.3 Amplificación intermedia

La capacidad de carga de los buses de datos y direcciones es de una carga estándar TTL a 130 y 90 pf, respectivamente. Aunque esta puede resultar suficiente para la configuración inicial de la microcomputadora es conveniente acoplar a tales líneas buffers para que el sistema pueda expandirse con seguridad. Así, los buses pueden proporcionar y drenar una mayor cantidad de corriente permitiendo que más dispositivos puedan depender de ellos.

Se pensó en integrados que poseyeran la característica del tercer estado para que el procesador pueda ceder el control de los buses a algún dispositivo externo y puedan practicarse operaciones de acceso directo a memoria. Con el tercer estado se logra una efectiva desconexión del procesador de los buses del sistema [18,21,28]. Se eligió el integrado 74LS244 para usarlo en el bus de direcciones y el 74LS245 para el bus de datos (Figura 3.4). Integrados de tipo CMOS, no se consideraron, a pesar de que soportan un mayor margen de ruido, debido a que su abanico de salida es menor.

Al bus de direcciones se asocian dos chips. Sus pines para controlar alta impedancia de salida se conectan entre sí a Vcc a través de un resistor de 4.7K Ω (R6). Este se utiliza para fijar el nivel lógico necesario para establecer el tercer estado y limitar la corriente de dicha rama cuando el interruptor S3 se aterriza para inhabilitarlo. Los buffers del bus de direcciones son de naturaleza unidireccional.

Los buffers del bus de datos son de tipo bidireccional, o sea, que exhiben el tercer estado en ambas direcciones. Su pin para el control del tercer estado va conectado a los correspondientes del bus de direcciones ya que su nivel de activación es el mismo.

El flujo de los datos es controlado automáticamente por medio de la línea R/W. Esta está conectada al pin 1 de U2 de manera que un cero lógico y un uno lógico permiten la salida y entrada de datos al procesador, respectivamente.

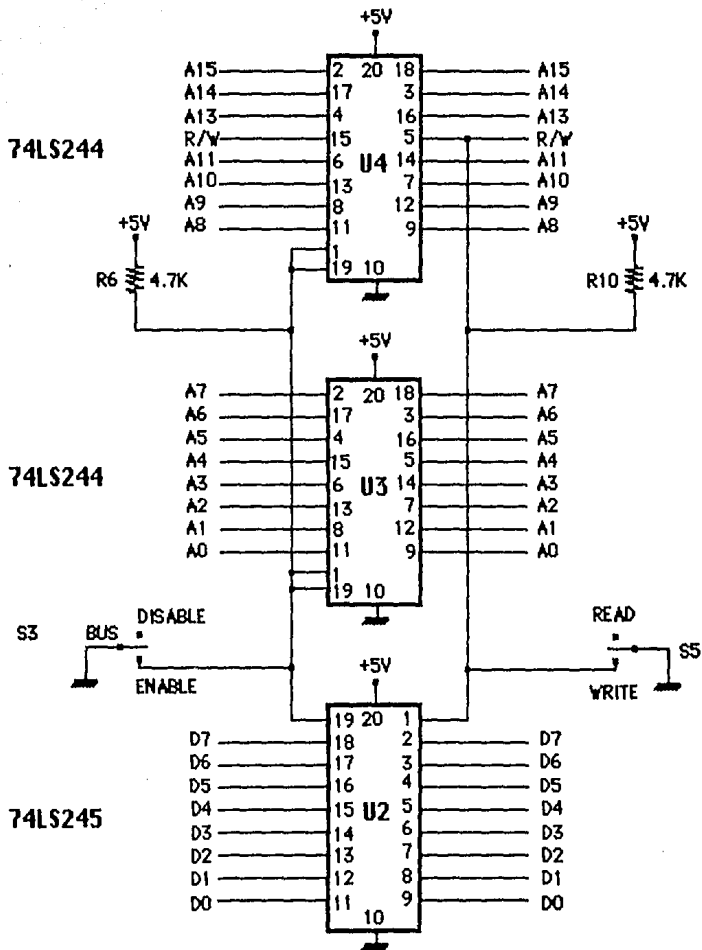


Figura 3.4 Diagrama eléctrico de los controladores de los buses del sistema.

Puesto que no se usaron todas las líneas del bus de direcciones de la microcomputadora, la línea de lectura/escritura del procesador se conectó a uno de los buffers de U4 (figura 3.4), para aislarla del resto del sistema, de manera que pueda ser controlada en las operaciones de acceso directo a memoria por el dispositivo que se tenga conectado a los buses de la micro o por medio del interruptor S5 para operaciones manuales. Para mantener el nivel alto en esta línea y evitar la grabación accidental de una unidad de memoria se tiene la resistencia R10 de 4.7k Ω (resistencia de pull-up).

3.4 Organización de la memoria

En esta etapa es cuando debe elaborarse el denominado mapa de memoria del sistema. Este corresponde a un plan de direccionamiento que permite ubicar en memoria todos los recursos direccionables del microcomputador [10,20].

Según consta en el capítulo anterior, el microcomputador está formado por ocho diferentes recursos direccionables, los que se distribuyeron en la memoria como se muestra en la Figura 3.5.

La ubicación de las áreas de memoria en el mapa puede ser arbitraria. Sin embargo, en algunos casos se realiza con base en criterios de conveniencia y estandarización, especialmente cuando se diseña un sistema compatible con otros de su clase.

Se dispuso suficiente espacio de memoria en la parte más baja del mapa para permitir que el usuario pueda desarrollar programas de considerable tamaño, en los que pueda hacer uso del modo de direccionamiento directo que el procesador posee en algunas de sus instrucciones. El resto de la memoria RAM, destinada para el usuario y el stack, se colocó en el mapa donde convino por motivos de codificación. Asimismo, la localización de los registros de los puertos de comunicación obedeció a motivos similares. En relación a la memoria permanente esta fue asignada a las partes más altas del mapa en atención a la estandarización impuesta por otros sistemas que hacen uso de procesadores de la familia del MC6800 [23].



Figura 3.5 Mapa de memoria de la microcomputadora.

3.4.1 Decodificación de memoria y E/S

Para poder realizar una operación dada sobre cualquier dispositivo direccionable, este ha de ser primero seleccionado. El seleccionamiento se logra mediante la activación de 1, 2 ó más líneas destinadas para tal fin y que comúnmente se denominan <<chip selects>>. Según la cantidad que de dichas líneas se tenga, así como de dispositivos, es posible escoger entre diferentes técnicas de selección, a saber [1,2]:

- a.-Selección lineal.
- b.-Selección por decodificación parcial.
- c.-Selección por decodificación completa.

La primer alternativa es la más económica pero no asegura exclusión mutua de componentes a un mismo tiempo para el presente caso. La tercera de ellas representa la más segura pero es la más cara, por lo que se escogió la segunda alternativa.

Se toma un grupo de líneas de direccionamiento para conectarlas a las entradas de un decodificador y según la combinación de estados se provoca un cambio de nivel en una de las líneas de salida del componente, misma que se aprovecha para activar el <<chip select>> de un integrado en particular [22,23].

Es necesario conocer el nivel de activación de las líneas de selección de los componentes direccionables del sistema para poder elegir un decodificador cuyo estado de reposo no seleccione dispositivo alguno a menos que intencionalmente se le haga referencia. De tenerse diferentes niveles de activación inevitablemente se tendrá que hacer uso de inversores (ver Figura 3.6). Esto sugiere que para mantener en un mínimo razonable el hardware del sistema su desarrollo debe darse casi en forma paralela en relación a todos sus módulos.

De los 8 espacios de memoria que se desea puedan ser direccionados por el microprocesador, se hace evidente la necesidad de usar para fines de decodificación un dispositivo que pueda seleccionar 1 de 2^3 salidas. Las entradas al decodificador son controladas por las tres líneas más significativas del bus de direcciones (A15, A14 y A13) por no estar directamente conectadas a las líneas de dirección de componente alguno en el sistema. De esta manera se asegura exclusión mutua en todo momento entre los recursos del micro. En el Cuadro 3.1 se aprecia la forma en que dichas líneas fueron usadas para el seleccionamiento.

Cuadro 3.1 Tabla de configuración del sistema.

DISPOSITIVO	DIRECCION	LINEA DE HABILITACION	LINEAS DE DIRECCION															
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MEMORIA DE USUARIO	0000-03FF	$\overline{\text{RAM1}}$	0	0	0	-	-	-	x	x	x	x	x	x	x	x	x	
STACK	2000-207F	$\overline{\text{STACK}}$	0	0	1	-	-	-	-	-	-	x	x	x	x	x	x	
PIA	4000-4003	$\overline{\text{PIA1}}$	0	1	0	-	-	-	-	-	-	-	-	-	-	-	x	
MEMORIA DE USUARIO	6000-63FF	$\overline{\text{RAM2}}$	0	1	1	-	-	-	x	x	x	x	x	x	x	x	x	
PIA	8000-8003	$\overline{\text{PIA2}}$	1	0	0	-	-	-	-	-	-	-	-	-	-	-	x	
MEMORIA DE USUARIO	A000-A0FF	$\overline{\text{RAM3}}$	1	0	1	-	-	-	-	x	x	x	x	x	x	x	x	
EPROM	C000-C7FF	$\overline{\text{EPROM2}}$	1	1	0	-	-	x	x	x	x	x	x	x	x	x	x	
EPROM	F800-FFFF	$\overline{\text{EPROM1}}$	1	1	1	-	-	x	x	x	x	x	x	x	x	x	x	

* Conexiones internas al MPU.

Las líneas de direccionamiento provenientes de los buffers asociados al procesador van conectadas a las correspondientes líneas de dirección, aquellas marcadas con x, de cada integrado en particular. Los casilleros marcados con - indican que el estado de tales líneas es irrelevante para la selección y direccionamiento de dicho componente. Lo anterior constituye la principal desventaja del método de selección por decodificación parcial, que no se tiene con la decodificación completa. Dicho de otra forma, todas las áreas de memoria podrán ser direccionadas, no sólo con las direcciones indicadas en el mapa de memoria, sino también con cualesquiera otras que conlleven todas las posibles combinaciones de las líneas no decodificadas. Así, por ejemplo, las direcciones F7FF y FFFF hacen, al igual que otras más, referencia a la misma localidad de memoria. Esto carece de importancia si se vigila bien la programación [6].

El decodificador utilizado en la microcomputadora es el 74LS138. Además de ajustarse a los requerimientos antes mencionados, posee un control de habilitación que se usa para cuando se desea bloquear el seleccionamiento de dispositivos. En la Figura 3.6 se ilustra el diagrama del circuito de seleccionamiento de que se habla.

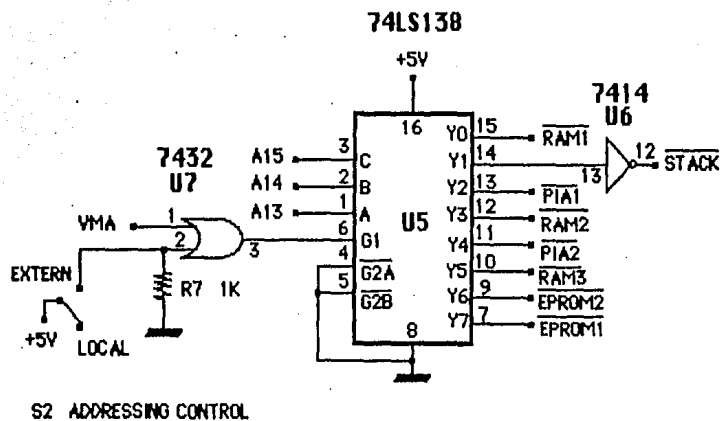


Figura 3.6 Circuito de selección.

El interruptor asociado al terminal 2 de la compuerta OR normalmente debe encontrarse en la posición LOCAL, con lo que dicha entrada, al quedar aterrizada, representa un nivel lógico cero que permite al procesador controlar, a través de su línea VMA, el seleccionamiento de dispositivos. Cuando el procesador está inactivo, $HALT \leftarrow 0$, el decodificador se bloquea al hacerse VMA cero. Para que un dispositivo externo pueda tomar control del decodificador este se debe liberar corriendo de posición el interruptor S2. Los pines G2A y G2B, siempre están habilitados por haberse conectado directamente a tierra.

Los pines y0 a y7 son las salidas que se conectan a los habilitadores de chip de las memorias e interfaces. Su estado normal es alto.

Solamente se decodifican tres líneas del bus de direcciones pues ello resulta suficiente para ilustrar el seleccionamiento de recursos. Si se quiere, puede usarse un decodificador de 4 a 16 y decodificarse las cuatro líneas más significativas del bus de direcciones para dotar al sistema con la capacidad de poder seleccionar 16 diferentes dispositivos.

El inversor a la salida y1 se colocó debido a que la RAM interna al procesador se activa en alto nivel, mientras que el resto de los componentes del sistema son activables con un nivel lógico cero.

3.5 Circuito de paso único de instrucción

Este circuito resulta de gran importancia para el usuario en cuanto a que le permite seguir la ejecución de un programa instrucción por instrucción para verificar su lógica en un proceso denominado <<depuración>> (detección y corrección de errores).

Su implementación puede estar basada en software, hardware o una combinación de ambos [6]. En vista de que el sistema está siendo desarrollado a partir de cero, por lo que en principio no se cuenta con software para la implementación de esta característica, el mismo cometido se logra haciendo uso de hardware.

Su diseño requiere de que se conozca bien el funcionamiento del procesador que se desea controlar.

El terminal 2 del procesador -HALT- es usado para establecer una ejecución escalonada de instrucciones de programa. Su activación bloquea la actividad del MPU, mas no la interrumpe, tal y como se puede apreciar en la Figura 3.7.

Para posicionarse al comienzo de un programa y comenzar a ejecutarlo se debe cargar su dirección en las localidades FFFE y FFFF y, teniendo aplicado un nivel lógico cero en la línea HALT, se debe presionar RESET para que el procesador cargue el contador de programa con los contenidos de dichas localidades, después de lo cual el bus de direcciones <<apunta>> a la primera instrucción del programa sin ejecutarla debido a su estado de bloqueo.

El procesador muestrea periódicamente la señal de HALT y cuando detecta un estado alto en ella, carga y ejecuta libremente una instrucción. Para asegurar la ejecución de una sola instrucción el circuito debe mantener un nivel lógico alto por al menos un ciclo completo del reloj (E), debiendo volver a aplicar un nivel bajo antes de los últimos 200 nanosegundos de la misma señal.

La instrucción más corta que el microprocesador ejecuta tarda dos ciclos de reloj partiendo de un flanco negativo. En el primer flanco negativo se debe subir el nivel de HALT y bajarlo una vez alcanzado el segundo ciclo de ejecución.

La ejecución de una instrucción normalmente es ordenada por un control manual que dispara o libera al procesador. A éste se asocia una circuitería de eliminación de <<rebotes>> para no dar lugar a más de una ejecución por pulsación. Como punto importante, el tiempo que se mantenga presionado el pulsador de control no debe importar para contribuir igualmente a lo anterior [4].

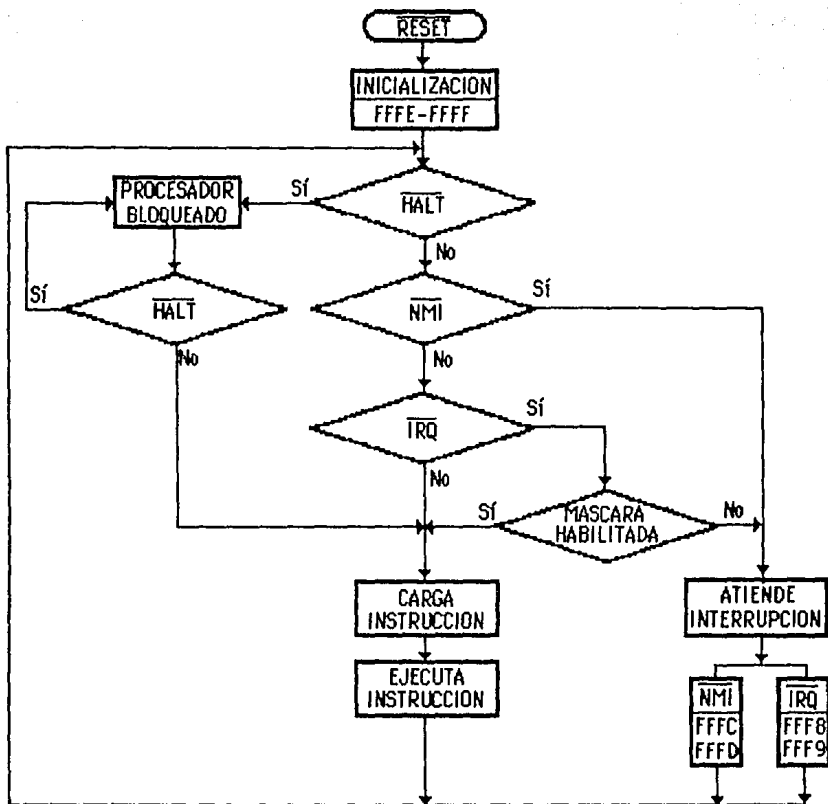


Figura 3.7 Esquema de funcionamiento del MC6802.

El desarrollo de este control es de poco valor práctico ya que en ningún momento puede observarse la afectación del contenido de las registros volátiles del MPU, es decir, los acumuladores, el contador de programa, el registro índice, el apuntador de stack (pila) y el registro de códigos condicionales. No obstante, al examinar los contenidos de los buses de datos y direcciones se puede formar una idea de si el programa se está ejecutando correctamente [6]. Mediante el control de alguna de las líneas de interrupción del procesador, v.gr., NMI, e inicializándose a conveniencia el apuntador de stack, puede hacerse que los registros antedichos se almacenen en la memoria externa al procesador para su visualización, lo que no se hace por requerir el

uso de rutinas con posibilidad de lectura y despliegue de información.

Con el fin de poder ver los contenidos de los buses sin necesidad de usar algún instrumento de medición como un voltímetro, un osciloscopio o un analizador lógico, debe asociarse a este control un circuito que los presente de manera inteligible a nosotros.

El control debe poder contar o medir tiempos de manera que su funcionamiento quede sincronizado con el del procesador. Esto puede realizarse en base a timers, dispositivos monoestables o contadores. Un modelo de esta última alternativa se consideró como parte del diseño de la microcomputadora (Figura 3.8) [22].

3.5.1 Descripción y funcionamiento del modelo propuesto

El interruptor S1, asociado al terminal Q2 del contador, sirve para controlar manualmente la interacción del procesador con el circuito de paso. Si dicho interruptor se coloca de manera que Q2 esté directamente conectado a HALT, el procesador entra en un estado inactivo.

La etapa anterior al flip-flop tipo D (U26) constituye el circuito de disparo y eliminación de rebotes que más adelante se explica. El pin 6 de la compuerta NAND normalmente exhibe un nivel bajo, de manera que el diodo, polarizado en contra, hace que el reloj de U26 (pin 3) quede aterrizado debido a la resistencia de $1k\Omega$, por lo que dicha unidad permanece en un estado de reposo. Su salida Q testada normalmente aplica un "1" lógico al PE del contador, bloqueando el conteo de dicha unidad, al hacer que los estados de las entradas P4 a P1 (1101) se reflejen en los terminales Q4 a Q1.

Al pulsar P2 se genera un pulso (nivel lógico "1"), cuyo flanco ascendente al ser percibido por el reloj de U26, ocasiona que el nivel lógico presente en la entrada D se transfiera a Q. La existencia de un cero lógico en PE libera al contador habilitándolo para contar a partir del siguiente flanco negativo de la señal E, mismo que el contador <<ve>> como un flanco positivo debido al inesor que media entre E y el reloj de U27. Esto da comienzo a la ejecución de una instrucción al subir el nivel de Q2, al pasar el estado del contador a 1110 debido al conteo ascendente de "1". Al alcanzarse el siguiente flanco negativo se da comienzo al segundo ciclo de ejecución de la instrucción, con lo que el contador se vuelve a disparar llegando a su máxima cuenta, es decir, 1111, momento en el cual inmediatamente Cout baja su nivel

(que normalmente es alto) y puesto que dicho terminal se encuentra conectado al <<clear>> del 7474, esta última unidad vuelve a su estado inicial provocando que el contador detenga su conteo y se mantenga inicializado en 1101, haciendo que el procesador se inactive una vez concluida la instrucción en curso. El procesador apunta a la siguiente instrucción sin ejecutarla hasta tanto no se le indique al pulsar nuevamente P2. Toda la secuencia de eventos o señales que definen el funcionamiento del control de la Figura 3.8 puede apreciarse más claramente en el diagrama de tiempos de la Figura 3.9.

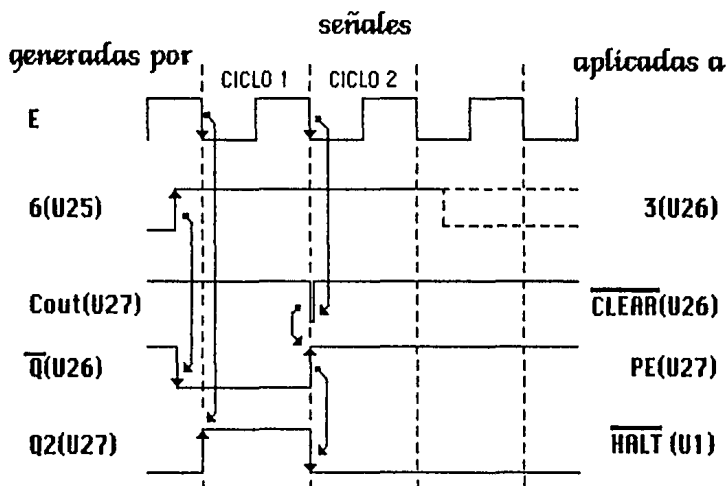


Figura 3.9 Ocurrencia de eventos en el circuito de control de paso.

Las flechas muestran cómo la ocurrencia de una determinada transición de una señal afecta el estado de otra de ellas. Nótese que se puede mantener presionado el pulsador y solamente una instrucción se ejecutará ya que el reloj del 7474 sólo responde a cambios positivos de nivel.

ELIMINACION DE REBOTES

El arreglo RS de la Figura 3.8 sirve para la eliminación de rebotes de la señal de disparo del control de paso. Pese a su existencia, para asegurar un mejor funcionamiento se adicionó el diodo, el capacitor y la resistencia que le siguen.

El fenómeno de rebote ocurre tanto cuando se presiona como cuando se libera un pulsador, mismo que puede verse en la Figura 3.10 [30].

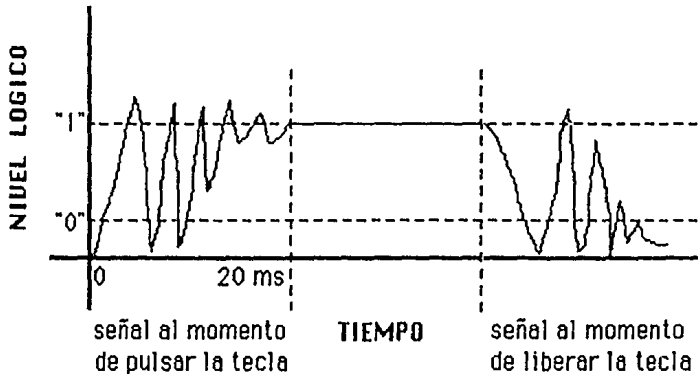


Figura 3.10 Fenómeno de rebote en una señal.

Si no se tuviera un mecanismo eliminador de rebotes los diferentes y marcados cambios sucesivos de nivel presentes en una señal como la de la Figura 3.10 ocasionarían, en el presente caso, la ejecución de varias instrucciones por pulsación. Este tipo de problema se eliminó en el circuito de paso, como se indica a continuación.

Al producirse un pulso, el diodo, que se encontraba abierto, al «sentir» que su voltaje de umbral (disparo) es sobrepasado, comienza a conducir y aplica un nivel lógico "1" al reloj de U26 causando la ejecución de una instrucción. Debido a la elevada frecuencia de funcionamiento del procesador puede decirse que éste inmediatamente se encuentra listo para ejecutar otra instrucción. De no eliminarse la inestabilidad de la señal de la Figura 3.10, al momento de presionar el pulsador se ejecutarían tres instrucciones (sin considerar las ocasionadas por el rebote producido al soltar el pulsador). Cuando en el primer pulso se da que la señal baja lo suficiente para que el diodo deje de conducir, el capacitor, que se encuentra cargado, mantiene el nivel alto inicial en el terminal del reloj del 7474. Al suscitarse el segundo pulso, el capacitor, que está descargándose lentamente, vuelve a cargarse y se sigue manteniendo el nivel anterior. Cuando se deja de presionar el pulsador el diodo se «abre» y la lenta descarga del capacitor termina por aterrizar el

terminal del reloj de U26, lográndose de esta manera ignorar las señales de rebote.

3.5.2 Circuito de visualización

El circuito de visualización (Figura 3.11), es parte integral del control de paso único. A pesar de ello, se ha hecho referencia por separado debido a que no influye en el control del microprocesador.

Puesto que la programación del sistema se hace en forma hexadecimal conviene poder leer los contenidos de los buses en dicha notación. Esto se satisface mediante el uso de visualizadores de siete segmentos controlados por medio de convertidores de binario a hexadecimal. Esto implica que puede usarse para cada cuatro líneas del bus de datos y direcciones un convertidor y un visualizador para un total de 6 grupos, 4 para el bus de direcciones y 2 para el bus de datos. Sin embargo, pensando en mantener en un mínimo aceptable el número de componentes en este circuito y contribuir a su economía sin ir en detrimento del aspecto didáctico, pueden usarse dos convertidores y dos visualizadores por cada bus. El bus de direcciones sería monitoreado en su parte más baja, suficiente para poder seguir la lógica de ejecución de un programa.

Para el presente caso, el convertidor elegido fue el 9368 del cual se desprende el uso de visualizadores cátodo común (Figura 3.11).

Los integrados 9368 pueden manejar directamente los visualizadores debido a que proveen 20mA y 1.7V por cada segmento. Sin embargo, se utilizaron resistencias para no sobrecargar mucho dichos integrados y evitar mal funcionamiento por sobrecalentamiento.

Cuando al terminal LE' se aplica un cero lógico la salida está determinada por los datos de entrada a los convertidores y cuando se aplica un uno lógico esta se mantiene desplegando el último dato registrado. En este estado, las entradas prácticamente no representan carga a los buses ya que sólo consumen 100 μ A por efecto de fuga. Debido a lo anterior y para poder fijar una lectura a conveniencia, LE' se controla por medio del interruptor S6.

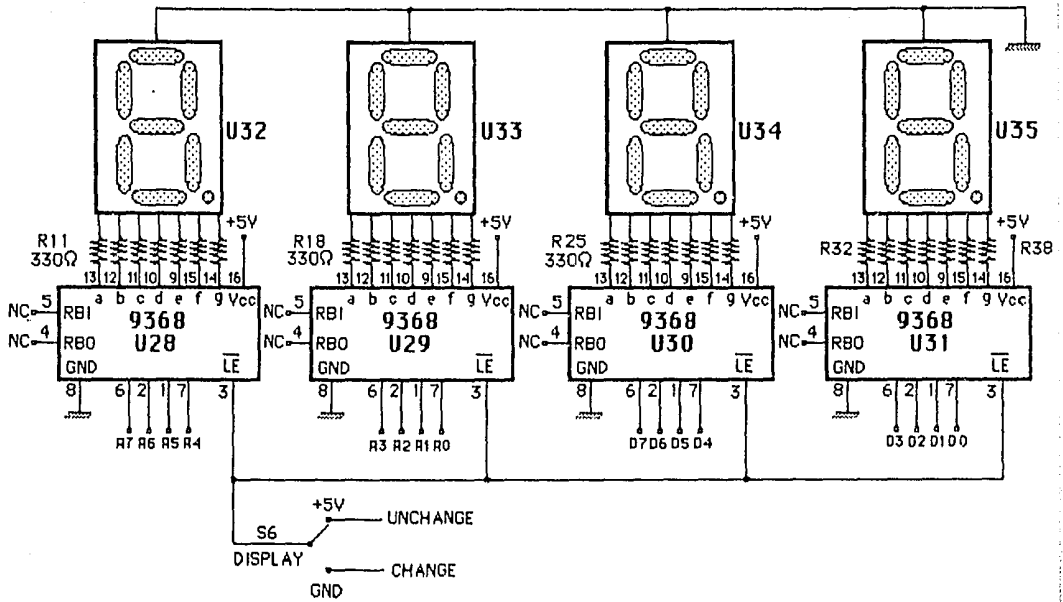


Figura 3.11 Diagrama eléctrico de la sección de visualización del circuito de control de peso único de instrucción.

4. DISEÑO DEL MÓDULO DE MEMORIA

La memoria de la microcomputadora es de dos clases y estas, a su vez, se subdividen en bloques, a saber:

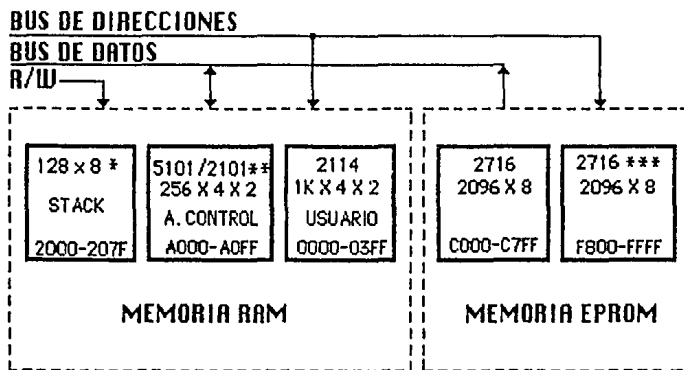
RAM

- a.-128 bytes para stack.
- b.-256 bytes para aplicaciones de control.
- c.-1k byte de memoria de usuario.
- d.-1k byte de memoria de usuario adicional.

EPROM

- a.-2k bytes para el monitor del sistema.
- b.-2k bytes para aplicaciones varias.

En la Figura 4.1 se tiene una representación a bloques del módulo de memoria.



* Internos al MPU.

** Con opción de retención de información por respaldo de batería.

*** En su defecto, las unidades 5101/2101 pueden disponerse a conveniencia en el mapa entre las localidades FFO0-FFFF.

Figura 4.1 Diagrama de bloques del módulo de memoria.

4.1 Memoria RAM

4.1.1 Memoria de Stack

Este bloque de memoria se encuentra interno al microprocesador. Fue dispuesto en el mapa de memoria entre las localidades 2000 y 207F. Siempre que se haga referencia explícita a estas memorias el nivel de voltaje en RAM ENABLE, del MPU, corresponde a un "1" lógico. Cuando se accesa, indistintamente del estado de la línea R/W, el bus de datos del procesador está en modo de salida para prohibir la entrada de datos al mismo.

4.1.2 Bloque de memoria de 256 bytes

Para la implementación de este bloque en el presente trabajo se consideraron los dispositivos de memoria 2101/5101 de Intel. Aunque ahora no son tan económicas y populares se eligieron por ajustarse a las especificaciones de la microcomputadora.

Este bloque está destinado especialmente para ser área de trabajo de aplicaciones de control, que requieran, debido a la importancia de la información que procesan, de medios para proteger la permanencia de los datos. Esto se logra con el uso de baterías para respaldar la información contenida en la memoria. Queda a opción del constructor el incluir o no esta característica en el sistema de acuerdo a sus necesidades, no obstante, se discute por considerarse importante.

Las 5101 son memorias que por su muy bajo consumo de corriente en estado de reposo permiten el uso de baterías. Las 2101, por el contrario, no pueden usarse con batería, pero por presentar la misma distribución de pines de entrada/salida que las 5101 pueden utilizarse como reemplazo de estas últimas cuando no se necesita trabajar con baterías. Esto aumenta la disponibilidad de partes en caso de fallas eventuales de los componentes.

Ambas memorias poseen una configuración de 256 localidades de 4 bits cada una. Son completamente compatibles con TTL y usan un voltaje único de +5V. Asimismo, utilizan una circuitería enteramente estable por lo que no se precisa reloj ni regeneración para funcionar.

LA BATERIA

El uso de una batería no es obra de casualidad. Dependiendo de la aplicación que han de soportar, deben estudiarse sus características para

determinar si pueden servir a los fines deseados. Algunas consideraciones que deben tomarse en cuenta, son las siguientes:

- a.-Corriente de carga impuesta por la batería.
- b.-Voltaje de la batería a plena carga.
- c.-Tiempo de vida en condiciones de máxima carga.
- d.-Rango ambiental de temperatura.
- e.-Factores físicos como tamaño y peso.
- f.-Características de funcionamiento de la batería.

Para el presente caso, debido a la orientación particular del sistema, el uso de un par de baterías alcalinas es recomendable ya que exhiben buena eficiencia y son muy fáciles de adquirir. Información detallada sobre este tema puede consultarse en libros y manuales [8,13].

MANEJO DE LAS MEMORIAS CON BATERIA

La condición de más bajo consumo puede controlarse inhabilitando tanto CE1 (pin 19) como CE2 (pin 17). En caso de que sólo CE1 se inhabilite el resto de las entradas deben mantenerse (al tiempo) con un $V_{in} \leq 0.2V$ o un $V_{in} \geq V_{cc} - 0.2V$. Si CE2 es inhabilitada, como se tomó en el presente diseño, con $V_{CE2} \leq 0.2V$ el estado de las otras entradas es irrelevante.

Las baterías alimentan dichas memorias en situaciones de pérdida de la alimentación principal (+5V), ya sea por desconexión intencionada o debido a fallas. Esto hace que la vida de las baterías se prolongue lo más posible. El arreglo siguiente (Figura 4.2) muestra el manejo de las memorias con batería.

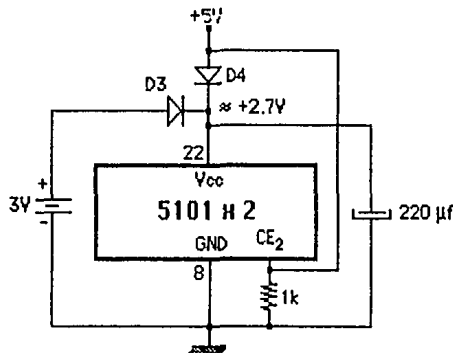


Figura 4.2 Conexión de las baterías a la memoria.

Cuando se aplica la alimentación D3 experimenta una polarización en contra que impide su conducción haciendo que las baterías no provean energía. Al cortarse Vcc, el capacitor de alta capacidad retiene el voltaje principal un tiempo, después del cual comenzará a descargarse hasta un punto en que D3 quede polarizado a favor, provocando el funcionamiento de las baterías. En este momento D4 se abre o polariza en contra aislando a las baterías del resto del sistema de manera que solamente quedan alimentando a las memorias en cuestión.

Los diodos D3 y D4 deben ser de germanio para que la caída de tensión en ellos sea de alrededor de .3V y no se vean afectados significativamente los voltajes de alimentación principal y reserva. La configuración expuesta permite prescindir de las baterías pues ello equivale a obviar la rama que las posee. El diseño del bloque de memoria en discusión se muestra en el diagrama de la Figura 4.3. En el Apéndice B aparece parte de la información técnica de las memorias 2101/5101.

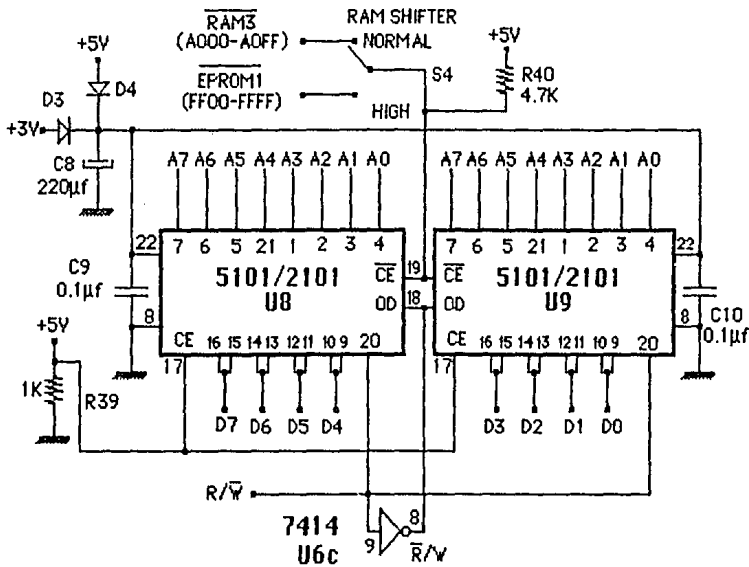


Figura 4.3 Bloque de memoria de 256 bytes.

Los capacitores de 0.1µf, como en casos anteriores, sirven para eliminar ruido de la línea de alimentación [6].

El estado de mínimo consumo, como se dijo antes, se controla mediante CE2, terminal que queda aterrizado mediante la resistencia R39 cuando desaparece la alimentación.

El interruptor S5 (Figura 3.4) sirve para controlar manualmente la operaciones de lectura/escritura sobre las memorias. Evidentemente, el direccionamiento así como la lectura o grabado de datos tiene que hacerse por medio de dispositivos externos al sistema.

Mediante S4 se puede variar la posición de estos 256 bytes dentro del mapa de memoria ya sea entre la posiciones A000-A0FF ó FF00-FFFF. Esta facilidad permite al diseñador, que en principio no cuenta con monitor de control del sistema, el poder cargar los vectores de inicialización e interrupción en memoria RAM, mediante otros dispositivos de ayuda para la realización de pruebas al equipo.

Debido a que estas memorias poseen los buses de entrada y salida separados y puesto que se requieren juntos en el sistema, estos se conectaron entre sí gracias a la existencia del terminal OD (Output Disable). Este pin es controlado por la línea R/W por medio de un inversor. Cuando el procesador desea leer información de esta memoria OD tendrá un cero lógico haciendo que los buffers de entrada se inhabiliten pero no así los de salida con lo que se logra que un dato sea <<copiado>> en el bus de datos. Cuando se pretenda escribir información OD tendrá un uno lógico lo que bloquea los buffers de salida mas no así los de entrada. Cuando estas memorias no son seleccionadas sus pines de entrada/salida de datos entran en el tercer estado.

4.1.3 Memoria de usuario

Este bloque se implementó con base a memorias 2114 de Intel. Son de tipo estático organizadas en 1024 palabras de cuatro bits cada una. Su lectura de datos es no destructiva y presentan la misma polaridad que los datos de entrada. Este tipo de memorias es recomendada en aplicaciones en donde se requiere un elevado rendimiento, bajo costo e interfaz sencillo [6]. Es compatible en todos sus aspecto con TTL, de donde se desprende que al igual que todos los integrados hasta ahora empleados requiere un voltaje único de +5V. En la Figura 4.4 se aprecia el diagrama de este bloque.

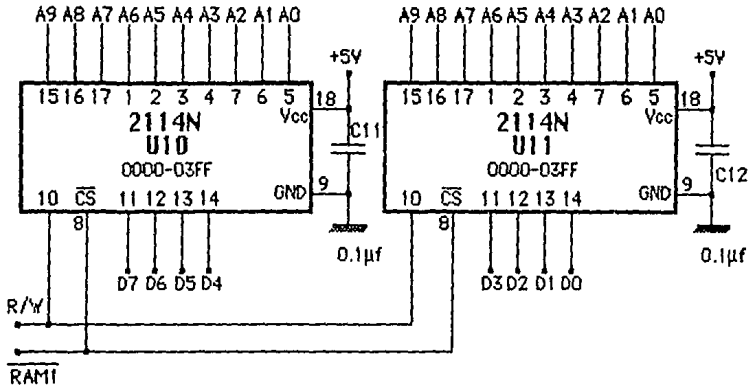


Figura 4.4 Diagrama eléctrico de la memoria de usuario.

A diferencia de las memorias anteriores estas no poseen el pin DD debido a que sus entradas y salidas de datos son comunes. Poseen la característica del tercer estado.

En el capítulo anterior se dijo que en todo momento la selección de recursos debe asegurar exclusión mutua de componentes, sin embargo, aquí ambos integrados son seleccionados a un mismo tiempo para que simultáneamente provean o reciban un dato completo (palabra).

En este microcomputador la memoria de usuario se consideró en bloques de 1k byte. Esto significa que el micro no puede expandirse a una mayor capacidad de memoria de la que se menciona en el mapa respectivo (Figura 3.5). De hecho, si se hubiera necesitado mayor capacidad de memoria RAM se habría podido hacer uso de integrados 6116 de 2k bytes y 6264 de 8k bytes, por citar algunos.

4.2 Memoria EPROM

En el Capítulo 2 se habló de necesitar 4K bytes de memoria permanente, sin embargo, no se aclaró si habrían de estar separados o juntos. De acuerdo al mapa de memoria se puede ver que se optó por el uso de dos integrados cuya razón se explica a continuación. Comercialmente, existen integrados como el 2708, 2716, 2732 de 1k, 2k y 4k bytes, respectivamente. El uso de los 2708

se descartó por requerir diversos voltajes de alimentación y representar una alternativa muy costosa. Asimismo, la utilización de un 2732 se desechó, debido a que tanto el monitor como las aplicaciones tendrían que grabarse en un mismo integrado y la sustitución de una aplicación, así como el cambio del monitor por una versión mejorada y avanzada, implicaría tener que volver a grabar un chip tomando en consideración aun aquello que no experimenta cambio alguno. Otra desventaja se manifiesta en caso de falla del componente ya que toda aplicación permanente se perdería simultáneamente. La mejor alternativa está en el uso de memorias 2716.

Su método de programación (monopulso con nivel TTL), es el más simple y rápido conocido en la actualidad. El borrado de esta memoria se hace mediante radiaciones ultravioleta. Son varios los factores que determinen la calidad de su borrado, v.gr., duración de exposición, distancia e intensidad de la fuente de luz, etc. El apéndice D suministra una explicación más detallada del funcionamiento, programación y borrado de este tipo de memoria [6].

La inclusión de estas memorias dentro del sistema no requiere de mayor explicación. En la Figura 4.5 se tiene el diagrama de este bloque.

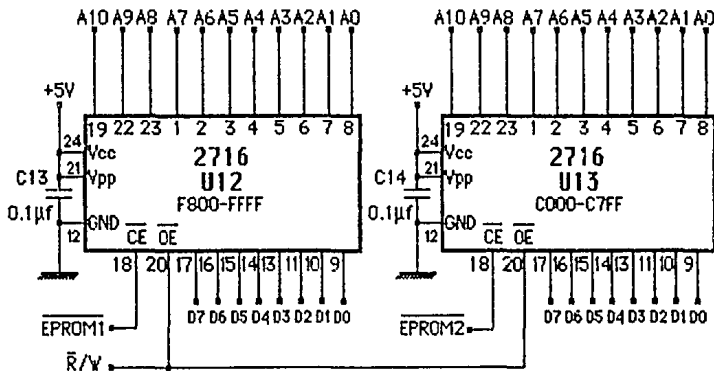


Figura 4.5 Diagrama eléctrico de la memoria permanente.

Los seleccionadores de chip (CE) están conectados a los pines provenientes del decodificador que las sitúan en memoria en la posición que se les asignó en el mapa de la figura 3.5. Siempre que CE tenga aplicado un 1 lógico, las salidas de datos se encuentran en un estado de alta impedancia independientemente del estado de OE (Output Enable).

Puesto que estos chips solamente pueden ser leídos la señal R/W

invertida es alimentada al pin OE. De esta manera siempre que se quiera escribir algún dato el bus de datos de las memorias entrará en su tercer estado.

4.3 Tiempo de conmutación de las memorias

La velocidad a la que pueden operar las pastillas de memoria se estima fácilmente de la información de los diagramas de tiempo que los fabricantes incluyen en sus hojas de especificaciones técnicas.

Corresponde al diseñador revizar la información de los diagramas de tiempo de cada dispositivo de memoria que considere, para que junto con la correspondiente a la del procesador pueda determinar si existe compatibilidad de tiempos entre ellos. Esta labor debe hacerse antes de optar por la utilización definitiva de un integrado en el sistema. La consulta de los apéndices orientada hacia el estudio de tiempos, dará luz en relación a lo expuesto.

5. DISEÑO DEL MÓDULO DE ENTRADA/SALIDA

El módulo de entrada/salida está desarrollado en torno a dos integrados de interface paralela M6821, cuyas especificaciones de funcionamiento y características se encuentran agrupadas en el Apéndice E. El tratamiento de estos chips es, desde todo punto de vista, similar al de una memoria. Así, una salida y una entrada son equivalentes a escribir o leer uno de sus registros, respectivamente [20]. En la Figura 5.1 se tiene el modelo general a bloques del presente módulo.

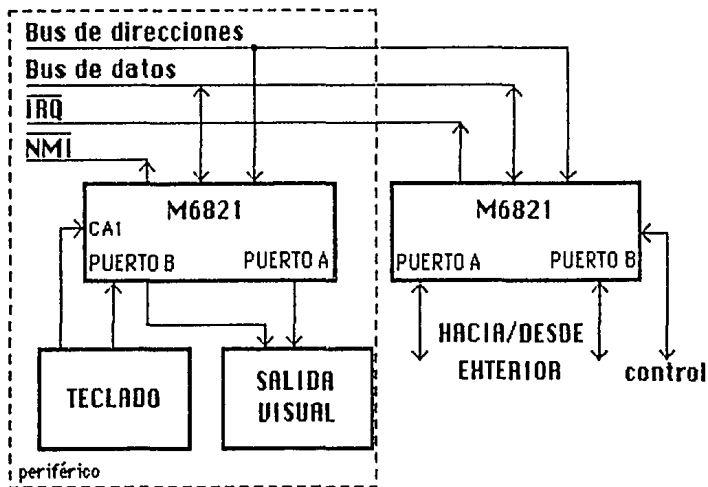


Figura 5.1 Diagrama de bloques del módulo de E/S.

Nótese que dos puertos son utilizados para manejar un dispositivo periférico de captura y despliegue de información y los demás figuran libres para atender la eventualidad de conectar otros aparatos al sistema. A través de dichos puertos la máquina podrá crecer o expandirse según las necesidades.

5.1 El dispositivo periférico

El dispositivo periférico incluye un teclado, para operaciones de entrada, y un conjunto de visualizadores de siete segmentos para operaciones de salida (indicación de una conclusión lógica de manera legible).

El teclado está constituido por un conjunto de botones pulsadores asociados a una especie de capuchón o tecla, como se conoce más comúnmente. El tipo de teclas así como su número y distribución se determina a partir de la aplicación concreta que se desea realizar. La tecla no cumple ninguna función eléctrica, tan sólo sirve para identificar cada pulsador, así como para ofrecer una correcta superficie de actuación a las características fisiológicas de manos y dedos del operador. Los teclados suelen montarse formando un ángulo de 10 a 13 grados con la horizontal [2].

5.1.1 El teclado, generación y captura de un dato

La elección de un teclado como medio para alimentar información a la microcomputadora, obedeció a razones didácticas y de facilidad de implementación. Más aún, por los motivos antedichos se consideró que este debía ser de naturaleza hexadecimal y no ASCII (Figura 5.2).

La característica de codificación de tecla que presenta hace que el interfaz que lo soporta reciba información en forma hexadecimal. De esta manera los <<drivers>> del teclado (rutinas de manejo) resultan cortos y fáciles de implementar, la captura de datos se agiliza considerablemente y se ahorra memoria al evitar el uso de varias tablas de conversión de datos para el reconocimiento y despliegue de los mismos.

Los 74148 son codificadores de prioridad de 8 a 3 que arrojan el equivalente octal de la línea activada de más alto orden en las entradas. Colocados en cascada de la forma en que aparece en la Figura 5.2, cada tecla al ser pulsada genera una salida de cuatro bits que es alimentada a los pines PB3-PB0 de U15 por medio de compuertas NAND. Estas últimas se eligieron en lugar de compuertas OR para trabajar con datos en lógica positiva. Esto es, que al presionar la tecla 8, por citar un ejemplo, se produzca una salida de 1000 en contraposición a 0111 que resultaría de conectar las salidas de los codificadores a través de compuertas OR al PIA.

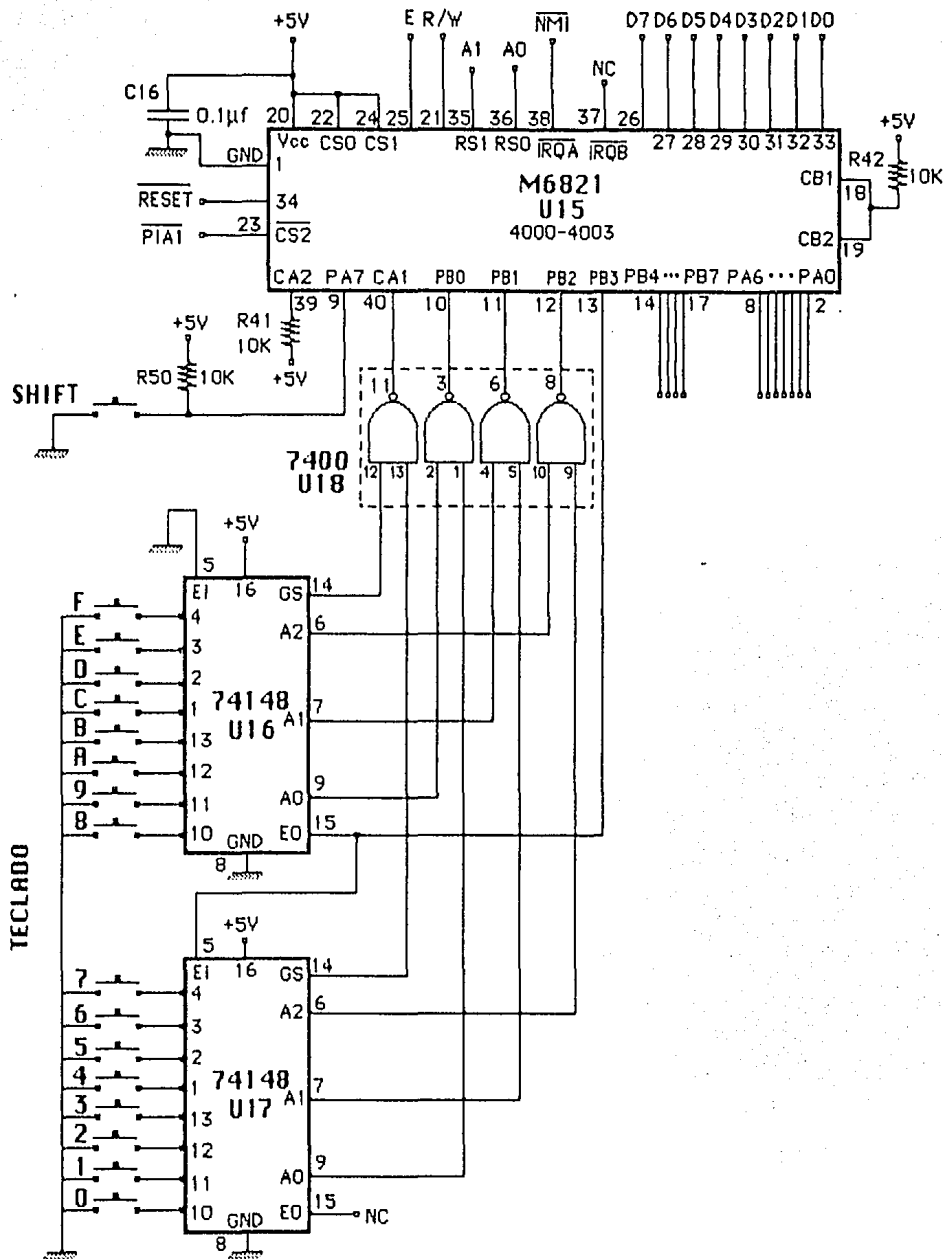


Figura 5.2 Diagrama eléctrico del circuito de generación y captura de datos del sistema.

U17 sirve para generar las secuencias del "0" al "7" y U16 del "8" a la "F". Sus entradas normalmente se encuentran en estado inactivo debido al nivel lógico "1" presente en ellas como consecuencia de su flotación. Para más seguridad se recomienda utilizar resistencias de pull-up en cada entrada. Cuando se pulsa una tecla se aterriza una entrada y con ello se produce tanto la secuencia binaria que representa así como un cambio negativo de nivel en el pin GS del integrado afectado. Esta indicación de pulsación de tecla se refleja en la línea CA1 del PIA como una transición positiva de nivel que al ser <<sentida>> o detectada, se genera una condición de interrupción en el interfaz haciendo que el bit 7 del registro de control del puerto A se ponga en "1". Este registro, que durante la inicialización del sistema debe programarse para habilitar interrupciones, envía una solicitud de interrupción al MPU a través de su línea NMI. De esta manera se advierte al procesador que debe dejar el proceso en ejecución para atender una captura de datos. El control se transfiere a una rutina que direcciona el buffer de entrada de datos (PDRB), lee el dato y lo procesa según lo que se tenga programado. Finalmente se lee el registro de control del puerto A (CRA) para eliminar la condición de interrupción. Con esta operación el MPU reanuda el proceso que ejecutaba antes de ser interrumpido y el PIA queda listo para volver a efectuar otra interrupción al momento de que se presione otra tecla.

Para que el PIA reciba información del teclado, las líneas PB3-PB0 deben programarse como entradas poniendo ceros en el registro B de dirección de datos (DDR B) en los bits que corresponden a tales líneas, durante la inicialización del equipo.

La captura es realizada a través del puerto B debido a que los buffers de de las líneas programadas como entradas exhiben alta impedancia de salida. De haberse utilizado el puerto A, el último dato leído por la máquina, formado por una combinación de ceros y unos, estaría presente en las líneas PA3-PA0, con lo que tales niveles de voltaje se estarían aplicando a las salidas de las compuertas NAND que normalmente están en cero (cuando no se presiona tecla alguna). Evidentemente, en las líneas en donde exista diferencia de voltaje se tendría cortocircuito, pudiendo llegarse a dañar ambos componentes.

ROLLOYER

Rollover es un término técnico utilizado para referirse al tratamiento de situaciones en las que se presiona más de una tecla al tiempo [30]. Para el presente caso, la característica de prioridad se buscó en los codificadores

para que indistintamente del número de teclas que se presionen a un tiempo, la salida proporcionada por ellos corresponda siempre a la entrada de mayor orden que se encuentre activa. De lo anterior, si se tienen oprimidas las teclas F, 9 y 4, U15 recibe el dato 1111 correspondiente a la "F". Supóngase que el 4 se tecléo primero, la salida será 0100. Si después se presiona el 9, el nivel de EO de U16 sube y en consecuencia se inactiva la salida de U17, prevaleciendo el dato 1001. Si, por último, se presiona F, esta tecla es la de mayor orden y por la característica de prioridad del codificador se tendrá como dato de salida el que corresponde a F.

REBOTES

Cuando se presiona una tecla debido al fenómeno de rebote, la computadora tiende a leer un mismo dato tantas veces como en CA1 de U15 se susciten transiciones positivas de nivel. En este sistema tal problema se evita por medio de software.

Cuando se presiona una tecla el primer flanco positivo tenido en CA1 interrumpe al procesador. Seguidamente debe ejecutarse un ciclo que haga que el procesador <<pierda>> tiempo durante unos 20ms para dar oportunidad a que las señales presentes en el PIA se estabilicen. Se lee el contenido de PB3-PB0 y hasta tanto no cambie el dato presente en tal puerto no se deja de seguirlo leyendo. Esto hace que el dato leído no sea procesado hasta tanto no se suelte la tecla que está siendo presionada. Una vez que se libera la tecla y se detecta dicha condición, el procesador debe volver a desperdiciar otros 20ms para dar tiempo a que la señal en CA1 se vaya estabilizando, después de lo cual debe leerse el registro de control del puerto A para habilitar nuevamente las interrupciones al procesador. Con lo anterior se evita que el rebote producido al soltar la tecla no indique al PIA que debe interrumpir al MPU. En este momento se procesa el dato leído. Otra posibilidad es la de procesar dicho dato al momento de soltar la tecla. El tiempo invertido en ejecutar el proceso da oportunidad para que al señal en CA1 se estabilice y luego se habilita la interrupción. Esto resulta más conveniente pues durante el proceso no pueden tener lugar otras interrupciones hasta tanto no se complete la que se atiende.

El sistema incluye una tecla denominada <<SHIFT>> (Figura 5.2). Su inclusión ayuda al programador a definir funciones especiales, producto de la opresión simultánea de SHIFT y cualquier otra tecla. Obsérvese que en este caso ambas teclas alimentan información al PIA debido a que SHIFT no es una tecla codificada. Su uso también involucra rebotes pero se pueden obviar siguiendo un procedimiento similar al anterior.

5.1.2 Etapa de visualización

Por motivos económicos, de tiempo y de facilidad de implementación el sistema cuenta con un conjunto de cuatro visualizadores para el despliegue de información en lugar de una pantalla de video. La cantidad de visualizadores se determinó con base en el dato de mayor cantidad de bits que puede manejar la microcomputadora en forma simultánea. Puesto que dicho dato es de 16 bits y se asocian cuatro bits por cada elemento hexadecimal se tienen cuatro visualizadores (Figura 5.3).

Los visualizadores son manejados por las líneas PA6-PA0 que actúan como salidas a través de una etapa de acoplamiento formada por un integrado 74LS244 para proporcionar la cantidad de corriente necesaria para manipularlos con seguridad. Las resistencias de 82Ω limitan la cantidad de corriente alimentada a los ánodos de los visualizadores.

Mediante las líneas PB7-PB4, de U15, se controla el cátodo de cada visualizador a través de compuertas NAND. Dichas líneas deben programarse para actuar como salidas al encender el sistema. Un uno lógico en cualquiera de las líneas aterrizará el cátodo del visualizador que le corresponde permitiendo que sus segmentos puedan ser activados a conveniencia. La utilización de U19 permite el uso de lógica positiva para la activación de los visualizadores y su aislamiento del PIA. Un nivel lógico "1" debe aplicarse a cada segmento para su activación.

Los segmentos de los visualizadores se asocian convenientemente a las líneas del buffer de datos del puerto A como se muestra en el dibujo de la Figura 5.4. De esta manera, si el PDRA posee como contenido 77 (hexadecimal) se tendrá desplegada una A en los visualizadores activos en ese momento.

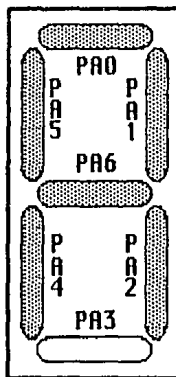


Figura 5.4 Conexión del puerto A de U15 a los visualizadores.

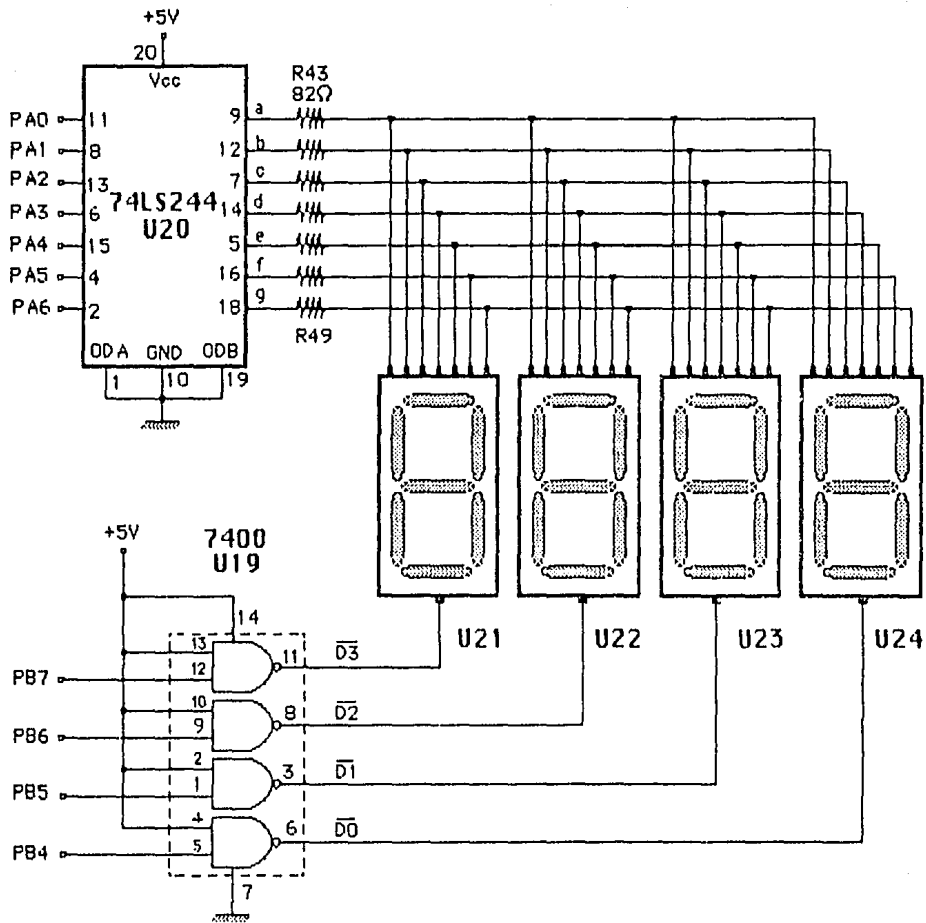


FIGURA 5.3 Diagrama eléctrico del circuito de visualización periférico.

5.1.3 El interfaz de control

El interfaz de control, o sea U14 (Figura 5.5), interrumpe al procesador por medio de su línea IRQ mientras que U15 lo hace por medio de la línea NMI. Se dispuso que ambas interfaces interrumpieran al MPU por líneas diferentes para facilitar y aligerar la atención de interrupciones en el sistema. Esto se logra debido a que cuando se suscita una petición de interrupción se conoce de antemano el dispositivo que la solicita evitándose el tener que correr una rutina para identificar el PIA que la genera.

El PIA asociado al teclado posee prioridad de interrupción respecto del otro, ya que esta característica es útil en aplicaciones en donde se requiere controlar por teclado dispositivos conectados a la máquina. De otro modo, el usuario perdería el control absoluto del sistema.

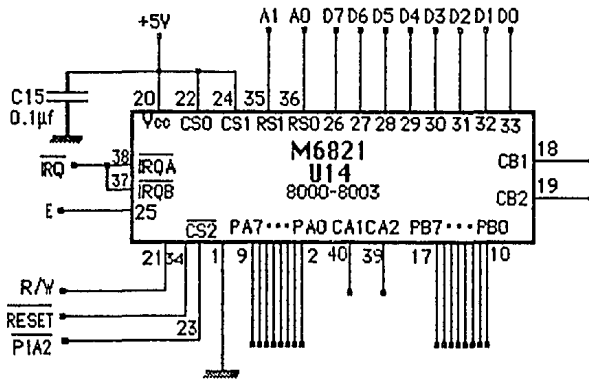


Figura 5.5 Diagrama eléctrico del interfaz reservado para control.

Cada interface tiene reservados cuatro bytes de memoria para el manejo de sus registros, como se muestra en las Figuras 5.2 y 5.5, cuyo detalle se inserta en el Cuadro 5.1.

Cuadro 5.1 Direcciones de memoria de los registros de interface.

Registro	U15	U14	CR(AIB) /bit2
PDRA	4000	8000	1
DDRA	4000	8000	0
CRA	4001	8001	X
PDRB	4002	8002	1
DDRB	4002	8002	0
CRB	4003	8003	X

6. ESTUDIO DEL JUEGO DE INSTRUCCIONES DEL CPU

Parte esencial del tratamiento de un microprocesador es sin duda su software. Aunque sería ideal estudiar el set completo de instrucciones del procesador, en el presente trabajo no se pretende duplicar los esfuerzos de otros autores en este particular. En realidad basta con atender unas cuantas instrucciones para poder programar una pequeña aplicación con miras a examinar, más adelante, el funcionamiento del sistema. Para ello, seguidamente se estudia la arquitectura interna del MC6802 en cuanto a sus diferentes registros y modos de direccionamiento de que el programador dispone para el uso de las instrucciones.

6.1 Registros internos del procesador

6.1.1 *El contador de programa (PC)*

Es un registro de dos bytes cuyo contenido es usado para apuntar el siguiente byte en memoria a ser cargado, dicho de otro modo, mantiene el control del programa [5,16,24].

6.1.2 *El apuntador de stack (SP)*

Es un registro de 2 bytes que contiene la dirección de una localidad de memoria a partir de la cual pueden almacenarse los registros del procesador bajo ciertas condiciones. En la Figura 6.1 se muestra el orden de almacenamiento de los registros en el stack del sistema con base al SP en situaciones de interrupción [5,16,24].

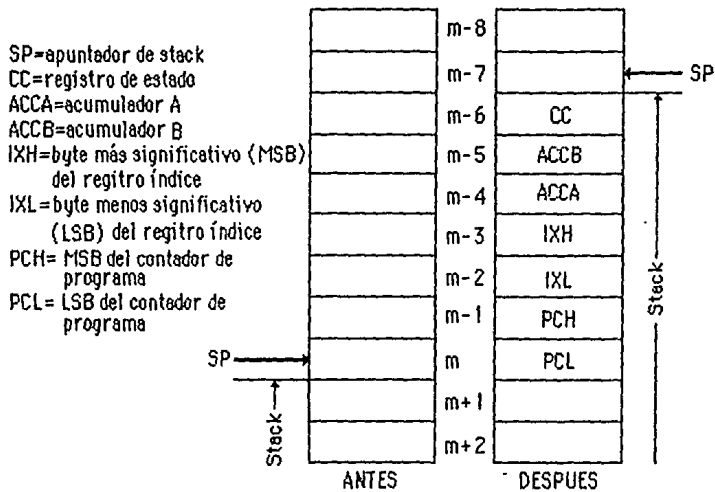


Figura 6.1 Almacenamiento de los registros del procesador en el stack.

6.1.3 El registro índice (IX)

El registro índice es un registro de 2 bytes utilizado para almacenar datos o una dirección de memoria de 16 bits referenciada en modo de direccionamiento indexado [5,16,24].

6.1.4 El acumulador A y B

Los acumuladores A y B son registros de 1 byte usados para almacenamiento y manipulación temporal de datos, resultados y operandos. Se designan ACCX, donde X puede ser A ó B [5,16,24].

6.1.5 Registro de códigos condicionales (CCR)

El registro de códigos condicionales es usado para almacenar el estado resultante de una operación de la unidad aritmético-lógica. Sus dos bits más significativos siempre están en 1, en tanto que los bits 0 a 5 cambian constantemente según la tabla del Cuadro 6.1 [5,16,24].

Cuadro 6.1 Bits del registro de estado del MC6802.

BIT		DESCRIPCION	MODO DE AFECTACION
0	C	ACARRÉO	ES 1 SI HAY UN ACARREO A PARTIR DEL BIT MAS SIGNIFICATIVO DE UN RESULTADO Y CERO DE OTRA MANERA.
1	V	SOBREFLUJO	ES 1 SI HAY UN REBOSAMIENTO DE SEGUNDO COMPLEMENTO COMO RESULTADO DE UNA OPERACION Y CERO DE OTRA MANERA.
2	Z	INDICADOR CERO	ES 1 SI TODOS LOS BITS DE UN RESULTADO SON CERO Y CERO DE OTRA MANERA.
3	N	INDICADOR NEGATIVO	ES 1 SI EL BIT MAS SIGNIFICATIVO DE UN RESULTADO ES 1 Y CERO DE OTRA MANERA.
4	I	INTERRUPCION	CERO. EL USUARIO ELIGE SU CONTENIDO.*
5	H	MEDIO ACARREO	ES 1 SI SE PRODUCE UN ACARREO A PARTIR DEL BIT 3 Y CERO DE OTRA MANERA.

* BLOQUEA LA HABILITACION O NO DE LA LINEA IRQ DEL PROCESADOR SEGUN SE PONGA A 1 Ó 0, RESPECTIVAMENTE.

6.2 Modos de direccionamiento

El MC6802 posee 7 diferentes modos de direccionamiento, mismos que a continuación se tratan.

6.2.1 Direccionamiento acumulador

Las instrucciones en modo acumulador son de 1 byte y solamente pueden direccionar el acumulador A y/o B. Ejemplo: COMA, complementa el contenido del acumulador A [5,16,24].

6.2.2 Direccionamiento inmediato

En modo inmediato las instrucciones son de 2 ó 3 bytes. Poseen un dato inmediatamente después de la instrucción. Ejemplo: LDAA *\$OF, carga -copia- en el acumulador A el dato OF. El símbolo * es utilizado para denotar

el modo inmediato, mientras que \$ para indicar que el dato es hexadecimal [5,16,24].

6.2.3 Direccionamiento directo

En modo directo la dirección del operando (dato) está contenida en el segundo byte de la instrucción. Este modo permite al usuario direccionar solamente los 256 bytes más bajos de la memoria del sistema (localidades 00-FF). Ejemplo: LDAA \$0A, carga el acumulador A con el contenido de la dirección hexadecimal 0A [5,16,24].

6.2.4 Direccionamiento extendido

El modo extendido opera en forma similar al anterior pero a diferencia de éste maneja direcciones de memoria de 2 bytes por lo que son instrucciones de 3 bytes. Los datos contenidos en el segundo y tercer byte de la instrucción son usados como los 8 bits más y menos significativos de la dirección del operando, respectivamente. Ejemplo: LDAA \$FFFF, carga el acumulador A con el contenido de la dirección hexadecimal FFFF [5,16,24].

6.2.5 Direccionamiento indexado

En modo indexado la localidad siguiente a la instrucción contine un número denominado <<offset>> que es sumado al contenido del registro índice para formar una nueva dirección, la cual es almacenada en un registro temporal de manera que no cambia el contenido del IX (como en el modo extendido contiene el dato). Ejemplo: LDAA \$0F,X , carga el acumulador con el contenido de la dirección que resulta de sumar 0F y el registro índice [5,16,24].

6.2.6 Direccionamiento relativo

En modo relativo la dirección contenida en el segundo byte de la instrucción, denominada offset o desplazamiento, es sumada al contador de programa más 2. Esto permite al usuario transferir el control del programa en un rango de -125 s +129 bytes a partir de la presente instrucción, para continuar con la ejecución del mismo. Ejemplo: BRA \$0F, suma al PC una vez que se interpreta la instrucción el dato 0F, cuyo resultado equivale a transferir el control del programa 0F+2 localidades adelante de la instrucción

BRA [5,16,24].

6.2.7 Direccionamiento inherente

En modo inherente las instrucciones son de un byte. Por sí mismas dan una dirección. Aquellas que corresponden al modo acumulador son de este tipo pero de referencia a un acumulador solamente. Ejemplo: INX, incrementa el registro índice en "1" [5,16,24].

6.3 El juego de instrucciones

El MC6802 posee un juego básico de 72 instrucciones que en combinación con los 7 modos de direccionamiento descritos suman un total de 197. El formato de la instrucciones está definido por un código de operación y un operando que puede ser un dato o una dirección de 1 ó 2 bytes.

El procesador contiene instrucciones de aritmética binaria y decimal, lógicas, desplazamiento, rotación, carga, almacenamiento, salto condicional e incondicional, interrupción y manejo de stack. Esta clasificación está hecha en atención a la función realizada por las instrucciones, sin embargo, estas pueden agruparse de manera más general según su naturaleza [16]. De esta forma, se tienen instrucciones de referencia a:

- a.-Acumulador y memoria.
- b.-Registro índice y apuntador de stack.
- c.-Saltos e interrupciones.
- d.-Registro de estado.

Las instrucciones para manejo de interrupción figuran dentro de aquellas destinadas a salto en cuanto que provocan, estrictamente hablando, transferencias de control. En el Apéndice A se tiene la lista completa de instrucciones del procesador con los diferentes modos de direccionamiento que soportan, código hexadecimal, tamaño en bytes y su tiempo de ejecución en ciclos. Asimismo, se incluye la afectación de cada una de ellas a los bits del registro de códigos condicionales. Para el presente caso, un ciclo es equivalente a un microsegundo de tiempo, de ahí que las instrucciones más corta y larga tardan en ejecutarse 2 y 12 μ s, respectivamente.

6.3.1 Uso de algunas instrucciones del MPU

En esta sección se estudia el funcionamiento de las instrucciones LDA, STA, ABA y BNE. Ciertamente son muy pocas como para comprender el software del procesador, no obstante, son suficientes para el objetivo del presente Capítulo. Su uso se explica más detalladamente con base en un pequeño programa de ejemplo.

LDA [Load Accumulator]

LDA es una instrucción que sirve para copiar el contenido de una localidad de memoria en cualquiera de los dos acumuladores del procesador. Soporta los modos de direccionamiento inmediato, directo, extendido e indexado. Afecta los bits N y Z del CCR y siempre pone a cero el bit V del mismo [5,16].

STA [Store Accumulator]

Esta instrucción copia el contenido de un acumulador cualquiera, según el que esté referenciado, en una localidad de memoria determinada. Opera en los modos de direccionamiento directo, extendido e indexado. Afecta el CCR de la misma manera que LDA [5,16].

ABA [ADD B+A accumulators]

Esta instrucción suma los contenidos de ambos acumuladores y deja el resultado en ACCA, permaneciendo ACCB sin cambio. Solamente posee el modo inherente de direccionamiento. Afecta los bits del CCR, según el dato resultante, exceptuando el bit I [5,16].

BNE [Branch if Not Equal]

Esta es una instrucción de salto condicionado que transfiere el control del programa a la posición indicada por el byte offset que le sucede; si y sólo si, el bit Z del CCR es "cero". Su modo de direccionamiento es relativo.

Cuando esta instrucción es interpretada el contador de programa apunta

a la localidad de memoria que sigue al desplazamiento y de ahí que este último es equivalente al resultado que se obtiene de restar la posición en que se encuentra el código de salto (BNE) más dos de la posición destino, que es donde se requiere que el programa continúe. El bit más significativo del byte resultante advierte un retroceso o un adelanto a partir del <<branch>> según se tenga un "1" ó un "0" respectivamente. No tiene efecto sobre el CCR [5,16].

Para ilustrar más detalladamente el anterior conjunto de instrucciones véase el siguiente segmento de programa (Cuadro 6.2).

Cuadro 6.2 Rutina de ejemplo.

#instrucción	Etiqueta	Mnemónico	Tiempo de ejecución
1		LDAA #\$FA	2
2		LDAB \$FA	3
3	RPT	ABA	2
4		BNE RPT	4

Este grupo de instrucciones tienen por objeto sumar los contenidos de los acumuladores A y B hasta obtener que el primero de ellos se haga cero. Suponiendo que el contenido de la localidad de memoria 00FA es \$6, al ejecutarse las dos primeras instrucciones los contenidos de los acumuladores A y B son FA y 6, respectivamente. Al ejecutarse la tercer instrucción ACCA toma el valor de 00, como resultado de las suma de ambos acumuladores y alcanzarse la cuarta instrucción el procesador comprueba que Z es "1" y por ello el salto a RPT no se realiza, finalizándose la ejecución de todas las instrucciones. Si ACCA hubiese tenido inicialmente un "1", ABA se hubiera ejecutado 6 veces.

Si se deseara introducir esta información al sistema partiendo, por ejemplo, de la localidad 0000, deberá obtener el equivalente hexadecimal de cada instrucción y alimentarlo a la máquina, tal como se muestra en el Cuadro 6.3.

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

Cuadro 6.3 Código hexadecimal
de la rutina del Cuadro 6.2

<u>Localidad</u>	<u>progrema</u>
0000	B6
0001	FA
0002	D6
0003	FA
0004	1B
0005	26
0006	FD
0007	
00FA	06/01

El equivalente hexadecimal de la etiqueta RPT es FD y se obtuvo de restar, como se dijo en párrafos anteriores, de la posición destino la posición de donde se origina el salto, así:

$$\begin{array}{r} \text{posición destino} \quad 0004 \\ \text{posición de salto} \quad \underline{-(0005+0002)} \\ \hline 00FD \end{array}$$

Para FA con un contenido de \$6, el conjunto de instrucciones es ejecutado en $11\mu\text{seg}$ de tiempo. En el manual técnico del MC6802 figura una tabla que describe la información presente en los buses de direcciones y datos, así como en las líneas VMA y R/W, durante cada ciclo de las instrucciones. Su utilidad se hace manifiesta en procesos de depuración de software y hardware.

7. IMPLEMENTACION Y PRUEBA

Una vez familiarizados con el diseño, estructura y funcionamiento de la microcomputadora, resta por atender los detalles de su construcción. Esta etapa, al igual que las anteriores, requiere mucha labor de diseño. La construcción involucra todo el trabajo necesario para lograr un prototipo del sistema concebido que funcione de acuerdo a las especificaciones del diseño. Se trata de una etapa que combina simultáneamente procesos de implementación y prueba. Se exponen procesos que están orientados a aquellos que, no poseyendo equipos muy sofisticados como los tenidos a nivel industrial, cuentan con algunos de los mínimos recursos necesarios para hacer esta labor, de los cuales se habla más adelante.

7.1 Proceso de preimplementación y comprobación estática

Normalmente un buen programador asume que su programa funciona bien cuando verifica que su ejecución en algún computador corrobora lo que espera. De igual manera, un diseñador debe suponer que su diseño es funcional cuando prueba y constata su correcto funcionamiento. Esta previsión permite detectar y corregir errores de diseño antes de la construcción final de la máquina, cuando todavía es oportuno, para evitar eventuales fracasos que se traduzcan en pérdidas de tiempo y dinero. Por esta razón, la mayor parte de los subsistemas de la microcomputadora fueron armados y probados en tabletas de conexión eléctrica sin soldadura, proceso que puede llamarse de preimplementación y prueba.

La construcción del hardware se presenta por etapas, gracias a que varios subsistemas pueden probarse y hacerse funcionar con independencia en la mayor parte de los casos. El intento de unir todos los subsistemas y comprobar todo, simultáneamente, sería muy complicado [30].

Durante la construcción por etapas del sistema las pruebas que se practican son para comprobar estáticamente los elementos básicos de la microcomputadora, mismos que posteriormente se ensamblan y comprueban en conjunto [6,30].

En primera instancia, se recomienda comprobar el estado funcional de todos los elementos discretos que se utilizan: resistores, capacitores, diodos, transistores y otros. Para ello, se usan multímetros, medidores de capacidad y equipos especiales de prueba para establecer las características de diodos y transistores, si es del caso [30].

La prueba de circuitos integrados requiere de equipo de alto costo. No obstante, algunos de ellos pueden alimentarse para verificar su funcionamiento con base en tablas de verdad, v.gr., compuertas lógicas, decodificadores, etc., con ayuda de arreglos circuitales (resistencias y LED's) o medidores para visualizar niveles de voltaje.

Para el presente caso se necesita una fuente de +5V regulados, con una capacidad de corriente mayor a 2.5A. La capacidad de corriente de la fuente se determinó a partir de la suma de los requerimientos de potencia de cada uno de los integrados del sistema en condiciones extremas (máxima disipación), para asegurar que la fuente pueda alimentar la carga, en exceso, a temperatura ambiente.

Por precaución no se debe tocar ningún circuito integrado, a menos que se esté debidamente aterrizado o que, la humedad ambiental sea elevada; además, no se debe insertar ningún chip con la fuente encendida, se apaga y se dejan pasar aproximadamente 15 segundos hasta que se descargue completamente [30].

7.1.1 Pruebas al módulo del procesador

CONTROL DE INICIALIZACION

Arme el circuito de inicialización de la Figura 3.3. Aplique la alimentación y compruebe que el pin 4 de U6 posee una salida normalmente alta. Luego presione el pulsador y verifique que el nivel de salida sea bajo.

CONTROL DE PASO UNICO

SECCION DE PASO

Ensamble el circuito de la Figura 3.8 correspondiente al control de paso único de instrucción sin su sección de visualización. Deje flotando, sin conectar, el pin 11 de U27 y conecte la salida del circuito de la Figura 7.1 al pin 15 de la misma unidad, en forma directa o a través de la compuerta.

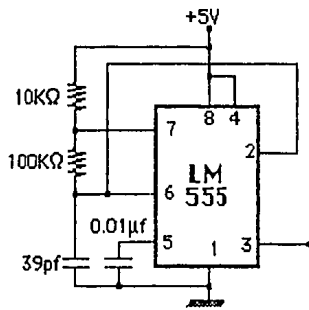


Figura 7.1 Diagrama eléctrico de un oscilador de onda cuadrada.

La Figura 7.1 es un oscilador que produce una señal de alta frecuencia (175KHz), utilizada en sustitución de la señal de reloj del procesador.

Aplique la alimentación y compruebe con un medidor de voltaje que el nivel lógico en los pines 5 y 11 de U26 y U27 es bajo, incluso si se presiona una o varias veces el pulsador P2. Debe darse la condición anterior para mantener al procesador en un estado inactivo. Cada vez que se presiona el pulsador se produce un pulso (un "1" lógico) en los pines citados por cuya duración no es registrado en el medidor de voltaje. Para verificarlo use un osciloscopio.

SECCION DE VISUALIZACION

Implemente el circuito de la Figura 3.11 dejando las entradas 6,2,1, y 7 de los 9368 al aire. Es suficiente realizar la prueba tan sólo con uno de los cuatro visualizadores debido a que la conexión eléctrica es igual para todos. Al aplicar la alimentación, con el pin 3 aterrizado, una F debe aparecer en el visualizador. Ahora aplique un "1" lógico al pin 3 y aterrice alternativamente los pines 6,2,1 y 7. No debe ocurrir cambio alguno en el visualizador. Si nuevamente se aterrizo el pin 3, el visualizador debe desplegar el número decimal correspondiente a la representación binaria presente en las entradas del convertidor.

CONTROLADORES DE LOS BUSES DE DIRECCION Y DATOS

Conecte las unidades 2, 3, y 4 como se muestra en el diagrama de la Figura 3.4. Aterrice el pin 1 de U2 para que el flujo de datos en dicha unidad

sea de izquierda a derecha, como en las otras dos. Con el interruptor S3 en la posición DISABLE todas las salidas deben tener un nivel alto. Este será el modo de salida de triestado que el equipo de prueba registra como circuito abierto. Conmutando S3 a tierra se activarán todos los controladores de buses. Todas sus salidas estarán en niveles lógicos altos. Aterrice las líneas de entrada que desee y confirme una salida de nivel bajo en las líneas de salida correspondientes. Cuando esto se obtenga en todas las líneas habrá terminado la comprobación del bus de direcciones. Para el caso del bus de datos eleve el nivel del terminal 1 de U2 para que la prueba anterior pueda practicarse también en sentido contrario debido a su naturaleza bidireccional.

MICROPROCESADOR

La prueba del microprocesador es muy sencilla, ya que normalmente trabaja, o no lo hace del todo [6].

Conecte el procesador como se muestra en el diagrama de la Figura 3.2. Deje sueltos todos sus pines de salida excepto el bus de datos que habrá de conectar a U2 y el pin 37 (correspondiente a la salida de reloj del MPU) a los terminales 9 y 10 de U25 (entradas de la compuerta que controla el reloj de U27). Una los pines 11 y 4 de U27 y U6 a los terminales 2 y 40 del procesador, respectivamente. Ahora, sin aplicar todavía la alimentación, conecte el terminal 1 de U2 a Vcc y mantenga flotando los terminales 2 a 9 de esa misma unidad.

Aplice la alimentación y presione el botón de RESET (P1). El procesador deberá estar en un estado inactivo con niveles lógicos altos en sus líneas R/W, BA, A0-A15 y exhibiendo un nivel bajo en su línea VMA. Otros estados denotan mal funcionamiento del MPU o falta de sincronía entre éste y el control de paso. De ser este último el MPU estaría procesando <<basura>>.

Proceda a desconectar la alimentación. Aterrice los pines 3 a 9 de U2 y deje flotando su terminal 2 (por seguridad conéctelo a Vcc). Al aplicar nuevamente la alimentación los niveles lógicos 1000 0000 presentes en D7-D0, mantienen el dato hexadecimal 80 en el bus de datos. El bus de direcciones deberá contener la dirección 8080, o sea, que las líneas A15 y A8 deberán exhibir un nivel de voltaje alto, mientras que, el resto, lo contrario. De no ser así, presione el botón de RESET. Si se alcanzan los estados mencionados el procesador funciona bien así como los circuitos a él asociados. Si no sucede lo que se espera, el MPU se encuentra dañado o no está en sincronía, como se dijo anteriormente, con el circuito de paso, mismo que lo deja operar libremente. En este caso, revise las conexiones del

procesador ya que puede existir un cortocircuito, un falso contacto y/o daño del cristal. Use un osciloscopio para ver y medir la forma de onda generada por el cristal.

DECODIFICADOR DE DIRECCIONES DE MEMORIA

Conecte U5 como aparece en el diagrama de la Figura 3.6. Seleccione todas las combinaciones de estados lógicos en los terminales 3,2, y 1, y para cada uno compruebe que su terminal de salida correspondiente mantiene un nivel alto o bajo según se tenga puesto el terminal 6 a masa o a Vcc, como lo especifica su tabla de verdad (ver Apéndice F).

7.1.2 Pruebas al módulo de memoria

La prueba de las memorias se puede dejar para cuando se debe realizar la comprobación dinámica de la microcomputadora, en virtud de la cantidad de localidades de memoria que deben ser probadas. Sin embargo, es posible practicar ciertas pruebas a la memoria RAM. Pueden tomarse los integrados empleados, conectarse separadamente y, en forma manual, controlar sus funciones. Alimente y habilite el dispositivo, direcciona una determinada localidad de memoria, manualmente o con ayuda de contadores, y establezca una combinación arbitraria de estados en el bus de datos, después de lo cual aterrizará el terminal R/W. Inhabilite el dispositivo, deje flotando las líneas del bus de datos y eleve el nivel de la línea R/W. Con un voltímetro mida el voltaje del bus de datos; cada una de sus líneas deberá indicar el nivel de voltaje previamente aplicado.

Ahora, inhabilite el componente. El modo de salida triestado impedirá registrar nuevamente las lecturas de voltaje anteriores.

Practicando todo lo anterior a varias localidades de memoria y obteniendo buenos resultados, se concluye que el dispositivo opera normalmente en cuanto a su mecanismo de selección, pero se desconoce el estado de las celdas de memoria no tratadas.

7.1.3 Pruebas al módulo de entrada/salida

Las unidades de interface U14 y U15 se comprueban dinámicamente más adelante.

VISUALIZADORES

Tome cada visualizador y verifique con un multímetro que integre una función para probar diodos, el estado de cada uno de los segmentos. Si todos encienden está en buenas condiciones. En su defecto, esta prueba puede ser realizada aterrizando el cátodo del visualizador y aplicando +5V a cada segmento a través de una resistencia de 330Ω para limitar la corriente.

SECCION DE DECODIFICACION DE TECLA

Conecte las unidades U16, U17 y U18 como se muestra en el diagrama de la Figura 5.2. En lugar de un teclado utilice conductores para simular las teclas; aplique la alimentación. El nivel lógico presente en los terminales 3, 6, 8 y 11 de U18 deberá ser bajo, y alto mientras se mantenga aterrizado el pin 4 de U16. Desconecte la alimentación, espere unos 10 segundos y sustituya U18 por U19 y repita lo anterior solamente para probar el estado operativo de U19, que por ser igual componente que U18 en adelante se considera como tal. Registre el voltaje del pin 11 de U18 para cada tecla que presione. El medidor deberá registrar siempre que se aterrice <<presione>> una entrada de U16 y U17 una transición positiva de nivel (de "0" a "1" lógico). Aterrice dos entradas cualesquiera. Este estado simula la opresión simultánea de dos teclas. Por la característica de prioridad de los decodificadores la salida en los pines 15 de U16 y 8, 6 y 3 de U18 deberá corresponder a la tecla de mayor orden.

Pese a las pruebas realizadas, estas no garantizan el éxito final del sistema. Recuerde que solamente se comprueban algunos subsistemas, y en ciertas funciones, y que la interacción de todos ellos aún no se experimenta. Todavía pueden suscitarse problemas de carga, sincronía, ruido interno y externo, falsos contactos por soldaduras mal hechas, cortocircuitos, circuito abierto, y muchos otros más, producto del paso por las etapas de diseño que

faltan para lograr la construcción de la microcomputadora, como lo son el diseño del circuito impreso, su grabación en tableta (placa) con cobre, fijación de componentes, etc.

No se prueba el sistema completo en tabletas de conexión sin soldadura por motivos prácticos, como imposibilidad de conectar en las tabletas varios elementos y la incomodidad de tener que manejar tanto alambre, etc. Más adelante se discuten otro tipo de pruebas de naturaleza estática y dinámica a realizar en el sistema.

7.2 Implementación, diseño y grabación del circuito impreso

El primer paso para la producción del circuito impreso es la preparación de un dibujo o patrón para su fotografía [30]. En los diagramas de las Figuras 3.2, 3.3, 3.4, 3.6, 3.8, 3.11, 4.3, 4.4, 4.5, 5.2, 5.3 y 5.5, cada componente del sistema está representado, dispuesto y conectado de manera arbitraria. Con base en ellos se elabora un dibujo del sistema tal y como físicamente debe quedar montado y soldado sobre una tableta de material aislante, en donde la conexión entre elementos se establece por medio de pistas o rutas de conducción de cobre. La tableta grabada con el dibujo del sistema en cobre es lo que se conoce como circuito impreso. En estas no deben entrecruzarse las pistas, como sucede en el dibujo hecho en el papel, pues ello representa un cortocircuito. Existen diversos métodos orientados al diseño sistemático de un impreso para lo cual conviene consultar literatura especializada [17].

Actualmente el dibujo es frecuente diseñarlo por computadora, sin embargo, puede hacerse manualmente. El dibujo del circuito se traza con tinta negra sobre un papel blanco o en material transparente de manera que exista un nivel alto de contraste para obtener una buena fotografía. En ocasiones se utilizan cintas especiales para evitar el trazo de líneas con tinta negra. Se recomienda hacer el dibujo en varias veces su tamaño original para que su reducción fotográfica compense cualquier error de diseño [27].

De la fotografía se obtiene un negativo del circuito impreso y, de éste, un positivo, empleados para la impresión en cobre del dibujo por los métodos de emulsión directa o serigráfico, respectivamente.

El sistema en cuestión fue diseñado en dos placas. La primera reúne los módulos del procesador y la memoria -sin respaldo de batería-(Figura 7.2), y la segunda fue dejada para el módulo de entrada/salida (Figura 7.3). Esto se hizo para facilitar la detección de fallas eventuales en el sistema, reducir su tamaño y la complejidad de los impresos. Vea en el Cuadro 7.3, al final del presente capítulo, la designación de los terminales de los conectores J1 a J4 del sistema.

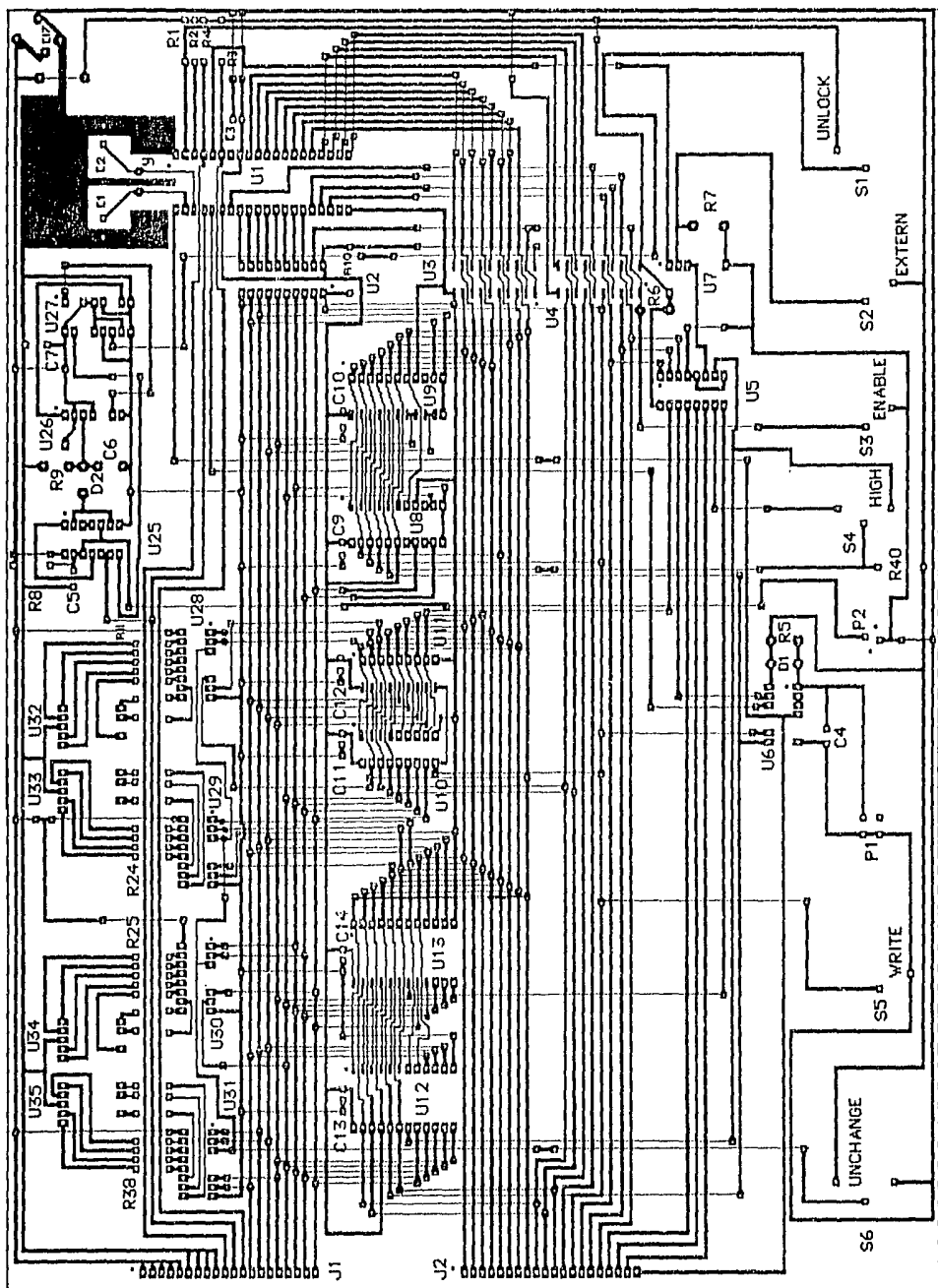


Figura 7.2 Impreso de los módulos de CPU y memoria. [Punto= terminal]

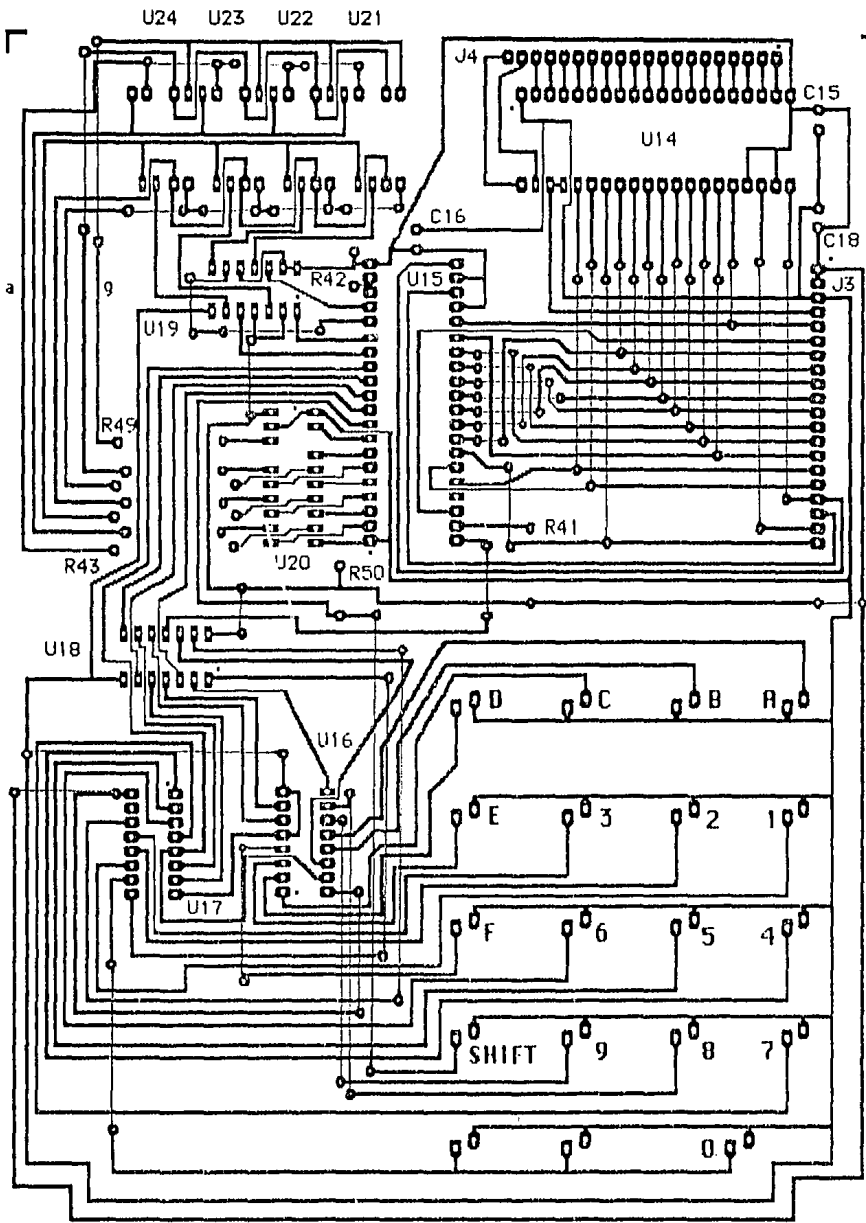


Figura 7.3 Impreso del módulo de Entrada/Salida (Punto=terminal 1)

Debido al gran número de cruces por tableta se hizo necesario utilizar ambas caras de cada placa a fin de poder realizar todas las conexiones requeridas. Las líneas en rojo en las Figuras 7.2 y 7.3 son los conductores de la cara por donde deben montarse los componentes (vista anterior de la placa) y soldarse por la otra (vista posterior de la placa).

Las conexiones de una cara a otra se hicieron por medio de conductores de alambre. Otra alternativa sería por medio de remaches insertados, pero resulta más seguro y efectivo hacerlas por medio del proceso denominado <<plateado pasante>> (through-hole), el cual tiene gran resistencia a choques y vibraciones [27].

El tipo de tableta en que se debe realizar la impresión se recomienda que sea de doble lado, es decir, con cobre en ambas caras de la placa. No obstante, esta máquina se construyó en dos tabletas sencillas utilizando alambres conductores en una de sus caras (vista anterior), para que la construcción resultara más económica y sencilla.

7.2.1 Métodos de impresión

El método de impresión por serigrafía se utiliza para grandes series de producción [27]. A pesar de que el sistema por emulsión directa es más lento y costoso que el anterior, bien puede ser utilizado para la impresión del circuito en la tableta por no ser de producción masiva.

Dedique especial atención a revisar el dibujo del circuito antes de comenzar su impresión en una placa, ya que es frecuente olvidar muy fácilmente una pista u otro detalle o, en su defecto, corregir errores, los que una vez hecha la placa impresa se hacen más evidentes.

Se comienza cortando un trozo de tableta aproximadamente al tamaño del circuito, luego se limpia y desengrasa la superficie de cobre. Seguidamente se aplica al cobre un esmalte sensitivo a la luz (photoresist) y se deja escurrir la tableta hasta que quede una capa seca delgada y uniforme.

Se coloca el negativo firmemente sobre la lámina con el folio de cobre sensibilizado y se hace una exposición de aproximadamente 5 minutos colocando una lámpara a corta distancia. Luego se sumerge la lámina en un recipiente con una solución reveladora que después de pocos minutos disuelve el photoresist de la placa que estaba bajo las partes opacas del negativo (partes no expuestas a la luz). Cuando se retira la lámina del revelador y se

enjuaga con agua fría, queda perfectamente visible el dibujo del circuito.

La lámina, una vez seca, se introduce en otro recipiente con un ácido $FeCl_3$ (cloruro férrico -entre otros- cuya concentración por peso en agua varía de un 28 a un 42%) para remover poco a poco las superficies de cobre que quedaron descubiertas de photoresist. El resultado es una placa de plástico con una impresión de cobre en relieve lista para cortar con sierra y perforar a su tamaño definitivo [27].

7.2.2 Soldadura

El próximo paso es insertar y soldar en cada una de las placas, uno a uno, todos los componentes y, para el caso muy particular del sistema en construcción, soldar los alambres conductores que forman el circuito por una de sus caras.

Durante este proceso evite exponer cualquier componente a elevadas temperaturas por tiempo prolongado para no dañarlo o producir levantamiento de pistas [27]. Verifique, una y otra vez, el componente que va a insertar antes de soldarlo y la forma en que lo ha de hacer, no sea que equivocadamente suelde otro o lo oriente en sentido contrario. No inserte todavía los integrados.

7.2.3 Pruebas al impreso

Al igual que los procesos anteriores, el diseño del impreso está sujeto a errores y por ello requiere de comprobación. Con la vista, y luego con un medidor de continuidad, verifique que ninguna pista esté abierta o en cortocircuito. El uso del medidor es indispensable en la detección de falsos contactos producidos por puntos mal soldados.

Alimente las placas y verifique los voltajes de polarización para cada integrado antes de insertarlos en sus respectivas bases.

7.3 Comprobación dinámica

El sistema completo sólo puede ser probado ejecutando un programa que ejercite dinámicamente todo el hardware. Concretamente, si se puede ejecutar un programa, la microcomputadora funciona [6]. Se trata de una especie de diagnóstico para probar el hardware por medio de software. Muchos programas de comprobación o diagnóstico pueden ser objeto de escritura, sin embargo, un buen ejemplo es suficiente.

El programa que se escribe puede almacenarse en la memoria RAM o EPROM del sistema. Si se graba en las RAM se prescinde inicialmente de la prueba de las EPROM, ya que estas últimas sólo pueden grabarse con un programador especial (de optar por esta alternativa no inserte en la tableta las unidades que corresponden a estas memorias, U12/13).

Debido a la carencia de un programa monitor para la captura de datos por teclado, los datos deben ser escritos en la memoria manualmente o mediante algún otro dispositivo, que bien puede ser una computadora. Si escoge esta última alternativa, simplemente no permita que el procesador del sistema haga uso de los buses, colocando S3 en su posición DISABLE y S2 en EXTERN; conmute S4 (RAM SHIFTER) a la posición HIGH y establezca una tierra común entre los dos sistemas. Ahora puede controlar el bus de datos, la parte baja del bus de direcciones y la línea R/W del sistema para escribir un programa en los últimos 256 bytes de memoria de la microcomputadora.

Manualmente puede valerse de S5 y de contadores para direccionar y establecer datos en memoria o simplemente mediante conductores que conectará a Vcc o a tierra según lo requiera.

Lo más recomendable es evitar las complicaciones anteriores escribiendo un programa para grabarlo en una de las unidades de memoria permanente del sistema, que es lo que seguidamente se hace.

7.3.1 Programa de prueba

El programa de prueba despliega la palabra TEST en los visualizadores manejados por el interfaz paralelo U15 de la unidad de entrada/salida. La palabra aparece letra a letra, recorriéndose de derecha a izquierda, en forma indefinida, como aparece en la Figura 7.4.

1			E	
2		E		
3				E
4		E		
5			E	
6				S
7	E			
8		E		
9			S	
10				E
11	E			
12		S		
13			E	
14	S			
15		E		
16	E			

Figura 7.4 Eventos del programa de prueba.

La ejecución del programa de prueba puede interrumpirse presionando cualesquiera de los pulsadores del teclado, excepto el correspondiente a SHIFT. Su interrupción puede dejar los visualizadores completamente apagados o alguno(s) activo(s) desplegando fijamente una letra. El proceso puede reanudarse presionando el botón de RESET.

Se puede bloquear la actividad del procesador colocando el interruptor HALT en la posición UNLOCK. Al presionar RESET los visualizadores del circuito de paso deberán desplegar 00 8E. 8E es la primera instrucción del programa que se ejecuta y 00 la parte baja de la dirección en que se encuentra dicho dato. Si se presiona una vez el botón STEP, el contenido deberá cambiar a 03 0F, luego 04 86 y así sucesivamente, hasta que se terminen de ejecutar, una a una, todas las instrucciones del programa. La ejecución escalonada del programa que se explica requiere presionar <<infinidad>> de veces el botón de STEP, que no terminaría, debido a la existencia de un ciclo que controla el tiempo de despliegue de cada letra en los visualizadores. Libere la acción del procesador colocando el interruptor HALT en la posición LOCK, para continuar la ejecución del programa.

El programa escrito se presenta en mnemónico y hexadecimal y al lado figura un breve comentario o interpretación de lo que hace por cada línea. En la Figura 7.5 y en el Cuadro 7.1 se consigna el diagrama de flujo y los códigos

del programa que se trata.

Para que la microcomputadora opere como se explica el procesador central debe ser operativo y haberse reinicializado para ejecutar adecuadamente las instrucciones. La lectura/escritura de memorias y registros debe funcionar o el sistema no sabría que hacer. Esto implica que la decodificación de E/S y memoria debe funcionar para poder obtener los datos de memoria y poderlos canalizar al puerto de salida correcto. Finalmente, para que la máquina proporcione una salida y pueda ser interrumpida, el interfaz de E/S debe funcionar correctamente. Por otro lado, si la ejecución escalonada de instrucciones sucede como se dijo, el control de paso debe estar sincronizado con el MPU y libre de rebotes.

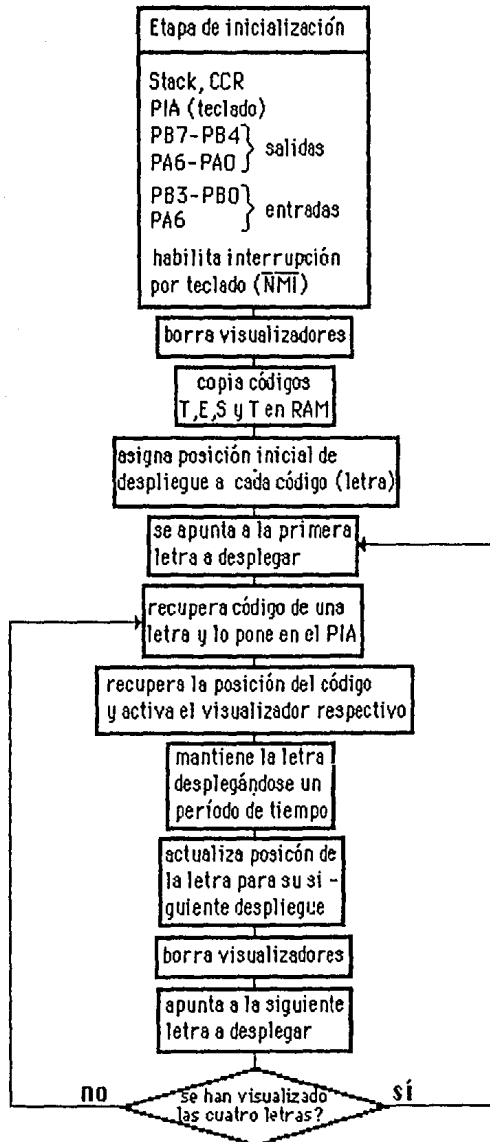


Figura 7.5 Diagrama de flujo del programa de prueba.

Cuadro 7.1 Listado del programa de prueba.

#	ETIQUETA	MNEMONICO	DIRECCION	INSTRUCCION	OPERANDO	COMENTARIO
1		ORG \$F800				
2		LDS *207F	F800	8E	207F	INICIALIZA STACK
3		SEI	F803	0F		BLOQUEA INTERRUP. IRQ.
4		LDAA *\$F0	F804	86	F0	
5		STAA \$4002	F806	B7	4002	PB7-PB4=Salidas PB3-PB0=Entradas
6		LDAA *\$04	F809	86	04	
7		STAA \$4003	F80B	B7	4003	HABILITA NMI, PDRB.
8		LDAA *\$7F	F80E	86	7F	
9		STAA \$4000	F810	B7	4000	PA7=Entrada PA6-PA0=Salidas
10						
11		LDAA *\$07	F813	86	07	
12		STAA \$4001	F815	B7	4001	SELECCIONA PDRA
13		CLRA	F818	4F		
14		STAA \$02	F819	B7	4002	BORRA VISUALIZADORES
15		LDAA *\$78	F81C	86	78	CODIGO DE LA LETRA "T"
16		STAA \$00	F81E	97	00	ALMACENA "T" EN MEMORIA
17		LDAA *\$79	F820	86	79	CODIGO DE LA LETRA "E"
18		STAA \$01	F822	97	01	ALMACENA "E" EN MEMORIA
19		LDAA *\$6D	F824	86	6D	CODIGO DE LA LETRA "S"
20		STAA \$02	F826	97	02	ALMACENA "S" EN MEMORIA
21		LDAA *\$78	F828	86	78	CODIGO DE LA LETRA "T"
22		STAA \$03	F82A	97	03	ALMACENA "T" EN MEMORIA
23		LDAA *\$10	F82C	86	10	
24		STAA \$04	F82E	97	04	POSICION ACTUAL DE "T"
25		LDAA *\$08	F830	86	08	
26		STAA \$05	F832	97	05	POSICION ACTUAL DE "E"
27		LDAA *04	F834	86	04	
28		STAA \$06	F836	97	06	POSICION ACTUAL DE "S"
29		LDAA *02	F838	86	02	
30		STAA \$07	F83A	97	07	POSICION ACTUAL DE "T"
31	BGN	LDX *0000	F83C	CE	0000	SEÑALA LA PRIMERA LETRA A DESPLEGAR
32	RPT	LDAA 0,X	F83F	A6	00	CAPTURA LETRA A DESPLE- GAR.
33		STAA \$4000	F841	B7	4000	PONE LETRA EN EL PIA
34		LDAB 4,X	F844	E6	04	RECUPERA LA POSICION QUE OCUPA LA LETRA EN LOS VI- SUALIZADORES.
35		STAB \$4002	F846	F7	4002	ACTIVA VISUALIZADOR.
36		STX \$08	F849	DF	08	

* ETIQUETA	MNEMONICO	DIRECCION	INSTRUCCION	OPERANDO	COMENTARIO	
37		LDX *\$9FFF	F84B	CE	9FFF	TIEMPO DE PERMANENCIA DE LA LETRA EN LOS VISUALIZADORES.
38	AGN	DEX	F84E	09		
39		BNE AGN	F84F	26	FD	
40		LDX \$08	F851	DE	08	
41		CLC	F853	0C		
42		TSTB	F854	5D		
43		BPL SKP	F855	2A	01	LA LETRA SE DESPLEGO EN TODOS LOS VISUALIZADO - RES? NO, CONTINUE EN SKP SI, INICIE NUEVA ROTACION SELECCIONA SIGUIENTE VISUALIZADOR.
44		SEC	F857	0D		
45	SKP	ROLB	F858	59		
46		CLRA	F859	4F		
47		STAA \$4002	F85A	B7	4002	BORRA VISUALIZADORES.
48		STAB 4,X	F85D	E7	04	ALMACENA EL SIGUIENTE VISUALIZADOR ASIGNADO A LA LETRA.
49		INX	F85F	08		APUNTA LA SIGUIENTE LETRA A DESPLEGAR.
50		CPX *0004	F860	8C	0004	
51		BEQ BGN	F863	27	D7	TODAS LAS LETRAS SE HAN DESPLEGADO? SI, DESPLEGAR NUEVAMENTE.
52		BRA RPT	F865	20	D8	NO, CONTINUAR CON LA SIGUIENTE LETRA.

Nota: Las localidades FFFC, FFFD, FFFE Y FFFF se inicializaron con los datos AO, 00, F8 y 00, respectivamente.

7.4 Problemas digitales

Cierto es que las pruebas realizadas ayudan a indentificar fallas en el sistema pero, ¿a qué se deben y cómo localizarlas?. Esto es algo que conduce a hablar un poco acerca del tratamiento y posibles situaciones de falla.

Las fallas son identificadas y localizadas a través de un proceso de depuración (trouble-shooting) [30]. Para esta labor es necesario contar con sofisticados equipos para la prueba del hardware y el software, la depuración y el análisis. Algunos de los problemas digitales más comunes y el equipo para su detección son abordados a continuación.

7.4.1 Fallas comunes

El incorrecto funcionamiento de un sistema por lo general se debe a fallo de componentes, ruido, errores de software y errores de diseño [30].

FALLO DE COMPONENTES

Todo componente posee un tiempo de vida diferente y limitado según el ambiente en que se encuentre. El fallo de componentes se debe a defecto y limitaciones de fabricación y, sobretodo, al mal uso de los mismos.

La confiabilidad expresa la probabilidad de falla que tiene el componente en las diferentes etapas de su vida. Cabe decir que la mayor parte fallan con más frecuencia cuando nuevos o viejos [30]. De lo anterior se desprende la necesidad de probar los componentes a usar.

RUIDO

El ruido es una de las principales causas de falla en el funcionamiento de sistemas electrónicos digitales. Campos electromagnéticos externos u ondas de radio y televisión producen alteraciones de información en el sistema. A nivel interno puede generarse un rizo en la alimentación debido a cambios en los requerimientos de energía de ciertos componentes y/o por falta de regulación de la fuente, lo que puede afectar otros circuitos del sistema. Además, si dos alambres o pistas se encuentran muy próximos, la acción de transformación entre conductores puede inducir pulsos que provocan datos incorrectos [6,30]. Para evitar lo anterior se trenzan los alambres o se

disponen pistas suficientemente separadas. También es recomendable el uso de condensadores de desacoplo de 0.01 a 0.1 μ f entre +5V y cada tres circuitos integrados y, por supuesto, condensadores electrolíticos a la entrada de cada conexión de c.c. de cada tarjeta [6].

ERRORES DE SOFTWARE

Los errores de software frecuentemente son los más difíciles de identificar y los más comunes en una computadora [30]. Su ocurrencia se debe fundamentalmente al uso de rutinas o programas no probados. Existen diversas técnicas e instrumentos para la prueba y depuración del software.

ERRORES DE DISEÑO

Entre los errores de diseño más comunes se citan el uso inadecuado de componentes por suponer su configuración y/o mala interpretación de sus características y especificaciones eléctricas. Puede entonces, por ejemplo, darse el caso de sobrealimentar un componente, aplicar equivocadamente un voltaje, suponer compatibilidad entre integrados de diferentes familias, utilizar un componente de tipo o valor equivocado, insertar un integrado al revés, olvidar una conexión en el impreso, cortocircuitar dos pistas, y otras tantas cosas más que igualmente son motivo de falla permanente u ocasional en el sistema. Véase en el diagrama de la Figura 7.6 un procedimiento sencillo para encontrar y corregir rápidamente fallas en el sistema.

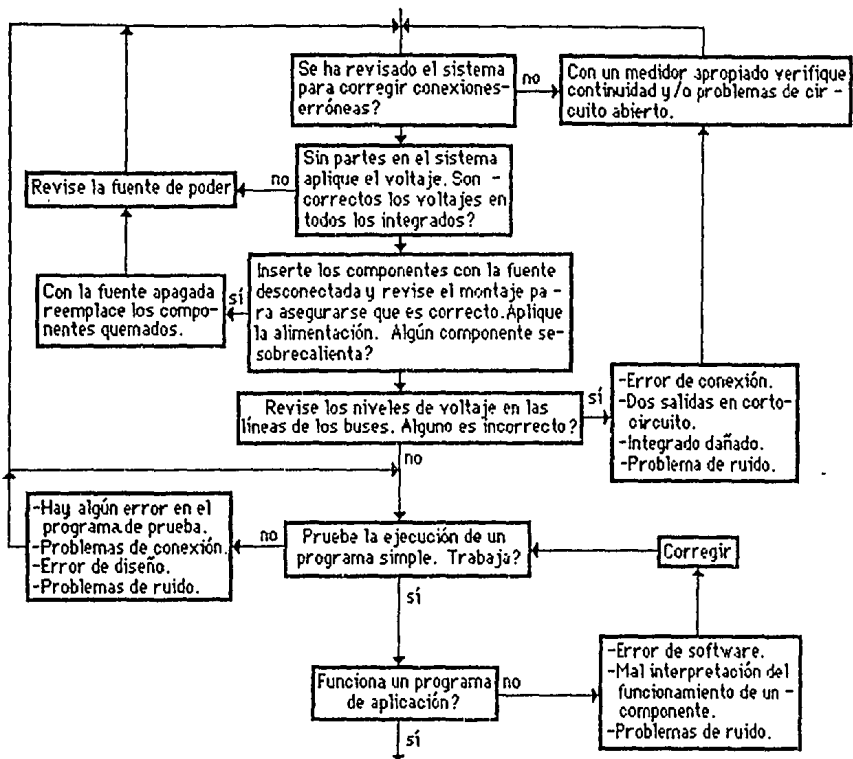


Figura 7.6 Ejemplo de procedimiento de detección y corrección de fallas [30].

7.4.2 Equipo de prueba

Durante el diseño de todo sistema y posteriormente para su mantenimiento existen gran variedad de instrumentos para su depuración. Ya se han mencionado algunos, principalmente aquellos cuya disponibilidad es mayor, sin embargo, ahora se tratan junto con otros, pero esta vez clasificados de acuerdo al tipo de pruebas que soportan.

Para realizar pruebas estáticas pueden utilizarse multímetros para la medición de voltaje, corriente, resistencia y continuidad; probadores lógicos para verificar niveles lógicos rápidamente; medidores de capacidad y trazadores de curvas características de diodos y transistores [30].

Para pruebas de tipo dinámico el osciloscopio es el instrumento más comúnmente utilizado. Los eventos pueden medirse con exactitud en amplitud

y duración, en función del tiempo. Sin embargo, una herramienta más útil en materia digital lo es el analizador lógico. Con este tipo de aparato pueden visualizarse simultáneamente gran cantidad de nodos, v.gr.,32, sin que el sistema experimente problemas de carga o ruido [11,30]. Las señales pueden verse tal cual son, en forma binaria, octal o hexadecimal. Son convenientes en situaciones en donde se hace necesario visualizar en forma conjunta el cambio dinámico de los estados del bus de datos y direcciones, algunas líneas de control del sistema como la de reloj, R/W, y alguna correspondiente a la selección de un integrado, a título de ejemplo. Sus avanzadas funciones de disparo sirven para almacenar y presentar de manera selectiva los datos específicos de interés en cualquier momento. Pueden almacenar un determinado conjunto de señales antes y después de la condición de disparo para su análisis. Son muy útiles para probar las relaciones entre entrada y salida de datos en sistemas en funcionamiento para la comprobación de software, detectar impulsos parásitos, medir tiempos y para aislar problemas de interacción hardware/software. El analizador lógico es un equipo primario para los diseñadores digitales o ingenieros de software [11].

A pesar de la existencia de otros instrumentos, tan útiles como el analizador lógico, cabe señalar que por su elevado costo sólo se encuentran en laboratorios de grandes compañías y universidades. Se concluye que los instrumentos mínimos necesarios son el multímetro y el osciloscopio.

7.5 Consideraciones de costo del sistema

El costo total de la microcomputadora equivale a la suma de todos los gastos incurridos durante el diseño y manufactura del sistema [1]. En este trabajo únicamente se incluye el costo por concepto de partes electrónicas y mecánicas y el costo de fabricación de las tabletas impresas. Comercialmente se incluyen, además, el costo de ensamblaje, prueba y depuración, el trabajo de ingeniería y el costo de desarrollo del software, entre otros factores [1,14]. El costo de la fuente de poder es un gasto adicional que se debe añadir. En el Cuadro 7.2 se da una lista completa de las partes del sistema, su designación en los diagramas eléctricos y su precio en pesos sin incluir el 15 por ciento del impuesto del valor agregado (IVA).

El sistema descrito se comenzó a construir en septiembre de 1985 y para mediados de noviembre de ese mismo año quedó completamente probado y funcionando, a un costo de \$61,342.15. Si bien es cierto que su costo es ahora mayor, en aquel entonces su precio en dólares era aproximadamente de 180, cantidad suficiente para su construcción en el presente.

Cuadro 7.2 Lista de partes del sistema.

* Cantidad	Descripción	Parte	Designación	Precio*
1	1	Microprocesador	MC6802 U1	5130
2	1	8 amplif. bidireccionales	74LS245 U2	610
3	3	8 amplif. unidireccionales	74LS244 U3,U4,U20	575
4	1	decodificador de 3 a 8	74LS138 U5	300
5	1	inversores Schmith trigger	7414 U6	230
6	1	compuertas OR	7432 U7	150
7	2	RAM 256 x 4	2101A U8,U9	700
8	2	RAM 1 K x 4	2114N U10,U11	777
9	2	EPR0M 2k x 8	2716 U12,U13	2450
10	2	PIA	M6821 U14,U15	1580
11	2	codif. octal de prioridad	74148 U16,U17	480
12	3	compuertas NAND	7400 U18,U19,U25	155
13	1	flip-flop tipo D	74LS74 U26	135
14	1	contador binario	CD4516 U27	460
15	4	convertidores binario-hex	9368 U28-U31	1455
16	8	visualizadores cát.común	HD1133R U21-U24 U32-U35	690
17	1	teclado hexadecimal		4800
18	2	baterías tamaño N (1.5V)	MN9100	200
19	6	interrup. 1 polo doble tiro	S1-S6	300
20	3	diodos de germanio	1N60 D1-D3	50
21	2	pulsadores	P1,P2	140
22	6	bases de 14 pines		98
23	8	bases de 16 pines		117
24	2	bases de 18 pines		120
25	4	bases de 20 pines		115
26	2	bases de 22 pines		130
27	4	bases de 24 pines		157
28	4	bases de 40 pines		185
29	1	cristal 4 MHz	Y1	250
30	2	capacitores 27 pf	C1,C2	50
31	12	capacitores 0.1µf	C3,C5-C7 C9-C16	32
32	2	capacitores 470 µf	C17,C18	100
33	1	capacitor 220 µf	C8	80

Cuadro 7.2 Lista de partes del sistema (continuación).

#	Cantidad	Descripción	Parte	Designación	Precio*
34	1	capacitor 4.7 μ f		C4	60
35	4	resistencias 1K Ω , 1/4W, 5%		R7-R9,R39	6
36	3	resistencias 3.3K Ω , 1/4W, 5%		R1-R3	6
37	4	resistencias 10k Ω , 1/4W, 5%		R4,R41,R42,R50	6
38	1	resistencia 22K Ω , 1/4W, 5%		R5	6
39	3	resistencias 4.7K Ω , 1/4W, 5%		R6,R10,R40	6
40	28	resistencias 330 Ω , 1/4W, 5%		R11-R38	6
41	7	resistencias 82 Ω , 1/4W, 5%		R43-R49	6
42	9	soportes plásticos cilíndricos			10
43	9	tornillos y tuercas			4
44	4	conectores de 20 terminales		J1-J4	510
45	1	tableta impresa de cobre 35x25 Cm			4400
46	1	tableta impresa de cobre 21x15 Cm			1600

* A noviembre de 1985.

Cuadro 7.3 Designación de los pines de los conectores.

	J1	J2	J3	J4
1	Vcc	A0	Vcc	CB2
2	Vcc	A1	Vcc	CB1
3	Vcc	A2	GND	PB7
4	Vcc	A3	IRQ'	PB6
5	Vcc	A4	E	PB5
6	GND	A5	NMI'	PB4
7	GND	A6	D0	PB3
8	GND	A7	D1	PB2
9	GND	A8	D2	PB1
10	IRQ'	A9	D3	PB0
11	E	A10	D4	PA7
12	NMI'	A11	D5	PA6
13	D0	R/W'	D6	PA5
14	D1	A13	D7	PA4
15	D2	A14	A0	PA3
16	D3	A15	A1	PA2
17	D4	PIA1'	R/W'	PA1
18	D5	RAM3'	PIA1'	PA0
19	D6	PIA2'	PIA2'	CA2
20	D7	RESET'	RESET'	CA1

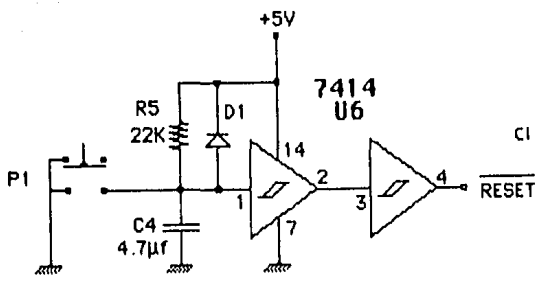


FIGURA 3.3

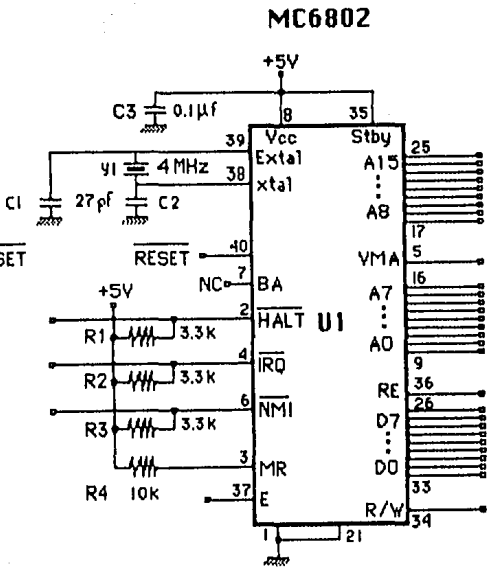
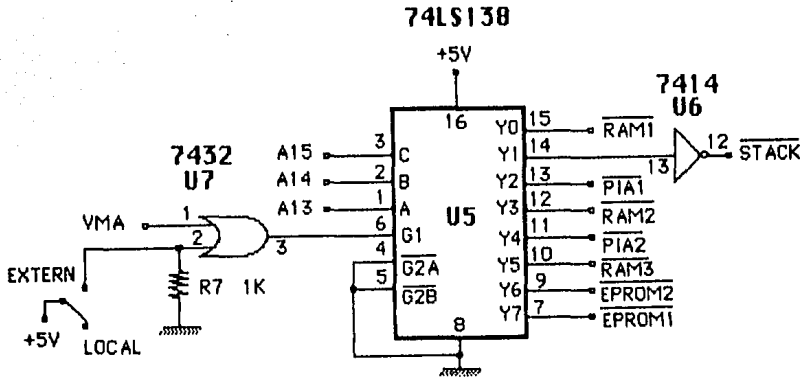


FIGURA 3.2



S2 ADDRESSING CONTROL

FIGURA 3.6

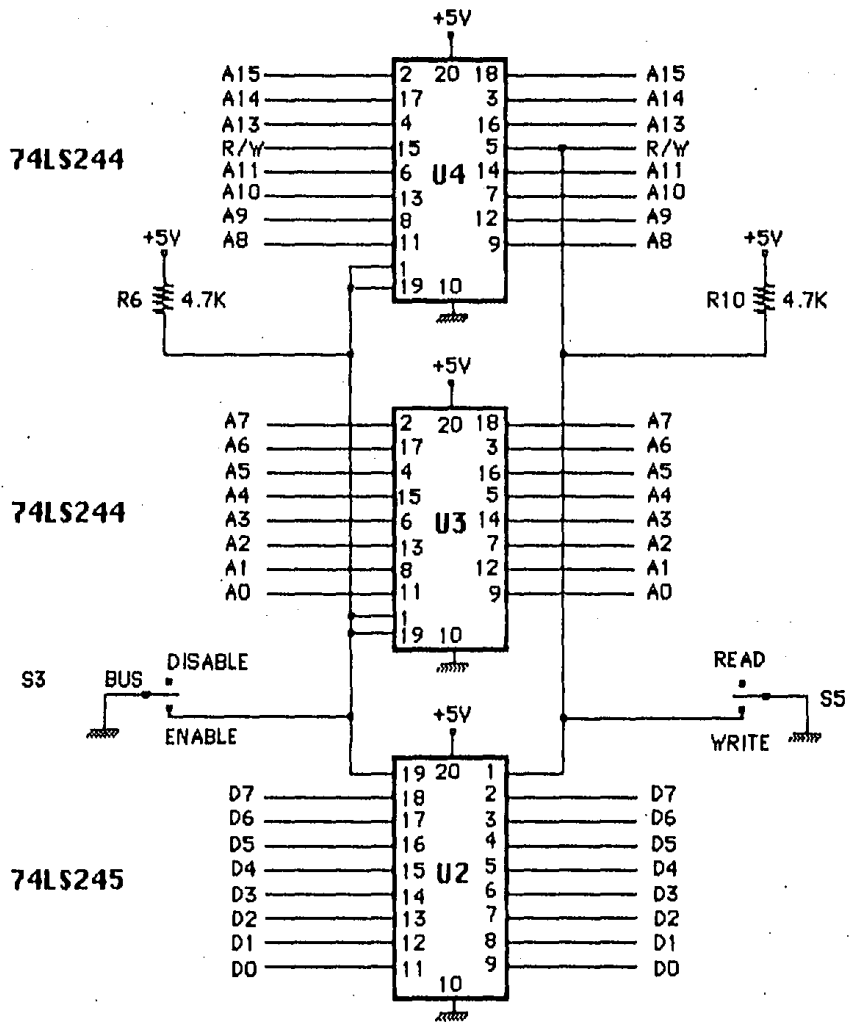


FIGURA 3.4

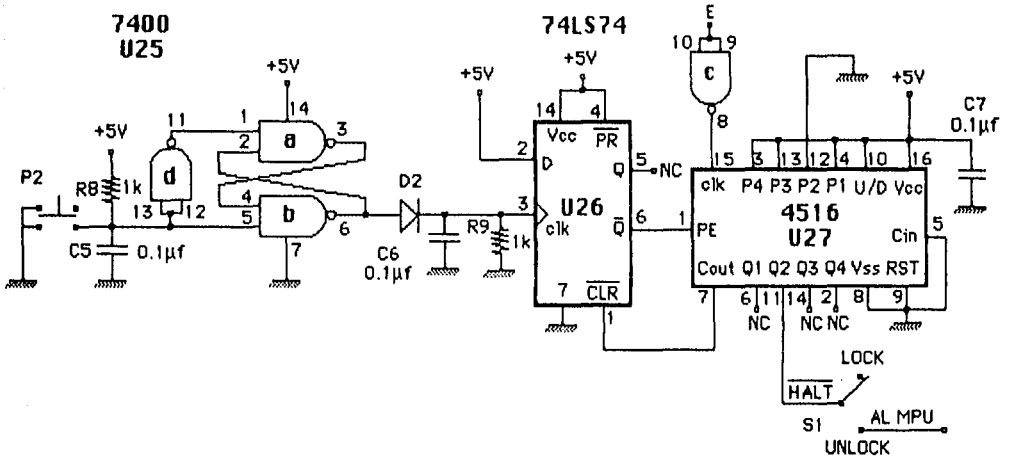
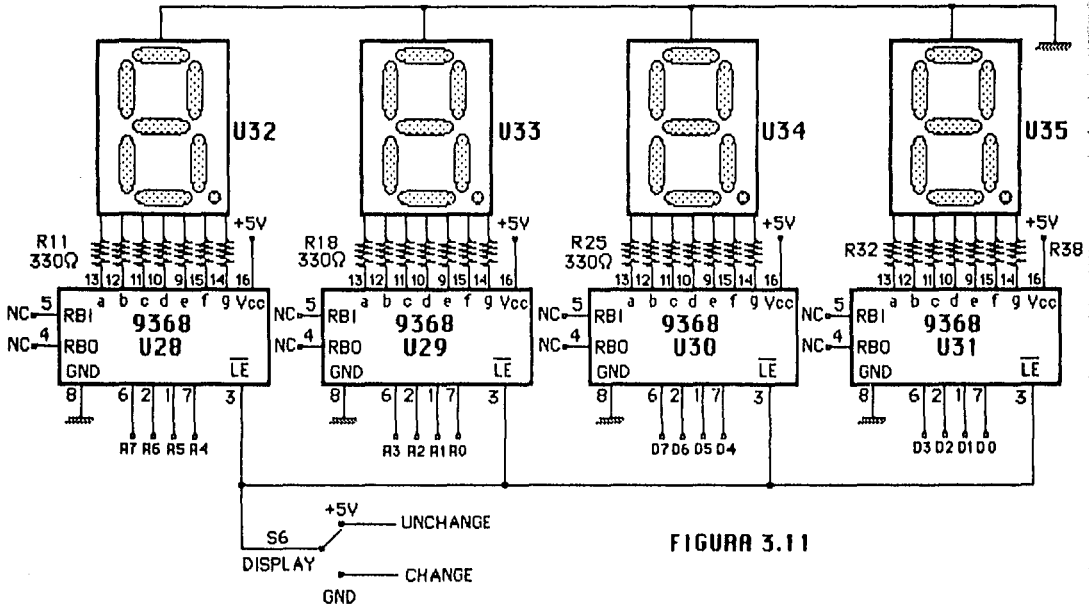


FIGURA 4.3

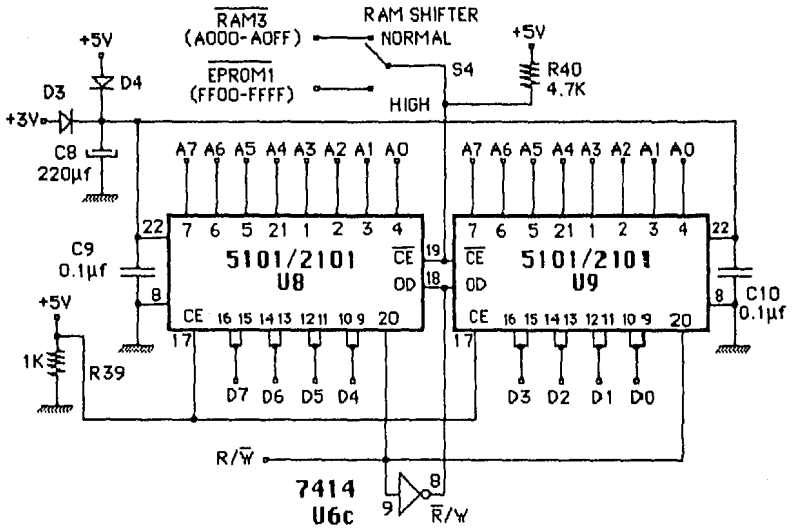


FIGURA 4.4

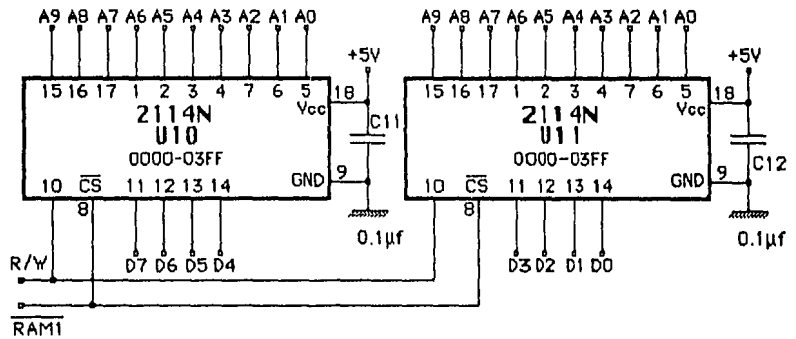
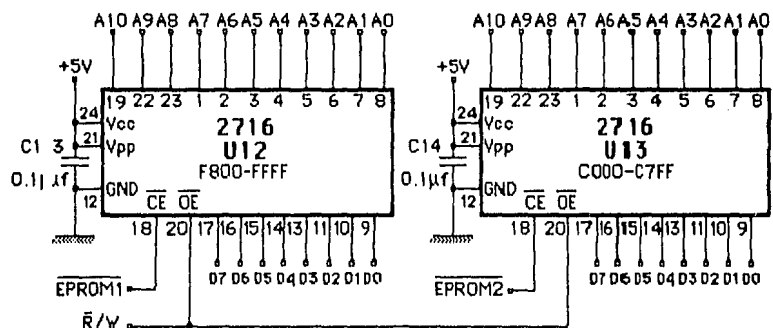


FIGURA 4.5



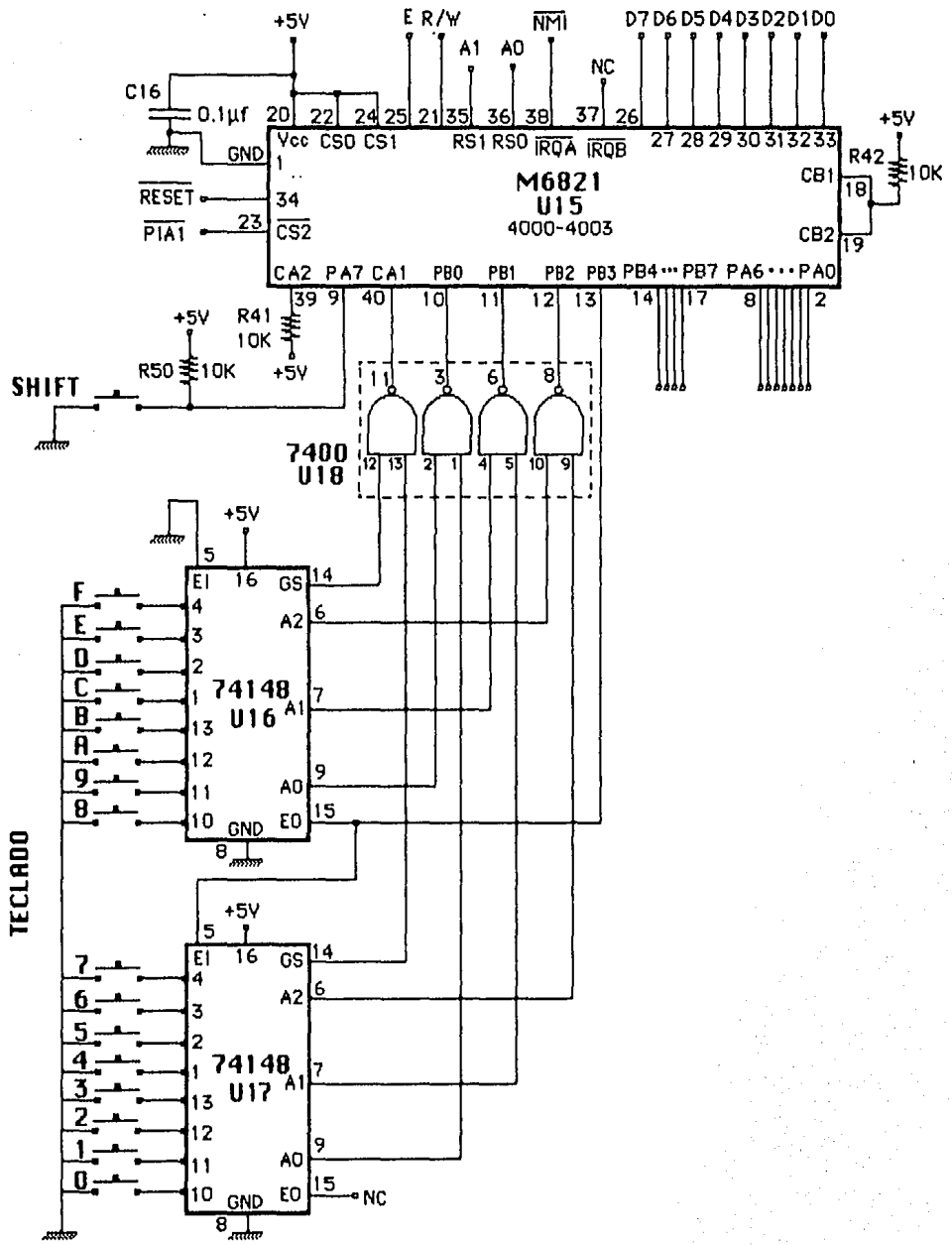


Figura 5.2

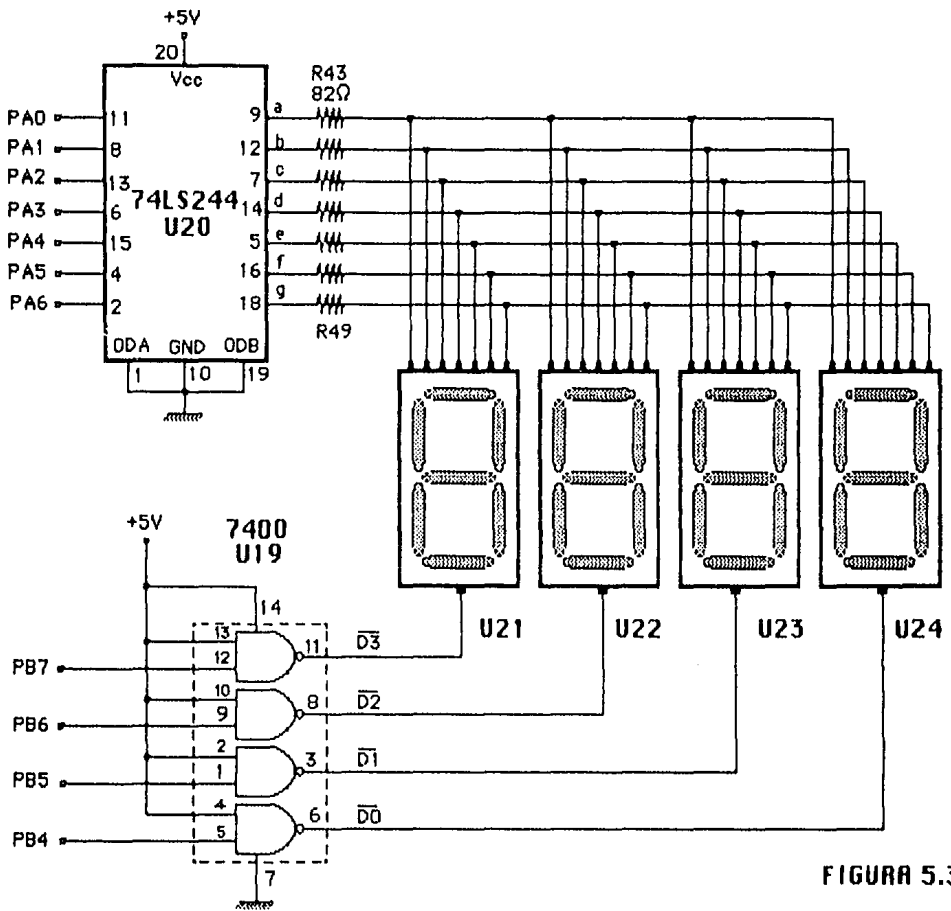


FIGURA 5.3

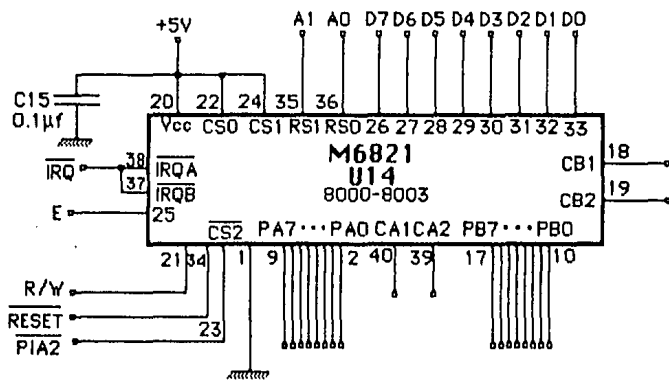


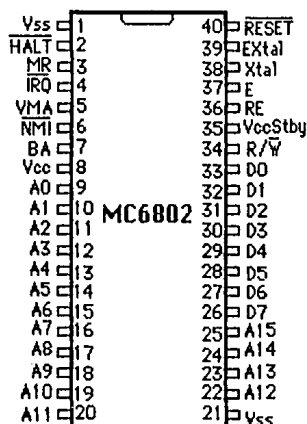
FIGURA 5.5

APENDICE A.

MICROPROCESADOR MC6802 [24]

CARACTERISTICAS

El MC6802 es un procesador cuya longitud de palabra y dirección es de 8 y 16 bits, respectivamente. Posee gran parte de las características del MC6800 además de un circuito de reloj y 128 bytes de RAM en la misma pastilla. La memoria se extiende entre las direcciones 0000 y 001E, cuyos primeros 32 bytes pueden retener la información en un modo de bajo consumo mediante la utilización de Vcc Standby. Es completamente compatible en software y hardware con el MC6800. Ofrece capacidad de interrupción por hardware. Todos sus pines de entrada y salida son compatibles con cargas estándar TTL.



DISTRIBUCION DE LOS PINES DEL MC6802

CARACTERISTICAS ELECTRICAS Y DE TIEMPO

Regímenes máximos absolutos

Voltaje de alimentación Vcc	-0.3 a +7 Vdc
Voltaje de entrada V _{in}	-0.3 a +7 Vdc
Temperatura de operación T _A	0 a 70°C
Temperatura de almacenamiento T _{stg}	-55 a +150°C
Resistencia térmica θ _{JA}	70°C/W

Este dispositivo posee una circuitería para protegerlo contra daño en sus entradas producto de electricidad estática o campos eléctricos; sin embargo, se advierte que deben tomarse precauciones para evitar que los voltajes sobrepasen los valores máximos indicados para este circuito de alta impedancia.

Características eléctricas ($V_{CC}=5.0V \pm 5\%$, $V_{SS}=0$, $T_A=0-70^\circ C$)

Parámetro		Mín.	Típ.	Máx.	Unidad
Voltaje alto de entrada V_{IH}	Lógica, Extal Reset'	$V_{SS}+2$ $V_{SS}+4$		V_{CC} V_{CC}	Vdc
Voltaje bajo de entrada V_{IL}	Lógica, Extal Reset'	$V_{SS}-0.3$ $V_{SS}-0.3$		$V_{SS}+0.8$ $V_{SS}+2.3$	Vdc
Corriente de fuga de entrada I_{in}	Lógica*		1.0	2.5	μA
$(V_{in}=0 \text{ a } 5.25V, V_{CC}=\text{m} \acute{o}x.)$					
Voltaje alto de salida V_{OH}	D0-D7	$V_{SS}+2.4$			Vdc
$(I_L=-205\mu A, V_{CC}=\text{m} \acute{o}x.)$					
Voltaje alto de salida V_{OH}	A0-A15, R/W', VMA, E	$V_{SS}+2.4$			Vdc
$(I_L=-155\mu A, V_{CC}=\text{m} \acute{o}x.)$					
Voltaje alto de salida V_{OH}	BA	$V_{SS}+2.4$			Vdc
$(I_L=-100\mu A, V_{CC}=\text{m} \acute{o}x.)$					
Voltaje bajo de salida V_{OL}				$V_{SS}+0.4$	Vdc
$(I_L=1.6mA, V_{CC}=\text{m} \acute{o}x.)$					
Disipación de potencia P_D **			0.6	1.2	W
Capacitancia *** ($V_{in}=0$, $T_A=25^\circ C$, $f=1.0MHz$)					
C_{in}	D0-D7		1	12.5	pf
Entradas lógicas, Extal					
C_{out}	A0-A15, R/W', VMA		6.5	10	pf
Frecuencia de operación (reloj de entrada $\div 4$) f					
Frecuencia del cristal f_{Xtal}		0.1		1.0	MHz
Tiempo de ciclo del reloj t_{cyc}					
		1.0		10	μs
Ancho del pulso de reloj (medido a 2.4V) PW_{BHs}, PW_{BL}					
		450		9500	ns
Tiempo de bajada (medido entre $V_{SS}+0.4$ y $V_{SS}+2.4V$) t_B					
				25	ns

* Excepto IRQ' y NMI', que requieren una resistencia de pullup de $3K\Omega$ para su óptima operación. No incluye Extal y Xtal, las cuales son entradas del cristal.

** En modo de reposo la máxima disipación de potencia es menor a 40mW.

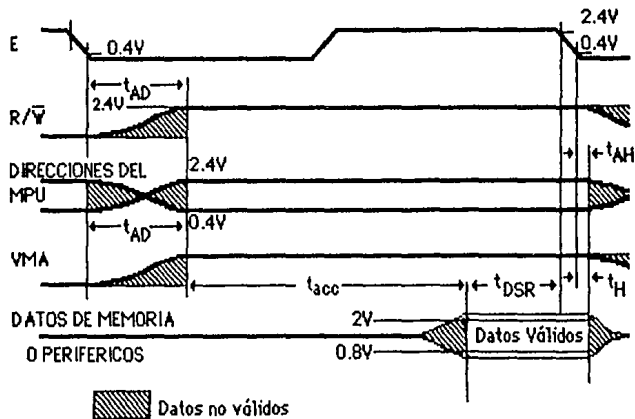
*** La capacitancia es periódicamente muestreada por lo que no es probada al 100%.

Tiempos de lectura/escritura

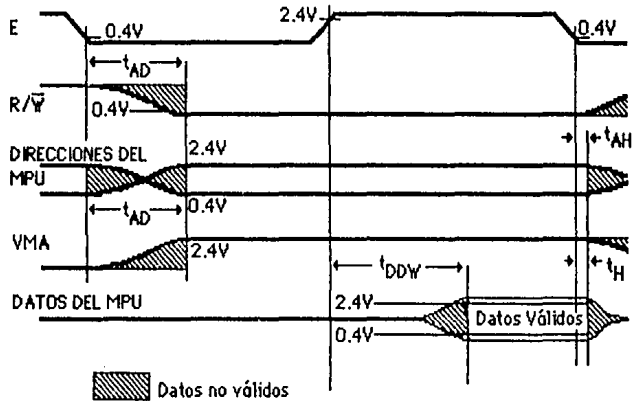
Parámetro	Mín.	Típ.	Máx.	Unidad
Retardo de dirección t_{AD}			270	ns
Tiempo de acceso de lectura de periféricos t_{acc}			530	ns
$t_{acc} = t_{ut} - (t_{AD} + t_{DSR})$ [$t_{ut} = t_{cyc} - t_B$]				
Tiempo de Datos en alto (lectura) t_{DSR}	100			ns
Tiempo de retención de datos de entrada t_H	10			ns
Tiempo de retención de datos de salida t_H	30			ns
Tiempo de mantenimiento de dirección (direcciones, R/W', VMA) t_{AH}	20			ns
Tiempo de propagación de datos (escritura) t_{DDW}		165	225	ns
Tiempo para la actividad de las señales de control del MPU t_{PCS}	200			ns
Tiempos de subida y bajada de las señales de control del MPU (medidos entre 0.8V y 2.0 V) t_{PCr}, t_{PCf}			100	ns

FORMAS DE ONDA

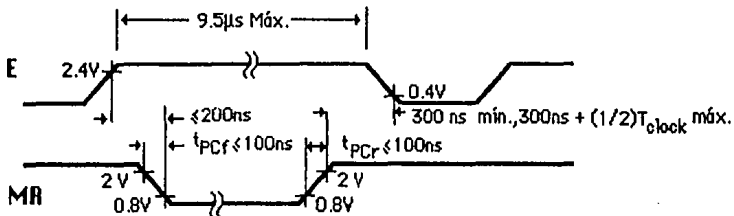
Lectura de datos de memorias o periféricos



Escritura de datos en memorias o periféricos



Función de control Memory Ready



DESCRIPCION DE LAS SEÑALES DEL MPU

Bus de direcciones (A0-A15)

El bus de direcciones se compone de 16 líneas de salida que pueden manipular una carga estándar TTL y 90 pf.

Bus de datos (D0-D7)

El bus de datos se compone de 8 líneas bidireccionales que poseen las características de entrar en el tercer estado (alta impedancia de salida) cuando el procesador se bloquea. Pueden manejar una carga estándar TTL y 130pf a 1 MHz.

Este bus estará en modo de salida siempre que se haga referencia a la RAM interna para prohibir la entrada externa de datos al MPU.

HALT'

Cuando esta entrada está en estado bajo, toda actividad del procesador es bloqueada. Esta entrada responde a cambios de nivel. En modo HALT el procesador detendrá su actividad al final de una instrucción con lo cual Bus Available entrará en un estado alto y Valid Memory Address en un estado bajo. El bus de direcciones contendrá la dirección de la siguiente instrucción a ejecutar.

Para asegurar la ejecución de una sola instrucción, la transición en esta línea no debe ocurrir durante los últimos 200 ns de E; la línea deberá elevarse de nivel por un ciclo de reloj.

Esta línea deberá conectarse a un nivel alto en caso de no usarse. Esto es una buena práctica de ingeniería en diseño y en general es necesaria para asegurar la buena operación del dispositivo.

Read/Write' (R/W')

Esta salida compatible con TTL indica a dispositivos periféricos y de memoria cuándo el MPU se encuentra en un estado de lectura (nivel alto) o escritura (nivel bajo). Cuando el procesador esté bloqueado, estará en un estado "1" lógico. Esta salida es capaz de manejar una carga estándar TTL y 90 pf.

Valid Memory Address (UMA)

Esta salida indica a dispositivos periféricos la existencia de una dirección válida en el bus de direcciones. En condiciones normales de operación esta señal debe ser utilizada para habilitar dispositivos periféricos de interface tal como un PIA o un ACIA. Esta señal no posee el tercer estado. Puede manejar directamente una carga estándar TTL y 90 pf.

Bus Available (BA)

La señal Bus Available normalmente presenta un nivel bajo; cuando está activa exhibe un nivel alto para indicar que el procesador ha detenido su operación y el bus de direcciones se encuentra disponible (pero no en la condición del tercer estado). Esto ocurre si la línea de HALT' está en un estado bajo o el procesador se encuentra en un estado de espera como resultado de la ejecución de la instrucción WAIT. En este momento, todos los manipuladores del tercer estado de salida entran a su estado apagado (OFF STATE) y otras salidas a su estado normal de inactividad. El procesador será removido de su estado WAIT por la ocurrencia de una interrupción por hardware. Esta salida es capaz de manejar una carga estándar TTL y 30 pF.

Interrupt Request' (IRQ')

Esta entrada que responde a cambios negativos de nivel solicita la generación de una secuencia de interrupción dentro del procesador. El procesador atiende la interrupción hasta que haya completado la instrucción que ejecutaba en el momento de la solicitud. En este momento, si la máscara de interrupción del Registro de Códigos Condicionales no está puesta, el dispositivo dará comienzo a la secuencia de interrupción. El registro índice, el contador de programa, los acumuladores y el registro de códigos condicionales son almacenados en el stack del sistema. Seguidamente el MPU responde a la interrupción poniendo en "1" la máscara de interrupción para prohibir otras de ellas. Al final del ciclo una dirección de 16 bits será cargada para apuntar a un vector en memoria (FFF8-FFFF) cuyo contenido indica al MPU la dirección de un segmento de programa encargado de atender la interrupción.

La línea HALT' debe estar en un estado alto para que las interrupciones puedan ser atendidas. Las interrupciones son registradas internamente mientras HALT' está en un nivel bajo.

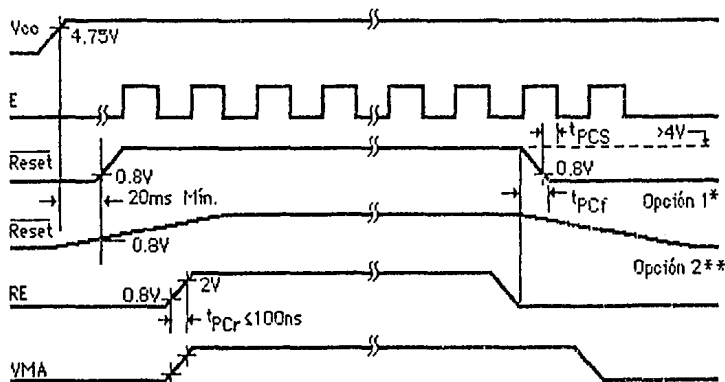
La línea IRQ' tiene un elemento de pullup de alta impedancia interno al chip; sin embargo, una resistencia externa de 3K Ω conectada a Vcc debe usarse para una conexión OR y un óptimo control de las interrupciones.

Reset'

Esta entrada es usada para establecer el modo de arranque inicial del procesador como resultado de fallas en la alimentación o el encendido del sistema. Cuando esta línea posee un nivel bajo, el MPU está inactivo y la información de sus registros perdida. Si un nivel alto es detectado en esta entrada, se indica al MPU que debe dar comienzo a una secuencia de inicio. Esto comienza la ejecución de una rutina que establece las condiciones iniciales de operación del procesador y dispositivos a él conectados. Las líneas de dirección de más alto orden son forzadas a entrar en un estado alto y el contenido de las localidades FFFF-FFFF es cargado para indicar el comienzo de dicha rutina. Durante la ejecución de dicha rutina el bit de interrupción es puesto a "1" y debe ser borrado antes que el MPU pueda ser interrumpido mediante la línea IRQ'.

Cuando se baja el nivel en esta línea debe mantenerse en tal estado por al menos tres ciclos completos de reloj. Esto permite al MC6802 el tiempo adecuado para responder internamente a la señal de RESET'. Esto es independiente de los 20 ms de tiempo que la señal de RESET' debe aplicarse durante el encendido del MPU.

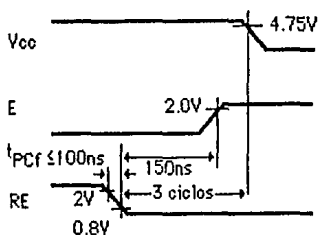
Cuando esta señal es liberada debe ir a un nivel alto sin oscilaciones que causen la identificación errónea de una señal de RESET', de lo contrario, puede darse una operación impropia del MPU hasta la siguiente señal de RESET' válida.



* Si se escoge la opción 1, los pines de RESET' y RE pueden conectarse juntos.

** Ver diagrama siguiente para la condición de corte de alimentación (apagado).

Diagrama de tiempo de encendido y RESET'



Secuencia de corte de alimentación

Non-Maskable Interrupt (NMI')

La ocurrencia de un flanco negativo en la entrada NMI' solicita al procesador la generación de una interrupción. El procesador completa la instrucción que ejecutaba al momento de tal solicitud y prescindiendo del estado del bit de interrupción en el registro de códigos condicionales da comienzo a una interrupción.

El registro índice, el contador de programa, los acumuladores y el registro de códigos condicionales son almacenados en el stack del sistema. Al final del ciclo, una dirección de 16 bits será cargada para apuntar a un vector en memoria (FFFC-FFFD) cuyo contenido proporcionará al procesador la primera instrucción de un rutina encargada de atender la interrupción.

Esta línea posee un elemento de pullup de alta impedancia interno al chip, sin embargo, una resistencia externa de $3K\Omega$ conectada a Vcc debe usarse para el control óptimo de las interrupciones.

Las entradas IRQ' y NMI' son líneas de interrupción por hardware que son muestreadas cuando E está en el nivel alto para comenzar la rutina de interrupción en el nivel bajo de E que sigue a la completa ejecución de una instrucción.

NMI' debe conectarse a un alto nivel en caso de no usarse. Esto es buena práctica de ingeniería en diseño y en general es necesario para asegurar el correcto funcionamiento del dispositivo.

Mapa de memoria para los vectores de interrupción

Vector	Descripción
FFFE-FFFF	RESET'
FFFC-FFFD	NMI'
FFFA-FFFB	INTERRUPCION POR SOFTWARE
FFF8-FFF9	IRQ'

Ram Enable (RE)

La entrada RAM ENABLE (compatible con TTL) controla la habilitación de la RAM interna del MC6802. Cuando posee un nivel alto la memoria responde al control del MPU. Este pin es utilizado también para inhabilitar operaciones de lectura y escritura a la memoria en situaciones de corte de la alimentación (RE debe estar en bajo nivel durante tres ciclos de reloj antes que Vcc baje de 4.75V cuando se apaga la alimentación).

RE debe conectarse a un estado alto o bajo según se requiera en caso de no usarse. Esta es una buena práctica de ingeniería en diseño y en general es necesaria para asegurar la operación adecuada del dispositivo.

Extal y Htal

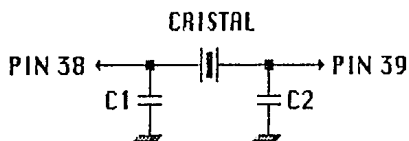
El MC6802 tiene un oscilador interno que puede ser controlado por medio de un cristal. Estas conexiones son para un cristal de resonancia fundamental paralela. Un circuito divisor por cuatro ha sido añadido de manera que un cristal de 4 MHz puede ser usado en lugar de uno de 1 MHz para un sistema con una mejor relación costo-beneficio. El pin 39 del MPU puede ser manejado externamente por un señal de entrada TTL si un reloj separado es requerido. El pin 38 debe mantenerse abierto en este modo de operación.

Un arreglo RC no se puede usar directamente como fuente de señal en los pines 38 y 39. Un oscilador RC tipo TTL o CMOS puede trabajar bien en la medida que pueda manejar el MC6802.

Arreglos de tipo LC no son recomendados para ser usados en lugar del cristal. Simulaciones de las características del cristal con componentes discretos no han sido investigadas. Además, probablemente resulte más caro que usar un cristal. El funcionamiento igualmente no se espera que sea el mejor.

Si es usado un reloj externo, este no debe permanecer inactivo por más de 4.5 μ s; el MC6802 es un dispositivo dinámico a excepción de su RAM interna por lo que requiere del reloj externo para mantener la información.

La figura siguiente muestra la forma en que debe conectarse el cristal entre los pines 38 y 39 del MPU. En la tabla adjunta se tienen los valores de los capacitores C1 y C2 para diferentes frecuencias del cristal. Los valores de los capacitores para las frecuencias no mostradas entre 1.0 MHz y 4 MHz pueden ser obtenidos por medio de interpolaciones a partir de la tabla.



Conexión del cristal en el MC6802

FRECUENCIA C1 - C2
DEL CRISTAL

4 MHz	27pf
3.58 MHz	27pf
3 MHz	27pf
2.5 MHz	27pf
2 MHz	33pf
1.5 MHz	39pf
1 MHz	39pf

Memory Ready (MR)

MR es una entrada compatible con TTL que permite el alargamiento de la señal E. Cuando MR está en un nivel alto la señal E está operando normalmente. Cuando MR está en un nivel bajo, E puede sufrir alargamientos múltiples integrales de medios periodos para permitir el funcionamiento del MPU con dispositivos de memoria lentos.

MR debe conectarse a un alto nivel en caso de no usarse. Esto es una buena práctica de diseño en ingeniería y en general es necesario para asegurar el buen funcionamiento del MPU. El alargamiento máximo de la señal E es de 10 μ s.

Enable (E)

Este pin provee el reloj para el MPU y el resto del sistema. Es un reloj de fase simple compatible con TTL. Este reloj está condicionado a la señal Memory Ready. Esta señal es equivalente a la señal \bar{x}_2 del MC6800.

Vcc Standby (Rango de 4.0V a 5.25V)

Este pin provee el voltaje de d.c. para los primeros 32 bytes de la memoria interna al procesador así como también para la lógica de control de dicha memoria. De esta manera se logra retener la información en dicha parte de la memoria. La máxima cantidad de corriente que se puede drenar a 5.25V es de 8mA.

JUEGO DE INSTRUCCIONES DEL MC6802

MNEMONICO	CODIGO	DESCRIPCION	MODO	~	#	CCR					
						5	4	3	2	1	0
NOP	01	NO OPERATION	INHERENTE	2	1	*	*	*	*	*	*
TAP	06	A TO CCR	INHERENTE	2	1	-----12-----					
TPA	07	CCR TO A	INHERENTE	2	1	*	*	*	*	*	*
INX	08	INCREMENT IX	INHERENTE	4	1	*	*	*	◇	*	*
DEX	09	DECREMENT IX	INHERENTE	4	1	*	*	*	◇	*	*
CLY	0A	CLEAR OVERFLOW	INHERENTE	2	1	*	*	*	*	R	*
SEY	0B	SET OVERFLOW	INHERENTE	2	1	*	*	*	*	S	*
CLC	0C	CLEAR CARRY	INHERENTE	2	1	*	*	*	*	*	R
SEC	0D	SET CARRY	INHERENTE	2	1	*	*	*	*	*	S
CLI	0E	CLEAR INTERRUPT MASK	INHERENTE	2	1	*	R	*	*	*	*
SEI	0F	SET INTERRUPT MASK	INHERENTE	2	1	*	S	*	*	*	*
SBA	10	SUBSTRACT ACCUMULATORS	INHERENTE	2	1	*	*	◇	◇	◇	◇
CBA	11	COMPARE ACCUMULATORS	INHERENTE	2	1	*	*	◇	◇	◇	◇
TAB	16	TRANSFER A TO B	INHERENTE	2	1	*	*	◇	◇	R	*
TBA	17	TRANSFER B TO A	INHERENTE	2	1	*	*	◇	◇	R	*
DAA	19	DECIMAL ADJUST A	INHERENTE	2	1	*	*	◇	◇	◇	3
ABA	1B	ADD ACCUMULATORS	INHERENTE	2	1	◇	*	◇	◇	◇	◇
BRA	20	BRANCH ALWAYS	RELATIVO	4	2	*	*	*	*	*	*
BHI	22	BRANCH IF HIGHER	RELATIVO	4	2	*	*	*	*	*	*
BLS	23	BRANCH IF LOWER OR SAME	RELATIVO	4	2	*	*	*	*	*	*
BCC	24	BRANCH IF CARRY CLEAR	RELATIVO	4	2	*	*	*	*	*	*
BCS	25	BRANCH IF CARRY SET	RELATIVO	4	2	*	*	*	*	*	*
BNE	26	BRANCH IF NOT EQUAL ZERO	RELATIVO	4	2	*	*	*	*	*	*
BEQ	27	BRANCH IF = ZERO	RELATIVO	4	2	*	*	*	*	*	*
BYC	28	BRANCH IF OVERFLOW CLEAR	RELATIVO	4	2	*	*	*	*	*	*
BYS	29	BRANCH IF OVERFLOW SET	RELATIVO	4	2	*	*	*	*	*	*
BPL	2A	BRANCH IF PLUS	RELATIVO	4	2	*	*	*	*	*	*
BMI	2B	BRANCH IF MINUS	RELATIVO	4	2	*	*	*	*	*	*
BGE	2C	BRANCH IF ≥ ZERO	RELATIVO	4	2	*	*	*	*	*	*
BLT	2D	BRANCH IF < ZERO	RELATIVO	4	2	*	*	*	*	*	*

JUEGO DE INSTRUCCIONES DEL MC6802 (CONTINUACION)

MNEMONICO	CODIGO	DESCRIPCION	MODO	~	#	CCR					
						5	4	3	2	1	0
BGT	2E	BRANCH IF > ZERO	RELATIVO	4	2	*	*	*	*	*	*
BLE	2F	BRANCH IF ≤ ZERO	RELATIVO	4	2	*	*	*	*	*	*
TSX	30	SP TO IX	INHERENTE	4	1	*	*	*	*	*	*
INS	31	INCREMENT SP	INHERENTE	4	1	*	*	*	*	*	*
PULA	32	PULL A ON STACK	INHERENTE	4	1	*	*	*	*	*	*
PULB	33	PULL B ON STACK	INHERENTE	4	1	*	*	*	*	*	*
DES	34	DECREMENTE SP	INHERENTE	4	1	*	*	*	*	*	*
TXS	35	IX TO SP	INHERENTE	4	1	*	*	*	*	*	*
PSHA	36	PUSH A ON STACK	INHERENTE	4	1	*	*	*	*	*	*
PSHB	37	PUSH B ON STACK	INHERENTE	4	1	*	*	*	*	*	*
RTS	39	RETURN FROM SUBROUTINE	INHERENTE	5	1	*	*	*	*	*	*
RTI	3B	RETURN FROM INTERRUPT	INHERENTE	10	1	-----10-----					
WAI	3E	WAIT FOR INTERRUPT	INHERENTE	9	1	*	11	*	*	*	*
SWI	3F	SOFTWARE INTERRUPT	INHERENTE	12	1	*	S	*	*	*	*
NEGA	40	NEGATE A (2 nd COMPLEMENT)	INHERENTE	2	1	*	*	◇	◇	1	2
COMA	43	1 st COMPLEMENT A	INHERENTE	2	1	*	*	◇	◇	R	S
LSRA	44	LOGICAL SHIFT RIGHT A	INHERENTE	2	1	*	*	R	◇	6	◇
RORA	46	ROTATE RIGHT A	INHERENTE	2	1	*	*	R	◇	6	◇
ASRA	47	ARITHMETIC SHIFT RIGHT A	INHERENTE	2	1	*	*	R	◇	6	◇
ASLA	48	ARITHMETIC SHIFT LEFT A	INHERENTE	2	1	*	*	◇	◇	6	◇
ROLA	49	ROTATE LEFT A	INHERENTE	2	1	*	*	◇	◇	6	◇
DECA	4A	DECREMENT A	INHERENTE	2	1	*	*	◇	◇	4	*
INCA	4C	INCREMENT A	INHERENTE	2	1	*	*	◇	◇	5	*
TSTA	4D	TEST, ZERO OR MINUS IN A	INHERENTE	2	1	*	*	◇	◇	R	R
CLRA	4F	CLEAR A	INHERENTE	2	1	*	*	R	S	R	R
NEGB	50	NEGATE B (2 nd COMPLEMENT)	INHERENTE	2	1	*	*	◇	◇	1	2
COMB	53	1 st COMPLEMENT OF B	INHERENTE	2	1	*	*	◇	◇	R	S
LSRB	54	LOGICAL SHIFT RIGHT B	INHERENTE	2	1	*	*	R	◇	6	◇
RORB	56	ROTATE RIGHT B	INHERENTE	2	1	*	*	◇	◇	6	◇
ASRB	57	ARITHMETIC SHIFT RIGHT B	INHERENTE	2	1	*	*	◇	◇	6	◇

JUEGO DE INSTRUCCIONES DEL MC6802 (CONTINUACION)

MNEMONICO	CODIGO	DESCRIPCION	MODO	~	#	CCR						
						5	4	3	2	1	0	
ASLB	58	ARITH. SHIFT LEFT B	INHERENTE	2	1	*	*	◇	◇	6	◇	
ROLB	59	ROTATE LEFT B	INHERENTE	2	1	*	*	◇	◇	6	◇	
DECB	5A	DECREMENT B	INHERENTE	2	1	*	*	◇	◇	4	*	
INCB	5C	INCREMENT B	INHERENTE	2	1	*	*	◇	◇	5	*	
TSTB	5D	TEST, ZERO OR MINUS IN B	INHERENTE	2	1	*	*	◇	◇	R	R	
CLRB	5F	CLEAR B	INHERENTE	2	1	*	*	R	S	R	R	
NEG	60	NEGATE	INDEXADO	7	2	*	*	◇	◇	1	2	
COM	63	1 st COMPLEMENT	INDEXADO	7	2	*	*	◇	◇	R	S	
LSR	64	LOGICAL SHIFT RIGHT	INDEXADO	7	2	*	*	R	◇	6	◇	
ROR	66	ROTATE RIGHT	INDEXADO	7	2	*	*	◇	◇	6	◇	
ASR	67	ARITH. SHIFT RIGHT	INDEXADO	7	2	*	*	◇	◇	6	◇	
ASL	68	ARITH. SHIFT LEFT	INDEXADO	7	2	*	*	◇	◇	6	◇	
ROL	69	ROTATE LEFT	INDEXADO	7	2	*	*	◇	◇	6	◇	
DEC	6A	DECREMENT	INDEXADO	7	2	*	*	◇	◇	4	*	
INC	6C	INCREMENT	INDEXADO	7	2	*	*	◇	◇	5	*	
TST	6D	TEST, ZERO OR MINUS	INDEXADO	7	2	*	*	◇	◇	R	R	
JMP	6E	JUMP	INDEXADO	4	2	*	*	*	*	*	*	
CLR	6F	CLEAR	INDEXADO	7	2	*	*	R	S	R	R	
NEG	70	NEGATE	EXTENDIDO	6	3	*	*	◇	◇	1	2	
COM	73	1 st COMPLEMENT	EXTENDIDO	6	3	*	*	◇	◇	R	S	
LSR	74	LOGICAL SHIFT RIGHT	EXTENDIDO	6	3	*	*	R	◇	6	◇	
ROR	76	ROTATE RIGHT	EXTENDIDO	6	3	*	*	◇	◇	6	◇	
ASR	77	ARITH. SHIFT RIGHT	EXTENDIDO	6	3	*	*	◇	◇	6	◇	
ASL	78	ARITH. SHIFT LEFT	EXTENDIDO	6	3	*	*	◇	◇	6	◇	
ROL	79	ROTATE LEFT	EXTENDIDO	6	3	*	*	◇	◇	6	◇	
DEC	7A	DECREMENT	EXTENDIDO	6	3	*	*	◇	◇	4	*	
INC	7C	INCREMENT	EXTENDIDO	6	3	*	*	◇	◇	5	*	
TST	7D	TEST, ZERO OR MINUS	EXTENDIDO	6	3	*	*	◇	◇	R	R	
JMP	7E	JUMP	EXTENDIDO	3	3	*	*	*	*	*	*	
CLR	7F	CLEAR	EXTENDIDO	6	3	*	*	R	S	R	R	
SUBA	80	SUBSTRACT	INMEDIATO	2	2	*	*	◇	◇	◇	◇	
CMPA	81	COMPARE	INMEDIATO	2	2	*	*	◇	◇	◇	◇	
SBCA	82	SUBSTRACT WIHT CARRY	INMEDIATO	2	2	*	*	◇	◇	◇	◇	
ANDA	84	LOGIAL AND A	INMEDIATO	2	2	*	*	◇	◇	R	*	
BITA	85	BIT TEST A	INMEDIATO	2	2	*	*	◇	◇	R	*	
LDAA	86	LOAD A	INMEDIATO	2	2	*	*	◇	◇	R	*	
EORA	88	EXCLUSIVE OR A	INMEDIATO	2	2	*	*	◇	◇	R	*	
ADCA	89	ADD WITH CARRY	INMEDIATO	2	2	◇	*	◇	◇	◇	◇	
ORAA	8A	INCLUSIVE OR A	INMEDIATO	2	2	*	*	◇	◇	R	*	

JUEGO DE INSTRUCCIONES DEL MC6802 (CONTINUACION)

MNEMONICO	CODIGO	DESCRIPCION	MODO	~	#	CCR					
						5	4	3	2	1	0
ADDA	8B	ADD WITHOUT CARRY	INMEDIATO	2	2	◇	*	◇	◇	◇	◇
CPX	8C	COMPARE IX	INMEDIATO	3	3	*	*	7	◇	8	*
BSR	8D	BRANCH SUBROUTINE	RELATIVO	8	2	*	*	*	*	*	*
LDS	8E	LOAD STACK POINTER	INMEDIATO	3	3	*	*	9	◇	R	*
SUBA	90	SUBSTRACT	DIRECTO	3	2	*	*	◇	◇	◇	◇
CMPA	91	COMPARE A	DIRECTO	3	2	*	*	◇	◇	◇	◇
SBCA	92	SUBST. WITH CARRY	DIRECTO	3	2	*	*	◇	◇	◇	◇
ANDA	94	LOGICAL AND A	DIRECTO	3	2	*	*	◇	◇	R	*
BITA	95	BIT TEST A	DIRECTO	3	2	*	*	◇	◇	R	*
LDAA	96	LOAD A	DIRECTO	3	2	*	*	◇	◇	R	*
STAA	97	STORE A	DIRECTO	4	2	*	*	◇	◇	R	*
EORA	98	EXCLUSIVE OR A	DIRECTO	3	2	*	*	◇	◇	R	*
ADCA	99	ADD WITH CARRY	DIRECTO	3	2	◇	*	◇	◇	◇	◇
ORAA	9A	INCLUSIVE OR A	DIRECTO	3	2	*	*	◇	◇	R	*
ADDA	9B	ADD WITHOUT CARRY	DIRECTO	3	2	◇	*	◇	◇	◇	◇
CPX	9C	COMPARE IX	DIRECTO	4	2	*	*	7	◇	8	*
LDS	9E	LOAD STACK POINTER	DIRECTO	4	2	*	*	9	◇	R	*
STS	9F	STORE STACK POINTER	DIRECTO	5	2	*	*	9	◇	R	*
SUBA	A0	SUBSTRACT	INDEXADO	5	2	*	*	◇	◇	◇	◇
CMPA	A1	COMPARE A	INDEXADO	5	2	*	*	◇	◇	◇	◇
SBCA	A2	SUBST. WITH CARRY	INDEXADO	5	2	*	*	◇	◇	◇	◇
ANDA	A4	LOGICAL AND A	INDEXADO	5	2	*	*	◇	◇	R	*
BITA	A5	BIT TEST A	INDEXADO	5	2	*	*	◇	◇	R	*
LDAA	A6	LOAD A	INDEXADO	5	2	*	*	◇	◇	R	*
STAA	A7	STORE A	INDEXADO	5	2	*	*	◇	◇	R	*
EORA	A8	EXCLUSIVE OR A	INDEXADO	5	2	*	*	◇	◇	R	*
ADCA	A9	ADD WITH CARRY	INDEXADO	5	2	◇	*	◇	◇	◇	◇
ORAA	AA	INCLUSIVE OR A	INDEXADO	5	2	*	*	◇	◇	R	*
ADDA	AB	ADD WITHOUT CARRY	INDEXADO	5	2	◇	*	◇	◇	◇	◇
CPX	AC	COMPARE IX	INDEXADO	6	2	*	*	7	◇	8	*
JSR	AD	JUMP TO SUBROUTINE	INDEXADO	8	2	*	*	*	*	*	*
LDS	AE	LOAD STACK POINTER	INDEXADO	6	2	*	*	9	◇	R	*
STS	AF	STORE STACK POINTER	INDEXADO	7	2	*	*	9	◇	R	*
SUBA	B0	SUBSTRACT	EXTENDIDO	4	3	*	*	◇	◇	◇	◇
CMPA	B1	COMPARE A	EXTENDIDO	4	3	*	*	◇	◇	◇	◇
SBCA	B2	SUBST. WITH CARRY	EXTENDIDO	4	3	*	*	◇	◇	◇	◇
ANDA	B4	LOGICAL AND A	EXTENDIDO	4	3	*	*	◇	◇	R	*
BITA	B5	BIT TEST A	EXTENDIDO	4	3	*	*	◇	◇	R	*
LDAA	B6	LOAD A	EXTENDIDO	4	3	*	*	◇	◇	R	*
STAA	B7	STORE A	EXTENDIDO	5	3	*	*	◇	◇	R	*
EORA	B8	EXCLUSIVE OR A	EXTENDIDO	4	3	*	*	◇	◇	R	*
ADCA	B9	ADD WITH CARRY	EXTENDIDO	4	3	◇	*	◇	◇	◇	◇

JUEGO DE INSTRUCCIONES DEL MC6802 (CONTINUACION)

MNEMONICO	CODIGO	DESCRIPCION	MODO	~	#	CCR					
						5	4	3	2	1	0
ORAA	BA	INCLUSIVE OR A	EXTENDIDO	4	3	*	*	◇	◇	R	*
ADDA	BB	ADD WITHOUT CARRY	EXTENDIDO	4	3	◇	*	◇	◇	◇	◇
CPX	BC	COMPARE IX	EXTENDIDO	5	3	*	*	7	◇	B	*
JSR	BD	JUMP TO SUBROUTINE	EXTENDIDO	9	3	*	*	*	*	*	*
LDS	BE	LOAD STACK POINTER	EXTENDIDO	5	3	*	*	9	◇	R	*
STS	BF	STORE STACK POINTER	EXTENDIDO	6	3	*	*	9	◇	R	*
SUBB	CO	SUBSTRACT	INMEDIATO	2	2	*	*	◇	◇	◇	◇
CMPB	C1	COMPARE B	INMEDIATO	2	2	*	*	◇	◇	◇	◇
SBCB	C2	SUBST. WITH CARRY	INMEDIATO	2	2	*	*	◇	◇	◇	◇
ANDB	C4	LOGICAL AND B	INMEDIATO	2	2	*	*	◇	◇	R	*
BITB	C5	BIT TEST B	INMEDIATO	2	2	*	*	◇	◇	R	*
LDAB	C6	LOAD B	INMEDIATO	2	2	*	*	◇	◇	R	*
EORB	C8	EXCLUSIVE OR B	INMEDIATO	2	2	*	*	◇	◇	R	*
ADCB	C9	ADD WITH CARRY	INMEDIATO	2	2	◇	*	◇	◇	◇	◇
ORAB	CA	INCLUSIVE OR B	INMEDIATO	2	2	*	*	◇	◇	R	*
ADDB	CB	ADD WITHOUT CARRY	INMEDIATO	2	2	◇	*	◇	◇	◇	◇
LDX	CE	LOAD IX	INMEDIATO	3	3	*	*	9	◇	R	*
SUBB	D0	SUBSTRACT	DIRECTO	3	2	*	*	◇	◇	◇	◇
CMPB	D1	COMPARE B	DIRECTO	3	2	*	*	◇	◇	◇	◇
SBCB	D2	SUBST. WITH CARRY	DIRECTO	3	2	*	*	◇	◇	◇	◇
ANDB	D4	LOGICAL AND	DIRECTO	3	2	*	*	◇	◇	R	*
BITB	D5	BIT TEST B	DIRECTO	3	2	*	*	◇	◇	R	*
LDAB	D6	LOAD B	DIRECTO	3	2	*	*	◇	◇	R	*
STAB	D7	STORE B	DIRECTO	4	2	*	*	◇	◇	R	*
EDRB	D8	EXCLUSIVE OR B	DIRECTO	3	2	*	*	◇	◇	R	*
ADCB	D9	ADD WITH CARRY	DIRECTO	3	2	◇	*	◇	◇	◇	◇
ORAB	DA	INCLUSIVE OR B	DIRECTO	3	2	*	*	◇	◇	R	*
ADDB	DB	ADD WITHOUT CARRY	DIRECTO	3	2	◇	*	◇	◇	◇	◇
LDX	DE	LOAD INDEX REGISTER	DIRECTO	4	2	*	*	9	◇	R	*
STX	DF	STORE IX	DIRECTO	5	2	*	*	9	◇	R	*
SUBB	E0	SUBSTRACT	INDEXADO	5	2	*	*	◇	◇	◇	◇
CMPB	E1	COMPARE	INDEXADO	5	2	*	*	◇	◇	◇	◇
SBCB	E2	SUBST. WITH CARRY	INDEXADO	5	2	*	*	◇	◇	◇	◇
ANDB	E4	LOGICAL AND B	INDEXADO	5	2	*	*	◇	◇	R	*
BITB	E5	BIT TEST B	INDEXADO	5	2	*	*	◇	◇	R	*
LDAB	E6	LOAD B	INDEXADO	5	2	*	*	◇	◇	R	*
STAB	E7	STORE B	INDEXADO	6	2	*	*	◇	◇	R	*
EORB	E8	EXCLUSIVE OR B	INDEXADO	5	2	*	*	◇	◇	R	*
ADCB	E9	ADD WITH CARRY	INDEXADO	5	2	◇	*	◇	◇	◇	◇
ORAB	EA	INCLUSIVE OR B	INDEXADO	5	2	*	*	◇	◇	R	*
ADDB	EB	ADD WITHOUT CARRY	INDEXADO	5	2	◇	*	◇	◇	◇	◇
LDX	EE	LOAD INDEX REGISTER	INDEXADO	6	2	*	*	9	◇	R	*

JUEGO DE INSTRUCCIONES DEL MC6802 (CONTINUACION)

MNEMONICO	CODIGO	DESCRIPCION	MODO	~	*	CCR					
						5	4	3	2	1	0
STX	EF	STORE IX	INDEXADO	7	2	*	*	9	◊	R	*
SUBB	F0	SUBTRACT	EXTENDIDO	4	3	*	*	◊	◊	◊	◊
CMPB	F1	COMPARE B	EXTENDIDO	4	3	*	*	◊	◊	◊	◊
SBCB	F2	SUBST. WITH CARRY	EXTENDIDO	4	3	*	*	◊	◊	◊	◊
ANDB	F4	LOGICAL AND B	EXTENDIDO	4	3	*	*	◊	◊	R	*
BITB	F5	BIT TEST B	EXTENDIDO	4	3	*	*	◊	◊	R	*
LDAB	F6	LOAD B	EXTENDIDO	4	3	*	*	◊	◊	R	*
STAB	F7	STORE B	EXTENDIDO	5	3	*	*	◊	◊	R	*
EORB	F8	EXCLUSIVE OR B	EXTENDIDO	4	3	*	*	◊	◊	R	*
ADCB	F9	ADD WITH CARRY	EXTENDIDO	4	3	◊	*	◊	◊	◊	◊
ORAB	FA	INCLUSIVE OR B	EXTENDIDO	4	3	*	*	◊	◊	R	*
ADDB	FB	ADD WITHOUT CARRY	EXTENDIDO	4	3	◊	*	◊	◊	◊	◊
LDX	FE	LOAD INDEX REGISTER	EXTENDIDO	5	3	*	*	9	◊	R	*
STX	FF	STORE IX	EXTENDIDO	6	3	*	*	9	◊	R	*

~ Indica el número de ciclos que la instrucción necesita para ejecutarse.

* Indica el número de bytes que tiene la instrucción.

Notas del registro de códigos condicionales:

- ◊ El bit es verificado y puesto a uno si es verdadero, de otra manera es puesto a cero.
- R Permanece en cero.
- S Permanece en uno.
- * El bit no es afectado.
- 1 (Bit V) prueba: resultado=10000000?
- 2 (Bit C) prueba: resultado≠00000000?
- 3 (Bit C) prueba: El valor decimal más significativo del caracter BCD es mayor que nueve?
(no es puesto a cero si previamente se encontraba en uno).
- 4 (Bit V) prueba: Operando=10000000 antes de la ejecución?
- 5 (Bit V) prueba: Operando=01111111 antes de la ejecución?
- 6 (Bit V) prueba: puesto de acuerdo al resultado N o-exclusivo C después de que el desplazamiento (shift) haya ocurrido.
- 7 (Bit N) prueba: el bit de signo del byte más significativo del resultado es 1?
- 8 (Bit Y) prueba: ocurrió un rebosamiento de segundo complemento producto de la resta de los bytes más significativos?
- 9 (Bit N) prueba: el resultado es menor que cero? (Bit 15=1)
- 10 (todos) Carga el CCR del stack.
- 11 (Bit I) Es puesto a uno cuando una interrupción tiene lugar. Si estaba previamente en en uno, se requiere una interrupción NMI para salir del estado de espera (WAIT).
- 12 (todos) Puestos de acuerdo al contenido del acumulador A.

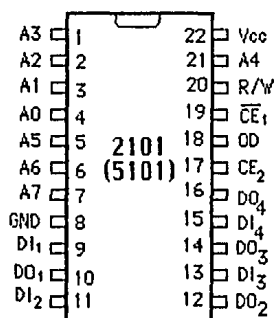
APENDICE B.

MEMORIAS RAM 2101/5101⁽¹²⁾

FAMILIA 2101A

CARACTERISTICAS

- *Organización: 256 localidades de 4 bits cada una.
- *Alimentación única de voltaje de +5V.
- *No requiere reloj ni restauración para funcionar.
- *Entradas protegidas contra electricidad estática.
- *Baja disipación de potencia: típicamente 150mW.
- *Salida de tres estados.
- *Posee un pin de inhabilitación de salida (OD) para su fácil uso en sistemas con un bus común de entrada y salida de datos.
- *Compatible directamente con TTL en todas sus entradas y salidas.
- *Encapsulado de bajo costo: DIP de 22 pines.



CONFIGURACION DE PINES DE LAS MEMORIAS 2101/5101

DESIGNACION DE PINES

DI ₁ -DI ₄	ENTRADA DE DATOS
A ₀ -A ₇	DIRECCIONES
R/W	LECTURA /ESCRITURA
CE ₁	HABILITACION DE CHIP 1
CE ₂	HABILITACION DE CHIP 2
OD	INHABILITACION DE SALIDA
DO ₁ -DO ₄	SALIDA DE DATOS
V _{cc}	ALIMENTACION
GND	TIERRA

Regímenes máximos absolutos*

Temperatura ambiente bajo polarización.....	-10°C a 80°C
Temperatura de almacenamiento.....	-65°C a 150°C
Voltaje de cualquier pín con respecto a tierra.....	-0.5V a +7V
Disipación de potencia.....	1 W

*Valores más allá de los indicados pueden causar daño permanente al dispositivo. El funcionamiento del dispositivo bajo estos regímenes durante largos períodos de tiempo puede afectar su confiabilidad.

Características de operación en D.C. T_A=0-70°C, V_{cc}=5V +/- 5%

Párametro	Mín.	Típ.(1)	Máx.	Unidad	Condiciones
Corriente de entrada I _{I1}	1	10		μA	V _{IN} =0 a 5.25V
Corriente de fuga de entrada/salida (2) I _{LOH}	1	10		μA	CE ₁ =2.2V, V _{out} =4V
Corriente de fuga de entrada/salida (2) I _{LOL}	-1	-10		μA	CE ₁ =2.2V, V _{out} =-4.5V
Corriente de la fuente de alimentación I _{CC1} 2101A/A-4	35	55		mA	V _{IN} =5.25V, I _O =0 mA T _A =25°C
I _{CC1} 2101A-2	45	65		mA	" "

Características de operación en D.C. $T_A=0-70^{\circ}\text{C}$, $V_{CC}=5\text{V} \pm 5\%$ (continuación)

Parámetro	Mín.	Típ.(1)	Máx.	Unidad	Condiciones
Corriente de la fuente de alimentación I_{CC1} 2101A/A-4			60	mA	$V_{IN}=5.25\text{V}$, $I_D=0\text{mA}$ $T_A=0^{\circ}\text{C}$
I_{CC1} 2101A-2			70	mA	" "
Voltaje de entrada de bajo nivel V_{IL}	-0.5		0.8	V	
Voltaje de entrada de alto nivel V_{IH}	2.0		V_{CC}	V	
Voltaje de salida de bajo nivel V_{OL}			0.45	V	$I_{OL}=2.0\text{mA}$.
Voltaje de salida de alto nivel V_{OH}				V	$I_{OH}=-200\mu\text{A}$.
2101A/A-2	-2.4			V	$I_{OH}=-150\mu\text{A}$.
2101A-4	2.4			V	$I_{OH}=-150\mu\text{A}$.

Características de A.C. para la 2101A-2 (Tiempo de acceso 250ns)*

CICLO DE LECTURA. $T_A=0-70^{\circ}\text{C}$, $V_{CC}=5\text{V} \pm 5\%$

Parámetro	Mín.	Típ.	Máx.	Unidad
Ciclo de lectura t_{RC}		250		ns
Tiempo de acceso t_A			250	ns
Tiempo entre la habilitación de la entrada Chip Enable (CE) y la salida de datos t_{CO}			180	ns
Tiempo entre la inhabilitación de la entrada Output Disable (OD) y la salida de datos t_{OD}			130	ns
Tiempo entre la habilitación de la entrada Output Disable y la salida de alta impedancia t_{DF} (3)		0	180	ns
Ultima lectura válida de datos después del cambio de dirección t_{OH}	40			ns

*Condiciones de prueba: $t_r, t_f=20\text{ns}$. Voltaje referencia para los tiempos=1.5V. $C_L=1$ puerta TTL y 100pf.
 t_r =tiempo de subida del pulso de entrada. t_f =tiempo de bajada del pulso de entrada.

CICLO DE ESCRITURA.*

Parámetro	Mín.	Típ.	Máx.	Unidad
Ciclo de escritura t_{WC}	170			ns
Retardo de escritura t_{AW}	20			ns
Chip Enable a Write t_{CW}	150			ns
Datos activos con respecto a la línea R/W t_{DW}	150			ns
Datos activos después de la inhabilitación de escritura t_{DH}	0			ns
Pulso de escritura t_{WP}	150			ns
Recuperación de escritura t_{WR}	0			ns
Tiempo entre la habilitación de OD y datos válidos t_{DS}	20			ns

*Condiciones de prueba: $t_r, t_f=20ns$. Voltaje referencia para los tiempos=1.5V. $C_L=1$ puerta TTL y 100pf.
 t_r =tiempo de subida del pulso de entrada. t_f =tiempo de bajada del pulso de entrada.

Características de R.C. para la 2101A (Tiempo de acceso 350ns)*

CICLO DE LECTURA. $T_A=0-70^\circ C$, $V_{CC}=5V \pm 5\%$

Parámetro	Mín.	Típ.	Máx.	Unidad
Ciclo de lectura t_{RC}	350			ns
Tiempo de acceso t_A			350	ns
Tiempo entre la habilitación de la entrada Chip Enable (CE) y la salida de datos t_{CO}			240	ns
Tiempo entre la inhabilitación de la entrada Output Disable (OD) y la salida de datos t_{DD}			180	ns
Tiempo entre la habilitación de la entrada Output Disable y la salida de alta impedancia $t_{DF}(3)$	0		150	ns
Ultima lectura válida de datos después del cambio de dirección t_{DH}	40			ns

*Condiciones de prueba: $t_r, t_f=20ns$. Voltaje referencia para los tiempos=1.5V. $C_L=1$ puerta TTL y 100pf.
 t_r =tiempo de subida del pulso de entrada. t_f =tiempo de bajada del pulso de entrada.

CICLO DE ESCRITURA.*

Parámetro	Mín.	Típ.	Máx.	Unidad
Ciclo de escritura t_{WC}	220			ns
Retardo de escritura t_{AW}	20			ns
Chip Enable a Write t_{CW}	200			ns
Datos activos con respecto a la línea R/W t_{DW}	200			ns
Datos activos después de la inhabilitación de escritura t_{DH}	0			ns
Pulso de escritura t_{WP}	200			ns
Recuperación de escritura t_{WR}	0			ns
Tiempo entre la habilitación de OD y datos válidos t_{DS}	20			ns

*Condiciones de prueba: $t_r, t_f=20ns$. Voltaje referencia para los tiempos=1.5V. $C_L=1$ puerta TTL y 100pf.
 t_r =tiempo de subida del pulso de entrada. t_f =tiempo de bajada del pulso de entrada.

Características de A.C. para la 2101A-4 (Tiempo de acceso 450ns)*

CICLO DE LECTURA. $T_A=0-70^{\circ}C$, $V_{CC}=5V \pm 5\%$

Parámetro	Mín.	Típ.	Máx.	Unidad
Ciclo de lectura t_{RC}	450			ns
Tiempo de acceso t_A			450	ns
Tiempo entre la habilitación de la entrada Chip Enable (CE) y la salida de datos t_{CO}			310	ns
Tiempo entre la inhabilitación de la entrada Output Disable (OD) y la salida de datos t_{OD}			250	ns
Tiempo entre la habilitación de la entrada Output Disable y la salida de alta impedancia $t_{DF} (3)$	0		200	ns
Ultima lectura válida de datos después del cambio de dirección t_{OH}	40			ns

*Condiciones de prueba: $t_r, t_f=20ns$. Voltaje referencia para los tiempos=1.5V. $C_L=1$ puerta TTL y 100pf.
 t_r =tiempo de subida del pulso de entrada. t_f =tiempo de bajada del pulso de entrada.

CICLO DE ESCRITURA.*

Parámetro	Mín.	Típ.	Máx.	Unidad
Ciclo de escritura t_{WC}	270			ns
Retardo de escritura t_{AW}	20			ns
Chip Enable a Write t_{CW}	250			ns
Datos activos con respecto a la línea R/W t_{DW}	250			ns
Datos activos después de la inhabilitación de escritura t_{DH}	0			ns
Pulso de escritura t_{WP}	250			ns
Recuperación de escritura t_{WR}	0			ns
Tiempo entre la habilitación de OD y datos válidos t_{DS}	20			ns

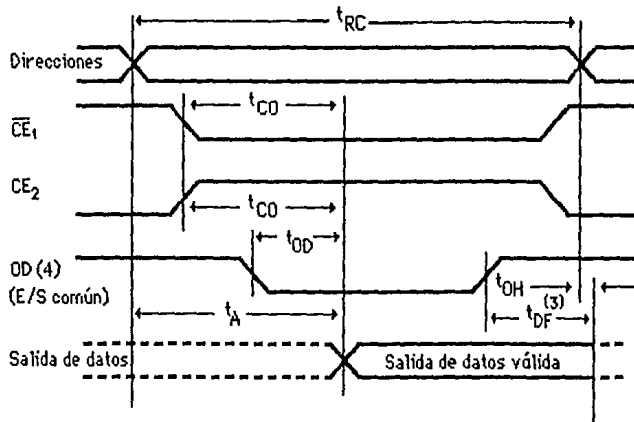
*Condiciones de prueba: $t_r, t_f=20ns$. Voltaje referencia para los tiempos=1.5V. $C_L=1$ puerta TTL y 100pf.
 t_r =tiempo de subida del pulso de entrada. t_f =tiempo de bajada del pulso de entrada.

CAPACITANCIA (2) TA=25°C, f=1MHz.

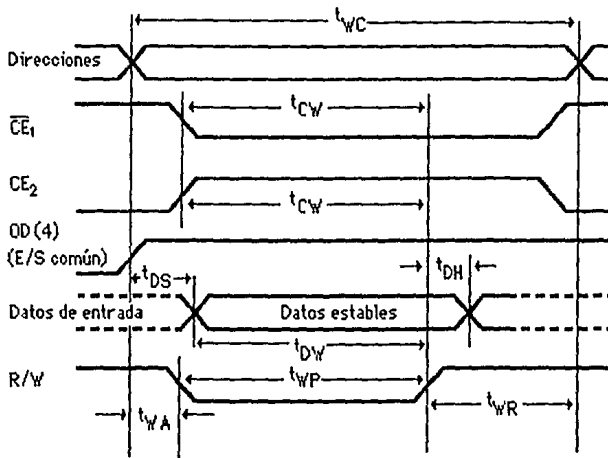
Parametro	Típ.(1) Máx.		Unidad	Condición
Capacitancia de entrada C_{IN} (en todos los pines de entrada)	4	8	pf	$V_{IN}=0V$
Capacitancia de salida C_{out}	8	12	pf	$V_{out}=0$

FORMAS DE ONDA

Ciclo de lectura



Ciclo de escritura



Notas:

- 1.- Los valores típicos son para $T_A=25^{\circ}\text{C}$ y el voltaje de alimentación nominal.
- 2.- Este parámetro es muestreado periódicamente por lo que no es probado al 100%.
- 3.- t_{DF} es con respecto al borde de salida de \overline{CE}_1, CE_2 o OD, lo que ocurra primero.
- 4.- OD debe aterrizarse para operaciones de E/S separadas.

FAMILIA 5101

El dispositivo de Intel 5101 es una memoria RAM de ultra-baja disipación de potencia de igual organización que las memoria 2101 ya discutidas. Es completamente compatible con TTL y no requiere de reloj para operar. Es recomendada para aplicaciones de alta velocidad donde se requiera soporte de baterías y la característica de no volatilidad.

Estados de salida de la 5101

OD	CE ₁	CE ₂	SELECCION	SALIDA
H	H	H	Inhabilitada	Z
H	H	L	Inhabilitada	Z
H	L	H	Habilitada	Z
H	L	L	Inhabilitada	Z
L	H	H	Inhabilitada	Z
L	H	L	Inhabilitada	Z
L	L	H	Habilitada	Habilitada
L	L	L	Inhabilitada	Z

H=nivel alto L=nivel bajo
Z=alta impedancia de salida

Características de operación en D.C. $T_A=0-70^{\circ}\text{C}$, $V_{cc}=5\text{V} \pm 5\%$

Párametro	Min.	Típ.(1)	Máx.	Unidad	Condiciones
Corriente de entrada I_{I1}		5		nA	$V_{IH}=0$ a 5.25V
Corriente de fuga de entrada/salida (2) I_{LOH}			1	μA	$CE_1=2.2\text{V}$, $V_{out}=V_{cc}$
Corriente de fuga de entrada/salida (2) I_{LOL}			-1	μA	$CE_1=2.2\text{V}$, $V_{out}=0\text{V}$
Corriente de la fuente de alimentación I_{CC1}		9	22	mA	$V_{IH}=V_{cc}$, $CE_1 \leq 0.0$ 1V Salidas abiertas.
I_{CC2}		13	27	mA	$V_{IH}=2.2\text{V}$ $CE_1 \leq 0.65\text{V}$ Salidas abiertas.
Corriente en estado de reposo I_{CCL}^*			15	μA	$V_{IH}=0$ a V_{cc} $CE_2 \leq 0.2\text{V}$

*Incluye la corriente de todas las entradas y salidas.

Características de operación en D.C. $T_A=0-70^{\circ}\text{C}$, $V_{CC}=5\text{V} \pm 5\%$ (continuación)

Párametro	Mín. Típ.(1)	Máx.	Unidad	Condiciones
Voltaje de entrada de bajo nivel V_{IL}	-0.3	0.65	V	
Voltaje de entrada de alto nivel V_{IH}	2.2	V_{CC}	V	
Voltaje de salida de bajo nivel V_{OL}		0.4	V	$I_{OL}=2.0\text{mA}$
Voltaje de salida de alto nivel V_{OH} 2101A/A-2	2.4		V	$I_{OH}=-1\text{mA}$

Características de retención de datos $T_A=0-70^{\circ}\text{C}$, $V_{CC}=5\text{V} \pm 5\%$

Párametro	Mín. Típ.(1)	Máx.	Unidad	Condiciones
Voltaje de alimentación para la retención de datos en estado de reposo V_{DR}	2.0		V	$CE_2 \leq 0.2\text{V}$
Corriente en estado de reposo I_{CCDR}		15	μA	$CE_2 \leq 0.2\text{V}$ $V_{DR}=2\text{V}$
Tiempo de inhabilitación de chip para la retención de datos t_{CDR}	0		ns	
Tiempo de recuperación t_R	t_{RC}^*		ns	

* t_{RC} =Tiempo del ciclo de lectura.

Características de A.C. para la 5101

CICLO DE LECTURA. $T_A=0-70^{\circ}\text{C}$, $V_{CC}=5\text{V} \pm 5\%$

Parámetro	Mín.	Típ.	Máx.	Unidad
Ciclo de lectura t_{RC}		650		ns
Tiempo de acceso t_A			650	ns
Tiempo entre la habilitación de la entrada Chip Enable (CE_1) y la salida de datos t_{CD1}			600	ns
Tiempo entre la habilitación de la entrada Chip Enable (CE_2) y la salida de datos t_{CO2}			700	ns
Tiempo entre la inhabilitación de la entrada Output Disable (OD) y la salida de datos t_{OD}			350	ns
Tiempo entre la habilitación de la entrada Output Disable y la salida de alta impedancia t_{DF}	0		150	ns
Última lectura válida de datos después del cambio de dirección t_{OH1}	0			ns
Última lectura válida de datos después del cambio de CE t_{OH2}	0			ns

*Condiciones de prueba: $t_r, t_f=20\text{ns}$. Voltaje referencia para los tiempos=1.5V. $C_L=1$ puerta TTL y 100pf.

t_r =tiempo de subida del pulso de entrada. t_f =tiempo de bajada del pulso de entrada.

Niveles de los pulsos de entrada: 0.65V a 2.2V

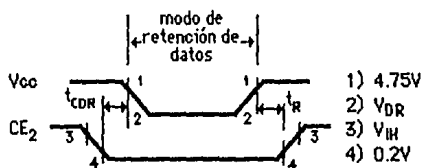
CICLO DE ESCRITURA.*

Parámetro	Mín.	Típ.(1)	Máx.	Unidad
Ciclo de escritura t_{WC}	650			ns
Retardo de escritura t_{AW}	150			ns
Chip Enable a Write t_{CW}	550			ns
Datos activos con respecto a la línea R/W t_{DW}	400			ns
Datos activos después de la inhabilitación de escritura t_{DH}	100			ns
Pulso de escritura t_{WP}	400			ns
Recuperación de escritura t_{WR}	50			ns
Tiempo entre la habilitación de OD y datos válidos t_{DS}	150			ns

*Condiciones de prueba: $t_r, t_f=20ns$. Voltaje referencia para los tiempos=1.5V. $C_L=1$ puerta TTL y 100pf.
 t_r =tiempo de subida del pulso de entrada. t_f =tiempo de bajada del pulso de entrada.
 Niveles de los pulsos de entrada: 0.65V a 2.2V

FORMAS DE ONDA

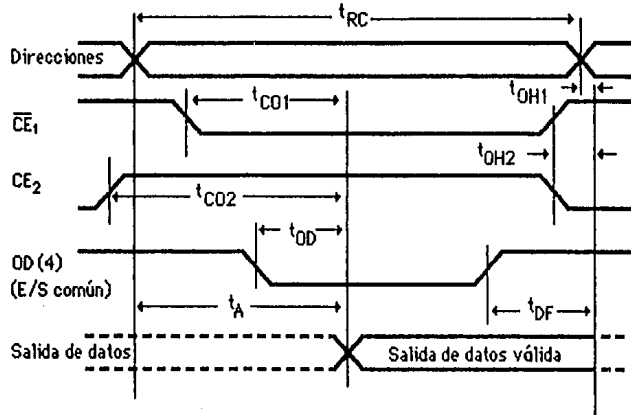
Formas de onda de voltaje en estado de reposo



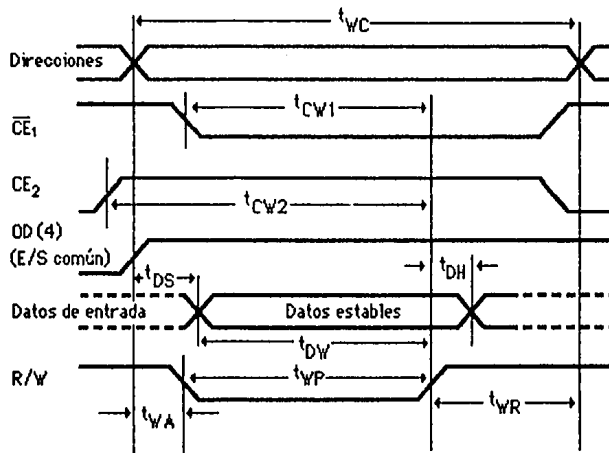
Nota:

1.- Los valores típicos son para $T_A=25^{\circ}C$ y el voltaje de alimentación nominal.

Ciclo de lectura



Ciclo de escritura



APENDICE C.

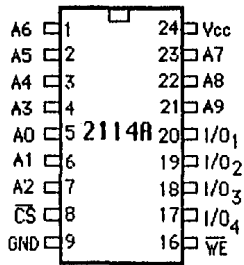
2114A MEMORIA RAM ESTÁTICA DE 1024 X 4 BITS [6]

- *Tecnología HMOS.
- *Baja disipación, alta velocidad.
- *Tiempo de acceso idéntico a la duración de ciclo.
- *Alimentación única a +5V +/- 10%.
- *Encapsulado de alta densidad con 18 patillas.
- *Memoria enteramente estática sin requerir reloj ni selección en tiempo.
- *Compatible directamente con TTL: todas las entradas y salidas.
- *Entrada y salida de datos en común mediante salidas de tres estados.
- *Modelo 2114 perfeccionado.

La Intel 2114A es una memoria de acceso aleatorio, estática de 4096 bits organizada como 1024 palabras de 4 bits y que usa HMOS, una tecnología MOS de alto rendimiento. Utiliza una circuitería enteramente estable (estática), tanto en la matriz como en el decodificador, por lo que no precisa reloj ni regeneración para funcionar. El acceso de los datos es especialmente sencillo, ya que no necesita esperar los tiempos de preparación de direcciones. Los datos se leen no destructivamente y presentan la misma polaridad que los de entrada. Se han previsto algunas patillas comunes para la entrada y salida.

La 2114A está indicada como memoria en aquellas aplicaciones para las que son objetivos importantes de diseño un rendimiento elevado, la alta fiabilidad de los HMOS, coste bajo, gran capacidad de almacenamiento e interfaz sencillo. La 2114A se presenta en cápsulas de 18 patillas para preservar la mayor densidad.

Es compatible directamente con TTL en todos los aspectos: entradas, salidas y tensión de alimentación única de +5V. Una conexión separada de selección de chip (CS') permite la selección fácil de una patilla individual cuando las salidas ofrecen un nudo de interconexión OR.



CONFIGURACION DE PINES DE LA MEMORIA 2114R

NOMBRE DE LAS PATILLAS

A0-A9	ENTRADAS DE DIRECCIONES
WE'	HABILITACION DE LECTURA
CS'	SELECCION DE CHIP
I/O ₁ -I/O ₄	ENTRADA/SALIDA DE DATOS
Vcc	ALIMENTACION
GND	MASA (TIERRA)

2114AL-1 2114AL-2 2114AL-3 2114AL-4 2114A-5

Tiempo máximo de acceso (ns)	100	120	150	200	250
Corriente máxima (mA)	40	40	40	40	70

REGIMENES MAXIMOS ABSOLUTOS*

Temperatura ambiente bajo polarización.....	-10°C a 80°C
Temperatura de almacenamiento.....	-65°C a 150°C
Tensión de cualquier patilla con respecto a tierra.....	-3,5V a +7V
Disipación de potencia.....	1,0W
Corriente de salida en continua.....	5 mA

***COMENTARIO:**

Los excesos por encima de los valores indicados bajo los regímenes máximos absolutos pueden ocasionar daños permanentes al dispositivo. Esto es un régimen de exceso solamente y el funcionamiento del dispositivo no está implicado bajo estas y otras condiciones por encima de las indicadas en el apartado operativo de estas especificaciones. La exposición durante largos períodos a las condiciones de los regímenes máximos absolutos puede afectar la fiabilidad del dispositivo.

CARACTERISTICAS DE FUNCIONAMIENTO Y C.C.

$T_A=0^{\circ}\text{C}$ a 70°C , $V_{CC}=+5\text{V} \pm 10\%$, salvo que se indique otra cosa.

	2114AL-1/L-2/L-3/L-4			2114A-4/5			CONDICIONES
	Mín.	Típ.	Máx.	Mín.	Típ.	Máx.	
Corriente de carga a la entrada (en todas las patillas de entrada) I_{LI}			10			10	μA $V_{IN}=0$ a $5,5\text{V}$
Corriente de fuga de entrada/salida $ I_{LO} $			10			10	μA $CS'=V_{IH}$ $V_{I/O}=\text{masa a } V_{CC}$
Corriente de alimentación I_{CC}		25	40	50	70		mA $V_{CC}=\text{Máx.}$ $I_{I/O}=0\text{mA}$, $T_A=0^{\circ}\text{C}$
Voltaje de entrada para nivel bajo V_{IL}	-3,0		0,8	-3,0		0,8	V
Voltaje de entrada para nivel alto	2,0		6,0	2,0		6,0	V
Corriente de salida para nivel bajo I_{OL}	2,1	9,0		2,1	9,0		mA $V_{OL}=0,4\text{V}$
Corriente de salida para nivel alto	-1,0	-2,5		-1,0	-2,5		mA $V_{OH}=2,4\text{V}$
Corriente de salida en cortocircuito $I_{OS} (2)$			10			40	mA

Notas:

- 1.- Los valores típicos son para $T_A=25^{\circ}\text{C}$ y $V_{CC}=5,0\text{V}$.
- 2.- La duración no excede a 30 segundos.

CAPCITANCIA

$T_A=25^{\circ}\text{C}$, $f=1\text{ MHz}$.

	Máx.	Unidad	Condiciones
Capacitancia de entrada/salida $C_{I/O}$	5	pf	$V_{IO}=0\text{V}$
Capacitancia de entrada	5	pf	$V_{IN}=0\text{V}$

Nota: Este parámetro se muestrea periódicamente por lo que no se prueba al 100%.

CONDICIONES DE PRUEBA EN C.A.

Niveles de impulso de entrada.....	0,8V a 2,0 V
Tiempo de subida y bajada a la entrada.....	10ns
Niveles de tiempo a la entrada y salida.....	1,5V
Carga de la salida.....	1 puerta TTL y $C_L=100\text{pf}$

CARACTERISTICAS EN C.A. $T_A=0^{\circ}\text{C}$ a 70°C , $V_{CC}=+5\text{V} \pm 10\%$, salvo que se indique otra cosa.

CICLO DE LECTURA (1) TIEMPOS EXPRESADOS EN NANSEGUNDOS (NS)

	2114AL-1		2114AL-2		2114AL-3		2114A-4/L-4		2114A-5	
	Mín.	Máx.	Mín.	Máx.	Mín.	Máx.	Mín.	Máx.	Mín.	Máx.
Duración del ciclo de lectura t_{RC}	100		120		150		200		250	
Tiempo de acceso t_A^*	100		120		150		200		250	
Selección de chip hasta salida válida t_{CO}	70		70		70		70		85	
Selección de chip hasta salida activa t_{CX}	10		10		10		10		10	
Salida triestado desde fin de selección t_{OTD}	30		35		40		50		60	
Salida retenida desde cambio de dirección t_{OHA}	15		15		15		15		15	

*El tiempo de acceso máximo para la 2114N es de 450 ns.

CICLO DE ESCRITURA (2) TIEMPOS EXPRESADOS EN NANSEGUNDOS (NS)

	2114AL-1	2114AL-2	2114AL-3	2114A-4/L-4	2114A-5
	Mín. Máx.	Mín. Máx.	Mín. Máx.	Mín. Máx.	Mín Máx
Duración del ciclo de escritura t_{WC}^*	100	120	150	200	250
Tiempo de escritura t_W	75	75	90	120	135
Tiempo de liberación de escritura t_{WR}	0	0	0	0	0
Salida triestado desde escritura t_{DTW}	30	35	40	50	60
Datos hasta solape - tiempo de escritura t_{DW}	70	70	90	120	135
Datos retenidos desde tiempo de escritura t_{DH}	0	0	0	0	0

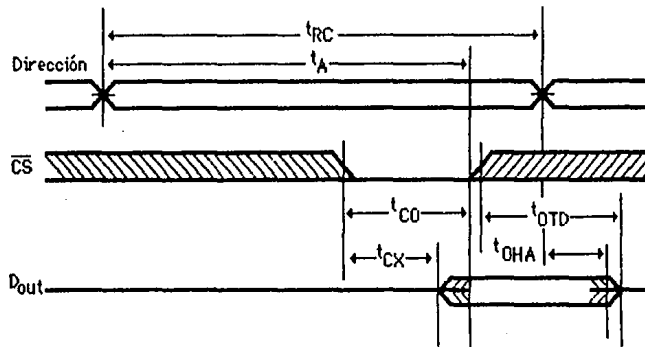
*Este tiempo para la memoria 2114N es de 450ns máximo.

NOTAS:

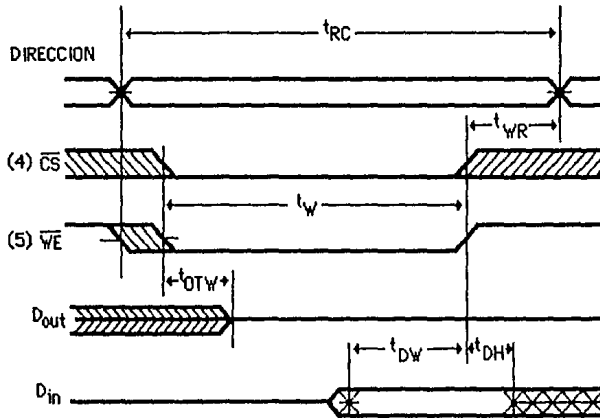
- 1.-El impulso de lectura ocurre durante el solape de CS' a nivel bajo y WE' a nivel alto.
- 2.-El impulso de escritura ocurre mientras que CS' está a nivel bajo y WE' también. t_W se mide desde el último CS' o WE' que se hace alto.

FORMAS DE ONDA

Ciclo de lectura (3)



Ciclo de escritura



NOTAS:

- 3.- \overline{WE} está a nivel alto durante el ciclo de lectura.
- 4.-Si la transición de \overline{CS} a nivel bajo ocurre simultáneamente con la transición \overline{WE} a nivel bajo también, los buffers de salida permanecen en el estado de alta impedancia.
- 5.- \overline{WE} debe estar a nivel alto durante todas las transiciones de dirección.

APENDICE D.

2716 MEMORIA PROM BORRABLE POR UV DE 16K (2K x 8)161

***Tiempo de acceso rápido:**

- 350 ns máx. 2716 -1.
- 390 ns máx. 2716-2.
- 450 ns máx. 2716.
- 490 ns máx. 2716-5.
- 650 ns máx. 2716-6.

***Pastillas compatibles con el EPROM 2732 de INTEL.**

***Requisitos sencillos de programación:**

- Programación con posicionamiento único.
- Programas con un impulso de 50 ns.

***Alimentación de +5V únicamente.**

***Entradas y salidas compatibles con TTL durante lectura y programa.**

***Baja disipación de potencia:**

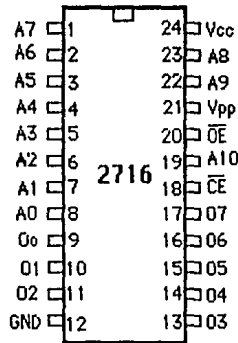
- 525 mW potencia máxima en activo.
- 132 mW potencia máxima en reserva.

***Completamente estática.**

La Intel 2716 es una memoria EPROM de 16384 bits para sólo lectura, programable eléctricamente y borrrable con luz ultravioleta. La 2716 funciona con una fuente de alimentación sencilla de 5V, posee un modo de reserva estático y ofrece una programación de direccionamiento único y rápido. Hace que el diseño con EPROM sea más rápido, más fácil y más económico.

La 2716 es ideal para usarla con los nuevos microprocesadores de elevada eficiencia, alimentados a 5V, tal como los Intel 8085 y 8086. La 2716 es, además, la primera EPROM que presenta un modo de reserva estático que reduce la potencia disipada sin aumentar el tiempo de acceso.

La 2716 ofrece el método más simple y más rápido conocido en la actualidad para programar EPROM, o sea, la programación monopulso con nivel TTL. No hay necesidad de impulsos de mayor tensión, ya que todos los controles de programación están gobernados por las señales TTL. Se puede programar cualquier dirección en cualquier momento, sea individual, secuencial o aleatoriamente, gracias a la programación con dirección única de la 2716. El tiempo total para programar todos los 16384 bits es de 100 segundos solamente.



CONFIGURACION DE PINES DE LA MEMORIA 2716

NOMBRE DE LOS PINES	
A0-A10	DIRECCIONES
CE'/PGM	HABILITACION DE CHIP/PROGRAMA
OE'	HABILITACION DE SALIDAS
O0-O7	SALIDAS

Regímenes máximos absolutos*

Temperatura bajo polarización.....	-10°C a +80°C
Temperatura de almacenamiento.....	-65°C a +125°C
Todas las tensiones de entrada o salida con respecto a tierra.....	+6V a 0,3V
Tensión de alimentación Vpp con respecto a tierra.....	+26,5V a -0,3V

*Los excesos por encima de los valores indicados bajo los regímenes máximos absolutos pueden ocasionar daños permanentes al dispositivo. Esto es un régimen de exceso solamente y el funcionamiento del dispositivo no está implicado bajo estas u otras condiciones por encima de las indicadas en el apartado operativo de estas especificaciones. La exposición durante largos períodos a las condiciones de los regímenes máximos absolutos puede afectar la fiabilidad del dispositivo.

Condiciones de funcionamiento en c.c. y c.a. durante la lectura

	2716	2716-1	2716-2	2716-5	2716-6
Margen de temperatura	0°C-70°C	0°C-70°C	0°C-70°C	0°C-70°C	0°C-70°C
Tensión continua de alimentación Vcc (1,2)	5V +/-5%	5V +/-5%	5V +/-5%	5V +/-5%	5V +/-5%
Tensión continua de alimentación Vpp (2)	Vcc	Vcc	Vcc	Vcc	Vcc

FUNCIONAMIENTO EN LECTURA

Corriente continua y características de funcionamiento

	Mín	Típ(3)	Máx	Unidad	Condiciones
Corriente de carga a la entrada (I_{L1})			10	μ A	$V_{in}=5,25V$
Corriente de fuga a la salida (I_{O})			10	μ A	$V_{out}=5,25V$
Corriente Vpp (I_{pp1}) (2)			5	mA	$V_{pp}=5,25V$
Corriente Vcc (Reserva) (I_{CC1}) (2)		10	25	mA	$CE'=V_{IH}, OE'=V_{IL}$
Corriente Vcc (Activada) (I_{CC2}) (2)		57	100	mA	$OE'=CE'=V_{IL}$
Tensión de entrada para nivel bajo (V_{IL})	-0,1		0,8	V	
Tensión de entrada para nivel alto (V_{IH})	2		$V_{cc}+1$	V	
Tensión de salida para nivel bajo (V_{OL})			0,45	V	$I_{OL}=2,1 mA$
Tensión de salida para nivel alto (V_{OH})	2,4			V	$I_{OH}=400\mu A$

CARACTERÍSTICAS EN C.A. (VALORES MÁXIMOS EN NS)

	2716	2716-1	2716-2	2716-5	2716-6	CONDICIONES
Retraso entre dirección y salida (t_{ACC})	450	350	390	450	450	$CE'=OE'=V_{IL}$
Retraso entre CE' y salida (t_{CE})	450	350	390	490	650	$OE'=V_{IL}$
Retraso entre habilitación de salida y salida (t_{OE})	120	120	120	160	200	$CE'=V_{IL}$
De nivel alto para la habilitación de salida a salida-flotante (t_{DF})	100	100	100	100	100	$CE'=V_{IL}$
Retención de la salida desde las direcciones, CE' u - OE', cualquiera que ocurra primero (t_{OH})	0	0	0	0	0	$CE'=OE'=V_{IL}$

Capacitancia (4) $T_A=25^{\circ}\text{C}$, $f=1\text{ MHz}$

	Típ.	Máx.	Unidad	Condiciones
Capacitancia de entrada (C_{IN})	4	6	pF	$V_{IN}=0\text{V}$
Capacitancia de salida (C_{OUT})	8	12	pF	$V_{OUT}=0\text{V}$

Condiciones de prueba en c.a.

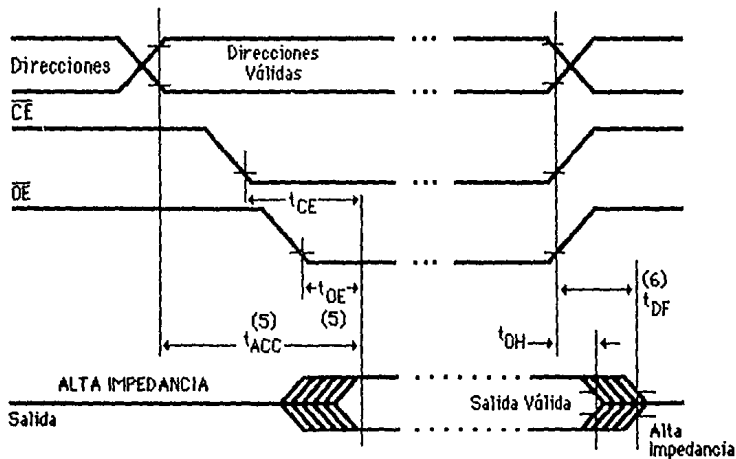
Carga de salida: 1 puerta TTL y una capacidad $C_L=100\text{pf}$.

Tiempos de subida y bajada para la entrada $\leq 20\text{ns}$.

Niveles del impulso de entrada: 0,8 a 2,2 V.

Niveles de referencia para la medida del tiempo. Entradas 1 y 2 V. Salidas 0,8 y 2V.

Forma de onda (1)



NOTAS:

- 1.-Vcc debe ser aplicada simultáneamente o antes que Vpp y retirada simultáneamente o después que Vpp.
- 2.-Vpp puede conectarse directamente a Vcc excepto durante la programación. La corriente de alimentación sería entonces la suma de Icc e Ipp1.
- 3.-Los valores típicos son para $T_A=25^{\circ}\text{C}$ y tensiones de alimentación nominales.
- 4.-Este parámetro se muestrea nada más y no se prueba al 100%.
- 5.-OE puede estar retrasada hasta $t_{ACC}-t_{OE}$ tras el flanco descendente de CE sin afectar a t_{ACC} .
- 6.- t_{DF} está determinada por OE o CE, la que ocurra antes.

Características de borrado

Las características de borrado de la 2716 son tales que el borrado comienza en cuanto se la expone a luz de longitudes de onda más cortas que unos 4000 Angstroms (\AA). Hay que notar que la luz solar y la de algunos tipos de lámparas fluorescentes contiene longitudes de onda dentro de la gama de 3000 a 4000 \AA . Los datos revelan que la exposición constante al nivel de iluminación fluorescente de una habitación podría borrar una 2716 típica en aproximadamente 3 años, mientras que la exposición directa a la luz solar lo haría en una semana. Intel dispone de etiquetas opacas para los casos en que la 2716 haya de ser expuesta a estas condiciones de iluminación durante períodos prolongados de tiempo. Estas etiquetas se deben colocar sobre la ventana de la 2716 para evitar su borrado involuntario.

El procedimiento recomendado para el borrado (véase el Apartado de Instrucciones de Programación de PROM/ROM del Catálogo de Datos) de la 2716 es exponerla a la luz ultravioleta de corta longitud de onda, especialmente la de 2537 \AA . La dosis integrada (esto es, intensidad UV x Tiempo de exposición) para el borrado debe ser como mínimo de 15 W-seg/cm². El tiempo de borrado para esta dosis es aproximadamente de 15 a 20 minutos, utilizando una lámpara ultravioleta de régimen de potencia de 1200 $\mu\text{W}/\text{cm}^2$. La 2716 debe colocarse a menos de 2.5 cm de los tubos de la lámpara durante el borrado. Algunas lámparas poseen filtro en el tubo, que es preciso retirar antes del borrado.

Funcionamiento del dispositivo

Los cinco modos de funcionamiento de la 2716 están enumerados en el Cuadro 1. Nótese que todas las entradas para los cinco modos son niveles TTL. Las tensiones de alimentación son $V_{cc}=+5\text{V}$ y una V_{pp} . La fuente V_{pp} debe suministrar 25 V durante tres modos de programación y 5 V en los otros dos.

Cuadro 1 Selección de modos.

PATILLA MODO	\overline{CE}/PGM 18	\overline{OE} 20	V_{pp} 21	V_{cc} 24	Salidas 9-11 13-17
LECTURA	V_{IL}	V_{IL}	+5V	+5V	Dout
RESERVA	V_{IL}	Irrelevante	+5V	+5V	Z alta
PROGRAMA	pulsos desde $V_{IL} - V_{IH}$	V_{IL}	+25V	+5V	Din
VERIFICACION DEL PROGRAMA	V_{IL}	V_{IL}	+25V	+5V	Dout
INHIBICION DEL PROGRAMA	V_{IL}	V_{IL}	+25V	+5V	Z alta

Modo de Lectura

La 2716 posee dos funciones de control, las cuales han de ser satisfechas para obtener los datos a su salida. Habilitación de chip (CE') es el control de alimentación y debe usarse para seleccionar la patilla (chip). Habilitación de salida (OE') es el control de salida y debe usarse para seleccionar los datos en las patillas de salida, independientemente de la selección de chip. Suponiendo que las direcciones son estables, el tiempo de acceso a la dirección (t_{Acc}) es igual al retardo desde CE' hasta la salida (t_{CE}). Los datos están disponibles a la salida 120 ns (t_{OE}) después del flanco de bajada de OE', suponiendo que CE' era un nivel bajo y que las direcciones han permanecido estables durante un intervalo mínimo $t_{Acc}-t_{OE}$.

Modo de reserva

La 2716 posee un modo de reserva que reduce la disipación de energía activa en un 75%, de 525 mW a 132 mW. La 2716 se pone en modo de reserva aplicándole un nivel TTL alto a su entrada CE'. Cuando está en modo de reserva, las salidas se encuentran en el estado de alta impedancia, independientemente de la entrada OE'.

Salida-interconexión DR.

Como las 2716 se suelen utilizar en formaciones grandes de memoria, Intel ha previsto una función de control para dos líneas que comprende este uso de conexiones a memorias múltiples. La función de control de dos líneas permite:

- a)-la disipación mínima posible de potencia en la memoria y
- b)-certeza absoluta de que no habrá contención a la salida del bus.

Para el uso más eficaz de estas dos líneas de control, se recomienda que CE' (patilla 18) se decodifique y use como función principal de selección de dispositivo, mientras que OE' (patilla 20) se haga conexión común a todos los dispositivos del array y se conecte a la línea de lectura (READ) desde el bus de control del sistema. Ello asegura que todos los dispositivos de memoria seleccionados estén en el modo de reserva de consumo bajo y que las patillas de salida estén activas sólo cuando se desea extraer datos de un dispositivo de memoria determinado.

Programación

Al comienzo, después de cada borrado, todos los bits de la 2716 están en el estado 1. La información se introduce programando selectivamente «0» en las posiciones deseadas de bits. Aunque sólo se programan «ceros», ambos estados «1» y «0» pueden estar presentes en cada palabra de datos. La única manera de cambiar un «0» a un «1» es el borrado con luz ultravioleta.

La 2716 está en el modo de programación cuando la fuente de alimentación conectada a Vpp suministre 25V y OE' toma el valor V_{IH} . La información a programar se presenta de a 8 bits en paralelo en las patillas de salidas de datos. Los niveles necesarios para las direcciones y los datos de entrada son TTL.

Cuando la dirección y los datos se estabilizan se aplica un impulso TTL de programación de 50 mseg, activo de nivel alto, a la entrada CE'/PGM. Hay que aplicar un impulso de programación a cada una de las direcciones de las posiciones que se van a

programar. Se puede programar cualquier dirección en cualquier momento, incluso individual, secuencial o aleatoriamente. El impulso de programación tendrá una anchura máxima de 55 ms. La 2716 no puede ser programada aplicando una señal de c.c. a la entrada CE'/PGM.

Se puede llevar a cabo fácilmente la programación múltiple de varias 2716 conectadas en paralelo, con la misma información, dada la sencillez de los requisitos de programación. Las entradas iguales de las 2716 conectadas en paralelo pueden unirse cuando se las programa con los mismos datos. La programación de todas las unidades 2716 conectadas en paralelo se consigue mediante un impulso de nivel alto TTL aplicado a las entradas CE'/PGM.

Verificación del programa

Debe efectuarse la verificación de los bits programados para comprobar que presentan su estado lógico correcto. La verificación puede efectuarse con 25 V en Vpp. Excepto durante la programación y la verificación del programa, Vpp debe estar a 5 V.

Inhibición del programa

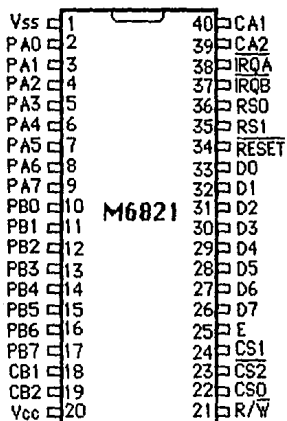
La programación de varias 2716 en paralelo con datos distintos se lleva a cabo también fácilmente. Con la excepción de CE'/PGM, todas las entradas análogas (OE' inclusive) de las 2716 conectadas en paralelo pueden ser comunes. Las 2716 que reciben en su entrada CE'/PGM un impulso de programación de nivel TTL junto con 25 V en Vpp resultan programadas. Las que reciben un nivel bajo en su entrada CE'/PGM quedan inhibidas y no reciben los datos.

APENDICE E.

INTERFACE PARALELA M6821[24]

CARACTERISTICAS

- *Bus de datos de 8 bits para comunicación con el MPU.
- *Dos puertos de 8 bits para entablar comunicación con periféricos.
- *Posee dos registros de control programables.
- *Posee dos registros de dirección programables.
- *Cuenta con cuatro líneas de entrada con control individual para interrupciones (dos de ellas pueden ser usadas como salidas para control de periféricos).
- *Capacidad del tercer estado.
- *Capacidad de interrupción controlada por programa.
- *Es compatible con TTL.
- *Operación estática.



DISTRIBUCION DE LOS PINES DEL M6821

Regímenes máximos absolutos

Voltaje de alimentación V_{cc}	-0.3 a +7Vdc
Voltaje de entrada V_{in}	-0.3 a +7Vdc
Rango de temperatura en operación T_A	0 a 70°C
Temperatura de almacenamiento T_{stg}	-55 a 150°C
Resistencia térmica θ_{JA}	82.5°C/W

Este dispositivo posee una circuitería para protegerlo contra daño en sus entradas producto de electricidad estática o campos eléctricos; sin embargo, se advierte que deben tomarse precauciones para evitar que los voltajes sobrepasen los valores máximos indicados para este circuito de alta impedancia.

Características eléctricas ($V_{cc}=5V \pm 5\%$, $V_{ss}=0$, $T_A=0$ a 70°C)

Entradas del bus de control (A/W', ENABLE, RESET', RSD, RS1, CS0, CS1, CS2')

Párametro	Mín.	Típ.	Máx.	Unidad
Voltaje alto de entrada V_{IH}	$V_{ss}+2$		V_{cc}	Vdc
Voltaje bajo de entrada V_{IL}	$V_{ss}-0.3$		$V_{ss}+0.8$	Vdc
Corriente de fuga de entrada I_{in} ($V_{in}=0$ a 5.25 Vdc)		1.0	2.5	μ Adc
Capacitancia de entrada C_{in} ($V_{in}=0$, $T_A=25^\circ\text{C}$, $f=1$ MHz)			7.5	pf

Salidas de interrupción (IRQH', IRQB')

Voltaje bajo de salida V_{OL} ($I_L=3.2\text{mAdc}$)			$V_{ss}+0.4$	Vdc
Corriente de fuga de salida (Estado apagado) ($V_{OH}=2.4\text{Vdc}$)		1.0	1.0	μ Adc
Capacitancia de entrada C_{out} ($V_{in}=0$, $T_A=25^\circ\text{C}$, $f=1$ MHz)			5.0	pf

Bus de datos (D0-D7)

Voltaje alto de entrada V_{IH}	$V_{ss}+2$	V_{cc}		Vdc
Voltaje bajo de entrada V_{IL}	$V_{ss}-0.3$	$V_{ss}+0.8$		Vdc
Corriente de entrada en el tercer estado I_{TSI} ($V_{in}=0.4$ a 2.4Vdc)		2.0	10	μ Adc
Voltaje alto de salida V_{OH} ($I_L=-205\mu\text{A}$)	$V_{ss}+2.4$			Vdc
Voltaje bajo de salida V_{OL} ($I_L=1.6\text{mA}$)			$V_{ss}+0.4$	Vdc
Capacitancia de entrada C_{in} ($V_{in}=0$, $T_A=25^\circ\text{C}$, $f=1$ MHz)			12.5	pf

Bus periférico (PA0-PA7, PBO-PB7, CA1, CA2, CB1, CB2)

Párametro	Mín.	Tip.	Máx.	Unidad
Corriente de fuga de entrada I_{in} ($V_{in}=0$ a 5.25 Vdc)				
R/W', Reset', RSO, RS1, CS0, CS1, CS2', CA1, CB1, Enable		1.0	2.5	μ Adc
Corriente de entrada en el tercer estado I_{TSL} ($V_{in}=0.4$ a 2.4Vdc)				
PBO-PB7, CB2		2.0	10	μ Adc
Corriente alta de entrada I_{IH} PA0-PA7, CA2	-200	-400		μ Adc
Corriente Darlington I_{OH} ($V_O=1.5$ Vdc) PBO-PB7, CB2	-1		-10	mAdc
Corriente baja de entrada I_{IL} ($V_{IL}=0.4$ Vdc) PA0-PA7, CA2		-1.3	-2.4	mAdc
Voltaje alto de salida V_{OH}				
($I_L=-200\mu$ Adc) PA0-PA7, PBO-PB7, CA2, CB2	$V_{SS}+2.4$			Vdc
($I_L=-10\mu$ A PA0-PA7, CA2)	$V_{CC}-1.0$			Vdc
Voltaje bajo de salida V_{OL} ($I_L=3.2$ mAdc)			$V_{SS}+0.4$	Vdc
Capacitancia de entrada C_{in} ($V_{in}=0$, $T_A=25^\circ$ C, $f=1$ MHz)			10	pf

Requerimiento de potencia

Disipación de potencia P_D			550	mW
------------------------------	--	--	-----	----

Características de tiempo del bus ($V_{CC}=5V \pm 5\%$, $V_{SS}=0$, $T_A=0$ a 70° C)

Párametro	Mín.	Tip.	Máx.	Unidad
Tiempo de ciclo de la señal E t_{cycE}	1000			ns
Ancho del pulso E (parte alta) PW_{EH}	450			ns
Ancho del pulso E (parte baja) PW_{EL}	430			ns
Tiempos de subida y bajada de la señal E t_{Er} , t_{Ef}			25	ns
Tiempo entre una dirección válida, la señal R/W' y la ocurrencia de una transición positiva en la señal E t_{AS}	160			ns
Tiempo de retención de las direcciones t_{AH}	10			ns
Tiempo de retardo de los datos durante una lectura t_{DDR}			320	ns
Tiempo de retención de los datos durante una lectura t_{DHR}	10			ns
Tiempo de datos válidos hasta el descenso de E (en la escritura)	195			ns
Tiempo de retención de datos (válidos) después del descenso de E (en la escritura) t_{DHW}	10			ns

Características periféricas de tiempo ($V_{CC}=5V \pm 5\%$, $V_{SS}=0$, $T_A=0$ a $70^\circ C$)

Párametro	Mín.	Típ.	Máx.	Unidad
Tiempo entre los datos activos en cualquier puerto y el momento en que E alcanza el nivel alto t_{PDSU}^*	200			ns
Tiempo de permanencia de los datos válidos en cualquier puerto después que la señal E haya alcanzado su nivel bajo t_{PDH}^*	0			ns
Tiempo entre las transiciones negativas de E y CA2 t_{CA2}^*			1.0	μs
Tiempo entre la transición negativa de E y la transición positiva de CA2 t_{RS1}^*			1.0	μs
Tiempo de subida y bajada para las señales de entrada CA1 y CA2 t_r, t_f^*			1.0	μs
Tiempo entre la transición activa de CA1 a la transición positiva de CA2 t_{RS2}^*			2.0	μs
Tiempo entre la transición negativa de E y el momento de datos válidos en cualquier puerto t_{PDW}^{**}			1.0	μs
Tiempo entre la transición negativa de E y el momento de datos válidos en el puerto A (o la línea CA2) a nivel CMOS t_{CMOS}^{**}			2.0	μs
Tiempo entre la transición positiva de E y la transición negativa de CB2 t_{CB2}^{**}			1.0	μs
Tiempo entre la existencia de datos válidos en B y la transición negativa de CB2 t_{DC}^{**}	20			ns
Tiempo entre las transiciones positivas de E y CB2 t_{RS1}^{**}			1.0	μs
Ancho del pulso de control periférico CA2/CB2 PW_{CT}^{**}	550			ns
Tiempos de subida y bajada de las señales de entrada CB1 y CB2 t_r, t_f^{**}			1.0	μs
Tiempo entre la transición activa de CB1 y la transición positiva CB2 t_{RS2}^{**}			2.0	μs
Tiempo comprendido entre el momento en que E alcanza su nivel alto y dicha condición también se da en cualquiera de las líneas IRQ t_{IR}			1.6	μs
Tiempo de respuesta de interrupción t_{RS3}			1.0	μs
Ancho del pulso de entrada de interrupción PW_I	500			ns
Tiempo en nivel bajo de la señal de Reset t_{RL}^{***}	1			μs

* En modo de lectura.

** En modo de escritura.

*** La línea de Reset debe permanecer un mínimo de 1.0 μs antes de direccionar el PIA.

FORMAS DE ONDA

Diagrama de tiempo de lectura del bus de datos

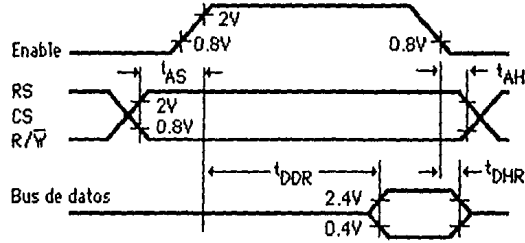
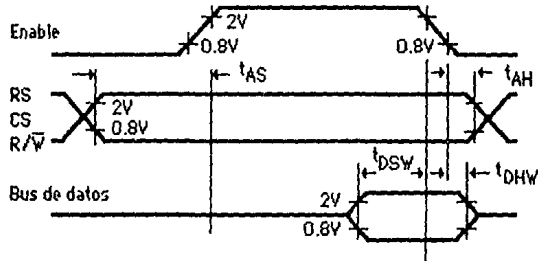
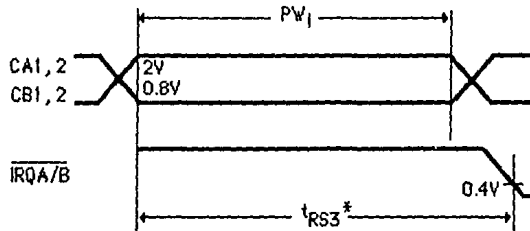


Diagrama de tiempo de escritura en el bus de datos



Rancho del pulso de interrupción y respuesta de las líneas IRQ



* Se asume que los bits de interrupción están puestas a "1".

LÍNEAS DE INTERFACE CON EL MPU

Bus de datos (D0-D7)

Los drivers de salida del bus de datos tienen la capacidad de entrar en el tercer estado y permanecer en él excepto cuando el MPU ejecuta una operación de lectura sobre el PIA.

Enable (E)

El pulso de habilitación E es la única señal de tiempo que se suministra al PIA, cuyos flancos sirven de referencia para la ejecución de sus operaciones internas.

Read/Write' (R/W')

La señal de R/W' es generada por el MPU y alimentada al PIA para el control de las operaciones de lectura y grabación de datos en el dispositivo por medio de los niveles 1 y 0, respectivamente.

Reset'

La línea de reset' es usada para aclarar (poner a cero) los bits de todos los registros del PIA en situaciones de encendido o reinicialización del sistema.

Seleccionadores de chip (CS0, CS1 Y CS2')

Estas tres señales de entrada son usadas para seleccionar al PIA (CS0 Y CS1 deben mantenerse en un nivel alto y CS2 en un nivel bajo para tal fin). Estas líneas deben permanecer estables durante la duración del pulso E ya que el dispositivo es inhabilitado cuando cualquiera de las tres líneas se encuentra en su estado inactivo.

Líneas de selección de registro (RS0 y RS1)

Las líneas RS0 y RS1 son usadas para seleccionar, conjuntamente con los registros de control internos al PIA, los registros internos del chip. Las líneas de selección de registro y habilitación de chip deben permanecer estables durante la duración del pulso E mientras se está en un ciclo de lectura o escritura.

Salidas de interrupción (IRQA', IRQB')

Las líneas de interrupción son activas en el nivel bajo y son utilizadas para interrumpir al MPU directamente o a través de un circuito de interrupción con prioridad. Estas líneas no representan carga alguna al chip lo que permite conectar toda línea de interrupción en una configuración OR.

Cada línea posee dos bits internos cuyo contenido puede causar su activación. Estos bits o banderas de interrupción son aclarados (borrados) como resultado de una operación de lectura practicada por el MPU en el registro de datos correspondiente, después de lo cual el bit o bandera de interrupción no podrá ser habilitado hasta que el PIA se haya inhabilitado durante un pulso de la señal E.

LÍNEAS DE INTERFACE CON PERIFÉRICOS

Puerto A y B (PA0-PA7, PB0-PB7)

Cada una de las líneas de los puertos A y B pueden programarse para actuar como entrada o como salida. Para ello se tiene el registro de dirección de datos cuyos bits en 1 y en 0, que tienen correspondencia con las líneas de los puertos, habilitan las líneas para servir como salida o entrada, respectivamente. Cuando el MPU realiza una operación de lectura sobre un determinado puerto, el contenido de las líneas programadas como entradas es transferido a las correspondientes líneas del bus de datos, lo contrario sucede para una operación de escritura. El registro de datos del puerto A puede ser leído incluso si sus líneas están programadas como salidas, y la información será correcta, si estas poseen más de 2V para un "1" lógico y menos de 0.8V para un "0" lógico. Para el caso del puerto B lo anterior no tiene importancia.

El buffer de salida de cada línea del puerto B entra en un estado de alta impedancia cada vez que dicha línea sea programada como entrada.

Entradas para interrupción (CA1 y CB1)

Las líneas CA1 y CB1 son entradas por medio de las cuales se genera una condición de interrupción en el PIA. Actúan directamente sobre la bandera de interrupción del registro de control al que pertenecen. Responden a cambios de nivel y su transición activa puede elegirse a conveniencia por medio de los registros de control.

Línea de control periférico CA2

Esta línea puede programarse para actuar como entrada de interrupción o como salida de control periférico. Como salida, esta línea es compatible con un carga estándar TTL y como entrada un resistor interno de pullup en esta línea representa una carga de 1.5 veces la estándar TTL. Su funcionamiento es programado por medio del registro de control A.

Línea de control periférico CB2

Esta línea puede programarse para actuar como entrada de interrupción o como salida de control periférico. Como entrada presenta una alta impedancia y es compatible con una carga estándar TTL. Como salida, es compatible con una carga estándar TTL y puede ser usada para proporcionar 1 miliamper a 1.5V para manejar directamente la base de un transistor de conmutación. Esta línea es programada por medio del registro de control B.

CONTROL INTERNO

	7	6	5	4	3	2	1	0
CRA	IRQA1	IRQA2	CONTROL CA2			ACCESA DDRA	CONTROL CA1	
	7	6	5	4	3	2	1	0
CRB	IRQB1	IRQB2	CONTROL CB2			ACCESA DDRB	CONTROL CB1	

Direccionamiento interno de los registros

RS1	RS0	Bits de control		Registro seleccionado
		CRA-2	CRB-2	
0	0	1	X	REGISTRO DE DATOS A
0	0	0	X	REGISTRO DE DIRECCIONES A
0	1	X	X	REGISTRO DE CONTROL A
1	0	X	1	REGISTRO DE DATOS B
1	0	X	0	REGISTRO DE DIRECCIONES B
1	1	X	X	REGISTRO DE CONTROL B

CONTROL DE LAS ENTRADAS DE INTERRUPCION CA1 Y CB1

CRA-1 (CRB-1)	CRA-0 (CRB-0)	CA1 (CB1)	BANDERA DE INTERRUPCION CRA-7 (CRB-7)	IRQ' (IRQB')
0	0	\ ACTIVA	PUESTO A UNO EN \ DE CA1(CB1)	INHABILITADA
0	1	\ ACTIVA	PUESTO A UNO EN \ DE CA1(CB1)	BAJA CUANDO CRA7 (CRB7) SUBE
1	0	/ ACTIVA	PUESTO A UNO EN / DE CA1(CB1)	INHABILITADA
1	1	/ ACTIVA	PUESTO A UNO EN / DE CA1(CB1)	BAJA CUANDO CRA7 (CRB7) SUBE

/ Indica una transición positiva de nivel.

\ Indica una transición negativa de nivel.

CRA-7 es borrado por el MPU cuando éste lee el registro de datos A .

CRB-7 es borrado por el MPU cuando éste lee el registro de datos B .

Si CRA-0 (CRB-0) está en cero y ocurre una interrupción, después que se haya puesto a uno el PIA responde a la interrupción.

**CONTROL DE LAS ENTRADAS DE INTERRUPCION CA2 Y CB2
CRA5(CRB5) en bajo**

CRA-5 (CRB-5)	CRA-4 (CRB-4)	CRA-4 (CRB-4)	CA2 (CB2)	BANDERA DE INTERRUPCION CRA-6 (CRB-6)	IRQA' (IRQB')
0	0	0	\ ACTIVA	PUESTO A UNO EN \ DE CA2(CB2)	INHABILITADA
0	0	1	\ ACTIVA	PUESTO A UNO EN \ DE CA2(CB2)	BAJA CUANDO CRA7 (CRB7) SUBE
0	1	0	/ ACTIVA	PUESTO A UNO EN / DE CA2(CB2)	INHABILITADA
0	1	1	/ ACTIVA	PUESTO A UNO EN / DE CA2(CB2)	BAJA CUANDO CRA7 (CRB7) SUBE

/ Indica una transición positiva de nivel.

\ Indica una transición negativa de nivel.

CRA-6 es borrado por el MPU cuando éste lee el registro de datos A .

CRB-6 es borrado por el MPU cuando éste lee el registro de datos B .

Si CRA-3 (CRB-3) está en cero y ocurre una interrupción, después que se haya puesto a uno el PIA responde a la interrupción.

CONTROL DE CB2 COMO SALIDA (CRB-5 en alto)

CRB-5	CRB-4	CRB-3	CB2	
			CERO	UNO
1	0	0	Baja en la transición positiva del primer pulso E a lo que sigue una operación de escritura sobre el registro de datos B.	Sube cuando el bit CRB-7 de interrupción está en uno producto de una transición activa de la señal CB1.
1	0	1	Baja en la transición positiva del primer pulso E después de una operación de escritura en el registro de datos B.	Sube en un borde positivo de E si siguiendo un pulso E que ocurre mientras la parte es inhabilitada
1	1	0	Baja cuando CRB-3 baja como resultado de una operación de escritura en el registro de control B.	Siempre está en bajo mientras CRB-3 permanece en bajo. Sube cuando el MPU escribe sobre el registro de control B lo que cambia a uno el contenido de CRB-3.
1	1	1	Siempre está en uno hasta tanto CRB-3 no baje producto de una operación de escritura sobre el registro de control B.	Sube cuando CRB-3 sube como resultado de una operación de escritura en el registro de control B.

CONTROL DE CA2 COMO SALIDA (CRA-5 en alto)

CRA-5	CRA-4	CRA-3	CERO	CA2	UNO
1	0	0	Baja en la transición negativa de E después una un operación de lectura en el registro A de datos.	Sube cuando el bit CRA-7 de interrupción está en uno producto de una transición activa de la señal CA1.	
1	0	1	Baja en la transición negativa de E después de una operación de lectura sobre el registro A de datos.	Sube en el borde negativo del primer pulso E que ocurre durante la inhabilitación de la parte.	
1	1	0	Baja cuando CRA-3 baja como resultado de una operación de escritura en el registro de control A.	Siempre está en bajo mientras CRA-3 permanece en bajo. Sube cuando el MPU escribe sobre el registro de control A lo que cambia a uno el contenido de CRA-3.	
1	1	1	Siempre está en uno hasta tanto CRA-3 no baje producto de una operación de escritura sobre el registro de control A.	Sube cuando CRA-3 sube como resultado de una operación de escritura en el registro de control A.	

APENDICE F.

CIRCUITOS INTEGRADOS TTL [29]

7400-7414-7432-74LS74-74LS138-74148-74LS244-74LS245-9368

7400

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V_{CC})	4.75	5	5.25	V
Corriente de salida de alto nivel (I_{OH})			-400	μ A
Corriente de salida de nivel bajo (I_{OL})			16	mA
Temperatura de operación (T_A)	0		70	$^{\circ}$ C

Características eléctricas ($T_A=0^{\circ}$ C a 70° C)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Voltaje de entrada de nivel alto (V_{IH})	2			V	
Voltaje de entrada de nivel bajo (V_{IL})			0.8	V	
Voltaje de salida de alto nivel (V_{OH})	2.4	3.4		V	$V_{CC}=\text{Mín.}$, $V_{IL}=\text{Máx.}$ $I_{OH}=\text{Máx.}$
Voltaje de salida de nivel bajo (V_{OL})	0.2	0.4		V	$V_{CC}=\text{Mín.}$, $V_{IH}=2V$ $I_{OL}=\text{Máx.}$
Corriente de entrada al voltaje de entrada máximo (I_I)			1	mA	$V_I=3.5V$
Corriente de entrada de alto nivel (I_{IH})			40	μ A	$V_{CC}=\text{Máx.}$, $V_{IH}=2.4V$
Corriente de entrada de bajo nivel (I_{IL})			-1.6	mA	$V_{CC}=\text{Máx.}$, $V_{IL}=0.4V$
Corriente de salida de cortocircuito (I_{OS})*	-18		-55	mA	$V_{CC}=\text{Máx.}$
Corriente de alimentación con todas las salidas en alto (I_{CCH})		4	8	mA	
Corriente de alimentación con todas las salidas en bajo (I_{CCL})		12	22	mA	

* No más de una salida puede estar en cortocircuito al tiempo.

Características de conmutación ($V_{CC}=5V$, $T_A=25^{\circ}$ C)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Tiempo de propagación (transición positiva de nivel) (t_{PLH})		11	12	ns	$C_L=15pf$, $R_L=400\Omega$
Tiempo de propagación (transición negativa de nivel) (t_{PHL})		7	15	ns	" "

7414

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V_{CC})	4.75	5	5.25	V
Corriente de salida de alto nivel (I_{OH})			-800	μA
Corriente de salida de nivel bajo (I_{OL})			16	mA
Temperatura de operación (T_A)	0		70	$^{\circ}C$

Características eléctricas ($T_A=0^{\circ}C$ a $70^{\circ}C$)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Voltaje de umbral de transición positiva V_{T+}	1.5	1.7	2	V	$V_{CC}=5V$
Voltaje de umbral de transición negativa V_{T-}	0.6	0.9	1.1	V	$V_{CC}=5V$
Voltaje de salida de alto nivel (V_{OH})	2.4	3.4		V	$V_{CC}=\text{Mín}$ $V_I=V_{T-}\text{Mín}$ $I_{OH}=\text{Máx.}$
Voltaje de salida de nivel bajo (V_{OL})		0.2	0.4	V	$V_{CC}=\text{Mín}$ $V_I=V_{T+}\text{Máx}$ $I_{OL}=\text{Máx.}$
Corriente de entrada de transición positiva de umbral (I_{T+})	-0.43			mA	$V_{CC}=5V$ $V_I=V_{T+}$
Corriente de entrada de transición negativa de umbral (I_{T-})	-0.56			mA	$V_{CC}=5V$ $V_I=V_{T-}$ $I_{OL}=\text{Máx.}$
Corriente de entrada al voltaje de entrada máximo (I_I)			1	mA	$V_I=5.5V$ $V_{CC}=\text{Máx.}$
Corriente de entrada de alto nivel (I_{IH})			40	μA	$V_{CC}=\text{Máx.}$ $V_{IH}=2.4V$
Corriente de entrada de bajo nivel (I_{IL})	-0.8	-1.2		mA	$V_{CC}=\text{Máx.}$ $V_{IL}=0.4V$
Corriente de salida de cortocircuito (I_{OS})*	-18		55	mA	$V_{CC}=\text{Máx.}$
Corriente de alimentación con todas las salidas en alto (I_{CCH})		10	36	mA	
Corriente de alimentación con todas las salidas en bajo (I_{CCL})		39	60	mA	

* No más de una salida puede estar en cortocircuito al tiempo.

Características de conmutación ($V_{CC}=5V$, $T_A=25^{\circ}C$)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Tiempo de propagación (transición positiva de nivel) (t_{PLH})		15	22	ns	$C_L=15\text{pf}$ $R_L=400\Omega$
Tiempo de propagación (transición negativa de nivel) (t_{PHL})		15	22	ns	" "

7432

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V_{CC})	4.75	5	5.25	V
Corriente de salida de alto nivel (I_{OH})			-800	μ A
Corriente de salida de nivel bajo (I_{OL})			16	mA
Temperatura de operación	0		70	$^{\circ}$ C

Características eléctricas ($T_A=0^{\circ}$ C a 70° C)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Voltaje de entrada de nivel alto (V_{IH})	2			V	
Voltaje de entrada de nivel bajo (V_{IL})			0.8	V	
Voltaje de salida de alto nivel (V_{OH})	2.4	3.4		V	$V_{CC}=\text{Mín. } V_{IH}=2V.$ $I_{OH}=\text{Máx.}$
Voltaje de salida de nivel bajo (V_{OL})		0.2	0.4	V	$V_{CC}=\text{Mín. } V_{IL}=\text{Máx.}$ $I_{OL}=\text{Máx.}$
Corriente de entrada al voltaje de entrada máximo (I_I)			1	mA	$V_I=5.5V$
Corriente de entrada de alto nivel (I_{IH})			40	μ A	$V_{CC}=\text{Máx. } V_{IH}=2.4V$
Corriente de entrada de bajo nivel (I_{IL})			-1.6	mA	$V_{CC}=\text{Máx. } V_{IL}=0.4V$
Corriente de salida de cortocircuito (I_{OS})*	-18		55	mA	$V_{CC}=\text{Máx.}$
Corriente de alimentación con todas las salidas en alto (I_{CCH})		15	22	mA	
Corriente de alimentación con todas las salidas en bajo (I_{CCL})		23	38	mA	

* No más de una salida puede estar en cortocircuito al tiempo.

Características de conmutación ($V_{CC}=5V, T_A=25^{\circ}$ C)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Tiempo de propagación (transición positiva-de nivel) (t_{PLH})	10	15		ns	$C_L=15pF, R_L=400\Omega$
Tiempo de propagación (transición negativa-de nivel) (t_{PHL})	14	22		ns	" "

74LS74

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V_{CC})	4.75	5	5.25	V
Corriente de salida de alto nivel (I_{OH})			-800	μ A
Corriente de salida de nivel bajo (I_{OL})			8	mA
Frecuencia del reloj (f_{clock})	0		25	MHz
Duración de pulso (t_W) *	25			ns
Lapso de tiempo entre dos eventos consecutivos de entrada (t_{su})	20			ns
Tiempo de retención (t_h)	5			ns
Temperatura de operación (T_A)	0		70	$^{\circ}$ C

* Reloj en alto o preset/clear en bajo.

Características eléctricas ($T_A=0^{\circ}$ C a 70° C)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Voltaje de entrada de nivel alto (V_{IH})	2			V	
Voltaje de entrada de nivel bajo (V_{IL})			0.8	V	
Voltaje de salida de alto nivel (V_{OH})	2.7	3.4		V	$V_{CC}=\text{Mín.}$, $V_{IH}=2V$. $I_{OH}=\text{Máx.}$
Voltaje de salida de nivel bajo (V_{OL})		0.35	0.5	V	$V_{CC}=\text{Mín.}$, $V_{IL}=\text{Máx.}$ $I_{OL}=\text{Máx.}$
		0.25	0.4	V	$V_{IH}=2V$, $I_{OL}=4mA$
Corriente de entrada al voltaje de entrada máximo (I_p)			0.1	mA	D $V_{CC}=\text{Máx.}$, $V_I=7V$
			0.2	mA	Clear " "
			0.2	mA	Preset " "
			0.1	mA	clock " "
Corriente de entrada de alto nivel (I_{IH})*			20	μ A	$V_{CC}=\text{Máx.}$, $V_{IH}=2.7V$
Corriente de entrada de bajo nivel (I_{IL})**			-0.4	mA	$V_{CC}=\text{Máx.}$, $V_{IL}=0.4V$
Corriente de salida de cortocircuito (I_{OS})*	-20		100	mA	$V_{CC}=\text{Máx.}$
Corriente de alimentación con todas las salidas en alto (I_{CC})		4	8	mA	$V_{CC}=\text{Máx.}$ Clock aterrizado.

* Para D y clock, 40 μ A para clear y preset.

** Para D y clock, -0.8 mA para clear y preset.

Características de conmutación ($V_{CC}=5V, T_A=25^{\circ}C$)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Frecuencia máxima ($f_{m\acute{o}x}$)	25	33		MHz	
Tiempo de propagación (transición positiva-de nivel) (t_{PLH})		13	25	ns	$C_L=15pf, R_L=400\Omega$
Tiempo de propagación (transición negativa-de nivel) (t_{PHL})		25	40	ns	" "

TABLA DE VERDAD

ENTRADAS			SALIDAS		
PRESET	CLEAR	CLOCK	D	Q	Q'
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	/	H	H	L
H	H	/	L	L	H
H	H	L	X	Q_0	Q_0'

*Esta configuración no es estable, o sea que, no se mantiene cuando las entradas de preset y -clear regresan a su estado alto de inactivación.
/ Indica una transición o flanco positivo.

74LS138

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V_{CC})	4.75	5	5.25	V
Corriente de salida de alto nivel (I_{OH})			-400	μA
Corriente de salida de nivel bajo (I_{OL})			8	mA
Temperatura de operación	0		70	$^{\circ}C$

Características eléctricas ($T_A=0^{\circ}C$ a $70^{\circ}C$)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Voltaje de entrada de nivel alto (V_{IH})	2			V	
Voltaje de entrada de nivel bajo (V_{IL})			0.8	V	
Voltaje de salida de alto nivel (V_{OH})	2.7	3.4		V	$V_{CC}=\text{Mín.}$ $V_{IH}=2V$. $I_{OH}=-400\mu A$.
Voltaje de salida de nivel bajo (V_{OL})		0.25	0.4	V	$V_{CC}=\text{Mín.}$ $V_{IL}=\text{Máx.}$ $I_{OL}=4mA$.
Corriente de entrada al voltaje de entrada máximo (I_I)			0.1	mA	$V_I=7V$ $V_{CC}=\text{Máx.}$
Corriente de entrada de alto nivel (I_{IH})			20	μA	$V_{CC}=\text{Máx.}$ $V_I=2.7V$
Corriente de entrada de bajo nivel (I_{IL})			-0.4	mA	$V_{CC}=\text{Máx.}$ $V_I=0.4V$
Corriente de salida de cortocircuito (I_{OS})*	-20		-100	mA	$V_{CC}=\text{Máx.}$
Corriente de alimentación**	6.3	10		mA	$V_{CC}=\text{Máx.}$

* No más de una salida puede estar en cortocircuito al tiempo.

** Con las salidas habilitadas y abiertas.

Características de conmutación ($V_{CC}=5V$, $T_A=25^{\circ}C$) Expresadas en nanosegundos. *

PARAMETRO	DE (entrada)	A (salida)	NIVELES DE RETARDO	Típ.	Máx.
t_{PLH}	Selección binaria	Cualquiera	2	13	20
t_{PHL}	Selección binaria	Cualquiera	2	27	41
t_{PLH}	Selección binaria	Cualquiera	3	18	27
t_{PHL}	Selección binaria	Cualquiera	3	26	39
t_{PLH}	habilitación	Cualquiera	2	12	18
t_{PHL}	habilitación	Cualquiera	2	21	32
t_{PLH}	habilitación	Cualquiera	3	17	26
t_{PHL}	Selección binaria	Cualquiera	3	25	38

* Condiciones: $C_L=15$ pf, $R_L=2K\Omega$.

TABLA DE VERDAD

ENTRADAS		SALIDAS										
HABILITACION	SELECCION	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2=G2A+G2B H=alto nivel L=bajo nivel X=irrelevante.

74148

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V_{CC})	4.75	5	5.25	V
Corriente de salida de alto nivel (I_{OH})			-400	μA
Corriente de salida de nivel bajo (I_{OL})			16	mA
Temperatura de operación	0		70	$^{\circ}C$
Disipación de potencia		190		mW

Características eléctricas ($T_A=0^{\circ}C$ a $70^{\circ}C$)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Voltaje de entrada de nivel alto (V_{IH})	2			V	
Voltaje de entrada de nivel bajo (V_{IL})			0.8	V	
Voltaje de salida de alto nivel (V_{OH})	2.4	3.3		V	$V_{CC}=\text{Mín.}$ $V_{IL}=0.8V$ $I_{OH}=-800\mu A$. $V_{IH}=2V$.
Voltaje de salida de nivel bajo (V_{OL})	0.2	0.4		V	$V_{CC}=\text{Mín.}$ $V_{IH}=2V$ $I_{OL}=16mA$ $V_{IL}=0.8$
Corriente de entrada al voltaje de entrada máximo (I_I)			1	mA	$V_I=5.5V$ $V_{CC}=\text{Máx.}$
Corriente de entrada de alto nivel (I_{IH})**			80	μA	$V_{CC}=\text{Máx.}$ $V_{IH}=2.4V$
Corriente de entrada de bajo nivel (I_{IL} ***)			-3.2	mA	$V_{CC}=\text{Máx.}$ $V_I=0.4V$
Corriente de salida de cortocircuito (I_{OS})*	-35		-85	mA	$V_{CC}=\text{Máx.}$
Corriente de alimentación (I_{CC})****	40	60		mA	Condición 1
	35	55		mA	Condición 2

* No más de una salida puede estar en cortocircuito al tiempo.

** Para la entrada cero el valor de este parámetro es de $40\mu A$.

*** Para la entrada cero el valor de este parámetro es de $-1.6mA$.

**** I_{CC} (condición 1) es medida con las entradas 7 y E1 aterrizadas y el resto de las entradas y salidas abiertas. I_{CC} (condición 2) es medida con todas las entradas y salidas abiertas.

Características de conmutación ($V_{CC}=5V, T_A=25^{\circ}C$) Expresadas en nanosegundos. *

PARAMETRO	DE (entrada)	A (salida)	FORMA DE ONDA	Típ.	Máx.
t_{PLH}	1 a 7	A0, A1 o A2	Salida en fase	10	15
t_{PHL}	1 a 7	A0, A1 o A2	Salida en fase	9	14
t_{PLH}	1 a 7	A0, A1 o A2	Salida fuera de fase	13	19
t_{PHL}	1 a 7	A0, A1 o A2	Salida fuera de fase	12	19
t_{PLH}	0 a 7	E0	Salida fuera de fase	6	10
t_{PHL}	0 a 7	E0	Salida fuera de fase	14	25
t_{PLH}	0 a 7	GS	Salida en fase	18	30
t_{PHL}	0 a 7	GS	Salida en fase	14	25
t_{PLH}	E1	A0, A1 o A2	Salida en fase	10	15
t_{PHL}	E1	A0, A1 o A2	Salida en fase	10	15
t_{PLH}	E1	GS	Salida en fase	8	12
t_{PHL}	E1	GS	Salida en fase	10	15
t_{PLH}	E1	E0	Salida en fase	10	15
t_{PHL}	E1	E0	Salida en fase	17	30

* Condiciones: $C_L=15$ pf, $R_L=400\Omega$.

TABLA DE VERDAD

	ENTRADAS							SALIDAS						
	E1	0	1	2	3	4	5	6	7	A2	A1	A0	GS	E0
H	X	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	L	H
L	X	X	X	X	X	L	H	H	L	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	L	L	L	H
L	X	X	X	L	H	H	H	H	L	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	H	L	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	L	H

74LS244

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V_{CC})	4.75	5	5.25	V
Corriente de salida de alto nivel (I_{OH})			-15	mA
Corriente de salida de nivel bajo (I_{OL})			24	mA
Temperatura de operación	0		70	$^{\circ}C$
Disipación de potencia *		135		mW

* Habilitado.

Características eléctricas ($T_A=0^{\circ}C$ a $70^{\circ}C$)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Voltaje de entrada de nivel alto (V_{IH})	2			V	
Voltaje de entrada de nivel bajo (V_{IL})			0.8	V	
Voltaje de salida de alto nivel (V_{OH})	2.4	3.4		V	$V_{CC}=\text{Mín. } V_{IL}=\text{Máx.}$ $I_{OH}=-3\text{mA. } V_{IH}=2\text{V}$
Voltaje de salida de nivel bajo (V_{OL})			0.5	V	$V_{CC}=\text{Mín. } V_{IH}=2\text{V}$ $I_{OL}=24\text{mA. } V_{IL}=\text{Máx}$
Corriente de salida en estado inactivo con niveles altos de voltaje aplicados (I_{OZH})			20	μA	$V_{CC}=\text{Máx. } V_{IH}=2\text{V.}$ $V_{IL}=\text{Máx}$
Corriente de salida en estado inactivo con niveles bajos de voltaje aplicados (I_{OZL})			-20	μA	" "
Corriente de entrada al voltaje de entrada máximo (I_I)			0.1	mA	$V_I=\text{Máx. } V_I=7\text{V.}$
Corriente de entrada de alto nivel (I_{IH})			20	μA	$V_{CC}=\text{Máx. } V_I=2.7\text{V}$
Corriente de entrada de bajo nivel (I_{IL})			-0.2	mA	$V_{CC}=\text{Máx. } V_{IL}=0.4\text{V}$
Corriente de salida de cortocircuito *	-40	-225		mA	$V_{CC}=\text{Máx.}$
Corriente de alimentación **	17	27		mA	Salidas en alto.
	27	46		mA	Salidas en bajo.
	32	54		mA	Salidas inhabilitadas

* No más de una salida puede estar en cortocircuito al tiempo y la duración del cortocircuito no debe exceder un segundo.

** $V_{CC}=\text{Máx.}$ y salidas abiertas.

Características de conmutación ($V_{CC}=5V, T_A=25^{\circ}C$) Tiempos expresados en nanosegundos.

	Típ. Máx.		Condiciones
Tiempo de propagación-transición positiva de nivel (t_{PLH})	12	18	$C_L=45pf, R_L=667\Omega$
Tiempo de propagación-transición negativa de nivel (t_{PHL})	12	18	$C_L=45pf, R_L=667\Omega$
Tiempo de habilitación de salida a nivel bajo (t_{PZL})	20	30	$C_L=45pf, R_L=667\Omega$
Tiempo de habilitación de salida a nivel alto (t_{PZH})	15	23	$C_L=45pf, R_L=667\Omega$
Tiempo de inhabilitación de salida para bajo nivel (t_{PLZ})	15	25	$C_L=5pf, R_L=667\Omega$
Tiempo de inhabilitación de salida para alto nivel (t_{PHZ})	10	18	$C_L=5pf, R_L=667\Omega$

74LS245

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V_{CC})	4.75	5	5.25	V
Corriente de salida de alto nivel (I_{OH})			-15	mA
Corriente de salida de nivel bajo (I_{OL})			24	mA
Temperatura de operación (T_A)	0		70	$^{\circ}C$
Disipación de potencia *		135		mW

* Habilitado.

Características eléctricas ($T_A=0^{\circ}C$ a $70^{\circ}C$)

	Mín.	Típ.	Máx.	Unidad	Condiciones
Voltaje de entrada de nivel alto (V_{IH})	2			V	
Voltaje de entrada de nivel bajo (V_{IL})			0.8	V	
Voltaje de salida de alto nivel (V_{OH})	2.4	3.4		V	$V_{CC}=\text{Mín.}, V_{IL}=\text{Máx.}$ $I_{OH}=-3\text{mA. } V_{IH}=2\text{V}$
Voltaje de salida de nivel bajo (V_{OL})			0.5	V	$V_{CC}=\text{Mín.}, V_{IH}=2\text{V}$ $I_{OL}=24\text{mA. } V_{IL}=\text{Máx.}$
Corriente de salida en estado inactivo con niveles altos de voltaje aplicados (I_{OZH})			20	μA	$V_{CC}=\text{Máx. } G' \text{ a } 2\text{V.}$ $V_O=2.7\text{V.}$
Corriente de salida en estado inactivo con niveles bajos de voltaje aplicados (I_{OZL})			-200	μA	$V_{CC}=\text{Máx. } G' \text{ a } 2\text{V.}$ $V_O=0.4\text{V.}$
Corriente de entrada al voltaje de entrada máximo (I_I)			0.1	mA	$V_{CC}=\text{Máx. } V_I=7\text{V.}$
Corriente de entrada de alto nivel (I_{IH})			20	μA	$V_{CC}=\text{Máx. } V_I=2.7\text{V}$
Corriente de entrada de bajo nivel (I_{IL})			-0.2	mA	$V_{CC}=\text{Máx. } V_{IL}=0.4\text{V}$
Corriente de salida de cortocircuito *	-40		-225	mA	$V_{CC}=\text{Máx.}$
Corriente de alimentación**		48	70	mA	Salidas en alto.
		62	90	mA	Salidas en bajo.
		64	95	mA	Salidas inhabilitadas

* No más de una salida puede estar en cortocircuito al tiempo y la duración del cortocircuito no debe exceder un segundo.

** $V_{CC}=\text{Máx.}$ y salidas abiertas.

Características de conmutación ($V_{CC}=5V$, $T_A=25^{\circ}C$) Tiempos expresados en nanosegundos.

	Típ. Máx.		Condiciones
Tiempo de propagación-transición positiva de nivel (t_{PLH})	8	12	$C_L=45pf$, $R_L=667\Omega$
Tiempo de propagación-transición negativa de nivel (t_{PHL})	8	12	$C_L=45pf$, $R_L=667\Omega$
Tiempo de habilitación de salida a nivel bajo (t_{PZL})	27	40	$C_L=45pf$, $R_L=667\Omega$
Tiempo de habilitación de salida a nivel alto (t_{PZH})	25	40	$C_L=45pf$, $R_L=667\Omega$
Tiempo de inhabilitación de salida para bajo nivel (t_{PLZ})	15	25	$C_L=5pf$, $R_L=667\Omega$
Tiempo de inhabilitación de salida para alto nivel (t_{PHZ})	15	25	$C_L=5pf$, $R_L=667\Omega$

TABLA DE FUNCIONAMIENTO

HABILITACION G'	CONTROL DE DIRECCION (DIR)	OPERACION
L	L	DATOS DE B AL BUS A
L	H	DATOS DE A AL BUS B
H	X	ALTA IMPEDANCIA

H=ALTO NIVEL L=BAJO NIVEL X=IRRELEVANTE

CONDICIONES OPERATIVAS RECOMENDADAS

	Mín.	Típ.	Máx.	Unidad
Voltaje de alimentación (V _{cc})	4.75	5	5.25	V
Temperatura de operación	0		70	°C

CARGA DE ENTRADA/ABANICO DE SALIDA

DESIGNACION DE PINES	DESCRIPCION	CONSUMO EN ALTO/BAJO
A0-A3	Líneas para entrada de datos	2.0/1.0*
LE'	Línea para habilitar la captura de datos	1.0/1.0
RBI'	Línea para habilitar la función que apaga el visualizador	1.0/1.0
RBO'	Línea para solicitar el apagar un visualizador	-/2.0
a-g	Salida de los segmentos (activas en alto)	20mA/"OFF"

*Estas líneas representan una carga de 100 μ A a 0.4V cuando LE' posee un nivel alto.

Características de D.C. (T_A=0 °C a 70 °C)

	Mín.	Máx.	Unidad	Condiciones
Corriente de salida de segmento de alto nivel (I _{OH})	-16	-22	mA	V _{cc} =5V. V _{out} =1.7V. T _A =+25 °C
Corriente de salida de segmento de bajo nivel (I _{OL})	-250	250	μ A	V _{cc} =5V. V _{out} =1.7V.
Corriente de alimentación de la fuente (I _{CC})		67	mA	V _{cc} =Máx Salidas abiertas A0-A3, LE' aterrizadas.

Características de A.C. V_{cc}=+5.0V. T_A=25 °C.

	Máx.	Unidad	Condiciones
Tiempo de propagación (t _{PLH}) A _n ->a-g	50	ns	C _L =15pf, R _L =100 Ω
Tiempo de propagación (t _{PHL}) A _n ->a-g	75	ns	C _L =15pf, R _L =100 Ω
Tiempo de propagación (t _{PLH}) LE' ->a-g	70	ns	C _L =15pf, R _L =100 Ω
Tiempo de propagación (t _{PHL}) LE' ->a-g	90	ns	C _L =15pf, R _L =100 Ω

Requerimientos de operación de A.C. $V_{CC}=+5.0V$, $T_A=25^{\circ}C$.

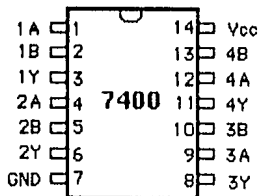
	Mín.	Unidad
Lapso de tiempo entre dos eventos consecutivos de entrada(alta) t_s (H) [A_n a LE']	30	ns
Tiempo de retención en alto nivel t_h (H) [A_n a LE']	0	ns
Tiempo entre dos eventos consecutivos de entrada (baja) t_s (L) [A_n a LE']	20	ns
Tiempo de retención en nivel bajo t_h (L) [A_n a LE']	0	ns
Duración de bajo nivel del pulso de LE' t_w (L)	45	ns

TABLA DE VERDAD

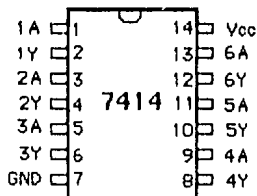
ESTADO BINARIO	ENTRADAS						SALIDAS								
	LE'	RBI'	A3	A2	A1	A0	a	b	c	d	e	f	g	ABO'	VISUALIZADOR
-	H	*	X	X	X	X	<--ESTABLE-->							H	ESTABLE
0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	BLANCO
0	L	H	L	L	L	L	H	H	H	H	H	L	L	H	0
1	L	X	L	L	L	H	L	H	L	L	L	L	L	H	1
2	L	X	L	L	H	L	H	H	L	H	H	L	H	H	2
3	L	X	L	L	H	H	H	H	H	L	L	L	H	H	3
4	L	X	L	H	L	L	L	H	H	L	L	H	H	H	4
5	L	X	L	H	L	H	H	L	H	H	L	H	H	H	5
6	L	X	L	H	H	L	H	L	H	H	H	H	H	H	6
7	L	X	L	H	H	H	H	H	L	L	L	L	L	H	7
8	L	X	H	L	L	L	H	H	H	H	H	H	H	H	8
9	L	X	H	L	L	H	H	H	L	L	H	H	H	H	9
10	L	X	H	L	H	L	H	H	H	L	H	H	H	H	A
11	L	X	H	L	H	H	L	L	H	H	H	H	H	H	B
12	L	X	H	H	L	L	H	L	L	H	H	H	L	H	C
13	L	X	H	H	L	H	L	H	H	H	H	L	H	H	D
14	L	X	H	H	H	L	H	L	L	H	H	H	H	H	E
15	L	X	H	H	H	H	H	L	L	L	H	H	H	H	F

* La entrada RBI' apaga el visualizador si el integrado contiene un cero en su buffer de datos.
H=alto nivel de voltaje L=bajo nivel de voltaje X=irrelevante

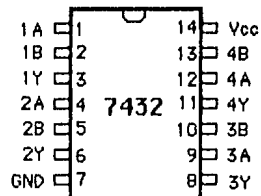
NOTA: Para todas las condiciones que muestran Mín o Móx use el valor apropiado especificado bajo las condiciones de operación recomendadas. Todos los valores típicos se dan para $V_{CC}=5V$ y una temperatura ambiente de 25 grados centígrados.



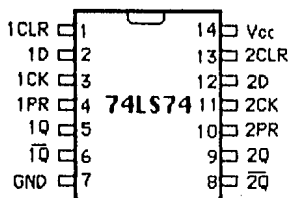
4 compuertas NAND de dos entradas



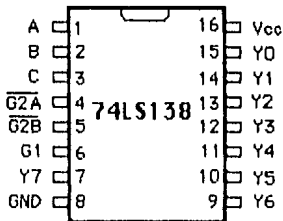
6 inversores Schmitt-trigger



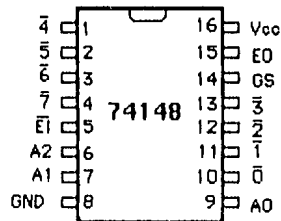
4 compuertas OR de dos entradas



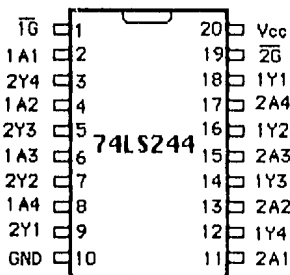
2 flip-flops tipo D con reloj de disparo por flanco positivo preset y clear



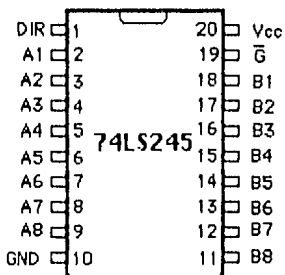
decodificador de 3 a 8 líneas



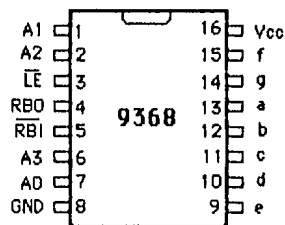
codificador de prioridad de 8 a 3 líneas



8 buffers unidireccionales no inversores con control de tercer estado



8 buffers bidireccionales no inversores con control de tercer estado



decodificador a 7 segmentos binario a hexadecimal

APENDICE G.

CIRCUITO INTEGRADO CMOS CD4516BC [25]

CARACTERISTICAS

*Amplio rango de voltaje de alimentación :3.0V a 15V

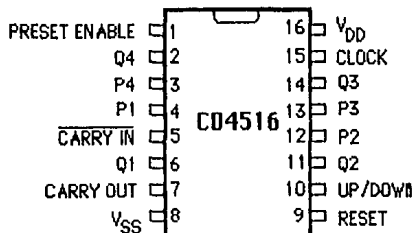
*Alta inmunidad al ruido: $0.45V_{DD}$ (típico)

*Compatible con TTL's de baja potencia : abanico de salida para manejar 2 74L ó 1 74LS.

*Posee entradas para carga en paralelo.

DESCRIPCION GENERAL

El contador cuenta cuando la entrada up/down posee un uno lógico o viceversa. Un uno lógico en la línea preset enable (PE) permite que la información en las entradas paralelas inicialicen el contador en sincronía con el reloj. El contador avanza en la cuenta durante la ocurrencia de un flanco positivo en la entrada de reloj, si la líneas carry in, preset enable y reset están con un nivel bajo. El conteo es inhabilitado si cualquiera de estas tres líneas está con un uno lógico. La señal carry out normalmente exhibe un nivel alto de voltaje y baja cuando el contador alcanza su máxima cuenta ascendente o su mínima descendente. El contenido del contador es borrado en cualquier momento por la aplicación de un uno lógico en la entrada reset.



CONFIGURACION DE PINES DEL CD4516

Regímenes máximos absolutos*

Voltaje de alimentación V_{DD}	-0.5V a +18V
Voltaje de entrada V_{IN}	-0.5V a $V_{DD} + 0.5V$
Rango de temperatura de almacenamiento T_S	-65°C a +150°C
Disipación de potencia P_D	500mW

*Son valores más allá de los cuales la segura operación del dispositivo no es garantizada. $V_{GS}=0V$ a menos que se especifique lo contrario.

Condiciones de operación recomendadas

Voltaje de alimentación V_{DD}	3V a 15V
Voltaje de entrada V_{IN}	0 a V_{DD}
Temperatura de operación T_A (CD4516BC)	-40°C a +85°C

Características eléctricas de D.C. $V_{CC}=5V$, $T_A=25^\circ C$

	Mín.	Típ.	Máx.	Unidad	Condiciones
Corriente en estado de reposo I_{DD}	0.05	20		μA	
Voltaje de salida de bajo nivel V_{OL}		0	0.05	V	$V_{IH}=V_{DD}$ $V_{IL}=0V$ $ I_O < 1\mu A$
Voltaje de salida de alto nivel V_{OH}	4.95	5		V	$V_{IH}=V_{DD}$ $V_{IL}=0V$ $ I_O < 1\mu A$
Voltaje de entrada de bajo nivel V_{IL}		2.25	1.5	V	$V_O=0.5V$ ó 4.5
Voltaje de entrada de alto nivel V_{IH}	3.5	2.75		V	$ I_O < 1\mu A$
Corriente de salida de nivel bajo I_{OL}		0.44	0.8	mA	$V_{IH}=V_{DD}$ $V_{IL}=0V$
Corriente de salida de nivel alto I_{OH}	-0.44	-0.8		mA	$V_{IH}=V_{DD}$ $V_{IL}=0V$

Características eléctricas A.C. $V_{CC}=5V$, $T_A=25^\circ C$, $C_L=50pf$, $R_L=200K$, $t_{rCL}=t_{fCL}=t_r=t_f=20ns$

	Mín.	Típ.	Máx.	Unidad
Tiempo de propagación del reloj a las salidas Q				
t_{PHL} , t_{PLH}		220	500	ns
Tiempo de propagación del reloj a la salida Carry				
t_{PHL} , t_{PLH}		315	630	ns
Tiempo de transición de las salidas Q y Carry				
t_{THL} , t_{TLH}		100	200	ns
Anchura mínima del pulso de reloj t_{WL} , t_{WH}		160	315	ns
Tiempos máximos de subida y bajada de la señal de reloj				
t_{rCL} , t_{fCL}		15		μs

Características eléctricas A.C. $V_{CC}=5V, T_A=25^{\circ}C, C_L=50pf, R_L=200K, t_{rCL}=t_{fCL}=t_r=t_f=20ns$

	Mín.	Típ.	Máx.	Unidad
Tiempo mínimo entre la aplicación de la señal Carry in y el reloj t_{SU}		100	220	ns
tiempo mínimo entre la aplicación de la señal up/down y el reloj t_{SU}		200	420	ns
Frecuencia máxima de reloj f_{CL}		1.5	3.1	MHz
Capacitancia de entrada C_{IN} (en cualquier entrada)		5	7.5	pf

Operación RESET/PRESET ENABLE

	Mín.	Típ.	Máx.	Unidad
Tiempo de propagación RESET/PRESET ENABLE a las salidas Q t_{PHL}, t_{PLH}		285	570	ns
Tiempo de propagación RESET/PRESET ENABLE a Carry Output t_{PHL}, t_{PLH}		420	860	ns
Anchura mínima de pulso RESET/PRESET ENABLE t_{WH}		90	200	ns

Operación de la línea Carry Input

Tiempo de propagación Carry in a Carry out t_{PHL}, t_{PLH}	260	500	ns
---	-----	-----	----

Tabla de verdad

clock	reset	preset enable	Carry in	up/down in	Función de salida
x	1	x	x	x	Inicializa a cero
x	0	1	x	x	carga P1-P4
/	0	0	0	1	cuenta ascendente
/	0	0	0	0	cuenta descendente
\	0	0	x	x	Sin cambio
x	0	0	1	x	Sin cambio

x=irrelevante / =flanco positivo \ =flanco negativo

BIBLIOGRAFIA

- [1] Aumiaux, M. **The Use of Microprocessors**. John Wiley & Sons Ltd. Great Britain, 1980.
- [2] Bartee, T.C. **Digital Computer Fundamentals**. McGraw-Hill. Fifth Edition. USA, 1981.
- [3] Benice, D.D. **Introducción a las Computadoras y Proceso de Datos**. Prentice Hall International. Englewood Cliffs. España, 1976.
- [4] Birnbaum, J.S.; Worley, W.S. **Beyond RISC: High Precision Architecture**. In: HEWLETT-PACKARD JOURNAL. Volume 36. Number 8. USA, August 1985.
- [5] Bishop, R. **Basic Microprocessors and the 6800**. Hayden. Rochelle Park, N.J., 1979.
- [6] Ciarcia, Steve. **Construya una Microcomputadora Basado en el Z80, guía de diseño y funcionamiento**. Byte Books McGraw-Hill. 1984.
- [7] Desoer, Ch. A.; Kuh, E.S. **Basic Circuit Theory**. McGraw-Hill Book Company. USA, 1969.
- [8] **Everready Battery Applications**. Second Edition. 1971.
- [9] Garland, Harry. **Microprocessor System Design**. McGraw-Hill Book Company. USA, 1979.
- [10] Hamcher V.C.; Vranesic, Z.G. **Computer Organization**. McGraw-Hill Book Company. USA, 1978.
- [11] Hewlett-Packard. **Analizador Lógico modelo 1630 A/D. Datos Técnicos**. Noviembre 1982.

- [12] **Intel Data Catalog 1976.** Intel Corporation. Santa Clara, CA. 1976.
- [13] Kaufman, M; Seidman, A.H. **Manual para Ingenieros y Técnicos en Electrónica.** McGraw-Hill. 1982.
- [14] Korn, G.A. **Microprocessors and Small Digital Computer Systems for Engineers and Scientist.** McGraw-Hill Book Company. USA, 1977.
- [15] Krick, E.V. **Introducción a la Ingeniería y al Diseño en la Ingeniería.** Limusa. Segunda Edición. México, 1980.
- [16] Leventhal, L.A. **6800 Assembly Language Programming.** Osborne/McGraw-Hill. Berkeley, California, 1978.
- [17] Lindsey, Darryl. **The Design and Drafting of Printed Circuits.** Bishop Graphics, Inc. California, 1985.
- [18] Malvino, A.P. **Digital Computer Electronics, and Introduction to Microcomputers.** McGraw-Hill. Second Edition. 1983.
- [19] Malvino, A.P. **Principios de Electrónica.** McGraw-Hill de México SA de CV. 1982.
- [20] Mano, M.M. **Arquitectura de Computadoras.** Prentice Hall International. Englewood Cliffs, N.J. 1983.
- [21] Millman, J. **Microelectronics: Digital and Analog Circuits and Systems.** McGraw-Hill International Book Company. Japan, 1983.
- [22] Motorola. **MEK6800D2 Evaluation Kit Reference Manual.** USA, 1978.
- [23] Motorola. **MEK6802D3 Evaluation Kit Reference Manual.** First Edition. USA, March 1979.

- [24] Motorola. **Microprocessors Data Manual**. Motorola Inc. Second Printing. Previous Edition 1978. 1981.
- [25] National Semiconductor Corporation. **CMOS Data Book**. 1981.
- [26] Strangio, C.E. **Electrónica Digital**. Interamericana S.A. de C.V. México, D.F. 1984.
- [27] Swigget, Robert L. **Introducción a los Circuitos Impresos**. ACME, S.A. C.I. Buenos Aires, Argentina, 1959.
- [28] Taub, Herbert. **Circuitos Digitales y Microprocesadores**. McGraw-Hill. 1983.
- [29] Texas Instruments Incorporated Semiconductor Group. **The TTL Data Book for Design Engineers**. Texas Instruments. Second Edition. 1981.
- [30] Zaks, R.; Lesea, A. **Microprocessor Interfacing Techniques**. Sybex. Third Edition. USA, 1977.