

300617

1
Zej



UNIVERSIDAD LA SALLE

ESCUELA DE INGENIERIA

INCORPORADA A LA
UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

DISEÑO DE UN MICROCOMPUTADOR PARA UN CONTROLADOR DE PROCESOS DE PROPOSITO GENERAL

T E S I S

QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA
(AREA PRINCIPAL EN ELECTRONICA)

P R E S E N T A :
JOSE GUILLERMO ARANDA PEREZ

TESIS CON
FALLA DE ORIGEN

MEXICO, D. F.

1986



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

PAGINA

CAPITULO I.

INTRODUCCION.

- | | |
|----------------------|----|
| a) Alcances..... | 05 |
| b) Aplicaciones..... | 08 |

CAPITULO II.

DESCRIPCION GENERAL DEL MICROCOMPUTADOR.

- | | |
|---|----|
| a) Alternativas del Diseño..... | 10 |
| b) Selección y Justificación de la
Alternativa a Realizar..... | 11 |

CAPITULO III.

DISEÑO DE LA TARJETA MADRE.

- | | |
|---------------------------------------|----|
| a) Descripción..... | 14 |
| b) Especificación de las Señales..... | 16 |

CAPITULO IV.

DISEÑO DE LA TARJETA DE PROCESAMIENTO.

- | | |
|--|----|
| a) Descripción y Especificaciones Generales..... | 19 |
| b) Diseño del Circuito..... | 21 |

CAPITULO V.

DISEÑO DE LA TARJETA DE MEMORIA.

- | | |
|--|----|
| a) Descripción y Especificaciones Generales..... | 40 |
| b) Diseño del Circuito..... | 40 |

CAPITULO VI.

DISEÑO DE LA TARJETA DE ENTRADAS Y SALIDAS DE SEÑALES DIGITALES.

a) Descripción y Especificaciones Generales.....	46
b) Diseño del Circuito.....	47

CAPITULO VII.

DISEÑO DE LA TARJETA DE ENTRADAS Y SALIDAS DE SEÑALES ANALOGICAS.

a) Descripción y Especificaciones Generales.....	58
b) Diseño del Circuito.....	64

CAPITULO VIII.

TEORIA DE OPERACION.....	72
--------------------------	----

CAPITULO IX.

EJEMPLO DE CONTROL DE UN PROCESO.....	77
---------------------------------------	----

CONCLUSIONES.....	83
-------------------	----

BIBLIOGRAFIA.....	86
-------------------	----

APENDICE A.

Diagrama del Circuito de la Tarjeta de Procesamiento.

APENDICE B.

Diagrama del Circuito de la Tarjeta de Memoria.

APENDICE C.

Diagrama del Circuito de la Tarjeta de Entradas y Salidas de Señales Digitales.

APENDICE D.

Diagrama del Circuito de la Tarjeta de Entradas y Salidas de Señales Analógicas.

CAPITULO I

INTRODUCCION

a) Alcances

Debido al gran desarrollo de las computadoras en la década pasada y en lo que va de ésta, el uso de ellas es cada vez más frecuente en diferentes aplicaciones. El control y monitoreo de procesos no podía ser la excepción y es por ésto que se utiliza para aplicaciones que van desde la adquisición de datos a través de una computadora central, hasta el control de variables de proceso por medio de un microcomputador localizado en campo (control distribuido).

El uso de computadoras y microcomputadoras en el control de procesos permite obtener el producto manufacturado en la cantidad prevista por los diseñadores para su proceso de obtención y con la calidad esperada por el cliente, lo cual capturará la mayoría del mercado permitiendo mejores precios al consumidor y más utilidades para el empresario. Coordinar el volumen de producción con la mejor calidad requiere de un riguroso control de cada una de las etapas del proceso, además del empleo de buenas materias primas.

El propósito de este trabajo es el diseño de un microcomputador para el control de procesos. Básicamente un microcomputador está constituido por uno o más circuitos integrados, usando tecnología de semiconductores y lógica digital para implementar funciones de alto nivel computacional en un volumen pequeño.

Existen tres elementos principales en una microcomputadora, los cuales son: la unidad central de procesamiento (CPU); la memoria y los dispositivos de entrada y salida (I/O).

La CPU es el corazón del sistema microcomputador y ejecuta los procesos numéricos, las operaciones lógicas y las funciones de tiempo. Una CPU típica consiste de tres unidades funcionales que son: los registros; la unidad aritmética lógica (ALU) y la circuitería de control. Los registros permiten almacenar temporalmente direcciones de memoria, códigos de estado y alguna otra información necesaria para la ejecución de un programa. La unidad aritmética lógica contiene un sumador para ejecutar operaciones aritméticas en forma binaria de los datos obtenidos de memoria, los registros u otras entradas. Algunas unidades aritméticas lógicas ejecutan operaciones más complejas, tales como: multiplicación y división. También contienen bits de bandera que señalan el estado de los resultados de los procesos aritméticos y lógicos, tales como signo, cero, carry e información de paridad.

La circuitería de control coordina las actividades del microprocesador. Usando pulsos de reloj, la circuitería de control mantiene la secuencia propia de los eventos en un proceso. También decodifica las instrucciones y edita las señales de control para los dispositivos externos e internos a la CPU.

Las microcomputadoras generalmente usan dispositivos semiconductores para almacenar programas y datos. Para expandir el espacio de memoria se usan algunas clases de almacenamiento masivo, tales como discos y cintas magnéticas.

Los dispositivos de entrada y salida, también llamados periféricos, son la forma como la CPU se comunica con el medio exterior.

La CPU es conectada a la memoria y dispositivos de entrada y salida por un conjunto de líneas en paralelo llamados Bus o Canal. Se tienen tres diferentes canales dentro del sistema microcomputador, los cuales son: el canal de datos, el canal de direcciones y el canal de control.

Los datos viajan entre la CPU, la memoria y los dispositivos de entrada y salida en el canal de datos. Estos datos pueden ser instrucciones para la CPU o información que ésta debe transferir a memoria o a los puertos de entrada y salida. La CPU usa el canal de direcciones para seleccionar la localidad de memoria o el dispositivo de entrada y salida deseado. El canal de control lleva las señales de control a memoria y a los dispositivos de entrada y salida, especificando si los datos fluyen desde o hacia la CPU y el tiempo en que deben de fluir.

Cada instante de tiempo en el que un dato es transferido de una parte a otra del sistema microcomputador se le denomina ciclo de máquina. La temporización de estos ciclos se realiza por la señal de reloj de la CPU. Las operaciones como la búsqueda de instrucciones, lectura de memoria, escritura en memoria, lectura de un puerto de entrada o escritura en un puerto de salida son realizados en uno o más ciclos de máquina, cuya longitud en tiempo está determinada por la frecuencia de la señal de reloj de la CPU.

Ciertas operaciones pueden interrumpir la secuencia normal de las instrucciones en un programa. Por ejemplo un estado de espera (Wait), el cual es colocado para dar más tiempo a la memoria o a un dispositivo de entrada y salida para poder comunicarse con la CPU. Los estados de espera son necesarios cuando la velocidad de transferencia de datos es mayor en la CPU que en la memoria. En estos casos, cuando la memoria recibe una instrucción de la CPU, envía a ésta una

petición para un tiempo de espera; una vez que la memoria ha ejecutado la acción, envía su respuesta a la CPU, ésta termina el estado de espera y continúa con el programa.

Otra situación que altera la secuencia de ejecución de algún programa son las llamadas interrupciones, en las cuales un dispositivo de entrada y salida pide a la CPU un cierto servicio. Cuando la CPU termina de proporcionar este servicio, regresa a lo que estaba realizando antes de la petición. Generalmente más de un dispositivo puede usar a la CPU, es por esto que existe una jerarquía de interrupciones, es decir; cuando dos interrupciones llegan al mismo tiempo a la CPU, ésta primero dará servicio a la de mayor jerarquía y luego a las demás, conservando siempre una prioridad.

Otra función que permite incrementar la eficiencia del microcomputador es el acceso directo a memoria (DMA). En la operación normal de entrada/salida, la CPU supervisa la transferencia de información desde un dispositivo de entrada y salida hacia una localidad de memoria o viceversa. En el acceso directo a memoria, el dispositivo periférico se encarga de esta transferencia de información para ello, la CPU permite que dicho dispositivo controle los canales del sistema. Una vez terminada esta operación, la CPU reanuda el control y continúa con la ejecución del programa previamente detenido.

Una microcomputadora que se encargue del control de las variables de proceso debe contener, además de lo mencionado anteriormente, tarjetas de interfase, las cuales son manejadas como dispositivos de entrada y salida y cuya función es la de acondicionar las señales provenientes de campo, así como las que van hacia él.

La minicomputadora diseñada es capaz de manejar procesos de tipo secuencial, lógico, etc., además de, mediante la programación adecuada, ejecutar controles de tipo proporcional, derivativo e integral.

El desarrollo del diseño del sistema microcomputador se dividió en 5 partes principales, constituyendo cada una de ellas un capítulo de este trabajo. En la primera parte se establece cuáles van a ser las funciones principales del sistema, el tipo de arquitectura utilizado, el número y la especificación de las señales a manejar por los canales del sistema. En la segunda parte se diseña la tarjeta de procesamiento; en la tercera, la tarjeta de memoria; en la cuarta y quinta, la tarjeta de entradas y salidas de señales digitales y la tarjeta de entradas y salidas de señales analógicas, respectivamente.

En el Capítulo VII se explica la teoría de operación y en el VIII un breve ejemplo de aplicación del controlador.

b) Aplicaciones.

Prácticamente este tipo de controlador programable puede ser utilizado para controlar cualquier clase de procesos, es decir, se utilizan varios de ellos para controlar cada una de las partes de dicho proceso. Por ejemplo, el control de una planta termoeléctrica puede ser ejecutado por varios de estos sistemas colocados directamente en campo, cada uno de los cuales puede controlar parcial o totalmente los diferentes procesos manejados en dicha planta. También se pueden controlar procesos de refinación, de fundición, etc. de la misma forma como se mencionó anteriormente.

En los demás capítulos se desarrolla el diseño del sistema microcomputador explicando en cada uno de ellos las partes constitutivas del sistema.

CAPITULO II

DESCRIPCION GENERAL DEL MICROCOMPUTADOR

a) Alternativas del Diseño

En este capítulo se presentan algunas de las alternativas de diseño, la selección y justificación de una de ellas y una breve descripción de la arquitectura del controlador.

En primera instancia se consideró tener una arquitectura modular, debido principalmente a la flexibilidad que se presenta al aplicar este controlador para diferentes procesos. De esta forma se idearon 3 tarjetas, las cuales fueron: la tarjeta madre, la tarjeta de procesamiento y la tarjeta de entradas y salidas de señales digitales.

La tarjeta madre permite tener la estructura modular; ya que en esa tarjeta se insertan las demás, es decir, esta tarjeta es la portadora de los canales del sistema y las alimentaciones de voltaje necesarias para el funcionamiento de las mismas. Estas señales se conectan a las tarjetas que forman el controlador por medio de peines, lo cual asegura que sólo las señales necesarias para el buen funcionamiento de la tarjeta, fluyan a éstas.

La tarjeta de procesamiento se diseñó para tener el circuito del microprocesador, circuitos de memoria y un circuito temporizador. Posteriormente los circuitos de memoria se colocaron en una nueva tarjeta, permitiendo de esta forma tener la capacidad de memoria necesaria para una aplicación específica. Cada una de estas tarjetas de memoria contiene 16 Kb., por tanto 4 de ellas alcanzan la capacidad total de direccionamiento del microprocesador. El circuito temporizador es necesario debido a que se manejan procesos en tiempo real; muchos de ellos requieren tiempos de espera, los cuales son generados por medio de este circuito sin tener necesidad de usar al microprocesador para producirlos.

Como segunda opción se presentó tener en esta tarjeta a un controlador de ciclos de acceso directo a memoria, el cual permite enviar bloques de datos a un dispositivo periférico sin que el microprocesador tenga necesidad de controlar esta transferencia de información. El dispositivo periférico que permitiera los ciclos de acceso directo a memoria, requiere de una tarjeta de interfase que permita acoplar las señales que maneja este sistema y el periférico, sin embargo esta tarjeta no fue considerada en este diseño.

La tarjeta de entradas y salidas de señales digitales forma parte de este diseño, debido a que muchos de los

procesos industriales presentan características digitales, como puede ser la apertura o cierre de un relevador. El número de salidas y entradas digitales en un principio era de ocho y posteriormente se incrementó a doce ocupando, de esta forma, toda la capacidad del circuito integrado que constituye a esta tarjeta.

Como la mayoría de los procesos tienen como variables principales a señales analógicas, fue necesario considerar que una tarjeta manejara dichas señales, por tal motivo se diseñó la tarjeta de entradas y salidas de señales analógicas. Esta tarjeta contiene 4 canales, 2 de entrada y 2 de salida, en un principio sólo contenía 2 canales, uno de salida y otro de entrada; pero como se observó que existía suficiente espacio para conectar el doble de circuitos, así se llevó a cabo.

b) Selección y Justificación de la Alternativa a Realizar.

La selección que se hizo de las alternativas de diseño, fue en primer lugar, que el controlador tuviera una arquitectura modular, permitiendo gran versatilidad en la implementación de diferentes esquemas de aplicación, en segundo lugar, que las tarjetas que constituyen al controlador fueran de cinco tipos: la tarjeta madre, la tarjeta de procesamiento, las tarjetas de memoria, la tarjeta de entradas y salidas de señales digitales y la tarjeta de entradas y salidas de señales analógicas.

La tarjeta madre es la base de la arquitectura modular y contiene 50 pistas que manejan 44 señales, quedando 6 para aplicaciones futuras.

La tarjeta de procesamiento permite generar tiempos de espera y ciclos de acceso directo a memoria sin control del microprocesador, lo cual permite incrementar la velocidad de trabajo del microprocesador debido a la descarga de trabajos repetitivos.

Las tarjetas de memoria fueron separadas de la tarjeta de procesamiento, porque de esta forma se logra tener la cantidad de memoria necesaria para una aplicación específica, además las bases de los circuitos de memoria son compatibles para cualquier tipo de memoria que tenga una capacidad de memoria de 2 K por 8 bits.

La tarjeta de entradas y salidas de señales digitales contiene 12 líneas de entrada y 12 de salida, cubriendo la capacidad total de esta tarjeta, además estas salidas y entradas tienen un rango de voltajes de 0 y 10 Volts, dado que estas señales son estándar para cualquier tipo de proceso.

La tarjeta de entradas y salidas de señales analógicas contiene 2 canales de entrada y 2 de salida. Las entradas manejan voltajes entre 1 y 5 volts, que corresponden a la diferencia de potencial que existe en una resistencia de 250 ohms., por la cual circula una corriente comprendida entre 4 y 20 mA. Esta señal de corriente es manejada por la mayoría de los equipos de transmisión y conversión de señales. Las salidas manejan voltajes entre 0 y 10 volts.

Todas estas tarjetas serán colocadas en una canasta capaz de soportar hasta 12 tarjetas, es decir, la tarjeta madre que contiene a las demás, una tarjeta de procesamiento, hasta 4 tarjetas de memoria, N tarjetas de entradas y salidas de señales digitales y N tarjetas de entradas y salidas de señales analógicas. Varias canastas pueden ser conectadas en serie con la condición de que sólo en una de ellas exista la tarjeta de procesamiento. Esto permite conectar hasta 64 tarjetas de entradas y salidas de señales digitales o 42 tarjetas de entradas y salidas de señales analógicas.

Se escogió como microprocesador al INTEL 8085, dado que es un procesador bastante versátil, rápido y de fácil manejo; tanto a nivel componente como a nivel programación. Por ello también se usó la familia de periféricos de este microprocesador como son el 8257 controlador de acceso directo a memoria, el 8253 temporizador programable y el 8255 interfase programable para periféricos. En cuanto a memorias, pueden usarse cualesquiera, siempre y cuando tengan una capacidad de 2 Kb.

Los convertidores A/D y D/A de la tarjeta de entradas y salidas de señales analógicas, son circuitos que presentan compatibilidad con microprocesadores de 8 bits, en este caso con el 8085. Se escogieron dos circuitos debido a que son los más idóneos para la aplicación que se maneja, es decir, son rápidos, presentan un pequeño error de linealidad, son compatibles con los canales del 8085 y son fáciles de manejar, además de que necesitan poca circuitería externa para su funcionamiento.

En los capítulos subsecuentes se presenta el diseño de las tarjetas que constituyen al controlador.

CAPITULO III

DISEÑO DE LA TARJETA MADRE

a) Descripción.

La tarjeta madre está constituida por 50 pistas en paralelo por donde circulan las señales de los canales del sistema. En esta tarjeta se encuentran conectados una serie de peines, en los cuales se insertan las tarjetas que forman al controlador. Cada pista está numerada de tal forma que sólo las pistas necesarias son conectadas a cada tarjeta, a su vez cada una de las tarjetas que forma al controlador poseen en uno de sus extremos la parte complementaria del peine, es decir, la parte que se inserta dentro del mismo. De las 50 pistas que forman la tarjeta madre, sólo 44 son usadas en este diseño, quedando las restantes 6 para usos futuros.

En la siguiente tabla se indica el número de pista, la señal que maneja y el canal del cual forma parte.

<u>NUMERO DE PISTA</u>	<u>SEÑAL</u>	<u>CANAL</u>
0	<u>MEMRD</u>	CONTROL
1	<u>I/ORD</u>	CONTROL
2	<u>MEMW</u>	CONTROL
3	<u>I/OW</u>	CONTROL
4	D0	DATOS
5	D1	DATOS
6	D2	DATOS
7	D3	DATOS
8	D4	DATOS
9	D5	DATOS
10	D6	DATOS

NUMERO DE PISTA	SERIAL	CANAL
11	D7	DATOS
12	AD0	DIRECCION
13	AD1	DIRECCION
14	AD2	DIRECCION
15	AD3	DIRECCION
16	AD4	DIRECCION
17	AD5	DIRECCION
18	AD6	DIRECCION
19	AD7	DIRECCION
20	AD8	DIRECCION
21	AD9	DIRECCION
22	AD10	DIRECCION
23	AD11	DIRECCION
24	AD12	DIRECCION
25	AD13	DIRECCION
26	AD14	DIRECCION
27	AD15	DIRECCION
28	RESET	
29	+ 5 V.	
30	GND	
31	+12 V.	
32	+15 V.	
33	1.5 Mhz.	

NUMERO DE PISTA	SEÑAL	CANAL
34	DACK0	
35	DRQ0	
36	DACK1	
37	DRQ1	
38	DACK2	
39	DRQ2	
40	DACK3	
41	DRQ3	
42	TC	
43	MARK	
44	FUTURO	
45	FUTURO	
46	FUTURO	
47	FUTURO	
48	FUTURO	
49	FUTURO	

b) Especificaciones de las señales.

Cada una de las señales mencionadas anteriormente, está especificada de acuerdo al tiempo de duración máximo y mínimo, y a los voltajes máximos y mínimos permisibles, así como en el caso de voltajes de alimentación, el rango de variación que se acepta sin afectar el funcionamiento de los circuitos.

A continuación se menciona cada una de estas señales con su respectiva especificación.

SEÑAL	DURACION (ns)		VOLTAJES			
	MAX	MIN	0		1	
			MAX	MIN	MAX	MIN
\overline{RD}		420	0.45			2.4
\overline{WR}		420	0.45			2.4
D0-D7		333	0.8	-0.5	5.5	2.0
AD0-AD15		608	0.45			2.4
RESET			0.45			2.4
+ 5 V.					5.25	4.75
GND					0	0
+12 V.					12.6	11.4
+15 V.					15.75	14.25
1.5 Mhz.			0.4			2.4
$\overline{DACK0}$ - $\overline{DACK3}$	250		0.45		Vcc.	2.4
DRQ0-DRQ1	160		0.8	-0.5	5.5	2.0
TC	500		0.45		Vcc.	2.4
MARK	500		0.45		Vcc.	2.4

En el capítulo siguiente se presenta a la tarjeta de procesamiento, que es la parte principal del microprocesador.

CAPITULO IV

DISEÑO DE LA TARJETA DE PROCESAMIENTO

a) Descripción y Especificaciones Generales.

La tarjeta de procesamiento se basa en un microprocesador INTEL 8085, que permite realizar las tareas programadas por el usuario en la tarjeta de memoria, dependiendo de la aplicación específica; cuenta además con la habilidad de ejecutar ciclo de acceso directo a memoria (DMA por sus siglas en inglés), por medio de un controlador de acceso directo a memoria que es el INTEL 8257 y de programar tiempos de espera a través de un temporizador programable que es el INTEL 8253.

A continuación doy una breve descripción de los principales circuitos integrados usados en esta tarjeta, ya mencionados anteriormente.

1) Microprocesador 8085A.

Es un microprocesador de 8 bits, canal N, con el canal de datos y de direcciones multiplexado. Cuenta con una salida para habilitar el latch de direcciones (ALE), con una entrada de READY, que permite el uso de memorias lentas, una entrada de HOLD para realizar fácilmente, sin ayuda de más hardware, peticiones de ciclos de acceso directo a memoria, una salida de HOLD ACKNOWLEDGE (HLDA), que indica al dispositivo encargado de manejar el acceso directo a memoria, que su petición de HOLD ha sido reconocida, una salida de reloj para ser usada como reloj del sistema, una entrada y una salida para la transmisión de datos en serie (SID y SOD), una entrada de RESET, una salida de RESET, capacidad de direccionamiento directo hasta 64 Kb. de memoria y 5 niveles jerárquicos de interrupción, entre los que se encuentran:

- INTERRUPT REQUEST - Que es la interrupción de nivel jerárquico más bajo y es usada como una interrupción de propósito general. Se activa con nivel alto y es mascarillable.
- RESTART 5.5 - Tiene mayor prioridad que el anterior y causa que el contador de programa se cargue con una dirección específica (2CH). Se activa con nivel alto y es mascarillable.
- RESTART 6.5 - Tiene mayor prioridad que las dos anteriores y causa que el contador de programa se cargue con una dirección específica (34H). Se activa con nivel alto y es mascarillable.

- **RESTART 7.5** - Tiene mayor prioridad que las tres anteriores y causa que el contador de programa se cargue con una dirección específica (3CH). Se activa con una transición positiva y es mantenida hasta que sea servida, en ese momento se apaga automáticamente. Es mascarillable.
- **TRAP** - Es la interrupción de mayor prioridad. Se recomienda cuando se presenta algún error catastrófico como la falla de la fuente de poder. Causa que el contador de programa se cargue con una dirección específica (24H). Se activa con nivel alto y debe permanecer alta para ser reconocida, pero no será reconocida nuevamente si no ocurre una transición negativa antes. No es mascarillable.

Este circuito trabaja con un cristal de cuarzo de 6 Mhz. para un ciclo de instrucción de 1.33 microsegundos.

2) Controlador de Acceso Directo a Memoria 8257.

Este controlador de acceso directo a memoria simplifica la transferencia de datos en alta velocidad. Su función primaria es la de generar, debido a la petición de un dispositivo periférico, una secuencia de direcciones de memoria, que permita a dicho periférico escribir o leer datos en o desde memoria, para ello el controlador se convierte en el amo de los canales del sistema microcomputador mediante la petición de HOLD al microprocesador.

El 8257 posee 4 canales para la transferencia de información organizados jerárquicamente de acuerdo a una prioridad. Junto con un circuito integrado de puertos de entrada y salida de 8 bits (8212), el cual realiza las funciones de latch para el byte más significativo del canal de direcciones, provee un controlador de acceso directo a memoria (DMA).

3) Temporizador Programable 8253.

El 8253 es un temporizador programable que resuelve uno de los problemas más comunes de cualquier sistema microcomputador y que es la generación de tiempos de espera bajo control de software. Cuenta con 3 contadores independientes de 16 bits cada uno, los cuales pueden generar frecuencias desde 0 hasta 2 Mhz., contar en forma binaria hasta 2 a la 16 o en BCD hasta 4 décadas (10,000) y en 5 modos de operación según sea programado.

b) Diseño del Circuito.

Para el diseño del circuito es necesario, en primera instancia, determinar qué direcciones manejará la CPU para cada circuito que compone la tarjeta de procesamiento, por tanto, comenzará con el controlador de acceso directo a memoria.

Para cada canal del 8257 (4 en total) existen dos registros, los cuales son: El registro de direcciones de 16 bits y el registro de cuenta de 16 bits, también incluye dos registros generales ambos de 8 bits; uno, el registro de programación y otro el registro de estado. El bit 3 de la dirección especifica qué registros serán seleccionados, si es "0" se escoge un registro de canal, si es "1" se escoge el registro de programación o el registro de estado. Los 3 bits menos significativos A0-A2, especifican el registro a seleccionar. Cuando se selecciona el registro de programación o el de estado, desde A0 hasta A2 son todos cero. Cuando se selecciona algún registro de algún canal, el bit A0 diferencia entre el registro de dirección (A0 = 0) y el registro de cuenta (A0 = 1), mientras que los bits A1 y A2 seleccionan alguno de los 4 canales.

En la siguiente tabla se muestran los valores de los 4 bits menos significativos y su respectiva función, así como el valor hexadecimal correspondiente.

F U N C I O N	B I T				H
	3	2	1	0	
Selecciona Registro de Programación o de Estado.	1	0	0	0	8
Selecciona Registro de Dirección					
Canal 0	0	0	0	0	0
Canal 1	0	0	1	0	2
Canal 2	0	1	0	0	4
Canal 3	0	1	1	0	6
Selecciona Registro de Cuenta					
Canal 0	0	0	0	1	1
Canal 1	0	0	1	1	3
Canal 2	0	1	0	1	5
Canal 3	0	1	1	1	7

Debido a que los registros de cada canal poseen 16 bits, dos ciclos de instrucciones de programa son requeridos para escribir o leer un registro entero. El 8257 contiene un flip-flop de primero/último, el cual es modificado después de cada operación de lectura o escritura de algún registro, es por esto que todas las instrucciones de comando de operación deben ocurrir en pares, con el byte menos significativo del registro siempre accesado primero.

El 8257 controlador de acceso directo a memoria, será tratado como un puerto de entrada y salida por lo que se escogieron las direcciones 00H hasta la 08, cubriendo todos los registros de este circuito.

Como este circuito presenta entradas para dispositivos de entrada y salida (I/O W e I/O R) y salidas para memoria (MEM W y MEM R), es necesario tenerlas de las salidas de lectura, escritura e I/O/MEM del microprocesador. Esto se consigue por medio de un selector cuádruple de dos líneas a una línea, este circuito es el 74257 y posee salidas de 3 estados, las cuales permiten conectarlo directamente al canal de control del sistema. La siguiente tabla representa la "tabla de verdad" de este circuito:

SEÑAL DE CONTROL	ENTRADAS			SALIDA Y
	SELECTOR	A	B	
Alto	X	X	X	Alta Impedancia
Bajo	Bajo	Bajo	X	Bajo
Bajo	Bajo	Alto	X	Alto
Bajo	Alto	X	Bajo	Bajo
Bajo	Alto	X	Alto	Alto

X = Irrelevante

El 74257 será conectado como se muestra en la Fig. 4.1 con el fin de obtener las 4 líneas de control necesarias para el funcionamiento del 8257.

El 8212, como ya había mencionado antes, es un puerto de 8 bits en paralelo, que funciona para este caso como latch para la dirección, cuenta con dos entradas para habilitarlo, las cuales son D81 y D82, para este diseño se utilizan dos circuitos 8212, debido a que cuando no se maneja el 8257, es decir el microprocesador es el amo de los canales del sistema, un circuito 8212 funciona para latched la parte baja de la dirección. Cuando se utiliza el 8257, es decir cuando el 8257 es el amo de los canales del sistema, el otro

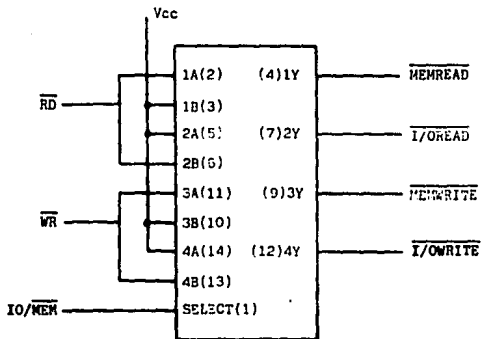


FIG. 4.1 CONEXION DEL 74257.

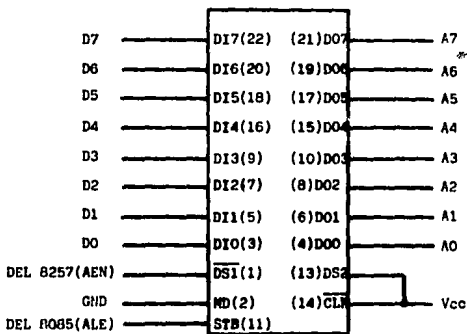


FIG. 4.2 CONEXION DEL 8212 PARA LATCHAR LA PARTE BAJA DE LA DIRECCION.

circuito 8212 funciona para latchar la parte alta de la dirección, deshabilitando al mismo tiempo al primer 8212. La forma de conexión del primer 8212 se muestra en la Fig. 4.2. La Fig. 4.3 muestra la forma de conexión del otro circuito 8212.

El controlador de acceso directo a memoria 8257, posee 8 líneas de interconexión bidireccionales para el canal de datos, una entrada de reloj, una entrada de RESET, dos entradas bidireccionales I/O R e I/O W, dos salidas MEM R y MEM W, una salida de AEN (Address Enable), la cual sirve para deshabilitar al canal de datos del sistema cuando se realizan ciclos de DMA, una salida de ADSTB (Address Strobe), la cual sirve para mandar los 8 bits más significativos de la dirección al 8212, una salida de HRQ (HOLD REQUEST), una entrada de HLDA (HOLD ACKNOWLEDGE), una entrada de READY, 4 líneas bidireccionales para los 4 bits menos significativos de la dirección y 3 líneas unidireccionales de salida de dirección, una salida de Cuenta Terminada (TC) y una salida de marca, la cual notifica que el ciclo corriente de acceso directo a memoria es el 128vo. desde la salida de marca previa. Este circuito se conecta a los canales del sistema como se muestra en la Fig. 4.4

A continuación doy una breve explicación sobre la operación de los circuitos que comprenden al controlador de acceso directo a memoria.

En condiciones normales de operación, es decir, cuando el microprocesador es el amo de los canales del sistema, si se requiere leer o escribir un dato de o en memoria, las salidas RD o WR serán "0", según sea el caso y la salida I/O/MEM será también "0", indicando de esta forma que se va a trabajar con memoria, estas señales pasarán al selector cuádruple de dos líneas a una línea 74257, el cual enviará un "0" lógico al canal de control por la línea de MEM R o MEM W (según sea el caso). Posteriormente la salida de ALE del microprocesador será colocada en "1" para ser enviada al 8212, indicándole que la parte baja de la dirección ha sido enviada y se encuentra en esos momentos en el canal de datos del microprocesador. Al mismo tiempo, la parte alta de la dirección es mandada al canal de dirección del sistema.

Una vez que ésto ocurre, la señal de ALE es colocada en "0", indicando al 8212 que las señales subsecuentes que fluyan a él serán datos y por tanto, no deberá tomarlos en cuenta; además esta señal de ALE permite que el 8212 mantenga la información previa (parte baja de la dirección) en sus salidas (ésto es latchar la parte baja de la dirección). Cuando los pasos anteriores han sido ejecutados, el dispositivo de memoria seleccionado manda la información deseada por el canal de datos del sistema hacia el microprocesador.

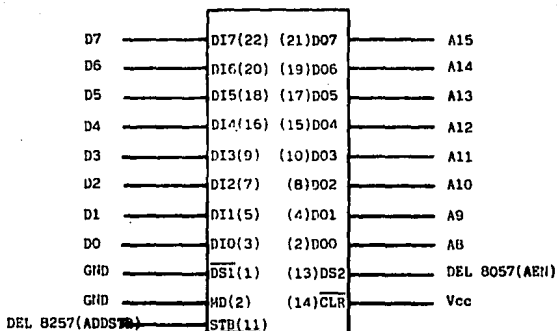


FIG. 4.3 CONEXION DEL 8212 PARA LATCHAR LA PARTE ALTA DE LA DIRECCION.

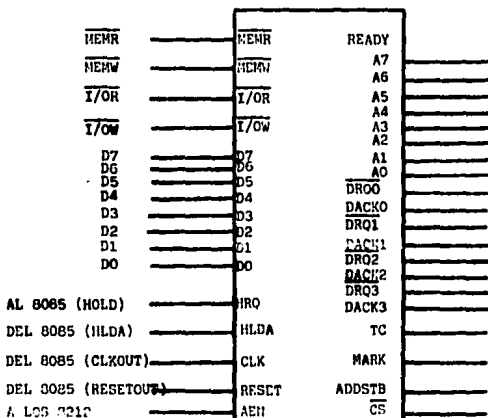


FIG. 4.4 CONEXION DEL 8257.

Quando se requiere escribir o leer un dato en o desde un puerto de entrada y salida, la salida de I/O/MEM del microprocesador se encontrará en "1", activándose la salida deseada del 74257 (I/O R ó I/O W), después de lo cual los pasos a seguir son iguales que cuando se trabaja con memoria, la única diferencia que existe es que sólo se manejan 8 bits de dirección.

Quando se va a manejar al controlador de acceso directo a memoria 8257, el primer paso a realizar es la inicialización de dicho dispositivo, la cual se realiza escribiendo en el registro de programación la palabra de control, que está formada por los siguientes parámetros:

B I T	F U N C I O N
0	Habilita canal 0
1	Habilita canal 1
2	Habilita canal 2
3	Habilita canal 3
4	Habilita prioridad rotatoria
5	Habilita write extendido
6	Habilita paro en cuenta terminada
7	Habilita autocarga

El bit 4 de prioridad rotatoria especifica la forma de servicio a los cuatro canales. Si es "1", la prioridad de servicio se va rotando conforme un ciclo de DMA ha sido terminado, es decir, si se ha dado servicio al canal 0, luego se dará servicio al canal 1 y así sucesivamente hasta el canal 3.

El bit 5 de write extendido se usa cuando se tienen memorias cuya señal de READY se genera con el retraso de las señales de I/O W o MEM W, lo que ocasiona que el 8257 entre en estado de espera, de tal forma que este bit cuando es "1", extiende el tiempo de la señal de write, previniendo que esto pueda ocurrir.

El bit 6 que habilita el paro en cuenta terminada sirve para deshabilitar el canal donde se ha estado ejecutando la operación de acceso directo a memoria, cuando la salida de cuenta terminada está en 0 lógico.

El bit 7 de autocarga habilita la operación de bloques de ciclo directo a memoria encadenados, es decir, cuando un bloque de ciclos de DMA ha terminado comienza uno nuevo, no presentando necesariamente las mismas características del bloque anterior.

Es importante hacer notar que la palabra de control sólo puede ser escrita y no leída. Para enviar la palabra de control al registro de programación, se requiere de la instrucción de OUT, la cual envía el contenido del acumulador a la dirección seleccionada, en este caso 08H y el contenido del acumulador será la palabra de control previamente establecida. Una vez que dicha palabra de control ha sido programada dentro del 8257, se requiere inicializar cada canal con la dirección específica de comienzo del bloque de ciclos de DMA y el número de ciclos de DMA a realizar. Para explicar este procedimiento utilizaré como ejemplo al canal 0; por tanto vamos a cargar al acumulador con el byte menos significativo de la dirección en que comienzan los ciclos de DMA, para posteriormente con la instrucción de OUT y la dirección 00H cargar la mitad del registro de direcciones del canal 0, en seguida cargamos la parte alta de la dirección en el acumulador y la enviamos por medio de la instrucción de OUT y de la dirección 00H al registro de direcciones del canal 0. En este momento, el registro de direcciones del canal 0 está completo. Para cargar el registro de cuenta es necesario conocer antes que los 14 bits menos significativos de este registro establecen el número de ciclos de DMA a realizar menos 1, es decir, si N es el número de ciclos de DMA a realizar, N - 1 deberá ser cargado en los 14 bits menos significativos del registro de cuenta. Los bits 14 y 15 establecen el tipo de operación a realizar de acuerdo a la siguiente tabla:

BIT 15	BIT 14	OPERACION
0	0	Ciclo de verificación de DMA
0	1	Ciclo de escritura de DMA
1	0	Ciclo de lectura de DMA
1	1	Inválido

La operación de escritura, como su nombre lo indica, escribe los datos provenientes del dispositivo que hizo la petición de DMA. La operación de lectura indica la lectura de datos hacia el dispositivo que hizo la petición de DMA. La operación de verifica no involucra la transferencia de datos, debido a que no envía señales de control como son: I/O R, I/O W, MEM R y MEM W; sin embargo toma control de los canales del sistema y reconoce la petición de DMA del dispositivo periférico. Esto permite que el dispositivo periférico pueda verificar si los datos que va a enviar son los correctos para el ciclo de DMA deseado.

La forma de programar al registro de cuenta es igual a la forma de programar al registro de direcciones, es decir, primero se carga el acumulador con el byte menos significativo y luego se envía al registro de cuenta por medio de la instrucción de OUT y la dirección 01H, posteriormente se carga el byte más significativo en el acumulador y se envía al registro de cuenta de la misma forma que se envió el byte menos significativo, en este momento el registro de cuenta está completo.

Cuando los pasos anteriores han sido ejecutados, si un dispositivo periférico solicita una operación de DMA mediante las líneas de DMA REQUEST, el 8257 enviará una petición de HOLD al microprocesador, el cual responderá con la señal de HOLD ACKNOWLEDGE (HLDA), haciendo al 8257 amo de los canales del sistema. Si se van a leer datos de memoria, el 8257 envía la señal de MEM R al canal de control del sistema; posteriormente envía los 8 bits más significativos de la dirección al 8212, junto con la señal de ADDRESS STROBE, indicándole a éste último que se trata de una dirección y por tanto debe aceptarla, los 8 bits menos significativos de la dirección se obtienen de las salidas A0 hasta A7 del 8257. Cuando la señal de ADDRESS STROBE es retirada, el canal de datos es liberado para que la memoria seleccionada vierta sus datos en él y sean enviados al periférico que solicitó el acceso directo a memoria. Después de haber realizado el primer ciclo de DMA, el registro de cuenta terminada decrementa en 1 su valor y la dirección de la siguiente localidad de memoria es enviada al canal de dirección del sistema, repitiéndose el mismo proceso hasta finalizar el número de ciclos de DMA, lo cual corresponde cuando el registro de cuenta terminada es 0.

Si se quiere escribir en memoria, el proceso descrito anteriormente es el mismo, solo que la señal enviada al canal de control será MEM W.

Para terminar este circuito sólo es necesario discutir la palabra de estado, la cual indica qué canales han terminado los ciclos de acceso directo a memoria y está formada por los siguientes parámetros:

B I T	F U N C I O N
0	Estado de la cuenta del canal 0
1	Estado de la cuenta del canal 1
2	Estado de la cuenta del canal 2
3	Estado de la cuenta del canal 3
4	Bandera de Update
5	0
6	0
7	0

Cuando algún canal ha alcanzado el fin de los ciclos de DMA programados, el bit correspondiente a dicho canal se colocará en "1". El bit 4 funciona cuando se maneja el modo de autocarga e indica, cuando es "1" si un nuevo valor de ciclos de DMA ha sido cargado.

A continuación trataré el temporizador programable 8253, que como ya había mencionado antes, está organizado en tres contadores descendentes programables de 16 bits cada uno, los cuales son inicializados con el valor deseado de cuenta e interrumpen a la CPU cuando ésta ha sido finalizada. Cuenta con un registro de modo de control, el cual es inicializado con las características de cuenta deseada. Cada contador posee un registro de cuenta, el cual es cargado con el valor de cuenta deseado y además cada uno posee una dirección específica en función de los 2 bits menos significativos de la dirección. Los valores de estos 2 bits que seleccionan uno de los contadores, se muestran a continuación junto con la operación a realizar de acuerdo a las señales de RD o WR.

\overline{RD}	\overline{WR}	A1	A0	OPERACION
1	0	0	0	Carga contador No. 1
1	0	0	1	Carga contador No. 2
1	0	1	0	Carga contador No. 3
1	0	1	1	Escribe palabra de control
0	1	0	0	Lee contador No. 1
0	1	0	1	Lee contador No. 2
0	1	1	0	Lee contador No. 3
0	1	1	1	Inválido. Alta impedancia
1	1	X	X	Inválido. Alta impedancia

Para este circuito seleccioné las siguientes direcciones:

BINARIO	HEXADECIMAL	OPERACION
00001100	0C	Carga o lee contador No. 1
00001101	0D	Carga o lee contador No. 2
00001110	0E	Carga o lee contador No. 3
00001111	0F	Carga palabra de control

Una característica importante de este circuito es que funciona con frecuencias menores o iguales a 2 MHz., es decir, la señal de reloj debe tener una frecuencia menor o igual de 2 MHz., por tanto, si el microprocesador trabaja a una frecuencia de 3 MHz., es necesario reducir esta frecuencia a la mitad (1.5 MHz.). Esto se consigue intercalando un divisor de frecuencias entre dos, para esto se usa un flip-flop tipo D, cuya salida Q negada es retroalimentada a la entrada D. El flip-flop tipo D usado es el circuito integrado 7474, que contiene dos flip-flops.

Para no desperdiciar uno de los dos flip-flops se usarán ambos, permitiendo de ésta modo que dos de los contadores del 8253 trabajen a una frecuencia de 1.5 MHZ. y otro a 750 KHZ. Esta última frecuencia se obtiene alimentando uno de los flip-flops con la frecuencia de salida del otro, ésto nos dá mayor flexibilidad en el conteo de tiempos de muestreo mayores.

El 7474 se conectará como se muestra en la Fig. 4.5.

La palabra de inicialización del registro de modo de control especifica los siguientes datos:

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RLO	M2	M1	M0	BCD

SC1 y SC0 seleccionan el contador deseado de acuerdo a la siguiente tabla:

SC1	SC0	SELECCION
0	0	Contador No. 0
0	1	Contador No. 1
1	0	Contador No. 2
1	1	Inválido

RL1 y RLO seleccionan la forma de cargar los registros de cuenta de cada contador, de acuerdo a la siguiente tabla:

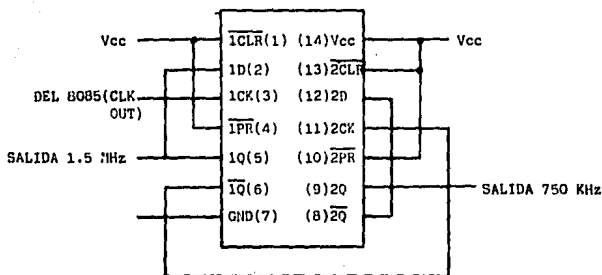


FIG. 4.5 CONEXION DEL 7474.

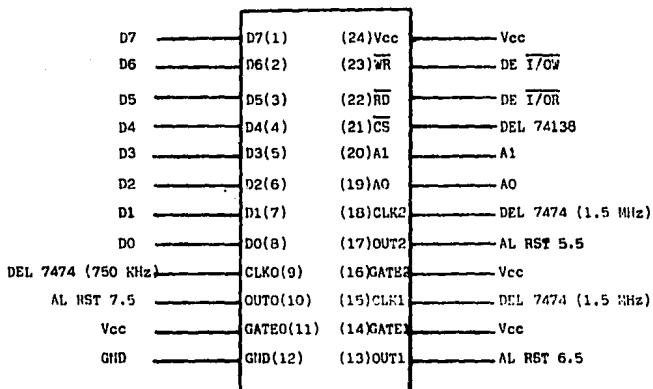


FIG. 4.6 CONEXION DEL TEMPORIZADOR 8253.

RL1	RLO	SELECCION
0	0	Operación de Latch de los contadores.
0	1	Lee o carga el byte más significativo.
1	0	Lee o carga el byte menos significativo.
1	1	Lee o carga, primero el byte menos significativo, y luego el byte más significativo.

M2, M1 y M0 seleccionan el modo de operación.

M2	M1	M0	SELECCION
0	0	0	Modo 0
0	0	1	Modo 1
X	1	0	Modo 2
X	1	1	Modo 3
1	0	0	Modo 4
1	0	1	Modo 5

X = Irrelevante

Cada modo está definido como a continuación se menciona:

Modo 0. Interrupción al finalizar la cuenta.

Quando el contador es cargado y comienza la cuenta, la salida del contador permanecerá baja, en el momento de finalizar la cuenta la salida se mantiene alta hasta que un nuevo valor sea cargado o la palabra de control sea renovada.

Modo 1. Un tiro programable por Hardware.

La salida del contador permanecerá en estado bajo durante la siguiente transición positiva de la señal que alimenta a la entrada de GATE. En este caso la entrada de GATE funciona como disparador del inicio de cuenta y si se presenta una transición positiva cuando la cuenta no termina aún, ésta no será afectada.

Modo 2. Contador divisor por N.

La salida permanecerá baja por un período de la entrada de reloj y permanecerá alta según el valor del número inicial en el registro de cuenta.

Modo 3. Generador de onda cuadrada.

La salida permanecerá baja por la mitad de la cuenta y alta para la siguiente mitad para números de cuenta pares, y para números impares la salida será alta para $(N+1)/2$ y baja para $(N-1)/2$, siendo N el número inicial de la cuenta.

Modo 4. Después de que la palabra de control es cargada, la salida permanecerá alta. Inmediatamente después que el valor de la cuenta es cargado, el contador comenzará a contar, al final de la cuenta la salida estará baja durante un período de reloj, después del cual volverá a estar alta.

Modo 5. La cuenta comenzará cuando exista una transición positiva en la entrada de GATE, al finalizar la cuenta la salida permanecerá alta durante un período de reloj, después del cual volverá a estar alta.

BCD específica cuando es "0", que la cuenta es binaria, y si es "1", la cuenta es binaria codificada a decimal.

Quando se quiere leer el valor de la cuenta sin afectarla, se utiliza la palabra de control para latcher los contadores, la cual es la siguiente:

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1 y SC0 seleccionan el contador a leer. La lectura del valor del contador se realiza de esta forma debido a que si se lee el valor en cualquier momento, Este cambiará constantemente si no se deshabilita el conteo previamente.

En esta operación no es necesario deshabilitar el contador, debido a que el conteo permanecerá durante la lectura y el valor de la cuenta permanecerá constante a consecuencia del latcheo.

La salida de los contadores estará conectada a las tres interrupciones de RESTART, de esta forma el canal 0 se conectará al RESTART 7.5; el canal 1 al RESTART 6.5; y el canal 2 al RESTART 5.5.

La entrada de GATE de cada contador se conecta a Vcc para habilitar la cuenta en cualquier modo de operación. La Fig. 4.6 presenta la forma de conexión del temporizador programable 8253.

La operación del circuito temporizador en condiciones normales es la siguiente:

En primer lugar, debe inicializarse el circuito temporizador programable 8253, escribiendo la palabra de control dentro del registro del mismo nombre y el valor de la cuenta dentro del registro de cuenta del canal seleccionado, para ésto la salida de I/O W del 74257 deberá estar en 0 lógico y la dirección del 8253 deberá ser seleccionada, es decir, en el caso de escribir la palabra de control la dirección será OFH. Si se escoge el contador 1 se envía la señal de control de I/O W en el canal de control y la dirección OCH en el canal de direcciones y dependiendo del modo, la cuenta comenzará automáticamente.

Si se desea leer el valor de la cuenta en cualquier instante sin que ésta se vea afectada, se deberá cargar la palabra de registro especial para el latcheo de la cuenta dentro del registro de control.

Para concluir este capítulo, sólo es necesario tratar el tema de la selección de cada circuito integrado. Para ello se utiliza un decodificador de 3 a 8, que es el 74138, que posee tres entradas para habilitarlo, las cuales son: G2A, G2B y G1, así como salidas negadas. Como el 8257 y el 8253 poseen direcciones cuyos 4 bits más significativos son 0 se escoge un arreglo de compuertas OR para habilitar dicho decodificador. Las entradas A, B y C del decodificador serán conectadas a los bits de direcciones A1, A2 y A3 respectivamente, como se muestra en la Fig. 4.7.

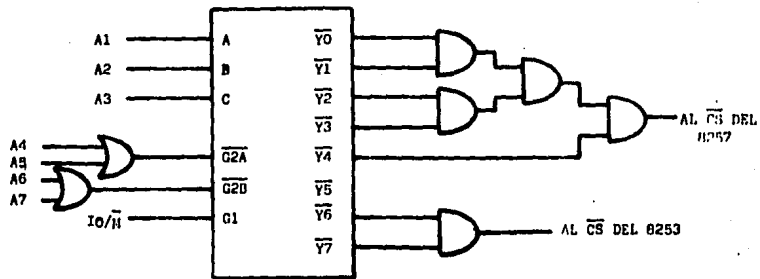


FIG. 4.7. CONEXION DEL DECODIFICADOR 74136.

DIR	A7	A6	A5	A4	A3	A2	A1	A0	G2A	G2B	G1	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	SELECCION
00	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	8257
01	0	0	0	0	0	0	0	1	0	0	1	0	1	1	1	1	1	1	1	8257
02	0	0	0	0	0	0	1	0	0	0	1	1	0	1	1	1	1	1	1	8257
03	0	0	0	0	0	0	1	1	0	0	1	1	0	1	1	1	1	1	1	8257
04	0	0	0	0	0	1	0	0	0	0	1	1	1	0	1	1	1	1	1	8257
05	0	0	0	0	0	1	0	1	0	0	1	1	1	0	1	1	1	1	1	8257
06	0	0	0	0	0	1	1	0	0	0	1	1	1	1	0	1	1	1	1	8257
07	0	0	0	0	0	1	1	1	0	0	1	1	1	1	0	1	1	1	1	8257
08	0	0	0	0	1	0	0	0	0	0	1	1	1	1	1	0	1	1	1	8257
09	0	0	0	0	1	0	0	1	0	0	1	1	1	1	1	0	1	1	1	INVALIDO
0A	0	0	0	0	1	0	1	0	0	0	1	1	1	1	1	1	0	1	1	INVALIDO
0B	0	0	0	0	1	0	1	1	0	0	1	1	1	1	1	1	0	1	1	INVALIDO
0C	0	0	0	0	1	1	0	0	0	0	1	1	1	1	1	1	1	0	1	8253
0D	0	0	0	0	1	1	0	1	0	0	1	1	1	1	1	1	1	0	1	8253
0E	0	0	0	0	1	1	1	0	0	0	1	1	1	1	1	1	1	1	0	8253
0F	0	0	0	0	1	1	1	1	0	0	1	1	1	1	1	1	1	1	0	8253

Fig. 4.5 "Tabla de Verdad" del 74138

Como se puede observar las salidas Y0 hasta la Y4 están arregladas de tal forma que siempre se tenga un 0 cuando se presentan las direcciones 00H hasta la 08H en las entradas del decodificador, dichas direcciones corresponden al controlador de acceso directo a memoria 8257. Las salidas Y6 y Y7 también se encuentran arregladas de forma tal que se obtenga un 0, siempre y cuando se presenten las direcciones 0CH hasta la 0FH, que corresponden al temporizador programable 8253. La salida Y5 queda libre, ya que corresponde a las direcciones 0AH y 0BH que no son usadas en este diseño. La dirección 09H tampoco está contenida dentro de este diseño y aunque habilita al 8257, no corresponde a ningún registro. La entrada G1 de habilitación está alimentada por la señal I/O/MEM, debido a que ambos circuitos son manejados como puertos de entrada y salida.

En la Fig. 4.8 se presenta la "tabla de verdad" correspondiente al arreglo del decodificador y compuertas mostrado anteriormente.

El circuito completo de la tarjeta de procesamiento se muestra en el Apéndice A, al final del presente trabajo.

En el siguiente capítulo se tratará el diseño de la tarjeta de memoria; la cual forma, junto con la tarjeta de procesamiento, la parte principal del sistema microcomputador.

CAPITULO V

DISEÑO DE LA TARJETA DE MEMORIA

a) Descripción y Especificaciones Generales.

La tarjeta de memoria está formada por 8 circuitos integrados de memoria estática de 2,048 por 8 bits cada uno, lo cual permite almacenar en una sola tarjeta hasta 16,384 palabras de 8 bits cada una. Las bases de estos circuitos son compatibles para memorias de tipo RAM, PROM, EPROM y EEPROM de la misma capacidad y cuyos tiempos de acceso no sean mayores de 400 nanosegundos, permitiendo de esta forma una gran flexibilidad en el manejo de información.

Cada tarjeta cuenta con un decodificador de 3 a 8 que selecciona uno de los 8 circuitos de memoria por medio de algunas de las líneas de dirección. El decodificador que se usa es el 74138, que posee tres entradas para ser habilitado (G2A, G2B y G1) y salidas negadas.

La configuración de cada circuito de memoria se muestra en la Fig. 5.1, en la cual se observan los siguientes parámetros:

- A7 hasta A0 - Entradas de direcciones.
- \bar{W} - Entrada que habilita la escritura en memoria RAM.
- Vpp y \overline{PGM} - Entradas que habilitan la escritura en EPROM y EEPROM.
- $\overline{CS} F \bar{E}$ - Entrada que habilita al circuito.
- $\overline{OE} F \bar{G}$ - Entrada que habilita la lectura.

b) Diseño del Circuito.

Para el diseño del circuito es necesario conocer qué bits de los 16 que forman la dirección no varían en cada 16 Kb. de memoria. A continuación se muestra la distribución hexadecimal de los 64 Kb. de memoria por cada 16 Kb. de capacidad de cada tarjeta de memoria, además se muestra el valor binario de los 4 bits más significativos.

DIRECCION									
HEXADECIMAL		BINARIO							
INICIO	FIN	INICIO				FIN			
		A15	A14	A13	A12	A15	A14	A13	A12
0000	3FFF	0	0	0	0	0	0	1	1
4000	7FFF	0	1	0	0	0	1	1	1
8000	BFFF	1	0	0	0	1	0	1	1
C000	FFFF	1	1	0	0	1	1	1	1

Como se puede observar, los bits A15 y A14 no varían en el rango de los 16 Kb., por tanto éstos se pueden ocupar para la selección del decodificador que maneja el arreglo de los 8 circuitos de memoria por tarjeta. Esta selección se realiza por medio de un arreglo de compuertas y switches, el cual es mostrado en la Fig. 5.2.

Cada switch está representado por el rectángulo vertical con los bits "1" y "0" dentro de él, esto significa que están conectados físicamente a Vcc y a tierra (dos polos, un tiro). Las compuertas OR exclusivo funcionan como comparadores entre los bits de la dirección y el valor determinado por el switch, de tal forma que si ambos valores son iguales, a la salida de la compuerta tendremos un "0"; si son diferentes tendremos un "1". Cuando los dos bits de direcciones sean iguales a los valores marcados por los switches, el decodificador será activado, debido a que a la salida del arreglo se tendrá un "0". Si algún bit es diferente al valor marcado por el switch, el decodificador no será habilitado puesto que en la salida del arreglo se tendrá un "1".

Desglosando una tarjeta de 16 Kb. en sus componentes de 2 Kb. y tomando los bits A14, A13, A12 y A11 de la dirección, se tiene:

A7(1)	(24)Vcc
A6(2)	(23)A8
A5(3)	(22)A9
A4(4)	(21) \bar{V}
A3(5)	(20) \overline{OE}
A2(6)	(19)A10
A1(7)	(18) \overline{CS}
A0(8)	(17)D7
D0(9)	(16)D6
D1(10)	(15)D5
D2(11)	(14)D4
GND(12)	(13)D3

FIG. 5.1 CONFIGURACION DE UN CIRCUITO DE MEMORIA CON CAPACIDAD DE 2K x 8.

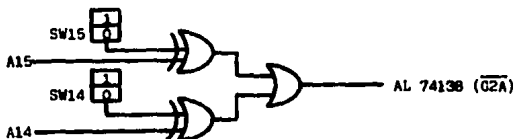


FIG. 5.2 ARREGLO DE COMPUERTAS Y SWITCHES.

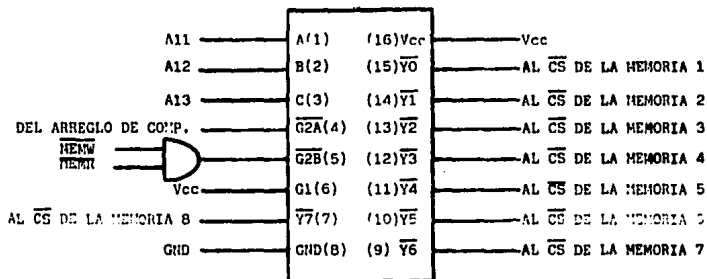


FIG. 5.4 CONEXION DEL DECODIFICADOR 74136.

ENTRADAS			SALIDAS							SELECCION	
A13	A12	A11	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	
0	0	0	0	1	1	1	1	1	1	1	MEMORIA1
0	0	1	1	0	1	1	1	1	1	1	MEMORIA2
0	1	0	1	1	0	1	1	1	1	1	MEMORIA3
0	1	1	1	1	1	0	1	1	1	1	MEMORIA4
1	0	0	1	1	1	1	0	1	1	1	MEMORIA5
1	0	1	1	1	1	1	1	0	1	1	MEMORIA6
1	1	0	1	1	1	1	1	1	0	1	MEMORIA7
1	1	1	1	1	1	1	1	1	1	0	MEMORIA8

Fig. 5.3 "Tabla de Verdad" del 74138.

DIRECCION									
HEXADECIMAL		BINARIO							
INICIO	FIN	INICIO				FIN			
		A14	A13	A12	A11	A14	A13	A12	A11
0000	07FF	0	0	0	0	0	0	0	0
0800	0FFF	0	0	0	1	0	0	0	1
1000	17FF	0	0	1	0	0	0	1	0
1800	1FFF	0	0	1	1	0	0	1	1
2000	27FF	0	1	0	0	0	1	0	0
2800	2FFF	0	1	0	1	0	1	0	1
3000	37FF	0	1	1	0	0	1	1	0
3800	3FFF	0	1	1	1	0	1	1	1

Como se observa, los bits A11, A12 y A13 no cambian para el rango de los 2 Kb., por tanto, sirven para alimentar al decodificador y de esta manera seleccionar uno de los 8 circuitos de memoria. La "tabla de verdad" correspondiente al decodificador se muestra en la Fig. 5.3. En la Fig. 5.4 se muestra el diagrama de conexiones del decodificador junto con el arreglo de compuertas y switches mencionado anteriormente.

La operación de esta tarjeta es muy sencilla, sin embargo, requiere una breve explicación. Cuando se desea almacenar o extraer un dato, el microprocesador, en base al programa previamente establecido, envía la dirección al canal de direcciones, posteriormente envía las señales de control MEM R F MEM W según sea el caso y por último envía la señal de I/O/MEM, con lo cual la memoria seleccionada escribe los datos enviados o vierte sus datos en el canal de datos del sistema.

El circuito completo de memoria se muestra en el Apéndice B al final de este trabajo.

CAPITULO VI

DISEÑO DE LA TARJETA DE ENTRADAS Y SALIDAS DE SEÑALES DIGITALES

a) Descripción y Especificaciones Generales.

Debido a que muchos de los procesos industriales poseen características digitales, la tarjeta de entradas y salidas digitales forma parte integrante de cualquier controlador y sistema de adquisición de datos.

Esta tarjeta contiene doce entradas digitales y doce salidas digitales, las cuales manejan voltajes de 0 y 10 volts; drenando, en las salidas, una corriente máxima de 50 mA.

La tarjeta de entradas y salidas digitales se basa principalmente en el circuito integrado de INTEL 8255, que es una interfase programable de periféricos y que posee entre otras las siguientes características: 24 bits de entradas o salidas, divididas en tres puertos A, B y C de 8 bits cada uno y en dos grupos A y B de 12 bits cada uno, de tal forma que a cada grupo le corresponde un puerto entero y la mitad del puerto C; es decir, al grupo A le corresponde el puerto A y la mitad superior del puerto C y al grupo B le corresponde el puerto B y la mitad inferior del puerto C, pudiendo ser programados en tres modos de operación. En el primer modo de operación o modo "0" cada grupo puede ser programado en juegos de 4 bits para ser salidas o entradas. En el modo "1" cada grupo puede ser programado para tener 9 bits de entradas o salidas y 3 bits para señales de control. En el modo "2" solamente el grupo A puede ser programado para formar un canal bidireccional correspondiendo 8 bits de entradas y salidas y 4 bits para señales de control, en este modo se necesita una señal de control más, la cual es tomada del bit 3 del puerto C.

Cada puerto posee características propias como son:

Puerto A: un buffer o latch de salida de 8 bits y un latch de entrada de 8 bits.

Puerto B: un buffer o latch de salida/entrada de 8 bits y un buffer de entrada de 8 bits.

Puerto C: un buffer o latch de salida de 8 bits y un buffer de entrada de 8 bits.

En la Fig. 6.1 se muestra la configuración de entradas y salidas del 8255.

b) Diseño del Circuito.

Las direcciones que puede tomar el 8255 están especificadas por los tres puertos que maneja y por el registro de la palabra de control de acuerdo a la siguiente tabla:

AO	A1	OPERACION
0	0	Escribe o lee en o del Puerto A.
0	1	Escribe o lee en o del Puerto B.
1	0	Escribe o lee en o del Puerto C.
1	1	Escribe en el registro de la palabra de control.

La palabra de control especifica los siguientes parámetros:

BIT	FUNCIÓN
0	Especifica si la parte baja del puerto C es entrada o salida.
1	Especifica si el puerto B es entrada o salida.
2	Selección del modo del grupo B.
3	Especifica si la parte superior del puerto C es entrada o salida.
4	Especifica si el puerto A es entrada o salida.
5 y 6	Selección del modo del grupo A.
7	Bandera de programación. Activo en "1".

PA0(1)	(40)P14
PA2(2)	(39)PA5
PA1(3)	(38)PA6
PA0(4)	(37)PA7
\overline{RD} (5)	(36) \overline{WR}
\overline{CS} (6)	(35)RESET
GN0(7)	(34)D0
A1(8)	(33)D1
A0(9)	(32)D2
PC7(10)	(31)D3
PC6(11)	(30)D4
PC5(12)	(29)D5
PC4(13)	(28)D6
PC0(14)	(27)D7
PC1(15)	(26)Vcc
PC2(16)	(25)PB7
PC3(17)	(24)PB6
PB0(18)	(23)PB5
PB1(19)	(22)PB4
PB2(20)	(21)PB3

FIG. 6.1 CONFIGURACION DEL 8255.

Este circuito posee una característica importante y consiste en poder encender o apagar cada uno de los bits del puerto C en forma independiente a la de enviar algún byte por medio de la instrucción de OUT. Esta función es útil cuando se manejan el modo 1 y 2, debido a que como ya había mencionado antes, algunos de los bits del puerto C representan señales de control. Dicha función es programada dentro del registro de la palabra de control.

El bit 7 de la palabra de control especifica si la palabra que se programó es de modo de operación o de la función de encendido/apagado de los bits del puerto C.

Los bits 6 y 5 especifican el modo de operación del grupo A de acuerdo a la siguiente tabla:

6	5	MODO DE OPERACION
0	0	Modo 0.
0	1	Modo 1.
1	X	Modo 2.

X = Irrelevante.

Los bits 4, 3, 1 y 0 especifican si el puerto A, parte superior del puerto C, puerto B y la parte inferior del puerto C, respectivamente son salidas si son "0" o entradas si son "1".

El bit 2 especifica el modo de operación del grupo B, de tal forma que si es "0", se programa el modo 0, si es "1" se programa el modo 1.

La palabra de programación del modo de encendido/apagado de los bits del puerto C está formada por los siguientes parámetros:

BIT	FUNCIÓN
0	Encendido o apagado de los bits seleccionados. "1" para encendido. "0" para apagado.
1,2 y 3	Selecciona el bit del puerto C.
4,5 y 6	Irrelevantes.
7	Bandera de la función de encendido/apagado. Activo en "0".

El bit 7 cuando es "0", especifica que se trata de la palabra de la función de encendido/apagado de los bits del puerto C.

Los bits 3, 2 y 1 seleccionan los bits del puerto C a encender o apagar, de acuerdo a la siguiente tabla:

3	2	1	SELECCION
0	0	0	Bit 0
0	0	1	Bit 1
0	1	0	Bit 2
0	1	1	Bit 3
1	0	0	Bit 4
1	0	1	Bit 5
1	1	0	Bit 6
1	1	1	Bit 7

Cada uno de los modos de operación está definido como a continuación se menciona:

- Modo 0.** Este modo configura cada uno de los puertos como entradas o salidas simples. Las salidas son latchedas, las entradas no.
- Modo 1.** Este modo configura los puertos A y B como entradas o salidas, 6 bits del puerto C para señales de control de transferencia de los datos de los puertos A y B y 2 bits del puerto C como entradas o salidas simples. Las entradas y salidas de los puertos A y B son latchedas. Las señales de control del puerto C, que regulan la transferencia de información de los puertos A y B están definidas de diferente forma, según se programe el puerto como entrada o salida.

Si es entrada se definen como:

STB (Strobe Input). Un "0" en esta entrada carga el latch de entrada. Es el bit 4 del puerto C.

IBF (Input Buffer Full F/F). Un "1" en esta salida indica que el latch de entrada está lleno. Es colocada en "1" cuando STB es "0" y es limpiada con la transición positiva de la señal de READ. Es el bit 5 del puerto C.

INTR (Interrupt Request). Esta salida sirve para interrumpir al microprocesador cuando este dispositivo está pidiendo servicio. Es "1" cuando STB es "0" e IBF es "1" y es limpiado con la transición positiva de la señal de READ. INTE A es controlado por el bit 4 del puerto C. INTE B es controlado por el bit 2 del puerto C.

Si es salida se definen como:

OBF (Output Buffer Full F/F). Cuando esta salida está en "0", indica que el microprocesador ha escrito datos dentro del puerto seleccionado. Es puesta en "1" con la transición positiva de la señal de WRITE y es "0" cuando la entrada de ACK es "0". Es el bit 7 del puerto C.

ACK (Acknowledge Input). Un "0" en esta entrada informa al 8255 que los datos de los puertos A o B han sido aceptados. Es el bit 6 del puerto C.

INTR (Interrupt Request). Cuando esta salida es "1" puede ser usada para interrumpir al microprocesador y dar servicio al 8255. Es puesta en "1" cuando ACK es "1" y OBF es "1". Es limpiada con la transición negativa de la señal de WRITE. INTE A es controlada por el bit 6 del puerto C, INTE B es controlada por el bit 2 del puerto C.

Las señales de INTE se refieren a poder habilitar las señales de INTR de los puertos A y B de las señales de control que entran al 8255, en el caso de ser entradas, se refiere a la señal de STB y en el caso de salidas, a la señal de ACK.

- Modo 2.** Este modo configura al puerto A como un canal bidireccional de entrada y salida y posee 5 señales que controlan el flujo de información. Las entradas y salidas son latchedas. Las señales de control están definidas como a continuación se indica:

INTR (Interrupt Request). Un uno en esta salida puede servir para interrumpir al microprocesador cuando el 8255 requiere servicio. Es el bit 3 del puerto C.

OBF (Output Buffer Full). Un cero en esta salida indica que la CPU ha escrito datos dentro del puerto. Es el bit del puerto C.

ACK (Acknowledge). Un cero en esta entrada habilita al buffer de 3 estados a enviar los datos fuera del puerto, de otra forma permanecerá en el estado de alta impedancia. Es el bit 6 del puerto C.

INTE1 es controlada por el bit 6 del puerto C.

STB (Strobe input). Un cero en esta entrada carga los datos en el latch de entrada. Es el bit 4 del puerto C.

IBF (Input Buffer Full). Un uno en esta salida ha sido cargado en el latch de entrada. Es el bit 5 del puerto C.

INTE2 es controlada por el bit 4 del puerto C.

Para este diseño se utilizó el modo "0", debido a que no se tiene un dispositivo que controle las interrupciones que envía el 8255 al microprocesador, dicho controlador debería existir dentro de la tarjeta de procesamiento, pero no está contemplado en este diseño, por lo tanto, no es factible usar el modo de operación "1" ni el modo de operación "2". Es por esto, que se tienen programadas doce entradas, ocho del puerto A y cuatro del puerto C, y doce salidas, ocho del puerto B y cuatro del puerto C; como ambas manejan voltajes de 0 a 10 volts, es necesario conectar un transistor a cada entrada, con el fin de obtener en el colector del mismo los voltajes compatibles con el 8255.

El transistor de la entrada se conectará en la forma como se muestra en la Fig. 6.2

El transistor utilizado en este caso, es uno que maneja pequeña señal, por tal motivo se usa un 2N2222. Como el 8255 maneja corrientes de entrada del orden de $\pm 10 \mu\text{A}$ se escogió una corriente de 5 mA para ser manejada por el transistor, por tanto, R_2 valdrá:

$$R_2 = 5 \text{ V} / 5 \text{ mA} = 1 \text{ Kohm}$$

Suponiendo una caída de voltaje a través de R_1 de 8 volts, un h_{fe} de 100 y una corriente de base igual a 50 μA , se tendrá:

$$R_1 = 8 \text{ V} / 50 \mu A = 160 \text{ Kohm} - 150 \text{ Kohm}$$

Como se quieren voltajes de salida de 0 y 10 volts, y una corriente máxima de salida a 10 volts de 50 mA, se utiliza un arreglo de transistores darlington como se muestra en la Fig. 6.3.

R_3 permite ajustar en la salida un voltaje de 10 volts cuando se drenan corrientes menores a 50 mA. Este valor se seleccionó suponiendo que el colector se encuentra en corto circuito y queremos que circule una corriente de 50 mA, por tanto:

$$R_{3\text{max}} = 12 \text{ V} / 50 \text{ mA} - 39 \text{ ohms} = 200 \text{ ohms} - 180 \text{ ohms}$$

R_2 se calcula con una corriente de 100 mA y una caída de voltaje de 2 volts, por tanto:

$$R_2 = 2 \text{ V} / 50 \text{ mA} = 40 \text{ ohms} - 39 \text{ ohms}$$

R_1 se calcula considerando que $h_{fe1} = h_{fe2} = 100$, por tanto $I_{b1} = 500 \mu A$ e $I_{b2} = 5 \mu A$. Como el voltaje de base es igual a 2 volts, se tiene que la caída de voltaje en la resistencia R_1 es de 3 volts de donde:

$$R_1 = 3 \text{ V} / 5 \mu A = 600 \text{ Kohms} - 560 \text{ Kohms}$$

La palabra de control para la operación del 8255 en modo cero para obtener las doce entradas y doce salidas, es la siguiente:

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	1	1	0	0	0

Esta palabra de control es enviada a la dirección específica del registro de la palabra de control. Con respecto a las direcciones que puede tomar el 8255, se mencionó antes que dichas direcciones están determinadas por los bits A_1 y A_0 de la dirección, por tanto esta tarjeta puede tomar aquellas direcciones cuyos 2 bits menos significativos sean 00, 01, 10 y 11; es por ésto que para activar esta tarjeta y más precisamente al 8255, se diseñó un arreglo de compuertas que nos permiten gran flexibilidad en

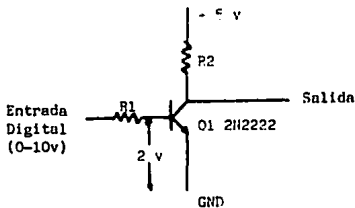


FIG. 6.2 CONEXION DEL TRANSISTOR DE ENTRADA DIGITAL.

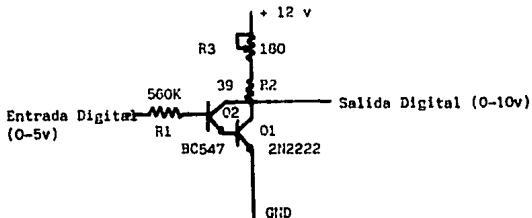


FIG. 6.3 CONEXION DEL TRANSISTOR DE SALIDA DIGITAL.

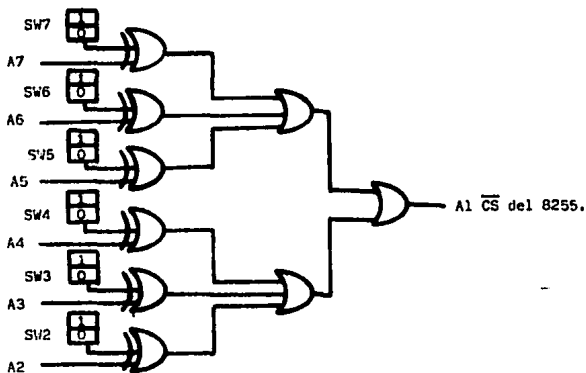


FIG. 6.4 ARREGLO DE COMPUTAS Y SWITCHES.

la selección de las direcciones que maneje el 8255. Este arreglo de compuertas está alimentado por los bits restantes de la dirección, para el caso de puertos de entradas y salidas, los cuales son A7, A6, A5, A4, A3 y A2, y por la selección que hagamos de la dirección a manejar, determinada por un switch de dos posiciones. En la Fig. 6.4 se representa el arreglo de compuertas acompañado de los switches antes mencionados.

Las compuertas OR exclusivo funcionan como comparadores, ya que si las entradas son iguales, a la salida se tendrá un cero, si son diferentes, se tendrá un uno, por tanto, si los valores de la dirección no son iguales a los valores determinados por los switches, el 8255 no será activado, debido a que a la salida del arreglo de compuertas se tendrá un uno, en el caso de que fueran iguales, el 8255 será activado, ya que en la salida se tendrá un cero.

Para concluir este capítulo se da una breve explicación de la operación de esta tarjeta.

En primera instancia, es necesario establecer qué direcciones manejará esta tarjeta, para este caso y como un ejemplo utilizaremos las direcciones 14H, 15H, 16H y 17H, por tanto los switches S7 hasta S2 se colocarán en 1, 0, 0, 0, 0 y 1 respectivamente, asegurando de esta forma que esta tarjeta sólo será activada con alguna de las direcciones antes mencionadas.

La dirección 17H corresponde al registro de la palabra de control y es aquí donde debe escribirse la palabra de control específica para la forma de operación deseada, en este caso, 98H. Esta palabra de control es primero escrita dentro del acumulador y luego, mediante la instrucción de OUT y la dirección 17H, será enviada al registro antes mencionado.

Si se desea obtener el dato que se encuentra en la entrada del puerto A, es necesario enviar la instrucción de IN a la dirección 14H que corresponde a dicho puerto, después de lo cual, los datos deseados se encontrarán almacenados en el acumulador. Si se desea mandar algún dato al puerto B, es necesario cargar dicho dato en el acumulador y enviarlo con la instrucción de OUT a la dirección 15H, que corresponde a dicho puerto.

Para el caso del puerto C, será necesario enviar u obtener un dato en forma separada, ya que este puerto está dividido en dos y para esta configuración una parte es entrada y otra es salida, por tanto, si se quiere obtener el dato de la parte superior de este puerto, es necesario seguir

los pasos antes mencionados para el puerto A, sólo que la dirección será 16H, si se quiere mandar un dato a la parte baja de este puerto, los pasos necesarios serán los mencionados para el puerto B, sólo que la dirección será también la 16H.

El diagrama completo de esta tarjeta se encuentra en el Apéndice C al final del presente trabajo.

CAPITULO VII

DISEÑO DE LA TARJETA DE ENTRADAS Y SALIDAS DE SEÑALES ANALÓGICAS

a) Descripción y Especificaciones Generales.

La tarjeta de entradas y salidas de señales analógicas está constituida por dos convertidores analógico digital y dos convertidores digitalo analógico, lo que hace un total de dos entradas y dos salidas de señales analógicas. Las entradas manejan voltajes en un rango de 1 a 5 volts y las salidas en un rango de 0 a 10 volts.

Los convertidores analógico digital son circuitos CMOS de 10 bits que realizan la conversión por aproximaciones sucesivas. El circuito usado es el ADC 1005 de la National Semiconductor, que presenta las siguientes características: Es compatible con microprocesadores de 8 bits sin tener necesidad de usar circuitos de interfase, presenta una resolución de 10 bits, entradas de voltaje diferencial [Vin(+),Vin(-)], error lineal en la conversión de ± 1 y ± 0.5 del bit menos significativo, un tiempo de conversión mínimo de 50 uA y una disipación máxima de potencia de 25 mW.

El diagrama de conexión de este circuito se muestra en la Fig. 7.1 donde se observan los siguientes parámetros:

\overline{CS}	Entrada para deshabilitar o habilitar al circuito.
\overline{RD}	Entrada para habilitar o deshabilitar la lectura de los datos.
\overline{WR}	Entrada para iniciar la conversión.
CLKIN	Entrada de reloj.
\overline{INTR}	Salida para interrumpir a la CPU cuando la conversión ha sido realizada.
Vin(+),Vin(-)	Entradas diferenciales de voltaje.
AGND	Tierra del circuito analógico.
Vref	Voltaje de referencia.
DGND	Tierra del circuito digital.

Vcc	Voltaje de alimentación.
CLKR	Entrada de reloj.
DO0 - DO7	Salidas digitales de la conversión dividida en 2 bytes.

Los convertidores de digital a analógico son también circuitos CMOS de 10 bits de resolución, que fueron diseñados para ser acoplados directamente al canal de datos de microprocesadores de 8 bits. El circuito usado es el DAC 1000, el cual presenta las siguientes características: Disipación de potencia de 20 mW, linealidad de 10, 9 y 8 bits, resolución de 10 bits, y un error máximo de linealidad de 0.05% de la escala completa.

El diagrama de conexiones del circuito DAC 1000, se muestra en la Fig. 7.2, en la cual se observan los siguientes parámetros:

\overline{CS}	Entrada para deshabilitar o habilitar al circuito.
$LJ/\overline{R3}$	Entrada que habilita la justificación de izquierda o la de derecha.
$\overline{WR1}$	Entrada para habilitar la carga de los bits del dato dentro del latch de entrada. Cuando es uno, latched los datos. El latch de entrada está dividido en dos partes, una de 8 bits y la otra de dos bits, las cuales son cargadas por medio de la entrada de Byte1/Byte2.
$\overline{WR2}$	Esta entrada permite cargar los bits de dato dentro del registro del circuito cuando la entrada de XFER está baja. El dato es latched cuando WR2 está en uno.
Byte1/Byte2	Esta entrada cuando es uno carga los 10 bits del latch de entrada, cuando es cero, carga los dos bits restantes del dato dentro del mismo latch.
XFER	Señal de control de transferencia. Esta señal permite enviar los datos cargados en el latch de entrada al registro interno del DAC.
DIO-DI9	Entradas digitales.
IOUT1	Si el convertidor se usa en modo de switcheo de corriente, este punto es la salida del circuito. Si todos los bits de entrada son

$\overline{CS}(1)$	(20)Vcc
$\overline{RD}(2)$	(19)CKLF
$\overline{WR}(3)$	(18)D00
CLKIN(4)	(17)D01
$\overline{INTR}(5)$	(16)D02
Vin(+)(6)	(15)D03
Vin(-)(7)	(14)D04
AGND(8)	(13)D05
VREF(9)	(12)D06
DGND(10)	(11)D07

FIG. 7.1 CONFIGURACION DEL CONVERTIDOR A/D.

CS(1)	(24)Vcc
LJ/RJ(2)	(23)NC
$\overline{WR1}(3)$	(22)NC
Byte1/Byte2	(21)DI4
$\overline{WR2}(5)$	(20)DI3
$\overline{XPER}(6)$	(19)DI2
DI5(7)	(18)DI1
DI6(8)	(17)DI0
DI7(9)	(16)RFB
DI8(10)	(15)VREF
DI9(11)	(14)Iout1
GND(12)	(13)Iout2

FIG. 7.2 CONFIGURACION DEL CONVERTIDOR D/A.

uno, la corriente de salida es máxima y es mínima cuando todos son cero. Si el convertidor se usa en modo de switcheo de voltaje, en este punto se conecta el voltaje de referencia.

RFB Es una salida, la cual está conectada internamente a una resistencia de 15 Kohms. Cuando el convertidor se usa en modo de switcheo de corriente, esta resistencia se conecta en el lazo de retroalimentación del amplificador operacional que convierte la corriente de salida en voltaje. Cuando el convertidor se encuentra en el modo de switcheo de voltaje este punto no es conectado.

IOUT2 Salida dos de corriente, la cual es igual a:

$$IOUT2 = 1023 Vref / 15 \text{ Kohms} - IOUT1$$

Siempre se conecta a tierra.

Vref Con el convertidor se usa en el modo de switcheo de corriente es la entrada del voltaje de referencia, que está en un rango de -10 D +10 volts de corriente directa. Cuando el convertidor se usa en el modo de switcheo de voltaje, este punto es la salida del convertidor.

Este convertidor puede trabajar en dos modos de operación, según se conecte el amplificador operacional que convierte la corriente de salida en voltaje, los puntos IOUT1 y RFB.

El primer modo es el de switcheo de corriente en el cual el punto IOUT1 es la salida del convertidor y es conectado a la entrada inversora del amplificador operacional. El punto RFB se conecta al lazo de retroalimentación del amplificador operacional. IOUT2 y la entrada no inversora del amplificador operacional se conectan a tierra. En Vref se conecta el voltaje de referencia, el cual no debe exceder del rango comprendido entre -10 y +10 volts de corriente directa. La forma de conexión de este modo de operación es mostrado en la Fig. 7.3. El voltaje de salida varía según la siguiente expresión:

$$0 \text{ VDC} < Vout < Vref (1023/1024)$$

El segundo modo es el de switcheo de voltaje, en el cual la salida del convertidor es el punto Vref y es conectado a la entrada no inversora del amplificador operacional. El punto IOUT1 se conecta al voltaje de referencia y debe

permanecer en un valor menor o igual a tres volts de corriente directa, con una diferencia de por lo menos 10 volts del voltaje de alimentación, Esto es debido a que el valor del voltaje de referencia tiene gran repercusión en la linealidad, si el voltaje de referencia es grande, la degradación en la linealidad es grande. El punto IOUT2 es conectado a tierra y RFB se encuentra al aire. La ganancia del operacional se controla en forma normal, es decir, con el arreglo de la resistencia de retroalimentación y la resistencia conectada a tierra y a la entrada inversora del operacional.

El voltaje de salida varía según la siguiente expresión:

$$0 \text{ VDC} < V_{out} < V^+ (1 + R1/R2) \quad (1023/1024)$$

donde V^+ es el voltaje de referencia conectado a IOUT1. La forma de conexión en este modo de operación se muestra en la Fig. 7.4.

Al decir que estos circuitos son compatibles con las señales provenientes del microprocesador, se quiere dar a entender que los tiempos de duración de las señales de control permiten activar las funciones del convertidor, es decir, pueden ser acoplados directamente a los canales del sistema sin necesidad de usar circuitos de interfase. Por ejemplo, para activar la señal de WRITE del ADC 1005, se requiere que el tiempo mínimo de duración de la señal de I/O W sea de 100 ns., y esta señal dura, según especificaciones del 8085, 400 ns., que es más que suficiente para activar la señal de WRITE del convertidor.

Esta tarjeta cuenta también con dos referenciadores de voltaje, uno para los convertidores de digital a analógico y otro para los convertidores de analógico a digital.

Los convertidores digital a analógico serán usados en el modo de switcheo de voltaje, por tanto, seleccione un voltaje de referencia de 2.5 volts, que es logrado mediante un diodo referenciador de voltaje, que es el LM385, que presenta las siguientes características: la corriente de operación está comprendido entre 20 μ A y 20 mA, impedancia dinámica de 1 ohm, bajo coeficiente de temperatura y bajo ruido. Este circuito es alimentado con un voltaje de +5 volts y se conecta como se observa en la Fig. 7.5.

Para el caso del convertidor analógico a digital, se usa un referenciador de voltaje ajustable en el rango de 1.24 volts a 5.3 volts, con el fin de ajustar el voltaje de referencia al voltaje de entrada en escala completa. Esto se hace introduciendo el voltaje de escala completa, en este caso 5 volts, en la entrada $V(+)$ del convertidor y ajustando el voltaje de referencia se debe obtener en la salida del

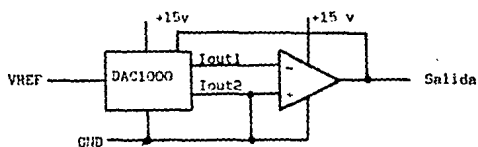


FIG. 7.3 CONEXION EN EL MODO DE SWITCHEO DE CORRIENTE.

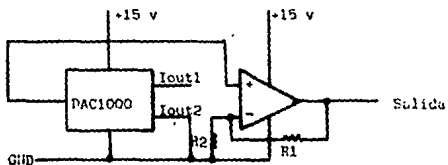


FIG. 7.4 CONEXION EN EL MODO DE SWITCHEO DE VOLTAJE.

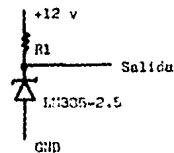
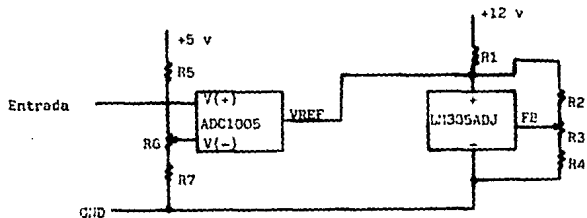


FIG. 7.5 CONEXION DEK REFERENCIADOR DE VOLTAJE DE 2.5 V.

FIG. 7.6 CONEXION DEL REFERENCIADOR DE VOLTAJE AJUSTABLE.
CIRCUITO PARA EL AJUSTE DE CERO Y SPAN.

convertidor todos los bits en 1 ± 1 del bit menos significativo. Antes de hacer el ajuste de escala completa, es necesario hacer el ajuste de 0, Este se realiza conectando el voltaje mínimo deseado, en este caso 1 volt, en la entrada V(-) del convertidor, para ello se coloca un divisor de voltaje ajustable en dicha entrada. A la entrada V(+) se le alimenta con el voltaje mínimo deseado y se ajusta el divisor de voltaje colocado en la entrada V(-) para obtener en todos los bits de salida un 0 ± 1 del bit menos significativo.

El referenciador de voltaje usado es el LM358ADJ que presenta las siguientes características: rango de voltaje ajustable entre 1.24 volts y 5.3 volts, rango de corriente de operación entre 10 uA y 20 mA, impedancia dinámica de 1 ohm y bajo coeficiente de temperatura. El voltaje de salida de este circuito se ajusta por medio de dos resistencias, de tal forma que el voltaje de salida varía según la siguiente expresión:

$$V_{out} = 1.24 [(R_4 + aR_3)/(R_2 + (1-a) R_3) + 1] \text{ volts}$$

donde a es un porcentaje del valor de R3.

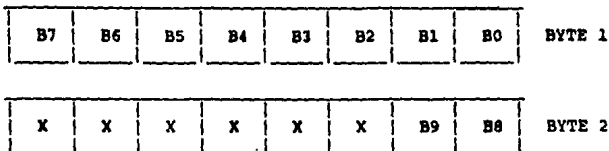
La Fig. 7.7 presenta la conexión del convertidor junto a la circuitería externa necesaria para hacer los ajustes de cero y escala completa.

La tarjeta de entradas y salidas de señales analógicas cuenta también con un decodificador de 3 a 8 para realizar la selección de uno de los cuatro circuitos que componen dicha tarjeta. Este decodificador es el circuito 74138.

b) Diseño del Circuito.

Los dos convertidores analógico a digital se conectan a los canales del sistema como se muestra en la Fig. 7.7. Los dos convertidores digital a analógico se conectan de la forma como se muestra en la Fig 7.8.

Para estos circuitos, $\overline{WR1}$ y $\overline{WR2}$ se conectan a la señal de control I/O W debido a que se desea que los 10 bits de datos sean almacenados directamente en el registro del circuito en el momento en que sea cargado el segundo byte de datos. También se selecciona la justificación de derecha, es por esto que la entrada LJ/RJ se conecta a tierra. El formato de los bytes de datos para la justificación de derecha es el siguiente:



donde B9 es el bit más significativo y B0 es el bit menos significativo.

Para poder cargar los datos dentro del convertidor, es necesario tener dos direcciones consecutivas, de tal forma que la primera dirección tenga como bit menos significativo un uno, y la segunda un cero, esto es debido a que dicho bit está conectado a la entrada de la función de Byte 1/Byte 2 y XFER.

Cuando dicho bit es uno, se carga el Byte 1, pero aún no existe transferencia de datos al registro del convertidor, ya que en la entrada de XFER existe también un uno. Cuando es cero, se carga el Byte 2, en este momento se transfieren los datos al registro del convertidor, puesto que en la entrada de XFER existe un cero.

Las entradas de los bits DI1 y DI0 se conectan a las entradas de los bits DI9 y DI8 respectivamente, debido a que se utiliza la justificación de derecha, y como se observa en el formato, estas parejas de bits coinciden en la misma posición del byte.

La salida Vref se envía a un amplificador operacional para convertir la corriente de salida a voltaje. El amplificador operacional usado es el TLO81C, que fue seleccionado por tener un alto slew rate, que es la razón de cambio de voltaje de salida con respecto al tiempo, alta impedancia de entrada, ancho de banda grande, alto rechazo en modo común, bajo ruido y una baja corriente de offset. Este amplificador se conecta como se muestra en la Fig. 7.9.

R3 es añadida para poder calibrar la salida en escala completa, cuando a la entrada del convertidor todos los bits son uno. Para calcular esta resistencia se tiene la siguiente expresión:

$$V_{out} = 1.24 [(R4 + aR3)/(R2 + (1-a) R3) + 1] \text{ volts}$$

donde a es una fracción del valor total de R3.

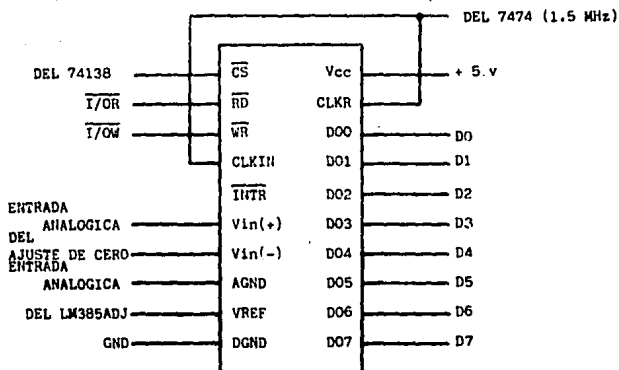


FIG. 7.7 CONEXION DEL ADC1005.

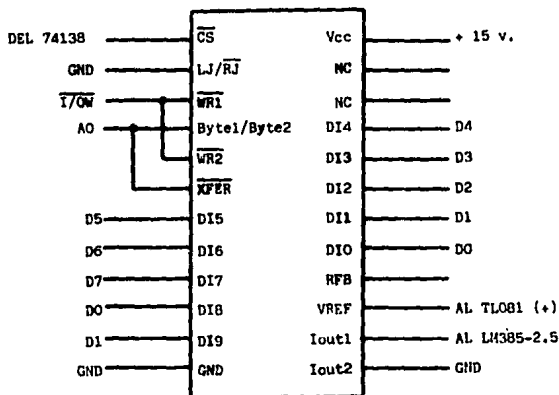


FIG. 7.8 CONEXION DEL DAC1000.

Para $a = 0.5$, es decir el puntero de R_3 se encuentra a la mitad, $R_2 = 330$ ohms y $R_3 = 100$ ohms, se tiene que:

$$R_1 = [(10 \text{ V} / 2.5 \text{ V})(1024/1023) - 1](330 + 50) - 50$$

$$R_1 = 1091.48 \text{ ohms} - 1200 \text{ ohms.}$$

La resistencia del referenciador de voltaje LM385-2.5, se calcula tomando como corriente de operación del referenciador a 35 μA , por tanto:

$$R_1 = (12 \text{ V} - 2.5 \text{ V}) / 35 \mu\text{A} = 271.42 \text{ Kohms} - 270 \text{ Kohms.}$$

El referenciador queda como se muestra en la Fig. 7.10.

Para el convertidor analógico a digital, el cálculo de las resistencias del referenciador de voltaje y del divisor de voltaje que ajusta el cero del convertidor, se muestra a continuación.

En el caso del referenciador de voltaje, se desea que el voltaje de salida de este circuito varíe entre 4.7 y 5.3. Para encontrar el valor de las resistencias R_2 , R_3 y R_4 mostradas en la Fig. 7.7, se tomará como si R_3 se encuentra al 50% de su valor total, por tanto:

$$V_{out} = 1.24 [(R_4 + 0.5 R_3) / (R_2 + 0.5 R_3) + 1] \text{ volts}$$

Para $V_{out} = 5$ volts, $I_{R123} = 120 \mu\text{A}$ y considerando que no entra en FB ninguna corriente, se tiene:

$$R_2 + R_3 + R_4 = 5 / 120 \mu\text{A} = 41.66 \text{ Kohms.}$$

Si R_2 se escoge de 8.2 Kohms y R_3 de 1 Kohm, el valor de R_4 será:

$$R_4 = (5 \text{ V} / 1.2 \text{ V})(8.2 \text{ Kohms} + 500 \text{ ohms}) - 500 \text{ ohms} = 34.5 \text{ Kohms}$$

$$R_4 \sim 33 \text{ Kohms}$$

R_1 se calcula para una corriente de 200 μA y un voltaje de 7 volts.

$$R_1 = 7 \text{ V} / 200 \mu\text{A} = 35 \text{ Kohms} - 33 \text{ Kohms}$$

Para calcular las resistencias R_5 , R_6 y R_7 que permiten el ajuste de cero, se considera que R_6 se encuentra a la mitad de su valor, que el voltaje obtenido es de 1 volt y circula una corriente de 10 μA , por tanto:

$$0.5 R_6 + R_7 = 1 \text{ V} / 10 \mu\text{A} = 100 \text{ Kohms}$$

$$0.5 R_6 + R_5 = 4 \text{ V} / 10 \mu\text{A} = 400 \text{ Kohms}$$

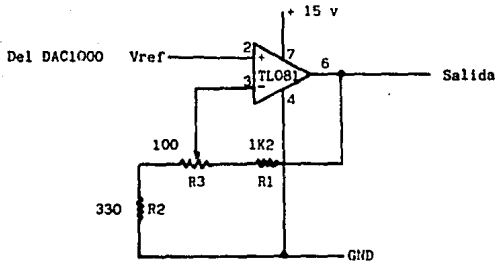


FIG. 7.9 CONEXION DEL AMPLIFICADOR OPERACIONAL TLO81.

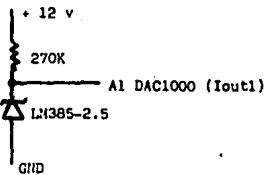


FIG. 7.10 CONEXION DEL LM385-2.5

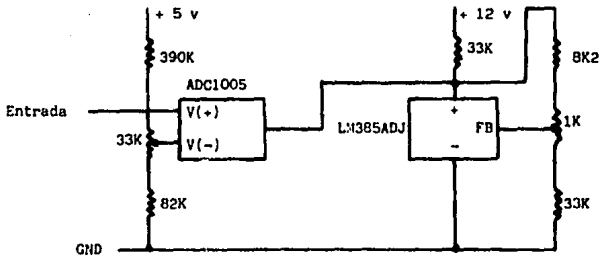


FIG. 7.11 CIRCUITO COMPLETO PARA EL AJUSTE DE CERO Y SPAN.

Para R6 = 33 Kohms tenemos:

R7 = 83.5 Kohms ~ 82 Kohms
R5 = 393.4 Kohms ~ 390 Kohms

El circuito completo con los valores respectivos se presenta en la Fig. 7.11.

La selección de cada uno de los circuitos se realiza por medio de un decodificador de 3 a 8 y que es el 74138. Este circuito es usado debido a que cada convertidor digital a analógico requiere dos direcciones consecutivas, por tanto son necesarias 6 direcciones para esta tarjeta, requiriendo cada una de ellas de una línea de selección, por lo tanto se tiene un total de 6 líneas de selección las cuales son tomadas de las salidas del 74138, sobrando dos salidas que no son usadas en este diseño.

El decodificador 74138 se conecta como se muestra en la Fig. 7.12, en la cual los bits de direcciones A0, A1 y A2 alimentan a las entradas del circuito A, B y C respectivamente, los bits A3, A4, A5, A6 y A7 se utilizan para la selección del decodificador y con él la selección de la tarjeta, Esto se realiza mediante el arreglo de compuertas y switches mencionado ya en anteriores capítulos.

Para finalizar este capítulo daré una breve explicación sobre la operación de esta tarjeta, para ello consideré que tiene las siguientes direcciones: La dirección 80 selecciona el convertidor A/D 1, las direcciones 81 y 82 seleccionan el convertidor D/A 1, las direcciones 83 y 84 seleccionan el convertidor D/A 2, y la dirección 85 selecciona el convertidor A/D 2. En el caso de querer adquirir un dato analógico es necesario primero seleccionar alguno de los dos convertidores analógico a digital, para este ejemplo, se seleccionó el número 2, por tanto, la dirección a enviar será 85. Posteriormente se envía la señal de WRITE. La conversión comenzará cuando esta última señal tenga una transición positiva. Para realizar el envío de estas señales se utiliza la instrucción de OUT y la dirección 85, con dicha instrucción se simula escribir un dato en el convertidor, sin embargo, no es así puesto que no existen entradas digitales en el convertidor.

Pasados 53.3 us, la conversión termina, por lo tanto, se puede pedir el dato que se encuentra en la entrada del latch de salida del convertidor. Para ello se envía la dirección de este circuito y la señal de READ. Esto último se consigue enviando la instrucción de IN y la dirección 85, en este momento el convertidor vierte sus datos en el canal de datos.

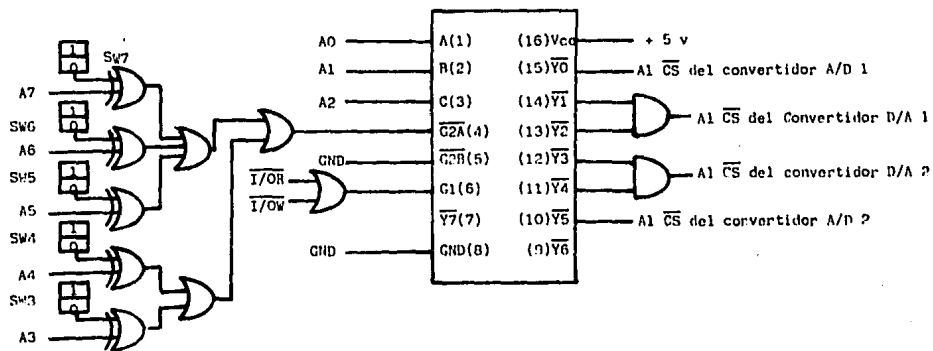


FIG. 7.12 CONEXION DEL 74138

Este primer dato cuenta con los bits 9 al 2, los bits 1 y 0 se consiguen leyendo nuevamente el dato que se encuentra en el convertidor, es decir, se envía de nuevo la instrucción de IN y la dirección 85.

En el caso de enviar un dato analógico, se selecciona alguno de los dos convertidores analógico a digital. Si seleccionamos el número 1, las direcciones que le corresponden son 81 y 82. Posteriormente se envía el byte a convertir a la primera dirección, es decir, se carga al acumulador con este byte siguiendo el formato de la justificación de derecha, y luego mediante la instrucción de OUT y la dirección 81, se envía al convertidor. En este momento la conversión no ha comenzado. En seguida se carga el segundo byte a convertir mediante las mismas instrucciones. Al enviar este segundo byte la conversión comienza y después de 500 ns, un valor de voltaje es obtenido a la salida del amplificador operacional.

El circuito completo de esta tarjeta es mostrado en el Apéndice D al final de este trabajo.

Con este capítulo termina la descripción y el diseño de cada una de las partes que constituyen a este controlador. En los capítulos subsecuentes se presenta la teoría de operación y un pequeño ejemplo del control de un proceso específico.

CAPITULO VIII

TEORIA DE OPERACION

En los capítulos anteriores se presentó el diseño de cada una de las tarjetas que constituyen al controlador y al final de estos capítulos se daba una breve explicación sobre la operación de dichas tarjetas. En este capítulo se analizará más a fondo la teoría de operación de todo el sistema microcomputador.

Comenzaré por explicar el sistema básico de tiempo del 8085. Como sabemos, la ejecución de cualquier programa está formada por una secuencia de operaciones de READ y WRITE. Cada una de estas operaciones es denominada ciclo de máquina, cada instrucción de programación consiste de 1 a 5 ciclos de máquina y cada uno de éstos está formado por una serie de 3 a 6 ciclos de reloj. Estos ciclos de reloj son llamados estados "T" y para este diseño cada uno de ellos dura 333.33 ns.

El primer ciclo de máquina de cada instrucción se denomina OPCODE FETCH o ciclo de búsqueda, el cual consiste en buscar en memoria cada una de las instrucciones y está formado por las siguientes etapas:

1. La CPU envía la señal de lectura o READ.
2. La CPU envía al contador de programa al canal de direcciones. El byte más significativo del contador de programa es colocado en las líneas A8 a A15 del canal de dirección y permanecen durante al menos 4 ciclos de reloj. El byte menos significativo es colocado en las líneas A0 a A7 y sólo permanece durante un ciclo de reloj después del cual, A0 a A7, contienen un dato si se va a realizar un ciclo de escritura o permanecen en estado de alta impedancia esperando que algún dispositivo maneje estas líneas para un ciclo de lectura. Como las direcciones A0 a A7 son de carácter transitorio, deben de latcharse; es por esto que en el primer ciclo de reloj de cada ciclo de máquina aparece la señal de ADDRESS LATCH ENABLE, que ya fue explicada en anteriores capítulos.
3. El dispositivo de memoria maneja la dirección y después de un período de tiempo denominado "tiempo de acceso de memoria", los datos son enviados a las líneas A0 a A7.
4. Durante el tercer ciclo de reloj, la CPU carga el dato dentro de sus registros de instrucción y entonces coloca la señal de READ en estado de alta impedancia, deshabilitando al mismo tiempo al dispositivo de memoria.

5. La operación especificada en instrucción será ejecutada en los siguientes ciclos de máquina.

Los ciclos de máquina llevan a cabo los siguientes pasos:

1. Envía la señal de estado IO/M, S1 y S0, lo cual define qué ciclo de máquina será llevado a cabo. La señal de IO/M identifica qué dispositivo va a ser usado, memoria o puerto de entrada y salida. S1 y S0 identifican si se trata de un ciclo de lectura, escritura o de búsqueda de instrucción.

2. Envía los 16 bits de dirección al comienzo de cada ciclo de máquina para identificar la localidad de memoria o el puerto de entrada y salida.

3. Después de que el ciclo de búsqueda ha sido ejecutado durante el primer ciclo de máquina, en el cuarto ciclo de reloj se decodifica la instrucción que se encuentra almacenada en el registro de instrucción y decide continuar con el siguiente ciclo de reloj o comenzar un nuevo ciclo de máquina.

Si se trata de un ciclo de lectura, las etapas que se presentan son las siguientes:

1. La CPU envía durante el primer ciclo de reloj las señales de IO/M, S1=1 y S0=0 que identifican que se trata de un ciclo de lectura y según se tenga un 0 o un 1 en la señal de IO/M, se usará memoria o un dispositivo de entrada y salida.

2. La CPU envía la dirección y la señal de lectura al canal de direcciones y de control, respectivamente; durante el primer ciclo de reloj.

3. La memoria o el puerto de entrada y salida vierte sus datos en el canal de datos del sistema.

Si se trata de un ciclo de escritura, las etapas que se presentan son similares a las del ciclo de lectura, sólo varían en las señales S1 y S0, que para este caso valen 0 y 1, respectivamente.

Cuando se tiene memoria de acceso lento, uno o más ciclos de espera deben ser intercalados durante la ejecución de un ciclo de máquina. Cada ciclo de espera no modifica el estado anterior de cada una de las señales que salen de la CPU. Este ciclo de espera es colocado cuando la línea de READY que entra al microprocesador está en 0. La señal de READY es monitoreada durante el segundo ciclo de reloj del ciclo de máquina en proceso y si un ciclo de espera es necesario, éste se intercala en el ciclo de reloj siguiente.

Cuando se maneja la línea de HOLD causa que el microprocesador cese la ejecución de ciclos de máquina, permitiendo de esta forma que un dispositivo periférico obtenga el control de los canales del sistema, con el fin de ejecutar ciclos de acceso directo a memoria.

Si se envía la instrucción de HALT causa que todas las señales que salen de la CPU queden flotando y sólo puede ser expulsado de este ciclo de HALT mediante un RESET o una interrupción. La línea de HOLD también produce la expulsión del ciclo de HALT, pero sólo es temporal, ya que en el momento de que regresa a 0, el microprocesador regresa a su estado anterior.

La línea de RESET IN permite colocar al contador de programa en ceros, la CPU envía la señal de RESET OUT, limpia el registro de instrucción, los flip flops de INTE, RST 7.5, TRAP, SOD, limpia el estado de máquina, los latches internos y las señales de HOLD, INTR y READY y enciende las interrupciones RST 5.5, RST 6.5 y RST 7.5.

Cuando el 8085 es energizado requiere de un tiempo de 500 microsegundos después de que el voltaje de alimentación alcanza los 4.75 volts para funcionar adecuadamente.

Los dispositivos manejados por el microprocesador dependen enteramente de los tiempos de operación del mismo, por lo tanto, no es necesario tratar cada uno por separado, es decir, basta explicar el sistema básico de tiempo del 8085 para entender la operación de estos circuitos.

Para terminar este capítulo, basta explicar cómo funcionan los ciclos de interrupción. Si alguna interrupción es activada, lo cual ocurre siempre y cuando el flip flop de dicha interrupción ha sido habilitado y si ésta es la de menor prioridad, o sea INTR, la CPU limpia el flip flop de la interrupción y entra en el ciclo de INTERRUPT ACKNOWLEDGE. éste ciclo es similar al ciclo de búsqueda de instrucción con la excepción de que se envía la señal de INTA, en lugar de la de READ. Cuando INTA es enviado y existe un dispositivo controlador de interrupciones, Este último provee la dirección donde se encuentra la siguiente instrucción a realizar. Cuando se maneja alguna de las interrupciones de RESTART o la de TRAP, la CPU tiene almacenados en sus registros internos la dirección específica donde se encuentra localizada la siguiente instrucción. En estos casos, el ciclo de interrupción varía con respecto al de INTR en que no se envía la señal de INTA, sino que se envía la señal de READ, junto con la dirección específica para dicha interrupción.

En el siguiente capítulo se da un pequeño ejemplo sobre el control de un proceso.

CAPITULO IX

EJEMPLO DE CONTROL

Para este ejemplo seleccioné un proceso secuencial que consiste en la mezcla de dos elementos dentro de un tanque.

La Fig. 9.1 representa el diagrama de tuberías e instrumentación de dicho proceso, en el cual se observan tres válvulas, un transmisor de nivel y un motor que mueve al agitador que homogeniza la mezcla.

El proceso funciona de la siguiente forma: en un principio el depósito contiene la mezcla en un 10% de la capacidad total del tanque, entonces se abre la válvula 1, dejando pasar al primer elemento de la mezcla, verificando antes que las válvulas 2 y 3 estén cerradas. Se deja llenar el tanque hasta que el nivel sea igual al 25% de la capacidad total del tanque; en este momento se cierra la válvula 1 y se abre la válvula 2, dejando que el nivel alcance el 63% de la capacidad total del tanque. Cuando esto ocurre se cierra la válvula 2 y el motor comienza a funcionar por un periodo de tiempo igual a 5 minutos, en el cual se homogeniza la mezcla. Al terminar este periodo se apaga el motor, se abre la válvula 3 hasta que el nivel alcance el 10%, en este momento se cierra la válvula 3 y comienza un nuevo ciclo.

La configuración mínima del sistema requerida para controlar este proceso es la siguiente: una tarjeta de procesamiento, una tarjeta madre, dos tarjetas de entradas y salidas de señales analógicas, una tarjeta de entradas y salidas de señales digitales y una tarjeta de memoria. A las tarjetas de entradas y salidas de señales analógicas se les darán las direcciones 10H a 1BH y a la tarjeta de entradas y salidas de señales digitales, la dirección 1CH hasta 1FH, de esta forma a las entradas de señales analógicas les corresponden las direcciones 10H, 15H, 16H y 1BH y a las salidas de señales analógicas las direcciones 11H, 12H, 13H, 14H, 17H, 18H, 19H y 1AH.

En este caso tres salidas de señales analógicas se encargan de controlar las válvulas, una entrada de señal analógica sensa en valor del nivel y una salida de señal digital enciende o apaga al motor del agitador.

El programa que realiza el control del proceso es el siguiente:

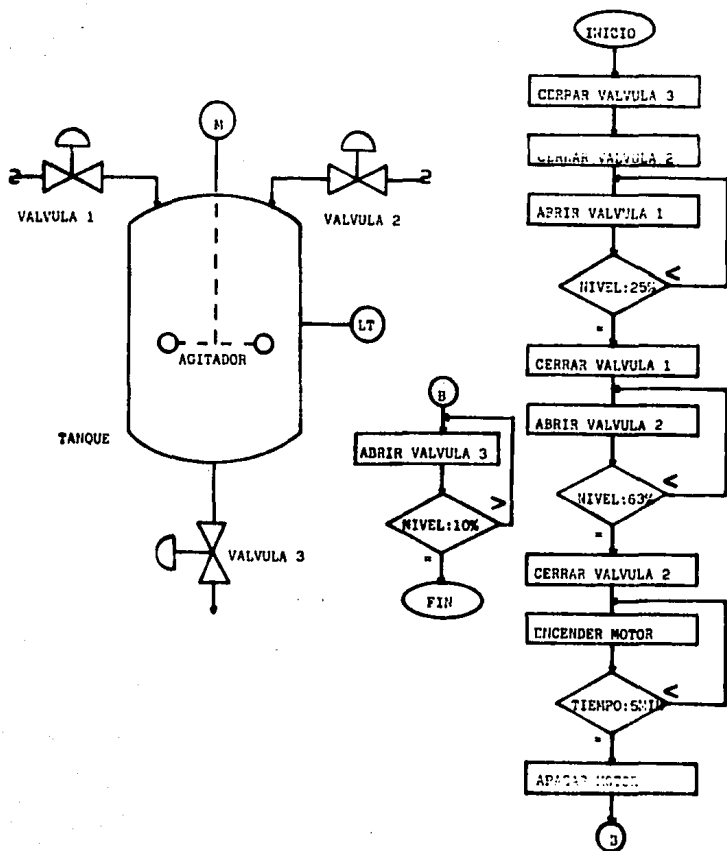


FIG. 9.1 DIAGRAMA DE TUBERIAS E INSTRUMENTACION DEL PROCESO DE MEZCLADO Y DIAGRAMA DE FLUJO DEL PROCESO.

ETIQUETA	CODIGO	COMENTARIOS
INICIO1	LXI SP,1000	CARGA SP CON 1000H.
	DI	DESHABILITA INTERRUPCIONES
	MVI A,98	INICIALIZA AL 8255
	OUT 1F	
INICIO2	MVI A,00	CIERRA VALVULAS 2 Y 3
	OUT 11	
	OUT 12	
	OUT 13	
	OUT 14	
	MVI A,FF	ABRE VALVULA 1
OUT 17		
OUT 18		
ADQUIERE1	OUT 10	SENSA EL VALOR DEL NIVEL Y COMPARA CON EL 25% DE LA CAPACIDAD TOTAL.
	CALL CICLO	
	IN 10	
	CPI 3F	
	JC ADQUIERE1	
	MVI A,00	CIERRA VALVULA 1
	OUT 17	
	OUT 18	
	MVI A,FF	ABRE VALVULA 2
	OUT 13	
OUT 14		

ADQUIERE2	OUT 10) SENA EL VALOR DEL NIVEL Y COMPARA CON EL 63% DE LA CAPACIDAD TOTAL.
	CALL CICLO	
	CPI A0	
	JC ADQUIERE2	
	MVI A,00) CIERRA VALVULA 2
	OUT 13	
	OUT 14	
	MVI A,FE) ENCIENDE MOTOR
	OUT 1D	
	MVI A,03) 5 MINUTOS DE ESPERA
TIEMPO 4	PUSH PSW	
	MVI A,FF	
TIEMPO 3	PUSH PSW	
	MVI A,FF	
TIEMPO 2	PUSH PSW	
	MVI A,FF	
TIEMPO 1	CPI 00	
	DCR A	
	JNZ TIEMPO 1	
	POP PSW	
	CPI 00	
	DCR A	
	JNZ TIEMPO 2	
	POP PSW	
	CPI 00	

	DCR A		
	JNZ TIEMPO 3		
	POP PSW		
	CPI 00		
	DCR A		
	JNZ TIEMPO 4		
	MVI A, FF		
	OUT 1D) APAGA EL MOTOR
	MVI A, FF		
	OUT 11) ABRE VALVULA 3
	OUT 12		
ADQUIERE3	OUT 10		
	CALL CICLO		
	IN 10) SENA EL VALOR DEL NIVEL
	CPI 19) Y COMPARA CON EL 10% DE
	JNC ADQUIERE3		LA CAPACIDAD TOTAL.
	JNP INICIO2		REINICIA EL CICLO
CICLO	MVI A, 09		
REGRESO	CPI 00		
	DCR A) TIEMPO DE CONVERSION D/A
	JNZ REGRESO) APROX. 60 us.
	RET		

Como se observa en la codificación del programa, las direcciones 11 y 12 corresponden a la válvula 3, las direcciones 13 y 14 a la válvula 2, las direcciones 17 y 18 a la válvula 1, la dirección 10 corresponde al sensor del nivel y la dirección 1D corresponde al motor.

Para realizar el tiempo de espera en el cual el agitador esté en movimiento, no se utilizó al temporizador 8253, debido a que cuando éste es cargado con el valor necesario para un tiempo de 5 minutos, comienza la cuenta habilitando al microprocesador para ejecutar otras tareas, mientras transcurren los 5 minutos. Como en este proceso no existen acciones que se puedan llevar a cabo durante este tiempo, utilizamos al 8085 para realizar este tiempo de espera, de esta forma se realizan 4 ciclos interactivos dentro del microprocesador. Estos ciclos fueron basados en el número de estados o ciclos de reloj de las instrucciones que se realizan, en este caso CPI, DCR y JNZ, que hacen un total de 18 ciclos de reloj y si cada ciclo de reloj dura 333.33 ns., se tiene un tiempo total de 6 microsegundos. Dividiendo 5 minutos entre 6 microsegundos, nos da el valor total del número que debe ser cargado en el acumulador y es 50 millones, el cual es logrado mediante tres ciclos jerárquicos de 255 veces cada uno, para hacer un total de 16.58 millones y un ciclo de tres veces, por tanto, se tienen 16.58 millones por tres, lo cual es igual aproximadamente a 50 millones de veces.

El control del motor del agitador es logrado por medio del bit 0 del puerto B. Este motor es encendido con el bit en 0 y apagado con el bit en 1, es por esto que el acumulador se carga con FEH para encenderlo y con FFH para apagarlo.

El sensado del nivel también requiere un tiempo de espera, que corresponde al tiempo de conversión digital a analógico de aproximadamente 53.3 microsegundos. Este tiempo es logrado con el 8085 programando un número de ciclos interactivos en este caso 09, realizando 9 por 18 ciclos de reloj, o sea, 54 microsegundos.

CONCLUSIONES

CONCLUSIONES

El diseño del microprocesador desarrollado en este trabajo es un prototipo debido a que se pueden implementar algunas mejoras como son las siguientes:

1. Tener una comunicación entre varias microcomputadoras o entre varias microcomputadoras y una computadora central, esto es debido a que en los procesos reales las variables que pueda controlar una microcomputadora están relacionados en menor a mayor grado con las que pueda manejar otra, es decir, generalmente los procesos que se desarrollan en una planta de manufactura se encuentran divididos y para cada uno de ellos existe una microcomputadora que controle las variables del proceso más importantes, sin embargo, existe una interrelación entre las variables de un proceso y las de otro, lo cual requiere de comunicación entre una microcomputadora y otra. Esta comunicación será realizada mediante una tarjeta de comunicación serie, la cual sería opcional, debido a que tal vez no fuera necesaria para pequeños procesos.

2. Tener una unidad aritmética lógica más poderosa, es decir, que cuente con operaciones aritméticas como multiplicación, división, radicación, potenciación, funciones trigonométricas y extracción de logaritmos. Estas operaciones permitirían mayor flexibilidad en la programación y serían llevadas a cabo por un circuito integrado colocado en la tarjeta de procesamiento.

3. Jerarquizar por medio de interrupciones el servicio de cada una de las tarjetas de entradas y salidas, lo cual incrementará la velocidad de respuesta del sistema. Esto sería llevado a cabo mediante un controlador de interrupciones colocado en la tarjeta de procesamiento.

4. Separar salidas y entradas tanto de señales digitales como analógicas en diferentes tarjetas, Esto permitirá tener una mejor organización cuando se alambrara externamente cada una de las tarjetas.

5. Poseer un programa de diagnóstico que permita darnos a conocer cuando el equipo está fallando en cualquiera de sus partes.

6. Que las tarjetas de entradas de señales digitales posean entradas optoacopladas, las cuales minimizarían la influencia del ruido eléctrico ambiental, además de proteger al equipo en caso de que los voltajes de entrada presentaran picos muy altos.

7. Que las tarjetas de entradas analógicas posean entradas por transformador para separar las tierras exteriores a las tierras del sistema microcomputador.

Todas estas mejoras permitirán una mayor funcionalidad en el equipo.

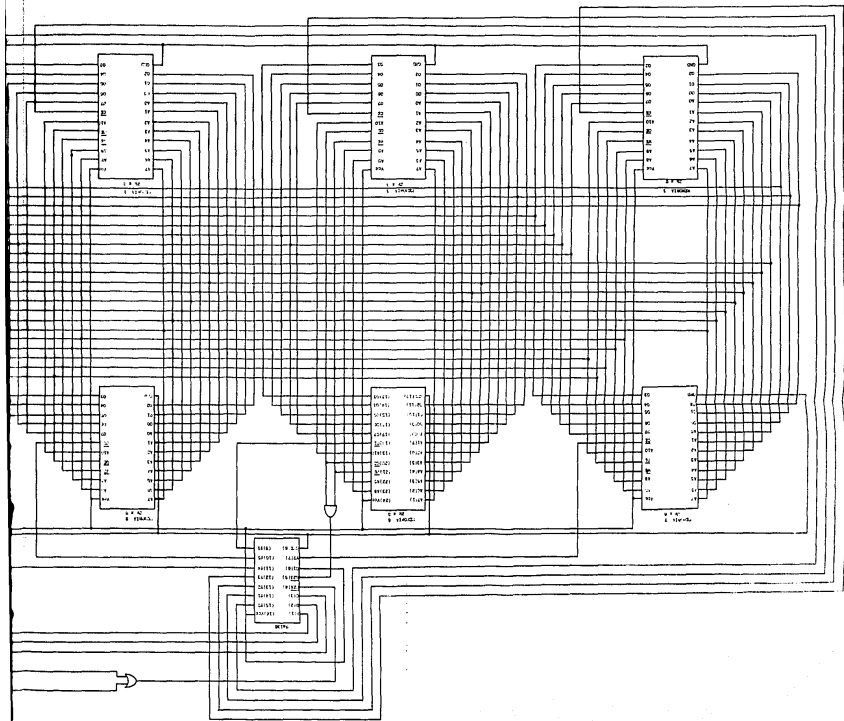
Por último, es conveniente hacer notar que este equipo tiene como fin obtener una mejor calidad en los productos de un proceso determinado, lo cual redunda en un bajo costo de producción haciendo a dicho producto más competitivo en el mercado tanto nacional como internacional.

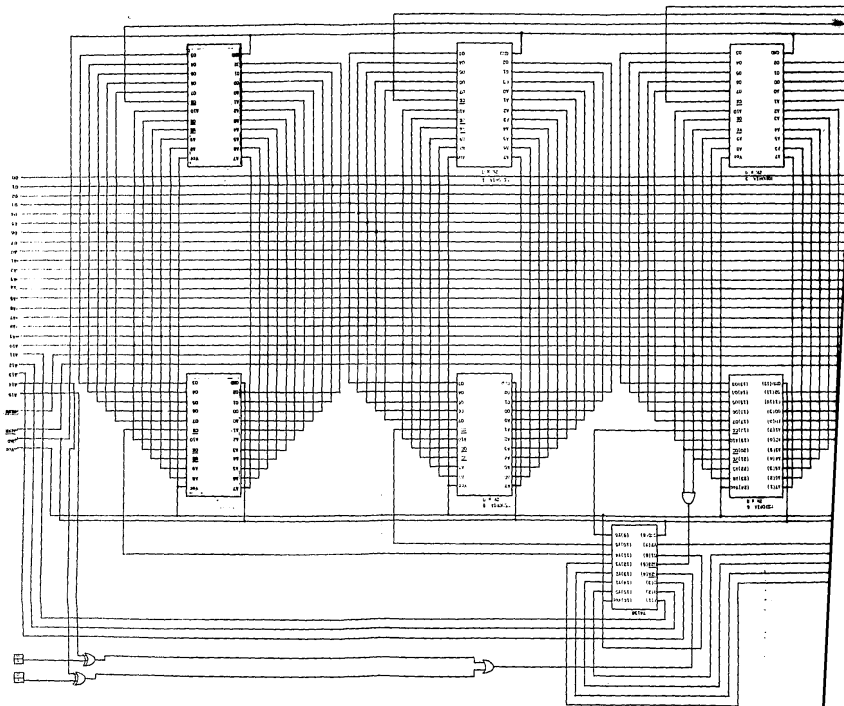
BIBLIOGRAFIA

BIBLIOGRAFIA

- INTEL. The 8080/8085 Microprocessor Book, Estados Unidos de América, John Wiley & Sons, Inc., 1980.
- NATIONAL SEMICONDUCTOR CORPORATION. 1984 Mos Memory Data Book, Estados Unidos de América, National Semiconductor Corporation, 1984.
- TEDESCHI P., FRANK & KUECK, GARY. 101 Microprocessor Software and Hardware Projects, Estados Unidos de América, TAB Books, Inc., 1982.
- TEXAS INSTRUMENTS INC. The TTL Data Book for Design Engineers, Segunda Edición, Estados Unidos de América, Texas Instruments, Inc., 1981.
- NATIONAL SEMICONDUCTOR CORPORATION. Data Conversion Acquisition Databook, Estados Unidos de América, National Semiconductor Corp., 1984.
- MOTOROLA INCORPORATED. Linear and Interface Integrated Circuits, Segunda Edición, Estados Unidos de América, Motorola Inc., 1983.

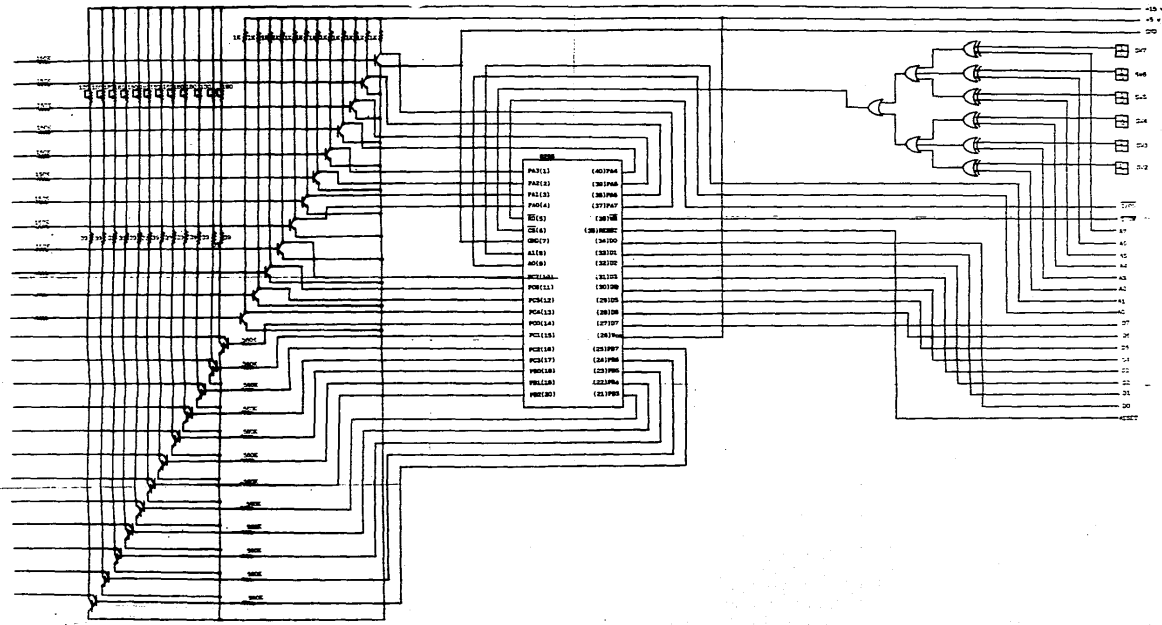
APENDICE A
DIAGRAMA DE LA TARJETA DE PROCESAMIENTO





APENDICE C

**DIAGRAMA DE LA TARJETA DE ENTRADAS
Y SALIDAS DE SEÑALES DIGITALES**



APENDICE D
DIAGRAMA DE LA TARJETA DE ENTRADAS
Y SALIDAS DE SEÑALES ANALÓGICAS

