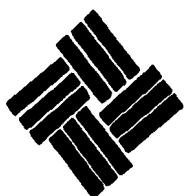


18 881317  
24



**UNIVERSIDAD ANAHUAC**

**ESCUELA DE INGENIERIA**

**CON ESTUDIOS INCORPORADOS A LA  
UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO**

**TRANSMISOR Y RECEPTOR DE INFORMACION  
SERIAL BINARIA DE 8 BITS UTILIZANDO  
DETECCION Y CORRECCION DE ERRORES**

**T E S I S**

**QUE PARA OBTENER EL TITULO DE  
INGENIERO MECANICO ELECTRICO  
AREA: SISTEMAS ELECTRICOS Y ELECTRONICOS**

**P R E S E N T A**

**BERNARDO OLIVENSKY PEISAJOVICH**

MEXICO, D. F.

1986



Universidad Nacional  
Autónoma de México



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE

|   |    |
|---|----|
| INTRODUCCION.....   | 1  |
| OBJETIVOS.....  | 1  |
| CAPITULO 1.-TRANSMISION DE INFORMACION SERIAL DE 8 BITS.                                      |    |
| 1.1 Introducción.....   | 4  |
| 1.2 Generador del Código de Error de Hamming.....   | 5  |
| 1.3 Bits de Paro y Arranque.....  | 10 |
| 1.4 Diseño del Transmisor.....  | 23 |
| CAPITULO II.- FUENTE DE PODER Y ANALISIS ECONOMICO PARA EL TRANSMISOR.                        |    |
| II,1 Fuente de Poder.....   | 24 |
| II,2 Análisis económico del Circuito Transmisor..   | 31 |
| CAPITULO III.-RECEPTOR DE INFORMACION SERIAL DE 8 BITS CON CORRECCION DE PARIDAD.             |    |
| III.1 Introducción.....   | 33 |
| III.2 Control e Inicio.....   | 35 |
| III,3 Verificación de los bits, arranque, verificación y paro.....                            | 41 |
| III.4 Verificación y corrección por paridad.....  | 43 |
| III,5 Almacenamiento de dos juegos de 8 Bits de Información.....                              | 47 |
| III.6 Salida del Receptor.....  | 55 |
| III.7 Tiempos de acceso.....  | 69 |
| CAPITULO IV.-CONSUMO DE CORRIENTE DEL CIRCUITO RECEPTOR, FUENTE DE PODER Y ESTUDIO ECONOMICO. |    |
| IV.1 Consumo de corriente.....  | 75 |
| IV.2 Fuente de Poder.....   | 78 |
| IV.3 Estudio económico del Circuito Receptor...   | 79 |

APENDICE

A.1 FORMA PARA LOGRAR COMUNICAR EL TRANSMISOR Y EL RECEPTOR POR MEDIO DE LA LUZ INFRAROJA.....82

CONCLUSIONES..... 88

BIBLIOGRAFIA..... 90

## INTRODUCCION

El objetivo fundamental es el de diseñar, construir y analizar, un sistema que sea capaz de transmitir información binaria de un lugar a otro.

El número de dígitos binarios (bits), que se van a transmitir, tiene que ser  $2^n$ , donde "n" es un número entero.

Se seleccionaron 8 dígitos binarios para transmitir debido a que con esto, se lograron obtener 255 combinaciones diferentes; en el mercado existen muchos circuitos integrados que trabajan con 8 bits, lo cual facilita el trabajo.

Otra condición que se requiere, es que la información que sea transmitida, deberá ser confiable y sin error alguno.

Es preferible, que en caso de que existiera mucho ruido o interferencia no se realice la recepción, para que de ésta manera, el receptor no reciba información errónea.

El transmisor mandará varias veces la información que el receptor tendrá que compararla, y, solamente cuando la información de la primera vez sea igual a la transmitida en la segunda, el receptor la almacenará y responderá a ésta.

Tanto el transmisor como el receptor, tendrán un generador y corrector de paridad respectivamente, basados en el código de Hamming, para que en caso de que existiera un error en un bit en la transmisión, el receptor pueda detectarlo y corregirlo.

El receptor tendrá que mandar un bit para poder sincronizar la comunicación con respecto al receptor, para que éste empiece a recibirla. De igual manera mandará un último bit, como señal que terminó la transmisión.

En el receptor se depositará la información en forma serial, para tener un mínimo de líneas de información.

Este sistema, puede llegar a tener varias aplicaciones, como por ejemplo, el de un control remoto que podría llegar a tener hasta 256 instrucciones diferentes, o algo más complejo, como una alarma inaudible para nuestro hogar, funcionando de la siguiente manera: en 256 hogares, habría un transmisor, y un dispositivo que active al transmisor, cuando se rompa una ventana o se abra una puerta. El transmisor mandará la información a un receptor común que identificará inmediatamente la casa que transmitió.

Dependiendo de la clase de aplicación que se le de al sistema, se utilizará alguna de las formas de transmisión como: fibras ópticas, radio, luz infrarroja, etc..

En el apéndice, se muestra el diseño de una forma de realizar la transmisión por medio de luz infrarroja; la cual puede resultar muy útil en algunas aplicaciones, como por ejemplo: en algún proceso químico conectado a una computadora donde alambrear podría resultar peligroso debido a materiales inflamables, la luz infrarroja resolvería ese problema.

## C A P I T U L O I

### TRANSMISOR DE INFORMACION SERIAL DE 8 BITS

#### I.1 INTRODUCCION.-

El objetivo del diseño del transmisor, es el de crear un arreglo sencillo de componentes electrónicos, pequeño y fácil de transportar, donde la información que se desea transmitir se almacena mediante 8 interruptores, siendo estos los 8 bits (dígitos binarios) que se desean transmitir; también se podría lograr dicho propósito con 255 interruptores diferentes que decodificarían cada uno su número correspondiente mediante un teclado.

Debido a restricciones de espacio y costo, se diseñó éste circuito con 8 interruptores.

Los interruptores en los cuales se va a almacenar la información que se pretende transmitir, están conectados a un generador de paridad que genera y transmite junto con los bits de paridad.

Su salida, podrá ser conectada a cualquier medio de comunicación, como son modulación, vía telefónica, optoelectrónica, fibras ópticas o simplemente con cables de transmisión.

Para poder probar el detector de errores, provocando una mala transmisión, fue instalado en el circuito receptor un diodo emisor de luz; de igual manera, se instaló un fotodiodo con el fin de tener la opción de irlos



separando y así, llegar a una distancia determinada, donde empiecen a tener problemas creando una mala recepción de información.

## 1.2. GENERACION DEL CODIGO DE ERROR DE HAMMING.

En la transmisión de información binaria, es posible que se produzcan errores debido a la presencia de ruido durante la transmisión, ya sea por algún desperfecto en un componente o por una mala transmisión.

El ruido en circuitos electrónicos, son producidos por señales indeseables que, en éste caso podrían afectar la comunicación como contactos defectuosos o radiación, que provienen de los focos fluorescentes o, el ruido que producen los semiconductores, que se conoce como: ruido por fluctuaciones.

Cuando en un código binario se están utilizando todas las combinaciones posibles, no se podrá detectar si realmente ocurrió un error, o simplemente es otra combinación perteneciente al mismo código que se está utilizando. Por tal motivo, es necesario crear un código donde no todas las combinaciones pertenezcan a éste.

Se conoce como distancia mínima, al menor número de cambios de bits que haya que realizarle a un número binario cualquiera, para que éste sea idénticamente igual a otro número binario que se esté utilizando como referencia.

Por ejemplo: el número binario 6 es "110", y el número binario 4 es "010", por lo tanto, la distancia mínima entre ambos es 1, solo se tiene que cambiar el primer bit, para que ambos sean idénticos.

El sistema binario común tiene números cuya distancia mínima es 1, por lo tanto, un solo error en un bit lo convierte en otro número perteneciente al mismo código y no será posible la detección de algún error.

De tal forma, para que un error pueda ser detectado, la distancia mínima de cada uno, respecto al otro número del mismo código, deberá ser superior a la unidad.

Existen varios tipos de códigos detectores de errores, como son:

a) Paridad :

El número de "unos" lógicos de una combinación de "n" bits deberá ser par y se obtiene aumentando un bit a las combinaciones binarias y éste es llamado : bit de paridad.

b) De Peso Constante :

El número de "unos" lógicos en una combinación binaria será siempre constante.

Con un código cuya distancia mínima es 2, se podrá detectar un error, pero no será posible corregirlo; en otras palabras, se podrá saber que alguna combinación binaria es errónea, pero no cual de sus bits es el incorrecto. Por tal motivo, para detectar y corregir un error de un bit es necesario generar un código cuya distancia mínima sea 3.

Se escogió el código de Hamming para detectar y corregir un error, por ser el código de mayor difusión.

Este código utilizado, consiste en añadir un número de "P" bits a un código numérico binario de "n" bits que tiene como distancia mínima la unidad; obteniendo un código nuevo de  $n+p$  bits.

El conjunto formado por los "P" bits de paridad forman un número binario que equivale a la posición del erróneo, en caso de que no existiese ningún bit erróneo, tal número formado por los bits de paridad sería igual a cero.

En este caso, se busca encontrar el número de "P" bits de paridad necesarios para los 8 bits que se quieren transmitir.

"P" debe ser un número tal, que cumpla la siguiente relación :

$$2^P \geq N + P + 1$$

donde "n" es el número de dígitos del código a utilizar, y "P" el número de dígitos binarios de paridad, siendo :

$$n = 8$$

$$P = 4$$

Este código se convierte en un código de 12 bits. Con una distancia mínima de 3 bits, con lo que se puede detectar y corregir errores en un bit.

Con los cuatro bits de paridad (P1, P2, P3, P4), se tienen 16 combinaciones diferentes:

| P4 | P3 | P2 | P1 | DECIMAL | LUGAR DONDE HAY "UNOS" LOGICOS |
|----|----|----|----|---------|--------------------------------|
| 0  | 0  | 0  | 0  | 0       | Ninguno                        |
| 0  | 0  | 0  | 1  | 1       | P1                             |
| 0  | 0  | 1  | 0  | 2       | P2                             |
| 0  | 0  | 1  | 1  | 3       | P1 - P2                        |
| 0  | 1  | 0  | 0  | 4       | P3                             |
| 0  | 1  | 0  | 1  | 5       | P1- P3                         |
| 0  | 1  | 1  | 0  | 6       | P2- P3                         |
| 0  | 1  | 1  | 1  | 7       | P1-P2-P3                       |
| 1  | 0  | 0  | 0  | 8       | P4                             |
| 1  | 0  | 0  | 1  | 9       | P1-P4                          |
| 1  | 0  | 1  | 0  | 10      | P2-P4                          |
| 1  | 0  | 1  | 1  | 11      | P1-P2-P4                       |
| 1  | 1  | 0  | 0  | 12      | P3-P4                          |
| 1  | 1  | 0  | 1  | 13      | P4-P3-P1                       |
| 1  | 1  | 1  | 0  | 14      | P2-P3-P4                       |
| 1  | 1  | 1  | 1  | 15      | P1-P2-P3-P4                    |

El número formado (en el sistema binario) por P1, P2, P3, P4, será la posición del bit erróneo.

Por lo tanto, cuando P1 tome el valor de "uno" lógico, es porque ocurrió un error en los bits b1, b3, b5, b7, b9, b11, b13 o b15. De igual forma P2 tomará el valor de "uno" lógico cuando exista un error en los bits b2, b3, b6, b7, b10, b11, b14, o b15; P3, cuando el bit b4, b5, b6, b7, b12, b13, b14 o b15 tengan algún error y P4 cuando el bit b8, b9, b10, b11, b12, b13, b14 o b15, tengan algún error. Pero nuestro nuevo código de 8 bits de información más 4 de paridad solo tiene 12 bits; los bits 13, 14, 15 no tendrán ninguna función y simplemente no se tomaran en cuenta.

$$\begin{aligned}
 P1 &= b1 (+) b3 (+) b5 (+) b7 (+) b9 (+) b11 \dots 1,1 \\
 P2 &= b2 (+) b3 (+) b6 (+) b7 (+) b10 (+) b11 \dots 1,2 \\
 P3 &= b4 (+) b5 (+) b6 (+) b7 (+) b12 \dots \dots \dots 1,3 \\
 P4 &= b8 (+) b9 (+) b10 (+) b11 (+) b12 \dots \dots \dots 1,4
 \end{aligned}$$

Como los bits b1, b2, b4, b8 solo aparecen una vez en las ecuaciones anteriores respectivamente, serán utilizados para que sean los que generen las siguientes ecuaciones :

$$\begin{aligned}
 b1 &= b3 (+) b5 (+) b7 (+) b9 (+) b11 \\
 b2 &= b3 (+) b6 (+) b7 (+) b10 (+) b11 \\
 b4 &= b5 (+) b6 (+) b7 (+) b12 \\
 b8 &= b9 (+) b10 (+) b11 (+) b12
 \end{aligned}$$

Los bits b12, b11, b10, b9, b7, b6, b5, b3, son los que contendrán la información, siendo el más significativo el bit b3.

### I.3. BITS DE PARO Y ARRANQUE.

Para lograr la comunicación entre los dos circuitos (transmisor y receptor), se tendrá que mandar, al principio de la comunicación, un bit que avise al receptor que la información será enviada y que se prepare para recibirla.

El primer bit, denominado A1, deberá tener un nivel alto para que haya un cambio en el receptor de un nivel bajo, que es ausencia de transmisión; A1 tendrá un nivel alto constante.

Se pretende que el receptor esté seguro que la información que está recibiendo sea de su transmisor, por tal motivo, se le añadieron 4 bits más; el bit A2, que va a ser el inmediato después de A1, tendrá un nivel bajo fijo.

En caso de que otro transmisor, mandara un nivel alto durante mucho tiempo, el receptor podrá saber que no es su transmisor el que le está mandando la información.

De igual forma, los dos últimos bits A3 y A4, tomarán un valor de nivel bajo y nivel alto respectivamente, para poder cerciorarse que su transmisor acabó de

mandar la información completa.

Se tiene ésta secuencia de bits:

| A1 | A2 | información | Paridad | A3 | A4 |
|----|----|-------------|---------|----|----|
| 1  | 0  | X.....X     | X....X  | 0  | 1  |

donde  $\bar{0}$

"0" es nivel bajo o de tierra.

"1" es nivel alto (de 1 a 5V).

"X" cualquier estado, "0" ó "1".

### 1.4- Diseño del transmisor

Diagrama de bloques

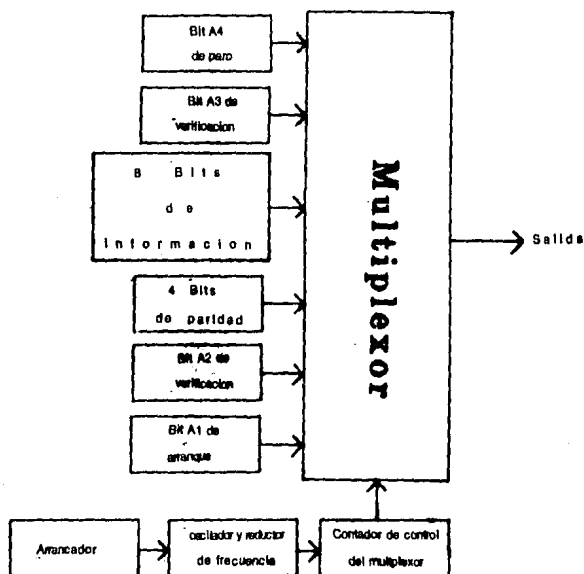


FIG. 1-1



Este diagrama de bloques muestra a grandes rasgos el circuito de transmisor. La información que va a ser transmitida en forma serial, entra en forma paralela a un multiplexor. Esta información de 16 bits pretende ser mandada varias veces de la siguiente manera:

Cada bloque de 16 bits tendrá el siguiente orden :

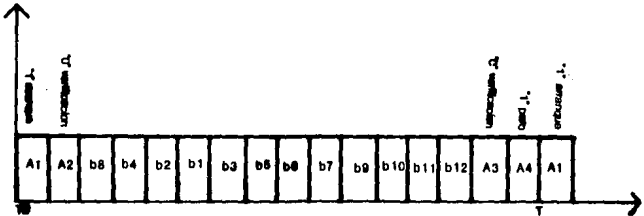


FIG. 1-2

y serán transmitidos en un tiempo "T".

Se transmitirán 6 veces cada bloque de 16 bits de la siguiente manera :

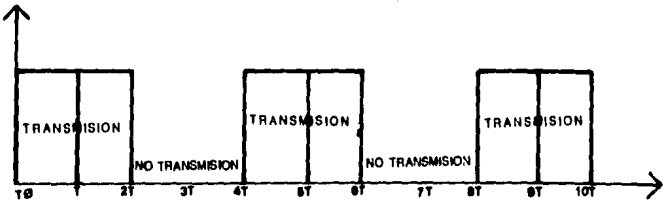


FIG. 1-3

Como se puede observar en las gráficas anteriores, se mandan dos bloques de 16 bits cada uno, sin espacio de tiempo entre uno y otro. Esto, se realiza con el fin de que el receptor pueda comparar el primer juego de 16 bits de información, con el segundo juego, y cerciorarse de que la información es correcta. También se podrá notar que se repiten los 32 bits 2 veces más con un tiempo de separación entre ellos de  $2T$ ; esto se realiza para poder tener la opción de percibir nuevamente la información en el supuesto caso de no haber podido recibir la información en el primer banco de datos. La separación entre banco y banco de un tiempo de  $2T$  es simplemente por facilidad de diseño del circuito, ya que no se desean transmitir más de 32 bits seguidos.

Por lo anteriormente mencionado, se sabe que los 16 bits que serán transmitidos, tendrán que entrar al multiplexor en forma paralela. Analizando nuevamente cada uno de ellos tendremos :

Los bits  $A_1, A_2, A_3, A_4$ , son constantes, con un nivel alto ó "uno lógico" los bits  $A_1$  y  $A_4$ ; mientras que los bits  $A_2$  y  $A_3$  tendrán un nivel bajo ó un "cero lógico" constante.

Respecto a los bits de información, se podría realizar mediante un teclado de 255 interruptores y codificarlo a 8 salidas.

En éste caso se realizó haciendo la conexión mediante 8 interruptores conectados, un extremo al multiplexor y otro a tierra; el multiplexor que se utilizó es de tipo TTL, el cual tiene la particularidad de que si alguna de sus entradas está volando y/o sin estar conectadas a un nivel bajo ó a uno alto, el integrado lo interpreta como nivel alto; de tal suerte que cuando el interruptor esté abierto al multiplexor lo interpretará como un "uno lógico" y cuando esté cerrado, como un "cero lógico".

Los cuatro bits de paridad b1, b2, b4 y b8, son generados mediante compuertas lógicas, que dependerá de los 8 bits de información pura, que están también conectados al multiplexor.

Esta parte del circuito queda como a continuación se presenta, en la figura 1 - 4 :

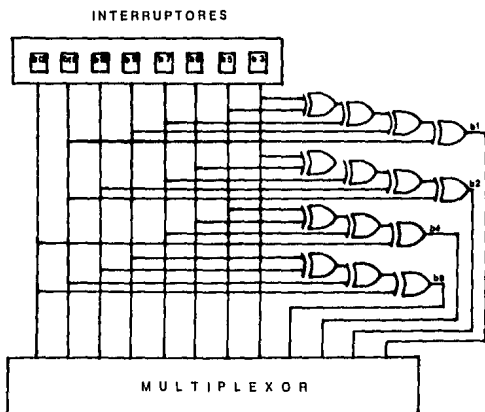


FIG.1-4

Todas las compuertas lógicas utilizadas en ésta parte del circuito, son de tipo "o exclusivas" (OR-EX), cuya tabla de verdad es:

| A | B | X |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

De tal forma que los cuatro bits generados de ésta forma tomarán el valor de "uno lógico", cuando el número de "unos lógicos" en sus respectivas entradas, sea

impar y un "cero lógico" cuando en sus entradas sea par.

Tal y como se muestra en la figura 1-5, donde A, B, C, D, son sus entradas, y "Y" es la salida.

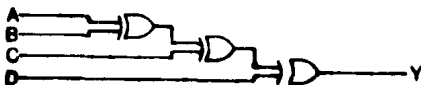


FIG. 1-5

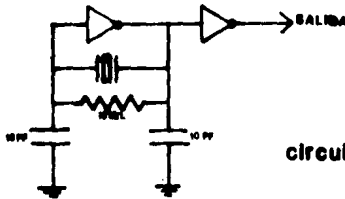
Continuando el análisis del diagrama de bloques (fig. 1-1), será analizado el bloque denominado como oscilador y reductor de frecuencia.

Se pretende, como anteriormente se mencionó, lograr una comunicación entre dos circuitos (transmisor y receptor), por tal motivo, se quiere tener frecuencias iguales de ambos lados, e inclusive sincronizar las frecuencias.

El objetivo es obtener oscilación a muy alta frecuencia y reducirla muchas veces para tener una menor diferencia. Respecto a la frecuencia entre el transmisor y el receptor, una forma de lograr la oscilación de una forma muy exacta es mediante un cristal de cuarzo.

Existen cristales de cuarzo especificados para oscilar a diferentes frecuencias, los cuales son relativamente caros y difíciles de conseguir, exceptuando los que pueden oscilar a una frecuencia de  $3.579545 \text{ MHz}$ , estos son producidos a mayor escala que los otros, debido a su uso en los aparatos de televisión, por lo que resultan económicos y se consiguen fácilmente.

La forma más sencilla de poder poner a oscilar los cristales de cuarzo es mediante un inversor de tipo CMOS de la siguiente manera:



**circuito oscilador**

FIG. 1-6

Los elementos pasivos, la resistencia y los capacitores sirven para provocar el comienzo de la oscilación. A la salida del segundo inversor se colocaron contadores binarios para reducir la frecuencia.

Se analiza ahora, el bloque de arranque del sistema.

Esta es una parte del sistema que se puede ver en el diagrama de bloques, fig. 1.1 Se pretende que esta parte del

circuito realice las siguientes funciones:

1. Proveer de energía a los componentes del circuito.
2. Mandar un pulso para que los contadores empiecen a oscilar con todas sus salidas en niveles bajos, o "ceros" lógicos.

Para el primer inciso se tiene el siguiente circuito:

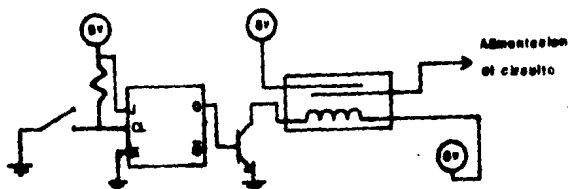


FIG. 1-7

Cuando el interruptor es accionado se origina una transición de un "1 lógico" a un "cero lógico" en la entrada CK (CLOCK) del biestable, que debido a que sus entradas J y K están conectadas a niveles "unos" y "ceros" lógicos respectivamente, su salida "Q" tiene un nivel alto, lo que ocasiona que el transistor se sature y provoque la conducción de corriente al relevador y éste a su vez, se cierre y logre la alimentación al resto del circuito.

Tabla de verdad del Biestable

| J | K | CK | R | Q | Q |
|---|---|----|---|---|---|
| X | X | X  | 0 | 0 | 1 |
| 0 | 0 | ↓  | 1 | Q | Q |
| 0 | 1 | ↓  | 1 | 0 | 1 |
| 1 | 0 | ↓  | 1 | 1 | 0 |
| 1 | 1 | ↓  | 1 | Q | Q |

x= Sin importancia.

1= Nivel Alto

0= Nivel Bajo

↓= Transición de 1 a 0.

El biestable, así como el transistor y el relevador, no podrán cambiar de estado, inclusive aunque se vuelva a cerrar el interruptor; la única posibilidad es un nivel alto en la entrada R del biestable que pondrá su salida A en un nivel bajo; y obviamente si se corta la energía eléctrica, sería la otra posibilidad.

Como parte del circuito se incluyó un temporizador (555) para que, cuando a éste le llegue energía, mande un impulso a los contadores del circuito; para que éstos comiencen su oscilación con todas sus salidas en niveles bajos.



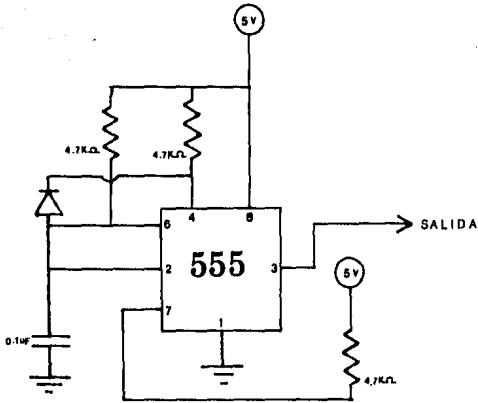
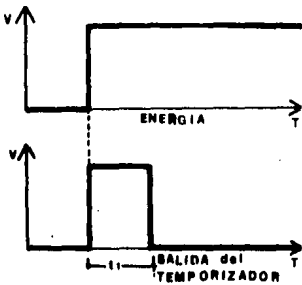


FIG.1-8

La fig.1-9, representa el comportamiento del temporizador en el momento que se establece la energía eléctrica.



$t_1$  viene dado por:  
 $t_1 = 1.1R_1C_1$   
 $t_1$  (segundos )  
 $R_1$  (ohms)  
 $C_1$  (faradios)

FIG.1-9

El circuito receptor queda formado por los componentes o pequeños circuitos anteriormente mencionados, como se representa en la fig. 1-10.

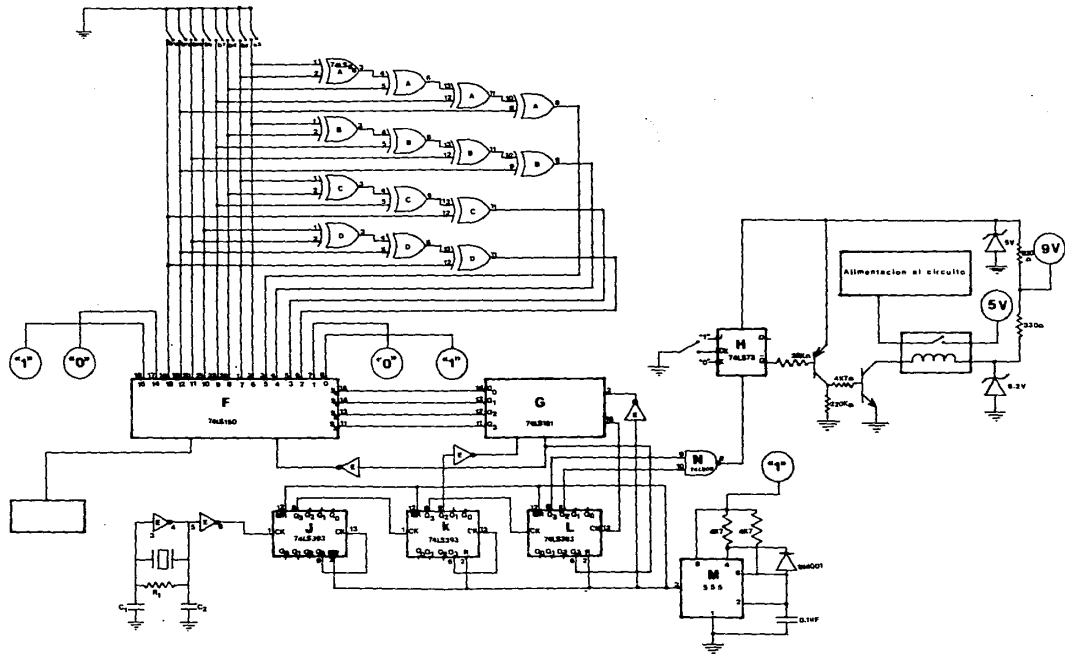


FIG.1-10 CIRCUITO TRANSMISOR

C A P I T U L O 11

FUENTE DE PODER Y ANALISIS ECONOMICO PARA EL TRANSMISOR

II.1.- Fuente de Poder

Este capítulo analiza el consumo de corriente del transmisor, así, como la forma de alimentar de energía eléctrica al circuito.

En referencia al diagrama del transmisor que se muestra en el capítulo 11 fig. 1-10, se obtiene la siguiente lista de componentes, con su respectivo código, componente, especificación y consumo de corriente.

| CODIGO | COMPONENTE | ESPECIFICACION        | CONSUMO TÍPICA | DE CORRIENTE MÁXIMA |
|--------|------------|-----------------------|----------------|---------------------|
| A      | 74LS86     | 0 EXCLUSIVA           | 6.1            | 10 MA               |
| B      | 74LS86     | 0 EXCLUSIVA           | 6.1            | 10 MA               |
| C      | 74LS86     | 0 EXCLUSIVA           | 6.1            | 10 MA               |
| D      | 74LS86     | 0 EXCLUSIVA           | 6.1            | 10 MA               |
| E      | 74C04      | INVERSOR CMOS         |                | 2 MA                |
| F      | 74150      | MULTIPLEXOR 16-1      | 40             | 68 MA               |
| G      | 74LS161    | CONTADOR BINARIO      | 19             | 32 MA               |
| H      | 74C73      | BIESTABLE J-K         | 19             | 32 MA               |
| I      | 18012      | RELEVADOR             |                | 6 MA                |
| J      | 74393      | 2 CONTADORES BINARIOS | 15             | 26 MA               |
| K      | 74393      | 2 CONTADORES BINARIOS | 15             | 26 MA               |
| L      | 74393      | 2 CONTADORES BINARIOS | 15             | 26 MA               |
| M      | 555        | TEMPORIZADOR          |                |                     |
| N      | 74LS00     | COMPUERTA "Y" NEGADA  | 2.4            | 4.4 MA              |
| Q1     | BC556      | TRANSISTOR PNP        |                | 1.0 MA              |
| Q2     | BC547      | TRANSISTOR NPN        |                | 1.5 MA              |
| D1     |            | DIODO ZENER           |                | 10 MA               |

Tabla 2-1

Solo en algunos componentes hay energía permanente, mientras que para el resto del circuito se energiza solo en el momento que se realice la transmisión.

La sección que tiene energía permanente es la siguiente:

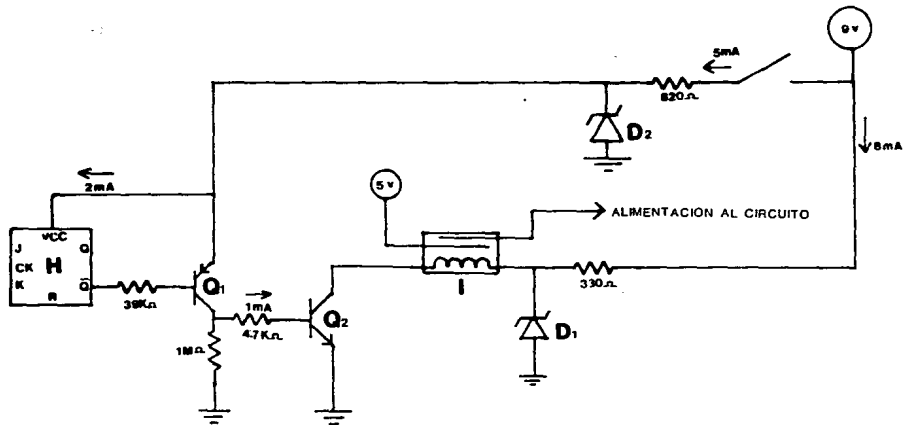


FIG.2-1

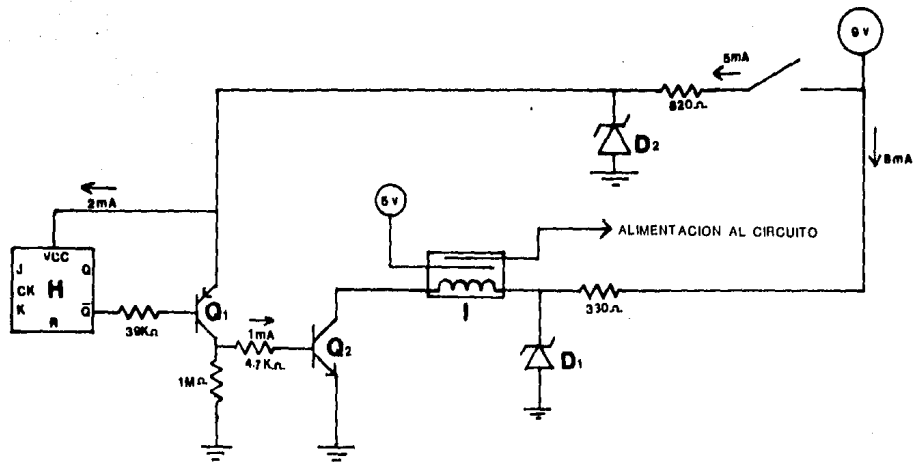


FIG.2-1

Sumando las corrientes consumidas por los componentes que están energizados permanentemente, aún cuando no se esté realizando la transmisión tenemos:

| <u>GODIGO</u> | <u>COMPONENTE</u>                 | <u>CORRIENTE</u> | <u>VOLTS.</u> |
|---------------|-----------------------------------|------------------|---------------|
| H             | 74C73                             | 2 MA             | 5V            |
| Q1            | Transistor NPN                    | 1 MA             | 5V            |
| Q2            | UNICAMENTE DRENA LA DEL RELEVADOR |                  |               |
| I             | RELEVADOR                         | 6 MA             | 6V            |

Se tiene 6 MA para alimentar al relevador a 6V y 3 MA para alimentar a Q1 y H con 5V.

Los 6V que requiere el relevador los va a conmutar Q2 que en saturación caen 2V, por lo que D1 es un diodo zener que regula a 6.2V, y para que únicamente circulen 8 MA, R4 de 330  $\Omega$  limite la corriente.

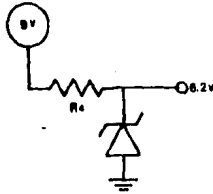
Los 5V que requieren Q1 y H son regulados por el diodo zener de 5V y con una resistencia de 820  $\Omega$  para limitar una corriente de 5 MA.

El exceso de corriente que no es consumida por estos componentes es drenada por los Diodos Zener.



CALCULO DE RESISTENCIAS.

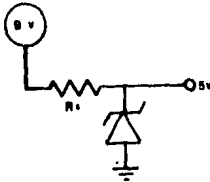
R<sub>4</sub> debe limitar la corriente a 8 mA.



$$R_4 = (9 - 6.2) / 0.008 = 350 \approx 330 \Omega$$

FIG. 2-3

R<sub>5</sub> debe limitar la corriente a 5 mA.



$$R_5 = (9 - 5) / 0.005 = 800 \approx 820 \Omega$$

FIG. 2-4

Para el cálculo de R<sub>2</sub>, R<sub>3</sub> y R<sub>6</sub> se parte del siguiente circuito con los siguientes corrientes y voltajes.

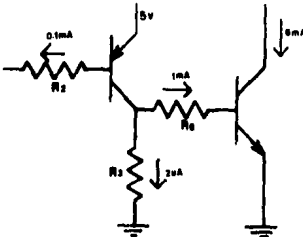


FIG. 2-4

Considerando que cada uno de los transistores tiene como mínimo una beta de 10.

Para R2

$$\frac{5 - .7}{.0001} = 43 \text{ K} \approx 39 \text{ K} \Omega$$

Para R3, es únicamente una referencia a tierra por lo que no se pretende que circulen más microamperes.

$$\frac{5 - .2}{2 \times 10^{-6}} = 2.9 \text{ M} \Omega$$

Para R6, debe circular la corriente suficiente para saturar a Q2 que con un miliamper es más que suficiente.

$$\frac{5 - .2}{.001} = 4800 \Omega \quad 4.7 \text{ K} \Omega$$

Esta sección es energizada con una batería convencional de 9V; la cual es capaz de proporcionar 140MA/H.

El resto del circuito que se energiza cuando la transmisión se esté realizando, está formada por los elementos siguientes:

| COMPONENTE | CONSUMO MAXIMO |         |
|------------|----------------|---------|
| A          | 10 MA          | 74LS86  |
| B          | 10 MA          | 74LS86  |
| C          | 10 MA          | 74LS86  |
| D          | 10 MA          | 74LS86  |
| E          | 2 MA           | 74C04   |
| F          | 68 MA          | 74150   |
| G          | 32 MA          | 74LS161 |
| J          | 26 MA          | 74LS393 |
| K          | 26 MA          | 74LS393 |
| L          | 26 MA          | 74LS393 |
| M          | 6 MA           | 555     |
| N          | 4.4MA          | 74LS00  |

---

230.4MA

El circuito puede ser alimentado con 4 baterías recargables de Níquel Cadmio, de tamaño AA, las cuales proporcionan un voltaje de 1.25V con una corriente de 500mA/hora para cada una de ellas. Cada una de las transmisiones tiene una duración de 1.75segundos, considerando, que cada bloque de 16bits se está repitiendo 6 veces, lo cual permite mandar con las mismas baterías, 4472 bloques de información. También, podría ser alimentado por una batería de 6V, que el fabricante denomina como "batería de uso pesado (Eveready 510-3), siendo ésta una batería más comercial y con más tiempo de duración.

Estos 5volts, proporcionados por las baterías, van conectados directamente a una terminal del relevador normalmente abierto, para que al realizarse la transmisión, proporcione energía al resto del circuito.

II.2.- ANALISIS ECONOMICO DEL CIRCUITO TRANSMISOR

Resulta importante tener una idea, si no precisa, pero muy aproximada del costo que tiene el circuito transmisor.

El circuito se armó a nivel experimental en unas tablas relativamente caras; y para el análisis económico se considera su producción a gran escala y con precios de mayoreo.

Basándose en la Tabla2-1 se tiene el siguiente costo:

| <u>CODIGO</u>  | <u>COMPONENTE</u> | <u>ESPECIFICACION</u>           | <u>COSTO</u>     |
|----------------|-------------------|---------------------------------|------------------|
| A              | 74LS86            | 0 Exclusiva                     | \$125.00         |
| B              | 74LS86            | 0 Exclusiva                     | 125.00           |
| C              | 74LS86            | 0 Exclusiva                     | 125.00           |
| D              | 74LS86            | 0 Exclusiva                     | 125.00           |
| E              | 74004             | INVERSOR CMOS                   | 134.00           |
| F              | 74150             | MULTIPLEXOR 16-1                | 505.00           |
| G              | 74LS161           | CONTADOR BINARIO                | 238.00           |
| H              | 74C73             | BIESTABLE J-K                   | 134.00           |
| I              | 18012             | RELEVADOR                       | 120.00           |
| J              | 74393             | 2 CONTADORES BINARIOS           | 154.00           |
| K              | 74393             | " " "                           | 154.00           |
| L              | 74393             | " " "                           | 154.00           |
| M              | 555               | TEMPORIZADOR                    | 98.00            |
| N              | 74LS00            | COMPUERTA "Y" NEGADA            | 100.00           |
| Q1             | BC556             | TRANSISTOR PNP 100MA            | 26.00            |
| Q2             | BC547             | TRANSISTOR NPN                  | 21.00            |
| D1             |                   | DIODO ZENER                     | 36.00            |
| O              |                   | MICRO INTERRUPTORES             | 3300.00          |
| P              |                   | Cristal de Cuarzo 3.7MHz        | 120.00           |
| C <sub>1</sub> |                   | CAPACITOR 10PF                  | 5.80             |
| C <sub>2</sub> |                   | CAPACITOR 10PF                  | 5.80             |
| R <sub>1</sub> |                   | RESISTENCIA 10 M                | 3.25             |
| R <sub>2</sub> |                   | RESISTENCIA 33K                 | 3.25             |
| R <sub>3</sub> |                   | RESISTENCIA 220 K               | 3.25             |
| R <sub>4</sub> |                   | RESISTENCIA 330 K               | 3.25             |
| R <sub>5</sub> |                   | RESISTENCIA 820 K               | 3.25             |
| R <sub>6</sub> |                   | RESISTENCIA 4.7 K               | 3.25             |
| R <sub>7</sub> |                   | RESISTENCIA 4.7 K               | 3.25             |
| R <sub>8</sub> |                   | RESISTENCIA 4.7 K               | 3.25             |
|                |                   | Circuito impreso de 11cm.x12cm. | 300.00           |
|                |                   |                                 | <u>\$3531.60</u> |

Se tiene que tomar en cuenta que el precio del chasis no está considerado, ya que primeramente tiene que determinarse el

material en el que se quiere montar, debido a que dicho material va en función a la cantidad de circuitos que se pretenda construir.

Considerando, que fuese una cantidad mayor a 10,000 piezas, probablemente valdría la pena que fuese en plástico y en tal caso habría que considerar el costo del molde, inyección, material, tiempos, etc.

Por lo que, el estudio económico se limita al circuito impreso con sus respectivos componentes.

## C A P I T U L O    I I I

### RECEPTOR DE INFORMACION SERIAL DE 8BITS CON

#### CORRECCION POR MEDIO DE LA PARIDAD

#### III.1    INTRODUCCION.

Este circuito deberá ser capaz de distinguir la señal que le está mandando el transmisor, con el que está pareado de todas las demás señales que le puedan llegar en un momento dado.

Como se mencionó en el capítulo anterior, el transmisor mandará varias veces la información y este receptor tendrá que comparar la información del primer banco de datos con la segunda y solo en el caso que sean iguales, responderá a tal información.

Tendrá también que verificar la paridad y en el caso de recibir un bit erróneo deberá modificarlo.

El receptor almacenará los dos últimos datos recibidos y los estará muestreando alternativamente hasta que el operador lo desee.

También, tendrá una señal audible que sonará en el momento en que el receptor reciba alguna información, ésta desempeñará el papel de una alarma. En el caso, de que el receptor recibiera alguna información ya almacenada, no sonará la alarma y no ocurrirá ningún cambio que el operador pueda notar.

Y, en el mismo caso que en el transmisor, se insta-

16 en este circuito receptor, un foto transistor de luz infrarroja como medio de comunicaci3n con fines de pruebas (ver ap6ndice).

El diagrama en forma de bloques del receptor es de la siguiente manera:

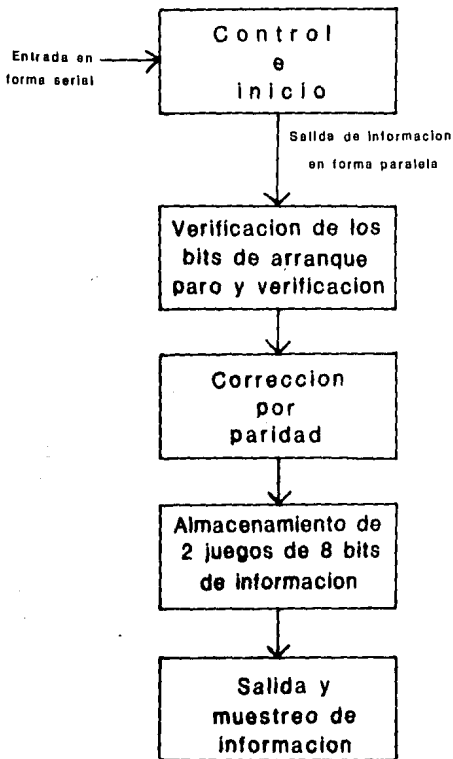


FIG.3-1

### III.2 CONTROL E INICIO

En primera instancia se analiza el bloque denominado como Control e Inicio.

Cuando el transmisor comience a mandar información, el receptor tendrá que sincronizarse con el transmisor, que estará mandando la información a una frecuencia de 109Hz (CICLOS POR SEGUNDO)

Ningún cristal de cuarzo oscila exactamente a la misma frecuencia, por tal motivo, el receptor tomará la información en el centro de cada señal binaria que esté mandando el receptor, dicho de otra manera, si el transmisor manda la información con una duración de cada bit de un tiempo  $T$ , el receptor muestrea con un tiempo de  $T/32$  y al centro; como se observa en la siguiente figura:

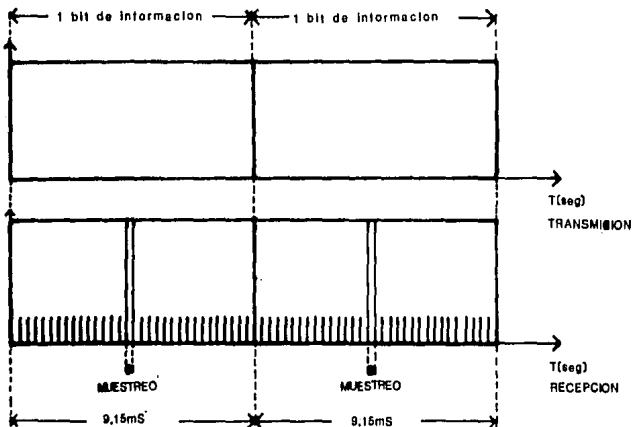


FIG.3-2



Donde:  $T = \frac{1}{F}$

Si se llegase a salir ligeramente de fase, o si la sincronización no fuese muy exacta con esta forma de muestreo, el receptor tiene un amplio margen para lograr que la información se esté muestreando correctamente, y para favorecer un poco más esto, se están manejando bajas frecuencias.

Para lograrlo, el receptor deberá contar 16 tiempos y muestrear, luego 16 sin muestrear, en seguida, 16 tiempos y muestrear; 16 tiempos no, así sucesivamente, hasta muestrear 32 veces; son 32 muestreos, porque el transmisor manda la información de 16 bits, y en seguida sin espacio alguno otros 16 bits o sea información repetida de dos en dos, para que el receptor compare bloques de información de dos en dos, entre estos mismos.

Los bits de información llegan al receptor en forma serial, a un registro de corrimiento, y los va recibiendo mediante muestreos; de la forma en que se hizo mención anteriormente.

El primer bit a recibir será un "1 lógico", que es la indicación al receptor para que se prepare a recibir y que sus pulsos de conteo se sincronicen con los del transmisor.

El circuito eléctrico de esta parte, queda de la siguiente manera:

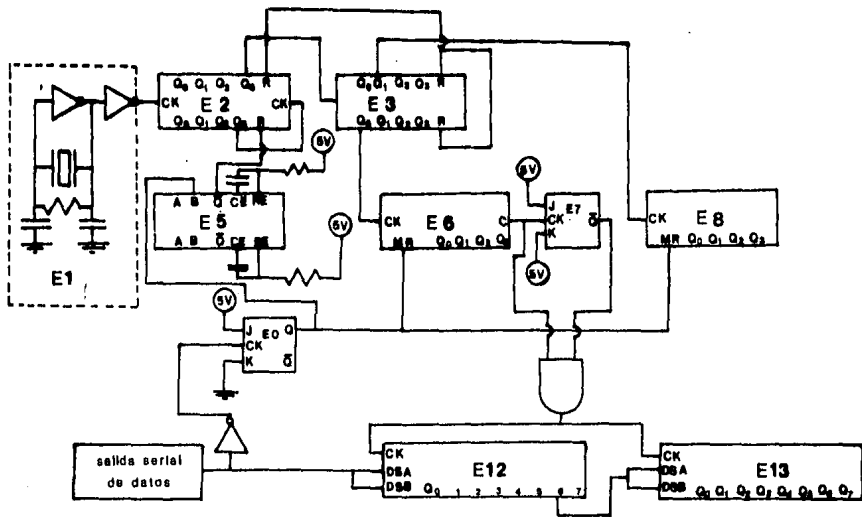


FIG.3-3

Analizando el sistema eléctrico de la fig.3.1, tenemos:

Los componentes denominados como E0, son dos inversores de tipo CMOS(74C04), un cristal de cuarzo de 3.57954 MHz, una resistencia de 10 M $\Omega$  y 2 capacitores de 10Pf; encargados de generar pulsos a la frecuencia especificada por el cristal, de igual manera que se realizan en el circuito del transmisor.

Los componentes denominados como E1 y E2, son contadores binarios, dobles, cada uno de ellos (74LS393), cuya función es la de reducir la frecuencia; con la ventaja de no ser costosos debido a que son contadores dobles y ocupan un menor espacio.

El integrado denominado como E6, es un contador binario (74LS161), tiene la ventaja de tener una salida denominada con la letra C, que en inglés, es la inicial de la palabra "carry" que significa llevar; y se utiliza para conectar varios contadores de este tipo en cascada, resultando útil en este caso, no por la razón de poner varios en cascada, sino porque esta salida tomará el valor de "1 lógico", cuando sus salidas de conteo (Q0, Q1, Q2 y Q3), tomen el valor de "1 lógico", en otras palabras, vale "1" cuando el contador tenga un valor de 16 binario, y tiene un valor de "0" lógico en los demás casos. Valdrá 1 cada 16 pulsos que le lleguen a su entrada CK, (clock en inglés), y como anteriormente se mencionó, se pretende muestrear cuando cuente 16 tiempos sí, y luego 16 tiempos no, y así sucesivamente....

Esto es, para que el muestreo se realice lo más al centro posible de cada bit de información (hablando en tiempo).

El biestable denominado como E7, es de tipo J,K (74LS73), y tiene sus entradas J y K conectadas a niveles altos (1 lógico), con lo que le va a permitir que cambie de estado: de 1 a 0 y de 0 a 1, cada vez que en su entrada CK exista una transi-

ción de "1" a "0" lógico; esta entrada está conectada a la salida C del contador, denominado como E6, de tal forma, que este biestable cambia de estado cada vez que el contador pase del número 15 binario al 0. Estas dos salidas: la del "carry" del contador y la salida negada del biestable van a una compuerta "y" que toma el valor de 1, cuando sus dos entradas tengan el valor de 1.

Interconectando estos tres componentes entre sí, se va a muestrear cuando la salida "carry" tenga un 1 y  $\bar{Q}$  valga 1; y es cuando el contador tiene el número 15 en binario. Cuando cae el número 15 cambia de estado el biestable y cuando vuelve a tener el número 15, el biestable ya no permite el muestreo; en este momento ocurre un cambio del primer bit de información al segundo, mientras que en los momentos que se están muestreando los datos, prácticamente están al centro.

Dicha señal, está interconectada a dos registros de corrimiento, denominados como E12 y E13, en sus entradas CK (clock) cuando ocurra una transición de un nivel bajo a uno alto, van entrando a este registro de corrimiento los datos que están conectados a las entradas D5A y D5B conectadas entre sí; la última salida del registro de corrimiento (E12) Q7 está interconectada a D5A y D5B del otro registro de corrimiento (E13), logrando que estos dos registros de corrimiento con capacidad de 8 bits cada uno, se conviertan en un registro de corrimiento con capacidad de 16 bits.

Esta información serial, conectada al primer registro de corrimiento, también está conectada mediante un inversor a un biestable denominado como EO, que reacciona a transiciones de niveles altos a bajos, motivo por el cual se colocó un inversor, ya que como se mencionó anteriormente, el primer bit que se está transmitiendo es un "1" lógico, y se pretende que este biestable, tenga un valor de 1, en el momento que llegue el primer bit, que va a causar la transición, y tendrá un "1" lógico en su salida Q; debido a que las entradas J y K tienen niveles de "1" y "0" lógicos respectivamente. Esta salida Q conectada a las entradas MR (master reset) de los contadores E6 y E8 permite que los contadores que originalmente estaban con sus salidas (Q0, Q1, Q2, Q3) con niveles bajos y sin variaciones comiencen el conteo, de tal forma, que cuando el biestable tenga un "1" lógico, comienza a entrar los datos de información al registro de corrimiento.

Este biestable también tiene en su salida un monoestable, que cuando le llegue la transición del biestable mandará un pulso a los contadores E2 y E3, provocando que éstos, los contadores comiencen el conteo desde cero, para lograr la sincronización, este monoestable denominado como E5, es un 74LS123 y el tiempo de pulso de salida depende de la resistencia y el capacitor conectados a este componente.

El tiempo del pulso viene dado por  $T = (.45)(R)(C)$ , donde T está en Nanosegundos.

CX " en Picofaradios y debe ser mayor a 1000Pf

R " en kilohms entre 5K $\Omega$  y 260K $\Omega$  y según especificaciones del fabricante, el ancho del pulso, el mínimo que puede dar

es de 40 ns, que es el que utilizamos por ser el más pequeño posible, para que la diferencia en tiempo entre la llegada del primer bit de información y el reinicio de conteo de los contadores E2 y E3 sea menos, logrando una diferencia despreciable entre los contadores reductores de frecuencia del transmisor y los del receptor.

### III.3 VERIFICACION DE LOS BITS ARRANQUE, VERIFICACION Y PARO.

Hasta este momento, el receptor es capaz de recibir información en su registro de corrimiento. El paso a seguir, es el de verificar que los bits de arranque, paro y verificación sean los correctos. Esto se puede apreciar en el diagrama de bloques (fig.3-1)

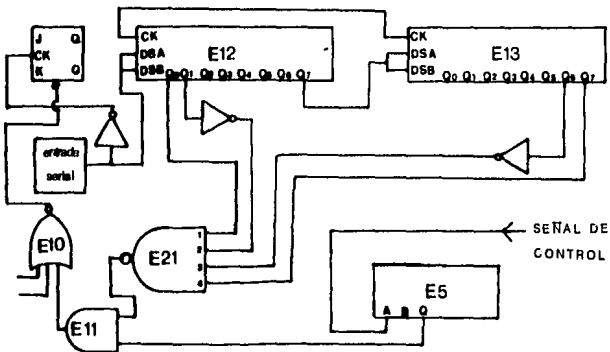


FIG.3-4

El diagrama anterior (fig.3-4), representa el circuito eléctrico referente al bloque denominado "Verificación de los bits arranque, paro y verificación (fig.3-1) del diagrama de bloques.

Hasta este momento, el circuito es capaz de recibir los bits que llegan en forma serial e irlos almacenando en sus registros de corrimiento (E12 y E13). La verificación de los 4bits:(arranque,paro y verificación) se realiza de una manera muy simple a través de una compuerta "y negada", los bits que tienen el valor de "1"lógico entran directamente, mientras que los que suponemos que son "ceros" entran a dicha compuerta a través de un inversor.

La tabla de verdad de una compuerta "y negada" es:

| A | B | X |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Por lo tanto, todas las entradas deberán ser "1 lógicos" y la salida de la compuerta tendrá el valor de "cero lógico", y si por alguna razón, existiera un "uno lógico" a la salida de la compuerta habrá un error.

Pero esta salida, no podrá estar activada siempre, debido a que estarán corriendo los datos en el registro de corrimiento, esta salida deberá ser activada únicamente en el momento que los 16 bits de información estén en el registro de corrimiento, por tal

motivo, se añadió a la salida de la compuerta "y negada" (E21), una compuerta "Y" (E11), la cual en su otra entrada, conectada a un monoestable (35), toma el valor de "1 lógico", en el momento que se quiera revisar estos bits; como se observa en el diagrama de la fig.3.4, a la entrada del monoestable en la pata  $\bar{A}$  del integrado, llegará una señal de control y habrá una transición de un nivel alto a uno bajo, en el momento en que el bit número 16 haya entrado en el registro, y en un tiempo de microsegundos, después de esto se efectúa la revisión de estos 4bits. En el caso, de que por lo menos alguno de ellos esté mal, un "0 lógico en la salida de la compuerta "negada" (E10), provoca que el biestable (E0), tenga un nivel bajo en su salida Q y parte parcialmente el circuito, impidiendo que la información que contiene el registro de corrimiento, llegue a la salida de este sistema.

#### III.4 VERIFICACION Y CORRECCION POR PARIDAD

Esta parte corresponde al tercer bloque del diagrama de bloques, (fig.3.1).

En el transmisor se generan 4bits de paridad mediante una serie de compuertas "O Exclusivas". estos 4bits los transmite junto con los demás bits de información. De una forma muy similar, el receptor tiene que verificar estos bits y en el caso que existiera algún error en un bit, lo corrige.

Los bits de paridad del transmisor b1, b2, b4 y b8 fueron generados de la siguiente manera:



$$b1 = b3(+)\ b5(+)\ b7(+)\ b9(+)\ b11$$

$$b2 = b3(+)\ b6(+)\ b7(+)\ b10(+)\ b11$$

$$b4 = b5(+)\ b6(+)\ b7(+)\ b12$$

$$b8 = b9(+)\ b10(+)\ b11(+)\ b12$$

donde el símbolo (+) significa 0-Exclusiva.

Estas cuatro ecuaciones, como se mencionó en el capítulo 1 (CODIGOS DE ERROR) provienen de las siguientes cuatro ecuaciones:

$$P1 = b1(+)\ b3(+)\ b5(+)\ b7(+)\ b9(+)\ b11$$

$$P2 = b2(+)\ b3(+)\ b6(+)\ b7(+)\ b10(+)\ b11$$

$$P4 = b4(+)\ b5(+)\ b6(+)\ b7(+)\ b12$$

$$P8 = b8(+)\ b9(+)\ b10(+)\ b11(+)\ b12$$

Donde P1, va a tomar el valor de "1" cuando exista un error en los bits b1, b3, b5, b7, b9 o b11; de igual forma P2, P4, P8, con sus respectivas entradas cuando no exista error alguno, P1, P2, P4 y P8 tendrán un valor de cero.

El circuito eléctrico de verificación por paridad, queda de la siguiente manera:

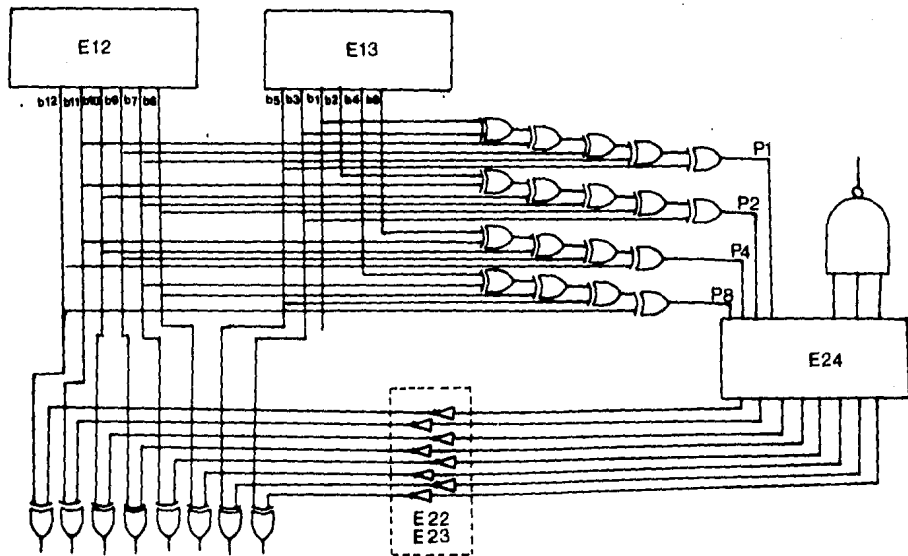


FIG.3-5

Se tienen en los registros de corrimiento (E12 y E13), los dígitos binarios(bits). A estas salidas están conectadas una serie de compuertas O-Exclusivas (parte superior derecho, Fig.3-5) las cuales están generando los bits P1,P2,P4,P8 que a su vez están conectados a un decodificador con 16 salidas (E24).

Estos cuatro bits direccionan al decodificador; y éste tiene niveles altos en todas sus salidas, exceptuando la salida que se esté direccionando, la cual tendrá un nivel de "0 lógico".

Por ejemplo:P1=1,P2=1,P4=0 y P8=0,esto nos indica que existe un error en el bit 3, si este bit es un "1" habrá que modificarlo por un "cero" y si es "cero" por un "1", realizando una tabla de verdad; para este caso tendremos:

| b3 | A | Y |
|----|---|---|
| 0  | 0 | 1 |
| 0  | 1 | 0 |
| 1  | 0 | 0 |
| 1  | 1 | 0 |

Donde "A" es la salida del decodificador

"Y" es la salida deseada.

Donde un cero en el decodificador significa un cambio de estado en el bit 3.

Observando la salida de la tabla de verdad, se podrá apreciar que se trata de una "O-Exclusiva Negada", estas compuertas son un poco difíciles de conseguir en el mercado en México, por lo cual, mediante inversores se invirtieron 8 salidas del decodificador, únicamente las que podrán modificar los 8 bits de in-

formación dejando sin modificar las de paridad por carecer en este momento de importancia.

La tabla verdad para el mismo caso es:

| b3 | $\bar{A}$ | Y |
|----|-----------|---|
| 0  | 0         | 0 |
| 0  | 1         | 1 |
| 1  | 0         | 1 |
| 1  | 1         | 0 |

Donde " $\bar{A}$ " es la salida del codificador pero negada.

"Y" es la salida deseada.

Se puede observar que la salida "Y" se trata de una compuerta 0-Exclusiva, mismas que se ven en la parte inferior de la fig.3-5. En este diagrama también se puede observar una compuerta "Y-Negada" en las salidas 13,14,15 del decodificador, esto es, por si llegara a existir un nivel bajo en algunas de las 3 salidas, habría un error debido a que los bits 13,14,15 no existen en nuestro sistema y sin embargo, los bits P1,P2,P4, P8, si pueden llegar a dirreccionarlos. El decodificador (224) se va a habilitar por medio de su entrada "E"(inicial de enable en inglés que significa habilitar); microsegundos después de que están los 16bits transmitidos en el registro de corrimiento.

### III.5 ALMACENAMIENTO DE DOS JUEGOS DE 8BITS DE INFORMACION

Este capítulo corresponde al siguiente bloque del diagrama de la fig.3-1.

Resumiendo un poco el funcionamiento de los tres incisos referentes a los bloques mencionados anteriormente, se tiene que el receptor va almacenando en su registro de corrimiento, la información serial que le envía el transmisor, que consiste en 2 juegos de datos de 16bits (DIGITOS BINARIOS). Cada juego de datos, tan pronto como llegan al registro de corrimiento verifica que los cuatro bits: paro, arranque y dos de verificación, sean los correctos; al mismo tiempo verifica los bits de paridad y los corrige en caso necesario. En el momento que el decodificador E24' es habilitado (fig.3-5) este primer juego de datos, de ocho bits de información pura, se almacena en ocho biestables de tipo D, cuyo funcionamiento en este caso, es similar a la de una memoria RAM, estos ocho biestables están en un mismo circuito integrado, por lo cual fueron utilizados.

Siguiendo con la secuencia del receptor, tendremos almacenados en estos biestables los ocho bits de información pura del primer juego de datos, mientras tanto, en los registros de corrimiento está entrando un segundo juego de datos de 16 bits, que seguirá la misma secuencia que el primero, que consiste en revisar los bits de arranque, paro y verificación, así como revisar y corregir los bits por medio de paridad, y una vez finalizada esta etapa, por medio de dos comparadores

de cuatro bits conectados entre sí para formar un comparador de ocho bits, se comparan los 8 bits de información para contenidos en los 8 biestables de tipo D, con los bits que acaban de entrar al registro de corrimiento.

El circuito eléctrico de esta etapa queda de la siguiente manera:

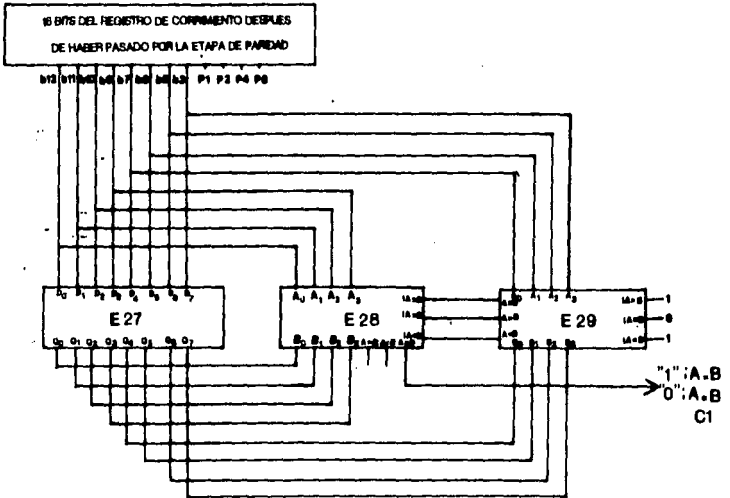


FIG.3-8

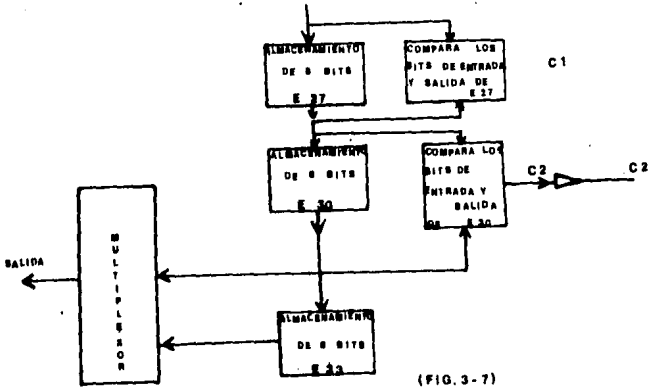
La parte superior del diagrama, es un bloque que representa los 16 bits que están en el registro de corrimiento, el segundo juego de datos (fig.3-6); mientras que los bits de información del primer juego de datos ya están almacenados en los biestables octales E27, que fueron almacenados en el momento que se envió una señal de control, microsegundos después de haber pasado por el corredor de paridad, estos bits de información almacenados en E27, se comparan con los bits de información que están a su entrada, por medio de dos comparadores E28 y E29. Estos comparadores tienen la siguiente tabla de verdad:

| COMPARACION DE ENTRADAS   | ENTRADA PARA CASCADA | SALIDAS     |
|---------------------------|----------------------|-------------|
| A3 B3, A2 B2, A1 B1, AOBO | IA B IA B IA = B     | A B A B A=B |
| A3 B3 X X X               | X X X                | 1 0 0       |
| A3 B3 X X X               | X X X                | 0 1 0       |
| A3=B3 A2 B2 X X X         | X X X                | 1 0 0       |
| A3=B3 A2 B2 X X           | X X X                | 0 1 0       |
| A3=B3 A2=B2 A1 B1 X       | X X X                | 1 0 0       |
| A3=B3 A2=B2 A1 B1 X       | X X X                | 0 1 0       |
| A3=B3 A2=B2 A1=B1 AOBO    | X X X                | 1 0 0       |
| A3=B3 A2=B2 A1=B1 AOBO    | X X X                | 0 1 0       |
| A3=B3 A2=B2 A1=B1 AO=BO   | 1 0 0                | 1 0 0       |
| A3=B3 A2=B2 A1=B1 AO=BO   | 0 1 0                | 0 1 0       |
| A3=B3 A2=B2 A1=B1 AO=BO   | 0 0 1                | 0 0 1       |

A la salida de estos comparadores, vamos a tener un bit (dígito binario) denominado C1, el cual va a tener un valor de "1 lógico" cuando ambos juegos de información sean iguales, y en caso contrario tendrá un valor de "cero" y finalizaría la secuencia del receptor.

En el caso de que C1 tenga un valor de "1 lógico", el receptor tendrá que realizar una segunda comparación, para verificar que este juego de datos no haya sido recibido anteriormente.

Un diagrama de bloque de esta sección en adelante, es el siguiente:



(FIG. 3-7)

Como se puede observar, la segunda comparación es similar a la primera, salvo que en el segundo caso nos interesa que no fuesen iguales los juegos de información que se están comparando; y se denominó como C2 al bit que sale de la segunda comparación, el cual se invirtió su valor porque nuestro interés es su desigualdad.



El receptor realiza las dos comparaciones simultáneamente y en el caso que  $C1$  y  $\overline{C2}$  tengan valores lógicos de "1 y 0" respectivamente, la información contenida en E30 la mandará a E33 y la de E27 pasará a E30; de tal forma que E27 quedará disponible para almacenar un nuevo juego de información para poder ser comparada con el juego nuevo de datos que podrá llegar al registro de corrimiento. Mientras, que E30 y E33 contienen información, estarán saliendo alternadamente mediante el multiplexor, y si E33 no contiene información, únicamente tendremos a la salida del multiplexor la información contenida en E30.

El diagrama eléctrico de esta sección está representado en la fig. 3-8

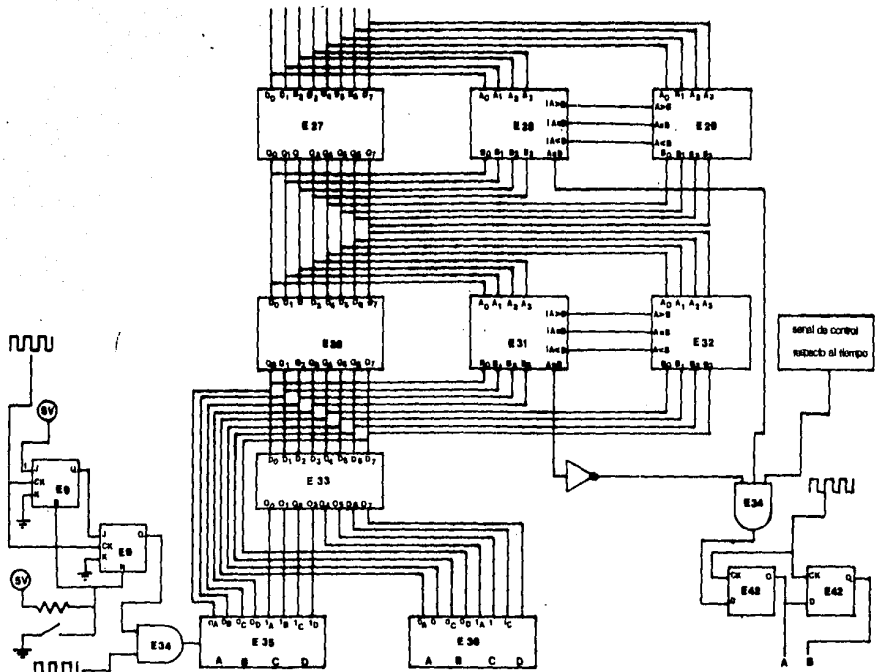


FIG.3-B

Con dos biestables de tipo D se logra el siguiente propósito:

Su entrada CK siempre está pulsando, estos biestables tendrán en su salida Q el mismo valor que tengan en su entrada D, después que su entrada CK tenga una transición de un nivel bajo a uno alto. En este caso, se tiene la entrada D del primer biestable que está conectada a través de una compuerta "Y"; cuando las dos comparaciones realizadas C1 y C2, resulten satisfactorias y sea el tiempo en que pretendemos verificar dicha comparación, habrá un "1 lógico" a la entrada D del primer biestable y ambos seguirán la siguiente secuencia:

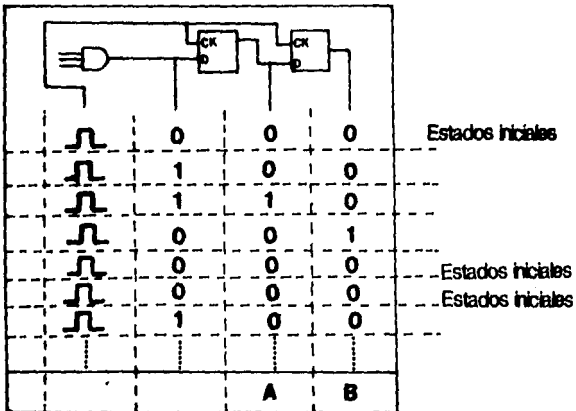


FIG.3-9

A la salida de estos 2 biestables se observa que el primero: la salida A, toma el valor de "1 lógico" antes que la salida B, por lo tanto la salida A va a ser la encargada de mandar la señal de control a los biestables octales E33 (fig.3-7), para alimentarlos con la información que contienen los biestables E30; un tiempo después la salida A tendrá un "0 lógico", mientras que la salida B un "1", la cual mandará la señal de control a E30 para que cargue la información que E27 contiene.

En la figura también se observa que las salidas de los biestables octales de tipo D :E30 y E33 están conectados mediante 2 multiplexores cuádruples a la salida, para tener la opción de dos juegos de información de 8 bits a la salida. Como se observa en la fig.3-10 en la entrada de dirección del multiplexor tenemos:

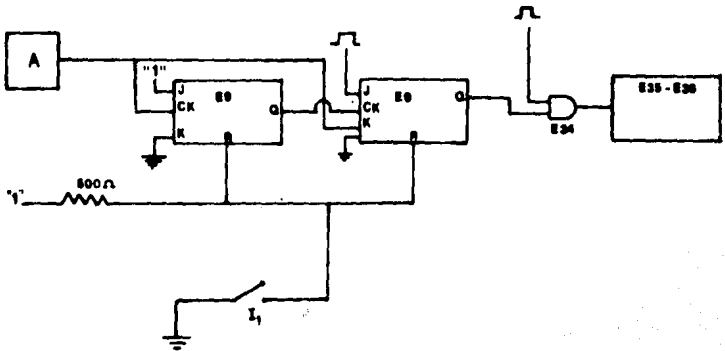


FIG.3-10

La entrada indicada por la letra A es la especificada en la fig.3-8, en los biestables E42; en un principio el direccionamiento del multiplexor es para muestrear sus entradas "0", cuando hay un pulso en A el multiplexor en su entrada de direccionamiento continúa sin variación muestreando lo contenido en sus entradas "0", con la diferencia en que ahora existe un "1 lógico" en la salida del primer biestable E9. Cuando vuelve a haber otro pulso, la salida del primer biestable continuará en uno, mientras que la salida del segundo cambió de cero a uno y por lo tanto el multiplexor variará su salida conforme a la entrada de la compuerta "Y" E34 continúe pulsando, la cual pulsará a una frecuencia del orden de 0.8Hz para tener tiempo suficiente de poder observar el display a la salida del receptor.

Cuando vuelve a existir otro pulso en A, los biestables continúan sin variación alguna y por lo tanto también el multiplexor.

El operador tendrá la opción de borrar la información contenida en E30 y E33, así como poner los biestables E9 en su estado original oprimiendo el interruptor I1, logrando que sus entradas R (inicial de reset que en inglés significa reiniciar) de los biestables E9, así como en las entradas R de E30 y E33 de los biestables octales a un nivel de tierra provocando tal función.

### III. 6 SALIDA DEL RECEPTOR

En este caso existen dos tipos de salida, una por medio de 3 displays de 7 segmentos, para que el operador pueda identificar rápidamente la información transmitida, y la segunda, una alarma para indicarle al operador que el receptor tiene ya la información en el display.

En el primer caso, la información que proviene de los biestables octales de tipo D(E30 y E33) van a direccionar un EPROM (Erasable Programmable Read Only Memory), que en inglés significa memoria únicamente de lectura, programable y borrable, que dependiendo de la aplicación que se le da, puede ser programada para diversos fines, en este caso, se programó este integrado "EPROM" para que modificara el bienario puro que contienen los componentes E30 y E33 en bits para manejar displays de 7 segmentos.

Se prefirió utilizar este método por las siguientes razones:

1. El método más usual, el básico, es por medio de decodificadores BCD a 7 segmentos, siendo necesario para utilizarlo primero convertir el binario puro a BCD, no existiendo comercialmente algún circuito integrado que lo realice, sino que tiene que ser generado por una serie de circuitos integrados con un costo igual al de un solo EPROM 2716 con las siguientes ventajas:

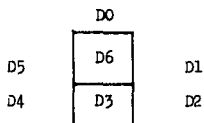
No hay que pasar de binario puro a binario BCD.

Tampoco decodificar el binario BCD a 7 segmentos.

Se manejan los 3 displays con el mismo EPROM.

Capacidad para poder manejar información para un display de 7 segmentos por localidad, 3 por 255 localidades.

Este EPROM (E38) puede ser programado con la información deseada. En este caso, se pretende manejar 3 displays de 7 segmentos, por tal motivo se utilizarán únicamente siete de las ocho salidas (D0, D1, D2, D3, D4, D5, D6) y cada una de estas tiene asignado un segmento del display.



La tabla para codificar cada caracter es la siguiente:

| D6 | D5 | D4 | D3 | D2 | D1 | D0 | DISPLAY |
|----|----|----|----|----|----|----|---------|
| 1  | 1  | 1  | 1  | 1  | 1  | 0  | 0       |
| 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1       |
| 1  | 1  | 0  | 1  | 1  | 0  | 1  | 2       |
| 1  | 1  | 1  | 1  | 0  | 0  | 1  | 3       |
| 0  | 1  | 1  | 0  | 0  | 1  | 1  | 4       |
| 1  | 0  | 1  | 1  | 0  | 1  | 1  | 5       |
| 1  | 1  | 1  | 1  | 1  | 0  | 1  | 6       |
| 1  | 1  | 1  | 0  | 0  | 1  | 0  | 7       |
| 1  | 1  | 1  | 1  | 1  | 1  | 1  | 8       |
| 1  | 1  | 1  | 1  | 0  | 1  | 1  | 9       |

Este EPROM (E38) tiene todos sus bits en todas sus localidades niveles altos, que cuando se programa mediante

un pulso de 5 Volts, se rompen una especie de fusibles que tienen, para producir los "ceros lógicos". Para volver a tener el EPROM en su estado original, puros "Unos", es necesario exponerlo a rayos de luz ultravioleta, provocando así, que se vuelvan a unir los fusibles que se rompieron cuando se realizó la programación.

Para programar este EPROM, es necesario alimentarlo con voltajes de 5 Volts, en su entrada especificada como VCC y con 25 Volts en su entrada VPP, se direcciona la localidad deseada en sus entradas:

A0, A1, A2, .....A10 y los datos a grabar en sus entradas. D0, D1, D2, .....D6 y se manda un pulso de 5 Volts a su entrada E/PROGRAM grabando así cada localidad.



PARA ESTE CASO FUERON GRABADAS LAS LOCALIDADES DE EPROM CON LA INFORMACION SIGUIENTE:

TABLA DE PROGRAMACION DEL EPROM

| ENTRADAS DE DIRECCION |    |    |    |    |    |    |    |    |    | No. DIS-<br>PLAY | No. EN<br>DECIMAL | DATOS A LA SALIDA |    |    |    |    |    |    |    | SALIDA EN<br>DISPLAY | No. DIS-<br>PLAY |
|-----------------------|----|----|----|----|----|----|----|----|----|------------------|-------------------|-------------------|----|----|----|----|----|----|----|----------------------|------------------|
| A10                   | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 |                  |                   | AD                | D7 | D6 | D5 | D4 | D3 | D2 | D1 |                      |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0                | 0                 | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0                | 1                 | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1                | 0                 | 2                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1                | 1                 | 3                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0                | 0                 | 4                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0                | 1                 | 5                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1                | 0                 | 6                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1                | 1                 | 7                 | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0                | 0                 | 8                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0                | 1                 | 9                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1                | 0                 | 10                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1                | 1                 | 11                | 0  | 1  | 1  | 0  | 1  | 1  | 2  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0                | 0                 | 12                | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0                | 1                 | 13                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0                | 1                 | 14                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1                | 1                 | 15                | 0  | 1  | 1  | 1  | 0  | 0  | 3  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0                | 0                 | 16                | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1                | 1                 | 17                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 0                | 1                 | 18                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 1                | 1                 | 19                | 0  | 0  | 1  | 1  | 0  | 0  | 4  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 0                | 0                 | 20                | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 1                | 0                 | 21                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 0                | 1                 | 22                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 1                | 1                 | 23                | 0  | 1  | 0  | 1  | 1  | 0  | 5  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0                | 0                 | 24                | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 1                | 1                 | 25                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 0                | 1                 | 26                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 1                | 1                 | 27                | 0  | 1  | 1  | 1  | 1  | 0  | 6  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 0  | 0                | 0                 | 28                | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 0  | 1                | 0                 | 29                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 0                | 1                 | 30                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1                | 1                 | 31                | 0  | 1  | 1  | 1  | 0  | 1  | 7  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0                | 0                 | 32                | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 1                | 0                 | 33                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 0                | 1                 | 34                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 1                | 1                 | 35                | 0  | 1  | 1  | 1  | 1  | 1  | 8  | 3                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 0  | 0                | 0                 | 36                | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 0  | 1                | 0                 | 37                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 0                | 1                 | 38                | 0  | 0  | 0  | 0  | 0  | 0  | -  | 2                    |                  |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 1                | 1                 | 39                | 0  | 1  | 1  | 1  | 1  | 0  | 9  | 3                    |                  |

| ENTRADAS DE DIRECCION |    |    |    |    |    |    |    |    |    | No. DIS-PLAY |     | No. EN DECIMAL | DATOS A LA SALIDA |    |    |    |    |    |    |    | SALIDA EN DISPLAY | No. DIS-PLAY |
|-----------------------|----|----|----|----|----|----|----|----|----|--------------|-----|----------------|-------------------|----|----|----|----|----|----|----|-------------------|--------------|
| A10                   | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0           |     |                | D7                | D6 | D5 | D4 | D3 | D2 | D1 | D0 |                   |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 0  | 0            | 40  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 0  | 1            | 41  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 1  | 1            | 42  | 0              | 0                 | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 2                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 1  | 1            | 43  | 0              | 1                 | 1  | 1  | 1  | 1  | 1  | 0  | 0  | 3                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 0  | 0            | 44  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 0  | 1            | 45  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 1  | 0            | 46  | 0              | 0                 | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 2                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 1  | 1            | 47  | 0              | 0                 | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 3                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0            | 48  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 1            | 49  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 0            | 50  | 0              | 1                 | 1  | 0  | 0  | 0  | 0  | 0  | 1  | 2                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 1            | 51  | 0              | 1                 | 1  | 0  | 1  | 1  | 0  | 1  | 2  | 3                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 0  | 0            | 52  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 0  | 1            | 53  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 1  | 0            | 54  | 0              | 0                 | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 2                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 1  | 1            | 55  | 0              | 1                 | 1  | 1  | 1  | 0  | 0  | 1  | 3  | 3                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 0  | 0  | 0            | 56  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 0  | 0  | 1            | 57  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 0  | 1  | 0            | 58  | 0              | 0                 | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 2                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 0  | 1  | 1            | 59  | 0              | 0                 | 1  | 1  | 0  | 0  | 1  | 1  | 4  | 3                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 0  | 0            | 60  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 0  | 1            | 61  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 0            | 62  | 0              | 0                 | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 2                 |              |
| 0                     | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1            | 63  | 0              | 1                 | 0  | 1  | 1  | 0  | 1  | 1  | 5  | 3                 |              |
| 0                     | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 0            | 64  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                 |              |
| 0                     | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 1            | 65  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                 |              |
| 0                     | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 1  | 0            | 66  | 0              | 0                 | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 2                 |              |
| 0                     | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 1  | 1            | 67  | 0              | 1                 | 1  | 1  | 1  | 1  | 0  | 1  | 6  | 3                 |              |
| 0                     | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 1  | 1            | 68  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | -                 |              |
| 0                     | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 1            | 69  | 0              | 0                 | 0  | 0  | 0  | 0  | 0  | 0  | -  | 1                 |              |
| :                     | :  | :  | :  | :  | :  | :  | :  | :  | :  | :            | :   | :              | :                 | :  | :  | :  | :  | :  | :  | :  | :                 | :            |
| 0                     | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1            | 255 | 0              | 1                 | 0  | 1  | 1  | 0  | 1  | 1  | 5  | 3                 |              |

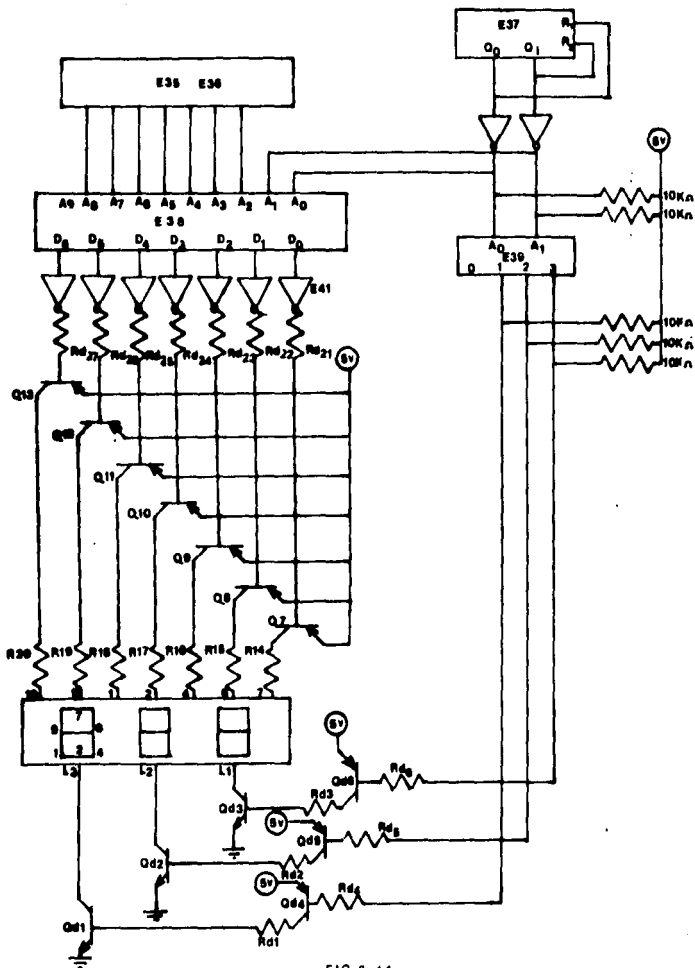


FIG. 3-11

Una vez conocida la información del EPROM (E38) se procede a explicar el circuito de la fig.3-11;

La información de 8 bits llega al EPROM a través de los multiplexores y direcciona al EPROM, pero como se observa en el diagrama de la fig.3-11; solo direcciona al EPROM parcialmente de la dirección A9 a la A2. La dirección A9 tendrá un nivel bajo debido a que la capacidad del EPROM es de 2047 localidades de 8 bits cada una, únicamente se están ocupando las primeras 1023, por lo que A10 que es la que contiene el bit más significativo, tendrá un nivel más bajo, las dos localidades menos significativas A0 y A1 van a estar variando constantemente e independientemente de la información que llega del multiplexor (E35 y E36) de la siguiente forma:

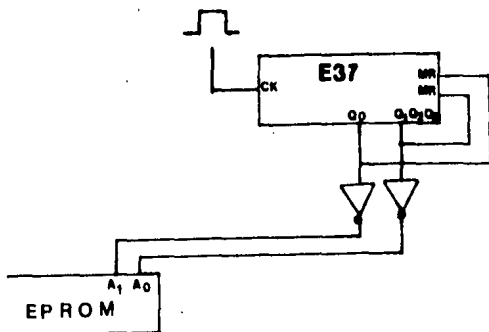


FIG.3-12

El contador E37, en su entrada CK está pulsando constantemente a una frecuencia de 873KHz con la siguiente secuencia:

| CK | Q0 | Q1 | Q2 | Q3 | MR1 | MR2 |
|----|----|----|----|----|-----|-----|
| ↑  | 0  | 0  | 0  | 0  | 0   | 0   |
| ↑  | 1  | 0  | 0  | 0  | 1   | 0   |
| ↑  | 0  | 1  | 0  | 0  | 0   | 1   |
| ↑  | 1  | 1  | 0  | 0  | 1   | 1   |
| ↑  | 0  | 0  | 0  | 0  | 0   | 0   |
| ↑  | 1  | 0  | 0  | 0  | 1   | 0   |

Donde 0 son niveles bajos de voltaje.

1 son niveles altos de voltaje.

↑ son transiciones de niveles bajos a altos.

Quando sus salidas Q0 y Q1 tengan niveles altos, el contador pondrá todas sus salidas Q en estados de "ceros lógicos", debido a que estas salidas Q0 y Q1 están conectadas a sus entradas MR1 y MR2 respectivamente, y cuando ambas tengan niveles de "1 lógico", pondrán sus salidas Q en niveles de "cero" en tan solo 30nanosegundos y se continúa con el conteo; lo cual es favorable para el sistema. Estas dos salidas Q0 y Q1 del contador E37 llegan mediante inversores al EPROM E38 a las terminales, A0 y A1, pero también llegan a un decodificador E39 (fig.3-11), el cual se va a encargar de encender uno de los displays de 7 segmentos a la vez, mediante una señal de un nivel alto en voltaje, que satura a uno de los

transistores  $Qd_1, Qd_2$  ó  $Qd_3$ , provocando que el cátodo de su respectivo display se aterrice.

Las salidas D del E38 no son capaces de proporcionar la suficiente corriente para poder energizar los displays de 7 segmentos, al realizarse pruebas para saber el mínimo de corriente que se le puede administrar a cada segmento del display para tener una visión clara de éste, se encontró que con 7 miliampers es el mínimo de corriente que se distingue bien un segmento encendido, pero cada uno de los displays estará encendido sólo  $1/3$  del tiempo debido a que solo encenderá uno a la vez, por lo que se necesita que las salidas del EFROM, (D6, D5, D4, D3, D2, D1, D0), proporcionen al menos una corriente de  $7 \times 3 = 21$ MA por salida como mínimo, por lo que cada una de estas salidas se conectaron a unos transistores, como se muestra en la fig.3-11.

Se hizo el cálculo de las resistencias de este circuito (fig.3-11), para que através de cada segmento circulen 30MA.

Por otro lado, las características del EFROM respecto a sus salidas son las siguientes:

Salida de voltaje en nivel bajo = .45V y una corriente de 2.1MA.

Salida de voltaje en nivel alto es de 2.4V como mínimo con una corriente de 400 uA.

Debido a que estas salidas no proporcionan la corriente deseada se instalaron unos inversores (E41), para que puedan drenar a tierra los 3MA que circularán por la base de los transistores PNP(Q7-Q13)

Esto es un 7404, que específica su voltaje de salida a nivel bajo con un máximo de .4volts.

Por lo que para RD21-RD27 tenemos:

$$\frac{5-.7-.4}{3 \times 10^{-3}} = 1.3K \Omega \approx 1.2K \Omega$$

Para que por cada segmento del display circule una corriente de 30 MA tenemos:

$$R14-R20 = \frac{5-.2-1.4-.2}{30 \times 10^{-3}} = 106.66 \Omega \approx 100 \Omega$$

En el cátodo común de cada uno de los displays, llegará una corriente de  $30 \times 7 = 210$  MA, los cuales llegan a los cátodos de QD1, QD2, QD3, respectivamente, por lo que en su base habrá una corriente de 21 MA, por lo que RD1, RD2, RD3 vienen dadas por:

$$RD1 = RD2 = RD3 = \frac{5-.2-.7}{21 \times 10^{-3}} = 195.23 \Omega$$

Y en la base de QD4, QD5, QD6 tendrá que circular una corriente de 2.1 MA por lo que:

$$RD4 = RD5 = RD6 = \frac{5-.7-.3}{2.1 \times 10^{-3}} = 1.9 K \Omega$$

Y estos 2.1 MA que tiene que consumir el decodificador, no tiene problema alguno ya que se trata de un colector abierto;

esta es la razón, por la cual sus resistencias (del colector abierto) se escogieron relativamente grandes:  $10 K_{\Omega}$ ;

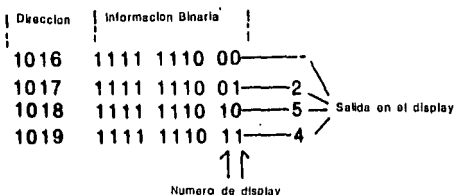
Los displays de 7 segmentos están especificados para que circulen através de cada segmento una corriente no mayor de 20 miliampers de corriente continua, en nuestro sistema sólo va a estar encendido uno de los 3 displays a la vez, por lo que la corriente promedio a cada segmento será de 10 miliampers,  $1/3$  de la corriente.

El decodificador E39 (74LS156) de colector abierto tiene la siguiente tabla de verdad:

| ENTRADAS  |    |              |    | SALIDAS |   |   |   |
|-----------|----|--------------|----|---------|---|---|---|
| SELECCION |    | HABILITACION |    | _____   |   |   |   |
| A0        | A1 | Ea           | Eb | 0       | 1 | 2 | 3 |
| X         | X  | 0            | X  | 1       | 1 | 1 | 1 |
| X         | X  | X            | 1  | 1       | 1 | 1 | 1 |
| 0         | 0  | 1            | 0  | 0       | 1 | 1 | 1 |
| 0         | 1  | 1            | 0  | 1       | 0 | 1 | 1 |
| 1         | 0  | 1            | 0  | 1       | 1 | 0 | 1 |
| 1         | 1  | 1            | 0  | 1       | 1 | 1 | 0 |

Supongamos, (fig.3-11) que de los multiplexores llegan al EPROM a sus entradas A9, A8, A7, A6, A5, A4, A3, A2, los bits 1 1 1 1 1 1 1 0 respectivamente, la tabla de programación del EPROM en sus localidades 1016, 1017, 1018, 1019, en sistema decimal, nos indica lo siguiente:





Cuando E37 tenga salidas  $Q_0=Q_1=0$  llegarán a las entradas A0 y A1 de E38 "1 lógicos", en la localidad de E38 en la 1019 y por lo tanto, las salidas de E38 estarán mandando información a los displays que enciendan el número 4, pero E39 sólo está saturando a  $Q_1$  y encenderá el display de la derecha únicamente, cuando llega otro pulso a E37, sus salidas cambian de estado por  $Q_0=1$  y  $Q_1=0$ , por lo que a E39 y E38 tendrán sus entradas  $A_0=0$  y  $A_1=1$  y E38 mandará información a los displays para que cuando el cátodo de ellos esté aterrizando encenderán algunos de sus segmentos mostrando el número 5, pero E39 solo satura el transmisor Q2 provocando que solo el display del centro quede encendido, un segundo pulso en E37 modificará la información en E38 y E39 provocando que E38 esté en su localidad 1017 y esté saturado Q3 encendiendo el número 2 en el display de la izquierda. Cuando llegue un tercer pulso a E37, y como se explicó anteriormente tardará 20 nanosegundos en volver a su estado inicial para repetir constantemente esta secuencia. Los pulsos que llegan a E37 son del orden de 83KHz por lo que el operador notará que están encendidos los tres displays al mismo tiempo. En este ejemplo, se verá en los displays el número 224 que es el mismo en el sistema binario, que el que está contenido en las entradas desde A10 a A2 del EPROM (E38).

SALIDA CON SEÑAL DE AUDIO.- Tan pronto como aparece alguna información en los displays, también se activa una alarma con una duración de 7 segundos, ésta se instaló con el fin de llamar la atención al operador, avisándole que el receptor acaba de recibir una nueva información.

Su funcionamiento es muy sencillo, la misma señal que sale de E42 (fig.3-8) para almacenar información en los biestables de tipo octales E33 y E30 manda una señal que hace activar a un monoestable que habilita un multiplexor, al cual, están conectadas en sus entradas de datos algunas frecuencias ya generadas para el resto del circuito, a la salida de este multiplexor tenemos un par de transistores para amplificar la señal y una bocina conectadas de la siguiente forma:

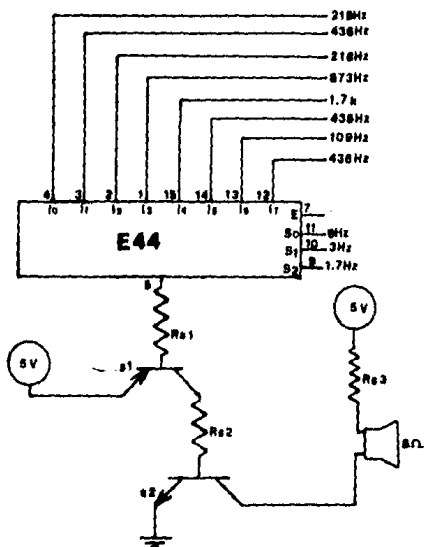


FIG.3-13

Se pretende que la bocina disipe 1Watt de potencia y una impedancia de  $8\ \Omega$  por lo que, la corriente que le tiene que circular es de:

$$I^2 = \frac{1}{8}; \quad I = 354\ \text{MA}$$

Lo que nos da para R33

$$8 + R33 = \frac{5 \cdot 2}{350 \times 10^{-3}}$$

$$R33 = \frac{5 \cdot 2}{350 \times 10^{-3}} - 8 = 5.71\ \Omega$$

Para que el sonido pueda ser regulado se utiliza un potenciómetro aproximadamente de  $20\ \Omega$ , conectado en serie con la resistencia (R33)

$$R32 \text{ deberá ser de } \frac{5 \cdot 2 \cdot 7}{350 \times 10^{-3}} = 117.4\ \Omega$$

Con el fin de que el transistor pueda saturarse sin ningún problema.

Por último, R31 se calculará para limitar la corriente que drena Q31 por la base al multiplexor no sea mayor a 3 MA.

$$R31 = \frac{5 \cdot 7}{350 \times 10^{-3}} - 1.4\ \text{K}\ \Omega \approx 1.5\ \text{K}\ \Omega$$

### III.7 TIEMPOS DE ACCESO

El receptor tiene que mandar pulsos de control a diversos componentes, ya sea para iniciar la secuencia, comparar bits en tiempos especificados, etc.

Estos tiempos se van a manejar a través de monoestables de tipo TTL 74LS123, cuya duración de pulso va a ser controlada por una resistencia y un capacitor.

El primer monoestable que se utiliza es para lograr la sincronización.

Cuando el receptor recibe por medio de EO (fig. 3-14) la presencia del primer bit mandado por el transmisor y, antes de que comience a dividir el bit en 32 partes, manda una transición de un nivel bajo a uno alto por medio de EO al monoestable denominado E5, para que éste mande un pulso a los contadores E2 y E4 para que sus salidas, cuando termine el pulso, comiencen a contar desde cero; con el fin de que los contadores reductores de frecuencia del transmisor estén pulsando de igual forma que los del receptor.

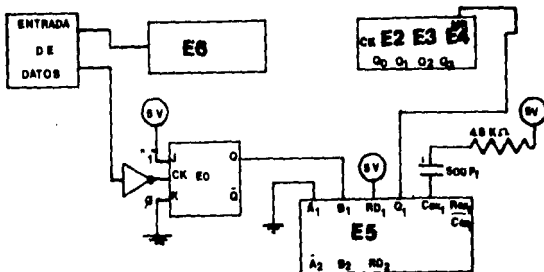


FIG.3-14

Cuando llegue el primer bit de información proveniente del transmisor, mandará una transición de un nivel bajo a uno alto en la entrada de E5, E5 mandará un pulso a la entrada (MR) de los contadores E2, E3, E4 para que tengan sus salidas en cero.

Según el fabricante, el pulso más corto que puede ser capaz de mandar un monoestable 74LS123 es de 40 nanosegundos y el tiempo de duración del pulso está establecido de la siguiente forma:

$$TW = (.45) (REX) (CEX)$$

DONDE:

TW = Ancho del pulso en microsegundos

REX= Resistencia en OHMS

CEX= Capacitación en microfaradios.

Con una resistencia de 4.8Kilohms y un capacitor de .0005 microfaradios estamos abajo del tiempo especificado, por lo que se asegura tener un pulso del menor tamaño posible.

Después de que el último bit del primer juego ha sido transmitido y después de la división número 32 de este bit, se realiza la comparación de los bits de arranque, verificación y paro.

En ese momento, también se verifican los bits de

información por medio de la paridad, y se corrigen en caso necesario, no se desean que estas comparaciones se realicen en otro momento, por tal motivo, un pulso con duración de 211 microsegundos se manda para habilitar el decodificador E24 y a la compuerta "Y" E11 para realizar dichas comparaciones (fig.3-15), este pulso se manda a través del monoestable E5-2.

Otro monoestable E25-1 se encarga de retardar a partir del pulso del monoestable, anteriormente mencionado E5-2 54 microsegundos más y, a partir de que este caiga se activa un cuarto monoestable E25-2, con una duración de 103.5 microsegundos, que va a mandar en el caso de que sea el primer juego de bits que se encuentre en el registro de corrimiento un pulso a E27 para permitir que se cargue con la información del registro de corrimiento y en el caso que fuese el segundo juego de datos el que se encuentra en el registro de corrimiento, este pulso será para habilitar la comparación que se realiza para verificar que sean iguales los bits del primer juego de información con el segundo, y para saber que estos juegos que se están comparando no están ya contenidos en los otros biestables octales que están mostrados en los displays. A partir del momento, en que este último pulso del monoestable cae, entra un quinto monoestable E26-1, que manda un pulso con duración de 54 microsegundos al biestable E0, este pulso va a poner sus salidas en niveles bajos parando a los contadores E6, E8 y a los biestables E7, dejándolos listos para que empiecen nuevamente el conteo, con el siguiente juego de información que llegue al receptor.

El diagrama de esta sección quedará de la siguiente forma:

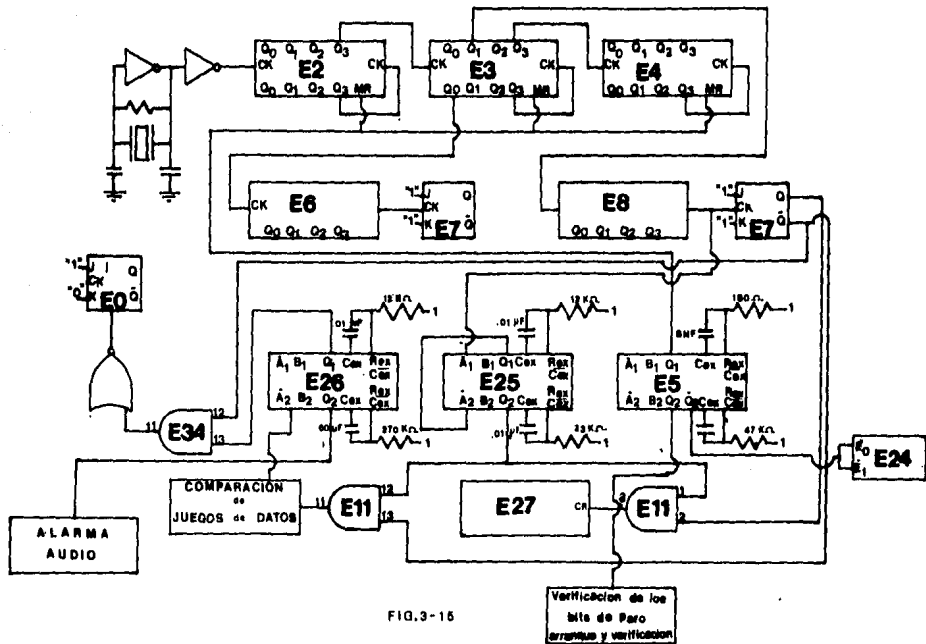


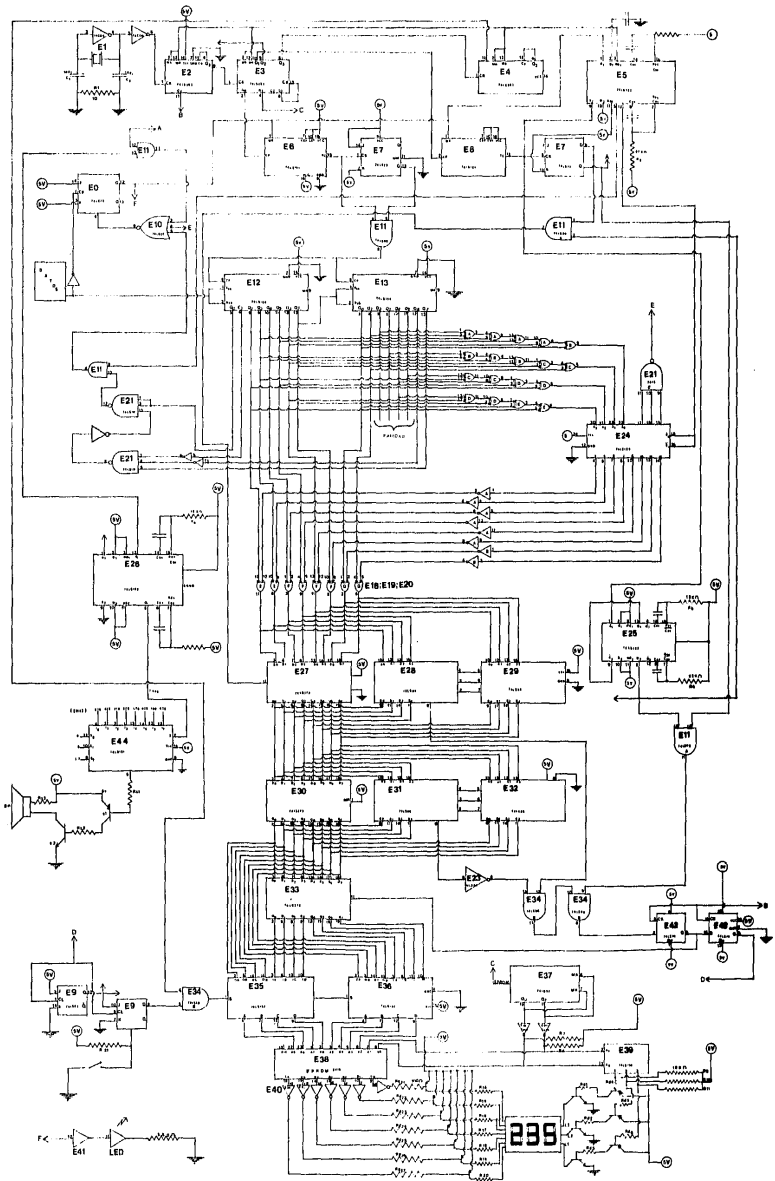
FIG.3-15

El monoestable E26-2, es el que va a establecer el tiempo en que la alarma va a funcionar. Una vez que un nuevo juego de datos haya entrado al circuito y después que los comparadores hayan realizado sus diferentes funciones ya establecidas anteriormente llega una señal al monoestabla que permite el funcionamiento de la alarma. Esto, ocurre únicamente cuando un juego de datos no contenido en el circuito llega al mismo.

El diagrama completo del circuito receptor quedará de la siguiente forma:



CIRCUITO RECEPTOR



C A P I T U L O    I V

CONSUMO DE CORRIENTE DEL CIRCUITO RECEPTOR, FUENTE DE PODER  
Y    ESTUDIO ECONOMICO.

IV.1. CONSUMO DE CORRIENTE DEL CIRCUITO RECEPTOR

En primer término, tenemos una lista con cada uno de los componentes del circuito receptor con su respectivo consumo de corriente.

La primera parte será de componentes de tipo TTL-LS.

| CODIGO | NUMERO  | DESCRIPCION                      | CONSUMO DE CORRIENTE<br>TIPICA |
|--------|---------|----------------------------------|--------------------------------|
| E0     | 74LS73  | 2 BIESTABLES J-K                 | 6 MA                           |
| E2     | 74LS393 | 2 CONTADORES BINARIOS            | 15 MA                          |
| E3     | 74LS393 | 2 CONTADORES BINARIOS            | 15 MA                          |
| E4     | 74LS393 | 2 CONTADORES BINARIOS            | 15 MA                          |
| E5     | 74LS123 | 2 MONOESTABLES                   | 12 MA                          |
| E6     | 74LS161 | 1 CONTADOR BINARIO               | 32 MA                          |
| E7     | 74LS73  | 2 BIESTABLES J-K                 | 6 MA                           |
| E8     | 74LS161 | 1 CONTADOR BINARIO               | 32 MA                          |
| E9     | 74LS73  | 2 BIESTABLES J-K                 | 6 MA                           |
| E10    | 74LS27  | 3 COMPUERTAS "0"                 |                                |
|        |         | 3 ENTRADAS                       | 3 MA                           |
| E11    | 74LS08  | 4 COMPUERTAS "Y"                 |                                |
|        |         | 2 ENTRADAS                       |                                |
| E12    | 74LS164 | REGISTRO DE CORRIENTE            | 16 MA                          |
| E13    | 74LS164 | REGISTRO DE CORRIENTE            | 16 MA                          |
| E14    | 74LS86  | 4 COMPUERTAS "Y" EXCLUSI-<br>VAS | 10 MA                          |
| E15    | 74LS86  | 4 COMPUERTAS "0" EXCLUSI-<br>VAS | 10 MA                          |
| E16    | 74LS86  | 4 COMPUERTAS "0" EXCLUSI-<br>vas | 10 MA                          |
| E17    | 74LS86  | 4 COMPUERTAS "0" EXCLUSI-<br>VAS | 10 MA                          |
| E18    | 74LS86  | 4 COMPUERTAS "0" EXCLUSI-<br>VAS | 10 MA                          |

| CODIGO | NUMERO  | DESCRIPCION                           | CONSUMO DE CORRIENTE TYPICA |
|--------|---------|---------------------------------------|-----------------------------|
| E19    | 74LS86  | 4 COMPUERTAS "0" EXCLU-<br>SIVAS      | 10 MA                       |
| E20    | 74LS86  | 4 COMPUERTAS "0" EXCLU-<br>SIVAS      | 10 MA                       |
| E21    | 74LS10  | 3 COMPUERTAS "0" NEGADA<br>3 ENTRADAS | 1.8 MA                      |
| E22    | 74LS04  | 6 INVERSORES                          | 6.6 MA                      |
| E23    | 74LS04  | 6 INVERSORES                          | 6.6 MA                      |
| E24    | 74LS154 | DECODIFICADOR, 16 SALIDAS             | 20 MA                       |
| E25    | 74LS123 | 2 MONOESTABLES                        | 12 MA                       |
| E26    | 74LS123 | 2 MONOESTABLES                        | 12 MA                       |
| E27    | 74LS272 | 8 BIESTABLES D                        | 17 MA                       |
| E28    | 74LS85  | COMPARADOR 4 BITS                     | 10.4 MA                     |
| E29    | 74LS85  | COMPARADOR 4 BITS                     | 10.4 MA                     |
| E30    | 74LS273 | 8 BIESTABLES D                        | 17 MA                       |
| E31    | 74LS85  | COMPARADOR 4 BITS                     | 10.4 MA                     |
| E32    | 74LS85  | COMPARADOR 4 BITS                     | 10.4 MA                     |
| E33    | 74LS273 | 8 BIESTABLES D                        | 17 MA                       |
| E34    | 74LS08  | 4 COMPUERTAS "Y"                      | 4.4 MA                      |
| E35    | 74LS157 | 4 MULTIPLEXORES<br>2 ENTRADAS         | 9.7 MA                      |
| E36    | 74LS157 | 4 MULTIPLEXORES<br>2 ENTRADAS         | 9.7 MA                      |
| E37    | 74LS93  | CONTADOR BINARIO                      | 9 MA                        |
| E39    | 74LS156 | DECODIFICADOR 4 SALIDAS               | 6.0 MA                      |
| E42    | 74LS74  | 2 BIESTABLES TIPO D                   | 4 MA                        |
| E44    | 74LS151 | MULTIPLEXOR 8 ENTRADAS                | 6 MA                        |

La suma de las corrientes consumida por estos elementos es de: 448.5 MA

De los componentes restantes, se obtiene la siguiente

lista:

| CODIGO | NUMERO | DESCRIPCION     | CORRIENTE |
|--------|--------|-----------------|-----------|
| E1     | 74C04  | INVERSORES CMOS | 10 MA     |
| E28    | 2716   | EPROM           | 100 MA    |
| E40    | 7405   | 6 INVERSORES    | 22 MA     |
| E41    | 7405   | 6 INVERSORES    | 22 MA     |
|        |        |                 | -----     |
|        |        |                 | 154 MA    |

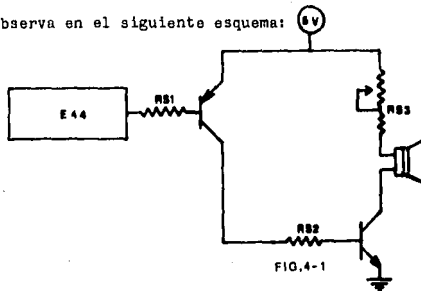
Con base en la fig.3-11 del capítulo anterior, se calcula el consumo de corriente de los transistores y displays.

El circuito integrado denominado como E38, a través de unos inversores va a permitir mandar una corriente de 2.1MA a cada uno de los transistores Q7 a Q3 a través de sus bases, permitiendo que éstos se saturen. Estos transistores a su vez suministran una corriente de 32MA a los segmentos de los displays que deben estar encendidos. En el caso, que todos los segmentos estén encendidos, una corriente de 34.1MA estará circulando por cada display.

Los transistores Q1,Q2,Q3, van a drenar la corriente antes mencionada, más la corriente que les llegue por la base que es de 22MA, lo que nos da un total de los 3 a 66MA.

Por último, los transistores Q4,Q5,Q6 van a drenar una corriente por la base E39 de 2.2MA cada uno, o sea,6.6MA por lo que la suma total de las corrientes de los transistores Q1,Q3 nos da un total de  $238.7-66-6.6=311.3MA$ , la cual es la corriente máxima debida a que en 1/4 del tiempo ninguno de los displays esté encendido, pero con el fin de darnos un margen de error utilizaremos esta corriente.

La otra sección que consume corriente es la audible, como se observa en el siguiente esquema:



Como se desea que la bocina se escuche más fuerte, se le drena 200MA, más 20MA en la base de Q14 y 2MA saliendo de la base, por lo que esta sección, consume 22MA aunque solo sea momentáneo; como se explica en el final del capítulo anterior, por lo descrito en los párrafos anteriores tenemos que calcular una fuente de poder lo suficientemente grande, para que por lo menos nos pueda suministrar a 5V de corriente directa regulados una corriente de:

$$448.5 + 154 + 311.3 + 222 = 1.135 \text{ MA}$$

#### IV.2 FUENTE DE PODER

Con el fin de no tener corriente limitada se hace el cálculo para 1.5 Ampers.

La forma típica de realizarlo es de la siguiente manera:

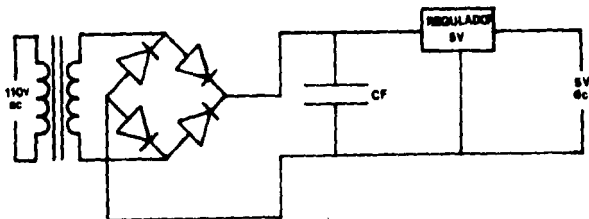


FIG.4-2

Los diodos el MR500 está recomendado como diodo rectificador, el cual puede manejar una corriente de 3ampers a un voltaje de 50Volts.

Un regulador con disipador que regule a 5 V como el LM323 que puede drenar hasta 3 ampers y por último un transformador de 110V a 9V.

Se estuvo observando el voltaje de línea en una zona residencial de la Ciudad de México y se observó que a las 21.30hrs el voltaje baja hasta una tensión de 93Volts, por lo que, se pretende que el transmisor proporcione una diferencia de potencial al menos 4 volts mayor que la diferencia de potencial deseada pero sin exagerar, para no sobrecalentar el regulador, el cual tendrá que disipar en el peor de los casos de  $4 \times 1.5 = 6$  WATTS.

#### IV. 3 ESTUDIO ECONOMICO DEL CIRCUITO RECEPTOR

Basado en la lista de componentes de la sección IV.1 se tiene la siguiente lista de circuitos integrados:

| CODIGO | NUMERO  | COSTO    |
|--------|---------|----------|
| E0     | 74LS73  | \$130.00 |
| E2     | 74LS393 | 324      |
| E3     | 74LS393 | 324      |
| E4     | 74LS393 | 324      |
| E5     | 74LS123 | 243      |
| E6     | 74LS161 | 238      |
| E7     | 74LS73  | 130      |
| E8     | 74LS161 | 238      |
| E9     | 74LS73  | 130      |

ESTA TESIS NO DEBE SALIR DE LA BIBLIOTECA

| CODIGO | NUMERO  | COSTO   |
|--------|---------|---------|
| E10    | 74LS27  | \$97.00 |
| E11    | 74LS08  | 97.00   |
| E12    | 74LS164 | 227.00  |
| E13    | 74LS164 | 227.00  |
| E14    | 74LS86  | 125.00  |
| E15    | 74LS86  | 125.00  |
| E16    | 74LS86  | 125.00  |
| E17    | 74LS86  | 125.00  |
| E18    | 74LS86  | 125.00  |
| E19    | 74LS86  | 125.00  |
| E20    | 74LS86  | 125.00  |
| E21    | 74LS10  | 97.00   |
| E22    | 74LS04  | 97.00   |
| E23    | 74LS04  | 97.00   |
| E24    | 74LS154 | 238.00  |
| E25    | 74LS123 | 243.00  |
| E26    | 74LS123 | 243.00  |
| E27    | 74LS273 | 243.00  |
| E28    | 74LS85  | 276.00  |
| E29    | 74LS85  | 276.00  |
| E30    | 74LS273 | 378.00  |
| E31    | 74LS85  | 276.00  |
| E32    | 74LS85  | 276.00  |
| E33    | 74LS273 | 378.00  |
| E34    | 74LS08  | 97.00   |
| E35    | 74LS157 | 157.00  |
| E36    | 74LS157 | 157.00  |
| E37    | 74LS93  | 168.00  |
| E39    | 74LS165 | 351.00  |
| E42    | 74LS74  | 125.00  |
| E44    | 74LS151 | 162.00  |
| E1     | 74C04   | 110.00  |
| E28    | 2716    | 1500.00 |
| E40    | 7405    | 123.00  |
| E41    | 7405    | 123.00  |

Otros componentes que se utilizaron :

|                                 |             |          |
|---------------------------------|-------------|----------|
| 3 displays TIL-322A             | .....320.00 | \$960.00 |
| 7 transistores PNP BC558        | .....25.00  | 175.00   |
| 3 transistores NPN BC338        | .... 32.50  | 97.50    |
| 29 resistencias a 1/4 watt.     | 2.50        | 72.50    |
| 3 resistencias a 1/2 watt       | 3.00        | 9.00     |
| 1 cristal de cuarzo 3.4MHz      |             | 120.00   |
| 4 diodos 3A                     | ..... 44.00 | 176.00   |
| 1 7805 Regulador su             | .....       | 557.00   |
| 2 capacitores 220               | ..... 29.00 | 58.00    |
| 1 transformador 110/7.5v 3A.    |             | 560.00   |
| 1 bocina 8 <sub>Ω</sub>         | .....       | 300.00   |
| 1 potenciómetro 50 <sub>Ω</sub> | .....       | 160.00   |

|  |      |          |
|--|------|----------|
| 1 microinterruptor .....                   |      | \$300.00 |
| 1 tarjeta circuito impreso 2 caras 22x30cm |      | 750.00   |
| 4 capacitores .1 .....                     | 7.40 | 29.60    |
| 2 capacitores 10 .....                     | 7.40 | 14.80    |

Lo que nos da un total de \$14,133.80, no estando contemplado el precio del chasis en el que va montado el circuito, como en el caso del transmisor, es necesario conocer la cantidad de piezas que se deseen fabricar, para decidir el material; por lo que el costo es aproximado y los precios son anacrónicos con la inflación que sufre el país.



A P E N D I C E

A 1.- FORMA PARA LOGRAR COMUNICAR EL TRANSMISOR Y EL RECEPTOR  
POR MEDIO DE LUZ INFRAROJA.

Este tema es muy amplio existiendo un sinúmero de dispositivos de optoelectrónica y diversas formas de lograr una comunicación.

Se limitará únicamente a lograr una buena comunicación a una distancia de 5 metros, utilizando un diodo emisor de luz infraroja y un fotodiodo.

El primer punto es el de seleccionar el componente que se desee utilizar, ya que existen en el mercado diversos dispositivos. Una de las principales, si no es que la principal corresponde a la marca Texas Instrument, por lo que se seleccionó los componentes en la línea de optoelectrónica..

En la siguiente tabla se proporcionan algunos parámetros de algunos diodos emisores de luz infraroja.

| COMPONENTE | CORRIENTE<br>CONTINUA<br>MAXIMA | TEMP.<br>MAXIMA | ANGULO<br>RADIACION | POTENCIA<br>RADIADA | VOLTAJE<br>INVERSO |
|------------|---------------------------------|-----------------|---------------------|---------------------|--------------------|
| TIL 31     | 200 MA                          | 150°C           | 10°                 | a100 -6             | 2V                 |
| TIL 33     | 200 MA                          | 150°C           | 80°                 | a100 -5             | 2V                 |
| TIL 34     | 200 MA                          | 150°C           | 10°                 | a100 -3             | 2V                 |
| TIL 32     | 40 MA                           | 100°C           | 35°                 | a 20 -1.2           | 2V                 |
| TIL 38     | 150 MA                          | 100°C           | 60°                 | a100 -12            | 5V                 |

Se seleccionó el TIL38, por tener un ángulo de radiación medio y por ser el que tiene más capacidad de radiación de potencia.

Este componente TIL38, tiene también la ventaja de su encapsulado de plástico, por lo que resulta el más económico de los mencionados en la Tabla A1.

Cabe mencionar que la luz que radia no es exactamente infraroja, que su longitud de onda es muy cercana a infrarojo, del orden de  $10^{14}$  Hz. (El rango infrarojo se encuentra entre las ondas de calor y la luz visible).

En la siguiente lista se proporcionan algunos parámetros de receptores de luz infraroja:

- TIL 81. Fototransistor NPN.-Recomendado para aplicaciones de medición de velocidad, lectora de tarjetas, etc.  
Sus parámetros máximos son:  
V<sub>CB</sub>=50 V  
V<sub>CE</sub>=30 V  
V<sub>EB</sub>= 7 u  
I<sub>c</sub> =50 mA  
Especificado para trabajar con TIL31
- TIL 99. Fototransistor NPN.-Recomendado para aplicaciones de medición de velocidad, lectora de tarjetas, etc.  
Sus parámetros máximos:  
V<sub>CB</sub>≅50 V  
V<sub>CE</sub>=30 V  
V<sub>EB</sub>= 7 u  
I<sub>c</sub> =50 mA  
Especificado para trabajar con TIL31  
Su diferencia fundamental con el TIL81 consiste en que este último se especifica para aplicaciones que requieren un mayor ángulo de direccionamiento.
- TIL 100. Fotodiodo. Alta fotosensibilidad. Respuesta rápida. Bajo costo por el encapsulado de plástico. Aplicaciones en controles remotos. Para ser utilizado con el TIL 38

También el fabricante especifica que sin luz, con una diferencia de potencial de 10u, el fotodiodo puede llegar a drenar hasta 50 NA, y con luz cuando se satura hasta 1.5 Ma . La diferencia de potencial máximo de cátodo a ánodo es de 30 volts, y la diferencia de potencial máxima con corriente directa es de 7 volts.

El fabricante proporciona la siguiente gráfica:

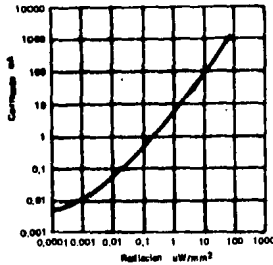
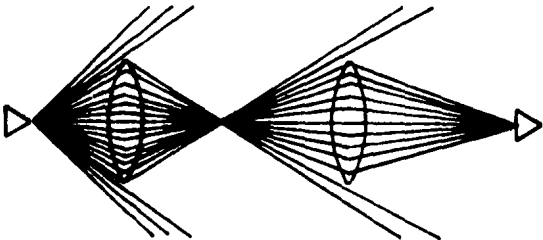


FIG.A-2

Un punto importante es la cantidad de potencia que pueden llegar a radiar los diodos emisores de luz infrarroja. Específicamente el diodo emisor "TIL 38" abre su haz de luz con un ángulo de  $60^{\circ}$ , por lo que, resulta importante el utilizar lente convergente para volver a concentrar el haz.



En una lente convergente, el foco principal  $F$ , se define como el punto donde se reúnen los rayos luminosos. Por simetría, cada lente tiene 2 focos principales, uno a cada lado de la lente y a la misma distancia del centro. Al plano perpendicular al eje principal que pasa por cada foco principal, se llama plano focal. Cuando mayor sea la curvatura del lente, menor será su distancia focal, la razón de esto es debido a que con una mayor curvatura, mayor es la desviación que sufren los rayos que cruzan por los bordes de la lente.

Las dioptrías están dadas por el recíproco en metros de la distancia focal. Por lo tanto, si se conoce el número de dioptrías, es posible conocer la distancia a la cual se deben colocar las lentes respecto al fotodiodo y al led respectivamente.

Otra posibilidad sería aumentar la potencia del led, haciéndolo pulsar a una frecuencia determinada, de esta forma se le podría drenar más corriente, pero específicamente para el diseño del transmisor no es posible sin realizar algunas modificaciones debido a que la información a transmitir son "unos y ceros lógicos" y confundiría los pulsos con la información.

El diodo emisor de luz infraroja TIL 38, se incorpora al circuito de la siguiente forma:

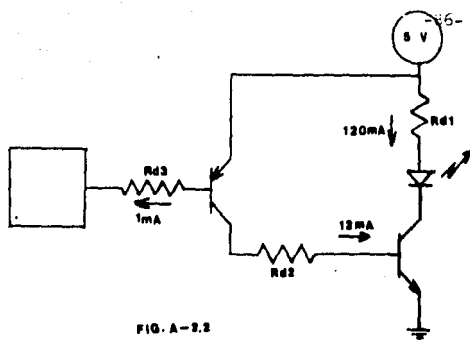


FIG. A-2.2

La corriente máxima del TIL 38 es de 150mA, utilizando un 80% de ésta y calculando Rd1 se tiene:

$$V_{cc} - V_{ce} - V_{ce} = I R_{d1}$$

$$R_{d1} = \frac{5 - 1.4 - .2}{0.12} = 28.3 \Omega$$

Para  $R_{d2}$ :

$$\frac{V_{cc} - V_{ce} - V_{ce}}{I_2} = R_{d2}$$

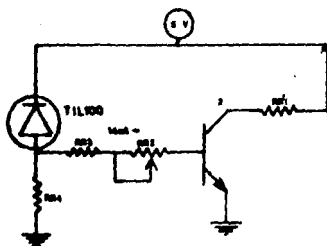
$$R_{d2} = \frac{5 - .2 - .2}{.012} = 383.2 \Omega$$

Para  $R_{d3}$ :

$$R_{d3} = \frac{V_{cc} - V_{be} - V_{ce}}{I_3}$$

$$= \frac{5 - .7 - .2}{.001} = 3900 \Omega$$

Mientras que para el receptor puede ser conectado el fotodiodo de la siguiente forma:



$$RR1 = \frac{5 - 0.2}{0.14 \times 10^{-3}} = 34 \text{ K}\Omega$$

$$RR3 = \frac{5 - 0.5 - 0.7}{14 \times 10^{-3}} = 271 \text{ K}\Omega$$

$$RR4 = \frac{5 - 0.4}{1 \times 10^{-6}} = 4 \text{ M}\Omega$$

FIG.A-3

RR2 es una resistencia variable para poder controlar la sensibilidad del dispositivo.

## CONCLUSIONES

Es el desarrollo de un sistema formado por dos circuitos: transmisor y receptor.

La comunicación entre ambos se podrá lograr por medio de un alambre, vía telefónica, radiofrecuencia, fibras ópticas, luz infraroja, etc., dicho método de comunicación variará según la aplicación que se quiera dar a este sistema. Se diseñó un método por el cual se puede lograr la comunicación por medio de luz infraroja.

La construcción del sistema se realizó utilizando la comunicación entre transmisor y receptor por medio de luz infraroja, como se especificó en el apéndice.

Se obtuvieron resultados aceptables logrando una comunicación entre ellos a una distancia mayor a 6 metros sin presentar problemas de alineación del transmisor respecto al receptor, debido a que ambos son muy direccionales y entre mejor direccionados estén, más eficiente es el sistema y por lo tanto se puede lograr una transmisión a mayor distancia, pudiéndose lograr una buena transmisión hasta 15 metros. Para aumentar la distancia hasta una mayor a 30 metros es drenándole más corriente a los diodos emisores de luz infraroja, pero no con corriente directa sino pulsándolos, habiendo que mo-

dificar ligeramente el circuito. Ya que, se están transmitiendo "unos y ceros" como información y el receptor tendrá que ser capaz de distinguir los pulsos con la información:

El transmisor tiene varias ventajas y desventajas:

Ventajas: Pequeño, portátil.

Desventajas: En el mercado en México, fue prácticamente imposible realizarlo en CMOS, debido a la escasez de componentes deseados, por lo que se realizó en TTL, con la desventaja del consumo de corriente, aunque éste es únicamente durante el tiempo de transmisión.

Mientras que para el receptor tenemos:

Ventajas: Debido a la redundancia que tiene, es prácticamente imposible recibir información errónea. Tal redundancia es causa de sus principales desventajas, como son: Tamaño, Consumo de Corriente y por la misma razón que en el transmisor se construyó el circuito con lógica TTL, pero también existen componentes de tipo CMOS compatibles a estos, con lo cual se logrará disminuir el consumo de corriente.

Se compensa el tamaño y costo en algunas aplicaciones en las que se utilizará un receptor con 255 transmisores, como se mencionó anteriormente.



B I B L I O G R A F I A

1. Angelo E. James."Electronics:BJTs,FETs, and Microcircuits". Ed. Mc Graw-Hill . Kogokūsha. Japón 1969.
2. Blakeslee,T.R. "Digital Design with standard MSI and LSI". New York.1975
- 3.Will J. Frederick,Peterson R. Gerald."Introduction to switching theory and Logical Design".Wiley International Edition. U.S.A. 1974
4. Horowitz Paul, Will Winfield. "The art of Electronics". Cambridge University Press.1980
5. "Individual Learning Program Microprocessors". Health Company. US.A. 1977
6. Lancaster D. "TTL Cookbook". Indianapolis 1979
7. Lancaster D. "CMOS Cookbook". Indianapolis 1977
8. Mañdonado Enrique. "Sistemas Electronicos Digitales". Boixareu Editores. Barcelona 1980
9. Killman Jacob."Microelectronics,Digital and analog Circuits and Systems". Mc Graw-Hill. U.S.A. 1979
10. "The TTL Data Book". Texas Instruments Inc. U.S.A. 1976
11. White E. Harvey. "Física Moderna". Ed. Montaner y Simon,S.A. Barcelona. 1965