

22



# Universidad Nacional Autónoma de México

FACULTAD DE INGENIERIA

DISEÑO E IMPLEMENTACION DE UNA UNIDAD DE MONITOREO PARA UNA RED DE COMUNICACION DE DATOS, EN BASE A UN MICROPROCESADOR.

## T E S I S

Que para obtener el título de INGENIERO EN COMPUTACION

presenta

**ALEJANDRO MENDEZ FUENTES**

Dir: Ing. Juan Carlos Roa Beiza



México, D. F.

1987



Universidad Nacional  
Autónoma de México



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

# I N D I C E

INTRODUCCION.....	CAPITULO I	1
1. Definición del problema.		
2. Comparación de un sistema mecánico con un sistema electrónico.		
3. Redes de computadoras y monitor.		
4. Breve información de algunos microprocesadores.		
REDES DE COMUNICACION.....	CAPITULO II	25
1. Enlaces por línea privada y línea conmutada.		
2. Interfase para comunicación de datos RS-232-C.		
3. Teoría de operación de un modem.		
4. Redes de computadoras.		
MICROPROCESADOR 6809.....	CAPITULO III	71
1. Descripciones generales.		
2. Arquitectura de software.		
3. Modos de direccionamiento.		
4. Conjunto de instrucciones.		
PERIFERICOS PARA EL 6809.....	CAPITULO IV	125
1. Tipos y características.		
DISEÑO E IMPLEMENTACION DEL SISTEMA DE DESARROLLO (HARDWARE)....	CAPITULO V	131
ANALISIS Y ADAPTACION DEL MONITOR (SOFTWARE).....	CAPITULO VI	139
PRUEBAS DEL SISTEMA DE DESARROLLO.....	CAPITULO VII	181
DISEÑO E IMPLEMENTACION DE LA UNIDAD DE MONITOREO.....	CAPITULO VIII	185
0. Descripción y características del actual sistema de monitoreo.		
1. Controlador de la unidad de conmutación.		
2. Circuitos de conmutación.		
3. Integración de la unidad.		
INSTALACION, PRUEBA Y OPERACION.....	CAPITULO IX	233
CONCLUSIONES Y PROPUESTAS.....		239
1. Monitoreo automatizado.		
2. Generación de estadísticas.		
3. Rutinas de diagnóstico.		
4. Enlaces alternos.		
5. Interfase a un probador de modems.		
APENDICE.....		250

=====

C A P I T U L O    I

I N T R O D U C C I O N

=====

## I.1 DEFINICION DEL PROBLEMA.

El trabajo que se desarrolla a continuación tiene como objetivo fundamental , el substituir un sistema de monitoreo electromecánico por un sistema monitor de comunicaciones basado en un microprocesador. El paso intermedio para llevar a cabo esta implementación, consiste en el desarrollo de un sistema básico utilizando un microprocesador, estructurando el hardware y software necesarios que permitan un conocimiento general del sistema .

El sistema monitor de comunicaciones se define como un elemento que coadyuve en la operación y mantenimiento de una red de teleproceso para la deducción y/o detección de fallas en el funcionamiento de la misma. El desarrollo de la unidad de monitoreo tiene justificaciones de costo, tiempos de operación y respuesta, dimensiones físicas, consumo de potencia y capacidad de expansión y desarrollo. Es necesario que el sistema de monitoreo tenga la estructura funcional adecuada para operar en forma correcta con las actuales computadoras.

Se debe entender que la unidad de monitoreo que se pretende desarrollar es sólomente el primer paso hacia un sistema automatizado de monitoreo que explotará todas las ventajas del sistema basado en el microprocesador, con el propósito de lograr el mayor grado de eficiencia en la operación de una red de comunicación de datos de una computadora.

## I.3 COMPARACION DE UN SISTEMA MECANICO CON UN SISTEMA ELECTROMECHANICO.

Existen actualmente sistemas para monitores de redes de comunicación de datos, cuyo funcionamiento es totalmente electromecánico: dichos sistemas basan su funcionamiento en conjuntos de relevadores electromecánicos, controlados por medio de switches mecánicos. Los switches generan las señales que permiten seleccionar el enlace de comunicación de datos que se desea monitorear; por medio de los relevadores, el enlace seleccionado se conecta hacia los buses analógico y digital, para desplegarse en la unidad de control del monitor.

El primer problema que se presenta con los actuales sistemas se tiene en los switches de selección, pues presentan comúnmente problemas de desgaste y contactos defectuosos (falsos 1); algo similar sucede con los relevadores que monitorean las líneas de los enlaces, pues se presentan problemas de contactos defectuosos e imantación permanente, además de que su tamaño físico y consumo de corriente los hace poco costables. En otro nivel, los tiempos de respuesta en switches y relevadores los hace poco útiles para ser tomados en cuenta en futuros desarrollos.

Las características mencionadas indican que los actuales sistemas de monitoreo tienen totalmente la posibilidad de ser los desarrollos utilizando la arquitectura, por lo que es necesario el diseño de un nuevo sistema que permita sustituir al actual, mejorando su funcionamiento y permitiendo tener la capacidad

técnica necesaria para la adaptación e implementación de futuros sistemas.

### I.3 REDES DE COMPUTADORAS Y SISTEMA DE MONITOREO.

Quando se tiene alguna relación en la planeación, diseño, operación y mantenimiento de una red de teleproceso, es importante contemplar la posibilidad de monitorear ciertas señales de la interfase de comunicación de la computadora, con el objetivo de detectar fallas en la comunicación de datos y darles solución. Sobre esto es importante mencionar que al realizar el mantenimiento preventivo y correctivo dentro de una red de comunicación de datos se requiere tener una forma de acceso hacia los enlaces que establecen la comunicación con terminales remotas, ya que en general, en las configuraciones de las macrocomputadoras, se tiene que el número de terminales que operan en forma remota es mayor que el número de terminales que operan en forma local, de manera que es muy importante tener una herramienta como el monitor para realizar el mantenimiento y conservar el grado de operación de la red en un nivel adecuado.

Si hablamos del caso de tener un modem conectado a una computadora, y deseáramos supervisar la comunicación respecto al modem, deberíamos de tener la posibilidad de monitorear las líneas de comunicación analógica y digital ( fig. I.3.1 ). En este caso es relativamente fácil revisar por medio de instrumentos de medición las líneas de comunicación para detectar fallas y resolverlas, pero si hablamos de redes de comunicación de datos, donde existen 30 o más enlaces a través de modems, la capacidad de monitorear las señales de alguno de esos modems se

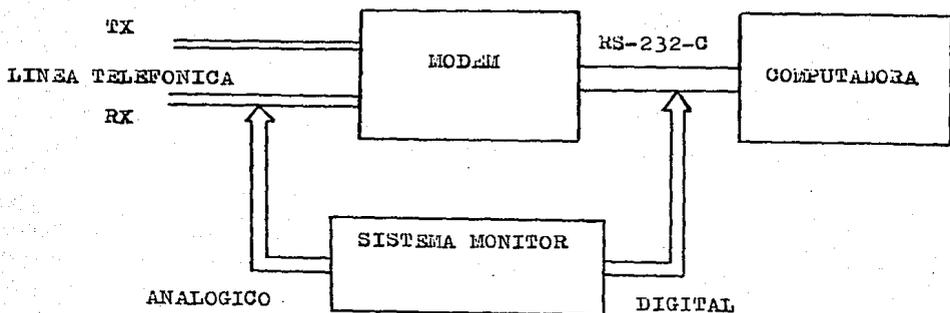


FIGURA I.3.1. MONITOREO DE UN MODEM

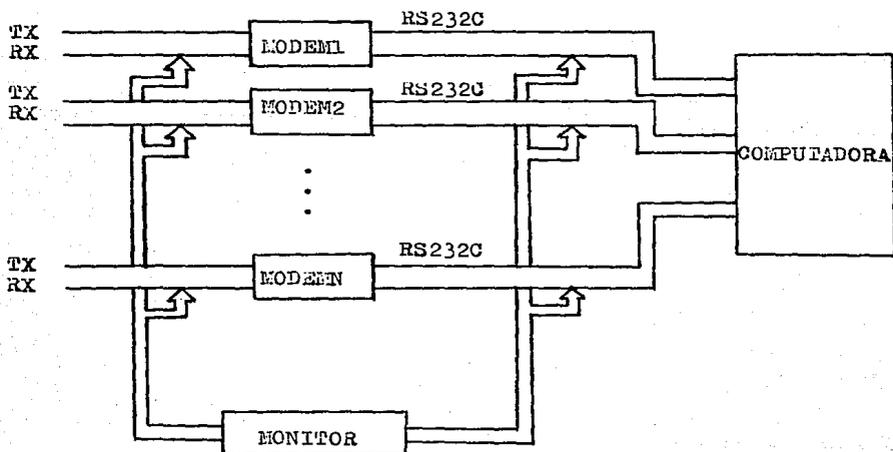


FIGURA I.3.2. MONITOREO DE N MODEMS

convierte en un problema funcional y operacional que provoca limitantes y retrasos en el mantenimiento. Es entonces cuando el sistema de monitoreo adquiere gran importancia y justifica su existencia en la operación de un centro de cómputo. (fig. I.3.2 )

La posibilidad de muestrear señales de comunicación, y al mismo tiempo poder aplicar señales de prueba, otorga la capacidad de detectar fallas a nivel de canales de comunicación, modems y computadora, convirtiéndose en un gran apoyo a la operación de la red.

#### I.4 INFORMACION GENERAL DE MICROPROCESADORES.

Uno de los mas significativos avances de la década pasada fue el surgimiento de los circuitos de gran escala de integración (LSI - Large Scale Integrated). Los avances tecnológicos y de métodos de manufactura han permitido la producción de circuitos muy complejos sobre una sola tableta de silicio empaquetada, llamadas "chips".

La evolución en el campo de la lógica digital fue a través de etapas de producción de subunidades estándar de lógica en circuitos integrados (IC - Integrated Circuits).

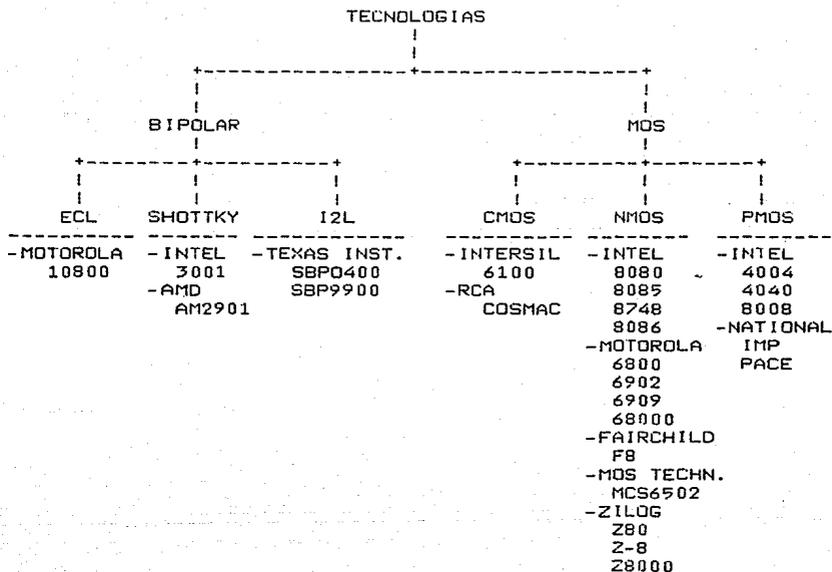
En la primera etapa, surgieron las compuertas simples y flip-flops en chips de pequeña escala de integración (SSI - Small Scale Integrated). Estos fueron seguidos por chips en mediana escala de integración (MSI - Medium Scale Integrated) que contenían registros, contadores, codificadores, etc. El número de elementos en un chip esta determinado en gran manera por el número de conexiones externas del chip. Así, es típico encontrar un multiplexor de 8 entradas y una salida, o bien cuatro flip-flops en un chip de 16 patas (pines).

Conforme aumentaba la habilidad para construir IC's con gran densidad de elementos lógicos, se hizo ventajoso considerar circuitos que requerirían un gran número de elementos pero relativamente pocas conexiones externas. El resultado fue la aparición de chips más complejos, tales como las unidades aritméticas y lógicas (ALUs), capaces de ejecutar las funciones

aritméticas y lógicas comunes sobre operandos de cuatro bits. Primero aparecieron chips capaces de operar sobre cuatro bits en paralelo. Como estos tenían la capacidad de procesamiento, pero no el tamaño y el poder de una minicomputadora, fueron llamados microprocesadores. Sin embargo, pronto aparecieron chips más poderosos. Actualmente hay una gran variedad de microprocesadores capaces de operar con 8, 16 y hasta 32 bits.

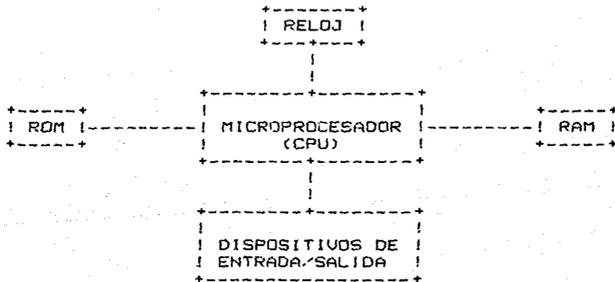
Los primeros microprocesadores se manufacturaron utilizando tecnología P-MOS, ya que fue el primer proceso que posibilitó la construcción efectiva de circuitos LSI. Otras tecnologías pronto se hicieron disponibles, siendo en el presente las más comúnmente usadas: la tecnología N-MOS, útil para aplicaciones de media y baja velocidad. Permite alta densidad de elementos lógicos en el chip, lo que es muy importante en sistemas donde se desea conservar el número de chips al mínimo. La tecnología CMOS se utiliza para fabricar microprocesadores con bajo consumo de potencia y considerable flexibilidad en cuanto a requerimientos de su fuente de poder. Chips más eficientes se fabrican con tecnología TTL, particularmente utilizando procesos Shottky de baja potencia. Chips aún más poderosos se fabrican utilizando tecnologías ECL e ICL.

La siguiente figura muestra un resumen de las diferentes tecnologías de construcción de chips, con algunos ejemplos representativos.



Un microprocesador es un chip que contiene la aritmética, lógica y circuitería de control para un procesamiento de propósito general, control y/o sistema de cómputo. Tal combinación, que algunas veces incluye una pequeña cantidad de memoria en el mismo chip, es la unidad central de procesamiento (CPU) del sistema, generalmente referido simplemente como procesador.

Para ejecutar todas las tareas requeridas por cualquier sistema basado en microprocesador, se debe agregar el CPU; memoria adicional, un reloj, e interfaces para dispositivos periféricos de entrada/salida. Un diagrama de bloques de tal sistema se muestra a continuación:



Los chips ROM almacenan el programa y tablas de fábrica. Si el programa no es de fábrica entonces se usan PROMS o EPROMS. El almacenamiento temporal reside en chips de RAM o para grandes volúmenes de almacenamiento se emplean discos magnéticos flexibles (Floppies) o cintas de cassette. Los dispositivos de entrada/salida pueden ser teclado, display de tubo de rayos catódico (CRT), cintas de papel o magnéticas, una impresora, o transductores de medida física a señal eléctrica digital y

viceversa.

El uso de microprocesadores en áreas de aplicación es virtualmente ilimitado. Su impacto inicial fue en el área de las calculadoras. A esta muy natural aplicación, pronto siguieron muchas otras.

Los microprocesadores han encontrado gran aplicación en el equipo estándar de sistemas de computadoras. Son usados en controladores para discos magnéticos, así como en terminales "inteligentes". Los sistemas de adquisición de datos pueden ser simplificados usando microprocesadores en puntos remotos como dispositivos de colección de datos. Esto permite algún procesamiento antes de enviar los datos a la computadora principal.

La mayoría de las máquinas que requieren mucha circuitería de control proveen un buen medio ambiente para el uso de microprocesadores. Estas incluyen terminales de punto-de-venta y máquinas de uso administrativo en general. Existen muchas posibilidades en el hogar, donde los microprocesadores pueden controlar instrumentos sofisticados, sistemas de seguridad, temperatura y alumbrado, así como proveer un medio de entretenimiento a través de juegos.

Otra área que se muestra muy promisoría es la instrumentación. La electrónica sofisticada es necesaria en muchos instrumentos, teniendo un efecto adverso en su precio. Mucha de esta circuitería electrónica puede ser frecuentemente reemplazada con un microprocesador, reduciendo el costo del producto y generalmente incrementando su versatilidad.

Esto nos lleva al área de aplicación general donde los microprocesadores pueden usarse intensivamente. Muchas máquinas, instrumentos y procesos envuelven circuitos electrónicos de control. Estos circuitos lógicos pueden construirse dentro de una máquina o instrumento o pueden ser parte de un "panel de control" separado. Su función principal es gobernar la secuencia de tareas a ser ejecutadas. Esto es similar a las funciones ejecutadas por los circuitos de control de una computadora típica. Los circuitos de electrónicos de control pueden ser reemplazados con instrucciones dentro de una "memoria de control", las cuales son ejecutadas por un microprocesador que genera las señales que de otra forma serian producidas por los circuitos de control. La estrategia de reemplazar electrónica alamburada con microprocesadores y chips de memoria generalmente resulta en reducciones en el costo. Ya que los circuitos reemplazados tienen una estructura fija, es razonable pensar que la memoria de control consistirá principalmente de chips de ROM. Las ventajas de usar microprocesadores de esta manera son numerosas. Además de reducir costos, el proceso de diseño se simplifica, además de reducirse el número de componentes electrónicos adicionales. Muchos errores de diseño pueden ser corregidos y nuevas opciones agregadas simplemente cambiando el contenido de la memoria de control. El único problema aparece cuando la velocidad de operación es un factor crítico. El control microprogramado no puede alcanzar la velocidad de los circuitos

alambrados. Sin embargo, en muchas aplicaciones la velocidad de ejecución requerida cae dentro de los límites alcanzados por los microprocesadores.

La elección del microprocesador afecta grandemente las características del sistema. Entre las características importantes a considerar al elegir un microprocesador están:

#### a) PROPOSITO DEL MICROPROCESADOR.

El propósito del microprocesador es un parámetro difícil de evaluar que no siempre se encuentra en la hoja de especificaciones; sin embargo es probablemente la consideración mas importante en la elección de un microprocesador para un sistema.

Los microprocesadores son dispositivos de propósito general que pueden llevar a cabo cualquier tarea si se les da suficiente circuiteria de soporte externa y tiempo de procesamiento; pero tienen características de diseño que los hacen mas convenientes para ciertas aplicaciones. Los dos propósitos mayores son proceso electrónico de datos (EDP - Electronic Data Processing) y control. EDP se refiere a tareas que requieren gran cantidad de operaciones aritméticas.

El propósito de un microprocesador puede juzgarse revisando características tales como el ancho de la palabra, el conjunto de instrucciones y el hardware y software de soporte.

Un ancho de palabra de cuatro bits es indicativo de un controlador. La aritmética y la manipulación de caracteres ASCII son difíciles de implementar usando una

palabra tan angosta, teniendo que usarse aritmética de precisión cuádruple para representar números relativamente pequeños como el 23,754. Por otro lado, un ancho de palabra de cuatro bits resulta adecuado para muchas aplicaciones de control. Por ejemplo, hasta 16 luces de tráfico pueden representarse con un código de cuatro bits. Microprocesadores de mayor ancho de palabra, generalmente indican una orientación de EDP.

El conjunto de instrucciones da un buen indicio del propósito. Un conjunto de instrucciones que no permite corrimientos aritméticos ni aritmética en complemento a dos, no es adecuado para tareas de EDP. Por ejemplo el micro de 8 bits 8080 de Intel solamente maneja números sin signo, no ejecuta corrimientos aritméticos y no tiene un buen grupo de instrucciones para brinco aritméticos. Este microprocesador fue inicialmente una versión mejorada del microcontrolador 8008 y su conjunto de instrucciones revela su semejanza con un microcontrolador. Como mucha gente intentaba usar el 8080 como un procesador de datos, Zilog capitalizó la situación incluyendo muchos corrimientos aritméticos y detección de overflow aritmético en su microprocesador Z80, una mejora del 8080.

El soporte de hardware y software da más evidencia del propósito de un microprocesador. Un chip controlador simple no tiene muchos chips de soporte tales como controladores de discos flexibles, unidades de mapeo de memoria, o modems de un solo chip, ya que un controlador no requiere este tipo

de soporte. Un microprocesador orientado a EDP, tiene una base amplia de soporte de hardware y software, mostrando así su propósito.

b) TAMAÑO DE PALABRA DEL MICROPROCESADOR.

El tamaño de palabra de un microprocesador se define como el número de líneas en paralelo contenidas en el bus de datos. El tamaño de palabra tiene gran efecto en la capacidad y complejidad del sistema.

Las instrucciones y datos se almacenan en una memoria del mismo tamaño de palabra que el microprocesador. La ventaja de usar tamaños grandes de palabra es que se pueden manejar rangos de valores aritméticos grandes sin tener que recurrir a aritmética de precisión múltiple. También se puede tener un mas grande conjunto de instrucciones de una sola palabra. Al usar tamanos grandes de palabra, es necesario usar buses y conectores también más grandes. Es sensato conservar el tamaño de palabra tan pequeño como sea posible, ya que esto se refleja en los costos, especialmente en el área de memoria.

c) BIT-SLICING.

Algunos microprocesadores del tipo bipolar que poseen una gran velocidad, son los llamados bit-sliced. Microcomputadoras de tamaño grande de palabra pueden construirse de algunos "slices" de procesador de 4 u 8 bits.

El bit-slicing, se usa por razones de disipación térmica. Los circuitos bipolares LSI demandan gran corriente y tienden a calentarse. Un microprocesador de 16 bits y hasta

uno de 8 bits generan mas calor del que puede disipar un solo "package".

Los procesadores bit-slice son generalmente mas parecidos a bloques de construcción LSI que a un procesador con un conjunto de instrucciones y protocolos perfectamente definidos. Uno mismo puede elegir el tamaño de palabra y el método de ejecución de las instrucciones con solo variar el número de bit-slices y cambiando el contenido de la memoria de control, que es donde se encuentra el microprograma de secuencia de control.

Los microprocesadores bit-slice son muy usados en la construcción de minicomputadoras.

#### d) VELOCIDAD DE PROCESAMIENTO.

La velocidad de procesamiento es la rapidez con que un microprocesador ejecuta un programa de aplicación y depende de tres especificaciones básicas:

-Velocidad del reloj: Se define como la frecuencia de la entrada de reloj del microprocesador. Como el reloj gobierna todas las operaciones de tiempo dentro del sistema, tenemos que una velocidad de reloj alta permite ejecutar mas operaciones dentro de un periodo de tiempo determinado; pero asimismo requiere de interfases mas veloces y complejas.

-Velocidad de adquisición/ejecución : esta velocidad, generalmente se expresa en microciclos, que son el número de ciclo o pasos operacionales requeridos para ejecutar una instrucción dada. Un microciclo consiste de uno o mas ciclos de reloj. Típicamente, un microciclo puede ser usado para traer la instrucción; uno o dos mas pueden usarse para acceder los datos, y varios mas para ejecutar la instrucción. El número de microciclos requeridos para ejecutar una instrucción es afectado por el modo de direccionamiento y la complejidad de la instrucción.

-Repertorio de instrucciones: Los tipos de instrucciones que un microprocesador puede ejecutar determinan su conveniencia a una tarea determinada. El conjunto de instrucciones de un microprocesador debe orientarse al tipo de procesamiento que se llevará a cabo. En una aplicación de controlador, se debe poner particular atención a las instrucciones de entrada/salida. En una aplicación de EDP, las instrucciones para manipulación de datos (corrimientos aritméticos, instrucciones para complemento a dos, y brincos aritméticos) deben ser tomadas en cuenta.

Cada microprocesador ejecuta sus programas en forma diferente. Algunos emplean un reloj de gran velocidad y usan muchas operaciones pequeñas (como el TMS9900, 8080 y Z80). Otros emplean un reloj de baja velocidad pero usan un pequeño grupo de instrucciones poderosas (los microprocesadores M6800 y 6500). La instrucción load-high-and-low-direct del 8080 es exactamente la misma que la instrucción load-index-register-extended del 6800; cada una carga un registro de 16 bits que es usado para propósito general y como registro de índice. El 8080 utiliza 16 ciclos de reloj contra solo 5 ciclos que utiliza el 6800. Es obvio entonces que la velocidad del reloj no es el único indicador válido de la velocidad del sistema. La velocidad del reloj sólo puede compararse directamente cuando se habla del mismo procesador.

#### e) DISIPACION DE POTENCIA.

En sistemas donde la potencia es un factor crítico, la disipación de potencia del microprocesador se vuelve un problema mayor. La disipación de potencia depende de la tecnología de construcción y la complejidad del dispositivo, y en muchos casos de la velocidad del reloj.

Microprocesadores de tamaño grande de palabra, requieren más complejidad para manejar tantas vías de datos, y por tanto consumen más potencia que micros de palabra más pequeña, de la misma tecnología.

Los microprocesadores bipolares de alta velocidad consumen más potencia que todos los demás. Disipación de potencia

regular se consigue con microprocesadores NMOS y PMOS, mientras que los CMOS disipan la menor potencia.

La velocidad del reloj afecta la disipación de potencia de la mayoría de los microprocesadores (excepto los construidos con tecnología ECL - Emitter Coupled Logic). A menor velocidad de reloj, se disipa menos potencia.

#### f) CAPACIDAD DE INTERRUPCIONES.

En ocasiones, en alguna aplicación se requiere detener temporalmente la ejecución de un programa para que se atienda una cierta tarea que requiere atención inmediata. Si se tiene este requerimiento, es conveniente elegir un procesador con buena capacidad para el manejo de interrupciones.

Los sistemas con prioridades de interrupciones permiten que varios dispositivos interrumpan al microprocesador simultáneamente, determinando automáticamente que tarea debe ejecutarse primero. Para esto, se requiere generalmente un dispositivo LSI separado como el Intel 8259, que es una unidad de control de prioridad de interrupciones (PICU - Priority Interrupt Control Unit).

#### g) ACCESO DIRECTO A MEMORIA.

El acceso directo a memoria (DMA - Direct Memory Access) se refiere a la operación cuando un dispositivo distinto del microprocesador es capaz de acceder directamente la memoria. Esta característica es buena cuando se tienen que hacer transferencias de grandes bloques de datos, liberando al microprocesador de este

trabajo.

Las transferencias por DMA son mucho más rápidas que las transferencias de datos controladas por programa. Si el sistema requiere mucha velocidad en el acceso de datos por dispositivos externos, es imperativo seleccionar un microprocesador con capacidad para DMA.

Muchos microprocesadores cuentan con chips de soporte para DMA. Estos chips reducen la complejidad de las interfaces y simplifican la tarea de diseño.

#### h) ARITMETICA DECIMAL.

Frecuentemente es deseable almacenar datos en forma binaria decimal codificada (BCD - Binary Coded Decimal) y no en forma de bytes de precisión múltiple. El tiempo y memoria necesarios para las conversiones, puede evitarse en estos casos utilizando microprocesadores que ejecutan aritmética BCD sobre números codificados en BCD de 4 dígitos empaquetados en bytes de 8 bits.

#### i) MÁS DE UN PROVEEDOR.

Siempre es deseable trabajar con microprocesadores que son manufacturados por más de una compañía. Cuando un proveedor tiene problemas, se puede recurrir a otro y se asegura la provisión de los chips utilizados por el sistema.

Otra ventaja es el beneficio que resulta de la competencia. Como los proveedores compiten en el mismo mercado, la única forma que tienen de destacar es produciendo más y mejores chips de soporte que los competidores.

#### J) COSTO.

El costo de un sistema es uno de los elementos de mas alta prioridad. Al evaluarse el costo del sistema, no solo debe tomarse en cuenta el costo del microprocesador, se debe evaluar también el costo de los chips de soporte, de las interfases, y de los demás elementos del sistema.

#### K) SOPORTE DE SOFTWARE.

La producción de software es costosa, y no es raro que los costos de software rebasen los costos de hardware. Por esta razón es muy deseable microprocesadores con una gran base de software. Editores, ensambladores y lenguajes de alto nivel aceleran el desarrollo de un sistema. El nivel de soporte de software es menos crítico para microprocesadores del tipo controlador, que solo ejecutan pequeños programas de control.

#### l) CAPACIDAD PARA EL MANEJO DE CARGA.

La tecnología de construcción del microprocesador determina que niveles de voltaje y que corriente hay en los "pins" de salida del micro. Estas características determinan cuanta circuiteria de soporte se necesita incorporar al sistema.

Muchos microprocesadores MOS se dice que son compatibles con TTL, lo cual es incorrecto, ya que generalmente sólo se puede manejar una o dos cargas TTL estandar. En algunos casos sólo es posible manejar una carga TTL de baja potencia. Para manejar muchas cargas TTL es necesario incorporar buffers (Amplificadores de corriente) a la mayoría de los microprocesadores MOS.

Para eliminar los buffers en sistemas de configuración mínima, se creó para algunos microprocesadores una gran cantidad de chips de soporte y memoria que presentan una carga muy ligera al bus del microprocesador. El chip M6800 es un buen ejemplo, puede manejar hasta ocho dispositivos sobre un bus, sin tener que usar buffers. Esquemas bien pensados como este, pueden ahorrar partes de interfase en un sistema mínimo.

Los microprocesadores bipolares pueden manejar generalmente muchas cargas del mismo tipo de tecnología de la que ellos están contruidos. El microprocesador bipolar Texas Instruments 74S481 maneja una corriente de 10 mA en sus líneas de direcciones; esta corriente es suficiente para manejar seis cargas TTL estandar.

#### m) FILOSOFIA DE LA ARQUITECTURA.

Los microprocesadores, como las computadoras grandes, tienen muchas formas de arquitectura. Dos son los tipos de arquitectura actualmente mas populares: Los microprocesadores orientados a registros como el 8086, Z8000 y la serie RCA 1800, y los microprocesadores orientados a memoria como el 6800, 6500 y la serie 9900.

La capacidad de operación de un stack es otra característica estructural encontrada en muchos microprocesadores. Las características estructurales tienden a simplificar ciertas tareas. Un stack es útil cuando se tienen que ejecutar muchas subrutinas.

El procesamiento orientado a memoria es útil cuando se trabaja con bases de datos grandes en memoria. Una vez más, el conjunto de instrucciones dirá lo que la arquitectura del

microprocesador es capaz de hacer:

=====

C A P I T U L O    I I

R E D E S   D E   C O M U N I C A C I O N

=====

## II.1 LINEA TELEFONICA.

Una línea telefónica que se utiliza para propagar conversaciones de voz en forma de señales analógicas se conoce como línea telefónica de grado voz; ésto es porque se deben transportar las frecuencias contenidas en la banda de voz o sea las frecuencias de 300 Hz a 3K Hz. Con el propósito de mantener separados y empaçados los canales, se asigna una banda completa de 300 Hz - 3K Hz para cada canal de voz que circula a través de la red portadora. Esta red constituye el sistema telefónico público ( o red telefonica publica switchheada ) y utiliza diferentes grupos de frecuencias para diferentes canales, presentándose una jerarquía de frecuencias en las diferentes partes que integran la red, conocida como grupos, supergrupos y grupos maestros. Un canal individual de 300 Hz - 3K Hz es corrido y asignado a diferentes grupos, subgrupos o grupos maestros a medida que circula por la red telefónica; cada operación de corrimiento lo realiza un equipo multiplexor por división de frecuencia. Esta jerarquía de frecuencias se muestra en la figura II.1.1 .

### LOOPS LOCALES.

Un loop local o loop del subscriber es un par de hilos que forman parte de la red telefónica switchheada, que son utilizados solamente por el subscriber y no son multiplexados con alguna

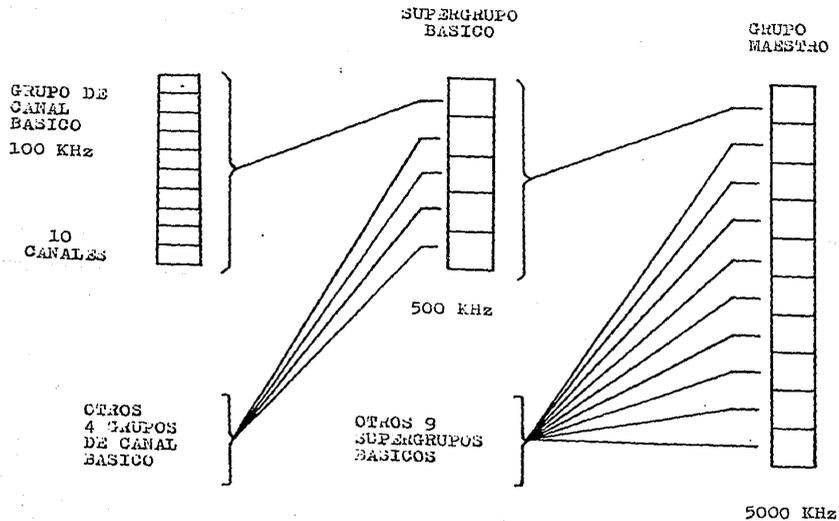


FIGURA II.1.1.1 CORRIMIENTO DE FRECUENCIAS Y ASIGNACION DE GRUPOS, SUPERGRUPOS Y GRUPOS MAESTROS

otra señal; los conductores no exceden en longitud un rango de 6.5 a 8 Km, aunque el tamaño promedio no excede los 3 Km. Los loops locales se acondicionan con bobinas para mejorar la transmisión de señales analógicas, pues su efecto inductivo elimina la capacitancia que se incrementa proporcionalmente a como se incrementa la longitud del loop. El loop local puede ser utilizado para transmitir datos, y las velocidades de transmisión dependerán de las distancias y técnicas utilizadas para realizarlas.

#### LINEAS RENTADAS Y LINEAS SWITCHHEADAS.

Las líneas telefónicas pueden ser switcheadas a través de las oficinas telefónicas centrales o pueden permanecer conectadas permanentemente. Una línea privada o rentada puede comunicar permanentemente dos equipos de computo. La línea privada no utiliza los equipos de switcher de la oficina central, y no requiere la señalización que requiere una línea switchheada, por lo que es posible utilizarla para transmitir datos a velocidades superiores. Además una línea privada se puede acondicionar para mejorar sus características de canal de comunicación e incrementar sus velocidades de transmisión.

#### ANCHO DE BANDA DE UN CANAL DE VOZ.

La capacidad portadora de un canal de comunicación se determina en función de las frecuencias que puede portar; el

rango de estas frecuencias es conocido como ancho de banda del canal. Fuera de este rango de frecuencias las señales son atenuadas de manera que el canal de comunicación se comporta como un filtro paso banda. La velocidad de transmisión de datos que posee un canal de comunicación es una función proporcional al ancho de banda. Los medios físicos de transmisión que se utilizan en telecomunicación poseen un ancho de banda superior a los 300 Hz - 3K Hz que utiliza una línea telefónica, por lo tanto el canal de telecomunicación se utiliza para conducir tantos canales de voz como sea posible, dividiéndolo en anchos de banda de 4000 Hz (figura II.1.2).

#### SEÑALIZACION DE UNA LINEA TELEFONICA.

Una línea pública de grado voz no puede asignar todo su ancho de banda a la transmisión de voz, pues utiliza ciertas frecuencias para su propia señalización. Estas frecuencias indican por ejemplo cuando un suscriptor ha colgado su teléfono y por lo tanto la línea puede ser desconectada. Un equipo de cómputo transmitiendo datos a sus velocidades nominales de operación, puede interferir en la operación de la línea. Por ésto, las características de ancho de banda de la línea telefónica limitan las velocidades a las cuales pueden transmitirse datos sobre la línea. Se pueden mencionar 4 principales ventajas en la utilización de líneas privadas para la transmisión de datos:

- De acuerdo al costo que tenga la utilización de una línea

privada, esta puede ser compartida por varios usuarios, asignando tiempos para su utilización.

- Con el objetivo de reducir errores e incrementar velocidades de transmisión, las líneas privadas pueden acondicionarse para reducir distorsiones en ellas.

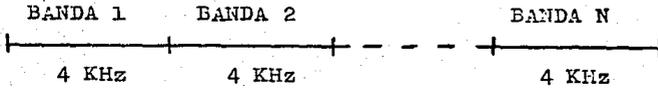
- El ancho de banda utilizado para la señalización en líneas switcheadas puede ser utilizado para la transmisión de datos.

- Al evitar ser manejada por equipo de switcheo, se reduce la tasa de errores debido al ruido involucrado por dicho equipo.

#### TRANSMISION HALF DUPLEX Y FULL DUPLEX.

Al realizar una transmisión sobre un canal de comunicación, se puede establecer que el sentido de la comunicación sea en ambas direcciones sobre el canal o en una sola dirección. Esto es, que un equipo de cómputo puede transmitir y recibir información al mismo tiempo ( full duplex ) o que solamente pueda transmitir o recibir información a un tiempo ( half duplex ) (figura II.1.3).

El modo de transmisión full duplex se puede implementar transmitiendo y recibiendo datos al mismo tiempo o transmitiendo datos en un sentido y señales de control en el otro. Las señales de control permiten determinar el sentido de flujo de la información para sincronizar la comunicación y resolver situaciones de errores en los datos recibidos. La comunicación simultánea se puede implementar por dos líneas telefónicas ( 4 hilos ) utilizando una para transmisión y otra para recepción o



ANCHO DE BANDA DEL CANAL =  $N \times 4 \text{ KHz}$

FIGURA II.1.2 CAPACIDAD DE UN CANAL DE TELECOMUNICACION

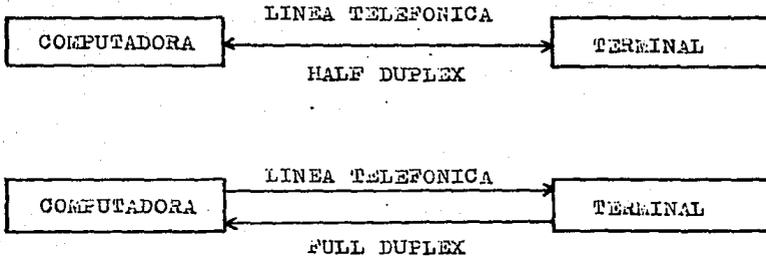


FIGURA II.1.3 TRANSMISION HALF DUPLEX Y FULL DUPLEX

se puede utilizar una línea de dos hilos, utilizando dos bandas de frecuencia para realizar la transmisión y recepción de la información.

#### TRANSMISION SERIE Y PARALELO.

Un dato digital puede ser transmitido sobre un canal de comunicación en los modos serie y paralelo; cualquier información que se transmite de un equipo de cómputo a otro esta formada por caracteres y estos caracteres estan conformados por grupos de bits. El número de bits que se utilizan para representar al caracter depende del código utilizado. Cuando se requiere transmitir un caracter, se puede seleccionar entre mandar los bits que lo representan, bit a bit en forma serial sobre una línea de transmisión o transmitir en paralelo, en donde cada bit que forma al caracter es transmitido sobre una diferente línea de comunicación. La transmisión en paralelo no es adecuada para realizar transmisiones a bajas velocidades sobre largas distancias, dado que resulta más barato realizar una transmisión serie sobre una línea de alta velocidad en comparación con transmitir en paralelo sobre varias líneas de baja velocidad. Sin embargo, una transmisión en paralelo puede reducir en costo de circuitería en un equipo de cómputo puesto que no se requiere de procesos de conversión paralelo-serie ni tampoco de circuitos para decidir qué grupos de bits corresponden a cuál caracter, ya que cada bit tiene asignada una línea. Una característica muy importante del modo de transmisión en paralelo es que se reducen

notablemente los tiempos de transmisión, aunque como se mencionó anteriormente, el costo de tener una línea de transmisión por cada bit, es elevado.

En el modo de transmisión serie, la desventaja de la velocidad de transmisión respecto a la transmisión paralelo se puede reducir si se emplea una línea de alta velocidad. En general, la transmisión en paralelo se encuentra principalmente presente en la arquitectura interna de las computadoras y además es la forma más adecuada de interconectar equipos que transfieren grandes cantidades de información, siempre y cuando los equipos se localicen próximos físicamente.

#### TRANSMISION SINCRONA Y ASINCRONA.

Una transmisión de datos se puede realizar en forma síncrona o asíncrona. La transmisión síncrona requiere de la existencia de sincronía entre el transmisor y el receptor; la información transmitida se agrupa en bloques de 100 o más caracteres que se transmiten juntos, y durante la transmisión de los bloques se requiere una completa sincronía.

En la transmisión asíncrona, un caracter es transmitido a la vez, utilizandose una estructura que permite identificar el inicio del caracter y su final; esto se logra a través de tener una señal de inicio o start y una señal de fin o stop entre las cuales queda contenido el grupo de bits que forman al caracter transmitido. Los tipos de caracteres más utilizados en una transmisión asíncrona son los pertenecientes a los códigos ASCII.

y Baudot y este tipo de transmisión es muy utilizada en dispositivos que generan caracteres y no tienen un buffer para almacenarlos, por lo que cada uno es transmitido con sus correspondientes señales de start y stop. Se pueden tener periodos indeterminados de tiempo entre un caracter y el siguiente.

La transmisión síncrona se utiliza cuando un equipo transmite a otro en forma continua y a altas velocidades, requiriéndose la existencia de sincronía entre ellos. Los caracteres a transmitir se agrupan en bloques que son transmitidos a intervalos iguales de tiempo. La sincronía es necesaria para que el receptor pueda distinguir entre los bits que forman a un bloque y de esta manera extraer los caracteres transmitidos. Las longitudes de los bloques son variables y pueden ir desde unos cuantos caracteres hasta varios cientos de ellos.

En una transmisión asíncrona, la unidad de transmisión es un caracter, en cambio en una transmisión síncrona, los caracteres se almacenan hasta completar un bloque para poder transmitirlo.

La transmisión síncrona requiere de un proceso previo a la transmisión que permite sincronizar al receptor y al transmisor, por medio de patrones de sincronización. Una vez lograda la sincronía es muy importante que los relojes en ambas máquinas generen señales de reloj con las mismas características que permitan mantener la sincronía establecida.

• Para establecer una protección contra errores en la transmisión síncrona, se puede añadir al final de cada bloque de

caracteres, patrones de bits para detección y/o corrección de errores.

#### DISTORSIONES EN LINEAS TELEFONICAS.

La comunicación de datos utilizando líneas de grado voz como medio de transmisión se ve afectada por un grupo de distorsiones que tienen un efecto determinante en el diseño de sistemas de comunicación basados en enlaces de comunicación por medio de líneas telefónicas. Las distorsiones más importantes se mencionan a continuación, así como una breve descripción de ellas:

- atenuación por respuesta en frecuencia
- retraso de envolvente
- variaciones de fase
- ruido impulsivo
- corrimiento de frecuencia
- distorsión armónica
- intermodulación

#### ATENUACION POR RESPUESTA EN FRECUENCIA.

El ancho de banda que posee una línea telefónica se sitúa entre las frecuencias de 300 y 3 300 Hz. Este es el rango de frecuencias las cuales el canal es capaz de portar y fuera de esta banda de frecuencias las señales son atenuadas en amplitud de manera que el canal telefónico se comporta como un filtro pasa banda con una banda de paso igual al ancho de banda del canal,

con frecuencias de corte  $f_1$  y  $f_2$  donde  $f_1 < f_2$ .

#### RETRASO DE ENVOLVENTE.

Las limitaciones en ancho de banda del canal provocan que no todas las componentes de frecuencia de una señal de entrada se propaguen hacia el receptor en el mismo intervalo de tiempo. Dado un ancho de banda, el punto de referencia con retraso cero se define como la frecuencia nominal en la mitad de la banda dada, de manera que en forma simétrica respecto a ese punto, las frecuencias se retrasan significativamente principalmente a partir de las frecuencias  $f_1$  y  $f_2$  que limitan el ancho de banda del canal. El retardo de algunas componentes de frecuencia se vuelve un elemento crítico cuando las velocidades de transmisión de datos son tan altas, que los tiempos de arribo entre símbolos que llegan al receptor se llegan a aproximar en magnitud con los tiempos de retardo. En esta situación, ocurre un traslape entre las señales de manera que el receptor presenta problemas para detectar correctamente la información; una alternativa para la solución de este problema es la utilización de equalizadores que compensan la respuesta en frecuencia de la línea, retardando las componentes de frecuencia que se encuentran en la mitad de la banda de paso, obteniéndose como resultado una curva de retraso de envolvente constante para todas las componentes de frecuencia (figura II.1.4).

#### VARIACIONES DE FASE.

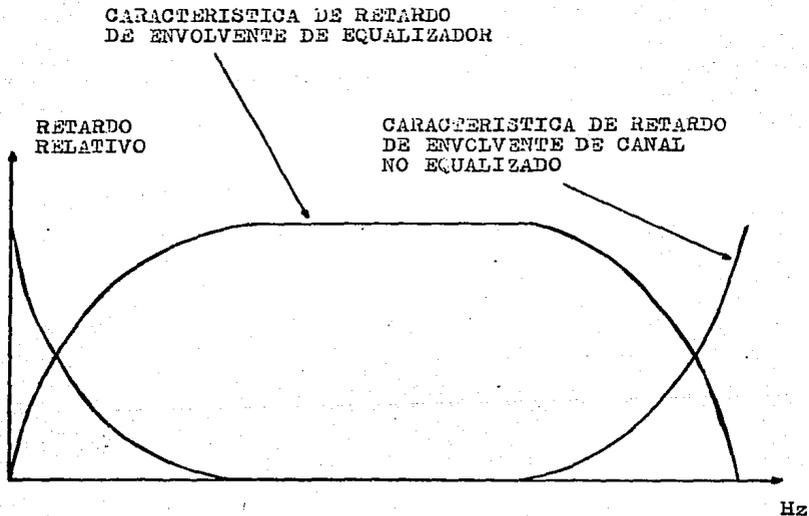


FIGURA II.1.4

EQUALIZACION DE LA RESPUESTA EN FRECUENCIA  
DE LA LINEA TELEFONICA

La fase de las señales que se transmiten por la red telefónica sufre algunas variaciones que provocan que las señales se aceleren, se retarden o tengan discontinuidades repentinas. En algunos casos, en los ciclos sucesivos de una señal, los puntos de cruce por cero se adelantan o se retrasan de manera que la señal parece comprimirse o expandirse alterando su fase, lo que provoca que el receptor no pueda detectar correctamente este parametro. Cuando se usa alguna técnica de modulación que utiliza la variación de la fase de la señal portadora, los cambios de fase generados por la moduladora provocan fluctuaciones en la fase que al presentarse en forma consecutiva en la señal portadora provocan que el receptor tenga problemas para detectar la señal recibida.

#### RUIDO IMPULSIVO.

Cuando una señal que esta siendo recibida presenta repentinas variaciones en su amplitud, se presenta un problema de distorsión conocido como ruido impulsivo. Se debe establecer un nivel de amplitud umbral para la señal, que marque el límite a partir del cual la amplitud se considera distorsionada por ruido impulsivo.

#### CORRIMIENTO EN FRECUENCIA.

Cuando una señal que se ha transmitido sobre un canal de

comunicación se recibe al final del canal con un valor de frecuencia constante diferente al valor con el cual fue originalmente transmitida, se presenta la distorsión por corrimiento de frecuencia. El equipo de comunicaciones involucrado en la transmisión de información debe ser capaz de manejar cierto rango de variación de frecuencia de la señal recibida.

#### DISTORSION ARMONICA.

Cuando un sistema de comunicaciones produce frecuencias en la salida además de las frecuencias originales de entrada, se están generando armónicos de distorsión de las frecuencias de entrada que se conocen como términos de distorsión armónicos. Esto se debe a que la mayoría de las señales en la banda de voz poseen una segunda componente armónica con suficiente potencia como para ser despreciada si se compara con la de la fundamental (figura II.1.5).

#### INTERMODULACION.

De las componentes en frecuencia que son transportadas por la línea telefónica, puede resultar que dos frecuencias  $f_1$  y  $f_2$  o sus armónicas  $nf_1$ ,  $mf_2$  ( $n, m = 0, 1, 2, \dots$ ) se combinen y generen una nueva componente de diferente frecuencia. Una combinación del tipo  $nf_1 + mf_2$  puede resultar en una nueva señal con la potencia suficiente para provocar errores en la recepción de la

información (figura II.1.6).

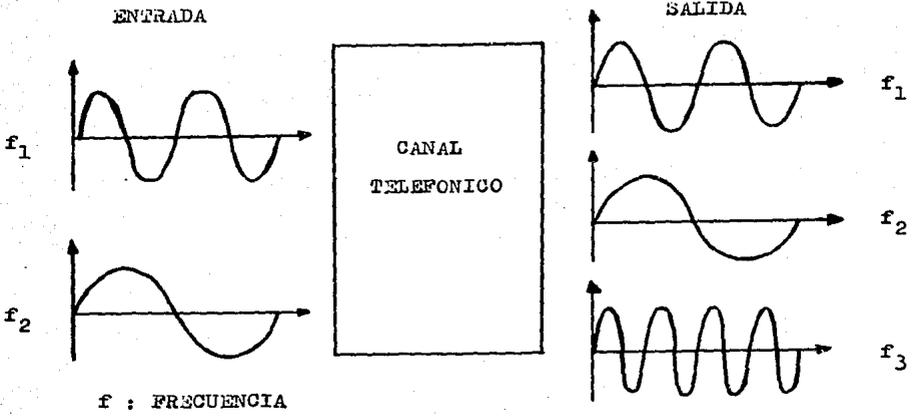


FIGURA II.1.5 DISTORSION ARMONICA

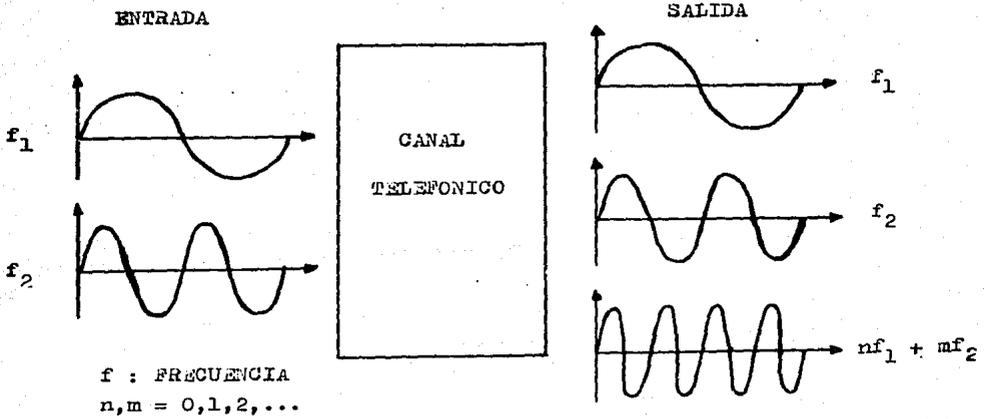


FIGURA II.1.6 INTERMODULACION

## 11.2 INTERFASE PARA COMUNICACION DE DATOS RS-232-C.

Cualquier equipo de cómputo que requiere un medio de comunicación, utiliza una interfase eléctrica. Dicha interfase se apega a los estándares desarrollados por la EIA (Electronics Industries Associations) por los Estados Unidos o por el CCITT (Consejo Consultivo Internacional de Telegrafía y Telefonía) para el resto del mundo. Las interfases EIA y CCITT son similares funcionalmente aunque existen diferencias entre ellas de acuerdo a las especificaciones establecidas para las diferentes aplicaciones.

Una interfase debe garantizar la compatibilidad en la interconexión de todo el hardware utilizado en la comunicación de datos que utilice esta interfase, sin importar la marca del equipo a interconectar. Los modems y otros equipos tales como los empleados para establecer enlaces vía microondas son llamados en forma general equipo de comunicación de datos (ECD); las terminales y computadoras que están transmitiendo y recibiendo datos son llamados equipo terminal de datos (ETD).

Un entendimiento de la interfase es vital para cualquier persona involucrada en el medio ambiente de redes de teleproceso en cualquiera de sus aspectos (planeación, diseño, instalación, etc.) dado que un monitoreo de las señales que forman a la interfase permite detectar las fuentes adecuadas de falla en el funcionamiento de la red. La interfase RS-232-C se caracteriza por los siguientes elementos:

1. El estándar es aplicable a la interconexión de equipo terminal de datos (ETD) y equipo de comunicación de datos (ECD) empleando intercambio de datos serie binarios.
2. Se incluyen en el estándar 13 configuraciones de interfase específicas con la intención de cumplir los requerimientos de 15 aplicaciones de sistemas definidos.
3. El estándar se aplica para utilizar velocidades de señalización de datos en el rango de cero a un límite superior nominal de 20000 bits por segundo.
4. El estándar se aplica para el intercambio de señales de datos, sincronía y control al ser utilizado conjuntamente equipo electrónico teniéndose un solo retorno común (tierra).
5. El estándar se aplica a servicios de comunicación de datos del tipo línea privada o red pública switchada.
6. El estándar se aplica para sistemas de comunicación de datos binarios serie tanto síncronos como asíncronos.
7. El data set (modem) puede incluir conversor de señal en transmisor y receptor así como funciones de control.

Todas las señales de datos circulan por la interfase EIA-RS232-C, utilizando una convención de señalización de dos niveles serial. La interfase de hardware consiste de dos elementos; los conectores del tipo DB-25 para el dispositivo y el convertidor de señal, los cuales están físicamente conectados juntos. La señalización bipolar tiene una amplitud mínima de +3 Volts y un voltaje máximo de +25 Volts. Cada pin de la interfase (excepto las tierras) es activado por la terminal o el convertidor de señal en forma unidireccional; de esto se tiene

que en cualquier instante de tiempo, cada pin de la interfase porta un nivel de voltaje correspondiente a un 1 o a un 0 binarios (o sus equivalentes marca-espacio u OFF-ON).

Los circuitos de intercambio entre el equipo terminal de datos y el equipo de comunicación de datos se agrupan bajo 4 categorías generales:

- a) tierra o retorno común.
- b) circuitos de datos.
- c) circuitos de control.
- d) circuitos de sincronía.

Durante la transmisión de datos, la condición de marca debe ser utilizada para indicar el estado binario 1 y la condición de espacio debe ser utilizada para denotar el estado binario 0. Para circuitos de intercambio, la función debe ser considerada en ON cuando el voltaje en el circuito de intercambio es más positivo que 3 volts con respecto a la tierra de la señal y debe ser considerado OFF cuando el voltaje es más negativo que -3 volts respecto a la tierra de la señal. La función no está definida para voltajes en la región de transición entre 3 volts positivos y 3 volts negativos:

Notación	Voltaje de intercambio	
	Negativo	Positivo
Estado binario	1	0
Señal	marca	espacio
Función	OFF	ON

La interfase entre el ETD y el ECD se localiza en el punto de contacto entre un conector enchufable entre los dos equipos; el conector hembra debe asociarse al equipo de comunicación de datos (aunque esta es una condición no necesaria) y debe estar físicamente montado en una posición determinada, cercana al equipo terminal de datos. El uso de un cable de extensión en el equipo de comunicación de datos debe ser incluido con el equipo terminal de datos. La tabla II.2.1 describe la distribución de señales de la interfase en el conector, su significado, el tipo de señal de acuerdo a la clasificación mencionada anteriormente y el sentido de flujo de la señal respecto al ECD y al ETD.

A continuación se menciona el significado de cada señal de la interfase, con su respectiva nomenclatura:

Pin	Interchange Circuit	C.C.I.T. Equivalent	Description	Gnd	Data		Control		Timing	
					From DCE	To DCE	From DCE	To DCE	From DCE	To DCE
1	AA	101	Protective Ground	X						
7	AB	102	Signal Ground/Common Return	X						
2	BA	103	Transmitted Data			X				
3	BB	104	Received Data		X					
4	CA	105	Request to Send					X		
5	CB	106	Clear to Send				X			
6	CC	107	Data Set Ready				X			
20	CD	108.2	Data Terminal Ready				X			
22	CE	125	Ring Indicator				X			
8	CF	109	Received Line Signal Detector				X			
21	CG	110	Signal Quality Detector				X			
23	CH	111	Data Signal Rate Selector (DTE)					X		
23	CI	112	Data Signal Rate Selector (DCE)				X			
24	DA	113	Transmitter Signal Element Timing (DTE)							X
15	DB	114	Transmitter Signal Element Timing (DCE)						X	
17	DD	115	Receiver Signal Element Timing (DCE)						X	
14	SBA	118	Secondary Transmitted Data			X				
16	SBB	119	Secondary Received Data		X					
19	SCA	120	Secondary Request to Send					X		
13	SCB	121	Secondary Clear to Send				X			
12	SCF	122	Secondary Rec'd Line Signal Detector				X			

TABLE II.2.1 INTERFACE RS-232-C

Circuitos de intercambio por categoría

AA. Protective Ground. Este conductor debe ser eléctricamente ligado al armazón del equipo o máquina, además de que puede ser conectado a tierras externas si se requiere.

AB. Signal Ground/Common Return. Establece la tierra común de referencia para el potencial de todos los circuitos de intercambio, excepto AA. Dentro del ECD debe ser posible conectar esta señal al circuito AA para cumplir regulaciones específicas o minimizar la introducción de ruido.

BA. Transmitted Data. Esta señal es generada por el ETD y se transmite por medio de un convertor de transmisión para transmitir datos al ETD remoto.

BB. Received Data. Esta señal es generada por el convertor de recepción como respuesta a datos provenientes del ETD remoto.

CA. Request to Send. Este circuito se utiliza para condicionar al ECD para la transmisión, y en canales half duplex, para controlar la dirección del flujo de datos transmitidos.

CB. Clear to Send. Las señales en este circuito son generadas por el ECD para indicar cuando el modem esta listo o no para transmitir datos.

CC. Data Set Ready. Las señales en este circuito son utilizadas para indicar el status del modem local.

CD. Data Terminal Ready. Las señales en este circuito se utilizan para controlar el switcheo del ECD al canal de comunicación.

CE. Ring Indicator. La condición de ON en este circuito indica que una señal de llamada esta siendo recibida en el canal de comunicación.

CF. Received Line Signal Detector. Este circuito presenta la condición de ON cuando el ECD esta recibiendo una señal que cumple un determinado criterio previamente establecido por el fabricante del equipo.

CG. Signal Quality Detector. Las señales en este circuito indican si existe o no una alta probabilidad de error en los datos recibidos; la condición de ON se da cuando no ha ocurrido un error.

CH. Data Signal Rate Selector (Del ETD). Esta señal permite seleccionar entre dos velocidades de señalización de datos o dos rangos de señalización de datos, en el

caso de tener dos modems síncronos o asíncronos, con 2 velocidades o 2 rangos posibles respectivamente.

CI. Data Signal Rate Selector (Del ECD). Esta señal permite seleccionar entre dos velocidades de señalización de datos o dos rangos de señalización de datos, en el caso de tener dos modems síncronos o asíncronos, con 2 velocidades o 2 rangos posibles respectivamente.

DA. Transmitter Signal Element Timing (Del ETD). Esta señal provee de la sincronía necesaria para el conversor de señal del transmisor

DB. Transmitter Signal Element Timing (Del ECD). Esta señal provee la información de sincronía para el ETD.

DD. Receiver Signal Element Timing (Del ECD). Esta señal provee de la información de sincronía necesaria para el ETD.

SBA. Secondary Transmitted Data. Este circuito es equivalente al BA con la diferencia de que se usa para transmitir datos a través de un canal secundario.

SBB. Secondary Received Data. Este circuito es equivalente al BB excepto que permite recibir datos a través del canal secundario.

SCA. Secondary Request to Send. Este circuito equivale al circuito CA, con la diferencia de que requiere del establecimiento del canal secundario de datos en lugar del canal primario.

SCB. Secondary Clear to Send. Este circuito equivale al circuito CB, excepto que indica la disponibilidad del canal secundario.

SCF. Secondary Received Line Signal Detector. Este circuito equivale al CF excepto que indica la correcta recepción de la señal en el canal secundario.

La tabla II.2.2 muestra una selección de configuraciones de transmisión de datos, con el conjunto de circuitos de intercambio requeridos para cada una de ellas.

Interchange Circuit		Interface Type													
		A	B	C	D	E	F	G	H	I	J	K	L	M	Z
AA AB	Protective Ground Signal Ground	- x													
BA BB	Transmitted Data Received Data	x x													
CA CB CC CD	Request to Send Clear to Send Data Set Ready Data Terminal Ready	x x s s													
CE CF CG CH/CI	Ring Indicator Received Line Signal Detector. Signal Quality Detector Data Signalling Rate Selector (DTE) (DCE)	s s s s													
DA/DB DD	Transmitter Sig. Element Timing (DTE) (DCE) Receiver Signal Element Timing (DCE)	t t													
SBA SBB	Secondary Transmitted Data Secondary Received Data						x x								
SCA SCB SCF	Secondary Request to Send Secondary Clear to Send Secondary Received Line Signal Detector						x x x								

- o . especificada por el proveedor
- . opcional
- s . circuitos de intercambio requeridos para servicio switchado
- t . circuitos de intercambio requeridos para canal síncrono
- x . circuitos de intercambio básicos. todos los sistemas

TABLA II.2.2  
 Interfaces estándar RS-232-C

## INTERFASE RS-422 Y RS-423.

En base a la experiencia obtenida de la utilización de la interfase RS-232, se han publicado una serie de interfaces que mejoran las condiciones de comunicación de datos, tal es el caso de las interfaces RS-422 y RS-423. A continuación se da una breve descripción de cada una de ellas:

RS-422. El estándar RS-422 utiliza señales diferenciales de baja impedancia. La señal diferencial es creada por manejadores de línea (line drivers) diferenciales y transmitida por un par de líneas trenzadas. La señal diferencial es recibida y trasladada a niveles TTL por receptores de línea diferenciales. Los receptores de línea diferenciales tienen la ventaja de que atenúan cualquier ruido inducido igualmente en el par de líneas trenzadas. RS-422 incrementa la velocidad máxima de baud a 10 Megabauds para líneas de conexión de una longitud de hasta 12 metros, o bien, velocidades de 100,000 bauds para líneas de longitud hasta de 1220 metros (figura II.2.3).

RS-423. Otro enriquecimiento de EIA-RS-232-C es el estándar RS-423 que permite mayores distancias de transmisión y mayores velocidades de baudaje al utilizar un manejador (driver) de baja impedancia con una terminal en lugar de un manejador diferencial. Con la especificación de impedancia de 50 ohms, se puede utilizar cable coaxial para realizar las conexiones (II.2.4).

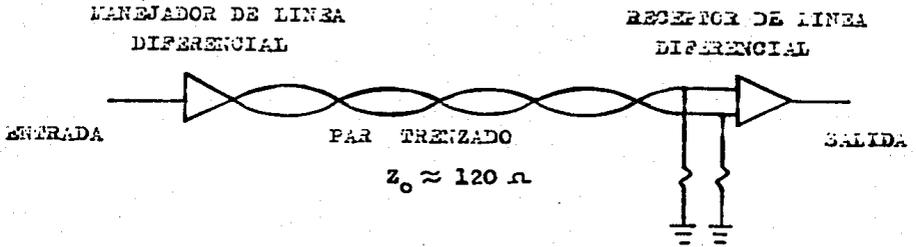


FIGURA II.2.3 INTERFASE RS-422

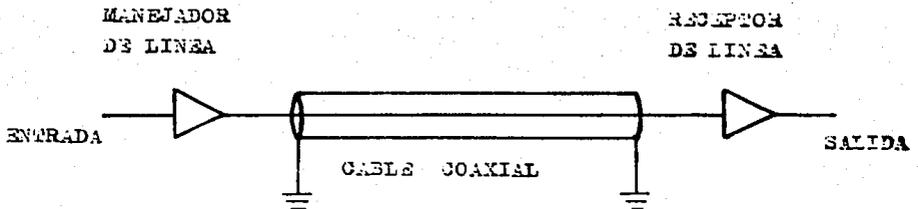


FIGURA II.2.4 INTERFASE RS-423

## II.3 MODEMS .

### MODULACION.

El tipo de información asociada a un equipo de cómputo es en general del tipo binario, esto es, señales bipolares consistentes en pulsos rectangulares. Este tren de pulsos se caracteriza por poseer una componente de DC y tener un espectro en frecuencia teóricamente infinito, lo que provoca que la señal digital deba ser acondicionada para viajar a través del canal telefónico. Esto se logra por medio de un proceso de modulación en el cual la moduladora es la señal digital y la portadora es una señal senoidal de frecuencia contenida dentro del ancho de banda que maneja la línea telefónica; la modulación la lleva a cabo el transmisor y transmite la señal modulada por la línea telefónica. En el extremo opuesto de la línea, la portadora debe ser demodulada para recuperar la señal binaria original. Los elementos básicos para el proceso de modulación y demodulación de las señales se combinan en un equipo de comunicación de datos denominado modem o data set. El modem es el elemento que permite que un equipo de cómputo transmita datos sobre una línea telefónica.

### TIPOS DE MODULACION.

Cuando se habla de una modulación que utiliza una onda

senoidal, se tiene que a una función portadora del tipo

$$v(t) = A \cos(\omega t + \theta)$$

se le puede modificar cualquiera de las tres variables  $A$ ,  $\omega$  y  $\theta$  de acuerdo a la señal que posee la información, o sea la moduladora. De esto se tiene que son tres los tipos básicos de modulación existente:

- modulación en amplitud
- modulación en frecuencia
- modulación en fase

En la modulación en amplitud, cuando utilizamos una señal binaria como señal moduladora, la señal portadora varía en amplitud de acuerdo a los valores que toma la señal binaria; la fase y la frecuencia de la portadora permanecen constantes.

Cuando se presenta un 0 binario, la amplitud de la portadora es cero y cuando se presenta un 1 binario, la amplitud de la señal es  $A$ . Este es el resultado de multiplicar la portadora por la moduladora en el proceso de modulación ( fig II.3.1 ).

En la técnica de modulación en frecuencia, la frecuencia  $\omega$  de la portadora se hace variar de acuerdo a la información de la señal binaria. En este caso, dado que la señal binaria toma los estados 0 y 1, se establecen dos frecuencias  $f_1$  y  $f_2$  que corresponden a cada uno de los estados binarios. La amplitud y la fase de la señal permanece constante. La implementación de un

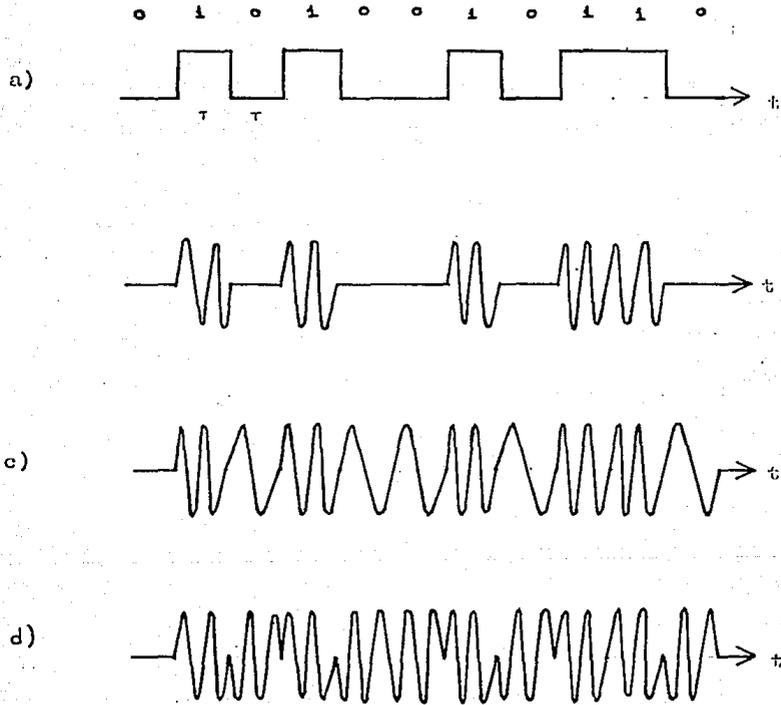


FIGURA II.3.1

- Técnicas de Modulación

- a) Información digital binaria
- b) Modulación en Amplitud
- c) Modulación en Frecuencia
- d) Modulación en Fase

modulador para esta técnica de modulación se puede basar en un oscilador controlado por voltaje o en dos generadores de onda senoidal ajustados a las frecuencias  $f_1$  y  $f_2$  de manera que a la salida sea switchheada la señal senoidal con la frecuencia asignada al estado binario presente.

En la modulación en fase, de acuerdo a la moduladora binaria se varia la fase de la portadora, entre dos posibles fases que corresponden con los valores de la señal binaria. Se designan dos fases que corresponden a cada uno de los valores binarios posibles; una agrupación de bits, requiere asignar un mayor número de fases, aunque reduce el número de símbolos transmitidos por unidad de tiempo. La implementación básica de un modulador para este tipo de modulación podría establecer la utilización de una fase de cero grados para uno de los estados binarios y un defasamiento de 180 grados para el otro modulador binario.

#### SEÑALIZACION MULTISIMBOLA.

El ancho de banda requerido para transmitir una señal binaria se puede reducir si se utiliza una técnica de señalización multinivel, o sea combinar sucesivos pulsos binarios para formar un pulso de mayor amplitud que ocupa un menor ancho de banda. Teniendo un numero "n" de pulsos sucesivos, se puede utilizar un conjunto de  $m = 2^n$  símbolos, sobre un canal de ancho de banda igual a B Hertz, pudiéndose transmitir los símbolos a una velocidad de  $2n$  bps/Hz.

Los sistemas multisímbolo pueden ser el de señalización

multifase (figura II.3.2), multiamplitud y combinaciones de ambos (figura II.3.3), y a las señales multisímbolo resultantes se les denomina frecuentemente señales  $m$ -arias.

El caso de señalización multifase, una señal senoidal es variada en su fase; si por ejemplo la señal binaria se agrupa en pares (00, 01, 10, 11) se tiene que la señal senoidal modulada puede ser variada en 4 posibles valores de fase correspondientes cada uno con un par de bits. En este caso  $n=2$  y  $m=4$  símbolos; a una transmisión de este tipo se le denomina transmisión en cuadratura (QPSK). Al presentar estas señales en un diagrama de dos dimensiones, el eje vertical se denomina eje en cuadratura y el eje horizontal se denomina eje en fase. El diagrama correspondiente a la señal analizada sería el de la figura II.3.4; los puntos en la figura representan una constelación de la señal de entre varias posibles y se puede localizar a cada punto por un par de coordenadas (A, B).

Un esquema multisímbolo de señalización más general requiere que el par de coordenadas A, B tomen valores múltiples; a las señales que poseen estas características se les denomina señales de modulación de amplitud en cuadratura (QAM). En este caso se aplican diferentes niveles de modulación en amplitud independientemente en cada una de las portadoras en cuadratura. Si por ejemplo se utiliza una agrupación de  $n=4$  bits, con  $m=16$  símbolos, la constelación del conjunto de señales QAM está formada por un grupo de puntos que se distribuyen en dos niveles de amplitud, con la característica de conservar la misma distancia entre ellos. La constelación correspondiente a esta QAM

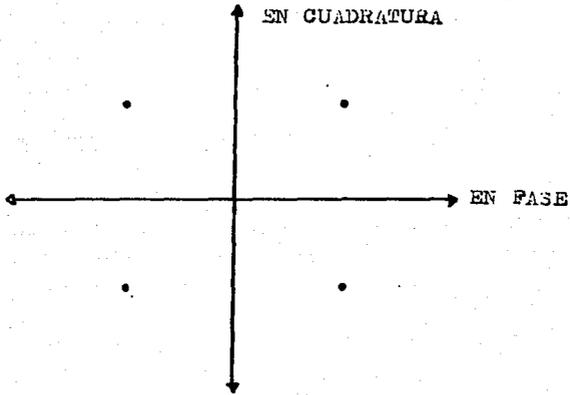


FIGURA II.3.2

SEÑAL MULTIFASE EN CUADRATURA , UNA AMPLITUD

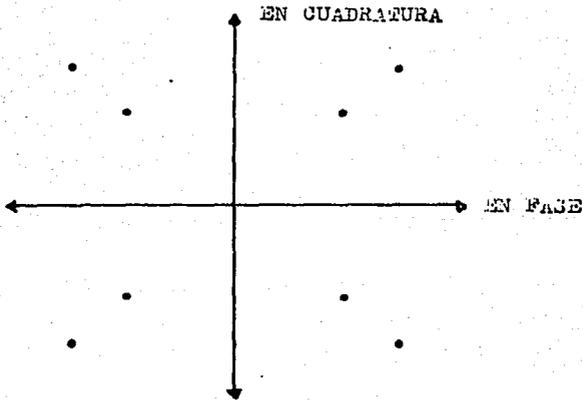


FIGURA II.3.3

SEÑAL MULTIFASE EN CUADRATURA , MULTIAMPLITUD

es la de la figura II.3.5 .

#### PARTES DE UN MODEM.

Un modem consta de dos elementos principales, un transmisor y un receptor; el transmisor esta constituido básicamente por un modulador mientras que el receptor esta formado por un demodulador. Una señal binaria es la entrada al transmisor y la señal modulada de salida es aplicada al canal de transmision. En dirección contraria llegan señales moduladas que son la entrada al circuito receptor, teniéndose como salida la señal binaria recuperada.

Tanto en el transmisor como en el receptor se cuenta con etapas de filtrado para limitar a la señal transmitida y a la señal recibida a las bandas de frecuencia adecuadas para los canales de transmisión y los circuitos de detección respectivamente. Dado que en las técnicas de modulación utilizadas en la implementación de modems se requiere formar grupos de bits, en el transmisor del modem se implementa un codificador que tenga como entrada los grupos de bits y genere a su salida la señal equivalente, y en forma similar en el receptor se requiere un decodificador que genere los patrones de bits correspondientes a las señales de entrada. El receptor puede involucrar un equalizador para compensar la respuesta en frecuencia del canal telefónico.

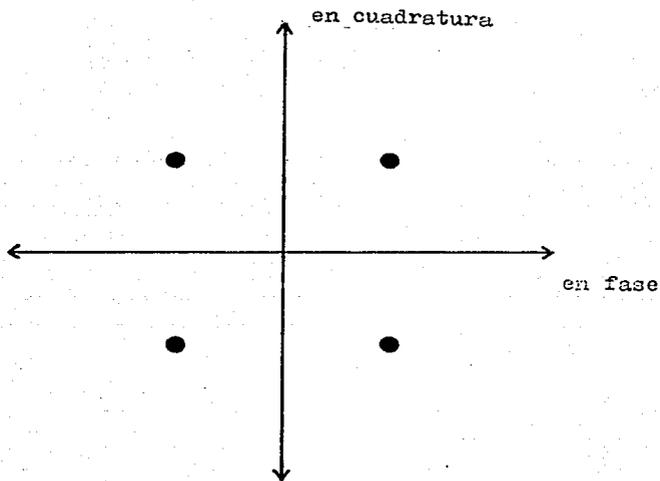


FIGURA II.3.4

Constelación de PSK en cuadratura .

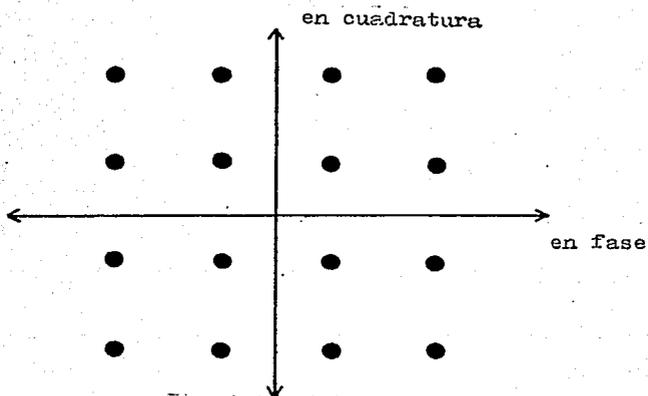


FIGURA II.3.5

Constelación de QAM de 4 niveles .

## TIPOS DE MODEMS.

La información digital puede ser acondicionada para ser transmitida por medio de la línea telefónica mediante tres tipos de modulación: fase, amplitud y frecuencia o alguna combinación entre ellas. Existen dos tipos de modems que utilizan alguna de estas técnicas de modulación y son los modems síncronos y los modems asíncronos.

Los modems asíncronos abarcan casi la totalidad de los modems que operan a velocidades menores o iguales a 1,800 bps. En este rango de velocidades, la técnica de modulación más utilizada es la de corrimiento en frecuencia (FSK), asignando un par de frecuencias para cada uno de los símbolos binarios que se transmiten; el receptor contiene filtros y detectores ajustados a dichas frecuencias para poder recuperar la información binaria. Existen modems asíncronos que pueden operar en modo full duplex, utilizando 4 hilos telefónicos para transmitir a una velocidad de 1,200 bps. En este caso una de las líneas telefónicas se utiliza para transmitir información y otra para recibirla, reduciendo los tiempos ocupados en el proceso de señalización para el control del sentido de flujo de la información.

El otro tipo de modems es el llamado modem síncrono el cual puede operar a velocidades de hasta 9,600 bps sobre líneas telefónicas acondicionadas. Dependiendo de la velocidad de transmisión y algunos otros factores como podría ser el nivel de ruido en el medio ambiente de la comunicación, estos modems utilizan diferentes técnicas de modulación de entre las existentes. Las más utilizadas son modulación por corrimiento de

fase y una combinación de modulación de fase y amplitud; para la implementación de un modem síncrono con bajas velocidades de transmisión es suficiente la utilización de la técnica de modulación por corrimiento de fase, pero a medida que se incrementa la velocidad del modem, se requiere utilizar una técnica capaz de representar a la señal digital en una forma analógica adecuada para ser transmitida por la línea telefónica.

Un modem con una velocidad de transmisión de 2,400 bps se puede implementar utilizando una agrupación de pares de bits ( dibits ) y asignando una determinada fase a cada dibit. Las cuatro fases utilizadas se pueden escoger con cualquier valor, aunque conservando la característica de mantener la mayor separación entre ellas, esto quiere decir que se puede utilizar un grupo de fases como sería 45, 135, 225, y 315 grados o bien el grupo 0, 90, 180 y 270 grados. Cada fase se asigna a un determinado dibit de entrada, de manera que a una velocidad de 2400 bps, con dos bit/dibit, se tiene una velocidad de transmisión de 1,200 bauds/seg ( simbolos/seg ). El proceso de demodulación reconocería cada fase de entrada y generaría como salida el par de bits correspondientes a la fase.

Cuando se requiere implementar un modem síncrono a velocidades de 4,800 bps o mayores, se requiere utilizar una combinación de técnicas de modulación como se mencionó anteriormente, de manera que por ejemplo un modem con una velocidad de transmisión de 4,800 bps se puede implementar utilizando combinaciones de grupos de tres bits, de manera que se requieren ocho diferentes elementos de señal, que se logran

mediante una modulación de 4 fases con dos amplitudes; en este caso el modem operaría a 1,600 bauds/seg con 3 bits en cada baud (figura II.3.6). El modulador para este tipo de modems reconoce entre dos valores posibles de amplitud y cuatro fases para cada amplitud, demodulando amplitudes y fases a una velocidad de 1,600 veces por segundo. Se puede también implementar el modem utilizando una combinación de 8 fases y 2 amplitudes, esto es, 4 fases diferentes para cada amplitud. Cuando se habla de implementar modems que operen a velocidades de 9 600 bps, se puede utilizar agrupaciones de 4 bits, y una combinación de 2 amplitudes y 12 fases asignando 12 fases para una amplitud y 4 fases para otra de las amplitudes, utilizándose 4 de las fases para ambas amplitudes; la velocidad de señalización en este caso sería de 2400 bauds/seg (figura II.3.7).

En general los modems síncronos emplean algún tipo de equalización para compensar la respuesta en frecuencia de la línea; algunos de estos equalizadores son de ajuste estático y otros son de ajuste automático por medio de las señales de la interfase que se manejen en el modem.

#### CAPACIDAD Y ANCHO DE BANDA.

El ancho de banda es una característica eléctrica de un medio de transmisión que indica el rango de frecuencias que el medio es capaz de transmitir. Un medio de transmisión con un ancho de banda de  $w$  HZ, es capaz de transmitir a una velocidad de  $2w$  señales o símbolos como máximo.

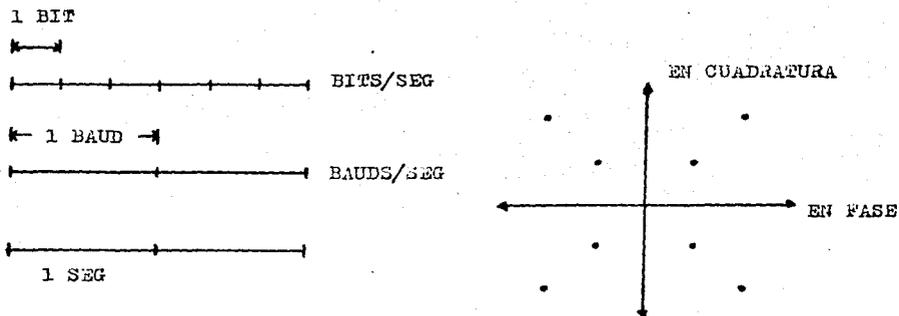


FIGURA II.3.6 SEÑALIZACION A 1600 BAUDS/SEG

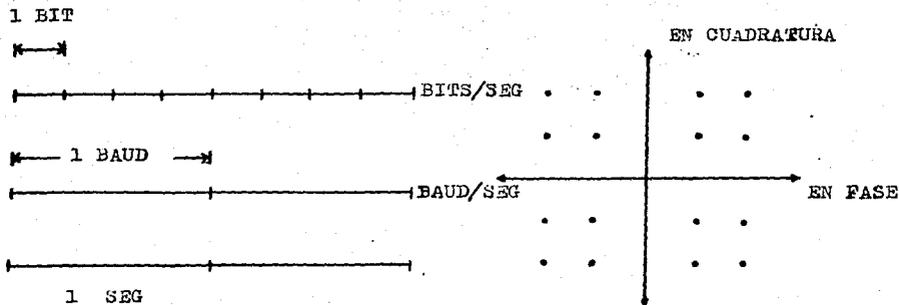


FIGURA II.3.7 SEÑALIZACION A 2400 BAUDS/SEG

Definiremos Paud Rate como el tiempo que debe transcurrir entre símbolos o elementos de señal sucesivos; en un medio ambiente con ruido donde se utilizan dos niveles de voltaje para transmitir los posibles estados de una señal binaria.

Las características físicas intrínsecas de los canales telefónicos que se utilizan actualmente, han llevado a que los modems sean diseñados para manejar velocidades de señalización que sean posibles de manejar dentro del ancho de banda característico del canal de comunicación.

#### ESTÁNDARES PARA MODEMS.

En la actualidad aproximadamente el 70 % de todos los modems son utilizados para la transmisión de información sobre líneas telefónicas, esto quiere decir que tres cuartas partes de todos los modems existentes operan a bajas velocidades de transmisión. Para aplicaciones en redes switcheadas, predominan los modems que se adaptan a dos estándares, el AT&T (Bell) 103 para velocidades de hasta 300 bps y el AT&T 212 para velocidades de hasta 1,200 bps.

Existen modems que permiten la transmisión sobre línea telefónica a velocidades de 2,400, 4,800 y 9,600 bps, que no son muy utilizados por las limitaciones de los canales de comunicación y porque sus costos son elevados. La selección de un modem depende del tipo de aplicación a la cual sera destinado; si por ejemplo se esta transmitiendo desde una terminal en forma asíncrona, un modem que opere a 1,200 bps satisface los

requerimientos de comunicación, pero si se desea por ejemplo transmitir archivos de datos o imágenes digitalizadas, es conveniente utilizar modems a velocidades de 4,800 o 9,600 bps que eviten que se generen grandes retardos en la transmisión de la información.

## II.4 REDES DE COMPUTADORAS.

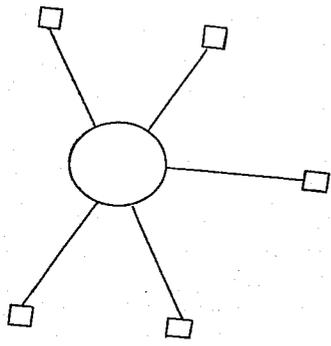
Una red de comunicación de datos permite el movimiento de información entre dos puntos por medio de sistemas de transmisión. Una red o sistema de comunicación de datos tiene tres componentes básicos: un transmisor, un medio de transmisión y un receptor. El transmisor es el lugar en el cual se origina la información; el medio de transmisión es la trayectoria a través de la cual fluye la información y el receptor es el destino en el cual se acepta la información.

Una tendencia de gran importancia actualmente es la de descentralizar los servicios de cómputo y por medio de la interconexión de computadoras, lograr compartir las capacidades y recursos de las computadoras involucradas. Además, proveer al usuario de los servicios de cómputo que requiere en su propia área de trabajo, lleva consigo la consiguiente disminución de trabajo y tiempo.

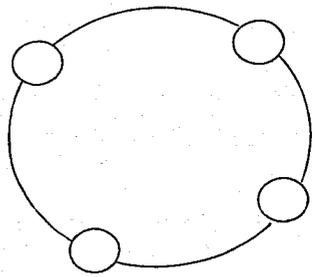
Las redes de comunicación de computadoras son el elemento a través del cual se logra llevar a cabo la implementación que soluciona estos problemas, y en su proceso de diseño se involucran factores tales como:

- configuración (arquitectura) de la red
- tiempos de retardo
- medios de transmisión disponibles
- equipo de cómputo
- equipo de comunicaciones, etc.

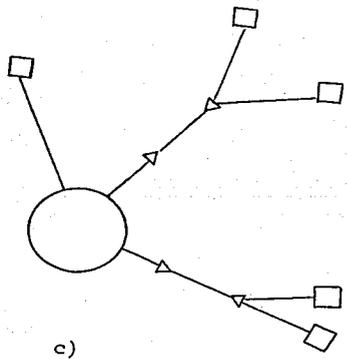
Uno de los elementos más importantes entre los mencionados es el de la configuración de la red; esto quiere decir integrar los equipos de comunicación, medios de comunicación y equipo de cómputo, tomando en cuenta las necesidades actuales y futuras, la distribución física y los costos y tiempos de operación. Las configuraciones más utilizadas en las arquitecturas de redes son las de estrella, anillo, anillo completamente conectado, estrella jerárquica, etc (figura II.4.1).



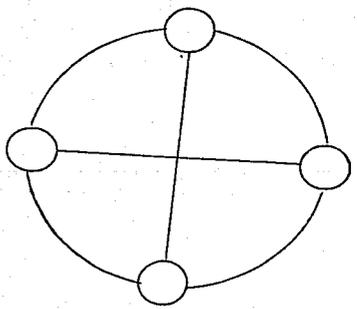
a)



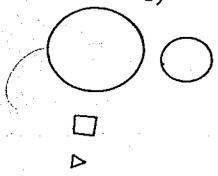
b)



c)



d)



computadora

terminal

concentrador/  
multiplexor

FIGURA II.4.1 CONFIGURACION DE REDES.

- a) estrella
- b) anillo
- c) estrella jerárquica
- d) anillo completamente conectado

=====

C A P I T U L O    I I I

MICROPROCESADOR 6809

=====

## - INTRODUCCION AL 6809

El microprocesador 6809 es un dispositivo de 8 bits construido con tecnología N-MOS, el cual soporta modernas técnicas de programación tales como código independiente de la posición, reentrancia y programación modular.

Las instrucciones básicas de cualquier computadora son grandemente mejoradas por la presencia de modos de direccionamiento poderosos. Hoy en día, el 6809 posee uno de los mas completos conjuntos modos de direccionamiento que se pueden encontrar en un microprocesador de 8 bits.

Las características de hardware y software encontradas en el 6809, lo hacen ideal en la ejecución de software de alto nivel o en aplicaciones de controladores.

Aqui tenemos un resumen de las características básicas del 6809.

### CARACTERISTICAS DE LA ARQUITECTURA

- Bus de direcciones de 16-bits y bus de datos de 8-bits.
- Dos registros de índice de 16-bits.
- Dos stack pointers de 16-bits.

- Dos acumuladores de 8-bits que pueden ser concatenados para formar un acumulador de 16-bits.
- Registro de página directo que permite direccionamiento directo a través de toda la memoria.

#### CARACTERISTICAS DE HARDWARE

- Compatibilidad con la estructura de bus MC6800, definida por motorola.
- Encapsulado en un chip de 40-pins, requiriendo para operar de una sola fuente de poder de +5V.
- Presenta las mismas características para interfases que el 6800. Esto significa que es totalmente compatible con los niveles lógicos TTL, lo que facilita la integración del sistema.
- Manejo de interrupciones vectorizadas que permite al 6809 localizar una rutina de atención a una interrupción en un tiempo mínimo, y regresar a la localidad donde se interrumpió sin destrucción de los datos actuales.
- El 6809 incorpora un oscilador de frecuencia 4 veces mayor a la del cristal de entrada. La versión 6809E, requiere de un reloj externo.

- Adición de características extras como: la señal Fast Interrupt Request (FIRQ) que permite manejar interrupciones de alta velocidad, lo que es útil en sistemas de adquisición de datos; La función MRDY que extiende el tiempo de acceso de datos, para uso de memorias lentas; y la función DMA/BREQ que permite un rápido acceso al bus para acceso directo a memoria (DMA) y para refresco de memoria.

#### CARACTERISTICAS DE SOFTWARE

- 59 mnemónicos de instrucciones.
- 268 códigos de operación (opcodes).
- 1464 instrucciones en total (usando todos los modos de direccionamiento).
- Direccionamiento directo a cualquier parte de la memoria.
- Brincos relativos "largos".
- Modos de direccionamiento indirectos.
- Modo de direccionamiento indexado generalizado.
- Multiplicación de 8-bits X 8-bits sin signo.
- Aritmética de 16-bits.
- Transferencia/Intercambio sobre todos los registros.
- Operación sobre el stack con todos los registros o con cualquier conjunto de registros.
- Carga de direcciones efectivas.

- Adición de características extras como: la señal Fast Interrupt Request (FIRQ) que permite manejar interrupciones de alta velocidad, lo que es útil en sistemas de adquisición de datos; La función MRDY que extiende el tiempo de acceso de datos, para uso de memorias lentas; y la función DMA/BREQ que permite un rápido acceso al bus para acceso directo a memoria (DMA) y para refresco de memoria.

#### CARACTERISTICAS DE SOFTWARE

- 59 mnemónicos de instrucciones.
- 268 códigos de operación (opcodes).
- 1464 instrucciones en total (usando todos los modos de direccionamiento).
- Direccionamiento directo a cualquier parte de la memoria.
- Brincos relativos "largos".
- Modos de direccionamiento indirectos.
- Modo de direccionamiento indexado generalizado.
- Multiplicación de 8-bits X 8-bits sin signo.
- Aritmética de 16-bits.
- Transferencia/Intercambio sobre todos los registros.
- Operación sobre el stack con todos los registros o con cualquier conjunto de registros.
- Carga de direcciones efectivas.

## - ARQUITECTURA DEL SISTEMA.

La figura 2.1 muestra la arquitectura de un sistema de microcomputación típico. Apareciendo en el lado izquierdo de la ilustración la unidad del microprocesador (el MPU) -en este caso el 6809- la cual tiene implementadas las funciones de una unidad central de proceso (CPU) en un solo chip. La CPU incluye una unidad aritmética-lógica (ALU) mas sus registros internos, y una unidad de control (CU), la cual decodifica internamente la secuencia de instrucciones.

El MPU tiene tres buses: un bus de datos bidireccional de 8 bits (mostrado arriba de la ilustración de la figura 2.1), un bus de direcciones unidireccional de 16 bits, y un bus de control (ambos mostrados en la parte baja de la ilustración).

El bus de datos transporta los datos que son intercambiados por varios elementos del sistema. Normalmente transporta los datos de la memoria al MPU, del MPU a la memoria, y del MPU a un chip de ENTRADA/SALIDA (un chip de entrada/salida se comunica con un dispositivo externo).

El bus de direcciones transporta una dirección, generada por el MPU, la cual especifica la fuente o destino del dato que transita a lo largo del bus de datos. El bus de control transporta las diferentes señales de sincronización requeridas por el sistema. Ahora que se conoce el propósito de los buses, se deben conectar los componentes adicionales requeridos para formar el sistema completo.

Cada MPU requiere una referencia de sincronización precisa, la cual es suministrada por un reloj y un cristal. En la mayoría de los "viejos" procesadores, el oscilador de reloj es externo al MPU y requiere un chip extra. En los mas recientes, el reloj-oscilador esta normalmente incorporado dentro del MPU. El cristal de cuarzo, sin embargo, por su tamaño, siempre es externo al sistema. El cristal y el reloj aparecen a la izquierda del MPU en la figura 2.1.

Ahora se estudiaran los otros elementos del sistema. Yendo de izquierda a derecha de la ilustración, vemos la ROM, la RAM y el PIO.

La ROM o Read-Only-Memory (memoria de lectura solamente) almacena el programa para el sistema. La ventaja de la memoria ROM es que su contenido es permanente, esto es, no desaparece cuando el sistema se apaga. El ROM, por consiguiente, normalmente contiene un "bootstrap" o programa monitor para permitir la inicialización de la operación del sistema.

La RAM o Random-Access-Memory (memoria de acceso aleatorio) es la memoria de lectura/escritura para el sistema. En un medio ambiente de desarrollo de programas, la mayoría de los programas residen en RAM, tal que puedan ser facilmente modificados. Tales programas pueden ser dejados en RAM. RAM sin embargo es volátil. Su contenido se pierde cuando se apaga el sistema. En un sistema de control, la cantidad de RAM es típicamente pequeña (para datos solamente); sin embargo, en un medio ambiente de desarrollo de programas, la cantidad de RAM es grande, como los programas contenidos, mas el software desarrollado. Todo el contenido de RAM debe ser cargado, antes de

usarse, de un dispositivo externo.

Finalmente, un sistema también contiene uno o más circuitos de interface, tal que puedan entrar en comunicación con el mundo exterior. El circuito de interface más comúnmente utilizado es el PIO o entrada/salida paralelo (parallel input/output) mostrado en la figura 2.1. El PIO, como los otros circuitos en el sistema, se conecta a los tres buses y proporciona al menos dos puertos de 16 bits para comunicación con el mundo exterior.

Para construir todo un sistema, se necesitan aun más componentes. En particular se necesitan "buffers", lógica de decodificación para las memorias RAM y "drivers" para amplificar las señales.

#### - DENTRO DEL MICROPROCESADOR.

Un gran número de microprocesadores en el mercado tienen implementada la misma arquitectura interna. La figura 2.2 muestra esta arquitectura.

La caja de control a la derecha de la ilustración representa la unidad de control que sincroniza a todo el sistema.

La ALU ejecuta las operaciones aritméticas y lógicas. Registros especiales llamados acumuladores, son usualmente conectados a la salida del ALU. Los acumuladores contienen los resultados de operaciones aritméticas. Cada acumulador tiene ocho bits.

La ALU también proporciona facilidades de corrimiento y rotación.

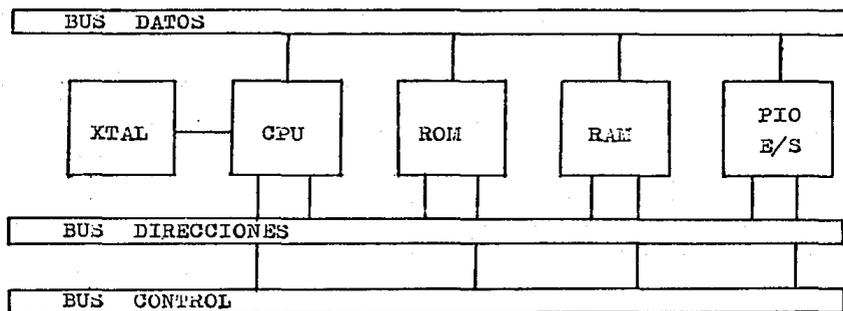


FIGURA 2.1 SISTEMA DE COMPUTACION TIPICO

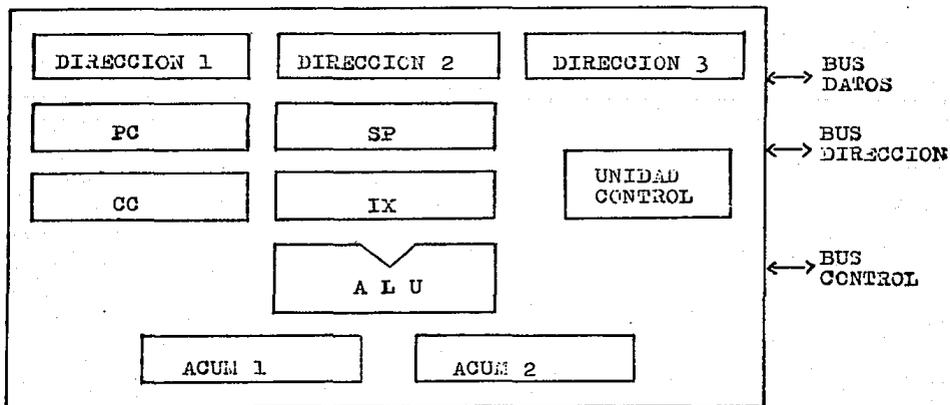


FIGURA 2.2 ARQUITECTURA INTERNA DE UN MICROPROCESADOR

El status o registro de Código de Condición (Condition Code, CC) aparece a la izquierda de la ALU. Su papel es almacenar condiciones excepcionales dentro del microprocesador. La mayoría de las instrucciones ejecutadas por el microprocesador modifican algunos o todos los bits del registro de condición. El contenido del registro de código de condición puede ser examinado por instrucciones especiales, o lectura sobre el bus de datos interno.

#### LOS REGISTROS DE DIRECCION.

Los registros de direccion son registros de 16 bits utilizados para el almacenamiento de direcciones. Son también llamados algunas veces contadores de datos (data-counters) o apuntadores (pointers) y son registros dobles, esto es, dos registros de 8 bits. Estan conectados al bus de direcciones. Los registros de direcciones proporcionan las señales para el bus de direcciones. Tres registros de dirección y un bus de direcciones aparecen en la figura 2.2.

La única forma de cargar el contenido de esos registros de 16 bits es por medio del bus de datos. Dos transferencias son necesarias a lo largo del bus de datos para transferir 16 bits. Para diferenciar de cada registro la mitad más baja (menos significativa), y la mitad más alta (mas significativa), cada mitad es normalmente etiquetada como L (low) o H (high), denotando los bits 0 hasta el 7 y del 8 hasta el 15, respectivamente.

## EL PROGRAM COUNTER (PC).

El Program Counter o PC debe estar presente en todos los procesadores, por ser indispensable y fundamental para la ejecución de programas. Contiene la dirección de la siguiente instrucción a ser ejecutada.

La ejecución de un programa es normalmente secuencial. Para acceder la siguiente instrucción, es necesario traerla desde la memoria al microprocesador. El contenido del PC es depositado en el bus de dirección, y transmitido hacia la memoria. La memoria entonces lee el contenido especificado por esta dirección y envía la palabra correspondiente o instrucción, de regreso al MPU.

## EL STACK POINTER (SP).

El Stack Pointer o SP es utilizado para implementar el stack. En los procesadores mas poderosos y de propósito general, el stack esta implementado en "software", esto es dentro de la memoria. Para no perder de vista el tope del stack dentro de la memoria, un registro de 16 bits esta dedicado al stack pointer. El SP contiene la dirección del tope del stack dentro de la memoria. El stack es indispensable para interrupciones y subrutinas.

## EL REGISTRO DE INDICE (IX).

La indexación es una facilidad de direccionamiento de memoria para acceder bloques de datos en la memoria con una sola instrucción. Un registro de índice típicamente contiene un desplazamiento, el cual automáticamente será sumado a la base (o, contiene una base, a la cual será sumada un desplazamiento). En resumen, la indexación es utilizada para acceder cualquier palabra dentro de un bloque de datos.

## EL STACK.

Un stack, formalmente llamado una estructura LIFO (last-in, first-out) -última entrada, primera salida (UEPS) -, es un conjunto de registros, o localidades de memoria, localizadas en la estructura de datos del stack. La característica esencial del stack es que es una estructura cronológica. El primer elemento introducido en el stack es siempre el del fondo del stack; el elemento más recientemente depositado está en el tope. En uso normal, el stack es solamente accesible por medio de dos instrucciones: PUSH y POP. Estas dos instrucciones son ilustradas en la figura 2.3. La operación PUSH deposita un elemento al stack; la operación POP quita elementos del stack.

Se requiere un stack para implementar tres facilidades de programación dentro del sistema: subrutinas, interrupciones y almacenamiento de datos temporales. El stack puede ser implementado de dos formas:

1.- Como un stack de hardware, donde un número fijo de registros puede ser provisto dentro del mismo microprocesador. Un stack de hardware tiene la ventaja de tener alta velocidad pero tiene la desventaja de un limitado número de registros.

2.- Como un stack de software. Para no restringir el stack a un pequeño número de registros, se elige el stack por software. El stack es entonces implementado como un area de memoria. El apuntador de stack, por lo tanto, requiere de 16 bits para apuntar a cualquier lugar de la memoria.

#### EL CICLO DE EJECUCION DE INSTRUCCION.

Examinando la figura 2.4 podemos ver el ciclo de "fetch" (traer una instrucción) de una instrucción de la memoria para ilustrar el papel del program counter.

Asumiendo que el program counter tiene un contenido válido, se tiene identificada una dirección de 16 bits, la cual es la dirección de la siguiente instrucción a ser traída de la memoria.

Cada procesador procede en tres ciclos:

- 1.- Fetch (traer) la siguiente instrucción.
- 2.- Decodificar la instrucción.
- 3.- Ejecutar la instrucción.

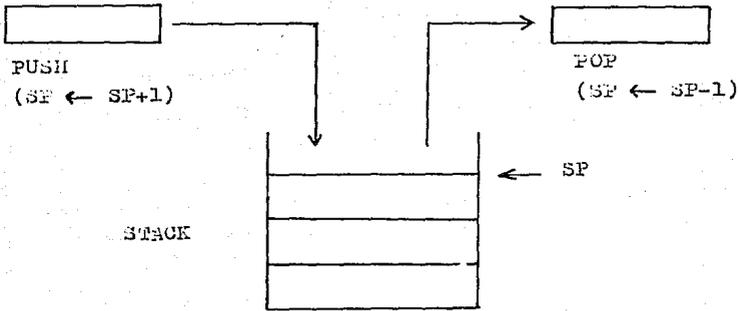


FIGURA 2.3 PUSH Y POP A UN STACK

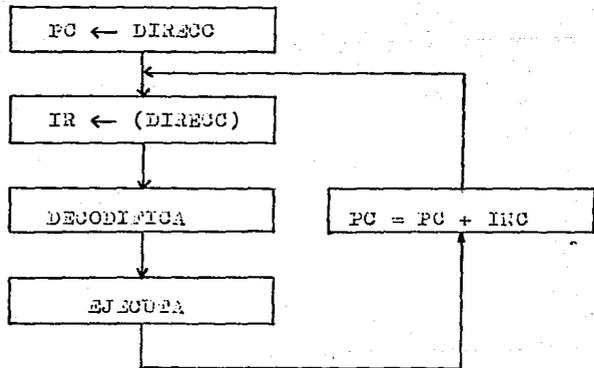


FIGURA 2.4 CICLOS PARA LA EJECUCION DE UNA INSTRUCCION

## FETCH.

En el primer ciclo, el contenido del program counter es depositado en el bus de dirección e introducido a la memoria (a través del bus de dirección). Simultáneamente, una señal de lectura puede ser emitida sobre el bus de control del sistema, si es necesario. La memoria recibe la dirección. La dirección es utilizada para especificar una localidad de la memoria. Al recibir la señal de lectura, la memoria decodifica, a través de decodificadores de internos, la dirección recibida y selecciona la localidad especificada por la dirección. Unos pocos cientos de nanosegundos mas tarde, la memoria deposita los 8 bits de datos correspondientes a la dirección especificada, sobre el bus de datos. Esta palabra de 8 bits es la instrucción que queremos traer.

Describiendo brevemente la respuesta, tenemos: el contenido del program counter va al bus de dirección. Una señal de lectura se genera. La memoria "lee" y aproximadamente 300 nanosegundos mas tarde, la instrucción de la dirección especificada es depositada sobre el bus de datos. El microprocesador entonces lee el bus de datos y deposita su contenido dentro de un registro interno especializado, el IR o registro de instrucción. El IR es un registro de ocho bits y es utilizado para contener la instrucción traída de la memoria.

El ciclo de fetch ahora ha sido terminado. Los ocho bits de la instrucción estan ahora en el registro interno especial del MPU, llamado registro de instrucción (IR).

## DECODIFICACION Y EJECUCION.

Una vez que la instrucción esta en el IR, la unidad de control del microprocesador decodifica el contenido y genera la secuencia correcta de señales internas y externas para la ejecución de la instrucción especificada. Hay, por lo tanto, un pequeño retraso de decodificación seguido por una fase de ejecución, la longitud de la cual, depende de la naturaleza de la instrucción especificada.

## TRAYENDO (FETCHING) LA SIGUIENTE INSTRUCCION.

Durante la ejecución de un programa, las instrucciones son traídas, en secuencia, desde la memoria. Un mecanismo automático debe, por lo tanto, existir para traer las instrucciones en secuencia. Esta tarea es ejecutada por un simple incrementador ligado al program counter. Cada vez que el contenido del program counter es transferido al bus de dirección, el contenido se incrementa y se escribe sobre el program counter. El program counter, junto con su incrementador, proporcionan un mecanismo automático para apuntar a localidades sucesivas de memoria.

- EL CHIP 6809.

El 6809 viene en dos formas diferentes: el MC6809 y el MC6809E. Primero se describirán las señales del MC6809. Entonces se describirán aquellas señales del MC6809E que son diferentes de aquellas del MC6809. Las instrucciones para los dos procesadores son idénticas, solamente unas cuantas patitas son diferentes. La figura 2.5 muestra las patitas del MC6809.

Las señales de control han sido divididas dentro de cuatro grupos:

Las primeras dos patitas de reloj, XTAL y EXTAL, son para la conexión de un cristal externo. El oscilador está contenido dentro del MC6809. La frecuencia del ciclo de reloj es de un cuarto de la frecuencia del cristal. Las otras dos señales de reloj, E para habilitar y Q para cuadratura, son utilizadas para indicar las veces cuando las señales del bus de direcciones y el bus de datos son válidas.

Las tres señales del bus de control DMA/BREQ, BS y BA, son utilizadas para desconectar el MC6809 de sus buses. La DMA/BREQ es la señal de solicitud de bus que es enviada al MC6809. En respuesta el 6809 pone su bus de direcciones, su bus de datos y algunas señales de control (tri-state) en estado de alta impedancia al final de la instrucción que está siendo ejecutada. Los indicadores de estatus del procesador, disponibilidad del bus (BA) y estatus del bus (BS), son utilizados para reconocer que los buses han sido colocados en estado de alta impedancia. Existen cuatro posibles combinaciones de BA y BS. Ellas son:

BA	BS	
-----	-----	
0	0	Normal (corriendo)
0	1	Interrupción o Reset Acknowledge
1	0	Sync Acknowledge
1	1	HALT/Bus Grant Acknowledge

El último estado, cuando BA y BS son 1, es el estado que reconoce el DMA/BREQ.

El MC6809 puede dar el bus a dispositivos DMA por solamente 15 ciclos de reloj a la vez. El procesador entonces tomará el control del bus por al menos un ciclo, para hacer un refresco interno.

Seis señales de control de MC6809 están relacionadas a su estatus interno o secuencial.  $\overline{IRQ}$ ,  $\overline{FIRQ}$  y  $\overline{NMI}$  son las tres señales de interrupción.  $\overline{IRQ}$  es el requerimiento de interrupción normal. Varios dispositivos de entrada/salida pueden ser conectados a la línea de interrupción  $\overline{IRQ}$ . Siempre y cuando una solicitud de interrupción este presente sobre esta línea, y el bit de habilitación de interrupción este habilitado, el 6809 aceptara la interrupción. La señal BA sera puesta a 0 y la señal BS a 1, para indicar un reconocimiento de interrupción.

$\overline{FIRQ}$  es la señal de requerimiento de interrupción rápido. Es similar a  $\overline{IRQ}$  pero se ejecuta mas rapidamente.  $\overline{NMI}$  es la interrupción no-enmascarable. Siempre aceptada por el 6809.

MRDY es una señal utilizada para sincronizar el 6809 con memoria lenta o dispositivos de entrada/salida. Cuando se activa,

esta señal indica que la memoria sobre el dispositivo aun no está lista para la transferencia de datos. El CPU del MC6809 deberá esperar hasta que la señal MRDY se vuelva inactiva. Entonces reasumirá la secuenciación normal.

$\overline{\text{HALT}}$  es utilizada para parar el procesador. Cuando  $\overline{\text{HALT}}$  esta activada, el procesador completa la presente instrucción y permanece parado indefinidamente, sin pérdida de datos. Cuando el procesador es parado, las señales BA y BS estan en "1", para indicar que los buses estan en alta impedancia y el procesador esta en el estado de HALT/BUS GRANT. Cuando la señal  $\overline{\text{HALT}}$  se inactiva, el procesamiento continuara.

$\overline{\text{RESET}}$  es normalmente la señal que inicializa el MPU. Mueve el contenido de las direcciones FFFF y FFFE al PC. El registro DP es puesto a "0" y ambas interrupciones, normal y rápida, son deshabilitadas. La señal BA es "0" y BS es "1", para reconocer el reset. El  $\overline{\text{RESET}}$  es normalmente utilizado despues de que es encendida la computadora.

Existe una señal para control de memoria: la señal de control LECTURA/ESCRITURA ( $R/\overline{W}$ ). Esta salida indica si la siguiente transferencia por el procesador sobre el bus de datos es una lectura o una escritura.

#### SEÑALES DE CONTROL DEL MC6809E.

La principal diferencia entre el MC6809 y el MC6809E es que la versión E requiere un circuito generador de reloj externo. La figura 2.5 muestra las patitas del MC6809E.

Puesto que no existe un oscilador en el MC6809, los pin's XTAL y EXTAL no se necesitan. Los pin's de reloj E y Q son ahora entradas en lugar de salidas. Un circuito externo genera Q y E. Por otra parte, las definiciones de Q y E son las mismas.

Las señales del bus de control son diferentes. El DMA/BREQ es eliminado y reemplazado por TSC, línea de control tres-estados (Three-State Control). La señal TSC pone los buses de direcciones y datos, así como la señal  $R/\bar{W}$ , en estado de alta impedancia con el siguiente ciclo de reloj. Los relojes E y Q deben entonces ser parados por el siguiente ciclo. Las señales BA y BS no son cambiadas. El Control BUSY indica que el procesador esta ejecutando una instrucción que requiere de mas de un ciclo de reloj para estabilizar el dato en la memoria. Un TSC no debere hacerse cuando BUSY este activa. Esto es muy importante para sistemas de multiprocesamiento.

Hay solamente un cambio en las señales de control del MPU para el MC6809E: la entrada MRDY es reemplazada por la señal de Acceso de Memoria Valido Avanzado (AVMA). Esta señal indica que el procesador va a ser un acceso de memoria válido durante el siguiente ciclo de reloj. Esto indica al circuito de reloj que, si la memoria es lenta o una Entrada/Salida esta siendo accesada, la frecuencia de reloj debere ser alargada. El mismo procesador no puede controlar el reloj en el MC6809E.

Existe una nueva señal en el MC6809E: la señal que indica la ejecución del ciclo de instrucción último (LIC) -Last Instruction Cycle-. Esta señal se activa durante el último ciclo de cada instrucción. Cuando esta a un nivel bajo indica que el primer byte de una instrucción sera traído al final del presente ciclo.

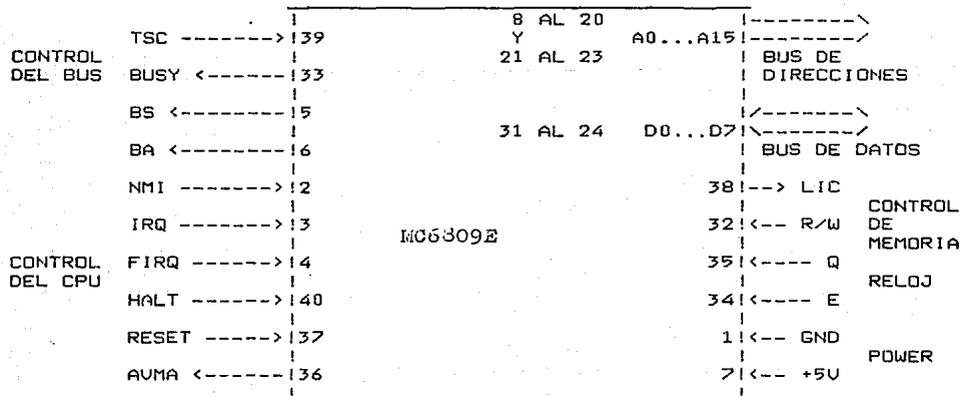
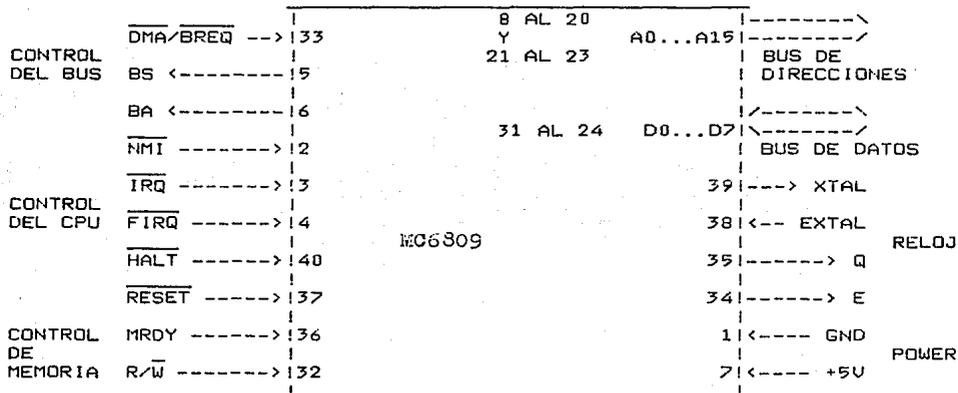


FIGURA 2.5 MC6809 y MC6809E

### III.2 ARQUITECTURA DE SOFTWARE.

#### - ORGANIZACION INTERNA DEL 6809.

Ahora que se tiene una idea mas clara de la organización interna de un microprocesador, examinemos el 6809 en particular.

La figura 2.6 presenta una descripción lógica de la configuración interna del 6809.

Al lado derecho de la ilustración, vemos la unidad aritmética y lógica (ALU).

El registro de código de condición (CC) aparece a la derecha de la ALU, El contenido del registro del código de condición esta esencialmente condicionado por la ALU; no obstante algunos de sus bits pueden tambien ser condicionados por otros módulos o eventos.

Los dos registros a la izquierda de la ALU son los acumuladores A y B. Los acumuladores son registros de 8 bits pero para algunas instrucciones pueden ser usados juntos para formar un acumulador D de 16 bits.

El registro mostrado en el centro de la ilustración es el Registro de Página Directo o DP. El DP es un registro de 8 bits utilizado para direccionar páginas de memoria. Una página es simplemente un bloque de 256 palabras. Ya que el 6809 tiene un bus de direcciones, existen 256 páginas. El registro DP especifica el número de página o los ocho bits más altos de una dirección. Los otros ocho bits son obtenidos de la instrucción que esta siendo ejecutada.

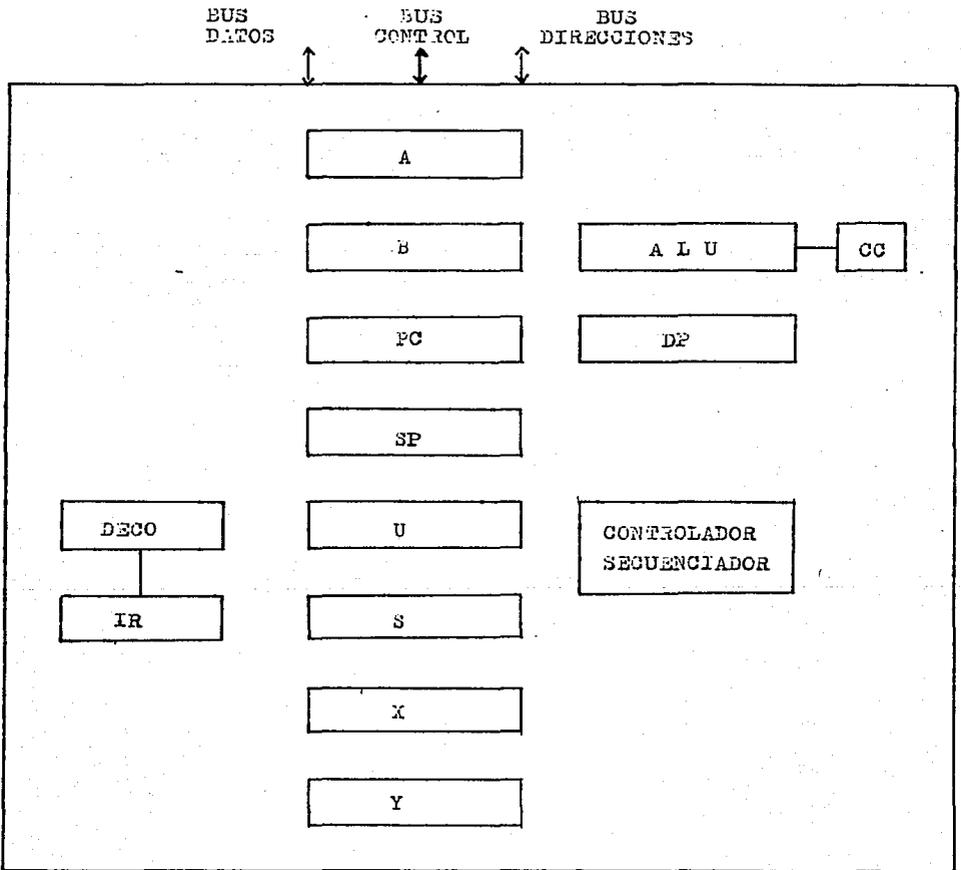


FIGURA 2.6 CONFIGURACION INTERNA 6809

El grupo grande de registros a la izquierda del registro DP, es el grupo formado por los registros de dirección. Como en cualquier microprocesador encontramos el grupo del program counter y el stack pointer.

El registro U es el apuntador del stack del usuario. Este registro se comporta exactamente como el registro S, apuntador del stack.

Los restantes dos registros del grupo de cinco son los llamados registros de Índice. Los dos registros de índice son nombrados como X y Y. Un byte traído a lo largo del bus de datos interno puede ser adicionado al contenido de X o Y. Cuando se utiliza una instrucción de índice, este byte es llamado desplazamiento. Instrucciones especiales son provistas para que automáticamente adicione este desplazamiento al contenido de X o Y y genere una dirección. Esto es llamado Indexación o Indexado, lo cual permite un acceso conveniente a cualquier bloque de datos secuencial. Esta característica es también a registros de dirección PC, U y S.

Abajo y a la izquierda de la figura encontramos el Registro de Instrucción (IR - Instrucción Register -), el cual contiene la instrucción a ser ejecutada. La instrucción es recibida desde la memoria por medio del bus de datos y transmitida a lo largo del bus de datos interno al registro de instrucción. Junto al registro de instrucción aparece el Decodificador, el cual envía señales al controlador-secuenciador y provoca la ejecución de la instrucción dentro y fuera del microprocesador. La Sección de Control genera y maneja el bus de control.

Los tres buses manejados o generados por el sistema, que son, el bus de datos, el bus de direcciones, y el bus de control, todos se propagan hacia afuera del microprocesador hasta sus pines (patas).

El registro de código de condición, define el estado del procesador en cualquier instante. Los bits del registro son:

BIT 0 (C):

Es la bandera de carry, y es usualmente el carry de la unidad aritmética y lógica (ALU). C también es usado como un "prestamo" al ejecutarse una operación de sustracción y viene a ser el complemento para el ALU.

BIT 1 (V):

Es la bandera de overflow y se pone en 1 cuando ocurre un overflow aritmético en operaciones signadas en complemento a dos.

BIT 2 (Z):

Es la bandera de zero y se pone en uno cuando el resultado de la operación previa es igual a cero.

BIT 3 (N):

Es la bandera de negativo, la cual contiene el valor del bit mas significativo del resultado de la operación precedente. Así, un resultado negativo en complemento a dos pondrá el valor de N en uno.

BIT 4 (I):

Es el bit de máscara de IRQ. El procesador no reconocera interrupciones de la línea IRQ si este bit esta en uno. NMI, FIRQ, IRQ, RESET y SWI todas ponen a I en uno. SWI2 y SWI3 no afectan a I.

## BIT 5 (H):

Es el bit de half-carry, y es usado para indicar un carry del bit 3 en el ALU como resultado de una adición en 8-bits. Este bit es usado por la instrucción DAA para ejecutar una operación de ajuste decimal en BCD. El estado de esta bandera esta indefinido para operaciones de sustracción.

## BIT 6 (F):

Es el bit de máscara de FIRQ. El procesador no reconocera interrupciones de la línea FIRQ si este bit esta en uno. NMI, FIRQ, SWI y RESET todas ponen a F en uno. IRQ, SWI2, y SWI3 no afectan a F.

## BIT 7 (E):

Es la bandera de completar (entire) cuando está en uno, indica que el estado completo de la máquina (todos los registros) se salvaron en el stack. El bit E del CC en el stack es usado con la instrucción de retorno de interrupción (RTI) para determinar la amplitud del salvamento en el stack.

## - FORMATOS DE INSTRUCCIONES DEL 6809

Las instrucciones del 6809 pueden ir formateadas en uno, dos, tres, cuatro, o cinco bytes. Desde un punto de vista simple, cada instrucción puede ser representada como un opcode, seguido por una constante opcional o campo de dirección, comprendiendo una o dos palabras. El campo del opcode es el que especifica la operación a llevarse a cabo.

En el caso del 6809, los opcodes son en general de un byte de longitud, excepto para instrucciones especiales que requieren un opcode de 2 bytes.

Muchas instrucciones requieren de un byte de datos o una parte de una dirección en seguida del opcode. En tal caso, la

instrucción sera de 2-bytes o 3-bytes. En otros casos, la instrucción puede requerir la especificación de una dirección. Una dirección requiere 16 bits, esto es 2-bytes. Asi, la instrucción podria tener longitud de 3-bytes o 4-bytes. Como al usar el direccionamiento indexado se agrega un byte mas, las instrucciones pueden ser hasta de 5-bytes.

Para cada byte de la instrucción, la unidad de control debe ejecutar un fetch de memoria, el cual requiere un ciclo de reloj. Asi, las instrucciones mas cortas son ejecutadas mas rápidamente.

### III.3 MODOS DE DIRECCIONAMIENTO.

El aspecto más importante en la arquitectura del 6809 es sin duda su capacidad de direccionamiento. Los modos de direccionamiento más importantes son el indexado y el relativo.

Los registros especiales y modos provistos para direccionamiento indexado hacen del 6809 una excelente máquina para escribir rutinas que manejen estructuras de datos complejas. Los modos de direccionamiento relativo del 6809 permiten escribir código independiente de la posición (especialmente importante en aplicaciones basadas en ROM), una tarea que sería muy difícil con cualquier otro microprocesador de 8 bits. A continuación examinaremos los modos de direccionamiento del 6809, para lo que definiremos:

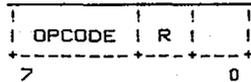
-Dirección efectiva (EA - Effective Address):

Es la dirección de memoria de la cual el argumento para una instrucción es traído o almacenado.

-Una dirección encerrada entre parentesis cuadrados [], indica que nos estamos refiriendo no a la dirección en sí, sino al dato contenido en esa localidad de memoria.

### -DIRECCIONAMIENTO INHERENTE.

Este modo de direccionamiento no tiene dirección efectiva y se usa principalmente para instrucciones de un solo byte que operan con registros internos. En un direccionamiento inherente, el operando se especifica como parte del opcode, siendo por lo general el operando uno de los registros del microprocesador. Este tipo de direccionamiento se denomina también como modo registro o modo implícito.

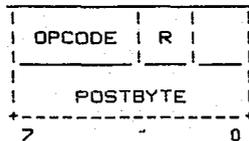


Un ejemplo de una instrucción con direccionamiento inherente es:

DECA

Esta instrucción especifica: "decrementa el contenido de A en uno".

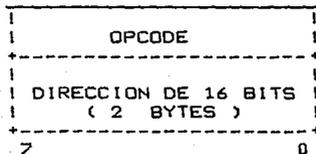
Se tiene otra modalidad para este modo de direccionamiento. En ella, el opcode va seguido de un byte que define un registro o conjunto de registros a ser usados por la instrucción. Este byte se denomina el postbyte.





**-DIRECCIONAMIENTO EXTENDIDO.**

En este modo de direccionamiento, se coloca despues del opcode una dirección (absoluta) de 16 bits que especifica la localidad de memoria usada como operando. Por consiguiente, este modo de direccionamiento se usa en instrucciones de tres bytes. Este modo de direccionamiento tambien se conoce como direccionamiento absoluto.



Aqui tenemos un ejemplo usando el modo de direccionamiento extendido:

**STA >\$1234**

Esta instrucción especifica que el contenido del acumulador se almacena en la localidad de memoria 1234 hexadecimal.

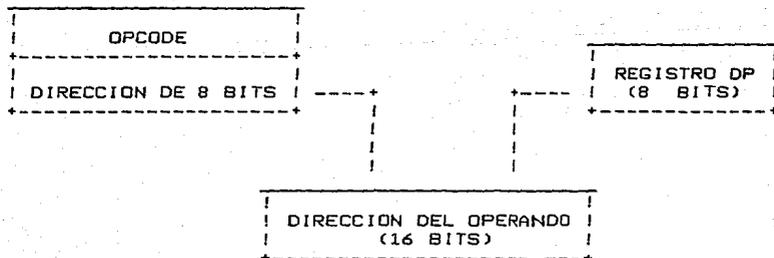
Como caso especial, un nivel de indireccion puede ser agregado al direccionamiento extendido. En el modo extendido indirecto, los dos bytes que siguen al postbyte de una instrucción indexada contienen la dirección del dato.

**-DIRECCIONAMIENTO DIRECTO.**

En el direccionamiento directo, la dirección del operando se especifica en el siguiente byte posterior al opcode. La ventaja de esta implementación es que solo se utilizan dos bytes, en lugar de tres como en el direccionamiento extendido.

En la mayoría de los microprocesadores, el direccionamiento directo solo direcciona los primeros 256 bytes (página cero). Esto es porque solo se especifica una dirección de 8 bits. El 6809 permite direccionar cualquier byte en memoria usando direccionamiento directo en conjunción con el registro de página directo (registro DP).

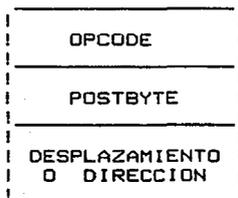
Cuando se usa direccionamiento directo, la dirección de 16 bits del operando se forma tomando como byte menos significativo el byte que sigue inmediatamente al opcode, y el byte más significativo es el contenido del registro DP. Usando apropiadamente el registro DP, se puede acceder cualquier página de memoria.



Este modo requiere menos memoria y se ejecuta más rápidamente que el modo extendido. En este modo no se permite indirección.

**-DIRECCIONAMIENTO INDEXADO.**

En todos los direccionamientos indexados, uno de los registros apuntadores (X, Y, U, S y algunas veces el PC) son usados para calcular la dirección efectiva del operando a ser usado por la instrucción. Ahora revisaremos los cinco tipos básicos de indexado. El postbyte de una instrucción indexada, especifica el tipo básico y variación del modo de direccionamiento, así como el registro apuntador utilizado.



**Modo Indexado con desplazamiento cero (Zero-Offset):** El registro apuntador seleccionado contiene la dirección efectiva del dato a ser usado por la instrucción. La longitud de la instrucción es de dos bytes. Ejemplos:

LDD 0,Y

LDB ,U

**-MODO INDEXADO CON DESPLAZAMIENTO CONSTANTE (CONSTANT-OFFSET).**

La dirección efectiva del operando es la suma de un offset en complemento a dos y el contenido de uno de los registros apuntadores. El contenido inicial del registro apuntador no cambia con la suma. Hay tres tamaños de offset disponibles:

5-bits (-16 a +15) - Utiliza el bit 4 del postbyte como el bit de signo y los bits del 0 al 3 como offset.

8-bits (-128 a +127) - Utiliza el byte siguiente al postbyte como offset en complemento a dos.

16-bits (-32768 a +32767) - Los dos bytes siguientes al postbyte, son el offset en complemento a dos.

Ejemplos de direccionamiento indexado con offset constante:

```
LDA 33,X
LDY -2,S
LDX 400,Y
```

Como programador, normalmente no hay que preocuparse por el offset, ya que el ensamblador debe tomarlo en cuenta.

El direccionamiento indexado con offset constante indirecto funciona en 2 etapas, como todos los indirectos. Primero, la dirección indexada se forma sumando el offset y el valor del registro seleccionado. Entonces, esta dirección es usada para recuperar un apuntador absoluto de dos bytes que es usado como dirección efectiva. Por ejemplo:

```
LDA [X]
LDX [640,S]
```

-MODO INDEXADO CON DESPLAZAMIENTO DEL ACUMULADOR (ACCUMULATOR-OFFSET).

Este modo es similar al indexado con offset constante, excepto que el valor en complemento a dos es uno de los acumuladores (A, B, o D) y se suma al

contenido de uno de los registros apuntadores. El postbyte indica el acumulador a usar, lo que hace innecesarios bytes de desplazamiento. Ni el contenido del acumulador, ni el del registro apuntador se modifican por la adición. Este modo permite indirección.

Ejemplos:

```
LDA A,X
LDY A,X
LEAX B,X
```

#### -MODO INDEXADO AUTOINCREMENTO/AUTODECREMENTO.

En el modo autoincremento, el registro apuntador contiene la dirección del operando. Después que el registro apuntador es usado, se incrementa en 1 o 2. Este modo es muy útil cuando se quiere avanzar a través de tablas, mover datos o crear stacks de software. En el modo autodecremento, el registro apuntador se decrementa antes de usarse como apuntador a la dirección del dato. Como se indica, el incremento o decremento puede ser de 1 o 2 para datos de 8-bits y 16-bits respectivamente, siendo seleccionado por el programador. Un "+" después del registro indica modo autoincremento. Un "+" se usa para datos de 8-bits; dos "+"s se usan para datos de 16-bits. Aquí tenemos un par de ejemplos:

```
LDA ,X+
STD ,Y++
```

Un "-" antes del nombre del registro indica modo autodecremento. Aquí hay dos ejemplos:

LDB , -Y

LDX , --S

En el segundo ejemplo, "--" significa que S se decrementa en dos antes de usarse como dirección efectiva del operando.

Este modo de direccionamiento no permite offsets.

El modo autoincremento indirecto utiliza el valor en el registro seleccionado para recuperar un valor de memoria que es la dirección efectiva del operando. El incremento del registro es siempre de dos.

El modo autodecremento indirecto funciona de manera similar.

#### -MODO INDEXADO INDIRECTO.

Con excepción del modo offset constante de 5-bits y el modo autoincremento/decremento en 1, todos los modos de direccionamiento indexado pueden ser usados con un nivel adicional de indirección. En este modo indirecto, la dirección efectiva está contenida en la localidad especificada por el registro apuntador más algún offset

#### -DIRECCIONAMIENTO RELATIVO.

El direccionamiento relativo envuelve una suma de una constante entera signada al contenido del PC. Cuando este modo es usado en conjunción con una instrucción de brinco (branch), la suma viene a ser el nuevo contenido del PC si el brinco se lleva a cabo; si no, el PC solo avanza a la siguiente instrucción. El offset puede ser de 8-bits o 16-bits de longitud. Esta característica permite al programa brincar a cualquier localidad de memoria.

El direccionamiento relativo requiere dos bytes. El primero es el opcode del "brinco relativo"; el segundo especifica el desplazamiento y su signo. Un "brinco relativo grande", requiere un byte extra para el opcode de "brinco relativo grande", y un segundo byte para el desplazamiento, haciendo un total de 4 bytes.

#### -DIRECCIONAMIENTO RELATIVO AL PROGRAM COUNTER (PC).

Este modo de direccionamiento es una combinación del modo indexado con offset constante y el modo relativo. Al usar este modo de direccionamiento, se genera la dirección efectiva a partir de la suma del PC actual y un offset en complemento a dos de 8-bits o 16-bits. Esta dirección efectiva es usada para traer el dato. El PC no cambia con la adición, como en el caso de direccionamiento relativo normal. Un postbyte despues del opcode especifica el modo relativo al PC.

En el siguiente ejemplo, la dirección inicial de una tabla es cargada en el registro X:

LEAX TABLA, PCX

El número de localidades de memoria entre esta instrucción y el comienzo de la tabla esta contenido en el símbolo TABLA. Mientras este número no cambie, el programa y la tabla pueden ser movidos a cualquier parte de la memoria y el programa seguira funcionando correctamente. Esta es la esencia del código independiente de la posición.

El direccionamiento relativo al PC es un tipo de direccionamiento indexado, por consiguiente se permite un nivel de indirección. La suma del PC y un offset forman un apuntador a una localidad que contiene la dirección efectiva. Ejemplo:

```
LEAX [TABLA,PC]R
```

#### -DIRECCIONAMIENTO EXTENDIDO INDIRECTO.

Esta es otra opción del direccionamiento indexado indirecto. Para el modo extendido, los dos bytes que siguen al postbyte se usan como apuntador a la localidad de memoria que contiene la dirección efectiva

#### -DIRECCIONAMIENTO ABSOLUTO INDIRECTO.

El procesador debe tener algun método de restablecer y manejar vectores de interrupción. Este es el único propósito de este modo de direccionamiento. Las condiciones son servidas trayendo el contenido de localidades de memoria exactas y cargándolas en el PC.

TABLE 4 - 8-BIT ACCUMULATOR AND MEMORY INSTRUCTIONS

Instruction	Operation
ADCA, ADCB	Add memory to accumulator with carry
ADDA, ADDB	Add memory to accumulator
ADVA, ADVB	2-3 memory with accumulator
ASLA, ASLB, ASLH	Arithmetic shift of accumulator or memory left
ASR, ASRA, ASRB	Arithmetic shift of accumulator or memory right
BITA, BITB	Bit test memory with accumulator
CLR, CLRA, CLRB	Clear accumulator or memory location
COMA, COMB	Complement memory from accumulator
COMA, COMA, COMB	Complement accumulator or memory location
DAA	Decimal adjust A accumulator
DEC, DECA, DECB	Decrement accumulator or memory location
EQVA, EQVB	Exclusive of memory with accumulator
EXG R1, R2	Exchange R1 with R2 (R1, R2 = A, B, CC, DP)
INC, INCA, INCB	Increment accumulator or memory location
LDA, LDB	Load accumulator from memory
LDA, LSRA, LSLB	Logical shift left accumulator or memory location
LSR, LSRA, LSRB	Logical shift right accumulator or memory location
MUL	Unsigned multiply (A × B = Q)
NEG, NEGA, NEGB	Negate accumulator or memory
ORA, ORB	Or memory with accumulator
ROL, ROLA, ROLB	Rotate accumulator or memory left
ROR, RORA, RORB	Rotate accumulator or memory right
SBCA, SBCB	Subtract memory from accumulator with borrow
STA, STB	Store accumulator to memory
SUBA, SUBB	Subtract memory from accumulator
TST, TSTA, TSTB	Test accumulator or memory location
TRR R1, R2	Transfer R1 to R2 (R1, R2 = A, B, CC, DP)

NOTE: A, B, CC or DP may be pushed to (popped from) either stack with PSHS, PSHU (PULS, PULU) instructions.

TABLE 5 - 16-BIT ACCUMULATOR AND MEMORY INSTRUCTIONS

Instruction	Operation
ADD	Add memory to D accumulator
CMPO	Compare memory from D accumulator
EXG D, R	Exchange D with R, Y, S, U or PC
LOD	Load D accumulator from memory
SEK	Sign Extend B accumulator with A accumulator
STD	Store D accumulator to memory
SUBD	Subtract memory from D accumulator
TRR D, B	Transfer D to R, Y, S, U or PC
TRR R, D	Transfer R, Y, S, U or PC to D

NOTE: D may be pushed (popped) to either stack with PSHS, PSHU (PULS, PULU) instructions.

TABLE 6 - INDEX REGISTER/STACK POINTER INSTRUCTIONS

Instruction	Description
CMPI, CMPI	Compare memory from memory register
CMPI, CMPI	Compare memory from index register
EXI, EXI, R2	Exchange D, A, Y, S, U or PC with D, R, Y, S, U or PC
LEA, LEA	Load effective base address with stack pointer
LEA, LEA	Load effective base address with index register
LDI, LDI	Load stack pointer from memory
LDX, LDX	Load stack register from memory
PSHA	Push A, B, CC, DP, D, E, X, Y, or PC onto stack (index stack)
PSHB	Push A, B, CC, DP, D, E, X, Y, or PC onto stack (base stack)
PSHA, PSB	Push A, B, CC, DP, D, E, X, Y, or PC from hardware stack
PSHA, PSB	Push A, B, CC, DP, D, E, X, Y, or PC from hardware stack
PSH, PSU	Push stack pointer to memory
PSH, PSU	Push stack register to memory
TRR R1, R2	Transfer D, R, Y, S, U or PC to D, R, Y, S, U or PC
ABX	Adjust D accumulator by X (multiply)

TABLE 7 - BRANCH INSTRUCTIONS

Instruction	Description
SIMPLE BRANCHES	
BEG, LBEG	Branch if equal
BNE, LBNE	Branch if not equal
BMI, LBMI	Branch if minus
BPL, LBPL	Branch if plus
BCC, LBCC	Branch if carry set
BCC, LBCC	Branch if carry clear
BVS, LBVS	Branch if overflow set
BVC, LBVC	Branch if overflow clear
SIGNED BRANCHES	
BGT, LBGT	Branch if greater (signed)
BVS, LBVS	Branch if valid 2's complement result
BGE, LBGE	Branch if greater than or equal (signed)
BEG, LBEG	Branch if equal
BNE, LBNE	Branch if not equal
BLE, LBLE	Branch if less than or equal (signed)
BVC, LBVC	Branch if valid 2's complement result
BLT, LBLT	Branch if less than (signed)
UNSIGNED BRANCHES	
BHI, LBHI	Branch if higher (unsigned)
BCC, LBCC	Branch if higher or same (unsigned)
BHS, LBHS	Branch if higher or same (unsigned)
BEO, LBEO	Branch if equal
BNE, LBNE	Branch if not equal
BLS, LBLS	Branch if lower or same (unsigned)
BCC, LBCC	Branch if lower (unsigned)
BLO, LBLO	Branch if lower (unsigned)
OTHER BRANCHES	
BSR, LBSR	Branch to subroutine
URA, LURA	Branch ahead
BRX, LBRX	Branch near

TABLE 8 - MISCELLANEOUS INSTRUCTIONS

Instruction	Description
ANDCC	AND condition code register
CMVAL	AND condition code register, then wait for interrupt
NCP	No operation
ORCC	OR condition code register
JMP	Jump
JSR	Jump to subroutine
RTI	Return from interrupt
RTS	Return from subroutine
SWI, SWI2, SWI3	Software interrupt (software interrupt)
SYNC	Synchronize with interrupt line

TABLE 9 - HEXADECIMAL VALUES OF MACHINE CODES

OP	Mnem	Mode	-	#	OP	Mnem	Mode	-	#	OP	Mnem	Mode	-	#
00	NEG	Direct	6	2	30	LEAX	Inherent	4*	2*	60	NEG	Inherent	6*	2*
01	*	↑	6	2	31	LEAY	↑	4*	2*	61	*	↑	6*	2*
02	*				32	LEAS				62	*			
03	COM				33	LEAU				63	COM			
04	LSR				34	PSMS				64	LSR			
05	ROR	6	2	35	PULS	Inherent	5*	2	65	*	6*	2*		
06	ASR	6	2	36	PSHU	Inherent	5*	2	66	ROR	6*	2*		
07	ASL, LSL	6	2	37	PULU	Inherent	5*	2	67	ASR	6*	2*		
08	ROL	6	2	38	RTS	Inherent	5	1	68	ASL, LSL	6*	2*		
09	DEC	6	2	39	RTS	↑	3	1	69	RJL	6*	2*		
0A	DEC	6	2	3A	ABX				q/15	1	6A	DEC	6*	2*
0B	*	↓	6	2	3B	RTI	↓	q/20	2	6C	INC	↓	6*	2*
0C	INC				6	2				3C	CWAI			
0D	TST	6	2	3D	MUL	↓	*	1	6E	JMP	6*	2*		
0E	JMP	6	2	3E	*				Inherent	19	1	6F	PIR	6*
0F	CLR	Direct	6	2	3F	SWI	Inherent	19				1	6F	PIR
10	Page 2	-	-	-	40	NEGA	↑	2	1	70	NEG	↑	7	3
11	Page 3	-	-	-	41	*				71	*			
12	NOP	Inherent	2	1	42	*	2	1	72	*	COM	7	3	
13	SYNC	Inherent	2	4	43	COMA				73				COM
14	*	Relative	5	3	44	LSRA	2	1	74	LSR	7	3		
15	*				45	*			75	*				
16	LBRA	Relative	5	3	46	RORA	2	1	76	ROR	7	3		
17	LBSR	Relative	5	3	47	ASRA			77	ASL, LSL				
18	*	Inherent	2	1	48	ASLA, LSLA	2	1	78	ASL, LSL	7	3		
19	DAA				49	ROLA			79	ROL				
1A	ORCC	Inherent	2	1	4A	DECA	2	1	7A	DEC	7	3		
1B	*	4B	*	7B	*									
1C	ANDCC	Inherent	2	1	4C	INCA	2	1	7C	INC	7	3		
1D	SEX	Inherent	2	1	4D	TSTA			7D	TST				
1E	ERG	Inherent	8	2	4E	*	2	1	7E	JMP	4	3		
1F	FRP	Inherent	6	2	4F	CLRA			Inherent	2			1	7F
20	BRA	Relative	3	2	50	NEGB	↑	2	1	80	SUBA	↑	2	2
21	BRN				51	*				81	CMPA			
22	BHI	3	2	52	*	2	1	82	SBCA	2	2			
23	BLS	3	2	53	COMB			83	SUBD					
24	BMS, BCC	3	2	54	LSRB	2	1	84	ANDA	2	2			
25	BLO, BCS	3	2	55	*			85	BITA					
26	BNC	3	2	56	RORB	2	1	86	LDA	2	2			
27	BEO	3	2	57	ASRB			87	*					
28	BVC	3	2	58	ASLB, LSLB	2	1	88	EDRA	2	2			
29	BVS	3	2	59	ROLB			89	ADCA					
3A	BPL	3	2	5A	DECB	2	1	8A	ORA	2	2			
3B	BMI	3	2	5B	*			8B	ALDA					
3C	BGI	3	2	5C	INCB	2	1	8C	CMPS	2	2			
3D	BGT	3	2	5D	TSTB			8D	BSR					
3E	BGT	3	2	5E	*	↑	2	1	8E	LDX	↓	Inherent	6	3
3F	BLE	Relative	3	2	5F				CLRB	Inherent				

## LEGEND

- Number of MPU cycles (lets possible push pull or indexed mode cycles)

# Number of program bytes

\* Denotes unused opcode

TABLE 9 -- HEXADECMAL VALUES OF MACHINE CODES (CONTINUED)

OP	Mnem	Mode	-	#	OP	Mnem	Mode	-	#	OP	Mnem	Mode	-	#
90	SUBA	Direct	4	2	C0	SUBB	Immed	2	2	Page 2 and 3 Machine Codes				
91	CMPA	↑	4	2	C1	CMPB	↑	2	2					
92	SBCA	↑	4	2	C2	SBCB	↑	2	2	1022	LBSL	↑	5	4
93	SUBD	↑	6	2	C3	ADDD	↑	4	3	1023	LBSL	↑	5	4
94	ANDA	↑	4	2	C4	ANDB	↑	2	2	1024	LBHS, LBCC	↑	5	4
95	BITA	↑	4	2	C5	BITB	↑	2	2	1025	LBCC, LBLO	↑	5	4
96	LDA	↑	4	2	C6	LDL	↑	2	2	1026	LBNE	↑	5	4
97	STA	↑	4	2	C7	"	↑	2	2	1027	LBEO	↑	5	4
98	EORA	↑	4	2	C8	EORB	↑	2	2	1028	LBVC	↑	5	4
99	ADCA	↑	4	2	C9	ADCB	↑	2	2	1029	LBVS	↑	5	4
9A	ORA	↑	4	2	CA	ORB	↑	2	2	102A	LBPL	↑	5	4
9B	ADDA	↑	4	2	CB	ADDB	↑	2	2	102B	LBMI	↑	5	4
9C	CMPX	↑	6	2	CC	LDD	↑	3	3	102C	LBGE	↑	5	4
9D	JSR	↑	7	2	CD	"	↑	3	3	102D	LBGT	↑	5	4
9E	LDX	↑	5	2	CE	LDU	↑	3	3	102E	LBGT	↑	5	4
9F	STX	Direct	5	2	CF	"	↑	3	3	102F	LBLE	Relative	5	4
A0	SUBA	↑	4+	2+	D0	SUBB	Direct	4	2	1030	LBWE	↑	5	4
A1	CMPA	↑	4+	2+	D1	CMPB	↑	4	2	1031	LBVE	Relative	5	4
A2	SBCA	↑	4+	2+	D2	SBCB	↑	4	2	103F	SWIZ	Inherent	20	2
A3	SUBD	↑	6+	2+	D3	ADDD	↑	6	2	1053	CMPD	Inherent	5	4
A4	ANDA	↑	4+	2+	D4	ANDB	↑	4	2	106C	CMPLY	↑	5	4
A5	BITA	↑	4+	2+	D5	BITB	↑	4	2	108E	LDY	Inherent	4	4
A6	LDA	↑	4+	2+	D6	LDL	↑	4	2	1093	CMPD	Direct	7	3
A7	STA	↑	4+	2+	D7	STB	↑	4	2	109E	LDY	↑	6	3
A8	EORA	↑	4+	2+	D8	EORB	↑	4	2	109F	STY	Direct	6	3
A9	ADCA	↑	4+	2+	D9	ADCB	↑	4	2	10A3	CMPD	↑	7+	3+
AA	ORA	↑	4+	2+	DA	ORB	↑	4	2	10A6	LDY	↑	6+	3+
AB	ADDA	↑	6+	2+	DB	ADDB	↑	5	2	10AF	STY	Inherent	6+	3+
AC	CMPX	↑	7+	2+	DC	LDD	↑	5	2	10B2	CMPD	↑	8	4
AD	JSR	↑	6+	2+	DD	STD	↑	5	2	10B3	CMPLY	↑	8	4
AE	LDX	↑	6+	2+	DE	LDL	↑	5	2	10BE	LDY	↑	7	4
AF	STX	↑	6+	2+	DF	STU	Direct	5	2	10BF	STY	Extended	7	4
B0	SUBA	↑	5	3	E0	SUBB	↑	4+	2+	10CE	LDS	Inherent	4	4
B1	CMPA	↑	5	3	E1	CMPB	↑	4+	2+	10DE	LDS	Direct	6	3
B2	SBCA	↑	5	3	E2	SBCB	↑	4+	2+	10E6	LDS	↑	6+	3+
B3	SUBD	↑	7	3	E3	ADDD	↑	6+	3	10FE	LDS	↑	6+	3+
B4	ANDA	↑	5	3	E4	ANDB	↑	4+	2+	10FF	LDS	↑	6+	3+
B5	BITA	↑	5	3	E5	BITB	↑	4+	2+	113F	SWIZ	Inherent	20	2
B6	LDA	↑	5	3	E6	LDL	↑	4+	2+	1183	CMPU	Inherent	5	4
B7	STA	↑	5	3	E7	STB	↑	4+	2+	118C	CMPU	Inherent	5	4
B8	EORA	↑	5	3	E8	EORB	↑	4+	2+	1193	CMPU	Direct	7	3
B9	ADCA	↑	5	3	E9	ADCB	↑	4+	2+	119C	CMPU	Direct	7	3
BA	ORA	↑	5	3	EA	ORB	↑	4+	2+	11A3	CMPU	Inherent	7+	3+
BB	ADDA	↑	5	3	EB	ADDB	↑	4+	2+	11AC	CMPU	Inherent	7+	3+
BC	CMPX	↑	7	3	EC	LDD	↑	5+	2+	11B3	CMPU	Inherent	8	4
BD	JSR	↑	8	3	ED	STD	↑	5+	2+	11BC	CMPU	Inherent	8	4
BE	LDX	↑	6	3	EE	LDL	↑	5+	2					
BF	STX	↑	6	3	EF	STU	↑	5+	2					
					F0	SUBB	↑	5	3					
					F1	CMPB	↑	5	3					
					F2	SBCB	↑	5	3					
					F3	ADDD	↑	5	3					
					F4	ANDB	↑	5	3					
					F5	BITB	↑	5	3					
					F6	LDL	↑	5	3					
					F7	STB	↑	5	3					
					F8	EORB	↑	5	3					
					F9	ADCB	↑	5	3					
					FA	ORB	↑	5	3					
					FB	ADDB	↑	5	3					
					FC	LDD	↑	6	3					
					FD	STD	↑	6	3					
					FE	LDU	↑	6	3					
					FF	STU	↑	6	3					

NOTE: All unused opcodes are both undefined and illegal.



FIGURE 18 -- PROGRAMMING AID (CONTINUED)

## Branch Instructions

Instruction	Format	Addressing Mode		Description	Timing					
		OP	1-3		1	2	3	4	5	
BCC	BCC	20	3	2	Branch C=0	*	*	*	*	*
	LBCC	10	5(4)	6	Long Branch C=0	*	*	*	*	*
BCS	BCS	20	3	2	Branch C=1	*	*	*	*	*
	LBCC	10	5(4)	6	Long Branch C=1	*	*	*	*	*
BEQ	BEQ	27	3	2	Branch Z=1	*	*	*	*	*
	LBEO	10	5(4)	6	Long Branch Z=1	*	*	*	*	*
BGE	BGE	2C	3	2	Branch > Zero	*	*	*	*	*
	LBGE	10	5(4)	6	Long Branch > Zero	*	*	*	*	*
BGT	BGT	28	3	2	Branch > Zero	*	*	*	*	*
	LBGT	10	5(4)	6	Long Branch > Zero	*	*	*	*	*
BHI	BHI	22	3	2	Branch Higher or Same	*	*	*	*	*
	LBHI	10	5(4)	6	Long Branch Higher or Same	*	*	*	*	*
BHS	BHS	26	3	2	Branch Higher or Same	*	*	*	*	*
	LBHS	10	5(4)	6	Long Branch Higher or Same	*	*	*	*	*
BLE	BLE	24	3	2	Branch < Zero	*	*	*	*	*
	LBLE	10	5(4)	6	Long Branch < Zero	*	*	*	*	*
BLO	BLO	25	3	2	Branch Lower	*	*	*	*	*
	LBLO	10	5(4)	6	Long Branch Lower	*	*	*	*	*

Instruction	Format	Addressing Mode		Description	Timing					
		OP	1-3		1	2	3	4	5	
BLS	BLS	23	3	2	Branch < Same or Same	*	*	*	*	*
	LBLS	10	5(4)	6	Long Branch < Same or Same	*	*	*	*	*
BLT	BLT	2D	3	2	Branch < Zero	*	*	*	*	*
	LBLT	10	5(4)	6	Long Branch < Zero	*	*	*	*	*
BMI	BMI	2B	3	2	Branch Minus	*	*	*	*	*
	LBMI	10	5(4)	6	Long Branch Minus	*	*	*	*	*
BNE	BNE	25	3	2	Branch Z=0	*	*	*	*	*
	LBNE	10	5(4)	6	Long Branch Z=0	*	*	*	*	*
BPL	BPL	24	3	2	Branch Plus	*	*	*	*	*
	LBPL	10	5(4)	6	Long Branch Plus	*	*	*	*	*
BRA	BRA	33	3	2	Branch Always	*	*	*	*	*
	LBRA	18	5	3	Long Branch Always	*	*	*	*	*
BRN	BRN	21	3	2	Branch Never	*	*	*	*	*
	LB RN	10	5	4	Long Branch Never	*	*	*	*	*
BSR	BSR	BD	7	2	Branch to Subroutine	*	*	*	*	*
	LB SR	17	9	3	Long Branch to Subroutine	*	*	*	*	*
BVC	BVC	26	3	2	Branch V=0	*	*	*	*	*
	LBVC	10	5(4)	6	Long Branch V=0	*	*	*	*	*
BVS	BVS	25	3	2	Branch V=1	*	*	*	*	*
	LBVS	10	5(4)	6	Long Branch V=1	*	*	*	*	*

## SIMPLE BRANCHES

	OP	1-3	4
BRA	33	3	2
LBRA	18	5	3
BRN	21	3	2
LB RN	1021	5	4
BSR	BD	7	2
LB SR	17	9	3

## SIMPLE CONDITIONAL BRANCHES (Notes 1-4)

Test	True	OP	False	OP
N=1	BMI	2B	BPL	2A
Z=1	BEQ	27	BNE	25
V=1	BVS	25	BVC	26
C=1	BCS	20	BCC	24

## SIGNED CONDITIONAL BRANCHES (Notes 1-4)

Test	True	OP	False	OP
r<m	BGT	2E	BLE	2F
r<m	BGE	2C	BLT	2D
r=m	BEQ	27	BNE	25
r>m	BLE	2F	BGT	2E
r<m	BLT	2D	BGE	2C

## UNSIGNED CONDITIONAL BRANCHES (Notes 1-4)

Test	True	OP	False	OP
r<m	BHI	22	BLS	23
r<m	BHS	24	BLO	25
r=m	BEQ	27	BNE	25
r<m	BLS	23	BHI	22
r<m	BLO	25	BHS	24

## NOTES

- All conditional branches have both short and long variations
- All short branches are 2 bytes and require 3 cycles
- All conditional long branches are formed by prefixing the short branch opcode with 10 and using a 16-bit destination offset
- All conditional long branches require 4 bytes and 6 cycles if the branch is taken or 5 cycles if the branch is not taken.
- 5(4) means 5 cycles if branch not taken, 6 cycles if taken



### III.4 CONJUNTO DE INSTRUCCIONES.

Es posible clasificar las instrucciones de un microprocesador de diversas maneras. En nuestro análisis distinguiremos seis categorías de instrucciones:

- 1- transferencia de datos
- 2- procesamiento de datos
- 3- Apuntadores de datos
- 4- Prueba y brinco
- 5- Entrada/salida
- 6- Control

#### - INSTRUCCIONES DE TRANSFERENCIA DE DATOS

Tenemos 3 tipos de instrucciones de transferencia de datos: Transferencias de 8-bits, transferencias de 16-bits y operaciones de stack.

-Transferencias de 8-bits: La mayoría de las transferencias de datos de 8-bits son operaciones de load y store para transferencias de datos entre registros y memoria.

Este tipo de instrucciones también engloba las instrucciones de transferencia e intercambio entre los registros del microprocesador. Aquí tenemos algunos ejemplos de instrucciones de transferencia de 8-bits:

LDA ADDR1 ; Carga el acumulador A de memoria  
STB ADDR1 ; Guarda al acumulador B en memoria  
TFR A,DP ; Transfiere el contenido de A al  
registro DP  
EXG A,B ; Copia el contenido de A en B y el  
de B en A

- Transferencias de 16-bits: Podemos usar las mismas instrucciones utilizadas en las transferencias de 8-bits para llevar a cabo transferencias de 16-bits. Por ejemplo, podemos usar load y store para cargar o almacenar de memoria cinco registros de 16-bits, D, X, Y, U y S. Podemos tambien utilizar TFR y EXG para mover datos de registros de 16 bits, inclusive el PC.

- Operaciones del stack: Las operaciones de stack mueven datos entre el tope del stack y los registros del procesador. El 6809 tiene dos operaciones de stack PUSH y PULL, y tiene dos stack pointers, el del stack de hardware S, y el del stack del usuario U.

Siempre que un registro de 8-bits es introducido en el stack, el stack pointer se decrementa en 1. Si se introduce un registro de 16-bits, el stack pointer se decrementa en 2, y se coloca en primer lugar el byte bajo. Las instrucciones de pull son similares al push,

excepto que en este caso se incrementa el stack pointer.

#### - INSTRUCCIONES DE PROCESAMIENTO DE DATOS

Podemos clasificar las operaciones de procesamiento de datos en cuatro categorías: aritméticas, lógicas, de corrimiento y manipulación de bits.

- Operaciones aritméticas: Son básicamente tres, de adición, de sustracción y de multiplicación, además de algunas de uso especial. Ahora las enumeraremos:

ADD - Suma

ADC - Suma con carry

SUB - Sustracción

SBC - Sustracción con carry

DAA - Ajuste decimal (operaciones en BCD)

COM - Complemento a unos

NEG - Complemento a dos

INC - Incremento en uno

DEC - Decremento en uno

MUL - Multiplicación (8-bits X 8-bits)

- Operaciones lógicas: El 6809 provee tres operaciones lógicas AND, OR y EOR, además de una instrucción de comparación CMP.

AND - Ejecuta la función lógica AND

Esta es una función de dos operandos y se define así:

0 AND 0 = 0

0 AND 1 = 0

1 AND 0 = 0

1 AND 1 = 1

OR - Ejecuta la función lógica OR (inclusiva)

Esta es una función de dos operandos y se define así:

0 OR 0 = 0

0 OR 1 = 1

1 OR 0 = 1

1 OR 1 = 1

EOR - Ejecuta la función lógica OR exclusiva

Esta es una función de dos operandos y se define así:

0 EOR 0 = 0

0 EOR 1 = 1

1 EOR 0 = 1

1 EOR 1 = 0

CMP - Ejecuta una sustracción que no afecta a los operandos, sino solo modifica el registro de códigos de condición CC.

-Operaciones de corrimiento: Las operaciones englobadas en esta categoría son las de SHIFT y ROTATE. Es posible ejecutar corrimientos a la derecha o a la izquierda, según se requiera.

- Operaciones de manipulación de bits: A este grupo pertenecen las siguientes tres instrucciones:

ANDCC - Ejecuta la función lógica AND entre el registro CC y el byte que sigue inmediatamente a la instrucción.

ORCC - Ejecuta la función lógica OR entre el registro CC y el byte que sigue inmediatamente a la instrucción.

BIT - Modifica el contenido del registro CC según el resultado de una operación AND entre un acumulador y una localidad de memoria de 8-bits. Ni el acumulador ni la localidad de memoria modifican su contenido con esta operación.

#### - INSTRUCCIONES DE APUNTAORES DE DATOS

La instrucción de carga dirección efectiva (LEA) es la instrucción de apuntadores de datos en el 6809. Esta instrucción carga alguno de los siguientes 4 registros: X, Y, U, o S. El registro es cargado con la suma de uno de los registros apuntadores y alguno de los acumuladores, A, B, o D. Esto permite que el registro apuntador apunte a una dirección específica. Esto permite definir fácilmente bloques de datos relativos a otras direcciones.

## - INSTRUCCIONES DE PRUEBA Y BRINCO

Una instrucción de brinco fuerza al programa a ir a una localidad específica de memoria. Cambia el flujo normal de ejecución del programa de un modo secuencial a un modo donde un segmento diferente del programa es ejecutado repentinamente. Un brinco puede ser condicional o incondicional. Un brinco incondicional es aquel donde el brinco se ejecuta sin importar ninguna condición. Un brinco condicional es aquel donde el brinco se lleva a cabo solamente si se cumplen una o más condiciones. Este tipo de instrucciones son usadas para tomar decisiones basadas en datos o en resultados calculados.

Los dos principales tipos de instrucciones de brinco provistos en el 6809 son, las de brinco dentro del programa principal y las utilizadas para saltar hacia y desde una subrutina.

En el caso de brinco condicionales, uno o más de los cuatro bits de condición (Z, C, V y N) pueden ser probados si son 0 o 1.

Estos son los mnemónicos para estas instrucciones:

BCC = Branch if Carry Clear	(brinca si C = 0)
BCS = Branch if Carry Set	(brinca si C = 1)
BEQ = Branch if EQUAL to zero	(brinca si Z = 1)
BNE = Branch if Not Equal to Zero	(brinca si Z = 0)
BMI = Branch if MInus	(brinca si N = 1)
BPL = Branch if PLus	(brinca si N = 0)
BVC = Branch if oVerflow Clear	(brinca si V = 0)
BVS = Branch if oVerflow Set	(brinca si V = 1)

Algunas instrucciones de brinco, prueban combinaciones de los bits de códigos de condición. Estas son usadas frecuentemente despues de la instrucción compare (CMP). Son estas:

BGE = Branch if Greater than or Equal to

Brinca si (N EOR V) = 0

BGT = Branch if Greater Than

Brinca si (Z AND (N EOR V)) = 0

BHI = Branch if Higher

Brinca si (C OR Z) = 0

BLE = Branch if Less than or Equal to

Brinca si (Z OR (N EOR V)) = 1

BLS = Branch if Lower or Same

Brinca si (C OR Z) = 1

BLT = Branch if Less Than

Brinca si (N EOR V) = 1

Hay dos instrucciones de brinco que repiten el opcode de otras, y estan disponibles para facilidad del programador. Son estas:

BHS = Branch if Higer or Same            duplica a BCC

BLO = Branch if Lower                    duplica a BCS

La instrucción de brinco relativo incondicional es BRA (BRanch Always). La instrucción BRN (BRanch Never) nunca brinca y es en realidad una instrucción nula.

El 6809 tiene instrucciones especiales para brincos largos. En la mayoria de los microprocesadores, las instrucciones de

brinco solo son capaces de moverse 127 localidades de memoria hacia adelante o 128 hacia atrás. Con los brinco largos, el 6809 es capaz de moverse 32767 localidades hacia adelante y 32768 hacia atrás. Para formar el mnemónico de ensamblador correspondiente a un brinco largo, solo se agrega la letra L antes del mnemónico del brinco correspondiente.

Otra instrucción de brinco incondicional es JMP (Jump). Este no es un salto relativo.

Para ir a una subrutina, tenemos la instrucción relativa BSR (Branch to SubRoutine). La instrucción JSR (Jump to SubRoutine) va a una subrutina utilizando una dirección efectiva. La instrucción de interrupción de software (SWI - Software Interrupt) es una instrucción de brinco especial, pues salva todos los registros en el stack de hardware y ejecuta un salto, trayendo al nuevo PC de una de las tres direcciones últimas de la memoria. Las tres posibles localidades que contendrán el nuevo PC son: (FFFA):(FFFB), (FFF4):(FFF5) y (FFF2):(FFF3).

La instrucción de retorno de subrutina es RTS (ReTurn from Subroutine). Una instrucción especial de retorno de subrutina es RTI (ReTurn from Interrupt), provista en el caso de subrutinas de servicio a una interrupción.

#### - INSTRUCCIONES DE ENTRADA/SALIDA

Es posible direccionar dispositivos de entrada/salida de dos maneras: como localidades de memoria (usando alguna de las instrucciones descritas previamente) o utilizando instrucciones de entrada/salida específicas. El 6809 no tiene instrucciones especiales para entrada/salida.

Las instrucciones usuales para direccionamiento de memoria, utilizan tres bytes: uno para el opcode y otros dos para la dirección. Como resultado, estas instrucciones se ejecutan lentamente, ya que requieren tres accesos a memoria. Sin embargo, si usamos direccionamiento directo, la instrucción será ahora de dos bytes, por lo que solo se requerirán dos accesos a memoria. Esto permite una ejecución más rápida.

#### - INSTRUCCIONES DE CONTROL

Las instrucciones de control modifican el modo de operar del CPU y manipulan su información de status interno. El 6809 provee tres instrucciones de control: NOP, SYNC y CWAI.

La instrucción NOP es una instrucción de no-operación que no hace nada durante dos ciclos de reloj. Típicamente se usa ya sea para introducir pausas deliberadas o para rellenar espacios en un programa durante la etapa de depuración del programa.

La instrucción SYNC se usa en conjunción con las interrupciones. Esta función, suspende la operación del CPU y pone los buses de datos y de direcciones en estado de alta impedancia. El CPU restablece su operación hasta que recibe una señal de interrupción. El programa debe ser restablecido explícitamente cuando se usa una instrucción de SYNC.

Finalmente, la última instrucción de control es CWAI (Clear condition code bits and wait for an interrupt). Esta instrucción ejecuta un AND entre el registro de códigos de condición y el byte inmediato al opcode, lo que permite borrar cualquier bit de código de condición, almacena todos los registros en el stack de

hardware, y espera una interrupción. Cuando la interrupción ocurre, el estado de la máquina no necesita ser salvado antes de atender la interrupción. Los buses de datos y de direcciones no se ponen en alta impedancia como con la instrucción SYNC.

Hasta ahora solo se han descrito los seis tipos de instrucciones disponibles con el 6809. Ahora mostramos un resumen de las instrucciones individualmente.

=====

C A P I T U L O    I V

PERIFERICOS PARA EL 6809

=====

## IV.1 PIA . ADAPTADOR DE INTERFASE PERIFERICO 6821.

El circuito MC6821 de Motorola es el dispositivo que es utilizado como puerto paralelo de entrada/salida, y es un circuito que debe ser inicializado por software antes de ser utilizado.

El puerto paralelo 6821 puede ser dividido para su análisis en dos partes iguales, cada una de las cuales contiene un puerto de entrada/salida y dos líneas de control. Cada una de las 8 líneas del puerto puede ser programada como entrada o salida, de acuerdo a como lo indique una palabra de 8 bits almacenada en el registro de dirección de datos. Cuando un bit de esta palabra toma el valor de 1, fija la correspondiente línea del puerto como línea de salida, y si toma el valor de cero, la fija como línea de entrada.

Las líneas de control identificadas como CA1 y CB1 pueden ser programadas como entradas de interrupción. Las líneas CA2 y CB2 pueden ser programadas como entradas de interrupción o señales de control de salida. La función deseada para las líneas CA y CB es establecida por medio de transmitir una palabra de control a los registros A y B de control del PIA.

La inicialización de un puerto en el 6821 es básicamente un procedimiento de tres pasos:

- 1- dar reset al circuito o transmitir palabras de control con su bit 2 igual a cero para cada registro de control. Esto permite el acceso a los registros de dirección de datos.

2- transmitir una palabra de dirección de datos a cada registro de dirección de datos. Un uno en la posición de un determinado bit de esta palabra hace que la correspondiente línea del puerto funcione como salida. Un bit 0 provoca que la línea funcione como entrada.

3- transmitir palabras de control con el bit 2 igual a 1 a cada registro de control para que el CPU pueda acceder los dos puertos.

Entre el microprocesador y el PIA existen una serie de señales de control y datos que son las siguientes:

- datos bidireccionales ( D0-D7 )
- habilitación ( E )
- lectura/escritura ( R/ $\bar{W}$  )
- reset o inicialización ( RESET )
- selección de chip ( CS0, CS1 y CS2 )
- selección de registros ( RS0 y RS1 )
- requerimiento de interrupción ( IRQA y IRQB )

Las líneas de interfase del PIA hacia el exterior se pueden señalar como las siguientes:

- datos periféricos sección A ( PA0-PA7 )
- datos periféricos sección B ( PB0-PB7 )
- entradas de interrupción A y B ( CA1 y CB1 )
- control periférico A y B ( CA2 y CB2 )

**ACIA . ADAPTADOR DE INTERFASE DE COMUNICACIONES ASINCRONO 6850.**

El circuito MC6850 de Motorola, conocido como ACIA es un transmisor/receptor asincrónico universal programable que trabaja junto con un microprocesador y permite tener una interfase serial hacia el exterior del sistema.

Las líneas identificadas como D0-D7 son conectadas al bus de datos del sistema al cual se integra el ACIA. La línea  $R/\bar{W}$  se conecta a la línea  $R/\bar{W}$  del sistema y la señal Enable es conectada a la señal DBE. Las líneas de selección de chip se conectan a las líneas de dirección o decodificación para seleccionarlo. La línea de entrada de selección de registro y la señal  $R/\bar{W}$  en conjunto permiten el acceso a los registros de transmisión y recepción de datos, registro de control y registro de status.

Para lograr el baud rate deseado para la operación del ACIA, se le debe proveer con entradas de reloj de frecuencia igual a 1, 16 o 64 veces el baud rate seleccionado.

Las líneas de entrada/salida serie se identifican como Transmit Data y Receive Data; además, se cuenta con tres señales para realizar la interfase con modems:  $\overline{CTS}$ ,  $\overline{RTS}$  y  $\overline{DCD}$ .

Las señales del ACIA se pueden dividir en cuatro grupos que son los siguientes:

- 1- señales de interfase al procesador
- 2- entradas de reloj
- 3- líneas de entrada/salida serie
- 4- control de periférico/modem

Cada uno de estos grupos esta formado por señales que permiten que el procesador pueda transmitir y recibir señales en forma serie. Las señales que integran a cada grupo son las siguientes:

- 1- señales de interfase al procesador.
  - datos bidireccionales ( D0-D7 )
  - habilitación ( E )
  - lectura/escritura ( R/W )
  - selección de chip ( CS0, CS1,  $\overline{\text{CS2}}$  )
  - selección de registro ( RS )
  - requerimiento de interrupción (  $\overline{\text{IRQ}}$  )
- 2- entradas de reloj.
  - reloj de transmisor ( TXCLK )
  - reloj de receptor ( RXCLK )
- 3- líneas de entrada/salida serie.
  - dato recibido ( RX DATA )
  - dato transmitido ( TX DATA )
- 4- control de periférico/modem
  - clear to send (  $\overline{\text{CTS}}$  )
  - request to send (  $\overline{\text{RTS}}$  )
  - data carrier detect (  $\overline{\text{DCD}}$  )

El ACIA 6650 tiene cuatro registros internos por medio de los cuales se manejan los datos transmitidos o recibidos, ademas de controlar los modos de operación. Los registros son los siguientes:

- Registro de Dato Transmitido. Los datos a ser transmitidos se escriben en este registro; al escribir el dato se

requiere que la señal RS sea alta y  $R/\bar{W}$  baja. El registro de status es afectado para indicar que existen datos en el buffer de transmisión.

- Registro de Dato Recibido. La entrada serie es convertida en paralelo y escrita en este registro. El registro de status es afectado para indicar que el buffer de recepción contiene datos y entonces es posible leerlos.

- Registro de Control. Este registro consiste de un buffer de 8 bits que es seleccionado cuando RS y  $R/\bar{W}$  son bajas. Este registro controla las funciones del receptor/transmisor, habilitación de interrupción y control de salida a un periférico y/o modem.

- Registro de Status. El registro de status mantiene la información relativa al estado que guarda al ACIA. Es un registro de lectura solamente y es seleccionado cuando RS es baja y  $R/\bar{W}$  es alta. Del registro se obtiene información acerca de los demás registros del ACIA y de las entradas periférico/modem del ACIA.

=====

C A P I T U L O    V

DISEÑO E IMPLEMENTACION  
DEL SISTEMA DE DESARROLLO  
( HARDWARE )

=====

El sistema de desarrollo que se presenta a continuación posee cuatro componentes básicos: el microprocesador Motorola MC6809E, la PIA MC6821, la EPROM 2716 y un RAM 6264.

El sistema se implementa en base a la existencia de un bus de datos ( ocho líneas etiquetadas BD0 hasta BD7 ) y un bus de direcciones ( 16 líneas etiquetadas BA0 hasta BA15 ). Estos buses se utilizan para interconectar las varias secciones del sistema.

El bus de direcciones es decodificado por una lógica de decodificación que habilita diferentes líneas de selección. El área de EPROM es el almacenamiento permanente de datos y esta formada por el sistema monitor y una ROM de usuario opcional.

El área de RAM se utiliza para almacenar datos durante el tiempo que el sistema está activo, de manera que se puede escribir y leer en ella en el momento que se requiera; existe un área de RAM opcional que permite expandir la capacidad del sistema.

El PIA del sistema tiene dos puertos de 8 líneas cada uno, y cuatro líneas de control. Las mismas características se tienen en la PIA del usuario que permite la comunicación del sistema con el exterior.

Los buffers de bus permiten la expansión del sistema, además del buffer básico necesario, dado que la salida  $R/\overline{W}$  del sistema no puede manejar todas las entradas en el sistema ( a través del bus ). Todas las señales de control, datos y direcciones se encuentran disponibles en este bus para la expansión del sistema. La PIA del sistema utiliza su lado "A" para manejar los ánodos de los segmentos de los displays de leds y el lado "B" para manejar

los cátodos de los leds. El microprocesador coloca datos en el registro del FIA para desplegarlos en uno de los leds, entonces coloca datos en los registros del FIA para manejar el siguiente elemento a desplegar, etc., a una velocidad suficiente para que el despliegue aparezca estable. El teclado es conectado a los manejadores de cátodo de los leds de manera que cuando una tecla es presionada, se genera una señal de interrupción. Esta señal de interrupción provoca que el procesador llame a una rutina desde el monitor, la cual lo habilita para buscar la tecla que fue oprimida. La FIA es utilizada para ingresar nuevos datos o desplegar datos en el sistema.

Mediante un ACIA, los datos en paralelo del bus de datos se pueden convertir a un formato serie apto para realizar una transmisión sobre un sistema de comunicaciones, mediante una interfase RC-232-C. El ACIA puede transmitir y recibir datos y permite que el sistema pueda ser utilizado como un procesador controlado en forma remota. Mediante un circuito generador de bit rate se provee al ACIA con una frecuencia especial necesaria para realizar la conversión de datos paralelo a serie ( diagrama de bloques ).

El sistema de desarrollo accesa 64K bytes de espacio en memoria, mediante el uso de 16 líneas de dirección A0 hasta A15; el mapa de memoria se presenta a continuación, Junto con el diagrama detallado del sistema.

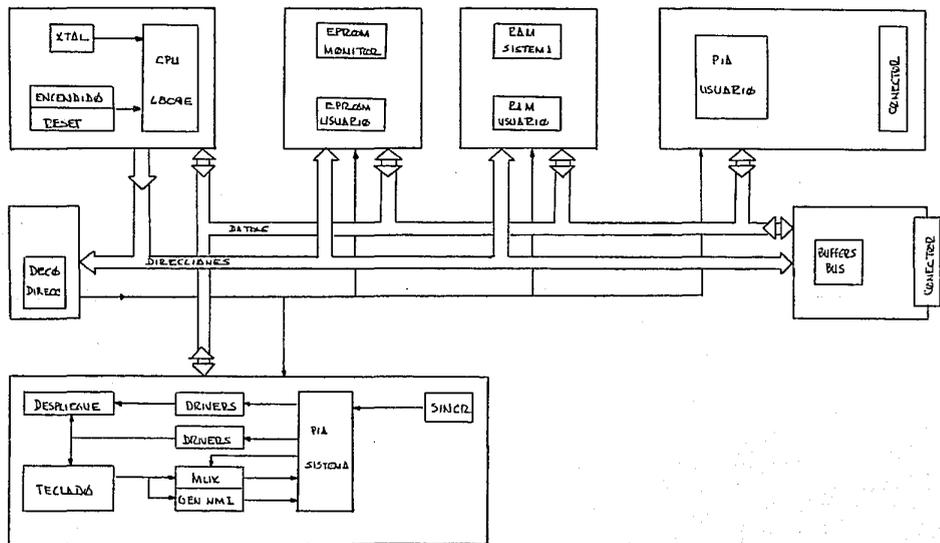
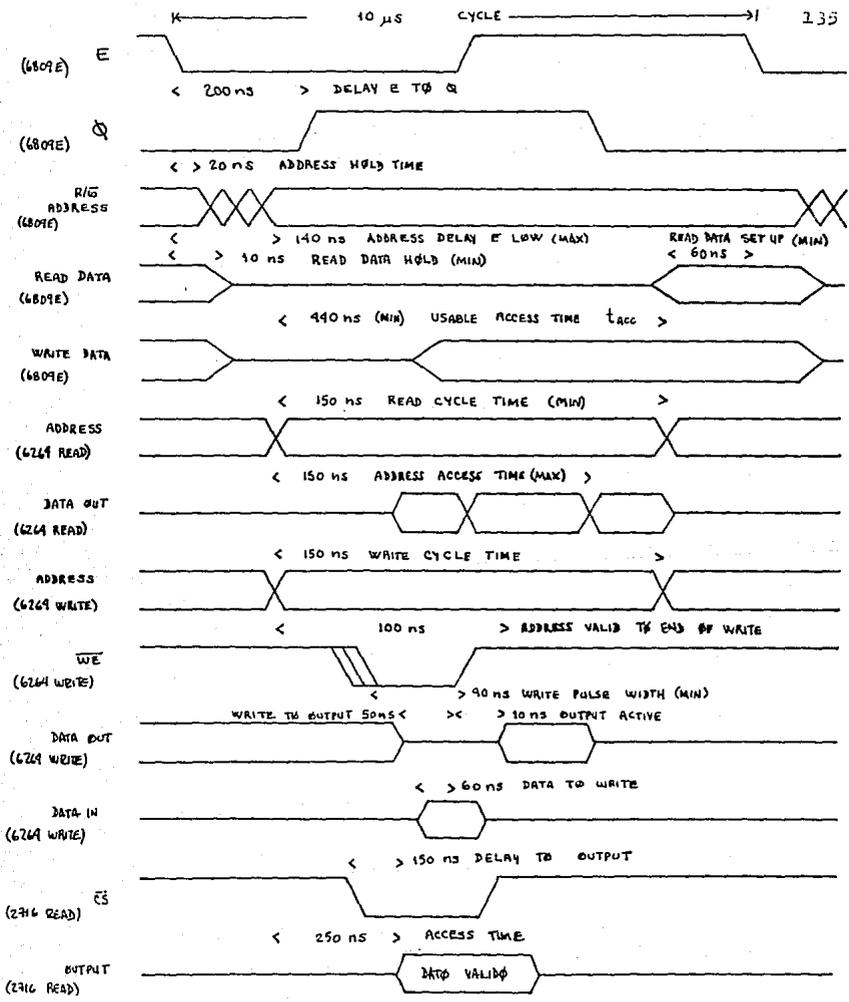
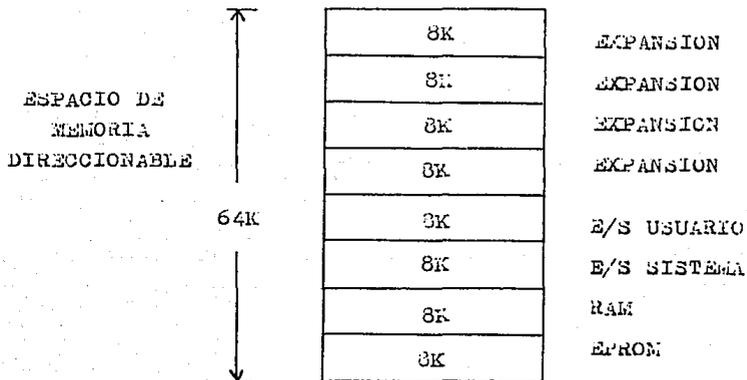


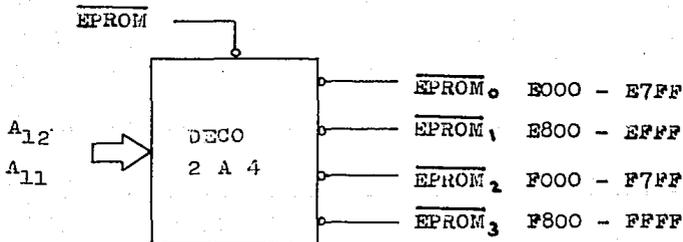
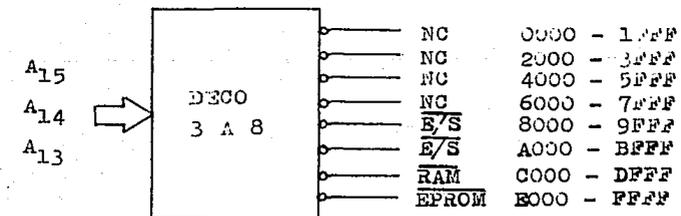
DIAGRAMA DE BLOQUES DEL SISTEMA DE DESARROLLO





PIA SISTEMA : A000 , A001 , A002 , A003

PIA USUARIO : 8000 , 8001 , 8002 , 8003



MAPA DE MEMORIA Y DECODIFICACION

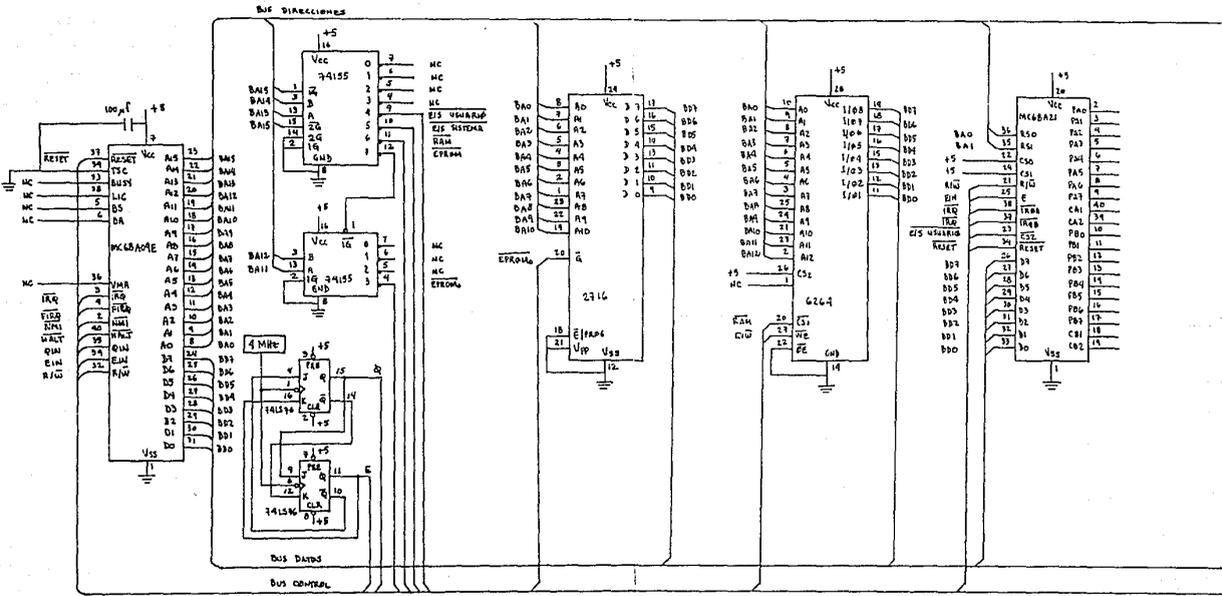
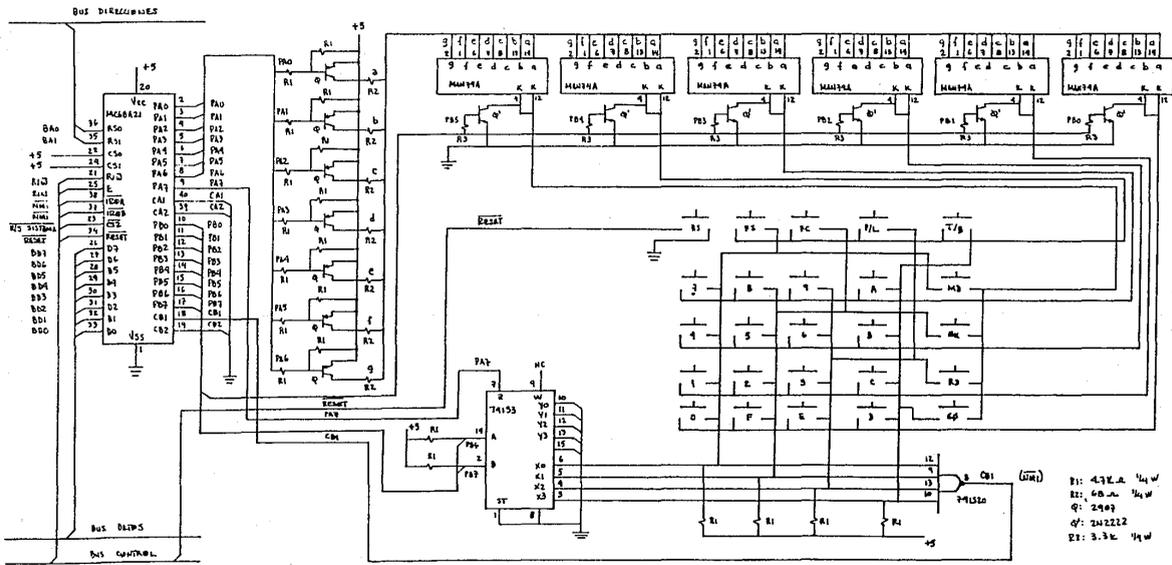


DIAGRAMA GENERAL ELECTRIC DEL SISTEMA DE DESARROLLO



- R1: 4.7K.Ω 1/4 W
- R2: 60.Ω 1/4 W
- Q: 2999
- ST: 2N2222
- RT: 3.3K 1/4 W

DIAGRAMA GENERAL ELECTRIC DEL SISTEMA DE DESARROLLO

=====

C A P I T U L O   V I

ANALISIS Y ADAPTACION

DEL MONITOR

( SOFTWARE )

=====

El software necesario para que el sistema de desarrollo (hardware) funcione y permita desarrollar programas de aplicación en lenguaje ensamblador, se conoce con el nombre de monitor, y se le puede considerar como una versión muy elemental de un sistema operativo.

El desarrollo de un sistema monitor eficiente requiere de un trabajo y tiempo considerables, y ésto es algo que queda fuera de los alcances de este trabajo. Por esta razón, se toma como base un sistema monitor desarrollado para el microprocesador Motorola 6802 y en base a este se implementa un monitor para el microprocesador 6809E. Para lograr esto, se hace una revisión de las rutinas del monitor utilizado, se revisan el conjunto de instrucciones del 6809E y el conjunto de instrucciones del 6802 y se determinan las diferencias entre los conjuntos de instrucciones estableciendo una equivalencia para las instrucciones existentes en el 6802 que no existan para el 6809 (figura VI.1).

El sistema monitor para el 6809E se desarrolla utilizando una microcomputadora Radio Shack 64K, con un modulo especial llamado Edtasm+ de Radio Shack, que es un editor-ensamblador que permite escribir programas en lenguaje ensamblador 6809E y ensamblarlos para generar programas en código del 6809E. El Edtasm+ esta formado por tres sistemas principales: el editor, el ensamblador y un depurador. El sistema monitor se edita, ensambla y depura, y es grabado en cinta magnética para utilizarlo en la programación de una EPROM que lo contenga.

Para programar la EPROM que contendrá al sistema monitor, se

utiliza un programador de EPROM's llamado Color Burner desarrollado por Green Mountain Micro, el cual se conecta al puerto de expansión de la Radio Shack 64K.

El sistema programador permite leer, escribir y verificar memorias EPROM seleccionables entre las memorias 2716, 2732, 2764 y la 27128.

El software del sistema programador viene en cassette y requiere solamente de un programa en código grabado en cassette para poder programar la memoria EPROM.

A continuación se presenta una descripción de cada rutina que integra al sistema monitor y enseguida un listado del programa en lenguaje ensamblador para el 4809E.

## DESCRIPCION DE LAS RUTINAS DEL PROGRAMA MONITOR 6809E.

## RESET

Esta rutina es el reset por hardware, e inicializa los parámetros y variables básicas del sistema como son: fijar la máscara de interrupción, limpiar el área de RAM disponible, inicializar el PIA del sistema, establecer el apuntador a stack de usuario. Después de ejecutarse, la rutina transfiere el control a la rutina PROMPT.

## PROMPT.

Esta rutina equivale a un reset por software, y las funciones que realiza son las siguientes: inicializar el apuntador al stack del sistema, fijar las banderas de software:

ROLPAS = 1

UPROG = 0

ROIFLG = 0

KYFLG = 0

FNCFL = 0

Además, limpia los displays 7-segmentos, despliega el símbolo de prompt ( - ) y establece FUNSEL como programa principal activo.

## GET.

Esta subrutina lee, decodifica y filtra un switch del

teclado. Todos los registros son alterados al ejecutarse la rutina y el registro A contiene finalmente el código de la tecla oprimida. La localidad de RAM KYFLG contendrá un valor \$01 al terminar y el código de la tecla que fué oprimida estará en la localidad KEY.

Esta rutina llama o utiliza a la rutina DLY25 y a su vez es llamada por la rutina NMINT; requiere de 4 bytes de espacio en stack. Las teclas en el teclado se encuentran electricamente arregladas en seis renglones y cuatro columnas. La tecla "RS" (reset) no es parte de este arreglo renglón/columna. GET es llamada cuando una tecla es presionada y no regresa sino hasta aproximadamente 25 milisegundos después que la tecla es liberada. Mientras la tecla está cerrada, GET busca en la matriz para encontrar el renglón de la tecla y después su columna. La información renglón/columna es utilizada para direccionar una tabla de la cual se obtiene un valor de código de tecla.

El código obtenido es almacenado en la localidad de RAM denominada KEY y también se encuentra en el registro A cuando GET regresa. Una localidad de RAM llamada KYFLG es fijada a \$01 para indicar que la tecla fué reconocida. Cuando otra rutina reconozca esta bandera, debe leer el código KEY y limpiar KYFLG, para indicar que la tecla fué vista.

Normalmente la rutina GET es servida a través de NMI el cual resulta cuando una tecla es cerrada, pero la salida de interrupción del PIA de teclado puede ser deshabilitada permitiendo a GET trabajar bajo un sistema de poleo, de manera que periódicamente el registro de control del PIA es leído para

revisar si una tecla fue presionada desde la última vez que el programa lo revisó.

#### PUT.

Este programa despliega información en el despliegue de 7 segmentos y llama al programa principal activo como una subrutina una vez cada un milisegundo.

Los registros A, B y X son alterados por la ejecución de esta rutina y requiere para su ejecución un mínimo de 3 bytes en stack. Las rutinas que son llamadas por esta rutina son DLY1 y la rutina especificada por MNPTR como activa.

La rutina PUT es la parte central del programa monitor, porque los display deben ser continuamente revisados (escaneados). La información para los ánodos para el despliegue deseado es presentada en paralelo a las líneas de ánodo y el cátodo apropiado es manejado para encender los segmentos adecuados. Un dígito dado es encendido por aproximadamente un milisegundo y entonces es deshabilitado, la información de ánodo es cambiada por la del siguiente dígito y el siguiente cátodo es habilitado.

Durante el corto periodo entre dígitos, una subrutina cuya dirección esta almacenada en la localidad de RAM llamada MNPTR es ejecutada. A partir de RESET o PROMPT, se fija MNPTR a la dirección de la rutina de selección de función (FUNSEL). Cuando FUNSEL espera pasar el control a alguna otra rutina, almacena la dirección de esa rutina en MNPTR con lo cual se activa esa rutina (y se desactiva FUNSEL).

Otra forma de explicar esto es diciendo que la rutina de

despliegue llama a otro programa una vez cada milisegundo y ese otro programa es uno cuya dirección esta almacenada en la localidad de RAM llamada MNPTR.

La rutina PUT obtiene la información para los segmentos de un buffer de seis bytes llamado DISBUF, el cual contiene datos siete segmentos para los displays con el primer byte correspondiendo al display mas a la izquierda. Además, el registro B mantiene la información de cual dígito debe ser habilitado con el bit 5 ( tercero de izquierda a derecha ) correspondiendo al display mas a la izquierda y el LSB correspondiendo al display mas a la derecha.

Se debe aclarar que los drivers de interfase de los displays estan aterrizados, de manera que la rutina PUT invierte los datos en DISBUF antes de ser aplicados al hardware de manera que los datos en DISBUF serán verdadero alto.

#### • DYSCOD.

Esta rutina convierte datos de HEXBUF en códigos 7 segmentos y los almacena en DISBUF.

Los contenidos de los registros A, B, y X son salvados y restablecidos antes del retorno de esta rutina. Al regreso, las localidades de RAM , DISBUF hasta DISBUF+5 contienen los códigos siete segmentos para la información hexadecimal contenida en HEXBUF hasta HEXBUF+2.

Los seis nibbles de información hexadecimal de HEXBUF hasta HEXBUF+2 son cada uno convertidos a un byte de información 7 segmentos el cual es almacenado en el buffer de seis bytes de

despliegue (DISBUF). Los cuatro bits mas significantes de HEXBUF corresponden a la localidad DISBUF y los cuatro bits menos significantes de HEXBUF+2 corresponden a la localidad DISBUF+5.

La información de 7 segmentos es desplegada en el display del sistema por medio de la rutina PUT. El primer byte de DISBUF corresponde con el despliegue del extremo izquierdo y el sexto byte (DISBUF+5) corresponde al display más a la derecha.

#### DLY25, DLY1, DLYX.

Estas rutinas generan retardos de 25 milisegundos, 1 milisegundo y un retardo variable indicado por el registro X. Al llamar a las rutinas DLY25 y DLY1 se generan retardos de 25 y 1 milisegundos respectivamente. Al llamar a DLYX se genera un retardo en base al valor contenido en el registro X, que se calcula por medio de la siguiente fórmula:

$$\{(x-1)(8 \text{ cyc}) (1.11763 \text{ us/cyc})\} + (27.94 \text{ us})$$

#### ADDAX.

Suma el registro A con el registro índice X. El resultado es regresado en el registro X.

#### CLRDS.

Esta rutina limpia los displays 7 segmentos, de acuerdo a una máscara o patron de bits contenida en el registro A. Cada uno de los seis bits inferiores del registro A corresponden a uno de los dígitos 7-segmentos del despliegue. El LSB del registro A corresponde al display más a la derecha del despliegue. Para

cada bit que toma el valor de 1 lógico, la correspondiente localidad del buffer de despliegue será limpiada por lo que el display se apagará.

#### ROLL2.

La dirección de la localidad a ser utilizada por ROLL2 está especificada en HEXBUF y HEXBUF+1. Un nuevo dígito hexadecimal es pasado a ROLL2 en los cuatro bits menos significativos del registro A. Este nuevo dígito es corrido por la derecha de manera que el dígito que estaba contenido en los 4 bits menos significativos de la localidad está ahora en los cuatro bits más significativos. El dígito que estaba contenido en los cuatro bits más significativos se pierde. Si la bandera ROLPAS no es igual a cero, la localidad es limpiada antes que el nuevo dígito sea incluido.

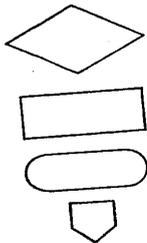
#### ROLL4.

Esta rutina realiza la entrada de 4 dígitos (dos bytes). Las localidades en las cuales ROLL4 incluye el nuevo dígito son HEXBUF y HEXBUF+1. El nuevo dígito es pasado a ROLL4 en los cuatro bits menos significantes del registro A. El nuevo dígito es corrido a los primeros dos bytes de HEXBUF, de manera que el nuevo dígito termina en los cuatro bits menos significantes de HEXBUF+1. Lo que estaba en los cuatro bits inferiores pasa a los cuatro bits superiores en HEXBUF+1 y lo que estaba en los cuatro bits superiores de HEXBUF+1 termina en los cuatro bits inferiores de HEXBUF. Lo que estaba en los cuatro bits inferiores de HEXBUF,

pasa a los cuatro bits superiores de HEXBUF y lo que estaba en los cuatro bits superiores de HEXBUF se pierde. Si la bandera ROLPAS no es igual a cero, las localidades HEXBUF y HEXBUF+1 serán limpiadas antes de correr e incluir el nuevo dígito y ROLPAS será limpiada.

#### RDKEY.

Esta rutina reconoce una tecla. La rutina se llama cuando la bandera KYFLG esta encendida, lo que indica que una tecla ha sido presionada. El valor de la tecla es regresado en el registro A.



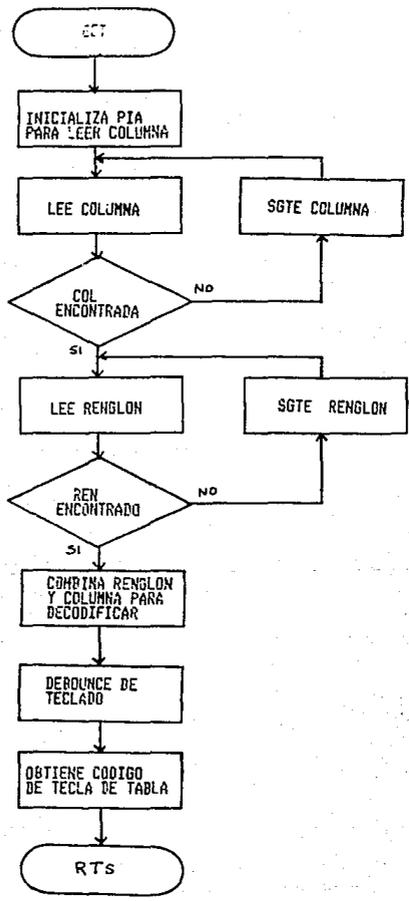
DECISION

PROCESO

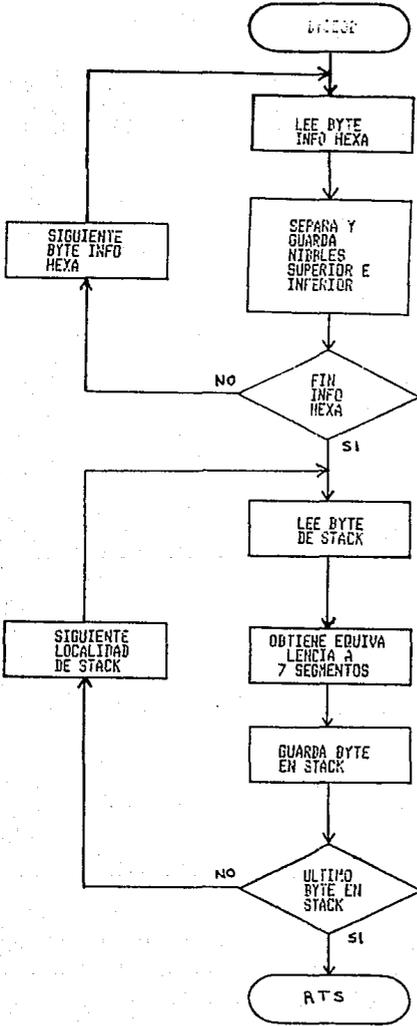
INICIO FIN

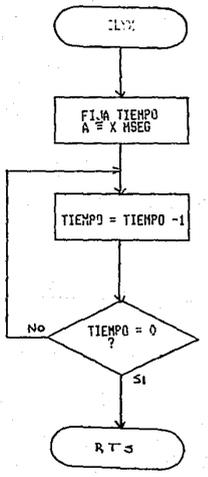
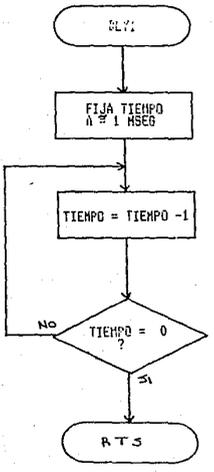
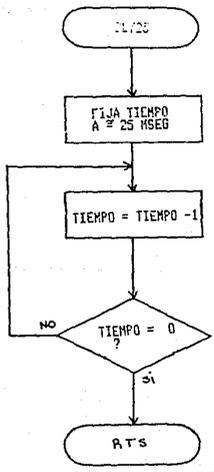
JUMP BRANCH

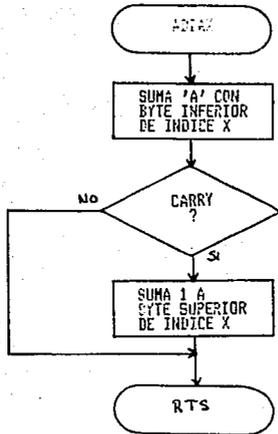
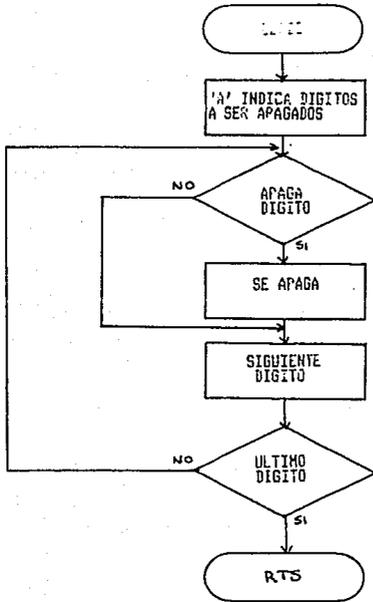


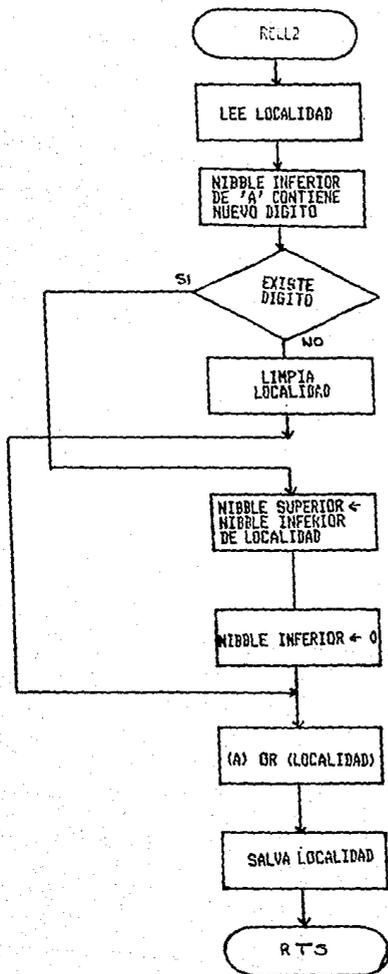


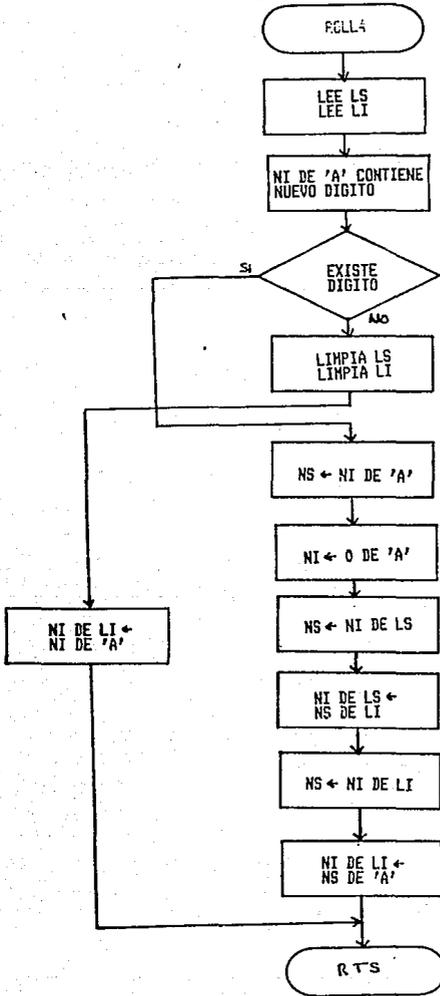




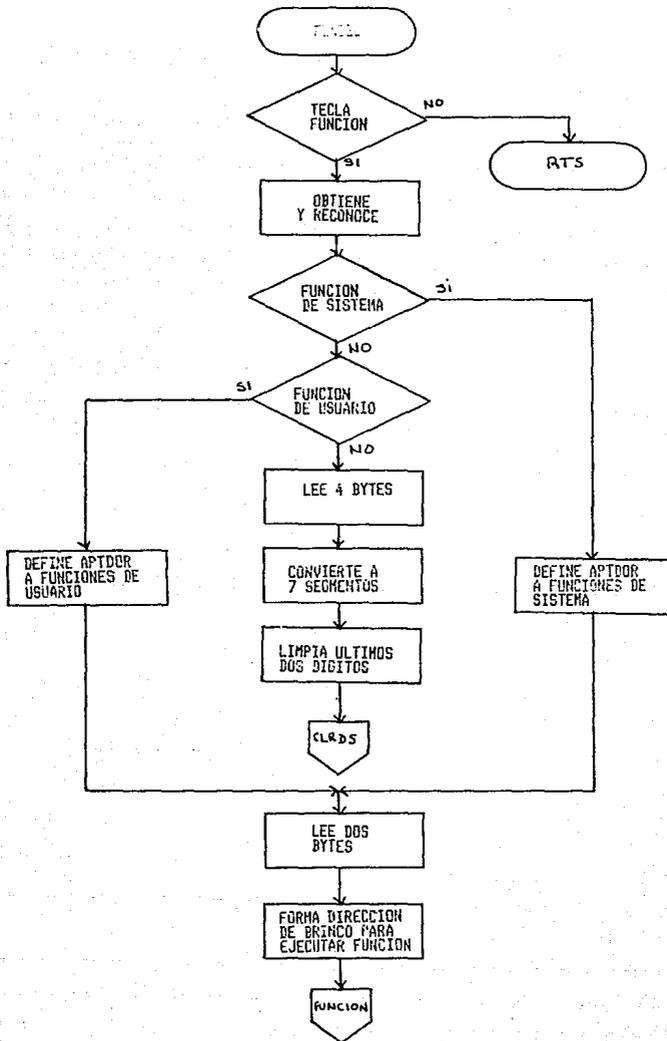








NS : NIBBLE SUPERIOR  
 NI : NIBBLE INFERIOR  
 LS : LOCALIDAD SUPERIOR  
 LI : LOCALIDAD INFERIOR



6802	6809E
LDA	LDA
STA	STA
LDAB	LDB
ORAA	LDB
STAB	STB
CPX	CMFX
FSHB	FSHS B
FSHA	FSHS A
PULB	PULS B
PULA	PULS A
INX	LEAX 1, X
DEX	LEAX -1, X
CLC	ANICC #FE
SEC	ORCC #01
SEI	ORCC #10
TAB	TFR A, B
TBA	TFR B, A
TAP	TFR A, CC

Figura VI.1. Equivalencia entre conjuntos de instrucciones para los microprocesadores Motorola 6802 y 6809

```

00100 *****
00101 * PROGRAMA MONITOR PARA EL MC6809E
00103 * UNAM . FACULTAD DE INGENIERIA 1987
00110 * DEFS - DEFINICIONES Y LOCALIDADES INICIALES
00120 *****
4020 00130 DRG $4020
4020 00140 MNPTR RMB $02 APUNTADOR A SUBROUTINA ACTIVA
4022 00150 KEY RMB $01 DATO TECLA
4023 00160 KYFLG RMB $01 BANDERA TECLA PENDIENTE
4024 00170 DISBUF RMB $06 BUFFER DESPLIEGUE
402A 00180 ROLPAS RMB $01 PRIMERA PASADA D DATO CICLADO ENT
402B 00190 XSAUD RMB $02 X INICIAL
402D 00200 XSAU1 RMB $02
402F 00210 XTMP1 RMB $02
4031 00220 MENSAD RMB $02 SALVA APTDR MEM DRNTE CALC OFFSET
4033 00230 HEXBUF RMB $03 BUFFER HEXA ENTRADA
4034 00240 USP RMB $02 APTDR STACK USUARIO
403B 00250 UCC RMB $01 CODIGO CONDICION USUARIO
4037 00260 UB RMB $01 REGISTRO B USUARIO
403A 00270 UA RMB $01 REGISTRO A USUARIO
403B 00280 UX RMB $02 REGISTRO X USUARIO
403D 00290 UPC RMB $02 CONTADOR PROGRAMA USUARIO
403F 00300 RDIFLG RMB $01 BANDERA EJECUTA-UNA-INSTRUCCION
4040 00310 RDIBAK RMB $02 DIRECC D RETORNO DESPUES D ROI
4042 00320 UPROG RMB $01 BANDERA INDICA EN-PROG-D-USUARIO
4043 00330 UIROV RMB $02 DIRECC D RUTINA D SERV IRQ USUAR
4045 00340 FNCFL RMB $01 BANDERA FUNCION ESPECIAL
4046 00350 FNCFNT RMB $02 APUNTA A FUNCION ESP D USUARIO
4048 00360 REGNO RMB $01 NUMERO REGISTRO(PARA REGDIS)
00370 *
A000 00380 FIA EQU $A000 DIRECC BASE FIA SIST
0000 00390 KPCOL EQU $0 OFFSET PUERTO COLS TECLADO
0002 00400 SERA EQU $02
0002 00410 KPRDM EQU $02 OFFSET PUERTO RENG TECLADO
A000 00420 ANOD EQU $A000 ANODOS SEGS DESPLIEGUE
A002 00430 CATH EQU $A002 CATODOS DISPLAYS

```

	A002		00440	PIARON	EQU	\$A002	DIRECC PTO RENG MOD EXTNDIDO
	A002		00450	PIANPB	EQU	\$A002	PUERTO DATOS PIA B
	A001		00460	PIACR	EQU	\$A001	REG CONTRL PIA A
	A000		00470	PIABP	EQU	\$A000	PUERTO DATOS PIA A
	A001		00480	PIACRA	EQU	\$A001	REG CONTROL PIA A
	A003		00490	PIACRB	EQU	\$A003	REG CONTROL PIA B
	A002		00500	PIAPB	EQU	\$A002	PUERTO DATOS PIA B
	5800		00510	STKTOP	EQU	\$5800	TOPE STACK SISTEMA
			00520	*			
6000			00530		ORG	\$6000	
6000	12		00540	RESET	NOF		FIJA MASCARA INTERRUPCION
6001	1A	10	00550		ORCC	##10	
6003	8E	3FFF	00560		LIX	##3FFF	LIMPIA RAM
6004	30	01	00570	CLRLOP	LEAX	1,X	
6008	3F	00	00580		CLR	0,X	
600A	5C	5FFF	00590		CMFY	##5FFF	
600B	26	F7	00600		BNE	CLRLOP	
600F	8E	A000	00610		LIX	##A000	INICIALIZA PIA DEL SISTEMA
6012	55	7F	00620		LDA	##7F	
6014	A7	00	00630		STA	0,X	
6016	84	FF	00640		LDA	##FF	
6018	A7	02	00650		STA	2,X	
601A	D4	06	00660		LDA	##06	
601C	A7	01	00670		STA	1,X	
601E	A7	03	00680		STA	3,X	
6020	8E	E418	00690		LIX	##E418	STACK USUARIO DEFAULT
6023	8F	4034	00700		STX	USP	
			00710	*			
			00720	*			
			00730	% PROMPT			RUTINA ESTABLECE CONDICIONES PROMPT
			00740	*			
			00750	*			
6026	10CE	5800	00760	PROMPT	LDG	##STKTOP	INICIALIZA STACK DEL SISTEMA
602A	84	01	00770		LDA	##1	FIJA PRIMERA PASADA
602F	B7	402A	00780		STA	R0LPAS	
602F	7F	4042	00790		CLR	UPREG	INICIALIZA BANDERAS

```

5032 7F 403F 00800 CLR R0IFLG
5035 7F 4023 00810 CLR KYFLG
5038 7F 4045 00820 CLR FNCFL
503E 85 40 00830 LDA #40 DESPLIEGA PROMPT
503D B7 4024 00840 STA DISRUF
5040 96 1F 00850 LDA #1F
5042 BD 61A2 00860 JSR CLRDS
5043 8E 60E8 00870 LDX #FUNSEL EJECUTA FUNCION SELECCION
5048 BF 4020 00880 STX MNPTR
504B BD 6477 00890 JSR ENNMI HABILITA NMI
504E 7E 60BD 00900 JMP PUT Y EJECUTA
00910 *****
00920 *
00930 * GET - RUTINA PARA LEER UNA TECLA
00940 *
00950 *
00960 GET LDX #PIA APUNTA A PIA
00970 LDA #FF
00980 STA KPCOL,X APAGA DISPLAYS
00990 LDA 3F
01000 LPCOL STA KPROW,X MSB ES BIT MUX
01010 TST KPCOL,X MSB ES BIT MUX
01020 BFL COLFND BIT-7 BAJO SIGNFCA COL ENCONTRADA
01030 ADDA #40 INC COL BITS PARA MUX
01040 BCC LPCOL CONTINUA PARA TODAS COLS
01050 BRA GET TECLA OPRIMIDA, EMPIEZA
01060 COLFND ANDA #CO
01070 STA KEY SE ACTUALIZA DESPUES;SOLO TEMP SAV
01080 LDB #20 RENG 5
01090 LPROW TFR B,A COPIA RENG A REG-A
01100 ORA KEY COMBINA CON INFO COL
01110 STA KPROW,X MANEJA MATRIZ TECLADO
01120 TST KPCOL,X MSB BAJO = OPRIMIDO
01130 BFL ROUNFND
01140 LSRB SIGTE MAS BAJO BIT RENG
01150 BNE LPROW LOOP HASTA TODOS RENG TRATADOS

```

607B	20	D4	01160	BRA	GET	TECLA OPRIMIDA EMPIEZA
607D	4F		01170	ROUWND	CLRA	PREPARA PARA ENCONTR RENG BINARY
607E	54		01180	LPFND	LSRB	LOOP CONSTRUYE RENG BINARIO
607F	25	03	01190	BCS	DUNROW	CUANDO BIT OFF REGA TIENE NUM BIN
6081	4C		01200	INCA		
6082	20	FA	01210	BRA	LPFND	
6084	79	4022	01220	DUNROW	ROL	KEY
6087	47		01230		ROLA	
6088	79	4022	01240		ROL	KEY
608B	47		01250		ROLA	REG-A ES 000RRRCC
			01260	* REG-A	AHORA	CONTIENE OFFSET PARA LOOK-UP DE TECLA
608C	8D	00	01270	CLOP	TST	KPCOL,X REvisa SI TECLA AUN OPRIMIDA
608E	2A	FC	01280	BPL	CLOP	ESPERA HASTA LIBERACION
6090	8D	8175	01290	JSR	DLY25	RETARDO PARA DEBOUNCE
6093	DE	60A7	01300	LDX	#KYTBL	APUNTA A TOPE DE TABLA
6096	8D	8190	01310	JSR	ADDAX	CALC DIRECC DE CODIGE TECLA
6097	A6	84	01320	LDA	,X	OBTIENE CODIGO TECLA
609E	B7	4022	01330	STA	KEY	SALVA VALOR DE TECLA
609E	C6	01	01340	LDR	#1	
60A0	F7	4023	01350	STB	KYFL6	INDICA TECLA PENDIENTE
60A3	F6	A002	01360	LDB	PIAROW	PARA LIMPIAR NMI
60A6	39		01370	DIDDLE	RTS	RETORNO
			01380	*		
			01390	* ESTE	RTS	SE UTILIZA COMO UNA SUBROUTINA DO-NADA
			01400	* DE	MANERA	Q SIST PUEDE DESHABILITARSE EXCEPTO DISPLAY
			01410	*		
			01420	*		
			01430	*		
			01440	* KYTBL	- TABLA	VALORES TECLAS
			01450	*		
			01460	*		
60A7	00		01470	KYTBL	FCB	\$00 '0' KEY
60A8	0F		01480		FCB	\$0F 'F'
60A9	0E		01490		FCB	\$0E 'E'
60AA	0D		01500		FCB	\$0D 'D'
60AB	01		01510		FCB	\$01 '1'

50A0	02	01520	FCB	\$02	'2'
50A1	03	01530	FCB	\$03	'3'
50A2	04	01540	FCB	\$04	'4'
50A3	05	01550	FCB	\$05	'5'
50B0	06	01560	FCB	\$06	'6'
50B1	07	01570	FCB	\$07	'7'
50B2	08	01580	FCB	\$08	'8'
50B3	09	01590	FCB	\$09	'9'
50B4	0A	01600	FCB	\$0A	'A'
50B5	0A	01610	FCB	\$B4	'FS' FUNCION SET
50B6	05	01620	FCB	\$B5	'FC' FUNCION CLEAR
50B7	06	01630	FCB	\$B6	'P/L' PUNCH/LOAD
50B8	07	01640	FCB	\$B7	'T/B' TRACE/BREAK
50B9	08	01650	FCB	\$B8	'MD' DESPLIEGA MEMORIA
50BA	01	01660	FCB	\$B1	'EX' ESCAPE
50BB	02	01670	FCB	\$B2	'RD' DESPLIEGA REGISTROS
50BC	03	01680	FCB	\$B3	'GO' GO

01690

01700 \*

01710 \*

01720 \* PUT -- DESPLIEGA DATOS EN DISBUF & LLAMA LA  
SUBROUTINA EJECUTANTE

01730 \*

01740 \*

01750 \*

50BD	D6	20	01760	FUT	LDB	\$20	INICIALIZA PATRON HABILIT
50BE	8E	4021	01770	LFIF	LDX	\$DISBUF-3	AFUNTA A BUFFER DISPLAY
50C2	1F	78	01780		TFR	D,A	
50C4	30	01	01790	LP2P	LEAX	1,X	
50C6	46		01800		ASLA		SUMA 1 A 'X' POR CADA SHIFT
50C7	24	FB	01810		BCC	LP2P	LOOP REVELA INFO DIRECC DIGITO
50C9	A6	84	01820		LDA	,X	OBTIENE INFORMACION SEGMENTOS
50CB	43		01830		COMA		DRIVERS ANODO SON TIERRA REAL
50CC	B7	A000	01840		STA	ANOD	ALMACENA INFO ANODO A PIA
50CF	F7	A002	01850		STB	CATH	HABILITA CATODO DIGITO
50D2	BD	617D	01860		JSR	DLY1	ON PARA 1 MILISEGUNDO
50D5	76	FF	01870		LDA	\$FF	1'S APAGA SEGMENTS

```

60D7 E7 A000 01880 STA ANDB AFAGA TODOS SEGMENTS
60DA E7 A002 01890 STA CATH HABILITA TODOS RENGLNS KFD
60DD 34 04 01900 PSHS B
60DF BE 4020 01910 LDX MNFTR OBTIENE DIRECC D PROG PRINC ACTVO
60E2 AD 84 01920 JSR ,X LO EJECUTA
01930 *****
01940 *****
01950 *****
60E4 35 04 01960 PULS B
60E6 54 01970 LSRB SIGUIENTE DIGITO
60E7 26 D6 01980 BNE LPIF NO HASTA CICLO COMPLETO
60E9 20 D2 01990 BRA PUT ULTIMO DIGITO PASADO
02000
02010 *****
02020 *
02030 * FUNSEL - RUTINA PARA SELECCION D FUNCION DESDE UNA TECLA
02040 *
02050 *****
60EB 7D 4023 02060 FUNSEL TST KYFLG TECLA PENDIENTE?
60EE 26 01 02070 BNE KEYNOW SI LA KAY
60F0 39 02080 RTS ** RETTORNO ** NO TECLA PENDNTE
02090 *
60F1 BD 61FF 02100 KEYNOW JSR RDKEY OBTIENE Y RECONOCE TECLA
60F4 2B 15 02110 BMI FUNKY SI ES TECLA FUNCION
60F6 7D 4045 02120 TST FNCFL
60F9 26 0B 02130 BNE UFNK
60FB BD 61DA 02140 JSR ROLL4 # INGRESADO, ENTOCES LO GIRA
60FE BD 6122 02150 JSR DYSODB CONVIERTE A 7 SEGMENTOS
6101 96 03 02160 LDA #03
6103 7E 61A2 02170 JMP CLRDS LIMPIA ULTIMOS DOS DIGITOS
02180 *
6106 BE 4046 02190 UFNK LDX FNCFNT AFUNTA TABLA FUNCIONES D USUARIO
6109 20 03 02200 BRA HASH
02210 *
610B BE 6116 02220 FUNKY LDX #SYSFNC AFUNTA A TABLA FUNCS SISTEMA
610E 43 02230 HASH ASLA 2 BYTES FOR INGRESO

```

510F	BD	5190	02240	JSR	ADDAX	DESARROLLA APUNTADEP
5112	AE	84	02250	LDX	,X	OBTIENE DIRECC BRINCO
5114	6E	84	02260	JMP	,X	** VA A EL **
			02270	*		
			02280	*		
5116	6206		02290	SYSFNC	FDB	MEMREG 'MD'
5118	6026		02300	FDB	PROMPT	'EX'
511A	62DE		02310	FDB	REGBEG	'RD'
511C	63B0		02320	FDB	GO	'GO'
511E	639E		02330	FDB	FSET	'FS'
5120	63AA		02340	FDB	FCLR	'FC'
			02350	*		
			02360	*****		
			02370	*		
			02380	*	MISC - RUTINAS MISCELANEAS	
			02390	*		
			02400	*****		
			02410	*	DECOFICA HEX A 7-SEGMENTOS	
			02420	*		
5122	34	02	02430	DYSCOD	PSHS	A SALVA REGISTROS
5124	34	04	02440		PSHS	B
5126	BF	402B	02450		STX	XSAU1
5129	8E	4033	02460		LDX	#HEXBUF APUNTA A INFO HEX
512C	A6	84	02470	LF01	LDA	,X OBTIENE BYTE HEXA
512E	1F	89	02480		TFR	A,B HACE COPIA EXTRA
5130	54		02490		LSRB	JUSTIFICA DERECHA NIBBLE ALTO
5131	54		02500		LSRB	
5132	54		02510		LSRB	
5133	54		02520		LSRB	DIGIT ORDEN ALTO EN REG-B
5134	84	0F	02530	ANDA	#*OF	DIGIT ORDEN BAJO EN REG-A
5136	34	04	02540		PSHS	B SALVA EN STACK
5138	34	02	02550		PSHS	A
513A	30	01	02560		LEAX	1,X
513C	8C	4036	02570		CMFX	#HEXBUF+3 COMPLETO?
513F	26	EB	02580		BNE	LF01 LOOP 3 VECES
5141	8E	4029	02590		LDX	#DISBUF+5 ULTIMO DISPLY DIGIT BUFFER

\$144	C6	05	02600	LDB	#5	INDICE LOOP
\$146	BF	402F	02610	STX	XTMP1	SALVA TEMPORALMENTE
\$149	8E	6165	02620	LDX	#DYSTBL	APUNTA A TABLA LOOK-UP
\$14C	35	02	02630	PULS	A	OBTIENE DIGITO HEXA A CONVERTIR
\$14E	BD	6170	02640	JSR	ADDAX	APUNTA A EQUIV 7-SEGMENT
\$151	A6	84	02650	LDA	,X	LO OBTIENE
\$153	BE	402F	02660	LDX	XTMP1	RECUPERA APTDOR A BUFFER DESFLIEG
\$156	A7	84	02670	STA	,X	ALMACENA DIGIT CONVERTIDO
\$15B	30	1F	02680	LEAX	-1,X	
\$15A	5A		02690	DECB		INDICE LOOP
\$15B	2A	E9	02700	BPL	LPO2	CONTINUA PARA SEIS DIGITOS
\$15D	BE	402D	02710	LDX	XSAV1	RECUPERA STATUS INGRESO
\$160	35	04	02720	PULS	B	
\$162	35	02	02730	PULS	A	
\$164	39		02740	RTS		** RETORNO **
			02750	*		
			02760	*		
\$165	3F		02770	DYSTBL	FCB	\$3F '0'
\$166	06		02780	FCB	\$06 '1'	
\$167	5B		02790	FCB	\$5B	
\$168	4F		02800	FCB	\$4F	
\$169	66		02810	FCB	\$66	
\$16A	6D		02820	FCB	\$6D	
\$16D	7D		02830	FCB	\$7D	'5'
\$16C	07		02840	FCB	\$07	'7'
\$16D	7F		02850	FCB	\$7F	'8'
\$16E	67		02860	FCB	\$67	'9'
\$16F	77		02870	FCB	\$77	'A'
\$170	7C		02880	FCB	\$7C	'B'
\$171	39		02890	FCB	\$39	'C'
\$172	5E		02900	FCB	\$5E	'D'
\$173	79		02910	FCB	\$79	'E'
\$174	71		02920	FCB	\$71	'F'
			02930			
			02940	*		
			02950	*		

```

02960 * SUBROUTINAS RETARDO
02970 *
6175 BF 402B 02980 DLY25 STX XSAUD SALVA VALOR X
617B BE 0A6A 02990 LDX #2794 ENTRY POINT 25 MS
617E 20 0B 03000 BRA DLYLF
617U BF 402B 03010 DLY1 STX XSAUD SALVA VALOR INGRESADO
6180 BE 006D 03020 LDX #109 CUENTA 1 MS
6183 20 03 03030 BRA DLYLF
6185 BF 402E 03040 DLYX STX XSAUD REQUERIDO PARA SIMILRDO A DLY1/25
618B 30 1F 03050 DLYLP LEAX -1,X
618A 26 FC 03060 BNE DLYLF LOOP HASTA X = 0
618C BE 402B 03070 LDX XSAUD RECUPERA VALOR INGRESADO
618F 39 03080 RTS ** RETORNO **
03090 *
03100 * SUBROUTINA PARA SUMAR X=X+A
03110 *
6190 BF 402B 03120 ADDAX STX XSAUD PARA PODER CALCULAR
6193 BB 402C 03130 ADDA XSAUD+1 SUMA BYTES BAJOS
6196 B7 402C 03140 STA XSAUD+1 ACTUALIZA
6199 24 03 03150 BCC ARND SI NO CARRY;SE HIZO
619B 7C 402B 03160 INC XSAUD SUMA CARRY A BYTE ALTO
619E BE 402B 03170 ARND LDX XSAUD RESULTADO A REG-X
61A1 39 03180 RTS ** RETORNO **
03190 *
03200 * LIMPIA DESPLIEGUE PARA REGISTRO A
03210 *
61A2 BF 402D 03220 CLRDS STX XSAU1 SALVA VALOR INGRESADO
61A5 BE 4029 03230 LDX #DISBUF+5 DIGIT CARGADO DERECHA
61A8 44 03240 CLRRLP LSRA
61AB 24 02 03250 BCC ARNCLR SIBIT EN REG-A NO PRENDIDO
61AD 6F 84 03260 CLR ,X
61AD 30 1F 03270 ARNCLR LEAX -1,X
61AF 0C 4023 03280 CMPX #DISBUF-1 COMPLETO?
61B2 26 FA 03290 BNE CLRRLP CONTINUA 4 VECES
61B4 BE 402D 03300 LDX XSAU1 RECUBRA VALOR INGRESADO
61B7 39 03310 RTS ** RETORNO **

```

			03320 *				
51B8 BF	402D	03330	ROLL2	STX	XSAV1	SALVA VALOR INGRESADO	
51BB BE	4033	03340		LDX	HEXBUF	DIRECCION PARA CICLAR	
51BE 7D	402A	03350		TST	ROLFAS	PRIMERA PASADA	
51C1 27	07	03360		BEQ	ARNCL2		
51C3 7F	402A	03370		CLR	ROLFAS	ESTA FUE PASADA 1	
51C6 6F	04	03380		CLR	,X	LIMPIA LOCALIDAD EN PRIMERA PASADA	
51C8 20	00	03390		BRA	R2OUT		
51CA 60	04	03400	ARNCL2	ASL	,X		
51CC 60	04	03410		ASL	,X		
51CE 60	04	03420		ASL	,X		
51D0 60	04	03430		ASL	,X	CORRE BYTE CICLADO 4 LUGARES	
51D2 AA	04	03440	R2OUT	ORA	,X	COMBINA NUEVO DATO	
51D4 A7	04	03450		STA	,X	ACTUALIZA LOCALIDAD	
51D6 BE	402D	03460		LDX	XSAV1	RECOBRA VALOR ENTRADO	
51D8 32		03470		RTS	**	RETORNO **	
		03480					
		03490 *					
		03500 *	CICLA 4 HEXA DENTRO DE HEXBUF				
		03510 *					
51DA 34	04	03520	ROLL4	PSHS	B	SALVA VALORES ENTRADOS	
51DC 7D	402A	03530		TST	ROLFAS	PASADA 1?	
51DF 27	00	03540		BEQ	ARNCL4	NO, CONTINUA	
51E1 7F	402A	03550		CLR	ROLFAS	SI, LIMPIA BANDERA PRIMERA PASADA Y	
51E4 7F	4033	03560		CLR	HEXBUF	CLR PRIMEROS 4 DIGITS PRIMER PASDA	
51E7 B7	4034	03570		STA	HEXBUF+1	AHORA COLOCA NVO DAT EN 40	
51EA 20	10	03580		BRA	R4OUT		
51EC 40		03590	ARNCL4	ASLA		JUSTIFICA IZQUIERDA NUEVO DIGITO	
51ED 40		03600		ASLA			
51EE 40		03610		ASLA			
51EF 40		03620		ASLA			
51F0 C6	03	03630		LDB	#3	INDICE LOOP	
51F2 40		03640	R04LP	ROLA		CICLA A EN HEXBUF	
51F3 77	4034	03650		ROL	HEXBUF+1		
51F6 77	4033	03660		ROL	HEXBUF		
51F8 5A		03670		DECB			

61FA 2A	F6	03680	BPL	R04LP	
61FC 35	04	03690	R4OUT	PULS	B RECOBRA REG-B
61FE 39		03700	RTS		** RETORNO **
		03710	*		
61FF 7F	4023	03720	RDKEY	CLR	KYFLG LEE Y RECONOCE TECLA
6202 B6	4022	03730	LDA	KEY	
6205 32		03740	RTS		
		03750			
		03760	*****		
		03770	*		
		03780	* MEMCH	-	RUTINA CAMBIO/DESPLIEGUE/OFFSET MEMORIA
		03790	*		
		03800	*****		
6204 0E	6215	03810	MEMBEG	LIX	#MEMCH
6207 BF	4020	03820	STX	MNPTR	INICIALIZA APTDOR PRINCIPAL
620C 7F	4045	03830	CLR	FNCFL	FIJA BANDERA FUNCION EN CERO
620F 8E	4033	03840	LIX	HEXBUF	AFUNTA A DIRECCION A DESPLEGAR
6212 7E	62CE	03850	JMP	NEWMEM	SALE A ACTUALIZAR DESPLIEGUE
		03860	*		
6215 7D	4023	03870	MEMCH	TST	KYFLG REVISAS SI HAY TECLA PENDIENTE
6218 24	01	03880	BNE	MEMNOW	
621A 39		03890	RTS		** RETORNO **
		03900	*		
621B BD	61FF	03910	MEMNOW	JSR	RDKEY OBTIENE Y RECONOCE TECLA
621E 8E	4033	03920	LIX	HEXBUF	SALVA PASOS RECIENTE
6221 F6	4045	03930	LDB	FNCFL	REVISAS SI NO MODO OFFSET
6224 27	79	03940	BEQ	NORMAL	(NO MODO OFFSET)
6226 2B	54	03950	BMI	CALDUN	SI CALCULO OFFSET FINALIZADO
6228 4B		03960	TSTA		REVISAS TECLA
6229 2B	0D	03970	BMI	OFFUN	SI TECLA FUNCION
622B BD	61DA	03980	JSR	ROLL4	INGRESA NUMERO TECLA
622E BD	6122	03990	OFFOUT	JSR	DYSCOD CONVIERTE A 7 SEGMENTOS
6231 0E	0077	04000	OFFEND	LIX	"A"
6234 BF	4028	04010	STX	DISBUF+4	ALMACENA LOS ULTIMOS DIGITS
6237 32		04020	OFFRET	RTS	** RETURN **
		04030	*		

5238	81	83	04040	OFFUN	CMPA	##83	'GO' ?
523A	24	FB	04050		BNE	OFFRET	SI NO; SALE
523C	BE	4033	04060		LDX	HEXBUF	OBTIENE DIRECC DE BRINCO
523F	30	1F	04070		LEAX		-1,X
5241	BF	4033	04080		STX	HEXBUF	ACTUALIZA
5244	B6	4034	04090		LDA	HEXBUF+1	BYTE MENOR DE DESTIND
5247	F3	4033	04100		LDB	HEXBUF	BYTE ALTO
524A	B0	4032	04110		SUBA	MEMSAV+1	SUBSTRAE BYTES MENORES
524D	F2	4031	04120		SBCB	MEMSAV	SUBSTRAE C/CARRY
5250	4D		04130		TSTA		CHECA POLARIDAD RESULTIDO ORDEN BAJO
5251	2A	01	04140		BPL	ARNINC	SI BAJO POSTVO NO INCR ALTO
5253	5C		04150		INCB		SI BAJO NEGATIVO INCR ALTO FF-00
5254	5D		04160	ARNINC	TSTB		SI B AHORA CERD.OFFSET EN RANGO
5255	24	11	04170		BNE	BADOFF	SI NO,DEMASIADO LEJOS
5257	B7	4035	04180		STA	HEXBUF+2	SALVA RESULTADO
525A	B0	6122	04190		JSR	DYSCOD	CONVIERTE A 7-SEG8
525D	74	3C	04200		LDA	\$3C	LIMPIA PRIMEROS 4 DISPLAYS
525F	B0	61A2	04210		JSR	CLRDS	
5262	B6	B0	04220		LDA	##80	
5264	B7	4045	04230		STA	FNCFL	INDICA CALCULO HECHO Y OK
5267	39		04240		RTS		** RETORNO **
			04250	*			
5268	8E	BAD0	04260	BADOFF	LIX	##BAD0	
526B	BF	4033	04270		STX	HEXBUF	
526E	BD	6122	04280		JSR	DYSCOD	ESCRIBE "BAD" EN PRIMEROS 3 DISPLY
5271	74	07	04290		LDA	\$07	
5273	BD	61A2	04300		JSR	CLRDS	LIMPIA DIGITOS NO USADOS
5274	B6	FF	04310		LDA	##FF	
5278	B7	4045	04320		STA	FNCFL	INDICA OFFSET NO VALIDO
527B	39		04330		RTS		** RETORNO **
			04340				
			04350	*			
527C	5C		04360	CALIDUN	INCB		SI FUE ##FF ES AHORA 0
527D	27	14	04370		BEO		OFFSET ERRONEO
527F	BE	4031	04380		LDX	MEMSAV	RECUPERA DIRECC MEM
5282	81	B5	04390		CMPA	##85	TECLA FUNCION CLEAR ?

6284	27	14	04400	BEQ	MEMBAK	SI,NO SALVA OFFSET
6286	81	83	04410	CMFA	##83	'GO' ?
6288	24	AD	04420	BNE	OFFRET	'GO' ES SOLAMENTE TECLA VALIDA ARI
628A	B4	4035	04430	LDA	HEXBUF+2	OBTIENE CACULO D OFFSET
628D	A7	84	04440	STA	,X	ALMACENA A MEM
628F	30	01	04450	LEAX	1,X	
6291	20	07	04460	BRA	MEMBAK	REGRESA A CAMBIO MEM
			04470	*		
6293	81	80	04480	BADCAL	CMFA	##80
6295	24	A0	04490	BNE	OFFRET	'MD' ES UNICA TECLA VALIDA AQUI
6297	BE	4031	04500	LIX	MEMSAV	RECUPERA DIRECC MEM
629A	7F	4045	04510	MEMBAK	CLR	FNCFL SE&AL NO EN MODO OFFSET
629D	20	2F	04520	BRA	NEWMEM	REINGRESA CAMBIO MEM
			04530	*		
629F	AD		04540	NORMAL	TSTA	FIJA CODIGOS CONDICION
62A0	2A	27	04550	BFL	NUM	SI TECLA NUMERO
62A2	81	80	04560	CMFA	##80	'MD' ?
62A4	24	04	04570	BNE	NXM1	NO,CHECA PARA "GO"
62A6	30	1F	04580	LEAX	-1,X	
62A8	20	24	04590	BRA	NEWMEM	
			04600	*		
62AA	81	83	04610	NXM1	CMFA	##83
62AC	24	04	04620	BNE	NXM2	NO,CHECA POR "FS"
62AE	30	01	04630	LEAX	1,X	
62B0	20	1C	04640	BRA	NEWMEM	
62B2	81	84	04650	NXM2	CMFA	##84
62B4	24	1D	04660	BNE	MEMOUT	NO MAS TECLAS VALIDAS
62B6	94	3F	04670	LDA	#3F	
62B8	BD	61A2	04680	JSR	CLRDS	
62BA	B4	01	04690	LDA	#1	
62BD	B7	4045	04700	STA	FNCFL	FIJA MODO OFFSET
62C0	B7	402A	04710	STA	ROLPAS	FIJA PRIMERA PASADA
62C3	BF	4031	04720	STX	MEMSAV	SALVA APTDOR CAMBIO MEM
62C6	7E	6231	04730	JMP	OFFEND	
			04740	*		
62C9	BD	61B0	04750	NUM	JSR	ROLL2
						INGRESA NUEVO DIGITO

5200	20	05	04760	BRA	MEMOUT	NO FIJA PRIMERA PASADA
			04770	*		
520E	06	01	04780	NEWMEM	LDA	#1
5200	B7	402A	04790	STA	ROLPAS	FIJA BANDERA PRIMERA PASADA
			04800	*		
5203	A6	84	04810	MEMOUT	LDA	,X OBTIENE DATO A DESPLEGAR
5205	B7	4035	04820	STA	HEXBUF+2	ACTUALIZA BUFFER HEXA
5208	BF	4033	04830	STX	HEXBUF	ACTUALIZA DIRECC
5200	7E	5122	04840	JMP	DYSCOD	CONVERSION A 7-SEG
			04850	*		
			04860	*****		
			04870	*		
			04880	*	REGDIS	RUTINA DESPLIEGUE/CAMBIO REGISTROS
			04890	*		
			04900	*****		
			04910	*		
520E	7D	4045	04920	REGBEG	TST	FNCFL REVISAR SI EN VERIFICA
52E1	27	03	04930	BEG	NOTURF	
52E3	7F	4045	04940	CLR	FNCFL	SE&AL VERIFICA
52E6	0E	6300	04950	NOTURF	LDX	#REGDIS
52E7	BF	4020	04960	STX	MNPTB	INICIALIZA OPTOR PRINCIPAL
52E8	0E	60BD	04970	LDX	MPUT	FIJA PARA RTS
52EF	BF	57FF	04980	STX	STKTOP-1	SERA COLOCADO
52F2	10CE	57FE	04990	LDS	STKTOP-2	INICIALIZA STACKPOINTER
52F6	7F	4040	05000	CLR	REGNO	INICIALIZA REG # = UPC
52F9	06	01	05010	LDA	#1	
52FB	B7	402A	05020	STA	ROLPAS	INDICA PRIMERA PASADA
52FE	20	40	05030	BRA	REGOUT	PARA ACTUALIZAR DISPLAY
			05040	*		
5300	7D	4023	05050	REGDIS	TST	KYFLC REVISAR SI OTRA TECLA PENDIENTE
5303	76	01	05060	BNE	REGNOV	
5305	39		05070	RTS		** RETORNO ** NO HAY TECLA
			05080	*		
5306	00	51FF	05090	REGNOV	JSR	KEYKEY OBTIENE Y RECONOCE TECLA
5307	20	05	05100	SMT	REGFNC	SI TECLA FUNCION
5300	8D	518A	05110	JCF	BOLL	

630E 20	30	05120	BRA	REGOUT	ACTUALIZA DESPLIEGUE Y SALE
		05130 *			
6310 91	80	05140	REDFNC	CMFA	#80 'ND' ?
6312 24	00	05150	BNE	NXR1	
631A B4	4048	05160	LDA	REGNO	
6317 46		05170	DECA		
6318 2A	02	05180	BPL	ARNR1	
631A B4	05	05190	LDA	#5	ENVUELVE ALREDEDOR
631C B7	4048	05200	ARNR1	STA	ACTUALIZA
631F 20	10	05210	BRA	NEWREG	FIJA NUEVO REGISTRO EN SALIDA
		05220 *			
6321 91	83	05230	NXR1	CMFA	#83 '80'
6323 24	11	05240	BNE	RUNONE	IGNORA INGRESO INVALIDO
6325 B4	4048	05250	LDA	REGNO	
6328 AC		05260	INCA		
6329 81	04	05270	CMFA	#4	PASADO ?
632B 24	01	05280	BNE	ARNR2	
632D 4F		05290	CLRA		ENVUELVE ALREDEDOR
632E B7	4048	05300	ARNR2	STA	ACTUALIZA
6331 B4	01	05310	NEWREG	LDA	#1
6333 B7	402A	05320	STA	ROLPAS	
		05330 *			
6334 91	87	05340	RUNONE	CMFA	#87 TECLA T/B ?
6338 24	04	05350	BNE	REGOUT	NO, RETORNA
633A 8E	528E	05360	LDX	#REGREG	SI, FIJA DIRECCION DE RETORNO
633D 7E	538E	05370	JMP	ROI	
		05380 *			
6340 B4	4048	05390	REGOUT	LDA	REGNO
6342 48		05400	ASLA		
6344 48		05410	ASLA		4-BYTES FOR BLOQUE INGRESADO
6345 8E	5384	05420	LDX	#REGTBL	TOPE DE TABLA INFO
		05430			
6348 BD	5190	05440	JSR	ADDAX	APUNTA A ENTRADA A TABLA
634B A4	03	05450	LDA	3,X	OBTIENE INFO 7 DEG
634D 3A	02	05460	PSHS	A	SALVA EN STACK
634F A4	02	05470	LDA	2,X	

4351	34	02	05480	PSHS	A	
4353	AE	B4	05490	LIX	,X	OBTIENE DIRECC DE REG DESEADO
4355	7D	402A	05500	TST	ROLFAS	REVISA SI NUEVO REGISTRO
4358	27	0A	05510	BEQ	NOTNEW	
435A	A4	B4	05520	LDA	,X	ALMACENA ACTUAL VALOR A DESPLEGAR
435C	B7	4033	05530	STA	HEXBUF	
435F	A4	01	05540	LDA	1,X	
4361	B7	4034	05550	STA	HEXBUF+1	
			05560	*		
4364	BD	4122	05570	NOTNEW	JSR	DYSCOD PARA CONVERTIR A 7-SEG
4367	35	02	05580	FULS	A	RECUPERA CODIGOS DESPLIEGUE
4369	B7	4028	05590	STA	DISBUF+4	Y ALMACENA A BUFFER DISPLY
436C	35	02	05600	FULS	A	
436E	B7	4029	05610	STA	DISBUF+5	
4371	2A	03	05620	BFL	ARNR3	
4373	7F	4024	05630	CLR	DISBUF	LIMPIA DISPLAYS NO USADOS
4376	7F	4025	05640	CLR	DISBUF+1	
4379	20	05	05650	BRA	ONLY1	
437B	B4	4033	05660	ARNR3	LDA	HEXBUF ACTUALIZA ALTO D REG PSEUDO
437E	A7	B4	05670	STA	,X	
4380	B4	4034	05680	ONLY1	LDA	HEXBUF+1
4383	A7	01	05690	STA	1,X	ACTUALIZA BYTE BAJO
4385	39		05700	RTS	**	RETORNO **
			05710	*		
			05720	*		
4386	403D		05730	REGTBL	FDB	UPC
4388	73		05740		FCB	\$73
4389	39		05750		FCB	\$39
			05760	*		
438A	4039		05770		FDB	UA-1
438C	00		05780		FCB	\$00
438D	F7		05790		FCB	\$F7
			05800	*		
438E	4038		05810		FDB	UB-1
4390	00		05820		FCB	\$00
4391	FC		05830		FCB	\$FC

```

05840 *
6372 403E 05850 FDB UX
6374 06 05860 FCB $06
6375 5E 05870 FCB $5E
05880 *
6376 4036 05890 FDB USP
6378 6D 05900 FCB $6D
6379 73 05910 FCB $73
05920 *
637A 4037 05930 FDB UCC-1
637C 39 05940 FCB $39
637D B9 05950 FCB $B9
05960
05970
05980 *****
05990 *
06000 * FSET - FIJA BANDERA FUNCION Y DESPLIEGA 'FS'
06010 *
06020 *****
639E 86 01 06030 FSET LDA $01 PARA FIJAR BANDERA FUNCION
63A0 8E 716D 06040 LDX $716D CODIGO PARA 'FS'
63A3 B7 4045 06050 FOUT STA FNCFI
63A5 BF 4028 06060 STX DISBUF+4
63A9 39 06070 RTS REGRESA A COLOCAR
06080 *****
06090 *
06100 * FCLR - LIMPIA BANDERA FUNCION Y ULTIMOS DOS DIGITOS
06110 *
06120 *****
63AA 4F 0000 06130 FCLR CLRA PARA LIMPIAR BANDERA FUNCION
63AB 8E 06140 LDX $0000 PARA LIMPIAR ULTIMOS DOS DIGITOS
63AE 20 F3 06150 BRA FOUT
06160
06170 *****
06180 *
06190 * GO - VA A PROGRAMA D USUARIO

```

			06200 *			
			06210 *****			
63B0	7D	402A	06220	GO	TST	ROLPAS DATO HEXA ANTERIOR A '60' ?
63B3	26	06	06230		BNE	CONTIN SINO:ASUME UPC
63B5	BE	4033	06240		LIX	HEXBUF OBTIENE VALOR INGRESADO
63B8	BF	403D	06250		STX	UPC ALMACENA COMO DIRECC INICIO
63BB	0E	63C0	06260	CONTIN	LIX	#6D1 DIRECC RETORNO DESPUES D ROI
63BE	BF	4040	06270	ROI	STX	ROIRAK SALVA EN RAM
63C1	06	01	06280		LDA	#1
63C3	B7	403F	06290		STA	ROIFLG SEXAL UN TACE
63C7	20	01	06300		BRA	GOTO SALE ( NO BREAKS)
			06310	* VIENE	AQUI	DESPUES EJECUTAR UNA INSTRUCCION
63C9	12		06320	ROI	NOP	
63C9	10FE	4036	06330	GOTO	LDS	USP ORTIENE STACK POINTER D USUARIO
63CD	02	55	06340		LDA	#55 COMIENZA PRUEBA PARA EXIST STACK
63CF	3A	02	06350		PSHS	A
63D1	35	02	06360		PULS	A
63D3	01	55	06370		CMFA	#55 FUE ?
63D5	26	14	06380		BNE	BADSTK NO:STACK ERRONEO
63D7	B6	403E	06390		LDA	UPC#1 BYTE INFERIOR
63DA	3A	02	06400		PSHS	A
63DC	B6	403D	06410		LDA	UPC BYTE SUPERIOR
63DF	3A	02	06420		PSHS	A
63E1	06	AA	06430		LDA	#AA REUISA SI STACK AUN OK
63E3	3A	02	06440		PSHS	A
63E5	35	02	06450		PULS	A
63E7	01	AA	06460		CMFA	#AA
63E9	27	1F	06470		BEQ	GOEXIT OK:SECUENCIA FINAL
63EB	0E	406D	06480	BADSTK	LIX	#406D MENSAJE *-OP- ??* A 7-SEGS
63EE	BF	4024	06490		STX	DTSBUF
63F1	0E	7340	06500		LIX	#7340
63F4	BF	4026	06510		STX	L:LSBUF#2
63F7	0E	5353	06520	ALTBAD	LIX	#5353
63FA	BF	4028	06530		STX	DIGBUF#4
63FD	10CF	5800	06540		LDS	ISTKTOP INICIA:LITA AREA ADECUADA
6401	0E	6066	06550		LIX	#DDBLE SUBROUTINA HIZ-PADA

5404	BF	4020	06560	STX	MNPTR	ALMACENA COMO PROG PRINC
5407	7E	50BD	06570	JMP	PUT	ESCAPE ES RESET O 'EX'
			06580	*		
540A	BE	403B	06590	GOEYIT	LIX	UX
540U	F5	4039	06600		LDB	UB
5410	B6	403A	06610		LIA	UA
5413	34	02	06620		PSHS	A
5415	S3	01	06630		LIA	#1
5417	B7	4042	06640		STA	UPROG
541A	7D	403F	06650		TST	ROIFLG
541D	27	12	06660		BEQ	ABSOUT
541F	B6	3C	06670		LDA	#3C
5421	B7	A001	06680		STA	PIACRA
5424	B6	A002	06690		LDA	PIAPB
5427	B6	0E	06700		LDA	#30E
5429	B7	A003	06710		STA	PIACRB
542C	G6	34	06720		LDA	#34
542E	B7	A001	06730		STA	PIACRA
5431	B6	403B	06740	ABSOUT	LDA	UCC
5434	1F	8A	06750		TFR	A,CC
5435	35	02	06760		PULS	A
5438	39		06770	RTS		OBTIENE REG-A USUARIO;NO MENS'CC'
			06780	*****		*** SALE A PROG D USUARIO ***
			06790	* INTERRUPTS -		RUTINA MANEJO INTERRUPCIONES
			06800	*****		*****
5439	12		06810	NMINT	NOF	ENCIENDE BANDERA IRQ
543A	1A	10	06820	ORCC	#510	
543C	B6	04	06830	LIA	#504	CODIGO DESHABILIT D PIA
543E	B7	A003	06840	STA	PIACRB	DESHABILTA NMI'S DURANTE SERVICIO
5441	B6	A003	06850	LDA	PIACRB	LEE STATUS INTERNO
5444	2A	12	06860	BPL	SAVE	SI RETORNO DE SESAL
			06870	* TECLA	OPRIMIDA	PROVOCA NMI
5446	BD	5051	06880	JSR	GET	BUSCA Y RECONOCE TECLA
5449	B1	81	06890	CPFA	#501	'EX' ?
544B	27	03	06900	BEQ	ABORT	
544D	BD	28	06910	BSR	ENNMI	REHABILITA INTERRUPCION

644F 3B		06920	RTI	** HECHO; RETORNO **
		06930	* TECLA 'EX'; PROMPT O ABORTA	
6450 7D 4042		06940	ABORT TST	UPROG ESCAPE DE PROG D USUARIO
6453 26 03		06950	BNE	SAVE SI ESCAPE D PROG D USUARIO
6455 7E 6024		06960	JMP	PROMPT ** DE NUEVO EN SISTEMA ***
6458 10FF 4036		06970	SAVE STS	USP SALVA APUNTAADOR A REGS D USUARIO
645C 10CE 5800		06980	LDS	#STKTOP INICIALIZA A AREA SIST
6460 8D 23		06990	BSR	SVSTAT RECOBRA STATUS AL TIEMPO 'EX'
6462 8D 13		07000	BSR	ENNMI REHABILITA TECLA NMI
6464 7F 4042		07010	CLR	UPROG SE&AL NO EN PROG DE USUARIO
6467 7D 403F		07020	TST	RDIFLG ES ESTE RETORNO DE SE&AL ?
646A 27 08		07030	BEG	NOTROI SI NO
646C 7F 403F		07040	CLR	RDIFLG SE&AL NO ROI EN ESTE INSTANTE
646F BE 4040		07050	LDX	ROIBAK OBTIENE DIRECC RETORNO
6472 6E 00		07060	JMP	O,X Y REGRESA DESDE ROI
6474 7E 62DE		07070	NOTROI JMP	REGBEG ** A DESPLIEGUE REGS **
		07080	*	
6477 BA A002		07090	ENNMI LDA	PIAPB PARA LIMPIAR BANDERAS
647A 86 07		07100	LDA	#807 HABILITA CODIGO TECLA INTERRUPT
647C B7 A003		07110	STA	PIACRB A REG CONTROL D FIA
647F 86 FF		07120	LDA	#\$FF
6481 B7 A002		07130	STA	PIAPB HABILITA TODOS RENGLONES TECLAS
6484 37		07140	RTS	** RETORNO **
		07150	*	
6485 10FE 4034		07160	SVSTAT LDS	USP AFUNTA A STATUS EN STACK
6489 8E 4038		07170	LDX	#UCC AFUNTA A AREA PSEUDO REG
648C 35 02		07180	SVLOOP FULG	A OBTIENE BYTE DE STACK
648E A7 84		07190	STA	,X ALMACENA EN LOC RAM PSEUDO REG
6490 30 01		07200	LEAX	1,X
6492 8C 403F		07210	CMFX	#UPC+2 FINALIZADO ?
6495 26 F5		07220	BNE	SVLOOP SI NO CONTINUA LOOP
6497 10FF 4036		07230	STS	USP SALVA SP USUARIO AL TIEMPO INTERRP
649B 10CE 57FE		07240	LDS	#STKTOP-2 FIJA PARA RETORNO
649F 37		07250	RTS	** RETORNO **
		07260	*	

64A0 12		07270 SWINT	NOP		ENCIENDE BANDERA IRQ
64A1 1A	10	07280	ORCC	##10	
64A3 10FF	4036	07290	STS	USP	AFUNTA A REGS D USUARIO
64A7 10CE	5800	07300	LBS	#STKTOP	INICIALIZA A AREA SISTEMA
64AB 0D	08	07310	BSR	SUSTAT	RECUPERA STATUS BREAK
64AD BE	403D	07320	LDX	UPC	REGRESA CONTROL A PROG
64B0 30	1F	07330	LEAX	-1,X	
64B2 BF	403D	07340	STX	UPC	
64B5 7F	4042	07350	CLR	UPROG	SE&AL NO EN PROG D USUARIO
64B8 7E	62DE	07360	JMP	REGBEG	** A DESPLIEGUE REG **
		07370 *			
64BB BE	4043	07380 UIRQ	LIX	UIRQU	ORTIENE VECTOR IRQ D USUARIO
64BE 6E	00	07390	JMP	0,X	** VA A Rutina SERV A USUARIO **
	0000	07400	END		
0000	TOTAL ERRORS				

ABORT	6450	KEYNOV	60F1	REGDIS	6300
ABSOBT	6431	KPCOL	0000	REGFNC	6310
ABDAX	6190	KPROV	0002	REGND	4048
ALTBAD	63F7	KYFLG	4023	REGNOV	6306
ANOD	A000	KYTB1	60A7	REGOUT	6340
ARNCL2	61CA	LPO1	612C	REGTBL	6386
ARNCL4	61EC	LP02	6146	RESET	6000
ARNCLR	61AD	LP2P	60C4	RDALP	61F2
ARNID	619E	LPCOL	605A	ROI	63BE
ARNINC	6254	LPFND	607E	ROIBAK	4040
ARNR1	631C	LPIF	60BF	ROIFLG	403F
ARNR2	632E	LPROV	606D	ROLL2	61E8
ARNR3	637B	MEMBAK	629A	ROLL4	61DA
BADCAL	6273	MEMBEG	6206	ROLPAS	402A
BADOFF	6268	MEMCH	6216	ROMFND	607D
BADSTK	63EB	MEMNOV	621B	RUMONE	6336
CALDUN	627C	MEMOUT	62D3	SAVE	6458
CATH	A002	MEMSAV	4031	SRGA	0002
CLOP	608C	MNPTR	4020	STKTOP	5800
CLRDS	61A2	NEWHEM	62CE	SULOOP	646C
CLRLOP	6006	NEWREG	6331	SVSTAT	6485
CLRLP	61A8	NMINT	6439	SWINT	64A0
COLFND	6066	NORMAL	629F	SYSENC	6116
CONTIN	63BB	NOTNEW	6364	UA	403A
DIDDLE	60A6	NOTROI	6474	UB	4039
DISBUF	4024	NOTURE	62E6	UCC	4038
DLY1	617D	NUM	62C9	UFNK	6106
DLY25	6175	NXM1	62AA	UIRN	648U
DLYLP	6188	NXM2	62B2	UIRQU	4043
DLYX	6185	NXR1	6321	UFC	403D
DUNROW	6084	OFFEND	6231	UPROG	4042
DYSCOD	6122	OFFOUT	622E	USP	4036
DYSTBL	6165	OFFRET	6237	UX	403B
ENMMI	6477	OFFUN	6238	XSAV1	402D
FCLR	63AA	ONLY1	63B0	XSAVD	402B
FNCFL	4045	PIA	A000	XTMP1	402F
FNCFNT	4046	PIACR	A001		
FOUT	63A3	PIACRA	A001		
FSET	639E	PIACRB	A003		
FUNKY	610B	PIADP	A000		
FUNSEL	60EB	PIADPB	A002		
GET	6051	PIAPB	A002		
GO	63B0	PIAROW	A002		
GO1	63C8	PROMPT	6026		
GOEYIT	640A	FUT	60BD		
GOTO	63C9	R2OUT	61D2		
HASH	610E	R4OUT	61FC		
HEXBUF	4033	RDKEY	61FF		
KEY	4022	REBEG	62DE		

=====

C A P I T U L O    V I I

PRUEBAS DEL SISTEMA DE  
DESARROLLO

=====

Las pruebas que se realizan al sistema de desarrollo tienen por objeto comprobar el correcto funcionamiento del hardware y software que lo forman, detectando y corrigiendo los errores involucrados en el diseño y alambrado.

Algunas de las actividades que se realizan durante esta etapa son las siguientes:

- se revisa que los niveles de voltaje sean correctos y que no se tengan rizos o ruidos excesivos; el sistema se alambra inicialmente con bases para circuitos, midiendo voltajes y tierras eléctricos.
- se revisa que las frecuencias de los relojes para el sistema sean correctas.
- se revisa la continuidad eléctrica en los buses de control, datos y direcciones.
- cuando los circuitos han sido montados en sus bases, se revisan los niveles de voltaje en las líneas de los buses.
- al aplicar la señal RESET al processor, se prueba que se genere en el bus de direcciones la dirección FFFEh, así como el estado de las señales de control. La señal RESET debe estar presente en todos los circuitos de entrada/salida, además del procesador.
- se revisan en forma independiente los circuitos para decodificación del sistema, revisando la habilitación para las diferentes áreas del mapa de memoria.

- una vez revisados los aspectos eléctricos del sistema, se procede a probar el programa monitor que en este caso viene a ser el software que permite trabajar en él.

- para probar el funcionamiento general de todos los elementos involucrados ( procesador, memoria, entrada/salida, teclado, displays, programa monitor ), se escribe una rutina en código para el 6809E, cuya función es desplegar en los displays del sistema el texto "HELP--". La rutina se ensambla en forma externa y el código resultante es cargado en el área de RAM para ser probado.

```

00100 *****
00110 * PROGRAMA DE PRUEBA PARA EL SISTEMA DESARROLLO
00120 *
00130 *****
4800 00140 QRG $4800
      50A6 00150 DIDDLE ERU $60A6
      4024 00160 DISBUF ERU $4024
      4020 00170 MNPTR ERU $4020
      50BD 00180 PUT EQU $60BD
      00190 *
4800 8E 7679 00200 BEG LDX #7679 "HE"
4803 BF 4024 00210 STX DISBUF ALMACENA DOS DISPLAYS
4806 8E 3073 00220 LDX #3073 "LP"
4807 BF 4026 00230 STX DISBUF+2 SEGUNDOS DOS DISPLAYS
480C 8E 4040 00240 LDX #4040 "—"
480F BF 4028 00250 STX DISBUF+4 ULTIMOS DOS DISPLAYS
4812 8E 60A6 00260 LDX #DIDDLE DIRECCION RUTINA DIDDLE
4815 BF 4020 00270 STX MNPTR RUTINA ACTIVA DE PUT
4818 7E 60BD 00280 JMP PUT LLAMA A RUTINA DESPLIEGUE
      0000 00290 END

00000 TOTAL ERRORS

BEG 4800
DIDDLE 60A6
DISBUF 4024
MNPTR 4020
PUT 60BD

```

=====

C A P I T U L O   V I I I

DISENO E IMPLEMENTACION DE  
LA UNIDAD DE MONITOREO

=====

## VIII.0 DESCRIPCIÓN Y CARACTERÍSTICAS DEL ACTUAL SISTEMA DE MONITOREO.

Existen actualmente sistemas de monitoreo comerciales que basan su funcionamiento en dispositivos electromecánicos. Dichos sistemas son utilizados en centros de cómputo en los cuales las dimensiones y complejidad de las redes de comunicación de datos requieren de un sistema para la supervisión y control de la operación de la red.

El sistema de monitoreo que se describe a continuación es el que funciona actualmente en el centro de cómputo de la Dirección General de Servicios de Cómputo para la Administración de la UNAM, y es similar en su funcionamiento y estructura a otros sistemas existentes en diversos centros de cómputo de esta universidad y otras instituciones.

El sistema de monitoreo permite supervisar cualquiera de los enlaces existentes en la red de comunicación de datos, haciendo una diferencia entre los enlaces locales ( distancia entre computadora y terminal menor a 150 pies ) y enlaces remotos ( comunicación via modem ) .

El monitoreo y detección de fallos en el caso de comunicaciones con enlaces locales no representa un gran problema técnico ya que al realizar la comunicación por medio de lazo de corriente o niveles de voltaje, y teniendo una línea física para conectar la computadora con la terminal local, el monitoreo es fácil de realizar dado que en la instalación ( centro de cómputo

) se cuenta con el personal y el instrumental de medición necesarios para la solución del problema. Es por esto que el diseño del sistema de monitoreo de aquí en adelante se realizará teniendo como objetivo supervisar o monitorear el proceso de comunicación para el caso de enlaces remotos que involucran la utilización de modems con interfase estandar RS-232-C y líneas telefónicas. En este tipo de comunicación, el número de elementos que intervienen en ella ( modems, canales de comunicación, interfase, etc. ) hace conveniente la utilización del sistema de monitoreo, como una forma de poder operar eficientemente la red de comunicación de datos.

Al hablar de enlaces remotos que involucran modems, se manejan los conceptos de comunicación analógica y comunicación digital, esto es, la comunicación a la salida y a la entrada del modem. Respectivamente, esta comunicación corresponde a la comunicación analógica por conducto de la línea telefónica y la comunicación digital por medio de una interfase con la computadora. El monitor permite supervisar la comunicación analógica y digital de un modem determinado de entre todos los que estan asignados a los enlaces de la red.

Un diagrama general por bloques del monitor es el de la figura VIII.0.1 ; el monitor se puede dividir en dos grandes partes: una unidad de control y una unidad de modems. La unidad de control esta dividida en dos secciones, la sección analógica y la sección digital; cada una de estas secciones cuenta con una unidad de prueba y una unidad de despliegue. En el caso de la sección digital, las señales que se manejan corresponden a las de

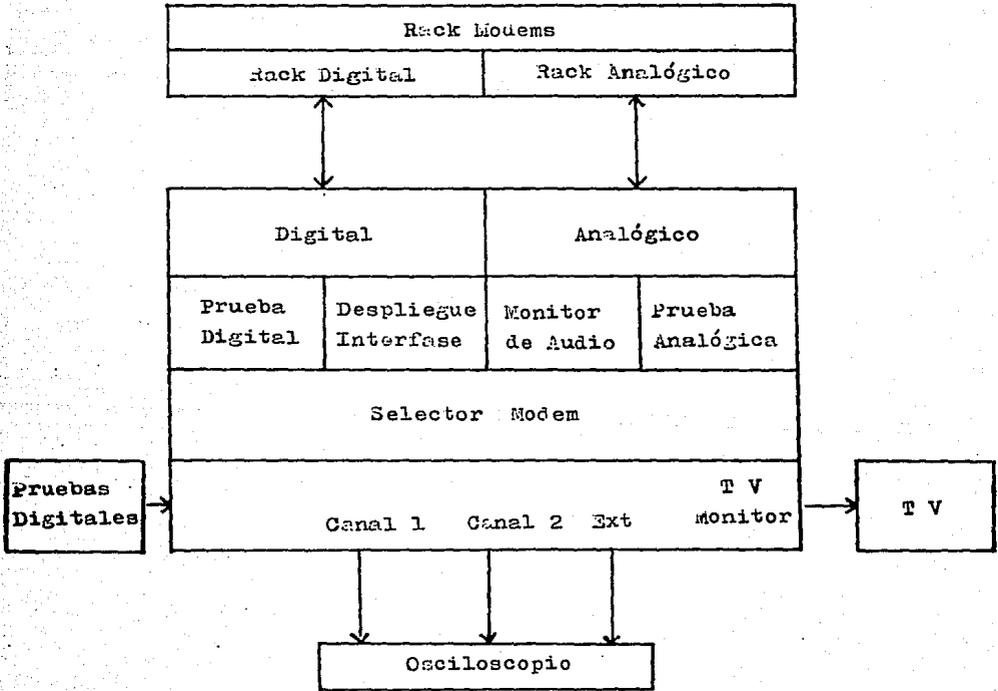


FIGURA VIII.0.1 ESTRUCTURA POR BLOQUES DEL SISTEMA MONITOR

la interfase RS-232-C y su unidad de despliegue es un panel de leds asignados por pares a cada señal de la interfase, para indicar la variación espacio-marca de cada señal. La unidad de prueba de esta sección esta formada por switches asociados a algunas de las señales de la interfase, que permiten aplicar niveles de voltaje de prueba directamente a cada señal en forma independiente. Además de estas pruebas, se puede acceder a cada una de las señales obteniendolas por de un conector, si es que se desea realizar pruebas externas sobre ellas.

En el sistema de monitoreo también se tiene un conector que contiene todas las señales de la interfase y que puede conectar en forma externa a un monitor de T.V. especializado que permite desplegar en forma visual las señales de la interfase en su variación en el tiempo.

En el caso de la sección analógica, las señales que se manejan son el transmisor y el receptor ( TX, RX ) que circulan por la línea telefónica y conectan con los modems. En este caso, la unidad de despliegue es un monitor de audio que permite escuchar el tono de cualquiera de las dos señales; por medio de conectores integrados al monitor, es posible transferir estas dos señales hacia un osciloscopio externo, y también es posible aplicar a las líneas de comunicación señales de prueba provenientes de alguna unidad externa que contenga generadores que permitan variar amplitud, frecuencia, etc. de las señales de prueba para aplicarlas y observar el comportamiento de líneas y modems.

La unidad de modems es el segundo componente del monitor; en

ella se agrupan todas las tarjetas de los modems asociados a los enlaces existentes, además de tarjetas de switcheo que al ser manejadas por la unidad de control permiten al acceso a las líneas de comunicación del modem deseado. Se manejan dos tarjetas de switcheo por cada tarjeta de modem, a las cuales se denomina tarjeta analógica y tarjeta digital; reciben estos nombres debido a que una de ellas maneja las señales analógicas ( TX, RX ) y la otra maneja la señales digitales asociadas al modem ( interfase RS-232-C ).

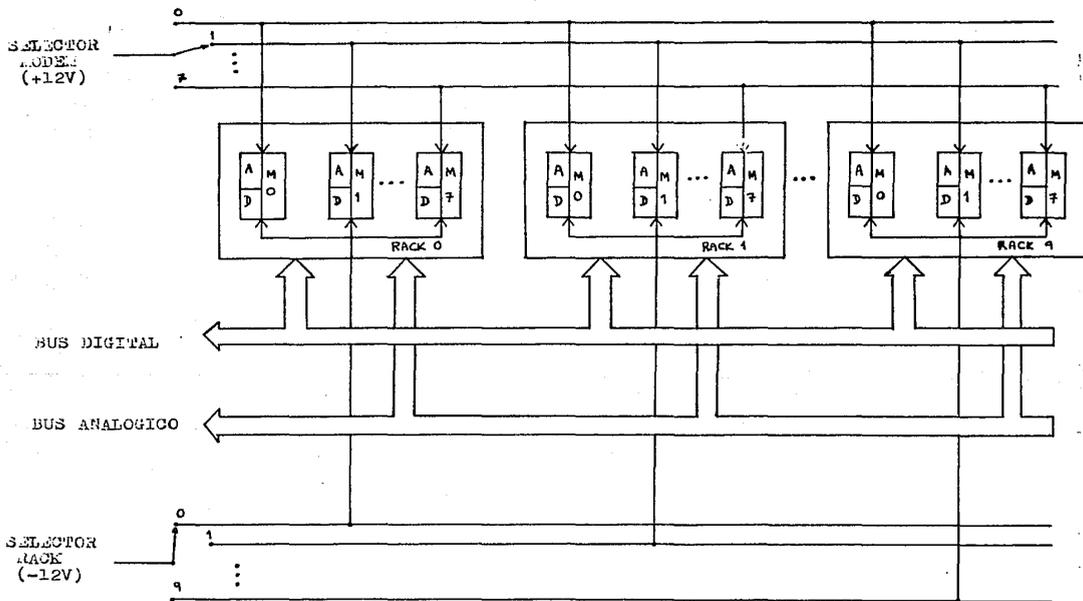
Las tarjetas de modems, analógicas y digitales se agrupan en conjuntos de 8 tarjetas del mismo tipo para formar unidades denominadas racks.

En la unidad de control existe un circuito selector de modem que permite seleccionar de entre todos los modems existentes aquel cuyas señales se desean monitorear. Las señales provenientes del circuito selector actúan directamente sobre los racks y tarjetas de manera que las señales analógicas y digitales asociadas al modem seleccionado, se transfieren a un bus que conecta directamente con la unidad de control del monitor. El alambrado interno de la unidad de control separa estas señales y las aplica a las secciones analógica y digital para su despliegue y/o prueba.

La transferencia de las señales asociadas al modem hacia el bus, se realiza a través de las tarjetas analógica y digital; estas tarjetas están construidas en base a relevadores electromecánicos que realizan el contacto con las líneas de señales para transferirlas al bus.

En el momento que se ha seleccionado un modem, existe un contacto físico por medio de los relevadores entre las líneas de señales del modem designado y la unidad de monitoreo; es por esto que el monitor es la manera más conveniente de revisar eficiente y rápidamente cualquiera de los enlaces existentes para detectar y resolver cualquier falla que requiera algún tipo de acción para ser corregida.

En la figura VIII.0.2 se presenta un diagrama general que muestra como las señales generadas en el selector rack/modem permiten switchear hacia los buses analógico y digital las señales asociadas a un modem. Al selector de modem se le asigna un voltaje positivo de 12 V CD; al selector de rack se le asigna un voltaje negativo de 12 V CD. Del selector de modem salen ocho posibles señales que se aplican a todos los racks por medio de un cable de concatenación. Dentro de cada rack, el alambrado se dispone de tal manera que cada línea que corresponde a un modem se aplica sobre las tarjetas analógica y digital correspondientes a ese modem. Por otro lado, del selector de rack se tiene una línea que se aplica a cada uno de los racks existentes en el sistema; cuando dentro de un rack se da la coincidencia de la aplicación de los voltajes selectores de rack y modem, las tarjetas analógica y digital switchean la comunicación asociada a ese modem hacia los buses que conducen las señales a la unidad de control del sistema. De esto se tiene que los relevadores electromagnéticos en base a los cuales estan construidas las tarjetas analógica y digital funcionan basicamente mediante la aplicación de una diferencia de voltaje de 24 V DC, y en el



A: TARJETA ANALOGICA  
 D: TARJETA DIGITAL  
 M: MODEM

FIGURA VIII.0.2 CIRCUITO DE DECODIFICACION RACK/MODEM

funcionamiento del sistema monitor, esta diferencia de voltaje se aplica solamente a uno de los pares de tarjetas analógica y digital asociadas a un modem.

En la figura VIII.0.3 se describe la estructura interna de los tres racks ( analógico, digital y de modems ) que forman un rack del sistema; los modems tiene asociadas sus líneas de comunicación analógica y digital con las tarjetas correspondientes. Las líneas de comunicación son muestreadas por las tarjetas y cuando se selecciona alguno de los modems, las líneas de comunicación asociadas a el son muestreadas al hacer un contacto físico por medio de los relevadores en las tarjetas. Esto permite que la comunicación que se esta llevando a cabo en el modem no sea interrumpida y que las señales muestreadas se puedan transferir por conducto de los buses analógico y digital hacia la unidad de control del monitor. En un momento dado cuando un modem ha sido habilitado, todas las tarjetas del rack reciben la habilitación de 12 volts negativos, pero solamente una de ellas recibe la habilitación de 12 volts positivos proveniente del selector de modem.

Un diagrama más general como el de la figura VIII.0.4 describe como se agrupan las líneas de comunicación y los buses de concatenación entre los racks en la configuración del sistema de monitoreo existente en las instalaciones de la DGSCA de la UNAM. En este caso, existen cuatro racks del sistema y se indica el número de líneas y conectores que se presentan en un rack y la posición relativa del rack respecto a la computadora, los modems y las líneas telefónicas. En este caso, de la línea telefónica se

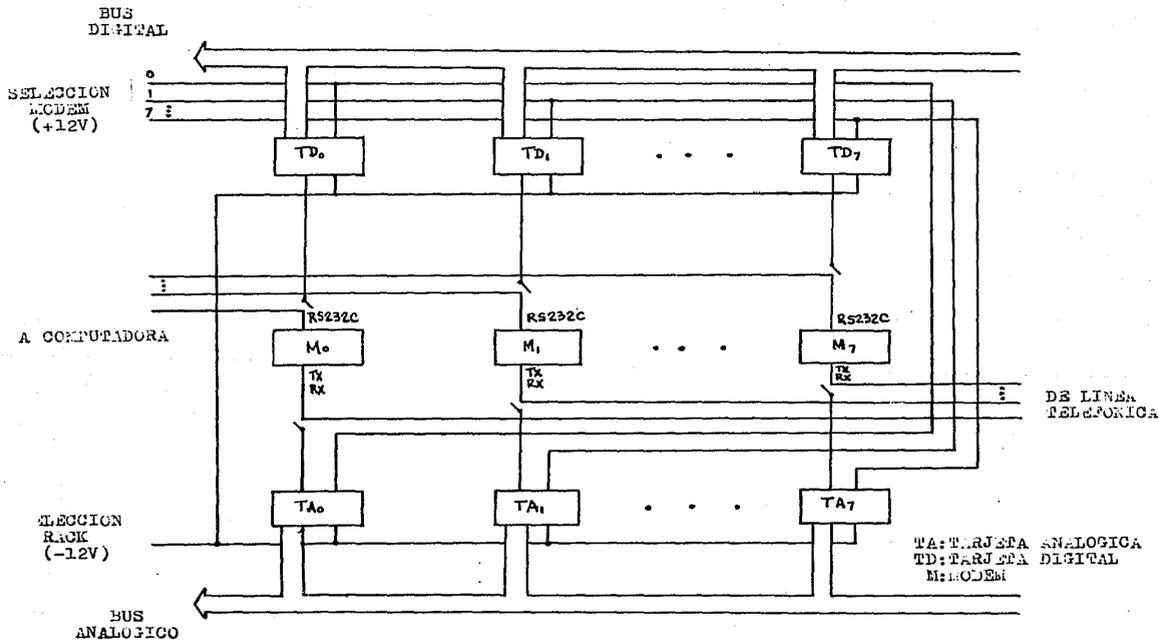


FIGURA VIII.0.3 ESTRUCTURA DE UN RACK DEL SISTEMA MONITOR

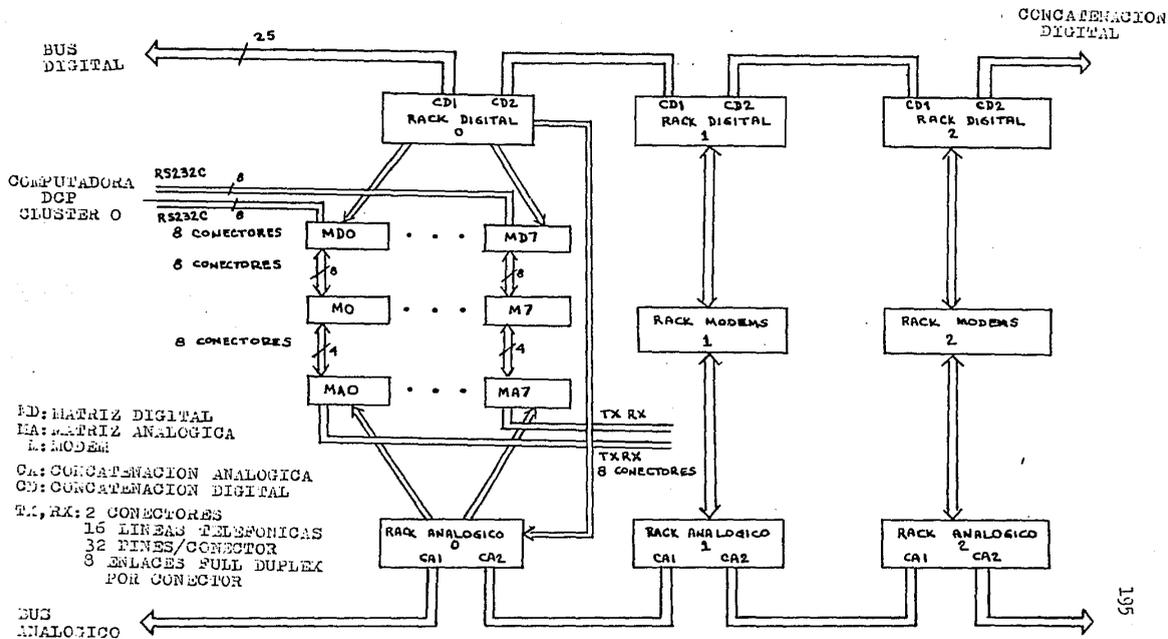


FIGURA VIII.O.4 CONFIGURACION DE UN RACK DEL SISTEMA MONITOR

CONCATEMNACION ANALOGICA

reciben 32 hilos, que corresponden a 16 líneas telefónicas, con las cuales se establecen 8 enlaces full duplex; estas líneas se agrupan en dos conectores de 16 pines cada uno, que se conectan al rack analógico. El alambrado interno del rack hace que cada enlace ( TX, RX ) pase por cada una de las 8 tarjetas de switcheo analógico; cada enlace se obtiene del rack por medio de un conector, de manera que los ocho conectores se conectan al rack de modems para hacer corresponder un enlace con un modem de los existentes en el rack de modems. De este rack se tiene como salida ocho conectores que contienen cada uno las señales correspondientes a la interfase digital del modem hacia la computadora. Estos ocho conectores se conectan al rack digital, de manera que el alambrado interno aplica cada grupo de señales a una tarjeta digital; de este rack se obtienen a su vez ocho conectores con las señales digitales que corresponden a los ocho enlaces asociados al rack. Las señales en estos conectores están unidas directamente a los clusters ( asociaciones ) que son los puertos físicos de los procesadores de comunicación de datos ( DCF ) que se manejan en una computadora Burroughs.

Las señales que se obtiene de las tarjetas analógica y digital se transfieren hacia los buses analógico y digital respectivos. estos buses se manejan dentro de los llamados conectores de concatenación. Por medio de estos conectores se puede formar una cascada de hasta 10 racks, por lo que se podrían monitorear hasta 80 enlaces con la unidad de control existente actualmente. Todo el alambrado de habilitación para las tarjetas que corresponden a un modem dentro de un rack, es común a todas

las tarjetas en todos los racks existentes ( analógicos y digitales ) pero el alambrado de selección de rack se realiza solamente sobre el rack digital, y por medio de un conector se comunican estas señales hacia los racks analógicos correspondientes a cada rack digital.

Es importante detallar el circuito que forma a las tarjetas analógicas y digitales. Los relevadores que se utilizan son del tipo 1 polo 2 tiros, con 4 switches por cada relevador y funcionan con un voltaje de 24 V DC; a los circuitos formados con los relevadores se les denomina matrices y dichos circuitos se encuentran en la figura VIII.0.5 y VIII.0.6 y corresponden a las matrices analógica y digital respectivamente. Se presenta además un diagrama que describe en forma de bloques la conexión de los relevadores a los que se denomina K1 y K2, mostrando también los diodos de protección a los circuitos ( D1, D2 ) para evitar magnetizaciones en sentido inverso que afecten el comportamiento de los electroimanes de los relevadores y los respectivos leds piloto para cada una de las tarjetas.

En el caso del circuito de la matriz analógica, las líneas que se marcan con los números 4, 5, 15 y 14 corresponden a las 4 líneas que forman los dos pares de hilos del enlace full duplex. En la tarjeta la comunicación hacia el modem circula normalmente entre los pares de puntos 4 - 2, 5 - 3, 15 - 17, 14 - 16. Cuando se realiza alguna prueba sobre el modem al cual esta asociada esta tarjeta, las líneas mencionadas se abren en los puntos 6 - 12, 9 - 15, de las líneas debido a la forma como estan alambrados los relevadores que forman a la tarjeta. Cuando sucede esto, los

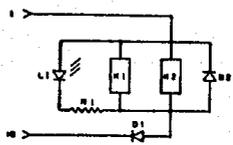
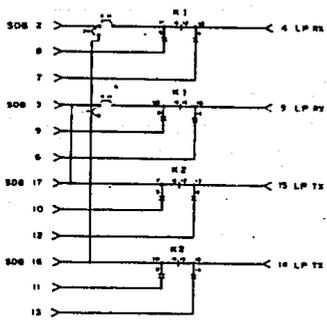


FIGURA VIII.O.5 CIRCUITO MATRIZ ANALOGICA

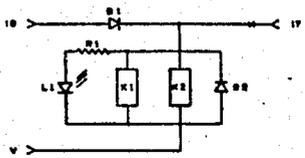
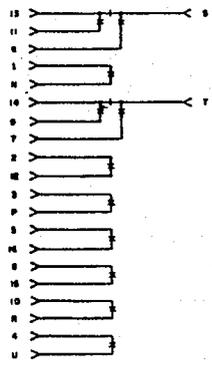


FIGURA VIII.O.6 CIRCUITO MATRIZ DIGITAL

4 líneas que forman la comunicación se switchean hacia otras 4 que conectan directamente a la unidad de control del monitor; en este caso la línea asociada a la terminal 4 se switchea hacia la terminal 7; la 5 hacia la 6, la 15 hacia la 12 y la 14 hacia la 13. En la unidad de control, estas líneas están asociadas a switches normalmente cerrados que cierran un circuito hacia otras líneas que regresan hacia la tarjeta y corresponden a las terminales 8, 9, 10 y 11. Estas terminales están conectadas momentáneamente por medio de los relevadores hacia las terminales que conducen las señales hacia el modem asociado a la comunicación. De esta forma, las líneas de comunicación están en posibilidad de ser muestreadas sin interrumpir la comunicación.

La siguiente tabla describe como están asociadas las señales a las terminales de la tarjeta:

RX - 2 - Receptor al modem

RX - 4 - Receptor de línea

RX - 8 - Receptor prueba

RX - 7 - Receptor muestra

RX - 3 - Receptor al modem

RX - 5 - Receptor de línea

RX - 9 - Receptor prueba

RX - 6 - Receptor muestra

TX - 17 - Transmisor al modem

TX - 15 - Transmisor de línea

TX - 10 - Transmisor prueba

TX - 12 - Transmisor muestra

TX - 16 - Transmisor al modem  
 TX - 14 - Transmisor de línea  
 TX - 11 - Transmisor prueba  
 TX - 13 - Transmisor muestra

Cuando se realiza alguna prueba sobre las líneas, los switches normalmente cerrados son abiertos y las señales de prueba son aplicadas al modem por las terminales 8, 9, 10 y 11 de la tarjeta, pues estas terminales conectan directamente al modem. Esta es la forma en la cual se abren las líneas para realizar pruebas analógicas sobre la línea y el modem.

El circuito que forma la matriz digital describe a simple vista que de un total de 9 líneas de la interfase que se muestrean, solamente se pueden realizar pruebas sobre 2 de ellas. Las señales están asociadas a la interfase de la siguiente manera:

---

TD - 13 - Transmitted Data de computadora  
 TD - 5 - Transmitted Data a modem  
 TD - 11 - Transmitted Data muestra  
 TD - 6 - Transmitted Data prueba a modem  
 CD - 1 - Data Terminal Ready señal  
 CD - N - Data Terminal Ready muestra  
 RTS - T - Ready to Send a modem  
 RTS - 9 - Ready to Send muestra  
 RTS - 7 - Ready to Send prueba a modem  
 RTS - 14 - Ready to Send de computadora

CNTL - 2 - Señal Control  
 CNTL - 12 - Muestra Señal Control  
 CLKTX - 3 - Reloj Transmisor  
 CLKTX - P - Muestra Reloj Transmisor  
 DSR - 5 - Data Set Ready  
 DSR - 16 - Muestra Data Set Ready  
 CLKRX - 8 - Reloj Receptor  
 CLKRX - 15 - Muestra Reloj Receptor  
 CTS - 10 - Clear to Send  
 CTS - R - Muestra Clear to Send  
 RD - 4 - Received Data  
 RD - U - Muestra Received Data

Todas las señales de la interfase se despliegan por medio de leds para indicar su condición espacio-marca y cuando se realiza alguna prueba sobre las señales RTS y CD, se pueden aplicar niveles de voltaje espacio o marca para observar el comportamiento del modem o la línea telefónica. Cuando se realiza una prueba, los switches en la unidad de control abren las líneas para aplicar las señales deseadas.

El panel de la unidad de control refleja la estructura que se ha establecido para el funcionamiento del monitor, estos es, existe una sección analógica y una sección digital (fig.VIII.0.7). Cada sección tiene sus unidades de prueba y sus unidades de despliegue. En el caso de la sección analógica, la unidad de despliegue es un circuito que permite controlar la amplitud de las señales TX, RX para obtenerlas por audio; en la sección digital la unidad de despliegue son pares de leds

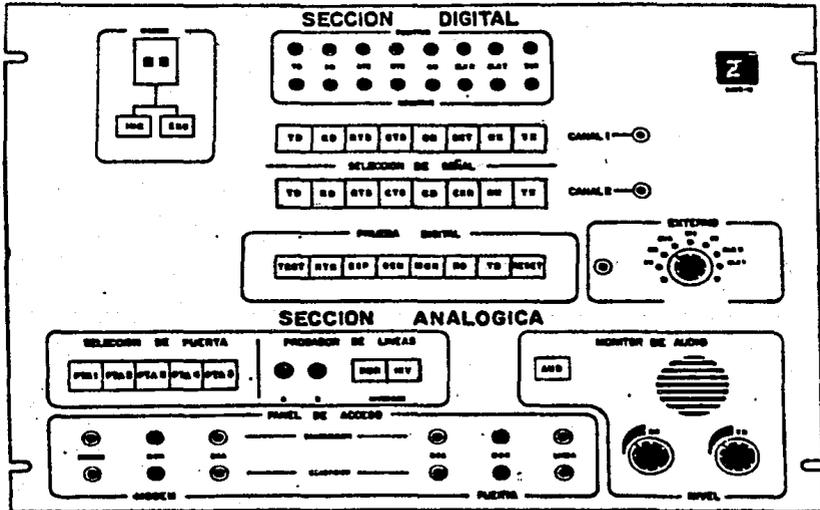


FIGURA VIII.0.7 PANEL FRONTAL DE LA UNIDAD DE CONTROL DEL SISTEMA MONITOR

asociados a cada señal de la interfase. Un circuito construido en base a comparadores de niveles de voltaje recibe cada señal de la interfase para activar los leds correspondientes a los estados espacio-marca.

La sección digital permite obtener por un conector especial, cualquiera de las señales de interfase que se manejan; por medio de la unidad de selección de señal se pueden obtener cualquiera de las señales por dos conectores identificados como canales 1 y 2. La unidad de prueba digital contiene teclas que permiten entrar en estado de prueba, seleccionar la señal sobre la cual se desea realizar la prueba y aplicar la señal de prueba. Las pruebas se realizan con niveles de voltaje adecuados para las condiciones espacio-marca, pero por medio del selector externo se pueden aplicar señales externas, por ejemplo se podría aplicar un tren de pulsos si así se desea.

La sección analógica se basa en el probador de líneas que es la unidad por medio de la cual se pueden aplicar señales de prueba externas. Los conectores para aplicar estas señales se identifican como A y B, y un circuito interno permite aplicar las señales en forma normal o invertida.

Además de las dos secciones, existe el circuito selector de modem que despliega el número de rack y modem que se desea monitorear. Una tecla identificada como INC (Incluye) permite iniciar la operación del monitor y otra identificada como EXC (Excluye) termina la operación de él. Antes de iniciar el monitoreo se debe haber seleccionado el modem deseado, y para monitorear otro modem, debe de excluirse el que se monitoreo

previamente.

Por último, la figura VIII.0.8 muestra un diagrama general del alambrado interno del sistema monitor, sus conectores, las señales que se manejan y los niveles de voltaje con que se trabaja.

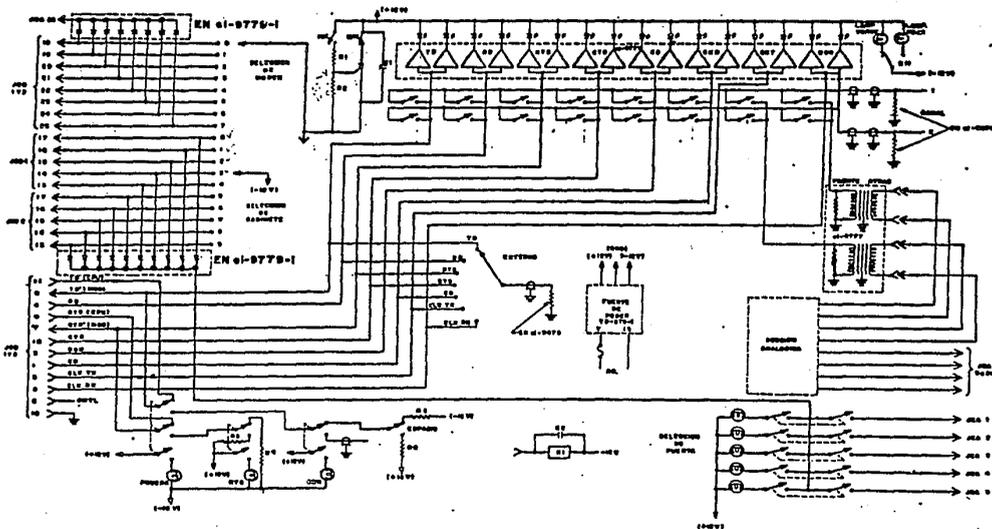


FIGURA VIII.0.8 DIAGRAMA GENERAL DEL ALAMBRADO INTERNO DE LA UNIDAD DE CONTROL DEL SISTEMA MONITOR

## VIII.1 CONTROLADOR DE LA UNIDAD DE CONMUTACION

El diseño del controlador de la unidad de conmutación se basa en el sistema de desarrollo que utiliza el microprocesador Motorola 4809 y un sistema de decodificación que servira para realizar la seleccion rack/modem de manera análoga a la forma como está constituido el sistema electromecánico descrito a lo largo del desarrollo de este trabajo.

Un diagrama de bloques de esta configuración sería el de la figura VIII.1.1 . El circuito decodificador consiste de una lógica alamburada que genera una salida de entre varias posibles para habilitar el muestreo y/o prueba de un modem determinado.

Para manejar el concepto de rack/modem, se toma un byte proveniente de un puerto del sistema de desarrollo; este byte es el resultado generado por la selección hecha por el usuario, y contiene en sus cuatro bits mas significativos el rack a decodificar y en sus cuatro bits menos significativos el modem requerido dentro del rack dado. ( figura VIII.1.2 ). Al combinar las señales de selección para rack y modem, se realiza la selección del modem deseado. Debido al tamaño de la palabra de selección, se tiene que es posible tener hasta 16 racks, con 16 tarjetas de switcheo por rack. En forma más detallada, el diseño sería el de la figura VIII.1.3. Existe una línea de selección generada en el decodificador de racks que es específica para realizar la habilitación de cada uno de ellos. La selección de modem se maneja como un bus comun a todos los racks de 16 líneas

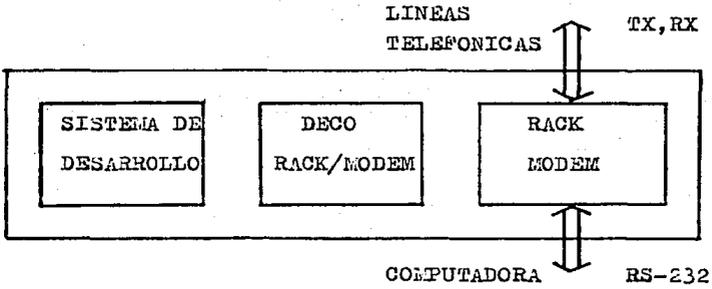


FIGURA VIII.1.1 CONTROLADOR DE LA UNIDAD DE CONMUTACION

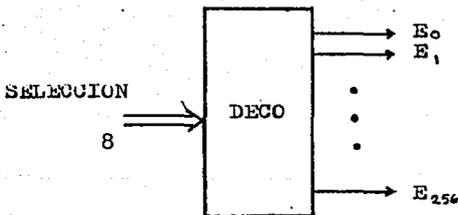


FIGURA VIII.1.2 DECODIFICACION RACK/MODEM

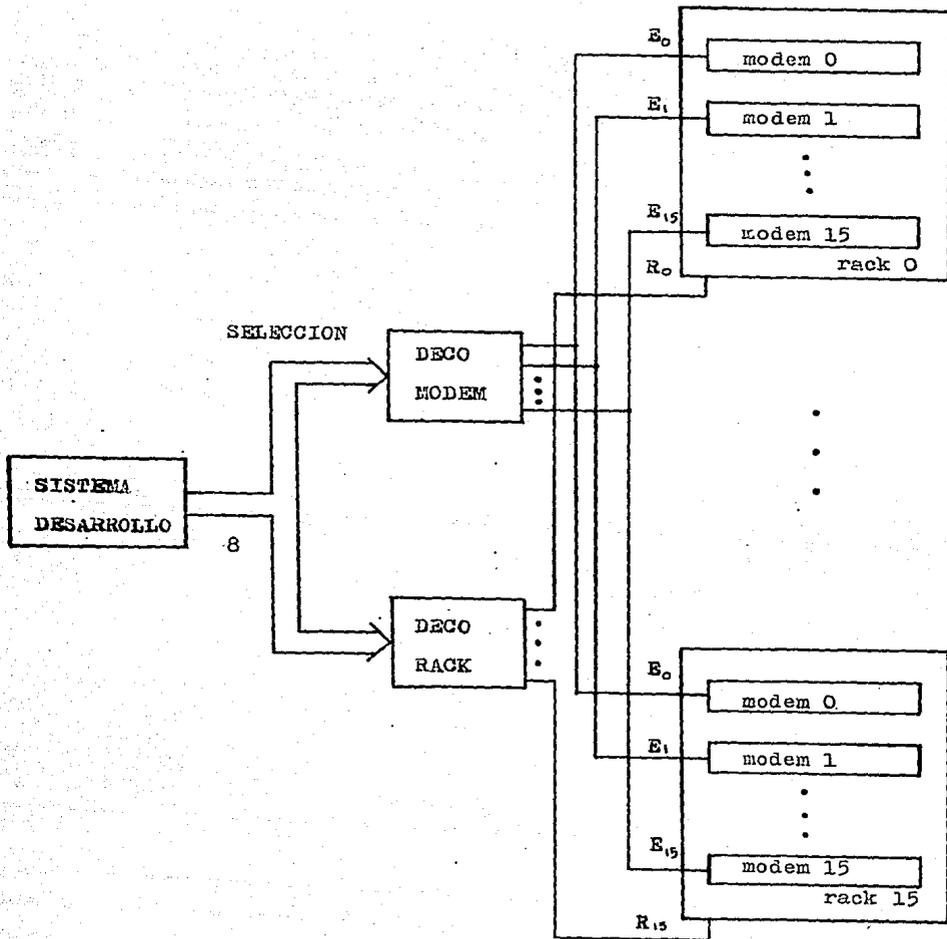


FIGURA VIII.1.3 DECODIFICACION RACK/MODEM DETALLADA

que seleccionan uno de entre los 16 modems existentes dentro de un rack ( figura VIII.1.4 ).

En el diseño que se presenta, se manejará una tarjeta de switcheo para muestrear tanto las señales analógicas como las señales digitales asociadas a un modem en una misma tarjeta.

Las señales de decodificación generadas al sistema de selección son aplicadas a los racks que contendrán los grupos de tarjetas de switcheo (figura VIII.1.5). Las señales de habilitación de modems M0, M1, ... , M15 junto con las señales de habilitación de rack R0, R1, ... , R15 son aplicadas a un sistema de compuertas NAND cuya salida habilita a cada tarjeta de switcheo dentro del rack dado.

La señal de habilitación de rack es una entrada común a todas las compuertas, y las señales de habilitación de modem son aplicadas individualmente a cada compuerta.

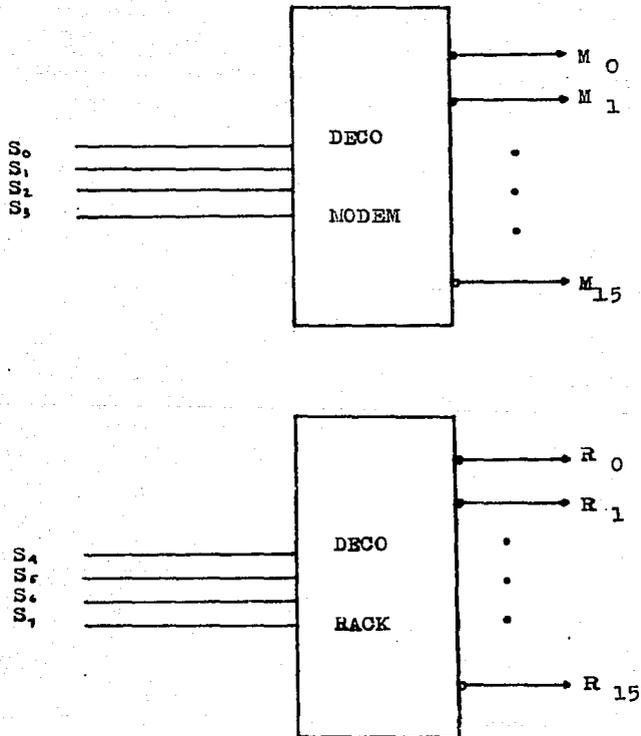


FIGURA VIII.1.4 DECODIFICACION RACK Y MODEM

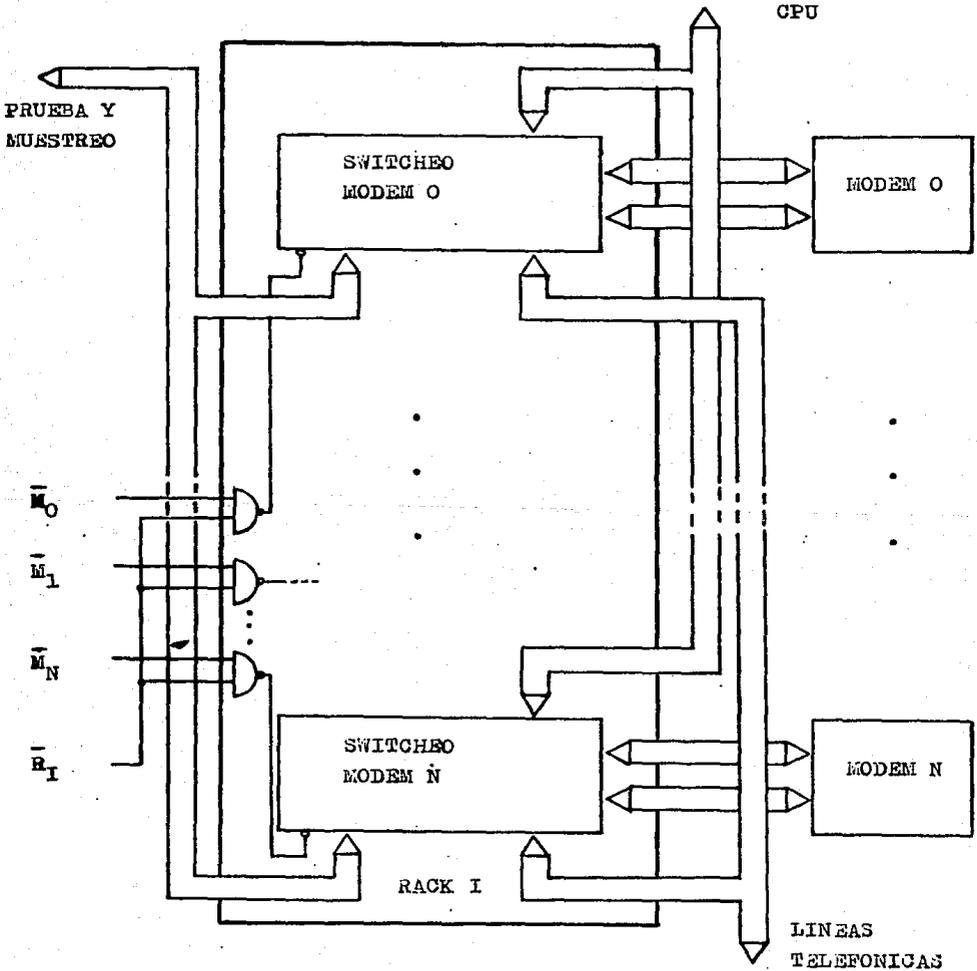


FIGURA VIII.1.5 SELECCION DE RACKS Y TARJETAS DE SWITCHEO

## VIII.2 CIRCUITOS DE CONMUTACION.

El diseño del sistema de monitoreo contempla la sustitución de los elementos de muestreo ( conjuntos de relevadores electromecánicos ) por circuitos de una tecnología más moderna, que sean aptos para ser utilizados en conjunto con un microprocesador y que presenten menos problemas operacionales.

Las dos alternativas que se presentan son, primero, la utilización de relevadores integrados contenidos en un circuito semiconductor y, en segundo lugar, la utilización de circuitos de tecnología MOS que contengan switches analógicos integrados.

En el diseño de los circuitos de conmutación se utilizarán los circuitos que contienen switches analógicos de tecnología MOS por las siguientes razones:

- costo de los circuitos
- velocidad de operación (tiempo de respuesta)
- disponibilidad en forma comercial
- dimensiones físicas de los circuitos
- rango de frecuencias de señal que maneja el circuito
- consumo de corriente (disipación de potencia)
- escala de integración de switches por cada circuito

Para describir las características y el funcionamiento de los switches analógicos empleados en el diseño, es necesario entender primero las características de la tecnología con que están constituidos y la manera en la cual son implementados.

Los circuitos MOS ( Metal-Oxido-Semiconductor ) se

caracterizan por tener una baja disipación de potencia y requerir un área muy pequeña para ser implementados. Los circuitos MOS se basan en la utilización de transistores de efecto de campo (FET) para su implementación, a diferencia de otras tecnologías como TTL, Schottky TTL, LS TTL, las cuales utilizan en su implementación transistores bipolares de juntura (TBJ), los cuales son construidos en base a tres materiales principales que son aluminio, óxido de silicio y semiconductores tipos P y N (en el caso de utilizar semiconductor tipo P, se habla de transistores FET tipo PMOS, y en el caso de semiconductor tipo N, se habla de transistores FET tipo NMOS ).

Una de las familias lógicas MOS más utilizadas es la de la tecnología CMOS ( Metal-Oxido-Semiconductor-Complementario ) que constituye una familia lógica con funciones lógicas comparables a las encontradas en la tecnología TTL. El término "complementario" que identifica a esta familia, indica que en su implementación se utilizan transistores MOS de canales P y N, formando circuitos complementarios.

Las principales características de los circuitos MOS son las siguientes:

1- La disipación de potencia estática es muy pequeña, de unos pocos nanowatts. La disipación de potencia es apreciable solamente al presentarse un switcheo de un estado a otro.

2- se tiene una alta inmunidad al ruido ( aproximadamente un 40% del voltaje de polarización  $V_{dd}$  ).

3- debido a sus tiempos de retardo de propagación, los circuitos CMOS son más rápidos que los circuitos MOS, pero más

lentos que los circuitos TTL.

4- en Fan-out se pueden manejar magnitudes de hasta 50 circuitos.

5- el swing ( amplitud de salida ) es  $V_{dd}$ , independientemente del FAN-OUT.

6- los circuitos pueden operar con una sola fuente de polarización.

7- si  $V_{dd} = 5$  volts, los circuitos CMOS son compatibles TTL.

8- se tiene una muy buena estabilidad en temperatura.

Como se menciona anteriormente, un circuito CMOS involucra la existencia de dispositivos PMOS y NMOS, y estos deben de aparecer en pares, por lo que la densidad de integración en un circuito CMOS se reduce en comparación con otras tecnologías similares; además, para lograr las características eléctricas descritas anteriormente, se requiere de etapas de procesamiento (producción) adicionales que elevan el costo de los circuitos.

En la figura VIII.2.1 se muestran los símbolos que representan al transistor de efecto de campo canal N y al transistor de efecto de campo canal P, así como la nomenclatura asociada a sus terminales ( D = Drain, G = Gate, S = Source,  $I_g$  = Corriente de Gate,  $I_d$  = Corriente de Drain,  $I_s$  = Corriente de Source ). En la figura VIII.2.2 se muestran las curvas características de un transistor FET para  $V_{gs}$ , con respecto a  $V_{ds}$ - $I_d$ , y su curva de transferencia  $V_{gs}$ - $I_d$ .

Existe una configuración MOSFET complementaria que se comporta como una compuerta de transmisión controlada por un voltaje complementario aplicado a sus terminales gate. Esta

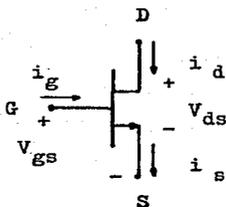
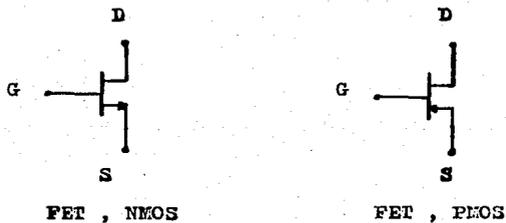


FIGURA VIII.2.1 TRANSISTOR DE EFECTO DE CAMPO

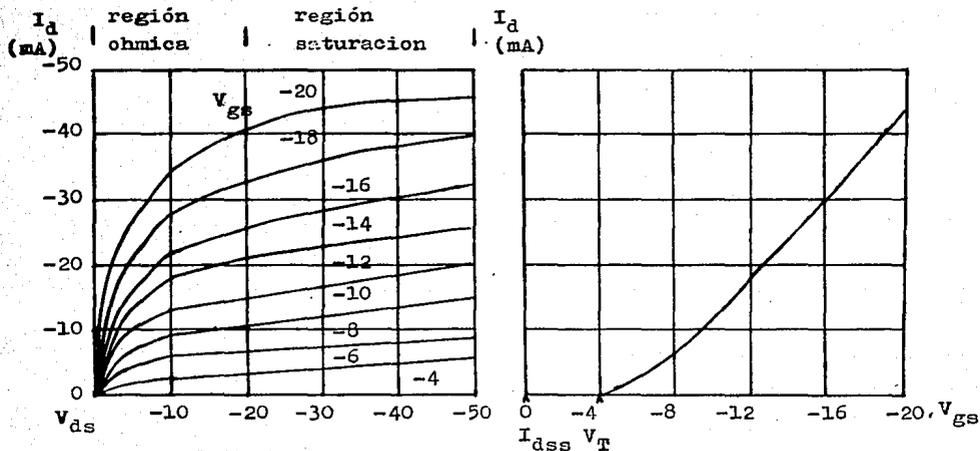


FIGURA VIII.2.2 CURVAS CARACTERISTICAS FET

configuración de MOSFET complementaria se encuentra como la base para la implementación de muchos circuitos como son el National LF398, AH0133, CB4066; Texas TL601, TL185; Motorola MS14066. Todos estos circuitos aplican el concepto de utilizar el MOSFET complementario para implementar switches o compuertas que pueden servir para muestrear o manejar señales analógicas o digitales.

Un diagrama del circuito utilizado y dos representaciones de él, son los de la figura VIII.2.3. El voltaje de gate se maneja en forma complementaria para habilitar los transistores canal N y canal P al mismo tiempo. Cuando el voltaje de gate C toma el valor de 1 lógico, se tiene que el voltaje  $\bar{C}$  toma el valor de voltaje de cero lógico. Si en el punto A de la compuerta se tiene como señal de entrada un nivel de voltaje de valor igual a un 1 lógico, se tiene que  $V_{gs}$  para el transistor 1, es cero y por lo tanto el transistor Q1 está apagado de acuerdo a las curvas características mostradas anteriormente. Por otro lado se tiene para el transistor Q2 que  $|V_{gs}| > V_t$  y  $V_{gs}$  para el transistor 2 es negativo, por lo que de acuerdo a las curvas del transistor, el transistor PMOS Q2 conduce. Cuando no existe un voltaje de drain el transistor FET opera en la región óhmica donde  $V_{ds}$  es aproximadamente cero, por lo tanto, Q2 se comporta como una pequeña resistencia que conecta la salida con la entrada y por lo tanto  $B = A$ .

Cuando por el contrario, la entrada toma el valor de voltaje de cero lógico, se tiene que si  $C = 1$  y  $\bar{C} = 0$ ,  $V_{gs}$  para Q2 es igual a cero y por lo tanto el transistor Q2 no opera. Al mismo tiempo, para Q1,  $V_{gs} > V_t$  y  $V_{gs}$  para Q2 es positivo, por lo que

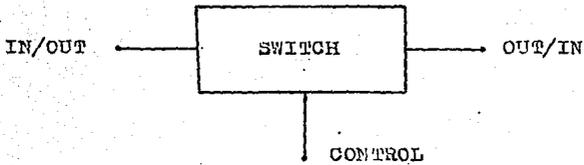
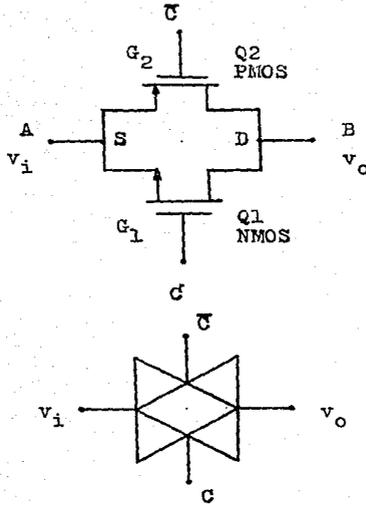


FIGURA VIII.2.3 MOSFET COMPLEMENTARIO

el transistor NMOS Q1 opera con  $V_d = 0$ , por lo que  $V_{ds}$  es aproximadamente igual a cero y se establece un contacto entre A y B a través de una pequeña resistencia de aproximadamente 30 ohms.

Esto quiere decir que cuando el voltaje de control C toma el valor de voltaje de 1 lógico, la compuerta o switch opera, y el voltaje de entrada es transferido a la salida del par complementario.

Considerando que C ( voltaje de gate ) es igual a cero, se tiene que  $\bar{C} = 1$ ; si la entrada toma el valor de 1 lógico, entonces  $V_{gs}$  para Q1 es negativo, y el transistor NMOS Q1 esta apagado, mientras que Q2 esta también apagado. Si ambos transistores no conducen, hay un circuito abierto entre la entrada y la salida y entonces se consideran a la compuerta abierta. La misma situación se presenta si la entrada toma el valor de voltaje de cero lógico, pues ambos transistores permanecen apagados.

Lo anterior describe cómo se comporta la compuerta, en donde el voltaje C actua como el control para activarla, y si  $C = 1$ , se tiene que  $B = A$ ; y si  $C = 0$  la compuerta permanece deshabilitada.

La señal de entrada que se aplica en el punto A, puede ser de tipo analógico o digital, y puede variar en amplitud en el rango de voltajes contenido entre los niveles asociados al uno lógico y al cero lógico, que en general son los niveles de voltaje con los cuales se polarizan los circuitos que contienen a este tipo de compuertas.

El circuito comercial que se utiliza para realizar la implementación del sistema de monitoreo es el National

Semiconductor CD4066BD, que es un switch bilateral cuadruple, esto es, el circuito contiene cuatro compuertas, cada una de ellas con una entrada, una salida y un control de habilitación para la compuerta. El circuito es de tecnología CMOS, con un rango de voltaje de polarización  $V_{dd}$  de 3 a 15 V DC, manejando señales digitales y analógicas en un rango de amplitud de  $\pm 7.5$  volts pico. Al ser habilitada una compuerta, puede funcionar bidireccionalmente en el manejo de las señales; la resistencia que se presenta entre la entrada y la salida de la compuerta es en promedio de un valor de 80 ohms y permite manejar señales con una frecuencia de hasta 40 MHz.

Cuando el control de un switch se encuentra deshabilitado, no existe comunicación entre la entrada y la salida del switch; cuando se habilita el switch, la entrada aparece en la salida y como se menciona anteriormente, el switch puede utilizarse en forma bidireccional ( VIII.2.4 ).

Cuando el circuito se polariza con  $3 \text{ V} \leq V_{dd} \leq 15 \text{ V}$ , y  $V_{ss} = 0 \text{ V}$ , el switch puede manejar señales analógicas o digitales con una amplitud  $V_{is}$  tal que  $V_{ss} \leq V_{is} \leq V_{dd}$  ( figura VIII.2.5 ).

Para poder manejar señales que tengan variación en amplitud positiva y negativa con respecto a cero, se debe polarizar el circuito de tal forma que  $V_{dd} > 0$  y  $V_{ss} < 0$ , con  $V_{dd} = -V_{ss}$ , de manera que el rango de amplitud de las señales de entrada  $V_{is}$  que maneje el switch sera  $\pm V_{ss}/2$  volts pico a pico ( figura VIII.2.6 ).

Para llevar a cabo la realización del sistema monitor, los switches analógicos se utilizaran para implementar un sistema que

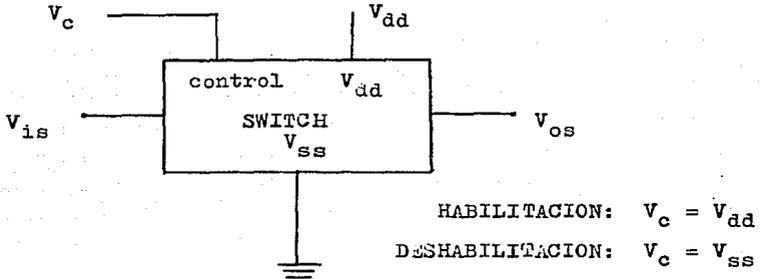
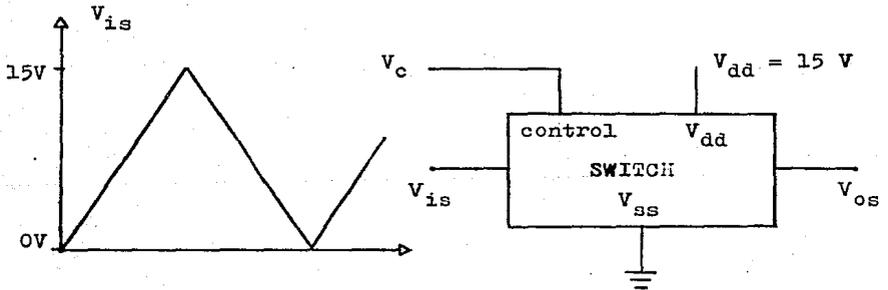
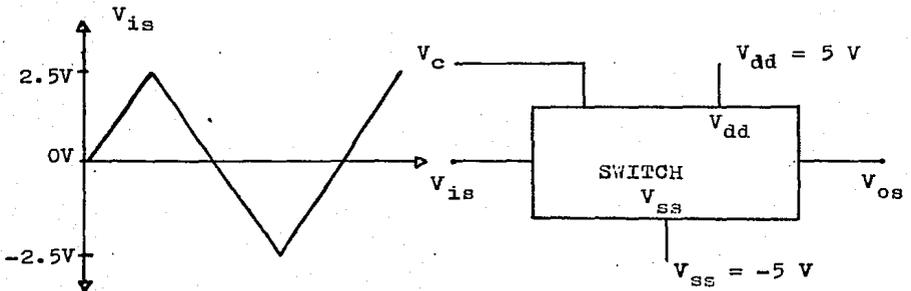


FIGURA VIII.2.4 CONTROL DE HABILITACION DEL SWITCH

FIGURA VIII.2.5 POLARIZACION  $V_{ss} = 0$ FIGURA VIII.2.6 POLARIZACION  $V_{ss} = -V_{dd}$

permita muestrear las señales asociadas a un modem ( analógicas y digitales ), así como aplicar señales de prueba que ayuden a revisar y/o corregir el funcionamiento de un modem específico.

Las señales que requieren ser muestreadas, son las que se presentan a la entrada y salida del modem, las cuales son del tipo digital y analógico; las señales analógicas por muestrear son las correspondientes al transmisor y al receptor ( TX, RX ); las señales digitales que se manejarán corresponden a TD, RD, RTS, CTS, CD, CLKR, CLKT de la interfase RS-232-C.

El switcheo se implementa de manera que algunas señales son solamente muestreadas y otras son muestreadas y además tendrán capacidad de prueba.

Muestrear las señales analógicas y digitales asociadas a un modem implica que las líneas de comunicación no deben ser interrumpidas (abiertas), pero en el caso de las señales que tendrán capacidad de prueba, la comunicación debe ser interrumpida para crear una trayectoria que sustituya al transmisor de la señal que se desea probar.

Las señales que son muestreadas son aplicadas a un bus que comunica a una unidad de despliegue por medio de la cual serán presentadas al usuario. Se tienen dos unidades de despliegue, una analógica y una digital, según sea el tipo de las señales a desplegar.

Para realizar las pruebas de las señales que las requieren, se establece la existencia de dos unidades de prueba, una prueba digital y una prueba analógica ( figura VIII.2.7 ). Las señales digitales con capacidad de prueba serán TD, RTS y las señales

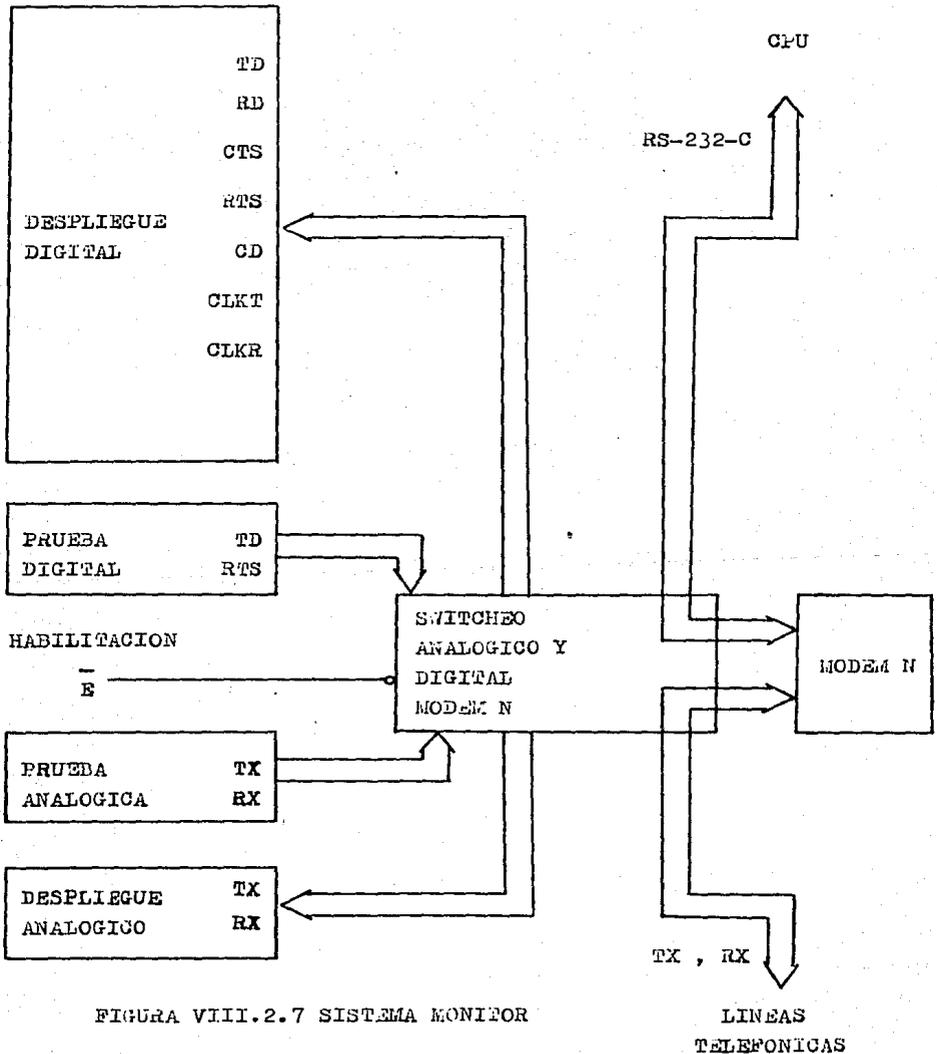


FIGURA VIII.2.7 SISTEMA MONITOR

LINEAS  
TELEFONICAS

analógicas con capacidad de prueba seran TX, RX.

El diagrama de la tarjeta de switcheo diseñada corresponde al de la figura VIII.2.6. La tarjeta posee 4 elementos principales:

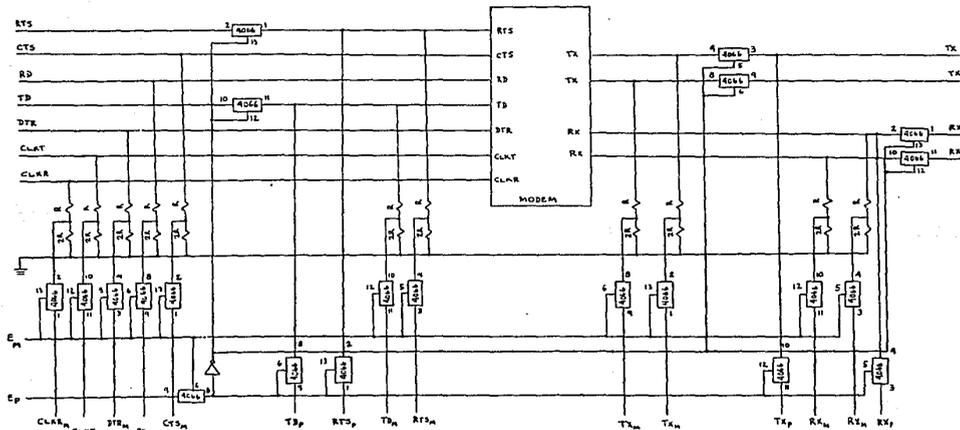
- control de habilitación de muestreo
- switches analógicos
- conectores a los buses del sistema
- control de habilitación de prueba

El control de habilitación de muestreo corresponde a las señales generadas por el sistema descrito en la parte del diseño del controlador de la unidad de conmutación. Las combinaciones de señales M y R generan señales E que habilitan las tarjetas de switcheo.

Los switches analógicos permiten muestrear las señales requeridas, y además abrir o interrumpir las líneas de comunicación en las cuales se deben aplicar señales de prueba. Se requiere implementar divisores de voltaje para aplicar a los switches señales de entrada dentro del rango del voltaje que manejen de acuerdo a su polarización.

Por medio de los conectores a los buses se manejan las señales de prueba y las señales de muestra. Estos conectores comunican a todos los racks hacia las unidades de despliegue y de prueba.

El control de habilitación de prueba es una señal que se aplica a todas las tarjetas existentes en cada rack; esta señal es controlada por el control de habilitación de cada tarjeta en los racks.



M: MUESTRA  
P: PUNTERO  
E: ENRIESTRACION

R = I.M.A.

CD4060BC  
V<sub>DD</sub> = 5V  
V<sub>SS</sub> = -5V

FIGURA VIII.2.8 TARJETA DE SWITCHED ANALOGICO Y DIGITAL

En el diseño de la tarjeta de muestreo se contempla la forma en la cual deben ser muestreadas las señales y la manera en que deben ser aplicadas las pruebas.

En el caso de las señales con capacidad de prueba, se requiere interrumpir las líneas de comunicación y aplicar las señales de prueba en el sentido adecuado.

La habilitación de prueba es dependiente de la habilitación de muestreo, esto es, se requiere que una tarjeta de switcheo haya sido habilitada para muestreo, si se desean realizar pruebas sobre las líneas de comunicación.

En el diseño de la tarjeta de switcheo, se implementan en la misma tarjeta los circuitos de muestreo analógico y muestreo digital; las líneas que resultan del muestreo se identifican con un subíndice M; las líneas que se utilizan para aplicar pruebas se identifican con el subíndice P.

Las líneas de habilitación para muestreo y prueba se identifican con la letra E y el subíndice respectivo ( M o P ).

## VIII.3 INTEGRACION DE LA UNIDAD.

## UNIDADES DE DESPLIEGUE ANALÓGICO Y DIGITAL.

Las unidades de despliegue analógico y digital se implementan de la siguiente manera: la unidad de despliegue analógico esta formada por tres elementos principales, una etapa de aislamiento, un mezclador ( sumador ) y un transductor de salida ( bocina ). Las señales TX, RX son aplicadas a esta unidad y por medio de potenciómetros, cada una de ellas es controlada en amplitud para ser desplegada en forma audible. A la entrada de la unidad se tiene una etapa aislante de alta impedancia formada en base a circuitos amplificadores seguidores de voltaje y despues un circuito sumador cuya salida conecta con la bocina de la unidad ( figura VIII.3.1 ).

La unidad de despliegue digital se implementa en base a circuitos comparadores de niveles de voltaje; cada señal digital muestreada se aplica a un par de circuitos comparadores de voltaje, cada uno de ellos asociado a un determinado nivel de voltaje positivo o negativo, para generar una señal de salida en el caso de que la señal digital muestreada tome valores de voltaje positivos o negativos respectivamente. A la salida de cada comparador se encuentran conectados leds para indicar en forma visual cuando la señal digital toma los valores uno o cero lógicos ( figura VIII.3.2 ).

Los niveles de voltaje de DC para los comparadores se fijan tomando en cuenta que las muestras se obtienen a través de

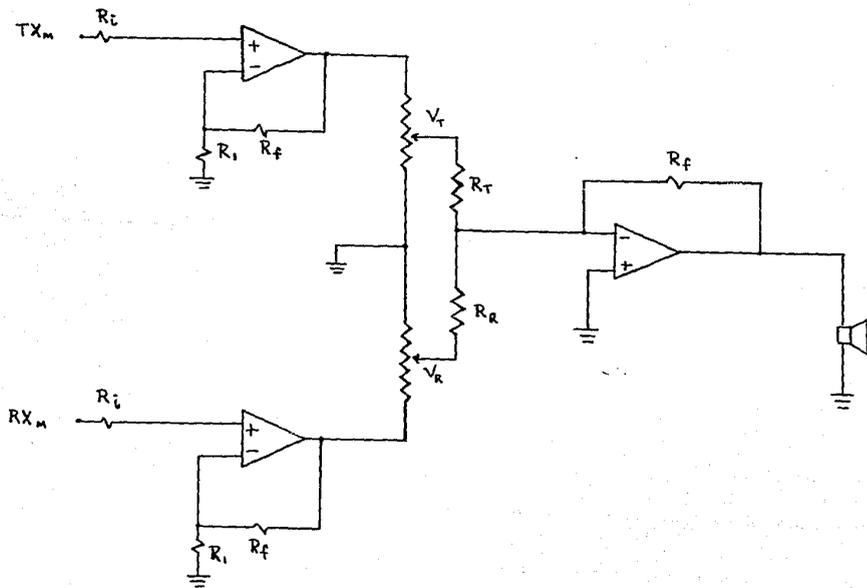


FIGURA VIII.3.1 UNIDAD DE DESPLEGUE ANALOGICO

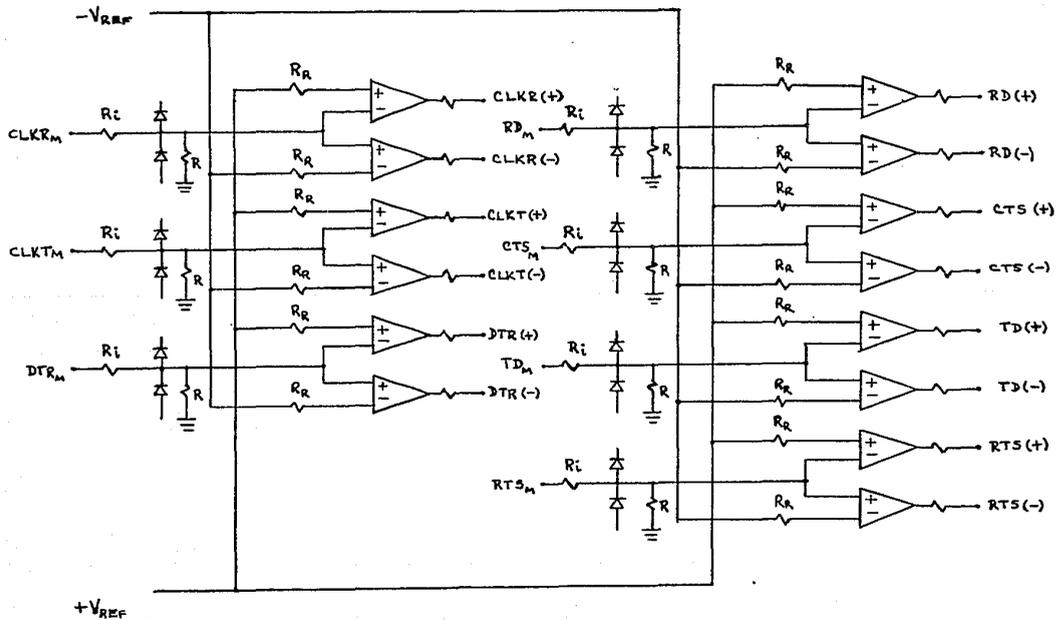


FIGURA VIII.3.2 UNIDAD DE DESPLIEGUE DIGITAL

divisores de voltaje, necesarios debido a los niveles de voltaje que manejan los switches analógicos utilizados en la implementación del muestreo de las señales.

#### UNIDADES DE PRUEBA ANALÓGICA Y DIGITAL.

La unidad de prueba digital se implementa en base a switches que permiten aplicar los niveles de voltaje asociados con los estados uno y cero lógicos necesarios para llevar a cabo las pruebas. De esta forma, se cuenta con un switch para cada una de las señales digitales con capacidad de prueba ( figura VIII.3.3 ).

Para poder realizar pruebas analógicas, se implementa una unidad que contiene generadores de señales senoidales con frecuencias de señal iguales a las asociadas a los estados 1 y 0 binarios. De esta manera, se aplican los tonos necesarios para llevar a cabo las pruebas sobre las líneas de comunicación analógica ( figura VIII.3.4 ).

Para el diseño de estos circuitos se adopta un estándar relativo a los valores de frecuencia y las velocidades de transmisión que se utilizaran como la base para realizar las pruebas analógicas: suponiendo modelo a una velocidad de transmisión de 1200 bps con una modulación en frecuencia, se usaron una frecuencia de 1300 Hz para la condición de marca y 2100 Hz para la condición de espacio.

#### UNIDAD DE PRUEBAS EXTERNAS.

Todas las señales con capacidad de muestreo se aplican a



FIGURA VIII.3.3 UNIDAD DE PRUEBA DIGITAL

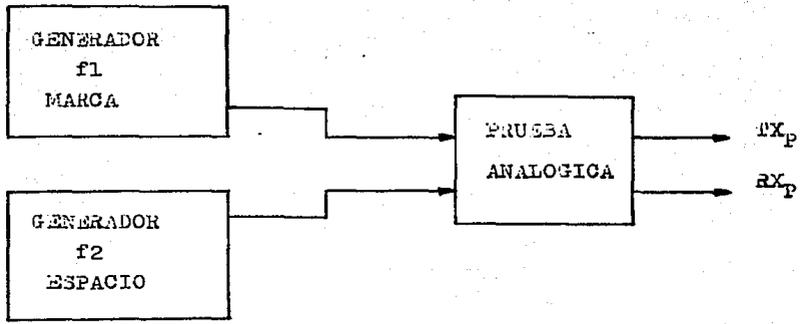


FIGURA VIII.3.4 UNIDAD DE PRUEBA ANALOGICA

conectores que permiten tener acceso a ellas en forma externa, esto con el fin de poder realizar pruebas o mediciones con instrumentos en forma externa al sistema.

Las señales TX, RX se pueden analizar en forma externa por medio de un osciloscopio, analizador de espectros, etc., para determinar características propias del sistema o de los medios de comunicación ( figura VIII.3.5 ).

Las señales digitales de la interfase RS-232-C pueden ser revisadas externamente por medio de algun analizador de estados lógicos o de un dispositivo de despliegue programable, que permitan supervisar el proceso de comunicación (figura VIII.3.6).

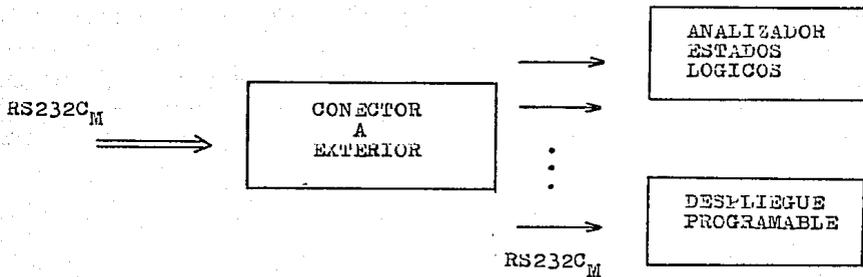


FIGURA VIII.3.5 PRUEBAS EXTERNAS DIGITALES

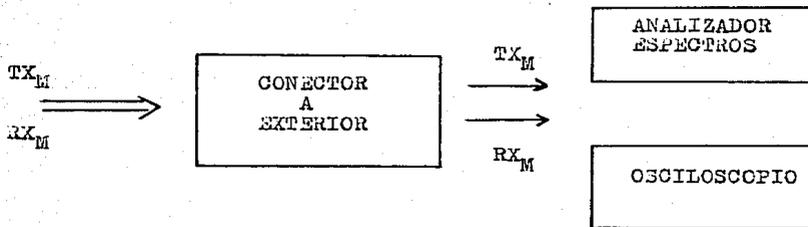


FIGURA VIII.3.6 PRUEBAS EXTERNAS ANALOGICAS

=====

C A P I T U L O    I X

INSTALACION, PRUEBA Y  
OPERACION

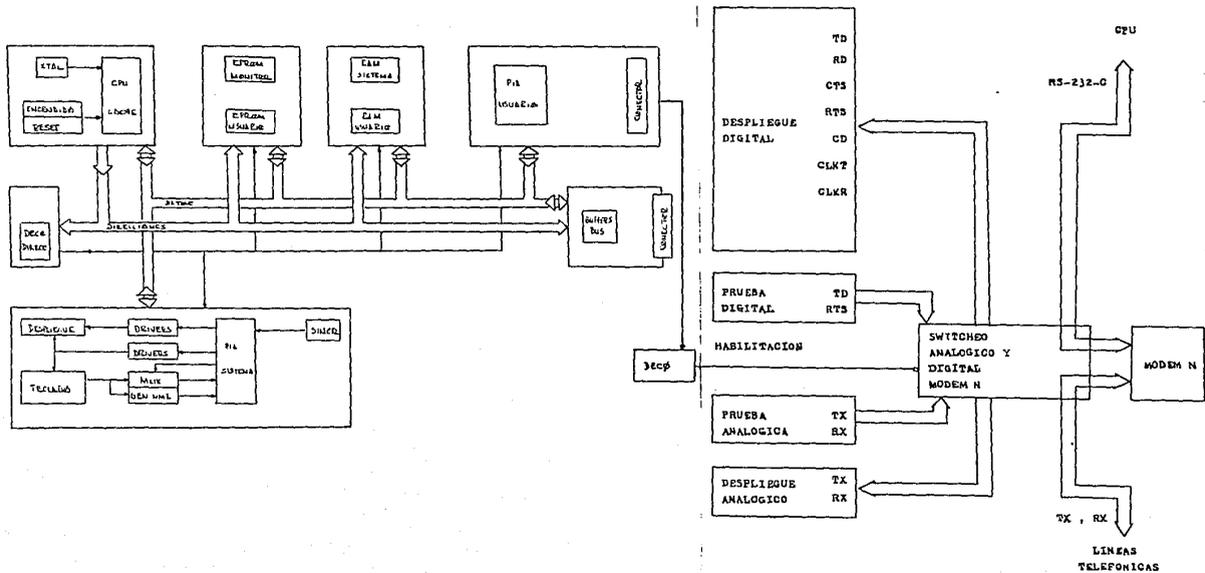
=====

La parte final del presente trabajo consiste en integrar el sistema de desarrollo con el sistema de switcheo para formar el Sistema de Monitoreo. La interfase entre ambos se realiza a través del puerto de usuario en el sistema de desarrollo; este puerto es un PIA MC68A21 que tiene asignadas las localidades de memoria 8000H, 8001H, 8002H, 8003H y se utiliza para sacar un byte que contiene la palabra de control que habilita el switcheo de las señales de un modem determinado. Un diagrama por bloques del sistema se muestra en la figura IX.I.

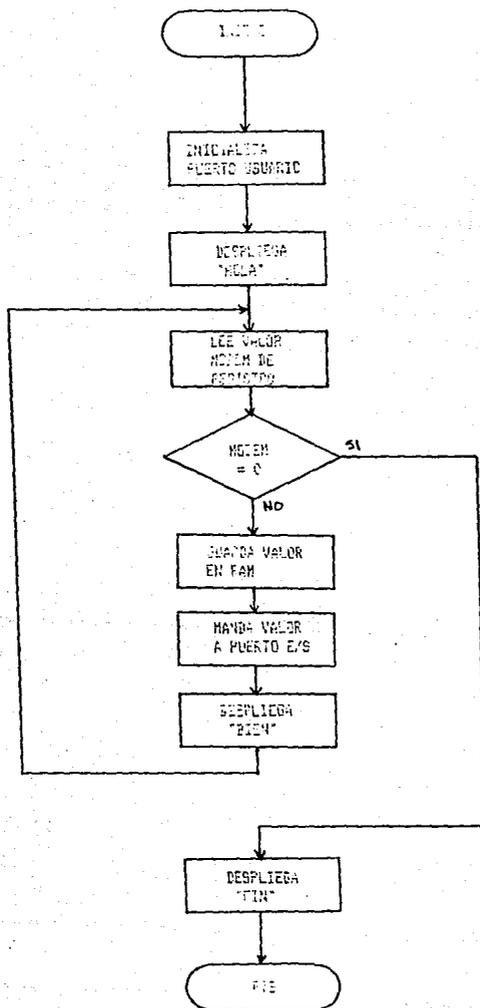
Para lograr esta interfase, debe existir un software que se encargue de realizar este proceso; para esto, se desarrolla una rutina cuyas funciones básicas son:

- inicializar el puerto de usuario
- leer el código del modem deseado
- generar la palabra de control a través del puerto

A continuación se muestran el diagrama de flujo de la rutina y el ensamblado de ésta. ( figura IX.2 )



IX.1 SISTEMA DE MONITOREO



IX.2 RUTINA PARA HABILITACION DE MONITOREO

```

00100 *****
00110 * MANEJADOR PARA EL SISTEMA DE MONITOREO
00120 * UNAM FACULTAD DE INGENIERIA 1987
00130 *****
        6006 00140 MIDDLE EDU      $6006
        4024 00150 DISBUF EQU     $4024
        4020 00160 MNPTR EQU     $4020
        60B1) 00170 PUT EQU      $60BD
4800      00180 ORG          $4800
4800 B7 47FA 00190 INICIO STA   $47FA SALVA VALOR MODEM EN RAM
4803 7F 8001 00200 CLR        $8001 BIT 2 CRA=0 ACCESA DDRA
4806 7F 8003 00210 CLR        $8003 BIT 2 CRB=0 ACCESA DDRB
4809 86 FF 00220 LDA         $F0FF LINEAS PUERTO A SON SALIDAS
480B E7 8000 00230 STA        $8000 MANDA DEFINICION A DDRA
480E 86 04 00240 LDA         $F04 ACCESO A PUERTO A
4810 E7 8001 00250 STA        $8001 MANDA DEFINICION A CRA
4813 86 00 00260 LDA         $F000 LINEAS PUERTO B SON ENTRADAS
4815 E7 8002 00270 STA        $8002 MANDA DEFINICION A DDRB
4818 86 04 00280 LDA         $F04 ACCESO A PUERTO B
481A E7 8003 00290 STA        $8003 MANDA DEFINICION A CRB
481D 8E 763F 00300 LDX       $$763F "HO"
4820 BF 4024 00310 STX        DISBUF PRIMEROS 2 DISPLAYS
4823 0E 3877 00320 LDX       $$3877 "LA"
4826 BF 4026 00330 STX        DISBUF+2 SEGUNDOS 2 DISPLAYS
4829 BD 60BD 00340 JCR        PUT
482C 86 47FA 00350 LDA        $47FA RECUPERA VALOR DE MODEM
482F E7 8000 00360 STA        $8000 MANDA VALOR A PUERTO A
4832 8E 7C04 00370 LDX       $$7C04 "BI"
4835 BF 4024 00380 STX        DISBUF ALMACENA 2 DISPLAYS
4838 8E 7754 00390 LDX       $$7754 "EN"
483B BF 4026 00400 STX        DISBUF+2 SEGUNDOS 2 DISPLAYS

```

483E BD 60BD 00410  
4841 BE 7104 00420  
4844 BF 4024 00430  
4847 BE 5440 00440  
484A BF 4024 00450  
484D BD 60BD 00460  
0000 0000 00470

00000 TOTAL ERRORS

BINDLE 60A6  
DISBUF 4024  
INICIO 4800  
MNFTE: 4020  
PUT 60BD

JSR PUT RUTINA DESPLIEGUE  
LDX #97104 \*FI\*  
STX DISBUF ALMACENA 2 DISPLAYS  
LDX #95440 \*N--\*  
STX DISBUF+2 SEGUNDOS 2 DISPLAYS  
JSR PUT  
END

=====

**CONCLUSIONES Y PROPUESTAS**

=====

En la actualidad es imposible hablar de computadoras sin hablar de comunicaciones, de la misma manera que es imposible hablar de comunicaciones sin involucrar a las computadoras. Los centros de cómputo dan una importancia muy especial a las instalaciones que requiere la computadora central para que opere en forma adecuada, pero no se debe descuidar el aspecto de comunicaciones remotas. Es por esto que el sistema de monitoreo intenta ser una herramienta que ayude en la operación de una red de comunicación de datos via modems, con el objetivo de reducir costos y tiempos de operación, y mantener la red en un nivel adecuado de eficiencia.

El sistema de monitoreo de la red de comunicación de datos se convierte en una herramienta muy utilizada por el personal involucrado en la operación de la red debido a su utilidad en la detección y corrección de fallas. La detección y corrección de las fallas de operación es un factor que eleva el nivel de desenvolvimiento o efectividad de la red, y por medio del sistema de monitoreo, se reduce al mínimo el tiempo y trabajo necesarios para la solución de un problema. Esto es muy importante, sobre todo en centros de cómputo en los cuales el teleproceso es el medio de trabajo más utilizado por los usuarios y por lo tanto requiere de una atención especial.

Es importante hacer notar que el sistema de monitoreo tiene una estructura modular, en cuanto al concepto de rack/modem, por

lo que lo mismo puede ser utilizado en instalaciones que cuentan con un pequeño número de terminales, que en centros de cómputo con grandes redes de comunicación de datos.

El costo de la implementación y operación del sistema de monitoreo es mínimo, comparado con el que tiene otros sistemas comerciales semejantes, pero es muy importante la capacidad de expansión del sistema presentado, debido a las características propias del microprocesador en base al cual esta construido.

La idea fundamental del sistema de monitoreo puede ser aplicada para llevar a cabo implementaciones semejantes utilizando otro tipo de microprocesadores de 8 bits o incluso implementaciones que involucren microprocesadores de 16 bits.

El sistema de monitoreo construido en base a un microprocesador ha sido diseñado y construido con el fin de entender el funcionamiento de un microprocesador y sus periféricos y también obtener un dispositivo capaz de ayudar a mantener el nivel de operación de una red de comunicación de datos dentro de un nivel adecuado.

En el trabajo desarrollado, se cumple con el objetivo de sustituir el sistema de monitoreo electromecánico por un sistema basado en un microprocesador, pero además de la sustitución, se mejora el funcionamiento general del sistema y se presentan una serie de alternativas para el mejoramiento de su operación y utilización.

Estos elementos, junto con las justificaciones originales de costo, tiempos de operación y respuesta, dimensiones físicas, consumo de potencia, capacidades de expansión y desarrollo

permiten establecer que el sistema de monitoreo desarrollado es solamente el elemento primario necesario para la implementación de un sistema que aproveche en su totalidad las capacidades del microprocesador, por medio del desarrollo de un hardware y un software que lo enriquezcan.

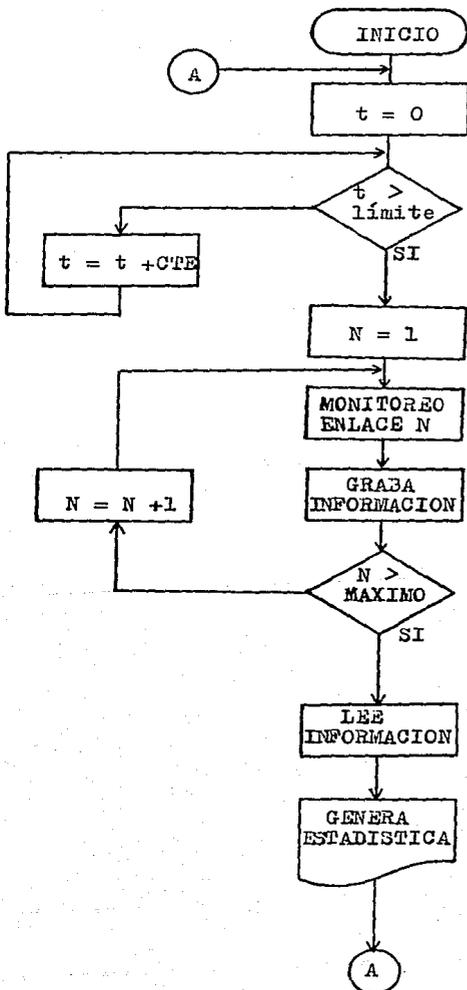
Se establecen cuatro propuestas principales para futuros desarrollos que pudieran implementarse en forma conjunta o en forma individual, todos en base al sistema de monitoreo:

- monitoreo automatizado
- generación de estadísticas
- rutinas de diagnóstico
- enlaces alternos

Cada una de estas implementaciones se presenta a continuación.

#### MONITOREO AUTOMATIZADO.

La operación del sistema de monitoreo se puede llegar a implementar de forma tal que al activar una rutina del sistema, se ejecute un muestreo de todos los modems que supervisa el sistema, detectando e indicando posibles fallas. Se pudieran establecer intervalos de tiempo para la realización de estos muestreos, de manera que el sistema de monitoreo estuviera permanentemente funcionando y en forma automática ejecutara los diagnósticos, dados los intervalos de tiempo para realizarlos ( figura 1 ).



$t$  = TIEMPO  
 limite = INTERVALO DE  
 TIEMPO PARA MUESTREO  
 MAXIMO = NUMERO DE ENLACES  
 EXISTENTES  
 CTE = INCREMENTO DE  
 TIEMPO

FIGURA 1 MONITOREO AUTOMATIZADO

## GENERACION DE ESTADISTICAS.

La información obtenida de muestreos automáticos o muestreos obtenidos en determinados intervalos de tiempo, requerirá de algún medio de almacenamiento en el cual se guardaría por un determinado periodo de tiempo, para al final de este periodo, procesarla y generar estadísticas relativas a los niveles de operación del sistema y de la red de comunicación de datos, y a las fallas ocurridas durante el período de tiempo dado.

Las estadísticas serían utilizadas para detectar enlaces de comunicación o modems que presentaran fallas en forma constante, con el objetivo de corregirlos y mejorar el desempeño de la red.

Las estadísticas, si es que se asociaran a una determinada hora del día, permitirían establecer periodos críticos de flujo de comunicación, enlaces con mayor índice de utilización, etc.

## RUTINAS DE DIAGNOSTICO.

Con el fin de detectar modems o enlaces de comunicación que presenten problemas o fallas, es posible definir un conjunto de rutinas de diagnóstico que se apliquen a un determinado enlace de comunicación por medio del sistema de monitoreo, para efectuar diferentes pruebas por medio de la generación de señales o caracteres que simulasen una comunicación a través del enlace.

La ejecución de estas rutinas permitirían al operador o encargado de la red de comunicación de datos, supervisar el comportamiento de los elementos que intervienen en el enlace de

comunicación. Las rutinas se podrían utilizar para realizar pruebas relacionadas con la comunicación analógica asociada a un modem, la comunicación digital asociada al modem, la comunicación relativa a la computadora, etc (figura 3).

#### ENLACES ALTERNOS.

Cuando alguno de los enlaces existentes presente una falla, y sea necesario reestablecer el enlace afectado, se requerirá de alguna manera para establecer un enlace alternativo que pueda sustituir el enlace afectado.

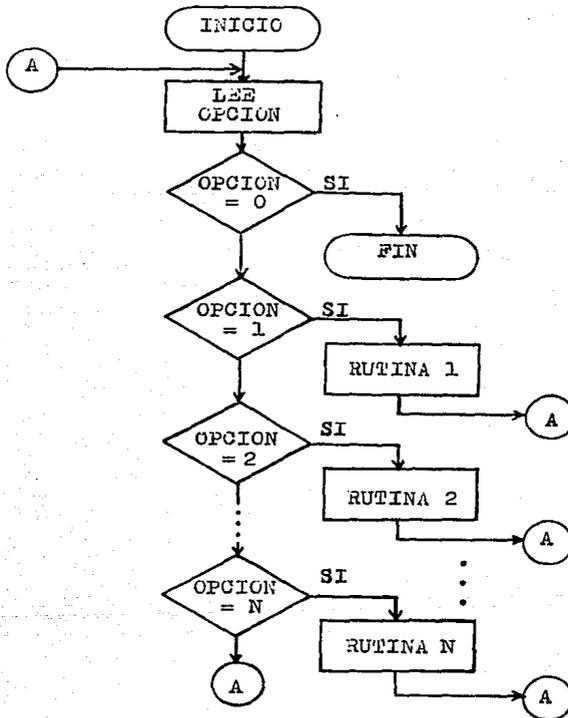
El sistema debe contemplar la circuitería necesaria para switchear la comunicación del modem afectado hacia el modem sustituto, sin afectar la operación del enlace de comunicación (figura 4).

#### INTERFASE A UN PROBADOR DE MODEMS.

Existen comercialmente dispositivos que permiten realizar una serie de pruebas en modems, para poder determinar si un modem específico se encuentra operando normalmente o presenta alguna falla.

Un dispositivo probador de modems en general posee las capacidades necesarias para revisar los 3 elementos principales que lo constituyen, esto es, el transmisor, el receptor y la fuente de poder.

Para el receptor, es válido realizar pruebas sobre la



RUTINA 1 . DIAGNOSTICO DE MODEM

RUTINA 2 . PRUEBAS EN LINEA TX , RX

.

.

RUTINA N . SIMULA COMUNICACION MODEM-CPU

FIGURA 3 RUTINAS DE DIAGNOSTICO

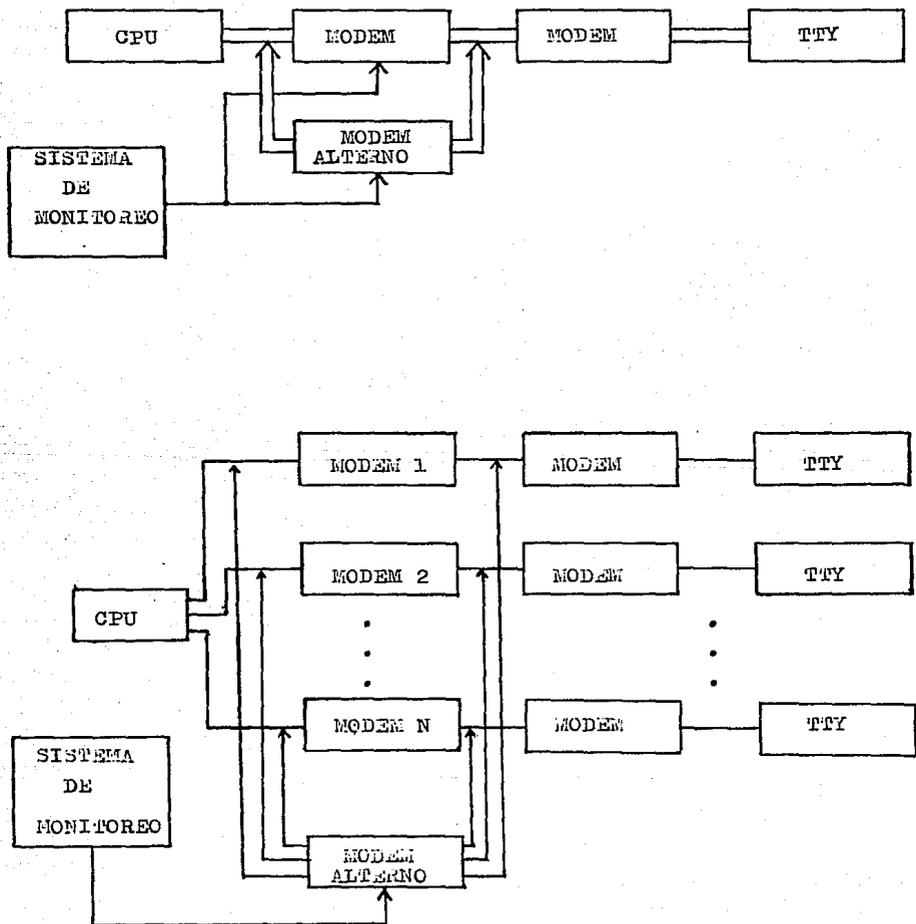


FIGURA 4 ENLACES ALTERNOS

modulación de salida, los niveles de señal de salida, etc. Para el receptor se pueden realizar pruebas respecto a la pérdida de bits, velocidades de recepción y tasas de error, etc. En cuanto a las fuentes de poder, se pueden revisar los niveles de voltaje, los niveles de ruido, sobrepaso, etc.

Existen diferentes tipos de analizadores de modem, debido a las diferentes características que poseen los modems actuales, como son el tipo de modulación que utilizan, velocidades de transmisión, estándares que utilizan, etc. Algunos de los analizadores son el Hewlett Packard 1645-A Data Error Analyzer; los Systron Donner modelos 223, 224 y 225; los ICC 220 y 210. Las características de cada uno de ellos los hace útiles para diferentes aplicaciones; algunas características comunes en ellos son las siguientes:

- generación de caracteres de 5, 6, 7 u 8 bits con paridad non, par o sin ella.
- bits de parada de 1, 1.5 o 2 bits.
- cálculo y despliegue directo de la cuenta de errores de bits, caracteres y bloques.
- full duplex, half duplex o simplex.
- velocidad seleccionable desde 75 hasta 9 600 bps para modems asíncronos y en sistemas síncronos de hasta 20 000 bps.
- detección y cuenta de transacciones de marca o espacio.
- capacidad de autoprueba.
- monitor en línea de audio.
- sincronización.

- generación de secuencia pseudoaleatoria de 3 bits.

El sistema de monitoreo realizado a lo largo del desarrollo de este trabajo sería adecuado para, teniendo un solo probador, poder realizar pruebas sobre todos los modems asociados a enlaces remotos de comunicación, sin necesidad de desplazar físicamente el probador o los modems.

Por medio del sistema de monitoreo, se seleccionaría un modem determinado, interrumpiendo sus líneas y switcheando la comunicación hacia el dispositivo probador para revisar su funcionamiento.

Todas las pruebas que se pudieran realizar por medio del probador de modems, se podrían implementar por medio de rutinas de software, de la manera en que se planteo en otra de las propuestas presentadas.

=====

**APENDICE**

=====


**MOTOROLA**
**8-BIT MICROPROCESSING UNIT**

The MC6809E is a revolutionary high performance 8-bit microprocessor which supports modern programming techniques such as position independence, reentrancy, and modular programming.

The third-generation addition to the M6800 Family has major architectural improvements which include additional registers, instructions, and addressing modes.

The basic instructions of any computer are greatly enhanced by the presence of powerful addressing modes. The MC6809E has the most complete set of addressing modes available on any 8-bit microprocessor today.

The MC6809E has hardware and software features which make it an ideal processor for higher level language execution or standard controller applications. External clock inputs are provided to allow synchronization with peripherals, systems, or other MPUs.

**M6800 COMPATIBLE**

- Hardware — Interfaces with All M6800 Peripherals
- Software — Upward Source Code Compatible Instruction Set and Addressing Modes

**ARCHITECTURAL FEATURES**

- Two 16-Bit Index Registers
- Two 16-Bit Indexable Stack Pointers
- Two 8-Bit Accumulators can be Concatenated to Form One 16-Bit Accumulator

- Direct Page Register Allows Direct Addressing Throughout Memory

**HARDWARE FEATURES**

- External Clock Inputs, E and Q, Allow Synchronization
- TSC Input Controls Internal Bus Buffers
- LIC Indicates Opcode Fetch
- AVMA Allows Efficient Use of Common Resources in a Multiprocessor System
- BUSY is a Status Line for Multiprocessing
- Fast Interrupt Request Input Stacks Only Condition Code Register and Program Counter
- Interrupt Acknowledge Output Allows Vectoring By Devices
- Sync Acknowledge Output Allows for Synchronization to External Event
- Single Bus-Cycle RESET
- Single 5-Volt Supply Operation
- NMI Inhibited After RESET Until After First Load of Stack Pointer
- Early Address Valid Allows Use With Slower Memories
- Early Write Data for Dynamic Memories

**SOFTWARE FEATURES**

- 10 Addressing Modes
  - M6800 Upward Compatible Addressing Modes
  - Direct Addressing Anywhere in Memory Map
  - Long Relative Branches
  - Program Counter Relative
  - True Indirect Addressing
  - Expanded Indexed Addressing
    - 5-, 8-, or 16-Bit Constant Offsets
    - 8- or 16-Bit Accumulator Offsets
    - Auto-Increment/Decrement by 1 or 2
- Improved Stack Manipulation
- 1454 Instruction with Unique Addressing Modes
  - 8 × 8 Unsigned Multiply
  - 16-Bit Arithmetic
  - Transfer/Exchange All Registers
  - Push/Pull Any Registers or Any Set of Registers
  - Load Effective Address

**MC6809E**
**HMOS**

HIGH-DENSITY N-CHANNEL, SILICON-GATE

**8-BIT  
MICROPROCESSING  
UNIT**

 L SUFFIX  
CERAMIC PACKAGE  
CASE 715

 P SUFFIX  
PLASTIC PACKAGE  
CASE 711

 S SUFFIX  
CERDIP PACKAGE  
CASE 734

**PIN ASSIGNMENT**

V <sub>SS</sub>	1	40	TRKLY
TRG	2	39	TRSC
TRD	3	38	LIC
FIRD	4	37	RESET
BSY	5	36	AVMA
BAV	6	35	TD
V <sub>CC</sub>	7	34	DE
AD	8	33	BUSY
A1	9	32	R/W
A2	10	31	TD
A3	11	30	DI
A4	12	29	DI
A5	13	28	DI
AD	14	27	DI
A7	15	26	DI
AD	16	25	DI
A9	17	24	DI
A10	18	23	DI
A11	19	22	DI
A12	20	21	DI

### MAXIMUM RATINGS

Rating	Symbol	Value	Unit
3.3 VDC Output	V <sub>CC</sub>	0.150 - 1	V
Input Voltage	V <sub>IN</sub>	-0.3 to +0.3	V
Operating Temperature Range	T <sub>OP</sub>	-40 to +125	°C
Storage Temperature Range	T <sub>STG</sub>	-65 to +150	°C
Maximum Power Dissipation	P <sub>D</sub>	100	mW

This device contains circuitry to protect the output against damage due to high static voltages or pulsed loads. However, it is advised that normal precautions be taken to avoid excessive static charges to the high impedance circuit.

Maximum rated voltage to the high impedance circuit.

Maximum of operation is endorsed unless and until such are tied to an appropriate logic voltage level e.g., either V<sub>CC</sub> or V<sub>CEI</sub>.

### THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Unit
Terminal Resistance		50	Ω
Case	θ <sub>JA</sub>	60	°C/W
Die		100	°C/W

### POWER CONSIDERATIONS

The average chip junction temperature, T<sub>J</sub>, in °C can be obtained from:

$$T_J = T_A + P_D \theta_{JA} \quad (1)$$

Where:

T<sub>A</sub> = Ambient Temperature, °C

θ<sub>JA</sub> = Package Thermal Resistance, Junction to Ambient, °C/W

P<sub>D</sub> = Pin<sub>T</sub> - Pin<sub>O</sub>

Pin<sub>T</sub> = I<sub>CC</sub> × V<sub>CC</sub>, V<sub>CEI</sub> - V<sub>CEI</sub> (max)

Pin<sub>O</sub> = Port Power Dissipation, V<sub>OUT</sub> × User Determined

For most applications Pin<sub>O</sub> at Pin<sub>T</sub> and can be neglected. Pin<sub>O</sub> may become significant if the device is configured to drive LED loads or other LED loads.

An approximate relationship between P<sub>D</sub> and I<sub>T</sub> (if Pin<sub>O</sub> is neglected) is:

$$P_D \approx K \cdot I_T \quad (2)$$

Solving equations 1 and 2 for K gives:

$$K = P_D / I_T = 273 \text{ (C/W)} \cdot \theta_{JA} \quad (3)$$

Where K is a constant pertaining to the particular die. K can be determined from equation 3 by measuring P<sub>D</sub> for a known I<sub>T</sub>. Where K is a constant pertaining to the particular die. K can be determined from equation 3 by measuring P<sub>D</sub> for a known I<sub>T</sub>. Using this value of K the values of P<sub>D</sub> and T<sub>J</sub> can be obtained by solving equations (1) and (2) respectively for any value of I<sub>T</sub>.

### DC ELECTRICAL CHARACTERISTICS (V<sub>CC</sub> = 5.0 V ± 5%, V<sub>CEI</sub> = 0 V, T<sub>A</sub> = T<sub>J</sub> to 25°C unless otherwise noted)

Characteristic	Symbol	Min.	Typ.	Max.	Unit
Input High Voltage	V <sub>IH</sub>	V <sub>CC</sub> - 0.5	-	V <sub>CC</sub>	V
Input Low Voltage	V <sub>IL</sub>	V <sub>CC</sub> - 0.75	-	V <sub>CC</sub> - 0.3	V
Input Current (I <sub>IN</sub> )	I <sub>IN</sub>	-1	-	1	μA
Output Leakage Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>	-	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OH</sub> )	V <sub>OH</sub>	V <sub>CC</sub> - 0.25	-	V <sub>CC</sub> - 0.3	V
Output Current (I <sub>OL</sub> )	I <sub>OL</sub>	-1	-	1	μA
Output Voltage (V <sub>OL</sub> )	V <sub>OL</sub>				



MC6821

MAXIMUM RATINGS

Characteristic	Symbol	Value	Unit
Supply Voltage	V <sub>CC</sub>	0 to 5.0	V
Input Voltage	V <sub>I</sub>	0 to 5.0	V
Operating Temperature Range	T <sub>OP</sub>	0 to 70	°C
Maximum Allowable Storage Temperature Range	T <sub>STG</sub>	-55 to 150	°C
Storage Temperature Range	T <sub>STG</sub>	-55 to 150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Unit
Thermal Resistance	θ <sub>JA</sub>	50	°C/W
Power	P <sub>D</sub>	1.0	W
Case	θ <sub>JA</sub>	50	°C/W

POWER CONSIDERATIONS

The average chip power dissipation, P<sub>D</sub> in °C can be obtained from T<sub>J</sub> - T<sub>A</sub> = θ<sub>JA</sub> P<sub>D</sub> where:

T<sub>J</sub> = Junction Temperature, °C  
 T<sub>A</sub> = Ambient Temperature, °C  
 θ<sub>JA</sub> = Package Thermal Resistance Junction to Ambient, °C/W  
 P<sub>D</sub> = Power = I<sub>CC</sub> V<sub>CC</sub> + I<sub>CC</sub> V<sub>IO</sub> + I<sub>CC</sub> V<sub>IO</sub> + I<sub>CC</sub> V<sub>IO</sub>

For maximum ratings, P<sub>D</sub> must not be exceeded. P<sub>D</sub> must be limited if the device is configured in a non-standard package.

For maximum ratings, P<sub>D</sub> must not be exceeded. P<sub>D</sub> must be limited if the device is configured in a non-standard package.

For maximum ratings, P<sub>D</sub> must not be exceeded. P<sub>D</sub> must be limited if the device is configured in a non-standard package.

For maximum ratings, P<sub>D</sub> must not be exceeded. P<sub>D</sub> must be limited if the device is configured in a non-standard package.

DC ELECTRICAL CHARACTERISTICS (V<sub>CC</sub> = 5.0V ± 0.5V, V<sub>SS</sub> = 0, T<sub>A</sub> = 25°C, unless otherwise specified)

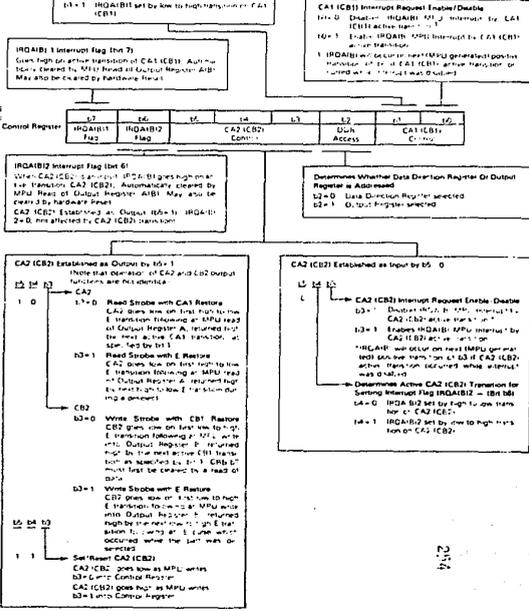
Characteristic	Symbol	Min	Typ	Max	Unit
BUS CONTROL INPUTS (RD, CS, WE, RESET, RDY, HSI, CS0, CS1, CS2)					
Input Voltage	V <sub>I</sub>	0	5.0	5.0	V
Output Voltage	V <sub>O</sub>	0	5.0	5.0	V
Input Current	I <sub>I</sub>	-1.0	0	1.0	µA
Output Current	I <sub>O</sub>	-1.0	0	1.0	µA
INTERNAL OUTPUTS (IRDA, IRDR)					
Input Voltage	V <sub>I</sub>	0	5.0	5.0	V
Output Voltage	V <sub>O</sub>	0	5.0	5.0	V
Input Current	I <sub>I</sub>	-1.0	0	1.0	µA
Output Current	I <sub>O</sub>	-1.0	0	1.0	µA
DATA BUS (D0-D7)					
Input Voltage	V <sub>I</sub>	0	5.0	5.0	V
Output Voltage	V <sub>O</sub>	0	5.0	5.0	V
Input Current	I <sub>I</sub>	-1.0	0	1.0	µA
Output Current	I <sub>O</sub>	-1.0	0	1.0	µA

This device contains circuitry to protect its inputs against damage due to its static sensitive input structure. However, it is advised that normal precautions be taken to avoid accumulation of any static charge that may damage the device. The maximum static voltage to which the input terminals of this device can be exposed is limited by the maximum V<sub>DS</sub> and V<sub>GS</sub> ratings of the MOSFETs used in the input circuitry.

Control inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V<sub>CC</sub>).

Determine Active CA2 (CB2) Transition for Setting Interrupt Flag (IRDAIB1) = Bit 7:  
 01=0 IRDAIB1 set by high to high transition of CA2 (CB2)  
 01=1 IRDAIB1 set by low to high transition of CA2 (CB2)

FIGURE 18 - CONTROL WORD FORMAT




**MOTOROLA**
**MC6850**
**ASYNCHRONOUS COMMUNICATIONS INTERFACE  
ADAPTER (ACIA)**

The MC6850 Asynchronous Communications Interface Adapter provides the data formatting and control to interface serial asynchronous data communications information to bus organized systems such as the MC6800 Microprocessing Unit.

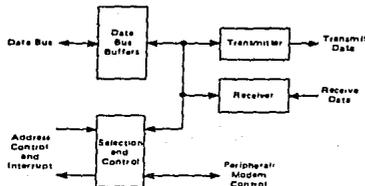
The bus interface of the MC6850 includes select, enable, read/write, interrupt and bus interface logic to allow data transfer over an 8-bit bidirectional data bus. The parallel data of the bus system is serially transmitted and received by the asynchronous data interface, with proper formatting and error checking. The functional configuration of the ACIA is programmed via the data bus during system initialization. A programmable Control Register provides variable word lengths, clock division ratios, transmit control, receive control, and interrupt control. For peripheral or modem operation, three control lines are provided. These lines allow the ACIA to interface directly with the MC6850L 0-000 bps digital modem.

- 8- and 9-Bit Transmission
- Optional Even and Odd Parity
- Parity, Overrun and Framing Error Checking
- Programmable Control Register
- Optional - 1, - 16, and - 64 Clock Modes
- Up to 1.0 Mbps Transmission
- False Start Bit Deletion
- Peripheral/Modem Control Functions
- Double Buffered
- One- or Two-Stop Bit Operation

**MOS  
(IN-CHANNEL, SILICON-GATE)  
ASYNCHRONOUS  
COMMUNICATIONS INTERFACE  
ADAPTER**

**S SUFFIX  
CERAMIC PACKAGE  
CASE 623**

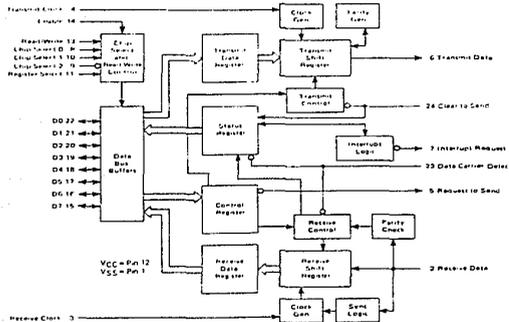
**P SUFFIX  
PLASTIC PACKAGE  
CASE 708**

**L SUFFIX  
CERAMIC PACKAGE  
CASE 716**
**MC6850 ASYNCHRONOUS COMMUNICATIONS INTERFACE ADAPTER  
BLOCK DIAGRAM**

**PIN ASSIGNMENT**

VSS	1	24	CTS
Rx Data	2	23	D <sub>CD</sub>
Rx CLK	3	22	D <sub>0</sub>
Tx CLK	4	21	D <sub>1</sub>
ATS	5	20	D <sub>2</sub>
Tx Data	6	19	D <sub>3</sub>
TRG	7	18	D <sub>4</sub>
CS0	8	17	D <sub>5</sub>
CS2	9	16	D <sub>6</sub>
CS1	10	15	D <sub>7</sub>
RS	11	14	D <sub>E</sub>
Vcc	12	13	D <sub>A/R/W</sub>

# MC6850

FIGURE 9 - EXPANDED BLOCK DIAGRAM



## MAXIMUM RATINGS

Characteristics	Symbol	Value	Unit
Supply Voltage	V <sub>CC</sub>	-0.3 to +7.0	V
Input Voltage	V <sub>I</sub>	-0.3 to +7.0	V
Operating Temperature Range	T <sub>A</sub>	-40 to +75	°C
Storage Temperature Range	T <sub>stg</sub>	-55 to +150	°C

## THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Unit
Thermal Resistance Plastic	θ <sub>JA</sub>	100	°C/W
Ceramic Carrier		65	

## POWER CONSIDERATIONS

The average chip junction temperature, T<sub>J</sub>, in °C can be obtained from

$$T_J = T_A + (P_{DJA})\theta_{JA}$$

Where:

T<sub>A</sub> = Ambient Temperature, °C

θ<sub>JA</sub> = Package Thermal Resistance, Junction-to-Ambient, °C/W

P<sub>D</sub> = P<sub>INT</sub> + P<sub>PORT</sub>

P<sub>INT</sub> = I<sub>CC</sub> × V<sub>CC</sub>, Watts = Chip Internal Power

P<sub>PORT</sub> = Port Power Dissipation, Watts = User Determined

For most applications P<sub>PORT</sub> ≈ P<sub>INT</sub> and can be neglected. P<sub>PORT</sub> may become significant if the device is configured to drive Darlington bases or sink LED loads.

An approximate ratio of P<sub>PORT</sub> between P<sub>D</sub> and T<sub>J</sub> if P<sub>PORT</sub> is neglected is

$$P_{PORT} \approx K \cdot (T_J - 273)K$$

Solving equations 1 and 2 for K gives

$$K = P_{PORT} / (T_J - 273)K$$

Where K is a constant pertaining to the particular part. K can be determined from equation 3 by measuring P<sub>D</sub> (at equilibrium) for a known T<sub>A</sub>. Using this value of K the values of P<sub>D</sub> and T<sub>J</sub> if P<sub>PORT</sub> is neglected is

$$T_J = T_A + (P_{DJA})\theta_{JA}$$

## DC ELECTRICAL CHARACTERISTICS (V<sub>CC</sub> = 5.0 VDC ± 5%, V<sub>SS</sub> = 0, T<sub>A</sub> = T<sub>stg</sub> to the extent otherwise noted)

Characteristics	Symbol	Min	Typ	Max	Unit
Input High Voltage	V <sub>IH</sub>	V <sub>SS</sub> + 2.0	—	V <sub>CC</sub>	V
Input Low Voltage	V <sub>IL</sub>	V <sub>SS</sub> - 0.3	—	V <sub>SS</sub> + 0.8	V
Input Leakage Current (V <sub>I</sub> = 0 to 2.5 V)	I <sub>in</sub>	—	10	25	μA
I <sub>in</sub> (I <sub>OH</sub> State Input Current (V <sub>I</sub> = 4 to 2.4 V)	I <sub>IS1</sub>	—	20	10	μA
Output High Voltage (I <sub>OH</sub> = -200 μA, Enable Pulse Width < 25 μs)	V <sub>OH</sub>	V <sub>SS</sub> + 2.4	—	—	V
Output Low Voltage (I <sub>OL</sub> = 170 μA, Enable Pulse Width < 25 μs)	V <sub>OL</sub>	V <sub>SS</sub> + 2.4	—	—	V
Output Load Voltage (I <sub>OL</sub> = 10 mA, Enable Pulse Width < 25 μs)	V <sub>OL</sub>	—	—	V <sub>SS</sub> + 0.4	V
Output Leakage Current (I <sub>OH</sub> State) (V <sub>I</sub> = 2.4 V)	I <sub>OH</sub>	—	10	10	μA
Internal Power Dissipation (Worst Case at T <sub>A</sub> = 0 °C)	P <sub>INT</sub>	—	300	—	mW
Internal Input Capacitance (V <sub>I</sub> = 0, T <sub>A</sub> = 25 °C, f = 1.0 MHz)	C <sub>in</sub>	—	10	12.5	pF
Internal Output Capacitance (V <sub>O</sub> = 1.5 V, f = 1.0 MHz)	C <sub>out</sub>	—	2.0	2.5	pF
Output Capacitance (V <sub>O</sub> = 0, T <sub>A</sub> = 25 °C, f = 1.0 MHz)	C <sub>out</sub>	—	1.0	1.0	pF

\*For temperatures less than T<sub>A</sub> = 0 °C, P<sub>INT</sub> maximum will increase

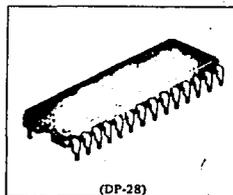
This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit. Precautions of operation are emphasized if unused inputs are left to an appropriate logic voltage level (e.g., either V<sub>SS</sub> or V<sub>CC</sub>).

# HM6264LP-10, HM6264LP-12 HM6264LP-15

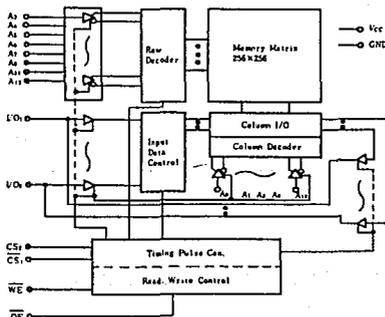
8192-word x 8-bit High Speed Static CMOS RAM

## ■ FEATURES

- Fast access Time 100ns/120ns/150ns (max.)
- Low Power Standby Standby: 0.01mW (typ.)
- Low Power Operation Operating: 200mW (typ.)
- Capability of Battery Back-up Operation
- Single +5V Supply
- Completely Static Memory. . . . No clock or Timing Strobe Required
- Equal Access and Cycle Time
- Common Data Input and Output, Three State Output
- Directly TTL Compatible: All Input and Output
- Standard 28pin Package Configuration
- Pin Out Compatible with 64K EPROM HN482764



## ■ BLOCK DIAGRAM



## ■ ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Terminal Voltage *	V <sub>T</sub>	-0.5 ** to +7.0	V
Power Dissipation	P <sub>T</sub>	1.0	W
Operating Temperature	T <sub>opr</sub>	0 to +70	°C
Storage Temperature	T <sub>stg</sub>	-55 to +125	°C
Storage Temperature (Under Bias)	T <sub>bias</sub>	-10 to +85	°C

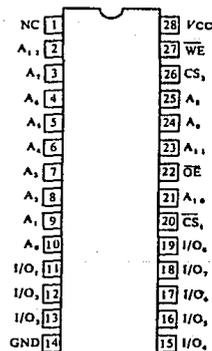
\* With respect to GND. \*\* Pulse width 50ns: -3.0V

## ■ TRUTH TABLE

WE	CS <sub>0</sub>	CS <sub>1</sub>	OE	Mode	I/O Pin	V <sub>CC</sub> Current	Note
X	H	X	X	Not Selected (Power Down)	High Z	/SB, /SB1	
X	X	L	X		High Z	/SB, /SB2	
H	L	H	H	Output Disabled	High Z	/CC, /CC1	
H	L	H	L	Read	Dout	/CC, /CC1	
L	L	H	H	Write	Din	/CC, /CC1	Write Cycle (1)
L	L	H	L		Din	/CC, /CC1	Write Cycle (2)

X: H or L

## ■ PIN ARRANGEMENT



(Top View)

## HM6264LP-10, HM6264LP-12, HM6264LP-15

■ RECOMMENDED DC OPERATING CONDITIONS ( $T_a = 0$  to  $+70^\circ\text{C}$ )

Item	Symbol	min	typ	max	Unit
Supply Voltage	$V_{CC}$	4.5	5.0	5.5	V
	GND	0	0	0	V
Input Voltage	$V_{IH}$	2.2	-	6.0	V
	$V_{IL}$	-0.3*	-	0.8	V

\* Pulse Width 50ns: -3.0V

■ DC AND OPERATING CHARACTERISTICS ( $V_{CC} = 5V \pm 10\%$ , GND = 0V,  $T_a = 0$  to  $+70^\circ\text{C}$ )

Item	Symbol	Test Condition	min	typ*	max	Unit
Input Leakage Current	$I_{LII}$	$V_{in} = \text{GND to } V_{CC}$	-	-	2	$\mu\text{A}$
Output Leakage Current	$I_{LOI}$	$\overline{CS1} = V_{IH}$ or $CS2 = V_{IL}$ or $OE = V_{IH}$ or $\overline{WE} = V_{IL}$ , $V_{I/O} = \text{GND to } V_{CC}$	-	-	2	$\mu\text{A}$
Operating Power Supply Current	$I_{CC}$	$\overline{CS1} = V_{IL}$ , $CS2 = V_{IH}$ , $I_{I/O} = 0\text{mA}$	-	40	80	mA
Average Operating Current	$I_{CC1}$	Min. cycle, duty=100%, $I_{I/O} = 0\text{mA}$	-	60	110	mA
Standby Power Supply Current	$I_{SB}$	$\overline{CS1} = V_{IH}$ or $CS2 = V_{IL}$	-	1	3	mA
	$I_{SB1}^{**}$	$\overline{CS1} \geq V_{CC} - 0.2\text{V}$ , $CS2 \geq V_{CC} - 0.2\text{V}$ or $CS2 \geq 0.2\text{V}$	-	2	100	$\mu\text{A}$
	$I_{SB2}^{**}$	$CS2 \geq 0.2\text{V}$	-	2	100	$\mu\text{A}$
Output Voltage	$V_{OL}$	$I_{OL} = 2.1\text{mA}$	-	-	0.4	V
	$V_{OH}$	$I_{OH} = -1.0\text{mA}$	2.4	-	-	V

\* Typical limits are at  $V_{CC} = 5.0\text{V}$ ,  $T_a = 25^\circ\text{C}$  and specified loading.\*\*  $V_{IL}$  min = -0.3V■ CAPACITANCE ( $f = 1\text{MHz}$ ,  $T_a = 25^\circ\text{C}$ )

Item	Symbol	Test Condition	typ	max	Unit
Input Capacitance	$C_{in}$	$V_{in} = 0\text{V}$	-	6	pF
Input/Output Capacitance	$C_{I/O}$	$V_{I/O} = 0\text{V}$	-	8	pF

(Note) This parameter is sampled and not 100% tested.

■ AC CHARACTERISTICS ( $V_{CC} = 5V \pm 10\%$ ,  $T_a = 0$  to  $+70^\circ\text{C}$ )

## ● AC TEST CONDITIONS

Input Pulse Levels: 0.8 to 2.4V

Input Rise and Fall Times: 10ns

Input and Output Timing Reference Level: 1.5V

Output Load: 1 TTL Gate and  $C_L = 100\text{pF}$  (including scope and jig)

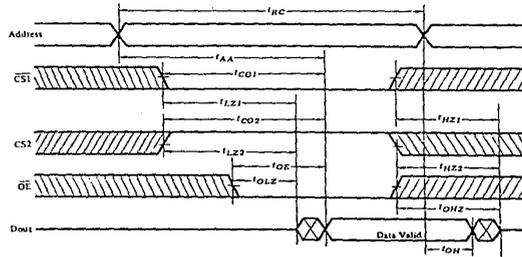
## ● READ CYCLE

Item	Symbol	HM6264LP-10		HM6264LP-12		HM6264LP-15		Unit	
		min	max	min	max	min	max		
Read Cycle Time	$t_{RC}$	100	-	120	-	150	-	ns	
Address Access Time	$t_{AA}$	-	100	-	120	-	150	ns	
Chip Selection to Output	$\overline{CS1}$	$t_{CO1}$	-	100	-	120	-	150	ns
	$CS2$	$t_{CO2}$	-	100	-	120	-	150	ns
Output Enable to Output Valid	$t_{OE}$	-	50	-	60	-	70	ns	
Chip Selection to Output in Low Z	$\overline{CS1}$	$t_{LZ1}$	10	-	10	-	15	-	ns
	$CS2$	$t_{LZ2}$	10	-	10	-	15	-	ns
Output Enable to Output in Low Z	$t_{OLZ}$	5	-	5	-	5	-	ns	
Chip Deselection to Output in High Z	$\overline{CS1}$	$t_{HZ1}$	0	35	0	40	0	50	ns
	$CS2$	$t_{HZ2}$	0	35	0	40	0	50	ns
Output Disable to Output in High Z	$t_{OHZ}$	0	35	0	40	0	50	ns	
Output Hold from Address Change	$t_{OH}$	10	-	10	-	15	-	ns	

NOTES: 1  $t_{LZ}$  and  $t_{OHZ}$  are defined as the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.2 At any given temperature and voltage condition,  $t_{HZ}$  max is less than  $t_{LZ}$  min both for a given device and from device to device.

HM6284LP-10, HM6264LP-12, HM6264LP-15

• READ CYCLE

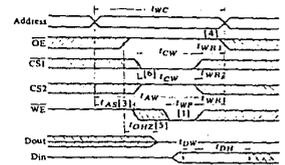


NOTE: 1) WE is high for Read Cycle

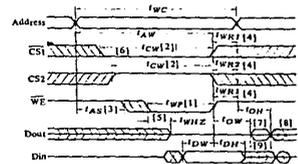
• WRITE CYCLE

Item	Symbol	HM6264LP-10		HM6264LP-12		HM6264LP-15		Unit
		min	max	min	max	min	max	
Write Cycle Time	$t_{WC}$	100	-	120	-	150	-	ns
Chip Selection to End of Write	$t_{CWE}$	80	-	85	-	100	-	ns
Address Setup Time	$t_{AS}$	0	-	0	-	0	-	ns
Address Valid to End of Write	$t_{AW}$	80	-	85	-	100	-	ns
Write Pulse Width	$t_{WP}$	60	-	70	-	90	-	ns
Write Recovery Time	CS1, WE	$t_{WR1}$	5	-	5	-	10	ns
	CS2	$t_{WR2}$	15	-	15	-	15	ns
Write to Output in High Z	$t_{WHz}$	0	35	0	40	0	50	ns
Data to Write Time Overlap	$t_{DW}$	40	-	50	-	60	-	ns
Data Hold from Write Time	$t_{DH}$	0	-	0	-	0	-	ns
OL to Output in High Z	$t_{OHZ}$	0	35	0	40	0	50	ns
Output Active from End of Write	$t_{OW}$	5	-	5	-	10	-	ns

• WRITE CYCLE (1) (OE clock)



• WRITE CYCLE (2) (OE Low Fls)



HITACHI



### 2048 x 8-BIT UV ERASABLE PROM

The MCM2716/27L16 is a 16,384-bit Erasable and Electrically Reprogrammable PROM designed for system debug usage and similar applications requiring nonvolatile memory that could be reprogrammed periodically. The transparent lid on the package allows the memory content to be erased with ultraviolet light.

For ease of use, the device operates from a single power supply and has a static power-down mode. Pin-for-pin mask programmable ROMs are available for large volume production runs of systems initially using the MCM2716/27L16.

- Single 5 V Power Supply
- Automatic Power-down Mode (Standby)
- Organized as 2048 Bytes of 8 Bits
- Low Power Version 27L16/27L16-35 Active 50 mA Max Standby 10 mA Max  
27L16-25 Active 70 mA Max Standby 15 mA Max
- TTL Compatible During Read and Program
- Maximum Access Time = 450 ns MCM2716  
350 ns MCM2716-35  
250 ns MCM2716-25
- Pin Equivalent to Intel's 2716
- Pin Compatible to MCM68A318E
- Output Enable Active Level is User Selectable

### MCM2716 MCM27L16

**MOS**  
(N-CANNEL, SILICON-GATE)  
**2048 x 8-BIT  
UV ERASABLE PROM**



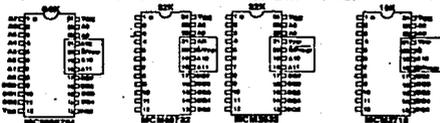
C SUFFIX  
FLAT SEAL CERAMIC PACKAGE  
CASE 623A

L SUFFIX CERAMIC PACKAGE  
ALSO AVAILABLE - CASE 718

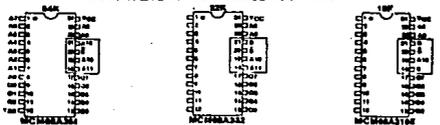
#### PIN ASSIGNMENT

A7	1	24	VCC
A6	2	23	A8
A5	3	22	A8
A4	4	21	Vpp
A3	5	20	G
A2	6	19	A10
A1	7	18	E/Prog
A0	8	17	DO7
DO0	9	16	DO8
DO1	10	15	DO5
DO2	11	14	DO4
V55	12	13	DO3

#### MOTOROLA'S PIN-COMPATIBLE EPROM FAMILY



#### MOTOROLA'S PIN-COMPATIBLE ROM FAMILY

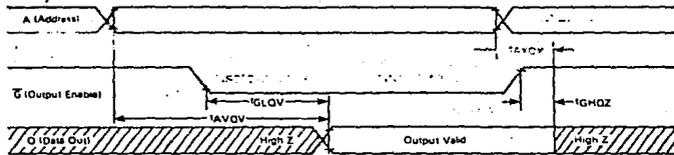
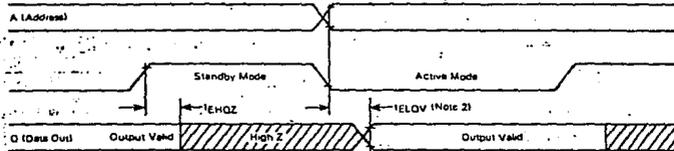


INDUSTRY STANDARD PINOUTS

*Pin Names	
A	Address
DO	Data Input/Output
E/Prog	Chip Enable/Program
G	Output Enable

\*New industry standard nomenclature

## MCM2710 MCM2710

READ MODE TIMING DIAGRAMS (E/Prog = V<sub>IL</sub>)STANDBY MODE (Output Enable = V<sub>IL</sub>)  
Standby Mode (E/Prog = V<sub>IH</sub>)NOTE 2 t<sub>GLQV</sub> is referenced to E/Prog or stable address, whichever occurs last.

## DC PROGRAMMING CONDITIONS AND CHARACTERISTICS

T<sub>A</sub> = 25°C ± 5°C

## RECOMMENDED PROGRAMMING OPERATING CONDITIONS

Parameter	Symbol	Min	Nom	Max	Unit
Supply Voltage	V <sub>CC</sub>	4.75	5.0	5.25	Vdc
Input High Voltage for Data	V <sub>IH</sub>	2.2	—	V <sub>CC</sub> + 1	Vdc
Input Low Voltage for Data	V <sub>IL</sub>	-0.1	—	0.8	Vdc

## PROGRAMMING OPERATION DC CHARACTERISTICS

Characteristic	Condition	Symbol	Min	Typ	Max	Unit
Address, $\bar{G}$ and E/Prog Input Sink Current	V <sub>in</sub> = 5.25 V/0.45 V	I <sub>IL</sub>	—	—	10	μAdc
Vpp Supply Current (Vpp = 25 V ± 1 V)	E/Prog = V <sub>IL</sub>	IPP1	—	—	10	mAac
Vpp Programming Pulse Supply Current (Vpp = 25 V ± 1 V)	E/Prog = V <sub>IH</sub>	IPP2	—	—	30	mAac
VCC Supply Current (Outputs Open)	—	ICC	—	—	160	mAac

## AC PROGRAMMING OPERATING CONDITIONS AND CHARACTERISTICS

Characteristic	Symbol	Min	Max	Unit
Address Setup Time	t <sub>AVSH</sub>	2.0	—	ns
Output Enable High to Program Pulse	t <sub>GHSP</sub>	2.0	—	ns
Data Setup Time	t <sub>DVSH</sub>	2.0	—	ns
Address Hold Time	t <sub>AHAX</sub>	2.0	—	ns
Output Enable Hold Time	t <sub>ELGL</sub>	2.0	—	ns
Data Setup Time	t <sub>ELQZ</sub>	2.0	—	ns
Vpp Setup Time	t <sub>PHSH</sub>	0	—	ns
Vpp IC Enable Low Time	t <sub>LEPL</sub>	0	—	ns
Output Disable to High Z Output	t <sub>GHQZ</sub>	0	150	ns
Output Enable to Valid Data (E/Prog = V <sub>IL</sub> )	t <sub>GLQV</sub>	—	150	ns
Program Pulse Width	t <sub>PHL</sub>	1*	50	ns
Program Setup Rise Time	t <sub>PR</sub>	5	—	ns
Program Pulse Fall Time	t <sub>PF</sub>	5	—	ns

\*If shorter than 45 ns (min) pulses are used, the same number of pulses should be striped after the specific data has been verified.



## CD4066BM/CD4066BC Quad Bilateral Switch

### General Description

The CD4066BM/CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016BM/CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input-signal range.

### Features

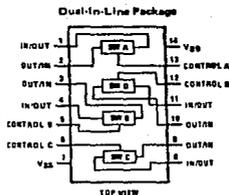
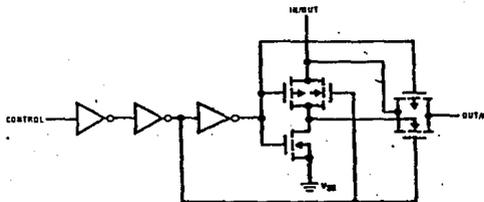
- Wide supply voltage range 3V to 15V
- High noise immunity 0.45  $V_{DD}$  (typ.)
- Wide range of digital and analog switching  $\pm 7.5 V_{PEAK}$
- "ON" resistance for 15V operation 80  $\Omega$
- Matched "ON" resistance over 15V signal input  $\Delta R_{ON} = 5 \Omega$  (typ.)
- "ON" resistance flat over peak-to-peak signal range
- High "ON"/"OFF" output voltage ratio 65 dB (typ.)
- High degree linearity  $\text{at } f_{in} = 10 \text{ kHz}, R_L = 10 \text{ k}\Omega$   
0.1% distortion (typ.)
- High degree linearity  $\text{at } f_{in} = 1 \text{ kHz}, V_{in} = 5 \text{ V}_{p-p}$   
 $V_{DD} - V_{SS} = 10 \text{ V}, R_L = 10 \text{ k}\Omega$

- Extremely low "OFF" switch leakage  $\text{at } V_{DD} - V_{SS} = 10 \text{ V}, T_A = 25^\circ \text{C}$  0.1 nA (typ.)
- Extremely high control input impedance  $10^{12} \Omega$  (typ.)
- Low crosstalk between switches  $\text{at } f_{in} = 0.9 \text{ MHz}, R_L = 1 \text{ k}\Omega$  -50 dB (typ.)
- Frequency response, switch "ON" 40 MHz (typ.)

### Applications

- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal-gain

### Schematic and Connection Diagrams



## Absolute Maximum Ratings

(Note 1 and 2)

V <sub>DD</sub> Supply Voltage	-0.5V to +18V
Input Voltage	-0.5V to V <sub>DD</sub> + 0.5V
Storage Temperature Range	-65°C to +150°C
Power Dissipation	500 mW
Lead Temperature (Soldering, 10 seconds)	300°C

## Recommended Operating Conditions

(Note 2)

V <sub>DD</sub> Supply Voltage	3V to 18V
V <sub>IN</sub> Input Voltage	0V to V <sub>DD</sub>
TA Operating Temperature Range	-55°C to +125°C
CD4068BM	-40°C to +85°C
CD4068BC	

## Electrical Characteristics CD4068BM (Note 2)

Parameter	Conditions	-55°C		25°C			125°C		Units
		Min	Max	Min	Typ	Max	Min	Max	
Quiescent Device Current	V <sub>DD</sub> = 5V		0.25		0.01	0.26		7.5	μA
	V <sub>DD</sub> = 10V		0.5		0.01	0.5		15	μA
	V <sub>DD</sub> = 15V		1.0		0.01	1.0		30	μA
<b>Inputs and Outputs</b>									
"ON" Resistance	R <sub>L</sub> = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$ V <sub>C</sub> = V <sub>DD</sub> , V <sub>IS</sub> = V <sub>SS</sub> to V <sub>DD</sub> V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V		2000		270	2500		3500	Ω
			400		120	500		550	Ω
			220		80	260		320	Ω
3 "ON" Resistance Between any 2 of 4 Switches	R <sub>L</sub> = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$ V <sub>C</sub> = V <sub>DD</sub> , V <sub>IS</sub> = V <sub>SS</sub> to V <sub>DD</sub> V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V				10				Ω
					5				Ω
Input or Output Leakage Switch "OFF"	V <sub>C</sub> = 0 V <sub>IS</sub> = 15V and 0V, V <sub>OS</sub> = 0V and 15V		±50		±0.1	±50		±500	nA
<b>Inputs</b>									
Low Level Input Voltage	V <sub>IS</sub> = V <sub>SS</sub> and V <sub>DD</sub> V <sub>OS</sub> = V <sub>DD</sub> and V <sub>SS</sub> I <sub>IS</sub> = ±10 μA V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V V <sub>DD</sub> = 15V		1.5		2.25	1.5		1.5	V
			3.0		4.5	3.0		3.0	V
			4.0		6.75	4.0		4.0	V
High Level Input Voltage	V <sub>DD</sub> = 5V V <sub>DD</sub> = 10V (see note 6) V <sub>DD</sub> = 15V	3.5		3.5	2.75		3.5		V
		7.0		7.0	5.5		7.0		V
		11.0		11.0	8.25		11.0		V
Input Current	V <sub>DD</sub> = V <sub>SS</sub> = 15V V <sub>DD</sub> > V <sub>IS</sub> > V <sub>SS</sub> V <sub>DD</sub> > V <sub>C</sub> > V <sub>SS</sub>		±0.1		±10 <sup>-5</sup>	±0.1		±1.0	μA

## Electrical Characteristics CD4068BC (Note 2)

Parameter	Conditions	-40°C		25°C			85°C		Units
		Min	Max	Min	Typ	Max	Min	Max	
Quiescent Device Current	V <sub>DD</sub> = 5V		1.0		0.01	1.0		7.5	μA
	V <sub>DD</sub> = 10V		2.0		0.01	2.0		15	μA
	V <sub>DD</sub> = 15V		4.0		0.01	4.0		30	μA

## BIBLIOGRAFIA

- MC6809 Cookbook . Carl D. Warren  
TAB Books Inc. , 1980.
- Telecomunicaciones y Redes de Computo . Seminario  
Fundacion Arturo Rosenblueth , Mexico 1980.
- Microprocessors and Digital Systems . Douglas V. Hall  
Mc Graw Hill , 1985.
- Data Communications Facilities, Networks and Systems. Dixon Doll  
John Wiley & Sons , 1984.
- Byte , Vol. 9 , No. 13 .  
Mc Graw Hill
- MEK6802D5 Microcomputer Evaluation Board User's Guide .  
Motorola Inc. , 1980.
- Computer Organization . Carl Hamacher.  
Mc Graw Hill , 1985.
- 6809 Editor-Assembler. User's Guide .  
Radio Shack , 1985.
- Linear . Manual Tecnico.  
National Semiconductor , 1984.
- Microprocessors . Manual Tecnico .  
Motorola Inc. , 1984.
- Diseño y Construccion de un probador de Modems. Cano Damian.  
UNAM . Facultad de Ingenieria . Tesis Profesional 2980013 .
- Sistema Integral de Monitoreo y Diagnostico SIMD-8. Manual Tecnico.  
Transdata S.A. , Mexico 1979.
- RS-232-C EIA Standard.  
Electronic Industries Association. 1969.
- Microprocesadores y Microcomputadoras .  
UNAM Facultad de Ingenieria.  
Division de Educacion Continua , 1984.