



2428j  
UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE ESTUDIOS SUPERIORES

CUAUTITLAN

"DISEÑO Y CONSTRUCCION DE UNA INTERFAZ DE CASSETTE"

TESIS PROFESIONAL  
QUE PARA OBTENER EL TITULO DE:  
INGENIERO MECANICO ELECTRICISTA

P R E S E N T A N

RAUL ROBLES PORTILLA

AURELIO VICTOR SAN VICENTE MANZO

Cuautitlán Izcalli, Edo. de Mex. 1987



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE DE CAPITULOS

	Pag.
INTRODUCCION .....	1
<b>I TRANSMISION DE DATOS .....</b>	<b>3</b>
1.1 Antecedentes .....	3
1.2 La transmisión de la información. ....	7
1.3 Tipos de transmisión. ....	12
1.3.1 Transmisión en serie.	
1.3.2 Transmisión en paralelo.	
1.4 Comunicación de datos. ....	26
1.4.1 Modos de transmisión.	
1.5 Características y arquitectura de comunicación. ...	31
1.6 Protocolos de comunicación. ....	33
1.6.1 Handshake.	
1.6.2 Metodo XON/XOFF.	
1.6.3 Metodo END/ACK.	
2.6.4 Protocolo BSC.	
2.6.5 Protocolo HDLC.	
1.7 Técnicas de modulación. ....	55
1.7.1 Modulación de amplitud.	
1.7.2 Modulación de frecuencia.	
1.7.3 Modulación de fase.	
<b>II DISEÑO DE LA INTERFAZ DE CASSETTE .....</b>	<b>60</b>
2.1 Teoría de funcionamiento de la interfaz. ....	60
2.2 Diagrama de bloques del sistema. ....	61
2.3 Descripción detallada y diseño. ....	62
2.3.1 Modulador.	
2.3.2 Demodulador.	
2.4 Diagrama electrónico. ....	101

III	CONSTRUCCION DE LA INTERFAZ DE CASSETTE .....	103
3.1	Construcción del circuito impreso. ....	103
3.2	Dimensiones del chasis. ....	106
3.3	Costo total de la interfaz. ....	107
IV	MANUAL DE UTILIZACION .....	108
4.1	Instrucciones de manejo. ....	108
4.2	Especificaciones. ....	109
	Conclusiones .....	110
	Bibliografía .....	113
	Apéndices	

## INTRODUCCION

En un inicio, toda la información que era procesada por una computadora era almacenada en cintas magnéticas contenidas en carretes de grandes dimensiones. Posteriormente se empezó a almacenar en discos flexible llamados diskettes, cuyo tamaño físico es considerablemente menor a las cintas magnéticas de carrete.

En los últimos años se ha venido observando que las computadoras han sufrido de una avance tecnológico de tal magnitud y a un costo de venta reducido que ya no solo empresas sino también el público consumidor ha empezado a adquirir su propia computadora personal para utilizarla en sus propios hogares para todo tipo de fines (trabajo, didáctico, organización etc.). Para esto el consumidor necesitará de dispositivos para almacenar su información procesada; estos dispositivos deberán tener las características siguientes:

- bajo precio y
- durabilidad.

Ante la necesidad de obtener un dispositivo que reuniera las dos características antes mencionadas, se consideró factible realizar el diseño y la construcción de una interfaz para poder lograr el almacenamiento de programas en un simple cassette que

utilizan las grabadoras de uso comercial. Este cassette reúne las características de bajo costo y durabilidad en su manejo.

El presente trabajo se divide en dos partes: la primera parte da un panorama de las formas que existen para la transmisión de la información y esta formada por el capítulo 1.

En la segunda parte se expone el trabajo práctico: diseño, construcción, pruebas y un manual de utilización. El diseño de la interfaz está contemplado en el capítulo 2. El capítulo 3 contiene la parte de construcción en el cual se describe a detalle los puntos que intervinieron para la obtención física de la interfaz de cassette. Y por último, el manual de utilización contenido en el capítulo 4 considerándose las instrucciones de manejo así como también las especificaciones del mismo.

## CAPITULO I

### TRANSMISION DE DATOS

#### 1.1 ANTECEDENTES

A través de los tiempos el hombre se ha distinguido de las formas inferiores de vida por su habilidad para la comunicación verbal y escrita. Al principio de su historia se valió de las aptitudes vocales y de los gestos para comunicar sus pensamientos a los semejantes que le rodeaban. A medida que la sociedad humana se hizo mas compleja fué mas imperativa la necesidad de comunicaciones a mayores distancias.

Cuando la sociedad progreso tuvieron que ampliarse los límites inherentes para aumentar las distancias de comunicación. Cuando el hombre inventó la escritura se enviaron mensajes escritos y este medio de comunicación evolucionó hasta el sistema de correo. Los descubrimientos en los campos de electricidad y electrónica, el gradual perfeccionamiento de nuestros conocimientos y la utilización de tales principios hicieron posibles finalmente los sistemas directo e inmediato de comunicación sonoros y ópticos.

En el lento y arduo progreso del hombre hasta lograr los

maravillosos sistemas electrónicos de comunicación de nuestros días tuvo que explorar y descubrir paso a paso las posibilidades en potencia existentes en el espectro para la comunicación, además de las del sonido y la luz. Inicialmente tuvo que analizar y comprender mas completamente las características de sus propias aptitudes para distinguir las ondas de sonido y de la luz. Pronto descubrió un curioso fenómeno de la naturaleza, el de que nuestros sentidos del oído y de la vista son sensibles a frecuencias de ondas separadas por intervalos enormes.

Cuando hablamos, hacemos ruido, o tocamos un instrumento musical, generamos variaciones de presión del aire, a las cuales llamamos ondas sonoras. Cuando estas alcanzan el oído humano, provocan la vibración del tímpano y el medio auditivo transmite una señal al cerebro, el cual percibe el sonido. La gama de frecuencias de tales sonidos esta en la parte inferior del vasto espectro de frecuencia conocido actualmente y solo representa un segmento fraccionario.

Por otra parte, nuestros ojos nos capacitan para convertir ciertas ondas en sensaciones visuales. Sin embargo, tales ondas estan separadas de las sonoras por un intervalo de frecuencia mayor de  $8 \times 10^8$  megahertzios (MHz).

Otro de nuestros sentidos, el tacto, nos capacita para



reconocer un sector adicional del espectro de frecuencia, el del calor, que esta situado por debajo del espectro visible, pero todavia separado de la región de sonido por un gran intervalo de frecuencia. Fuera de estas tres porciones del vasto espectro nuestras facultades inherentes no nos sirven. La utilización directa de las frecuencias de sonido limita la comunicación, pero no las frecuencias de la luz (podemos ver estrellas que distan de nosotros muchos años luz). Así, entre las frecuencias del sonido y de la luz era de esperar hallar porciones del espectro que ofreciesen posibilidades inexploradas de comunicación a mayores distancias.

Este ha sido ciertamente el caso, y el hombre, por su ingenio, ha utilizado sus conocimientos científicos acumulados para idear numerosos sistemas electrónicos de comunicación utilizando los diversos segmentos del espectro mediante los cuales puede transmitir y recibir datos a distancias virtualmente ilimitadas. En consecuencia, sus descubrimientos en la transmisión de señales visuales y audibles le han permitido establecer una vasta red de comunicaciones en la sociedad moderna que utiliza en la vida diaria para el diálogo personal directo a distancia entre individuos, para la dispersión de noticias, para la recopilación de datos científicos y comerciales y, para su mayor diversión.

Además, puesto que las formas de onda de una señal son virtualmente un factor determinante del funcionamiento de todos los circuitos, es esencial comprender bien las características fundamentales de las ondas senoidales, cuadradas, complejas y de otras señales.

En general, las características fundamentales de una onda son amplitud, frecuencia y fase. En la figura 1.1 se observan dichas características. La amplitud de la señal esta representada por el valor máximo que esta puede asumir. La frecuencia indica las veces que la señal se repite en un segundo, es decir, si una señal se repite cinco veces en un segundo significa que tiene una frecuencia de 5 Hz; su periodo sera igual a  $1/5$  de segundo (el periodo es el inverso de la frecuencia). La fase representa en cierto modo el retardo o el adelanto de la señal con respecto al instante en que se inicia la observación, y se mide en fracciones de periodo.

Una onda de sonido o de radio con una frecuencia especifica, esta representada por una senoide; tales ondas se propagan con velocidad lineal uniforme. La velocidad del sonido, por ejemplo, depende del medio a través del cual se propaga (aire, agua, etc.) y de la temperatura. En el aire una aproximación para la velocidad del sonido es 335 m/seg, o 1200 Km/hr. A 32 F (0 C) la velocidad es 350 m/seg, o 1260 Km/hr.

La velocidad de la luz es idéntica a la de las ondas electromagnéticas de radio y es de 299,792.5 Km/seg.

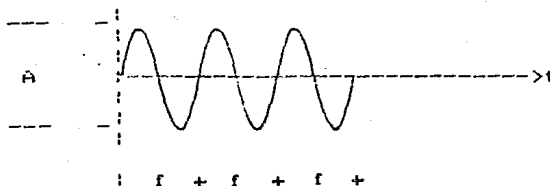


Fig. 1.1 Características fundamentales de una onda.

## 1.2 LA TRANSMISION DE LA INFORMACION.

En el ámbito de la informática el concepto de transmisión de datos se entiende como el envío de informaciones codificadas de un punto a otro mediante sistemas de comunicación de tipo electrónico o electromecánico. La distancia que separa los dos puntos de intercambio no está sujeta a restricciones, a no ser en la medida que tal distancia condiciona la elección del sistema de transmisión. En todos los sistemas de comunicación tradicionales (teléfono, radio, televisión, etc.), la información (voz, imagen, texto escrito) se codifica en la fuente en señales electromagnéticas y se transmite a través de un medio adecuado (el cable de una línea telefónica, el éter). En la recepción, las

señales vuelven a convertirse de manera que restituyan la forma inicial a las informaciones.

Ahora se enfocará la atención en las comunicaciones de las informaciones en el caso de la computadora. La primera transferencia es intrínseca al diálogo hombre-máquina. La computadora trabaja utilizando secuencias de cifras binarias de 0 y 1; por tanto, para comunicarse con el hombre debe traducir cada secuencia de bits en caracteres alfabéticos o numéricos. La traducción se realiza utilizando tablas de correspondencia biunívoca entre caracteres (código hombre) y secuencias de bits (código máquina). Las formas de codificación más difundidas se denominan con las siglas ASCII y EBCDIC.

Las dos codificaciones se diferencian en las combinaciones de bits asociadas a un mismo carácter; las dos incluyen, además de las letras y los números, un cierto número de símbolos especiales, utilizados en las comunicaciones de los datos. En la tabla 1.1 y 1.2 se muestran los códigos ASCII y EBCDIC respectivamente.

CODIFICACION ASCII

Codigo ASCII bit no. 8* 7654321	Valor decimal	Valor octal	Valor hexadecimal
0000000	0	0	0
0000001	1	1	1
0000010	2	2	2
0000011	3	3	3
0000100	4	4	4
0000101	5	5	5
0000110	6	6	6
0000111	7	7	7
0001000	8	10	8
0001001	9	11	9
0001010	10	12	A
0001011	11	13	B
0001100	12	14	C
0001101	13	15	D
0001110	14	16	E
0001111	15	17	F
0010000	16	20	10
0010001	17	21	11
0010010	18	22	12
0010011	19	23	13
0010100	20	24	14
0010101	21	25	15
0010110	22	26	16
0010111	23	27	17
0011000	24	30	18
0011001	25	31	19
0011010	26	32	1A
0011011	27	33	1B
0011100	28	34	1C
0011101	29	35	1D
0011110	30	36	1E
0011111	31	37	1F

\* El bit no. 8 es el bit de paridad.

TABLA 1.1

CODIFICACION EBCDIC.

Caracter	Código EBCDIC bit no. 87654321	Valor decimal	Valor octal	Valor hexadecimal
NUL	0000000	0	0	1
SOH	0000001	1	1	1
STX	0000010	2	2	2
ETX	0000011	3	3	3
PF	0000100	4	4	4
HT	0000101	5	5	5
LC	0000110	6	6	6
DEL	0000111	7	7	7
	0001000	8	10	8
RLF	0001001	9	11	9
SMM	0001010	10	12	A
VT	0001011	11	13	B
FF	0001100	12	14	C
CR	0001101	13	15	D
SO	0001110	14	16	E
SI	0001111	15	17	F
DLE	0010000	16	20	10
DC1	0010001	17	21	11
DC2	0010010	18	22	12
DC3	0010011	19	23	13
RES	0010100	20	24	14
NL	0010101	21	25	15
BS	0010110	22	26	16
IDL	0010111	23	27	17
CAN	0011000	24	30	18
EM	0011001	25	31	19
CC	0011010	26	32	1A
CU1	0011011	27	33	1B
IFS	0011100	28	34	1C
IGS	0011101	29	35	1D
IRS	0011110	30	36	1E
IUS	0011111	31	37	1F
DS	0100000	32	40	20
SGS	0100001	33	41	21
FS	0100010	34	42	22
	0100011	35	43	23
BYP	0100100	36	44	24
LF	0100101	37	45	25
EOB/ETB	0100110	38	46	26
PRE/ESC	0100111	39	47	27
	0101000	40	50	28
	0101001	41	51	29
SM	0101010	42	52	2A
CU2	0101011	43	53	2B

Caracter	Código EBCDIC bit no. 87654321	Valor decimal	Valor octal	Valor hexadecimal
	0101100	44	54	2C
ENQ	0101101	45	55	2D
ACK	0101110	46	56	2E
BEL	0101111	47	57	2F
	0110000	48	60	30
	0110001	49	61	31
SYN	0110010	50	62	32
	0110011	51	63	33
PN	0110100	52	64	34
RS	0110101	53	65	35
UC	0110110	54	66	36
EOT	0110111	55	67	37
	0111000	56	70	38
	0111001	57	71	39
	0111010	58	72	3A
CU3	0111011	59	73	3B
DC4	0111100	60	74	3C
NAK	0111101	61	75	3D
	0111110	62	76	3E
SUB	0111111	63	77	3F

El bit no. 8 es el bit de paridad.

TABLA 1.2

Caracter	Significado
NUL	Null
SOH	Start of heading
STX	Start of text
ETX	End of text
EOT	End of transmission
ENQ	Enquiry
ACK	Acknowledgement
BEL	Bell
BS	Backspace
HT	Horizontal tabulation
NL	New line
VT	Vertical tabulation
FF	Form feed
RT	Return

Caracter	Significado
SO	Shift out
SI	Shift in
DLE	Data line escape
DC1	Device control 1
DC2	Device control 2
DC3	Device control 3
DC4	Device control 4
NAK	Negative acknowledgement
SYN	Synchronous idle
ETB	End of transmission block
CAN	Cancel
EM	End of medium
SUB	Substitute
ESC	Escape
FS	File separator
GS	Group separator
RS	Record separator
US	Unit separator

### 1.3 TIPOS DE TRANSMISION

Dentro de la comunicación de datos, se cuenta con dos tipos de transmisión, a partir de los cuales se puede realizar las transferencias de información entre los dispositivos transmisores y los dispositivos receptores. Estos tipos de transmisión son los siguientes:

- TRANSMISION EN SERIE
- TRANSMISION EN PARALELO

De acuerdo al tipo de transmisión que se haya establecido, el flujo de datos es enviado por la línea de comunicación, ya sea en serie o en paralelo. Por lo general, este flujo o corriente de



datos se encuentra dividido en caracteres y cada uno de los caracteres estan constituidos por bits, de tal manera que:

Cuando los datos son enviados en serie por caracteres y en serie por bits, se dice que la transmisión es en serie.

Y cuando los datos son enviados en serie por caracteres pero en paralelo por bits, se dice que la transmisión es en paralelo.

### 1.3.1 Transmisión en serie.

En la transmisión en serie (Fig. 2.1), los bits que constituyen un caracter o palabra dato, son enviados uno a uno; suponiendo que los caracteres o palabras dato estan constituidos por ocho bits cada uno, el bit 0, sera el primer bit de la palabra dato que sera transmitido, posteriormente se enviara el bit 1, 2, 3 y asi sucesivamente, hasta que los ocho bits sean transmitidos. Una vez que los ocho bits han sido enviados, una nueva palabra dato podra ser transmitida.

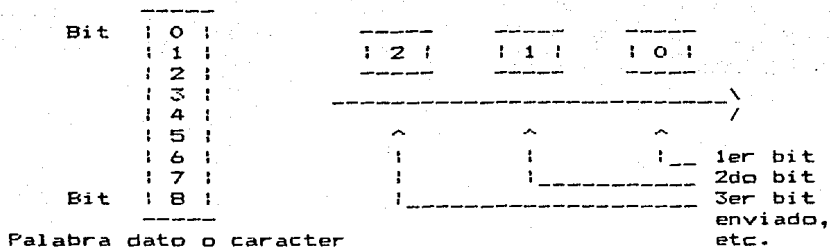


Fig. 1.2 Transmisión en serie.

La recepción del dato en serie es realizada de la misma manera. Los ocho bits de la palabra dato son recibidos uno a uno.

Existen muchos dispositivos de Entrada/Salida, que utilizan este tipo de transmisión para comunicarse con un microprocesador, ya que la transmisión en serie, permite que el microprocesador pueda comunicarse con el dispositivo remoto enviando los datos por un simple par de alambres; no siendo así en la transmisión en paralelo, en la cual se requiere de un alambre, por cada bit de la palabra dato a transmitirse.

Para la comunicación de datos en serie, las transferencias de información pueden llevarse a cabo de algunas de las formas siguientes:

- FORMA ASINCRONA
- FORMA SINCRONA

#### 1.3.1a Forma Asíncrona.

La característica principal de la transmisión de datos en forma asíncrona, es que los caracteres son enviados en una corriente o flujo no continuo. Este tipo de transmisión es mostrado en la Fig. 1.3 y se usa comúnmente en mecanismos de teclado, que no cuentan con un lugar de almacenamiento de información (buffer), sino que cada carácter es enviado a lo largo de la línea, en intervalos aleatorios, dependiendo de cuando se oprima una tecla o no.

Terminal

Microcomputador

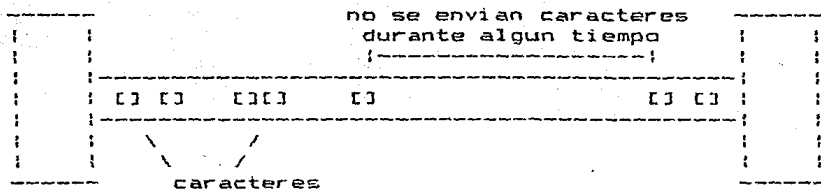


Fig. 1.3 Transmisión de datos en serie forma asíncrona.

Dentro de la transmisión de datos en serie, se cuenta con un formato asíncrono, que permite que los datos o caracteres a ser transmitidos sean estructurados de tal manera, que el dispositivo receptor, los pueda detectar perfectamente sin perder la información.

Para una corriente de datos asíncrona, cada unidad de datos o carácter, debe de llevar su propia sincronización. Una unidad de datos asíncrona (Fig. 1.4) es por consiguiente estructurada por tres campos:

- CAMPO DE PRINCIPIO DE TRANSMISION
- CAMPO DE DATO
- CAMPO DE FIN DE TRANSMISION

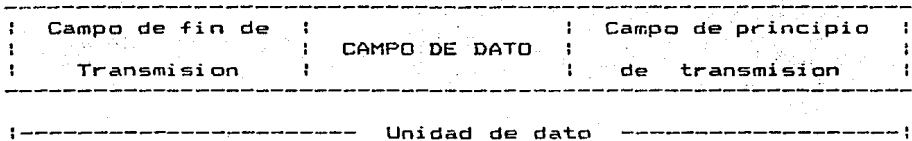


Fig. 1.4 Formato asincrono.

EL CAMPO DE PRINCIPIO DE TRANSMISION. Este campo esta constituido por un bit de inicio (start bit). Este bit tambien conocido como "space" (cero logico), permite al receptor sincronizarse con el transmisor, de tal manera que pueda comenzar a interpretar el caracter transmitido. Esta sincronización permanece durante toda la transferencia del caracter.

Durante el periodo en que ningun caracter es transmitido, una señal de pausa, tambien conocida como "brake" (uno logico) permanece en la linea, de tal manera que cuando un caracter es transmitido, el bit de inicio, provoca una variación al estado opuesto, inidicandole al receptor que comience a ensamblar el caracter transmitido.

EL CAMPO DE DATOS. Este campo esta constituido por un cierto numero de bits. Dependiendo del código que se utilice, la longitud del campo de datos varia generalmente entre cinco y ocho

bits.

El último bit que constituye el campo de datos es frecuentemente utilizado para detección de errores y comunmente es conocido como bit de paridad. Se pueden determinar dos tipos de paridad, la paridad par y la paridad non. La paridad par permite asegurar que el número total de unos lógicos en la palabra dato, sea par. Este bit se encenderá o apagará de acuerdo al caracter generado, de tal manera que siempre se tenga un número par de unos lógicos.

La paridad non permite asegurar que el número total de unos lógicos en la palabra dato, sea non; y al igual que en la paridad par, el bit de paridad se encenderá o apagará para determinar un numero non, de unos lógicos.

EL CAMPO DE FIN DE TRANSMISION. Este campo se constituye por uno o mas "bits de stop". Cada uno de ellos, también conocidos como "marks" (uno lógico), son sumados al final de cada campo de datos, con el objeto de garantizar que el "bit de start" del siguiente caracter, causará una transición en la linea de comunicaciones, debido a que entre un caracter y el siguiente puede haber un periodo indeterminado de tiempo; el "bit de stop" permanecerá durante ese periodo. Cuando termina de interpretar un caracter, el dispositivo receptor espera ocioso hasta que

principia el nuevo caracter. Asi, el dispositivo receptor aplica el significado correcto a cada bit que recibe.

El numero de "bits de stop" que se utilizan en el campo de fin de transmisión, pueden ser uno, uno y medio o dos bits. Ello depende directamente de la velocidad de transmisión que se utilice. La velocidad de transmisión se mide en función a la cantidad de bits/segundo que son transmitidos, a la cual se le conoce con el nombre de "Bauds". Por consiguiente se tiene que un baudio es igual a un bit/segundo.

Para determinar el número de "bits de stop" a utilizar en el campo de fin de transmisión, supongase el siguiente ejemplo:

Si la configuración de la unidad de dato es:

1 bit de inicio (start)

5 bits de dato

y la velocidad de transmisión a utilizarse, es de 300 bauds.

El número de "bits de stop" que se requiere sera de uno y medio bits. Ya que con uno y medio bits de stop, la configuración total de la unidad de dato es de  $1 + 5 + 1.5 = 7.5$  bits, y a una velocidad de 300 bauds, el número entero de unidades de dato o caracteres/segundo a transmitirse será de:

$$300 / 7.5 = 40 \text{ unidades de dato/seg}$$

No siendo así si utilizamos uno o dos "bits de stop", ya que con ellos no se obtiene un número entero de unidades de dato a

transmitirse, (se obtendrían 42.85 y 37.5 unidades de dato/seg respectivamente).

En general, esta es la configuración del formato para la comunicación de datos en forma asíncrona.

En resumen, se puede decir que la comunicación de datos en serie en forma asíncrona, presentan ciertas ventajas y desventajas que habrán de considerarse en el momento oportuno, para determinar el tipo de comunicación que es conveniente establecer, y lograr de esta manera, que se obtengan los mejores beneficios para el sistema.

Algunas de las principales características en este tipo de comunicación son:

- Bajos costos de los dispositivos transmisores y receptores, ya que no se requiere de ningún lugar para el almacenamiento temporal de información (buffer), puesto que los bits de cada carácter son transmitidos uno a uno.
- Las transmisiones de las unidades de dato, pueden llevarse a cabo en periodos regulares o irregulares de tiempo, ya que cada unidad cuenta con su propia sincronización.
- En altas velocidades, este tipo de comunicación no es muy susceptible a la distorsión.
- En el caso de que falle la sincronización entre el

dispositivo transmisor y el receptor únicamente se pierde el carácter transmitido.

- Este tipo de comunicación no es muy aconsejable utilizarlo a largas distancias, debido a que la sincronización entre los dispositivos, depende únicamente de la transición que provoca el bit de inicio (start bit), y ante la presencia de ruido, pueden existir falsos reconocimientos.

### 1.3.1b Forma Sincrona.

A diferencia de la transmisión en forma asincrónica, en la transmisión sincrónica (Fig. 1.5), los caracteres son enviados en un flujo o corriente de datos continuos, estructurados dentro de un bloque.

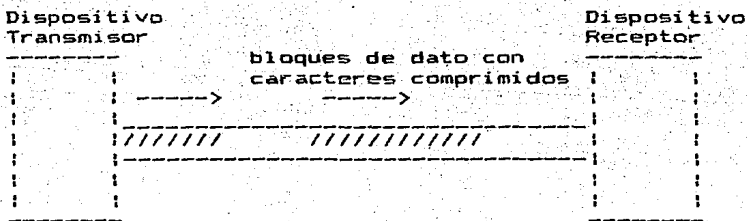


Fig. 1.5 Transmisión de datos en serie en forma sincrónica.

Cada bloque está constituido por un número indeterminado de caracteres acomodados uno a continuación del otro, de tal forma



que la transmisión de cada bit contenido en el bloque se realiza en intervalos iguales de tiempo.

Los dispositivos que usan transmisión sincrona tienen una gran variedad de longitudes de bloque. El tamaño de los bloques puede variar desde unos cuantos caracteres a muchos centenares de ellos. A menudo se relaciona con la naturaleza física del medio de datos. Por ejemplo, en la transmisión de tarjetas perforadas es conveniente usar 80 caracteres como longitud máxima de bloque ya que esa cantidad de caracteres es la que hay en cada tarjeta. Del mismo modo, la longitud de las líneas de impresión, el tamaño de los buffers, el número de caracteres de los registros u otras consideraciones de sistema de esa índole, pueden determinar el tamaño de los bloques. Asimismo, debe considerarse que mientras sea mayor la longitud del bloque, mas rápida será la transmisión total. Pero por otra parte, mientras sea mas grande el bloque, mayor sera la probabilidad de que contenga errores y que tenga que transmitirse de nuevo.

En la transmisión asincrona, la unidad de transmisión es normalmente el caracter. El operador de una máquina de teletipo oprime una tecla y se envía un caracter completo con sus "bits de start y stop; siendo este independiente de otros caracteres en el tiempo. En la transmisión sincrona los caracteres se almacenan hasta que pueda enviarse una bloque completo. El bloque se envía

desde un "buffer" a la velocidad máxima de la línea. No hay espacios entre caracteres como los hay cuando el operador de un teletipo maneja el teclado. No obstante, para permitir la transmisión sincrónica, las terminales necesitan "buffers" y, por consiguiente, resultan más costosas que los dispositivos asíncronos.

La sincronización de los dispositivos transmisores y receptores es controlada por osciladores. Antes de enviar un bloque, el oscilador del dispositivo receptor tiene que quedar exactamente en fase con el oscilador del dispositivo transmisor, lo que se logra enviando un patrón o carácter de sincronización al principio del bloque, pues de no enviarse, el dispositivo receptor no podrá decir cual bit que reciba sea el primero de un carácter, cual el segundo y así sucesivamente. Una vez que se sincronizan los osciladores en cada extremo, seguirán así hasta el final del bloque. Sin embargo, dichos osciladores pueden llegar a apartarse de la frecuencia (aunque esa variación es muy pequeña si se emplean osciladores muy estables) por lo que casi todas las máquinas de procesamiento de datos resincronizan sus osciladores en periodos de unos cuantos segundos, enviando caracteres de sincronización a la mitad de un bloque.

Por otro lado, la transmisión síncrona puede dar mejor protección contra errores, enviando al final de cada bloque un patrón de verificación de errores. La codificación en clave de ese patrón, se escoge para dar la máxima protección contra errores de ruido en la línea. Además de la codificación de errores al final del bloque, cada carácter puede tener también un bit de paridad para comprobación como en el caso asíncrono, sin embargo, esto no se hace a menudo y se usa tan solo una comprobación al final del bloque.

En la Fig. 1.5 se muestra un formato típico de transmisión síncrona, el cual puede sufrir algunas variaciones de acuerdo a las características propias del dispositivo transmisor y receptor que se utilice.

De la misma manera que en la comunicación asíncrona, en la comunicación de datos en forma síncrona se presentan ciertas características:

- Altos costos de los dispositivos transmisores y receptores, ya que requieren de "BUFFERS", para el almacenamiento de la información.
- Los caracteres no son transmitidos conforme se van generando, sino que son estructurados dentro de un bloque.
- En altas velocidades, este tipo de comunicación no es muy susceptible a distorsión.
- En el caso en que falle la sincronización entre el

dispositivo transmisor y el dispositivo receptor, se pierde toda la información contenida en el bloque.

- Este tipo de comunicación puede ser utilizado en largas distancias, teniendo una baja probabilidad de que existan errores de sincronización, ya que la sincronización entre dispositivos, puede ser estructurada con varios caracteres de sincronía.

CS.,CSn	CHARACTER SYNCHRONOUS CARACTER DE SINCRONIA
SOH	START OF HEAD PRINCIPIO DE ENCABEZADO
IDE	INFORMACION DE ENCABEZADO
STX	START OF TEXT PRINCIPIO DE TEXTO
ETB	END OF BLOCK FIN DE BLOQUE
CDP	CHEQUEO DE PARIDAD
ETX	END OF TEXT FIN DE TEXTO
EOT	END OF TRANSMISSION FIN DE TRANSMISION

Fig. 1.5 Formato típico de transmisión síncrona.

### 1.3.2 Transmisión en paralelo.

La transmisión en forma paralelo se caracteriza, porque el manejo de información se lleva a cabo transmitiendo los caracteres en serie, pero todos los bits que constituyen a cada caracter, son transmitidos en paralelo; es decir, a un mismo tiempo. Para el caso anterior en el que los caracteres están constituidos por ocho bits, estos serán transmitidos por los canales que les correspondan a un mismo tiempo.

La transmisión de cada unidad de dato o caracter, se lleva a cabo depositando el dato en un lugar de almacenamiento temporal conocido con el nombre de "LATCH", donde permanece hasta donde el dispositivo receptor se encuentra listo para realizar la transferencia de información y cargar el dato en su propio "LATCH". Las transferencias de información se llevan a cabo, por medio de señales de control, que determinan la transmisión o recepción de información, según sea el caso. Las señales de control rigen el flujo de datos y se usan para controlar errores. En el transmisor, el dato se retiene hasta que el receptor le indique que lo ha recibido correctamente, pues de no ser así, el dato volverá a ser transmitido.

Dentro de este tipo de transmisión, es muy común utilizar líneas especiales de comunicación entre el dispositivo receptor (a las cuales se les conoce como líneas de HANDSHAKING), y a

través de las cuales se envían las señales adecuadas de control, para saber si la transferencia de información se llevo a cabo adecuadamente.

Algunas de las principales características que se presentan en este tipo de comunicación son:

- Altos costos de los dispositivos transmisores y receptores.
- Alta velocidad de transmisión, ya que los bits que constituyen cada unidad de dato o caracter, son enviados a un mismo tiempo.
- En largas distancias, los costos de la línea de comunicación se incrementan considerablemente, ya que se requiere de un alambre por cada bit de la unidad de dato a transmitirse.
- Las transferencias de información entre el dispositivo transmisor y el dispositivo receptor se verifican inmediatamente, al utilizar las líneas de "HANDSHAKING".

#### 1.4 COMUNICACION DE DATOS

Cuando se diseña un sistema de procesamiento de datos, es necesario determinar que tipo de transmisión sera utilizada. En funcion "al manejo de información que sea requerido por el sistema", es posible definir el tipo de transmisión que se ajuste

a las necesidades del mismo.

Existen una gran variedad de formas, con las cuales se pueden transmitir datos por un linea de comunicación, así como un sin número de metodos para organizar las señales que se envían, de modo tal, que la información sea manipulada correctamente.

El dispositivo utilizado para una conexión se llama linea de comunicación; si la conexión se realiza a distancias cortas la linea coincide físicamente con el cable de conexión y con los interfaces del ordenador y del periférico. Para las conexiones remotas, la linea más utilizada es la telefónica. Establecida una linea, se define como canal el camino a través del cual fluye la información. El concepto de canal nace porque en una linea es posible hacer viajar varios tipos de información y, por tanto se tiene necesidad de seleccionar el camino adecuado.

#### 1.4.1 Modos de transmisión.

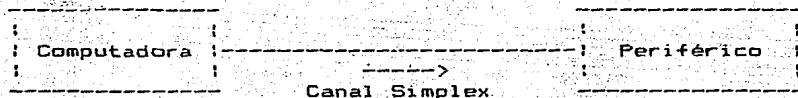
La dirección del flujo de información es un punto muy importante a considerar, para poder determinar el modo de transmisión que sera utilizado. Para ello, debe tomarse en cuenta si el manejo de información será en una sola dirección, en ambas direcciones pero no simultaneamente, o bien, si la transmisión será en ambas direcciones al mismo tiempo.

Dentro de la comunicación de datos existen tres formas principales de transmisión:

- SIMPLEX
- HALF DUPLEX
- FULL DUPLEX

#### 1.4.1a Simplex.

En este modo de transmisión, la información fluye a través de la línea de comunicación siempre en una sola dirección.



La terminal puede únicamente transmitir, pero no recibir o bien, puede solamente recibir, pero nunca transmitir; este modo de transmisión no es comúnmente utilizado, ya que no es posible controlar errores de transmisión mediante el regreso de señales de control a la fuente de datos.

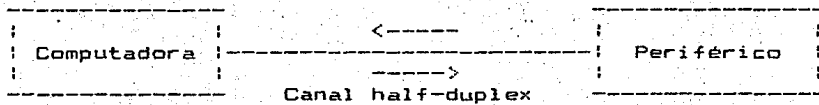
El canal simplex suele utilizarse poco, porque en casi todas las conexiones ordenador-periférico es necesario que las



informaciones viajen en ambos sentidos.

#### 1.4.1b Half duplex.

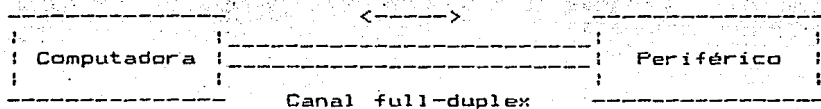
En este modo, la información fluye a lo largo de la línea de comunicación en ambas direcciones, pero no simultáneamente.



La terminal puede transmitir información a lo largo de la línea, pero mientras está transmitiendo no puede recibir ninguna información; una vez que ha terminado de transmitir, se podrá recibir información pero no podrá hacerse ninguna transmisión. En este modo de transmisión se requiere de un cierto tiempo, conocido con el nombre de tiempo de inversión de canal (Turnaround Time), para invertir la dirección del flujo de información.

#### 1.4.1c Full duplex.

Finalmente en este modo de transmisión, la información viaja a lo largo de la línea de comunicación, en ambas direcciones simultáneamente.



No se requiere de ningún tiempo para invertir la dirección del flujo de información, ya que se cuenta con líneas independientes para la transmisión y recepción de información.

Además de estos tres modos de transmisión, existe uno más conocido con el nombre de "Echo-Plex", que funciona bajo el principio de operación full duplex y mediante el cual se puede asegurar que la información transmitida, fué recibida correctamente por el dispositivo receptor.

Su principio de operación consiste en que toda información que es transmitida, regresa a la terminal transmisora, una vez que ha sido recibida por la terminal receptora. Es decir, cuando un operador presiona una tecla en la terminal y transmite un carácter, dicho carácter después de ser tomado por la terminal receptora, regresa a imprimirse en la terminal transmisora; permitiendo que el operador pueda confirmar si la información transmitida llegó correctamente.

Una vez definida la dirección del flujo de la información,

el siguiente punto a considerar es el que determina, como va a ser manipulada dicha información, es decir, que tipo de transmisión será utilizado.

### 1.5 CARACTERISTICAS Y ARQUITECTURA DE LA COMUNICACION

El tipo de transmisión que se utilizará para mostrar el sistema controlador de interrupciones, será la transmisión serie en forma asíncrona.

Este tipo de transmisión presenta el siguiente formato:

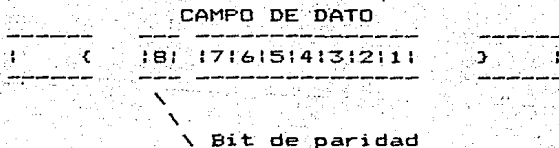
Campo de fin de Transmisión	CAMPO DE DATO	Campo de principio de Transmisión
		1 B I T

El campo de datos y de fin de transmisión, se define de acuerdo al código y velocidad de transmisión que se utilice; para este caso será de ocho bits de dato y un bit de fin de transmisión.

Campo de fin de Transmisión	CAMPO DE DATO	Campo de principio de Transmisión
1 B I T	8 B I T S	1 B I T

La razón por la cual se determinó que el campo de datos este constituido por ocho bits, se debe al tipo de código de caracteres que se utilizará; el cual es el código "ASCII" (American Standard Code For Information Interchange), que es el código más comunmente utilizado en la comunicación de datos.

Dentro de este código, cada caracter es representado por sus siete primeros bits, de tal manera que de acuerdo a las combinaciones de los mismos se tiene la posibilidad de representar hasta ciento veintiocho caracteres ( $2^7 = 128$ ). El octavo bit es frecuentemente utilizado para detección de errores y comunmente es conocido como bit de paridad.



Finalmente el campo de fin de transmisión se encuentra constituido por un bit "STOP", debido a que con ello se logra que cada unidad de dato, este configurada por diez bits ( $1 + 8 + 1 = 10$ ). Teniendo la ventaja, de que en un determinado momento, se pueda trabajar a cualquier velocidad de transmisión, sin tener que ajustar el campo de fin de transmisión, para obtener un número entero de unidades de dato/seg a transmitirse.

Es decir, con las velocidades de transmisión más comunes: 300, 600, 1200, 2400, e incluso 4800, 9600 y bajo esta configuración de unidad de dato siempre se obtiene un número entero de unidades de dato/seg a transmitirse:

$$\frac{300}{10} = 30 \text{ unidades de dato/seg.}$$

$$\frac{600}{10} = 60 \text{ unidades de dato/seg.}$$

$$\frac{1200}{10} = 120 \text{ unidades de dato/seg.}$$

$$\frac{2400}{10} = 240 \text{ unidades de dato/seg.}$$

$$\frac{4800}{10} = 480 \text{ unidades de dato/seg.}$$

$$\frac{9600}{10} = 960 \text{ unidades de dato/seg.}$$

## 1.6 PROTOCOLOS DE COMUNICACION

Las reglas y señales descritas a propósito de los interfaces de comunicación fijan la modalidad a nivel Hardware, pero no tienen en cuenta la integridad del mensaje transmitido. Es decir, la unidad receptora no puede establecer que caracteres se han perdido en la línea, a menos que se adopten reglas ulteriores para la gestión de la comunicación.

Estas reglas existen y se definen como PROTOCOLOS; representan en cierto modo la "Gramática" a través de la cual los dispositivos intercambian informaciones. Por tanto, los protocolos de comunicación son los gestores a nivel más elevado de las informaciones y, como los interfaces, están reglamentados por las casas constructoras de ordenadores y por los institutos internacionales para la standarización. Por el término de protocolo se entiende como una íntima concomitancia entre el hardware y el software: la parte de hardware está representada por los circuitos diseñados para el tipo de protocolo en particular que tiene que manejar mientras que la parte de software está constituida por programas que implantan las reglas que rigen el protocolo.

#### 1.6.1 Handshake (diálogo inicial).

Un aspecto importante de los protocolos de comunicación está constituido por el llamado Handshake, o flagging, utilizado a efectos de sincronismo. Para no confundirlo con la modalidad de transmisión (síncrona o asíncrona), el handshake tiene por objetivo la integridad de los mensajes. Por ejemplo, si una computadora debe comunicarse con una terminal de video, el handshake garantiza que la terminal consiga visualizar todos los datos enviados a la computadora, sea cual sea la velocidad de transmisión.

Las informaciones intercambiadas en la parte de handshake constituyen un diálogo del tipo:

- Mensaje disponible para ser transmitido
- Señal de espera para aceptar el texto
- Señal de principio de la transmisión del texto
- Aceptación o envío del texto
- Detección de errores en el texto recibido
- Eventual retransmisión del texto
- Fin del texto

En la figura 1.6 se muestra un ejemplo de un protocolo.

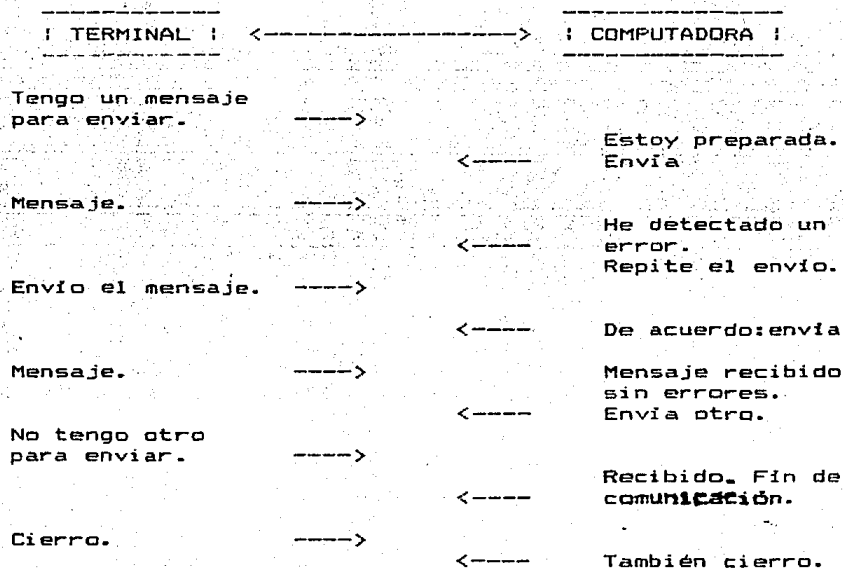


Fig. 1.6 Esquema de un protocolo sencillo.

La secuencia muestra una computadora que se comunica con un terminal, la cual tiene un mensaje para enviar. La computadora reconoce a la terminal y activa la transmisión. Durante la recepción, la computadora detecta un error y pide a la terminal que retransmita el texto. La segunda vez, el mensaje recibido no contiene errores y la computadora pide que prosigan las otras comunicaciones. La terminal no tiene ningún otro mensaje para enviar e informa de ello a la computadora. Si la computadora a su vez tiene un texto para enviar a la terminal, puede hacerlo en este momento; como no tiene nada para transmitir, finaliza la comunicación y la terminal hace lo mismo.

Por las líneas de comunicación por las que viajan los protocolos, no solo viajan los datos a transmitir, sino también informaciones adicionales que tienen por objeto garantizar que no se pierda nada. Estas informaciones constituyen el OVERHEAD del protocolo, y al mismo tiempo son un parámetro de juicio del propio protocolo: un protocolo es eficiente si su overhead es mínimo, porque esto significa que se consigue garantizar la integridad de las informaciones con la mínima superposición de texto adicional y, por tanto, con la mínima pérdida de tiempo.

Así como existen varios modos de interacción entre dos estaciones que deben comunicarse, también existen diferentes tipos de handshake; los principales se describirán más adelante.



Un ejemplo típico que aclara la necesidad de la parte de handshake esta constituido por la fase de diálogo de una computadora con una terminal de video. Supongamos que la conexión se haya efectuado en la modalidad serie asíncrona a la velocidad de 9600 bps. A esta velocidad, por la línea viajan aproximadamente 960 caracteres en un segundo, y la terminal no conseguiría visualizarlos con la misma velocidad. Por tanto, es necesario que de vez en cuando el periférico informe a la computadora que suspenda la transmisión para tener tiempo de presentar los caracteres recibidos (de hecho, se tiene la misma necesidad en otros periféricos como impresoras, unidades de cinta, etc.).

Para limitar este inconveniente se utilizan almacenamientos temporales en los periféricos (bufferización). Con este término se indica la capacidad de los diversos dispositivos para almacenar informaciones antes de visualizarlas. Durante la comunicación, los datos transmitidos por la computadora se acumulan en el buffer interno de la terminal, de la que después se toman para su proceso. Por lo tanto, el objeto del buffer es el de hacer el papel de volante o pulmón durante la comunicación. Cuando la capacidad de almacenamiento del buffer se agota, se debe interrumpir momentáneamente la comunicación para evitar que los datos se pierdan.

### 1.6.2. Método XON/XOFF.

Un método de handshake basado en esta última acción es el llamado XON/XOFF, el cual está esquematizado en la figura 1.7

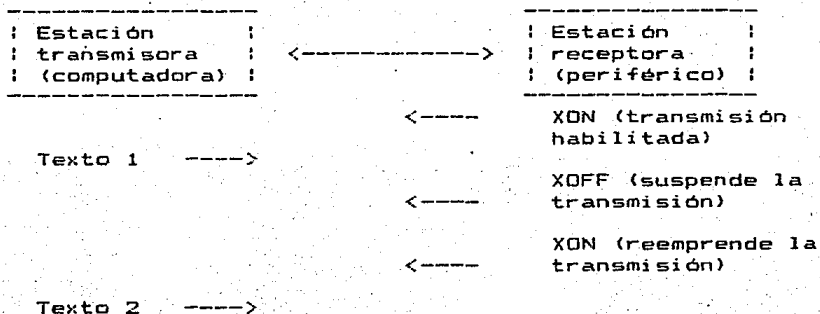


Fig. 1.7 Handshake de tipo XON/XOFF.

La computadora envía datos que el periférico acumula en su buffer interno. Cuando éste está lleno en sus 2/3 partes, la terminal envía a la computadora el carácter 13H (ver tabla 1.1), que tiene el significado de Transmit OFF o XOFF, y la computadora suspende la transmisión. La terminal presenta los datos acumulados en el buffer y lo vacía; cuando el buffer está lleno a 1/3 de su capacidad, la terminal envía a la computadora el carácter 17H, con el significado de Transmit ON o XON, y la computadora vuelve a transmitir. Los valores 1/3 y 2/3 no son fijos, sino que varían en función del periférico a gestionar. Algunos periféricos funcionan con llenado y vaciado completo del

buffer; los valores utilizados están ligados a razones de optimización de la comunicación en función del hardware. Otros periféricos adoptan el mismo método de handshake que ya no se basa en los caracteres 17H y 19H, sino en el hecho de subir o bajar una determinada señal RS-232C (por ejemplo Clear to Send o Data Terminal Ready). Esta última forma es la acción más elemental de handshake, y formula las señales adicionales al Transmit Data y al Receive Data.

### 1.6.3 Método ENQ/ACK.

Una forma diferente de interacción se basa en el método Enquire/Acknowledge (ENQ/ACK), mostrado en la figura 1.8

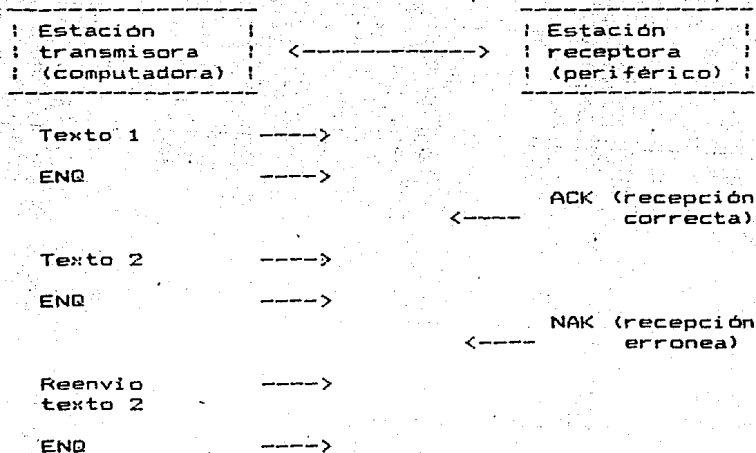


Fig. 1.8 Handshaké de tipo ENQ/ACK.

Mediante éste método se hace mas agil la petición de retransmisión del texto con la detección de errores por parte del receptor. El que transmite envía el texto seguido del caracter ENQ; el receptor procesa el texto y envía el caracter ACK si todo ha ido bién, ó el caracter NAK (Negative Acknowledge) si ha detectado un error. La estación que transmite envia otro texto si ha recibido ACK, o bién el mismo texto si ha recibido NAK. Con el método de handshake ENQ/ACK se evita el problema de saturación del buffer, pues los textos transmitidos no superan las longitudes preestablecidas y es siempre el receptor el que proporciona el acuerdo para proseguir.

El aspecto interactivo y de sincronismo es solo uno de los tantos previstos en la fase de handshake de un protocolo; otras fases, como la detección de errores, se describen en el interior de los propios protocolos.

#### 1.6.4 Protocolo BSC.

El protocolo BSC (Binary Synchronous Communication) lo introdujo IBM en 1966. El protocolo cubre el rango de comunicaciones de media y alta velocidad y de tipo half-duplex, en el sentido de que no prevé el intercambio simultáneo de informaciones entre transmisor y receptor. La comunicación es de tipo síncrono y, por lo tanto, las pruebas van precedidas de un número predeterminado de caracteres 16H (ver tabla 1.1). La

secuencia de handshake adoptada (Fig. 1.9), esta constituida por una versión modificada del ENQ/ACK.

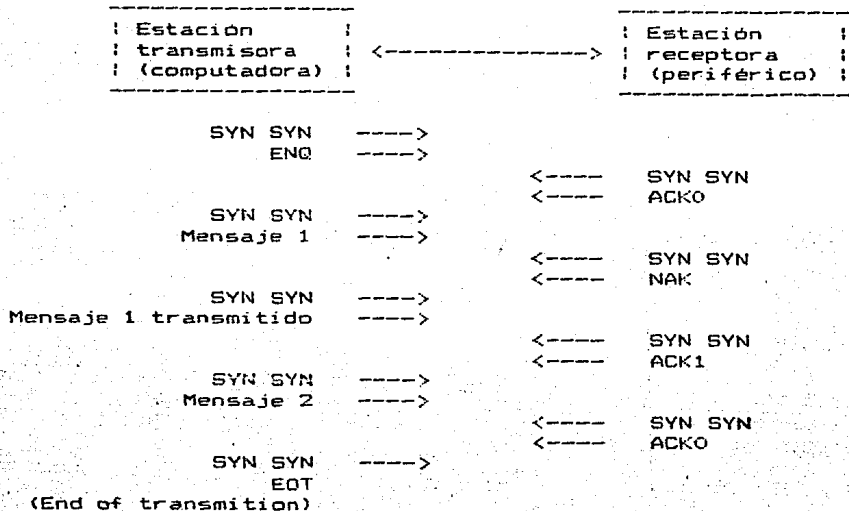


Fig. 1.9 Handshake con protocolo BSC.

Se han previsto dos caracteres de reconocimiento positivo (ACK0 y ACK1), enviados por el receptor cada vez que el texto está exento de errores. El uso de los ACK pares e impares garantiza la recepción de los reconocimientos y de los mensajes completos. En cambio, si la unidad que transmite no recibe nada después del envío de un texto, transcurrido un determinado tiempo, envía nuevamente el caracter ENQ (ver figura 1.10).

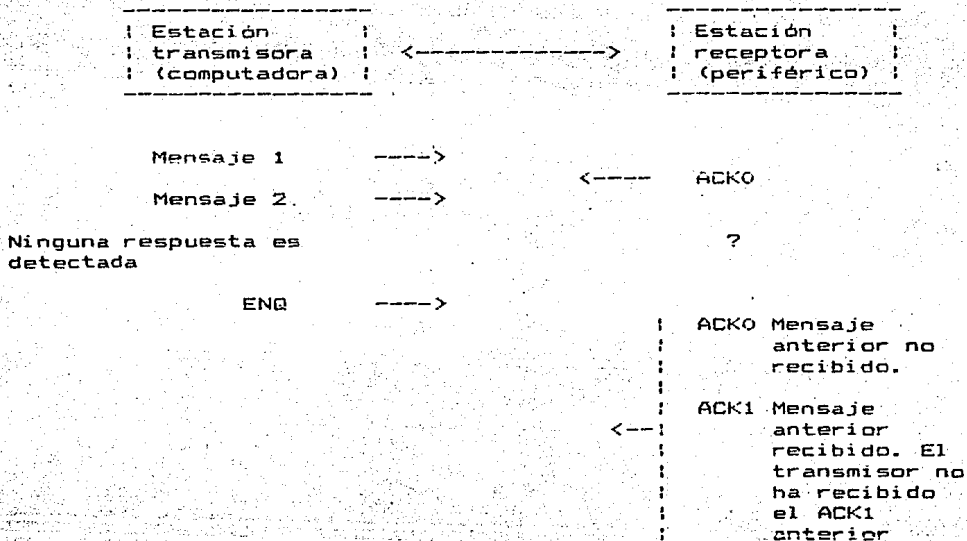


Fig. 1.10 Significado de los ACK alternativos en el BSC.

Si el receptor ha captado el mensaje anterior envía el ACK alternativo (ACK1), y esto significa que solo se ha perdido el reconocimiento; en cambio, si no ha recibido el mensaje, retransmite el mismo ACK (ACK0), y el que transmite puede enviar de nuevo el mensaje perdido.

En la figura 1.11 se ha esquematizado el contenido de los bloques de los datos intercambiados con el protocolo BSC. Un bloque de datos suele contener, por lo general, tres elementos: una cabecera (opcional), el texto propiamente dicho y un elemento

al final para el control de los errores. A estos tres elementos se añaden algunos caracteres especiales:

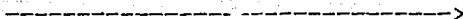
SYN (Synchronous Idle).- Se utiliza para establecer la sincronización entre el transmisor y el receptor.

SOH (Start of Heading).- Indica que lo que sigue es la cabecera del mensaje.

STX (Start of Text).- Indica que lo que sigue es el texto.

ETX (End of Text).- Indica que el texto ha acabado.

#### Sentido de transmisión



Control	ETX	Mensaje	STX	Cabecera	SOH	SYN	SYN
errores							

Fig. 1.11 Formato de las informaciones transmitidas en BSC.

La cabecera contiene un número fijo de caracteres que acostumbra identificar a quién transmite, y a quién debe recibir, y se emplea siempre que en la misma línea de comunicación coexistan más dispositivos. La longitud física de la cabecera hace inútil la presencia de un carácter de fin de cabecera, mientras que el texto necesita caracteres de principio

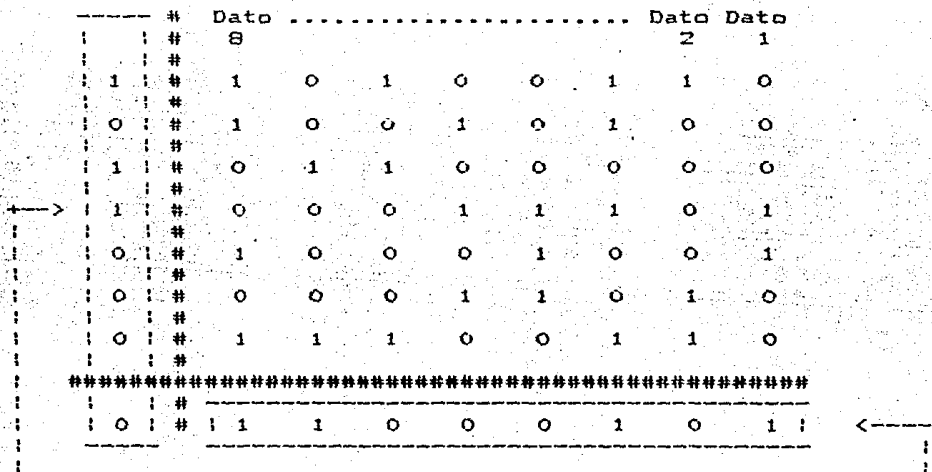
y de final de texto. El bloque para el control de los errores es generado por el transmisor siguiendo oportunos algoritmos. A medida que se toman los datos; el receptor reconstruye el bloque de control de los errores con el mismo algoritmo, y al final compara el bloque reconstruido con el recibido. Si los dos bloques son iguales, el receptor envía la señal ACK (par o impar); si son diferentes, envía la señal NAK para permitir la retransmisión. El bloque para el control de los errores esta construido con el método mostrado en la figura 1.12. Una vez fijado el método de paridad a adoptar (en el caso de la fig. 1.12 se adopta el método impar) se realizan dos tipos de controles:

- Vertical (VRC, Vertical Redundancy Check)
- Horizontal (LRC, Longitudinal Redundancy Check)

El transmisor añade a cada caracter enviado (representado verticalmente en la fig. 1.12) un 1 si el número de bits 1 en el caracter es par o añade un 0 si éste número es impar; por lo tanto, el número completo de bits 1 en cada caracter debe ser impar. Si el receptor descubre que el número de 1 de un caracter es par, detecta un error y corta la transmisión. Este método VRC no es válido cuando el receptor cuenta un número impar de uno pero el caracter recibido no es igual al transmitido (por una doble inversión, por ejemplo). Por lo tanto, se añade el control horizontal (LRC) en el que se analizan todos los bits de modo longitudinal y se agrega un 1 si el número de 1 es par o



añadiendo un 0 si éste número es impar. El control se efectúa para todos los caracteres que constituyen el texto "cabecera" (fig. 1.11). La columna de bits resultante completada con el bit de no paridad (fig. 1.12) es la que se registra en la parte final del control de errores de la fig. 1.11. Si la transmisión es correcta, la secuencia de bits registrados por quien transmite debe ser igual a la reconstruida por el receptor.



Bits añadidos para el control de no paridad horizontal (LRC)

Bits añadidos para el control de no paridad vertical (VRC)

----->  
Sentido de la transmisión

Fig. 1.12 Control de no paridad horizontal (LRC) y vertical (VRC).

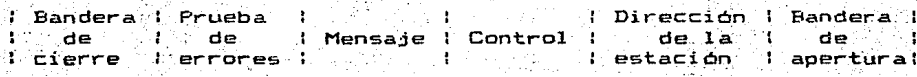
El protocolo BSC, todavía muy usado en las comunicaciones a distancias cortas y largas, es de tipo half-duplex, y por lo tanto no permite el intercambio simultáneo de informaciones en ambos sentidos. Esto significa que en los momentos de tráfico elevado, en las líneas se crean largas esperas, que podrían reducirse sensiblemente si el canal fuese del tipo full-duplex.

#### 1.6.5 Protocolo HDLC.

Este protocolo (High level Data Link Control) fué desarrollado por la ISO (International Standard Organization) y posee una arquitectura que puede albergar comunicaciones half-duplex y full-duplex.

Desde el punto de vista del control del tráfico, el protocolo no hace referencia a unidades transmisoras y receptoras, sino a estaciones primarias y estaciones secundarias: la estación primaria es la que inicia el diálogo y las secundarias son las que responden. Esta esquematización está ligada al tipo de configuración que se quiera adoptar (punto a punto, multipunto, etc.), y no significa necesariamente que la estación secundaria pueda hablar solo cuando es interrogada. En general, el diálogo entre las estaciones puede ser asíncrono, en el sentido de que cada una puede comunicar cuando tiene necesidad.

El formato de las informaciones transmitidas en HDLC se muestra en la Fig. 1.13. El bloque completo se define como TRAMA, y además el mensaje contiene informaciones de control. El mensaje también puede estar ausente de la trama y, en este caso, las informaciones de control sirven para direccionar o para poner en estados conocidos las estaciones primarias y secundarias. Todas las tramas están numeradas en secuencia, y cada una de ellas contiene el estado de las tramas que una estación ha transmitido a otra, así como el número de tramas que quién transmite espera recibir a su vez de la estación receptora. Por lo tanto, la parte de "handshake" es interior al propio protocolo.



Sentido de la transmisión



Fig. 1.13 Formato de las informaciones transmitidas en HDLC.

Los principales campos que aparecen en una trama son los siguientes:

BANDERA DE APERTURA, esta compuesto por una secuencia de bits única en todo el frame y de longitud fija (por ejemplo la secuencia 01111110). La bandera de apertura informa al que recibe que está empezando una trama. Las estaciones secundarias se ponen

en espera de recibir la bandera de apertura después de una dirección de estación.

DIRECCION DE ESTACION CONTROL, identifica el destinatario del mensaje. Permite la eliminación de las tramas duplicadas, omitidos o erróneos. Contiene, entre otros, dos tipos de información: el número de tramas transmitidas (NS) y el número de tramas recibidas (NR). Los valores de NS y NR son diferentes para cada estación. Con referencia al diálogo entre dos estaciones, estos tienen el siguiente significado: el número de trama que esta enviando ahora a esa estación es NS; el número de la próxima trama que espero recibir de esta estación es NR. Cuando una trama es recibida por una estación, esta compara su propio NR con el valor del NS contenido en la trama; si los dos números son iguales, y si no hay errores, la trama se acepta y los estados de NR y NS se actualizan.

Además de NR y NS, el bloque de control contiene informaciones adicionales que permiten transmitir muchas tramas antes de que el receptor de la respuesta de protocolo.

Puede ser de cualquier naturaleza (EBCDIC, ASCII, binario u otro) y tener una longitud cualquiera. Esto se obtiene gracias a la combinación de información contenidas en la dirección de la estación y en el bloque de control: si una estación solo puede hablar en ASCII, a su dirección hay preasociado el código ASCII. Un nivel de seguridad adicional se obtiene especificando en el bloque de control que el mensaje que sigue esta escrito en ASCII.

PRUEBA DE ERRORES, esta construido con métodos escritos en el protocolo BSC, o bien empleando métodos similares. El transmisor envía el propio bloque para la prueba de los errores y el compara este con el calculado que tiene en la trama; si los dos bloques no son iguales, el receptor rechaza la trama y a la primera oportunidad cerrara su transmisión. Como puede observarse, no es necesario interrumpir la comunicación para retransmitir mensajes; la petición de la transmisión (handshake) es interna al propio protocolo, y por esta razón el protocolo HDLC puede definirse de tipo full-duplex. En la figura 1.14 se muestra la filosofía de "handshake" implantada en el protocolo.

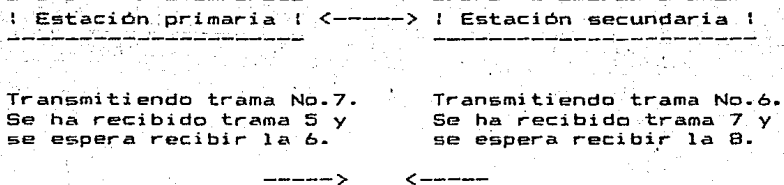


Fig. 1.14 Formato de las informaciones transmitidas en HDCL.

BANDERA DE CIERRE, tiene el mismo formato de la bandera de apertura e identifica el final de la trama transmitida.

El protocolo HDLC constituye hoy en día la base para la realización de redes de ordenador bastante complejas y se emplea para controlar periféricos rápidos (unidades de cinta y disco, instrumentos electrónicos de medida) a cortas distancias (pocos metros). El protocolo es del tipo "byte serie, bit paralelo" y permite conversar a un número máximo de 15 instrumentos a alta velocidad (hasta un millón de caracteres por segundo).

Además de definir las reglas de comunicación, el protocolo IEEE-488 también fija una norma a nivel de interfaz, estableciendo reglas precisas correspondientes a los niveles de tensión, a los conectores y a los cables de conexión. Un cable IEEE-488 está constituido por 16 hilos, 8 de los cuales se emplean para la transmisión de los datos y los otros 8 para el control de los datos transmitidos. Por este motivo se dice que el protocolo es paralelo: un carácter se presenta al receptor de manera simultánea sobre los 8 hilos adecuados para la transmisión de los datos. La conexión de los dispositivos a la línea de comunicación (definida como bus en el protocolo) se muestra en la figura 1.14. Cada dispositivo está identificado por un número de reconocimientos (dirección), variable entre 1 y 15, y cada uno de ellos puede enviar o recibir. Sin embargo, el protocolo establece que en un determinado instante en el bus solo haya un transmisor y uno o más receptores: el bloque de datos que el transmisor envía puede ser recibido por el receptor (o por los receptores)

cuya dirección esta incluida en el bloque transmitido. Un instante después puede cambiar el transmisor, así como pueden cambiar los receptores. En la figura siguiente (Fig. 1.15) se muestra la conexión de los dispositivos en el protocolo IEEE-488.

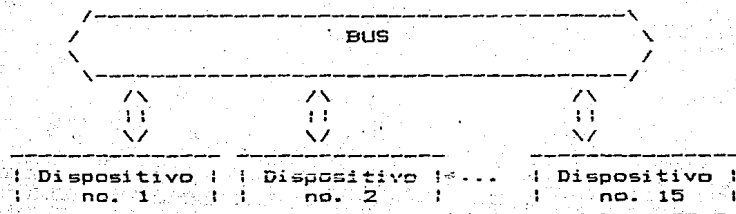


Fig. 1.15 Conexión de dispositivos en el protocolo IEEE-488.

En la figura 1.16 se detalla la conexión paralela de dos dispositivos con la relación de las líneas empleadas.

Las líneas de datos están compuestas por 8 hilos por los que transitan caracteres ASCII en paralelo; 7 hilos se utilizan para la información y el octavo para el control de paridad. Las líneas también conducen los comandos que quieren intercambiar los dispositivos y la dirección de los seleccionados para la escucha.

Las líneas de handshake son tres y pueden emplearse para coordinar la transferencia de informaciones por el bus. La comunicación es asíncrona y la velocidad de transferencia entre el dispositivo emisor y uno o dos dispositivos receptores se

adecua automaticamente a la velocidad del dispositivo mas lento.

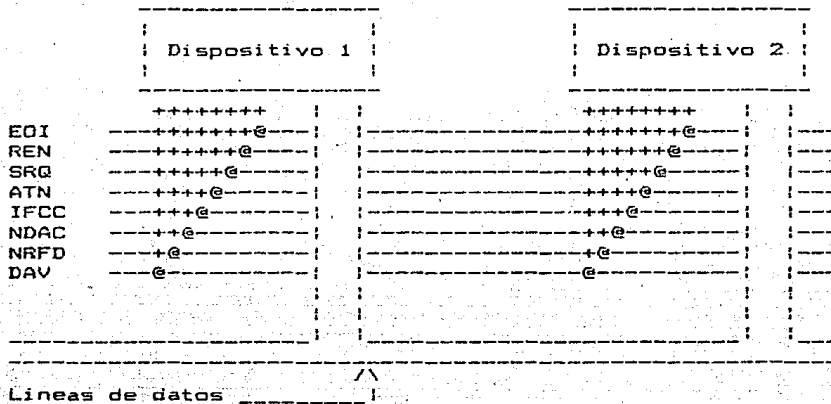


Fig. 1.16 Protocolo IEEE-488. Detalle de las lineas.

Lineas para el control de datos: EOI, REN, SRQ, ATN, IFCC

Lineas de handshake: NDAC, NRFD, DAV.

Las diversas lineas de handshake tienen el significado siguiente:

**DAV:** Data Available, controlada por el que transmite para informar al que recibe que hay datos en el bus.

**NRFD:** Not Ready For Data, controlada por quien recibe para informa al que transmite que uno de los receptores todavia no esta preparado.



**NDAC:** Not Data Accepted, gestionada por el receptor para informar que todos los datos se han recibido y, por lo tanto, no pueden aceptarse otros a menos que se inicie un nuevo ciclo. Esta línea es levantada por el dispositivo de escucha mas lento al final de una transmisión.

Las líneas de control de datos son para ordenar el flujo de informaciones en el bus. El significado de cada una de ellas es el siguiente:

**IFC:** Interfaz Clear, se utiliza para efectuar un reset sobre el bus, poniendolo en un estado de inicio.

**ATN:** Attention, obliga a todos los dispositivos a interpretar el contenido del bus como "comando" (línea alta) o como "dato" (línea baja).

Decir que en el bus hay "comandos" significa que en esta fase se está estableciendo que debe transmitirse o debe recibirse; la dirección del emisor o de los receptores se registra en la línea de datos. Decir que en el bus no hay datos, significa que los dispositivos habilitados pueden intercambiar informaciones.

**SRQ:** Service Request, es la línea que permite el dialogo entre dispositivos bajo interrupcion (interrupt). Cuando se emplea esta línea, uno de los 15 instrumentos conectados al bus asume las funciones de controlador y establece como debe proseguir el

diálogo. La situación que puede imaginarse es la siguiente: hay un diálogo entre emisor y receptor; la línea SRQ pasa a ser alta y eso significa que otro instrumento necesita atención. El controlador interroga a los diversos dispositivos y apenas descubre el que ha levantado la línea, le da la posibilidad de transmitir.

REN: Remote Enable, esta gestionada por los instrumentos que pueden encontrarse en dos estados: local y remoto. Cuando están en local pueden aceptar comandos de un operador que actúa, por ejemplo, sobre un teclado conectado al instrumento; cuando están en remoto pueden aceptar comandos y datos del bus.

EQI: End Or Identify, indica el final de un grupo de informaciones transmitido.

El protocolo IEEE-488 es uno de los eficientes en términos de velocidad de comunicación y flexibilidad de uso. Su empleo está muy difundido en el control de los instrumentos electrónicos y actualmente empieza a difundirse también en el empleo sobre periféricos tradicionales y rápidos. No se utiliza en las comunicaciones a distancia y, por lo tanto, no es adecuado para las redes de ordenadores bastante dispersas.

## 1.7 TECNICAS DE MODULACION.

Las transformaciones digital-analógica y analógica-digital se indican con los términos modulación y demodulación, y se realizan mediante los modems. La palabra modem es la contracción de MÓdulación y DEModulación. La modulación es la transformación de una señal digital en una señal analógica, cuya banda de frecuencias este dentro de la que puede propagar una línea telefónica sin distorsión. En cambio, la demodulación es la recuperación de la señal digital original.

La modulación puede realizarse utilizando diversas técnicas (Fig. 1.17), y se habla según el caso de:

- modulación de amplitud
- modulación de frecuencia
- modulación de fase

En estos tres casos se hace uso de una señal de referencia analógica llamada portadora, generada por un circuito presente en el modem. La modulación de amplitud hace que en la línea haya portadora de acuerdo con un estado lógico (por ejemplo, el estado 1) y no haya portadora en correspondencia con el otro estado lógico (el estado 0).

Como puede observarse en la figura 1.17, la transmisión de

dos estados lógicos 1 consecutivos compone la presencia de la portadora en la línea durante un tiempo más largo que el que se tiene para la transmisión de un solo estado lógico 1.

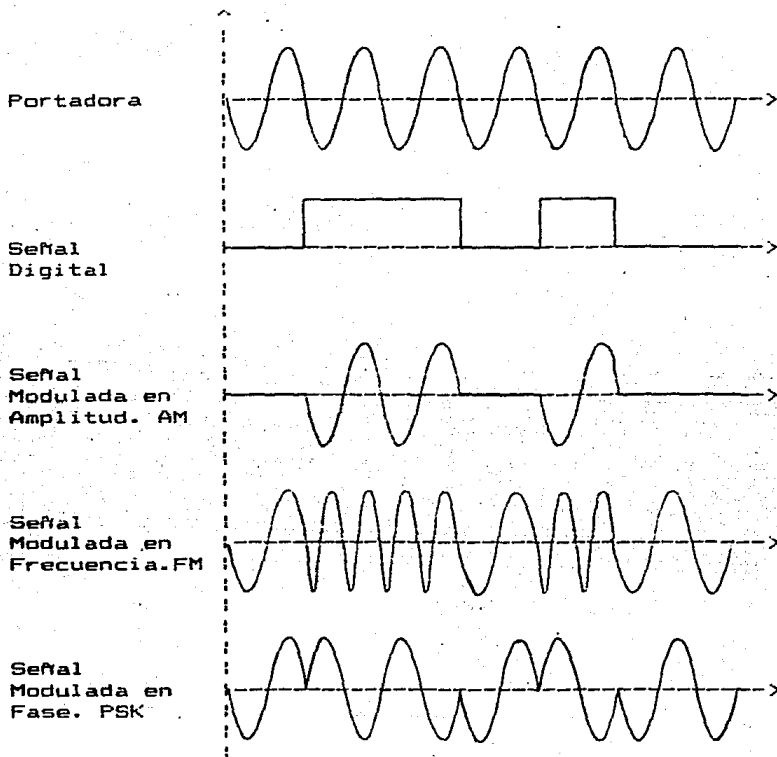


Fig. 1.17 Técnicas de modulación.

Esto significa que para detectar correctamente los momentos que corresponden a los estados lógicos debe emplearse un circuito reloj (clock). La modulación de amplitud acostumbra denominarse con la sigla AM (Amplitude Modulation).

La modulación de frecuencia se basa en la presencia de dos frecuencias en la línea:

- la frecuencia de la portadora para un estado lógico (por ejemplo para el estado 0) y,
- la frecuencia múltiplo de la portadora para el otro estado lógico (estado 1).

La amplitud de la señal es la misma para ambas frecuencias, y por lo tanto para los dos estados digitales que reproducen. La modulación de frecuencia acostumbra denominarse con la sigla FSK (Frequency Shift Key) o FM (Frequency Modulation).

La modulación de fase deja constantes en la línea tanto la amplitud como la frecuencia de la señal. La transmisión de la información se basa en la variación de fase de  $T/4$ . La figura 1.18 aclara el significado de una señal con fase 0 y de una señal defasada  $T/4$ .

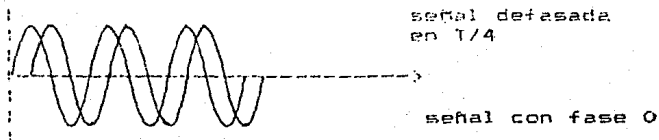


Fig. 1.18 Evidencia de la fase.

La demodulación, o sea la reconstrucción de la señal digital original, emplea circuitos que reproducen la señal de manera diferente según la técnica de modulación adoptada. Normalmente, en un modem hay tanto los circuitos que pueden enviar a la línea señales moduladas como los que pueden reconstruir las señales digitales a partir de la recepción de la señales moduladas. Los modems instalados en los dos extremos de una línea deben ser compatibles, o sea deben trabajar a la misma velocidad y según las mismas técnicas de modulación/demodulación. De hecho existen modems que, si bien trabajan a la misma velocidad, adoptan técnicas de modulación/demodulación diferentes; estos modems se definen equivalentes. Los modems se distinguen también, según la modalidad de transmisión, en sincrónicos y asíncronos. Normalmente, las velocidades de conmutación más elevadas se obtienen con los modems sincrónicos.

Existen algunas diferencias sobre la banda en que pueden trabajar los modems y, para este caso se tiene:

- modems que trabajan por debajo de la banda vocal (hasta 300 Hz)
- modems en la banda local (300 a 3000 Hz)
- modems de banda ancha (a más de 3000 Hz)

En el primer caso, la velocidad de transmisión no va más allá de 150 bps; en el segundo caso se tienen velocidades de 1200

a 2400 bps para los modems asincronos y de 2400 a 19200 bps para los modems sincronos. En el tercer caso se obtienen velocidades superiores, pero es necesario emplear tecnicas de modulaci3n muy sofisticadas, y, por lo tanto, con costos m1s elevados. La clasificaci3n se puede observar en la figura 1.19.

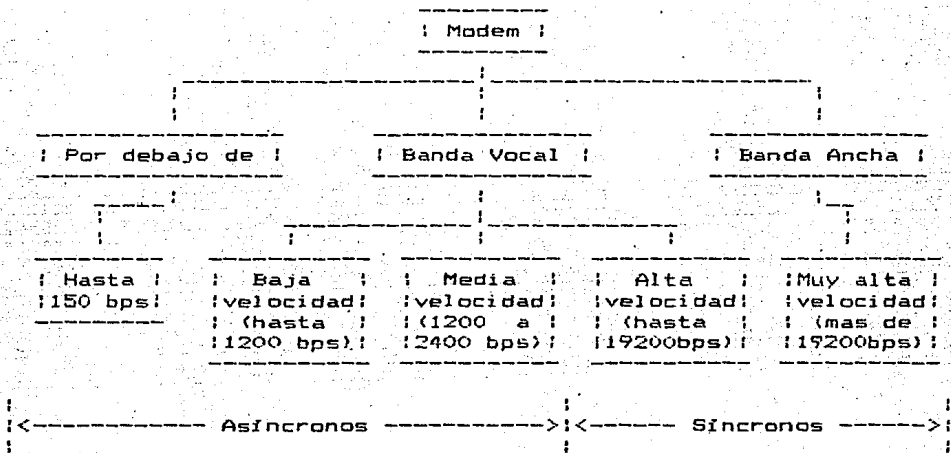


Fig. 1.19 Clasificaci3n de los modems.

## CAPITULO 2

### DISEÑO DE LA INTERFAZ DE CASSETTE

#### 2.1 TEORIA DE FUNCIONAMIENTO DE LA INTERFAZ.

La interfaz de cassette tiene el propósito principal de convertir la información en serie digital, en una señal analógica adecuada para almacenarse en cinta magnética.

Para especificar el número de bits de control y la velocidad de transmisión (300 Bauds), se tomó como referencia el formato CUTS (Computer Users Tape System) en el que se define que un "1" lógico será codificado como ocho ciclos del tono de audio de 2400 Hz, y un "0" lógico como cuatro ciclos de 1200 Hz. Estas frecuencias fueron escogidas para tener un uso adecuado con todos los tipos de grabadoras.

En general la interfaz esta constituida de un modulador y un demodulador de FSK, esto es un modem por corrimiento de frecuencia (Frequency Shift Keying). Cuando se tiene un "1" lógico a la entrada, el modulador produce una onda senoidal a la salida con una frecuencia de 2400 Hz, cuando se tiene un "0" lógico, la frecuencia de la señal de salida es de 1200 Hz.



Cuando un programa ha sido grabado y este es reproducido en la grabadora, la salida de esta se conecta a la entrada del demodulador el cual presentara un "0" lógico a su salida si la frecuencia de la señal de entrada es de 1200 Hz, y un "1" lógico si la frecuencia es de 2400 Hz.

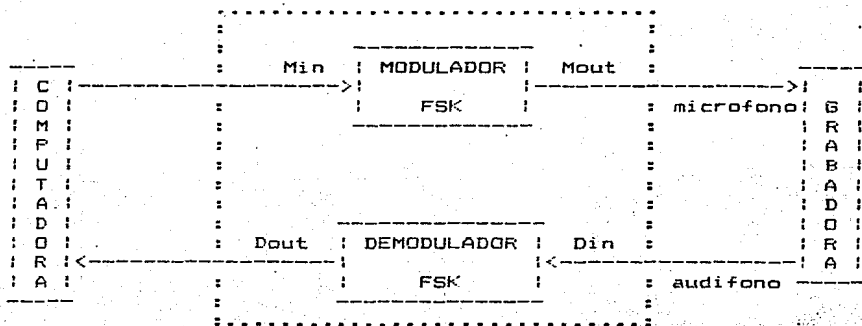
Para el control de la velocidad de transmisión se utiliza software y no hardware. Se pueden crear diferentes rangos de transmisión y sin ningun ajuste, la interfaz puede ser usada hasta una velocidad de 1200 Bauds. Velocidades de transmisión mas altas que 1200 Bauds no son posibles con las frecuencias antes mencionadas, sin embargo, sería deseable ya que a una velocidad de 1200 Bauds tomaria aproximadamente 10 minutos para grabar un programa de 64 Kbytes.

## 2.2 DIAGRAMA DE BLOQUES DEL SISTEMA.

En la figura 2.1 se esquematizan las conexiones del sistema consitituido por la computadora, la interfaz (modulador y demodulador) y la grabadora.

La salida de la computadora (puerto serie) se conecta a la entrada del modulador (Min), la salida del modulador (Mout) se conecta a la entrada de la grabadora (micrófono). La salida de la grabadora (audifono) se conecta a la entrada del demodulador

(Din) y por último la salida del demodulador (Dout) es conectada a la entrada de la computadora (puerto serie).



INTERFAZ

Fig. 2.1 Diagrama de bloques del sistema.

## 2.3 DESCRIPCION DETALLADA Y DISEÑO.

### 2.3.1 Modulador.

Para iniciar el diseño del modulador se considera lo siguiente:

- La señal de entrada debe ser digital.
- La señal de salida debe ser analógica.
- La información debe almacenarse en cinta magnética de cassette.

Para poder almacenar información en cinta magnética, es necesario que dicha información sea en forma de señales analógicas.

Debido a que la señal de entrada por ser digital tiene dos niveles lógicos, es necesario diferenciarlos a la salida de tal forma que se obtengan dos señales analógicas diferentes que correspondan cada una a un nivel. Para lograr esto existen tres métodos de modulación (ver capítulo I, 1.7), de los cuales se utilizará el FSK. Por lo tanto el nivel lógico cero corresponderá a una frecuencia (1200 Hz) y el nivel lógico uno corresponderá a otra frecuencia (2400 Hz), figura 2.2.

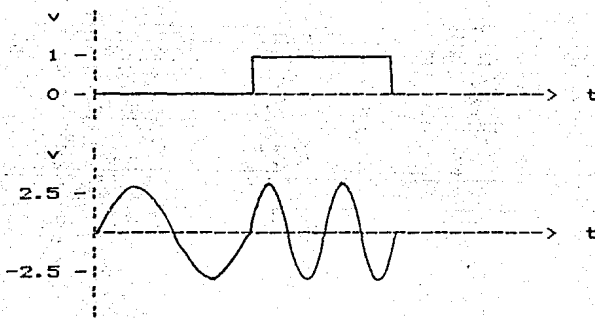


Fig. 2.2

A continuación se muestra a bloques las necesidades para obtener el Modulador así como las opciones posibles.

Se tiene una señal de entrada digital y se desea una señal de salida analógica. La figura 2.3 ilustra lo anterior.

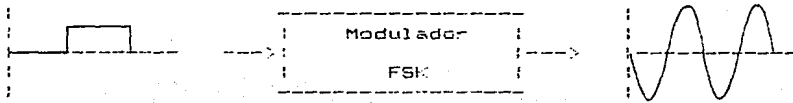


Fig. 2.3.

El procedimiento sugerido para lograrlo es el siguiente:

Lograr que la señal de entrada sea modulada en frecuencia.

Se plantean dos opciones:

- Utilizar un VCO o un Convertidor de Voltaje a Frecuencia (Figura 2.4).



Fig. 2.4

La señal de salida del VCO no es conveniente que entre a la

grabadora, ya que contiene armónicas senoidales que ocasionarían distorsión de la información. Para evitarlo, se tiene que convertir la señal cuadrada a señal senoidal. Se plantean dos opciones:

- Utilizar un Multiplicador Lineal o un Filtro fig.2.5



Fig. 2.5

La señal a la salida del filtro es la ideal para entrar a la grabadora, pero para que sea adecuada requiere que los dispositivos por los cuales se transmita y se reciba esten acoplados en sus impedancias. Se propone utilizar:

- Amplificador Operacional de Ganancia Unitaria fig.2.6

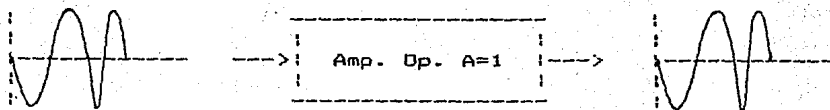


Fig. 2.6

De no hacerse este acoplo de impedancias se puede perder

información, almacenar información errónea o, hasta no almacenarse nada.

Como se puede ver en las opciones planteadas para el realizamiento del Modulador, se pueden utilizar diversos arreglos. Agrupando ciertos bloques, se encontró que en el mercado existe un circuito integrado conocido con el nombre de XR-2206, el cual contiene varios de los bloques propuestos para generar las señales que se desean.

Este circuito integrado XR-2206 es un generador de funciones y tiene las siguientes características:

- Bajo costo
- Existencia en el mercado nacional
- Excelente estabilidad
- Baja distorsión (0.5%)
- Amplio rango de barrido (2000:1)
- Baja sensibilidad a los cambios de alimentación (0.01% /V)

La figura 2.7 muestra el circuito constituido de cuatro bloques funcionales:

- Switches de corriente
- VCO
- Multiplicador
- Amplificador de corriente

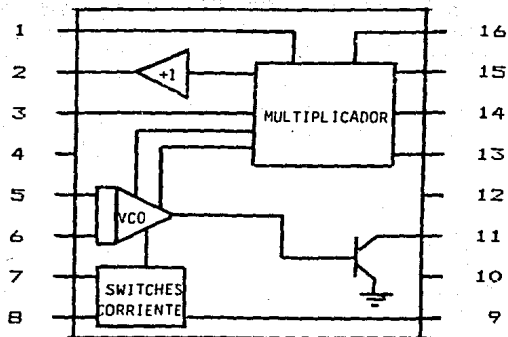


Fig. 2.7 Diagrama a bloques del C.I. XR-2206

**Funcion de las terminales:**

- 1 Entrada de AM
- 2 Salida senoidal o triangular
- 3 Salida del multiplicador
- 4 Voltaje de alimentación (V+)
- 5 Capacitor de tiempo
- 6 Capacitor de tiempo
- 7 Resistencias de tiempo
- 8 Resistencias de tiempo
- 9 Entrada de FSK
- 10 Desvío
- 11 Salida sincronizada
- 12 Tierra
- 13 Ajuste de forma de onda
- 14 Ajuste de forma de onda
- 15 Ajuste de simetría
- 16 Ajuste de simetría

A continuación se muestran los cálculos efectuados para el diseño del Modulador.

De la características del XR-2206 (apéndice A3) se tienen las fórmulas para calcular la frecuencia de operación, dadas por:

$$F = \frac{1}{R_1 C} \qquad F = \frac{1}{R_2 C} \quad \dots (2.1)$$

Se propone  $F_1 = 1200 \text{ Hz}$  y  $F_2 = 2400 \text{ Hz}$

El capacitor será el mismo para ambas frecuencias, por lo tanto se tiene:

$$C = \frac{1}{1200 R_1} = \frac{1}{2400 R_2}$$

$$\frac{R_1}{R_2} = \frac{2400}{1200} = 2$$

$$\Rightarrow R_1 = 2R_2$$

$$\text{Donde: } R_1 = R_5 + P_1 \quad \dots \dots \dots (2.2)$$

$$R_2 = R_6 + P_2 \quad \dots \dots \dots (2.3)$$

$$C_1 = C \quad \dots \dots \dots (2.4)$$

$$\text{Suponiendo: } R_5 = 34 \text{ Kohms}$$

$$R_6 = 17 \text{ Kohms}$$



$$P1 = 10 \text{ Kohms}$$

$$P2 = 5 \text{ Kohms}$$

Substituyendo los valores anteriores en las ecuaciones 2.2 y 2.3 se tiene:

$$R2 = 34K - 10K$$

$$R2 = 24K$$

$$\text{y } R1 = 17K - 5K$$

$$R1 = 12K$$

Pasándolos a valores comerciales se tiene:

$$R2 = 22 \text{ Kohms}$$

$$R1 = 12 \text{ Kohms}$$

Para obtener el valor del capacitor de tiempo C1 substituímos los valores de R1 o R2 en la Ec. 2.1, obteniendo lo siguiente:

$$C1 = \frac{1}{(1200 \text{ Hz}) (34\text{Kohms})}$$

$$C1 = 24.5 \text{ nF}$$

En valor comercial es:

$$C1 = 27 \text{ nF}$$

El valor de la resistencia R7 en las terminales 13 y 14, dada por características (apéndice A.4) es:

$$\underline{R7 = 220 \text{ ohms}}$$

Cálculo de C4.

El valor de la impedancia de entrada de las grabadoras comerciales oscila entre 5 y 10 Kohms. De aquí se parte para formar la malla siguiente a la salida del C.I. XR-2206 (pin 3).

Ver figura 2.8

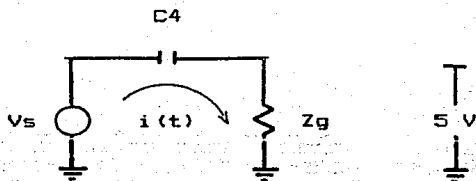


Fig. 2.8

Analizando el circuito de la fig. 2.8 tenemos:

$$V_s = i(t) [ 1/SC4 + Z_g ] \dots \dots \dots (2.5)$$

$$V_g = i(t) Z_g \dots \dots \dots (2.6)$$

Despejando i(t) de la Ec. 2.6 se tiene:

$$i(t) = V_g/Z_g \dots \dots \dots (2.7)$$

Substituyendo 2.7 en 2.5 se tiene:

$$V_s = V_g/Z_g [ 1/SC_4 + Z_g ] \dots \dots \dots (2.8)$$

Despejando C4 de la Ec. 2.8 se tiene que:

$$C_4 = \frac{1}{[ (V_s Z_g / V_g) - Z_g ] S} \dots \dots \dots (2.9)$$

Donde:  $S = 2\pi f$

$$V_s = 5V$$

$$V_g = 4.9V$$

$$Z_g = 7.5 \text{ Kohms}$$

Para una  $f_1 = 1200 \text{ Hz}$  substituyendo en la Ec. 2.9 se tiene:

$$C_4 = \frac{1}{\left( \left[ \frac{(5V)(7.5 K)}{4.9V} \right] - 7.5 K \right) (2 (3.14) 1200 \text{ Hz})}$$

$$C_4 = 0.86 \text{ uF}$$

Para una  $f_2 = 2400 \text{ Hz}$ , substituyendo en la Ec. 2.9 se tiene:

$$C_4 = \frac{1}{\left( \left[ \frac{(5V)(7.5 K)}{4.9V} \right] - 7.5 K \right) (2 (3.14) 2400 \text{ Hz})}$$

$$C_4 = 0.43 \text{ uF}$$

Como se aprecia en el cálculo anterior, se obtienen dos valores positivos de capacitores. Se elige el de valor mas alto, ya que así se obtiene menor impedancia del capacitor a frecuencias mas altas, por lo tanto C4 en valores comerciales es:

$$\underline{\underline{C4 = 1 \mu F}}$$

Para la etapa de entrada del modulador se propone un arreglo de un transistor para que de esta forma el generador de funciones maneje niveles lógicos.

El transistor deberá trabajar como un interruptor, por lo cual sus regiones de operación serán las de corte y saturación.

El arreglo propuesto es el siguiente:

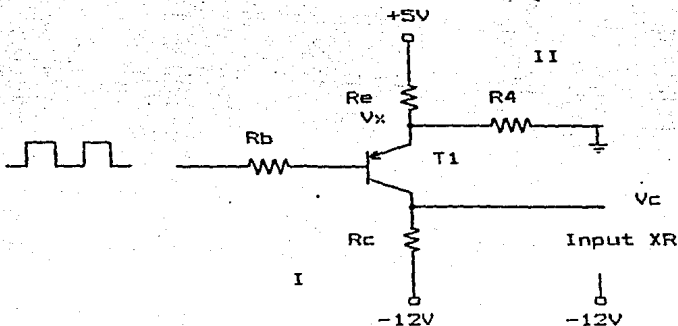


Fig. 2.9 Etapa de entrada del Modulador.

A la salida del C.I XR-2206 se van a obtener las frecuencias de 2400 Hz y 1200 Hz; para esto es necesario que los niveles proporcionados a la entrada sean TTL. Estos niveles son obtenidos mediante el transistor mostrado en la fig. 2.9.

Estos niveles deben estar en los rangos siguientes:

$$- \text{ para } f_h = 2400 \text{ Hz} \quad V_c = -10V \quad \dots \dots \dots (2.10)$$

$$- \text{ para } f_l = 1200 \text{ Hz} \quad V_c = 0.0V \quad \dots \dots \dots (2.11)$$

De la Ec. 2.11 se aprecia que el C.I. XR-2206 debe presentar a su entrada un voltaje aproximado de 0.0V (cero lógico), por lo que el transistor deberá operar en corte, por lo tanto se tendrá lo siguiente:

Para condiciones de corte se tiene que:

$$I_c = 0.0A \quad \dots \dots \dots (2.12)$$

$$V_{ec} = V_x = V_{R4} \quad \dots \dots \dots (2.13)$$

Debido a que el voltaje en el colector debe ser 0.0V referido a -12V, se tiene el siguiente análisis de las mallas I y II:

Considerándose:  $V_x = 2.7V$

De la Ec. 2.13, se tiene:  $V_{ec} = 2.7V$

De la malla II se tiene:

$$5V = ReIe + 2.7V$$

$$ReIe = 2.3V \dots \dots \dots (2.14)$$

Considerando:  $Ie = 0.5mA$  aprox.

Substituyendo este valor en la Ec. 2.14 se tiene que:

$$Re = 2.3V / 0.5mA$$

$$Re = 4.6 \text{ Kohms}$$

En valor comercial:

$$\underline{Re = 4.7 \text{ Kohms}}$$

Así mismo, tenemos que:

$$R4 = 2.7V / 0.5mA$$

$$R4 = 5.4 \text{ Kohms}$$

En valor comercial:

$$\underline{R4 = 5.6 \text{ Kohms}}$$

De la Ec. 2.13 se tiene:

$$Ic = 0.0mA$$

==>  $Vc = 0.0V$  cumpliéndose con la Ec. 2.11

Partiendo de la Ec. 2.10 se tiene la condición de saturación. En este momento en la base del transistor T1 se presenta un 1 lógico (5V), esto implica lo siguiente:

$$V_c = 0.0V$$

Entonces la malla I queda como se muestra en la figura 2.10

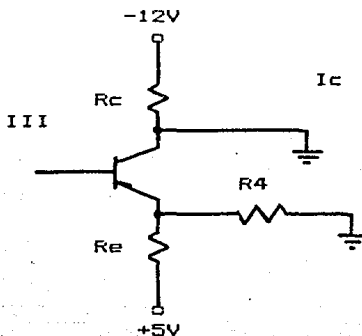


Fig. 2.10

Considerando:  $I_c \text{ max} = 1\text{mA}$

De la malla III se tiene que:

$$-12V = -R_c I_c$$

$$R_c = 12V/1\text{mA}$$

$$\underline{\underline{R_c = 12 \text{ Kohms}}}$$

### 2.3.2 Demodulador

Para iniciar el diseño del demodulador se consideró lo siguiente:

- Señal de entrada analógica.
- Señal de salida digital.

La señal de entrada al demodulador tiene su origen en la información que haya sido almacenada en la cinta magnética de cassette; esta señal alimentada al demodulador tiene una amplitud de 5 V p.p. y una frecuencia de 1200 Hz y 2400 Hz.

La señal de salida del demodulador debe ser digital con niveles de voltaje de 0 y 5 V. Cuando la frecuencia de la señal de entrada es 1200 Hz se deberá obtener a la salida un nivel de voltaje bajo (0 log), y así mismo para una frecuencia alta en la señal de entrada se deberá obtener a la salida un voltaje alto (1 Lóg). En la figura 2.11 se observa la correspondencia entre la señal de entrada y de salida del demodulador.

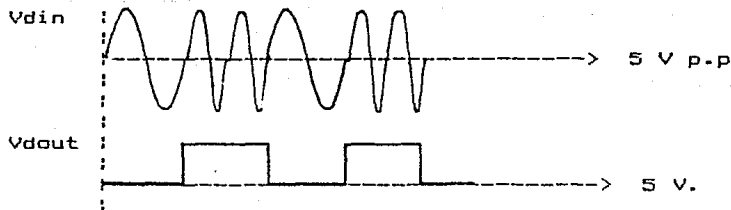


Fig. 2.11



La figura 2.12 muestra de forma simplificada el bloque del demodulador.

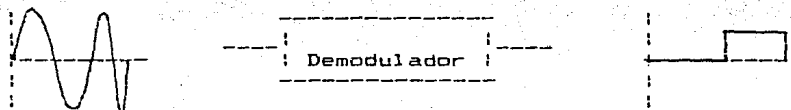


Fig. 2.12

La figura 2.13 muestra detalladamente el diagrama a bloques del demodulador de la figura 2.12.

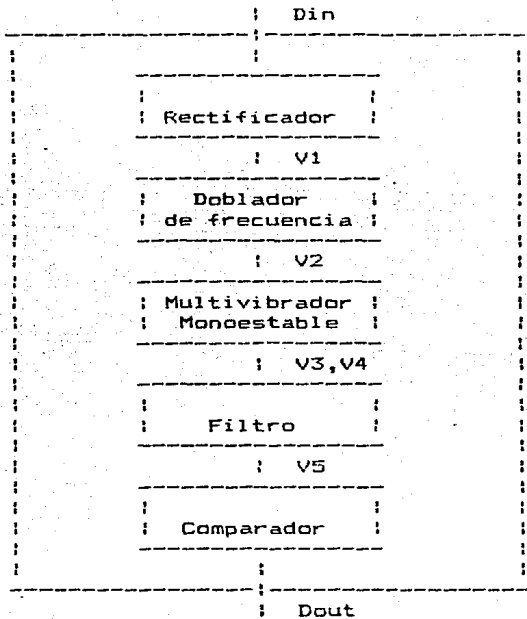


Fig. 2.13

## BLOQUE RECTIFICADOR

=====

Este primer bloque tiene como objeto rectificar y filtrar la señal de entrada proveniente de la cinta magnética de cassette.

El circuito correspondiente a este bloque es el mostrado en la figura 2.14.

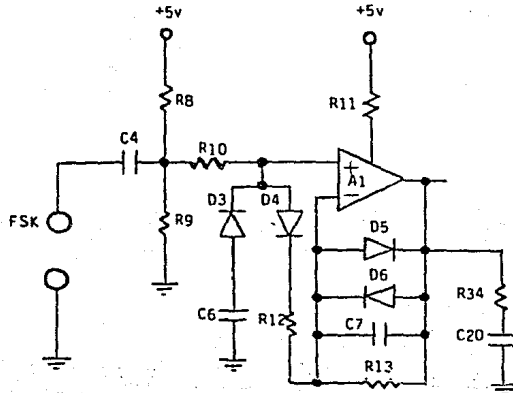


Fig. 2.14

### CÁLCULO DE R13

La resistencia de realimentación está dada por la ecuación siguiente:

$$R13 = Avc * Rin \dots\dots\dots (2.15)$$

donde

$Rin = 20 \text{ Kohm}$ , impedancia de entrada de A1 (apéndice A6).

por otra parte, debido a que éste bloque solo va a rectificar la ganancia de A1 = 1, es decir:

$$A_{vc} = 1$$

substituyendo en la ec. 2.15, tenemos:

$$R_{13} = 1(20\text{Kohm})$$

$$R_{13} = 20 \text{ Kohm.}$$

en valor comercial:

$$\underline{\underline{R_{13} = 22 \text{ Kohm}}}$$

#### Cálculo de C5

El capacitor C5, el cual actúa como aislante a la entrada y a la vez reduce los errores debidos al voltaje de entrada offset, se calcula de acuerdo a la fórmula siguiente para rectificadores:

$$C5 = \frac{B}{(211)(f_c)(R_{13})} \dots\dots\dots (2.16)$$

donde

$$B = \{f_c/f_m\}^{1/2} \dots\dots\dots (2.17)$$

$$f_m = 1 \text{ KHz}$$

$$f_c = f_{c1,2}$$

$$f_{c1} = 2400 \text{ Hz}$$

$$f_{c2} = 1200 \text{ Hz}$$

substituyendo en la ec. 2.17, tenemos:

para  $f_{c1}$

$$B_1 = \{2400/1\}^{1/2}$$

$$B1 = 48.98$$

para  $f_{c2}$

$$B2 = \left\{ \frac{1200}{1} \right\}^{1/2}$$

$$B2 = 34.64$$

substituyendo B1 en la ec. 2.16, tenemos:

$$C5 = \frac{48.98}{2(3.1415)(2400\text{Hz})(22\text{Kohm})}$$

$$C5 = 147.6 \text{ nF}$$

substituyendo B2 en la ec. 2.16, tenemos:

$$C5 = \frac{34.64}{2(3.1415)(1200\text{Hz})(22\text{Kohm})}$$

$$C5 = 208.8 \text{ nF}$$

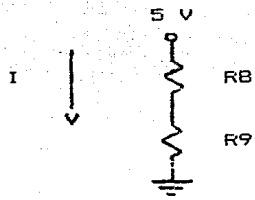
De los dos valores obtenidos de C5 se selecciona el de 208.8 nF con el fin de asegurar mejor aislamiento así como también reducción de errores offset.

En valor comercial

$$C5 = \underline{\underline{180 \text{ nF}}}$$

Cálculo de R8 y R9

Estas resistencias tienen el propósito de establecer un voltaje de 2.5 V referenciado a tierra en la entrada no inversora de A1. Para esto, se analiza la malla siguiente:



resolviendo la malla, tenemos:

$$5 \text{ V} = (R_B + R_9)I \dots\dots\dots (2.18)$$

pero

$$R_B(I) = R_9(I)$$

donde

$$I = 0.25 \text{ mA}$$

substituyendo en la ec. 2.18, tenemos:

$$R_B = 2.5\text{V}/0.25\text{mA}$$

$$\underline{\underline{R_B = 10 \text{ Kohm}}}$$

por lo tanto

$$\underline{\underline{R_9 = 10 \text{ Kohm}}}$$

Cálculo de R10

Para éste bloque rectificador, la resistencia de entrada R10 está dada por la impedancia de entrada de A1 (apéndice A6).

$$\underline{\underline{R_{10} = 18 \text{ Kohm}}}$$

### Cálculo de R11

del apéndice A7, se tiene que

$$R_{11} = \frac{V_{CC} - V_{11}}{I_{11}} \dots\dots\dots (2.19)$$

donde

$$V_{CC} = 5 \text{ V}$$

$$V_{11} = 0.628 \text{ V}$$

$$I_{11} = 200 \text{ uA}$$

substituyendo en la ec. 2.19, tenemos:

$$R_{11} = \frac{5 \text{ V} - 0.628 \text{ V}}{200 \text{ uA}}$$

$$R_{11} = 21.8 \text{ Kohm}$$

en valor comercial

$$\underline{\underline{R_{11} = 22 \text{ Kohm}}}$$

### BLOQUE DOBLADOR DE FRECUENCIA

El circuito correspondiente a este bloque es el mostrado en la figura 2.15. Como se observa en la figura 2.15, este circuito está constituido por un arreglo de dos inversores y un amplificador diferencial implementado con un transistor. El objeto de manejar los dos inversores es para generar dos señales de la misma forma de onda defasadas 180° entre si. Estas dos

señales son alimentadas al diferencial generando en esta forma una sola señal con el doble de la frecuencia de la señal original.

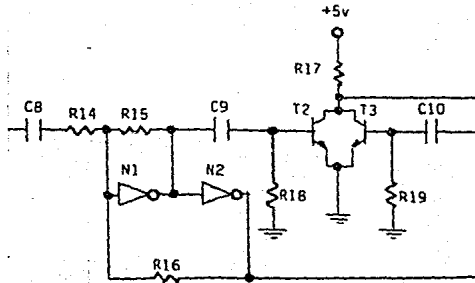


Fig. 2.15

Debido a la naturaleza de las señales que alimentan al amplificador diferencial implica que los transistores que lo forman deben de trabajar en la zona de corte y saturación. Para un transistor que trabaja en la zona de saturación sus condiciones de operación son las siguientes:

$$V_{ce} = V_{ce \text{ sat}} = 0.2 \text{ V}$$

$$I_c = I_{c \text{ sat}} = \frac{V_{cc} - V_{ce \text{ sat}}}{R_{17}} \quad \dots (2.20)$$

### Calculo de R17

Despejando R17 de la ecuación 2.20, tenemos:

$$R17 = \frac{V_{cc} - V_{ce \text{ sat}}}{I_c \text{ sat}} \dots\dots\dots (2.21)$$

donde

$$V_{cc} = 5 \text{ V}$$

$$V_{ce \text{ sat}} = 0.2 \text{ V}$$

$$I_c \text{ sat} = 3 \text{ mA}$$

substituyendo en la ec. 2.20, tenemos

$$R17 = \frac{5 \text{ V} - 0.2 \text{ V}}{3 \text{ mA}}$$

$$R17 = 1.6 \text{ Kohm}$$

en valor comercial

$$\underline{R17 = 1.5 \text{ Kohm}}$$

Se consideran ahora las condiciones de corte de los transistores, teniendose lo siguiente:

$$V_{ce} = V_{ce \text{ sat}} = V_{cc}$$

$$I_c = I_c \text{ corte} = 0$$

Las dos condiciones anteriores conducen a lo siguiente:

$$V_{be} = R18(I_b) \dots\dots\dots (2.22)$$

pero

$$I_b = I_c/\beta \dots\dots\dots (2.23)$$



despejando  $R_{18}$  de la ec. 2.22 y substituyendo  $I_b$  de la ec. 2.23, tenemos que

$$R_{18} = V_{be} \frac{\beta}{I_c} = 0.7 \text{ V} \frac{50}{3 \text{ mA}}$$

$$R_{18} = 11.6667 \text{ Kohm}$$

en valor comercial

$$\underline{R_{18} = 12 \text{ Kohm}}$$

De la figura 2.15 se observa que  $R_{18} = R_{19}$ , por lo tanto se tiene lo siguiente:

$$\underline{R_{19} = 12 \text{ Kohm}}$$

### Cálculo de $C_9$ y $C_{10}$

De la figura 2.16 se hace el siguiente análisis.

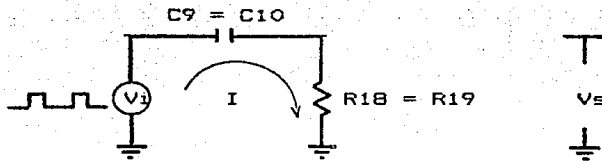


Fig. 2.16

$$V_i = I(1/sC_9 + R_{18}) \dots\dots\dots (2.24)$$

despejando I de la ec. 2.24, se tiene

$$I = \frac{V_i}{1/sC_9 + R_{18}} \dots\dots\dots (2.25)$$

tambi3n se tiene de la figura 2.16 lo siguiente

$$V_s = R_{18}(I) \dots\dots\dots (2.26)$$

substituyendo la ec. 2.25 en la ec. 2.26

$$V_s = R_{18} \frac{V_i}{1/sC_9 + R_{18}} \dots\dots\dots (2.27)$$

$$\frac{V_s}{V_i} = \frac{j\omega(R_{18})(C_9)}{1 + j\omega(R_{18})(C_9)} \dots\dots\dots (2.28)$$

La frecuencia de corte de la ecuaci3n 2.28 es la siguiente

$$1 + j\omega(R_{18})(C_9) = 0 \dots\dots\dots (2.29)$$

despejando  $\omega$ , se tiene

$$\omega = \frac{-1}{R_{18}(C_9)} \dots\dots\dots (2.30)$$

donde

$$\omega = 2\pi f$$

substituyendo el valor de  $\omega$  en la ec. 2.30, se tiene

$$2\pi f = \frac{-1}{R_{18}(C_9)} \dots\dots\dots (2.31)$$

despejando f de la ec. 2.31, tenemos

$$f = \frac{-1}{2II(R1B)(C9)} \dots\dots\dots (2.32)$$

despejando C9 de la ec. 2.32, tenemos

$$C9 = \frac{1}{2II(R1B)(f)} \dots\dots\dots (2.33)$$

El valor de f es de 1200 Hz y 2400 Hz, pero estos valores se tomarán un década después ya que la etapa que se está analizando para el cálculo de C9 se trata de un derivador, por lo tanto en la ecuación 2.33 se substituirá un valor de f=12,000 y otro valor de f=24,000 Hz.

substituyendo f = 12,000 Hz en la ec. 2.33, tenemos

$$C9 = \frac{1}{2(3.1415)(12K)(12000Hz)}$$

$$C9 = 1 \text{ nF}$$

substituyendo f = 24,000 Hz en la ec. 2.33, tenemos

$$C9 = \frac{1}{2(3.1415)(12K)(24000Hz)}$$

$$C9 = 0.55 \text{ nF}$$

de los dos valores obtenidos se escoge el más alto, es decir:

$$C9 = 1.0 \text{ nF}$$

pero  $C9 = C10$

por lo tanto

$$\underline{\underline{C10 = 1.0 \text{ nF}}}$$

#### Cálculo de R14

Esta resistencia limita el paso de corriente a los inversores, los cuales tienen una corriente de entrada máxima de 135 uA (apéndice A12) con lo que se tiene que:

$$R14 = V_{\text{inv}} / I_{\text{max inv}} \dots\dots\dots (2.33)$$

donde

$$V_{\text{inv}} = 2.0 \text{ V} \quad (\text{nivel de voltaje a la entrada de los inversores})$$

$$I_{\text{max inv}} = 135 \text{ uA} \quad (\text{IDEM})$$

substituyendo en la ec. 2.33

$$R14 = 2.0 \text{ V} / 135 \text{ uA}$$

$$R14 = 14.8 \text{ Kohm}$$

en valor comercial

$$\underline{\underline{R14 = 15 \text{ Kohm}}}$$

## BLOQUE MULTIVIBRADOR MONOESTABLE

=====

Este bloque tiene como propósito el de convertir la señal generada por el bloque doblador de frecuencia en un tren de pulsos de ancho constante. La circuitería correspondiente a este bloque se muestra en la figura 2.17.

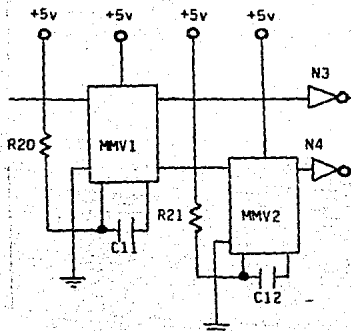


Fig. 2.17

### Cálculo de R20 y C11

Para el cálculo de R20 y C11, en este monoestable se establecen los parámetros siguientes de acuerdo a las necesidades del ancho del pulso a la salida, es decir:

$$t_w = 104.16 \text{ uSeg (ancho de pulso a la salida)}$$

Se selecciona el valor de C11, es decir:

$$\underline{C11 = 10 \text{ nF}}$$

y con este valor seleccionado y con el apéndice A22, se tiene la siguiente expresión:

$$t_w = 0.45(R20)(C11) \dots\dots\dots (2.34)$$

despejando R20

$$R20 = \frac{t_w}{0.45(C11)}$$

substituyendo

$$R20 = \frac{104.16 \text{ useg}}{0.45(10\text{nF})}$$

$$R20 = 23.15 \text{ Kohm}$$

en valor comercial

$$\underline{R20 = 22 \text{ Kohm}}$$

### Cálculo de R21 y C12

La selección de éstos dos componentes proveerá un ancho de pulso que tenderá a cero; el objeto de generarla es la de utilizarla como señal de control del siguiente bloque. El ancho de este pulso será aproximadamente 100 veces más pequeño que el ancho del pulso anterior.

De las consideraciones anteriores se tiene que:

$$t_w = 1100 \text{ nSeg}$$

Considerandose nuevamente el valor del capacitor, tenemos

$$\underline{C12 = 150 \text{ pF}}$$

Con estos dos valores se obtiene gráficamente el valor de R21 (apéndice A22), es decir:

$$\underline{R21 = 22 \text{ Kohm}}$$

#### BLOQUE DE FILTRO

En este bloque, como se muestra en la figura 2.18, la función primordial es la trabajar como filtro pasabanda.

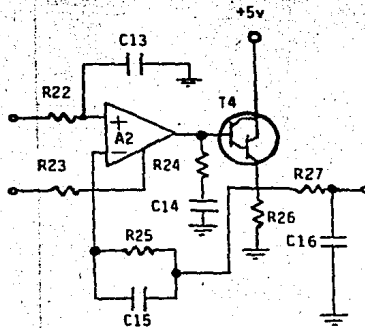


Fig. 2.18

### Cálculo de R22 y C13

El valor de R22 se establece en base a la impedancia de entrada de A2 (apéndice A7).

Esto implica que:

$$\underline{R22 = 22 \text{ Kohm}}$$

El valor de C13 esta definido por el ancho del pulso de la señal proporcionada por MMV1, es decir:

$$t_w = 200 \text{ } \mu\text{seg}$$

por lo tanto:

$$C13 = t_w/R22 \dots\dots\dots (2.35)$$

substituyendo

$$C13 = 200\mu\text{s}/22\text{K}$$

$$C13 = 9.1 \text{ nF}$$

en valor comercial

$$\underline{C13 = 10 \text{ nF}}$$

### Cálculo de R23

Con el fin de obtener máxima corriente de polarización para el control de A2, se tiene que del apéndice A6:



$$V_{abc} = 700 \text{ mV}$$

$$I_{abc} = 380 \text{ uA}$$

donde

$$R_{23} = \frac{V_{cc} - V_{abc}}{I_{abc}} \dots\dots\dots (2.36)$$

sustituyendo

$$R_{23} = \frac{5 \text{ V} - 0.7 \text{ V}}{380 \text{ uA}}$$

$$R_{23} = 11.3 \text{ Kohm}$$

en valor comercial

$$\underline{R_{23} = 12 \text{ Kohm}}$$

### Cálculo de R27 y C16

Analizando la malla de estos dos componentes se llega a la ec. siguiente:

$$V_{(C16)} = \frac{V_{(R27)}}{R_{27}(sC16) + 1} \dots\dots\dots (2.37)$$

donde la frecuencia de corte de la ec. 2.37 es:

$$R_{27}(sC16) + 1 = 0 \dots\dots\dots (2.38)$$

despejando C16 de la ec. 2.38

$$C16 = \frac{-1}{j\omega(R27)} \dots\dots\dots (2.39)$$

pero

$$\omega = 2\pi f$$

substituyendo  $\omega$  en la ec. 2.39, tenemos

$$C16 = \frac{-1}{2\pi f R27}$$

se considera el siguiente valor de R27:

$$R27 = 22 \text{ Kohm}$$

substituyendo

$$C16 = \frac{-1}{2(3.1415)(22K)(4200Hz)}$$

$$C16 = 1.722 \text{ nF}$$

en valor comercial

$$C16 = 1.8 \text{ nF}$$

#### Cálculo de R26

La corriente proporcionada por A2 a la salida es de:

$$I_{out} = 9.09 \times 10^{-3} \text{ Amp.}$$

a su vez, esta corriente  $I_{out} = I_{base}$  de T4

por lo tanto la corriente proporcionada por el transistor darlington esta dada por la siguiente ecuación:

$$I_e = B I_b \dots\dots\dots (2.40)$$

donde

$$B = 10,000 \text{ (apendice A23)}$$

substituyendo en la ec. 2.40

$$I_e = (10000) (9.09 \times 10^{-13} \text{ Amp})$$

$$I_e = 90.9 \text{ uA}$$

por otro lado la resistencia R26 mantiene un voltaje de referencia de 2.0 V en la entrada inversora de A2, por lo que se tiene lo siguiente:

$$R_{26} = V_{ref}/I_e \dots\dots\dots (2.41)$$

substituyendo

$$R_{26} = 2.0V/90.9\mu A$$

$$\underline{\underline{R_{26} = 22 \text{ Kohm}}}$$

Cálculo de R25 y C15

Esta red constituida por R25 y C15 constituyen el filtro pasa altas y esta definido por la ecuación siguiente:

$$f = \frac{1}{2\pi f (R_{26}) (C_{15})} \dots\dots\dots (2.42)$$

donde

$$f = 4800 \text{ Hz}$$

considerandose

$$\underline{R26 = 27 \text{ Kohm}}$$

despejando C15 de la ec. 2.42

$$C15 = \frac{1}{2(3.1415)(4800\text{Hz})(27\text{K})}$$

$$C15 = 1.23 \text{ nF}$$

en valor comercial

$$\underline{C15 = 1.0 \text{ nF}}$$

#### BLOQUE COMPARADOR

Este último bloque tiene la función de convertir la señal a niveles TTL de tal forma que ésta pueda ser reproducida en la microcomputadora. La siguiente figura muestra el circuito de este bloque.

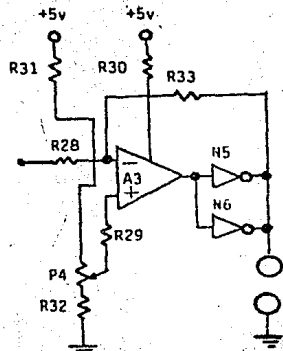


Fig. 2.19

### Cálculo de R2B y R33

La ganancia de voltaje de este circuito se obtiene de las ecuaciones de un amplificador operacional inversor, es decir: de la fig. 2.19

$$V_i = R_{2B}(I_{2B}) + V_{id} + V_{ref} \dots\dots\dots (2.43)$$

$$V_{out} = -R_{33}(I_{33}) + V_{id} + V_{ref} \dots\dots\dots (2.44)$$

donde

$V_{id} = 0$  para un Amp. Op. ideal

$I_{2B} = I_{33}$  ya que la resistencia de entrada es infinita

despejando  $I_{2B}$  e  $I_{33}$  de 2.43 y 2.44 respectivamente:

$$I_{2B} = \frac{V_i - V_{ref}}{R_{2B}} \dots\dots\dots (2.45)$$

$$I_{33} = \frac{-[V_{out} - V_{ref}]}{R_{33}} \dots\dots\dots (2.46)$$

igualando las ecs. 2.45 y 2.46

$$\frac{V_i - V_{ref}}{R_{2B}} = \frac{-[V_{out} - V_{ref}]}{R_{33}}$$

pero

$$V_{ref\ min} = 0$$

por tanto

$$\frac{V_i}{R_{2B}} = \frac{-V_{out}}{R_{33}} \dots\dots\dots (2.47)$$

Reacomodando términos

$$A_v = \frac{V_{out}}{V_i} = \frac{-R_{33}}{R_{28}} \dots\dots\dots (2.48)$$

por lo tanto

$$A_v = \frac{-R_{33}}{R_{28}} \dots\dots\dots (2.49)$$

considerandose

$$\underline{R_{28} = 100 \text{ Kohm}}$$

y una ganancia de voltaje de 40

substituyendo en la ec. 2.49, tenemos

$$R_{33} = 40(100K)$$

$$R_{33} = 4.0 \text{ Mohm}$$

en valor comercial

$$\underline{R_{33} = 3.9 \text{ Mohm}}$$

Cálculo de R29, R31, R32 y P4

El cálculo de éstos componentes fué considerado bajo los puntos siguientes:

- corriente de entrada del Amp. Op. y
- voltaje de referencia

de la figura 2.19 tenemos que:

$$5 \text{ V} = R_x (I_x) \dots\dots\dots (2.50)$$

donde

$$R_x = R_{31} + P_4 + R_{32} \dots\dots\dots (2.51)$$

$$I_x = 1 \text{ mA} \text{ (corriente de entrada del Amp. Op.)}$$

substituyendo en la ec. 2.50, tenemos

$$R_x = 5\text{V}/1\text{mA}$$

$$R_x = 5 \text{ Kohm}$$

de acuerdo a este valor de  $R_x = 5 \text{ Kohm}$ , se tiene que:

$$\underline{R_{31} = 2.7 \text{ Kohm}}$$

$$\underline{R_{32} = 470 \text{ ohm}}$$

y de acuerdo a las dos primeras consideraciones se tiene que:

$$\underline{P_4 = 1 \text{ Kohm}}$$

Como medida de protección y considerando que la impedancia de entrada del amplificador operacional tiende a infinito se tiene que:

$$\underline{R_{29} = 220 \text{ Kohm}}$$

Cálculo de R30

del apéndice A6, se tiene que:

$$V_{abc} = 600 \text{ mV}$$

$$I_{abc} = 9 \text{ uA}$$

y de la ecuación siguiente

$$R_{30} = \frac{V_{cc} - V_{abc}}{I_{abc}} \dots\dots\dots (2.52)$$

substituyendo

$$R_{30} = \frac{5 \text{ V} - 0.6 \text{ V}}{9 \text{ uA}}$$

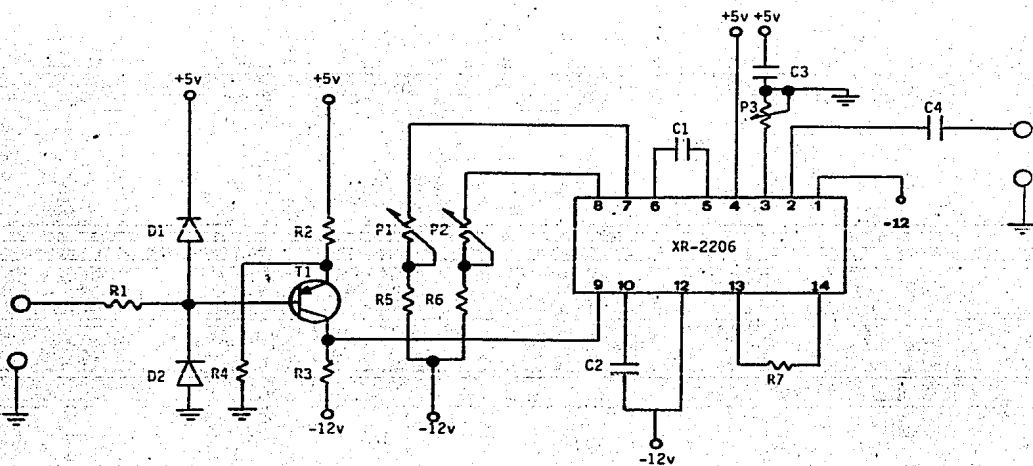
$$R_{30} = 488.88 \text{ Kohm}$$

en valor comercial

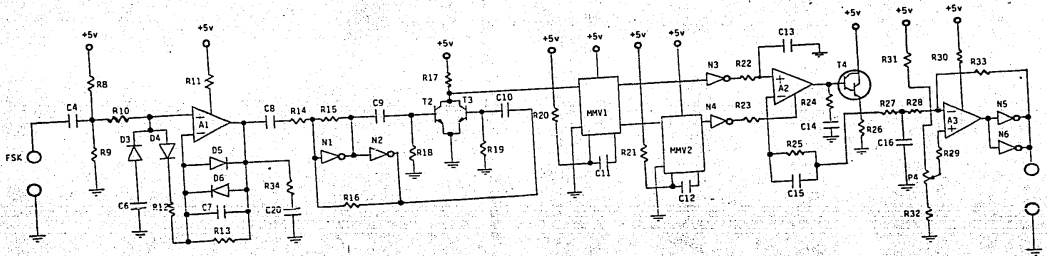
$$\underline{\underline{R_{30} = 470 \text{ Kohm}}}$$



## 2.4 DIAGRAMA ELECTRONICO



MODULADOR



DEMODULADOR

## CAPITULO III

### CONSTRUCCION DE LA INTERFAZ DE CASSETTE

La última etapa de este trabajo fué la construcción de la interfaz de cassette.

Esta parte del trabajo incluye la construcción del circuito impreso, así como la disposición de los componentes.

#### 3.1 CONSTRUCCION DEL CIRCUITO IMPRESO

La construcción del circuito impreso se llevó a cabo de la forma siguiente:

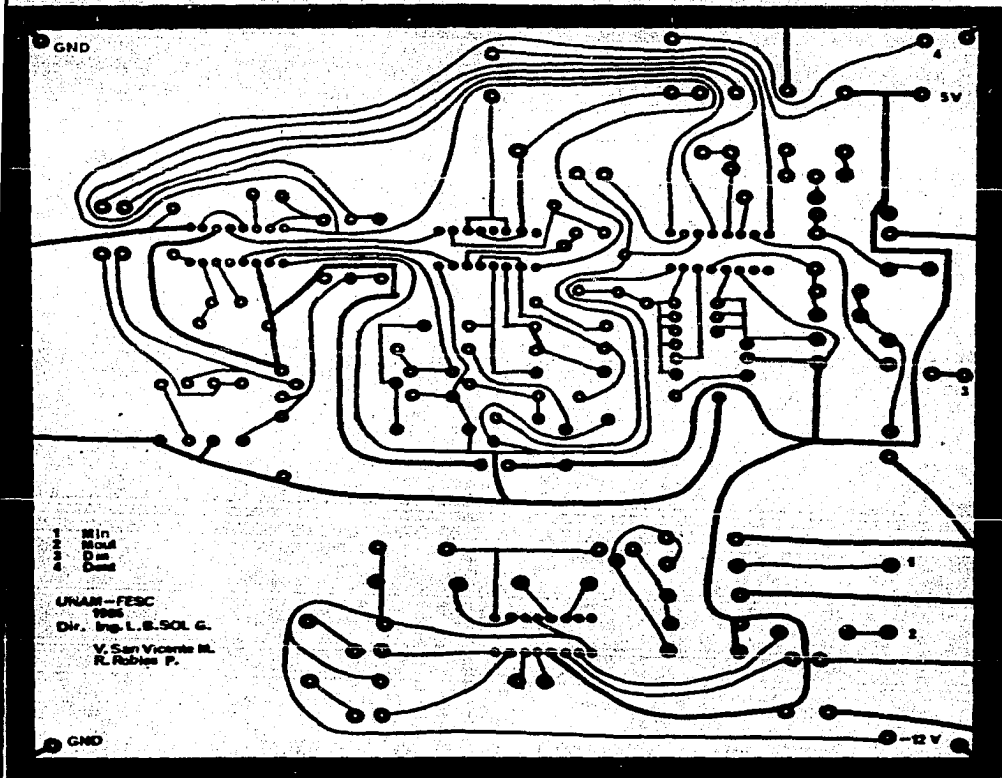
- 1.- Se elabora la serigrafía del circuito dibujando en papel la disposición que tendrán los componentes en la tarjeta, circundando a los mismos con la tierra para evitar interferencias en el circuito resultante.
- 2.- Se interconectan todos los componentes para obtener de esta forma el circuito positivo.
- 3.- Se dibuja en una hoja aparte la interconexión de los componentes omitiendo a los mismos de tal forma que en esta hoja sólo se observen las líneas de interconexión.
- 4.- Se calcan en una transparencia (acetato) las interconexiones realizadas en el punto 3 mediante un

material para artes gráficas llamado E: hop en color negro. Este material pegado sobre la transparencia constituye lo que serán las pistas del circuito. A ésta transparencia (acetato) se le llama positivo (Fig. 3.1)

5.- El positivo así obtenido se envió a una compañía especializada en elaboración de circuitos impresos con el propósito de obtener buena calidad en material fibra de vidrio.

6.- Se montan y soldan los componentes en la tarjeta en el orden siguiente:

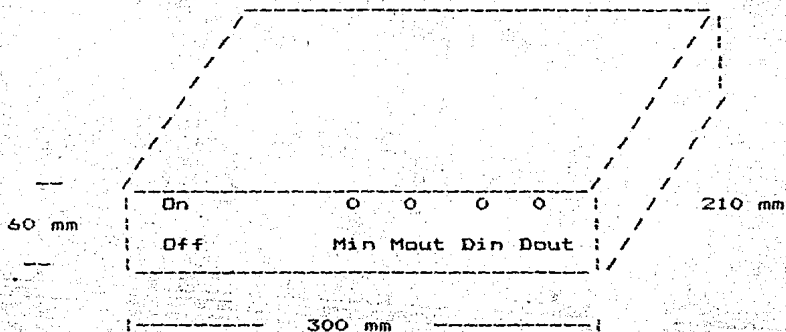
- Resistencias
- Capacitores
- Bases transistores
- Bases circuitos integrados
- Puentes
- Transistores
- Circuitos integrados.



POSITIVO

Fig. 3.1

### 3.2 DIMENSIONES DEL CHASIS



### 3.3 COSTO TOTAL DE LA INTERFAZ DE CASSETTE

Todos los componentes utilizados en la construcción de la interfaz de cassette fueron:

CANTIDAD	DESCRIPCION	PRECIO UNITARIO	PRECIO TOTAL
34	Resistencia 1/2 W	\$6.00	\$204.00
6	Diodos	\$35.00	\$210.00
1	Diodos emisores luz	\$40.00	\$40.00
4	Potenciómetros	\$850.00	\$3400.00
1	Capacitor 100pF	\$39.00	\$39.00
1	Capacitor 150pF	\$24.00	\$24.00
1	Capacitor 56nF	\$55.00	\$55.00
1	Capacitor 3.3nF	\$54.00	\$54.00
2	Capacitor 10nF	\$37.00	\$77.00
3	Capacitor 1nF	\$25.00	\$75.00
1	Capacitor 180nF	\$25.00	\$25.00
2	Capacitor 10uF	\$36.00	\$72.00
1	Capacitor 1.5uF	\$36.00	\$36.00
1	Capacitor 47uF	\$40.00	\$40.00
1	Capacitor 4.7nF	\$37.00	\$37.00
2	Capacitores 100nF	\$46.00	\$92.00
1	Capacitor 1.5nF	\$22.00	\$22.00
1	Capacitor 1uF	\$40.00	\$40.00
1	Capacitor 27nF	\$35.00	\$35.00
1	Transistor BC557	\$94.00	\$94.00
2	Transistor BC547	\$140.00	\$280.00
1	Transistor BC517	\$120.00	\$120.00
1	C.I. XR 2202	\$3,300.00	\$3,300.00
1	C.I. 4049	\$432.00	\$432.00
1	C.I. 74123	\$690.00	\$690.00
1	C.I. CA3060	\$600.00	\$600.00
4	Base Transistor	\$37.00	\$148.00
4	Base C.I.	\$140.00	\$560.00
1	Tarjeta Impreso	\$9,639.00	\$9,639.00
-----			
	COSTO TOTAL		\$20,350.00
-----			

El costo total anterior fué hecho para el mes de Marzo de 1986.

## CAPITULO IV

### MANUAL DE UTILIZACION

#### 4.1 INSTRUCCIONES DE MANEJO

Debido a que la Interfaz De Cassette esta constituida por el modulador y el demodulador, deberá tenerse cuidado en el momento de efectuar las conexiones.

El procedimiento para conectar la Interfaz De Cassette es el siguiente:

- (1) Conecte el puerto de salida serie de la computadora a la terminal Min de la interfaz.
- (2) La terminal Mout de la interfaz conéctela a la entrada micrófono de la grabadora.
- (3) Conecte del audifono de la grabadora a la terminal Din de la interfaz.
- (4) Conecte la terminal Dout al puerto de entrada de la computadora.
- (5) El procedimiento para grabar es el siguiente: ponga la grabadora en condiciones de grabación y arrancar el programa que envía los datos. De la misma forma realice la operación para reproducir.



## 4.2 ESPECIFICACIONES

Voltajes de alimentación:	+5 V, -12 V DC
Consumo de potencia:	320 mW
Impedancia de entrada:	1.336 Mohms
Impedancia de salida:	13 Mohms
Rango de velocidad:	300 - 1200 Bauds
Frecuencia de operación:	
cero lógico	1200 Hz
uno lógico	2400 Hz
Señal de entrada:	5 V DC (1 log./0 log.)
Señal de salida:	5 V DC (1 log./0 log.)
Dispositivo de almacenamiento:	Cinta magnética.
Tipo de cinta magnética:	Normal (tipo I) CrO2 (tipo II) FeCr (tipo III) Metal (tipo IV)
Dispositivo de grabación:	Grabadora de cassette monofónica.

## CONCLUSIONES

---

El almacenamiento de programas es un actividad común, que se realiza en muchas partes del mundo, a toda hora, de diversas formas, con distintos equipos y a diferentes niveles.

Con el advenimiento de las computadoras se ha ganado en rapidez, exactitud y espacio.

En una computadora podrían almacenarse miles de programas y datos pero tendría que ser una computadora de dimensiones considerables, y a la par de costosa e impráctica para que esta pudiera almacenar todo.

Fue en base a esto que se estableció que el proceso de programas fuese en la computadora y el almacenamiento de ellos en otros dispositivos. Tales dispositivos van desde papel hasta discos magnéticos.

Con este trabajo se ha logrado que uno o varios programas puedan ser almacenados en forma exacta, rápida y económica en un

simple cassette.

Al diseñarse esta Interfaz de Cassette se pensó en los tres puntos anteriores, los cuales están íntimamente relacionados. Al ganar exactitud y rapidez se pierde economía, al ganar exactitud se pierde rapidez, etc.

Tal situación llevó a jerarquizar dichos parámetros tomándose de la siguiente forma:

- Economía
- Exactitud
- Rapidez

Al fijar la vista en economía se pensó en que el dispositivo fuese accesible a cualquier persona que requiriera comprarlo.

Por exactitud se diseñó el dispositivo de tal forma que fuese confiable y de fácil manejo.

La rapidez se redujo para poder operar el equipo dentro de los rangos de trabajo de una cassettera convencional y lograr de esta manera mayor confiabilidad.

De todo lo anteriormente citado, la Interfaz fué probada satisfactoriamente mediante el uso de un microkit Z-80 grabándose

un programa en una cinta de cassette la cual al ser posteriormente reproducida hacia el microkit restauró el programa original.

El presente trabajo fue realizado con el fin de que la sociedad actual se beneficie en la adquisición de material de bajo costo y durabilidad para el almacenamiento de sus programas.

## BIBLIOGRAFIA

- 1 An Introduction to Microcomputers.  
Adam Osborne & Associates, Incorporated.  
Volumen I.
- 2 BASIC. Enciclopedia de la informática de las  
minicomputadoras y computadoras personales.  
F. Planeta, S.A.  
Ed. Origen, S.A.
- 3 Data Transmission.  
M. D. Bacon & G. M. Bull.
- 4 Electrónica Serie 1-7.  
Harry Mileaf.  
Ed. Limusa.
- 5 Electronics: Circuits & Systems.  
Swaminathan Madhu.
- 6 Function Circuits. Design & Applications.  
Burr-Brown.
- 7 Guidebook of Electronics Circuits.  
Markus.  
Mc Graw Hill.
- 8 Guidebook to: Data Communications.  
Hewlett-Packard.
- 9 Handbook of Operational Amplifier Circuit Design.  
David F. Stout, Milton Kaufman.
- 10 Integrated Electronics.  
Millman & Halkias.  
Mc Graw Hill.
- 11 Introducción a la Teoría y Sistemas de Comunicación.  
Lathi.  
Ed. Limusa.
- 12 Manual Para Ingenieros y Técnicos en Electrónica,  
Milton Kaufman y Arthur H. Seidman.  
Mc Graw Hill.

- 13 Operational Amplifiers Design & Applications.  
Burr-Brown.
- 14 Phase-lock Techniques.  
Floyd M. Gardner, Ph. D.  
A Wiley - Interscience Publication.  
John Wiley & Sons.
- 15 Principios de Electrónica.  
Albert P. Malvino.  
Mc Graw Hill.
- 16 Principios de las Telecomunicaciones Electrónicas.  
Mandl Matthew.  
Ed. Marcombo, Barcelona.
- 17 Principles of Communication Systems.  
Taub & Schilling.  
Mc Graw Hill.
- 18 Sistemas de Comunicación.  
Carlson.  
Mc Graw Hill.

# XR-2206

APPENDICE

## Monolithic Function Generator

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp and pulse waveforms of high stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The XR-2206 is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage with very little affect on distortion.

As shown in Figure 1, the monolithic circuit is comprised of four functional blocks: a voltage-controlled oscillator (VCO); an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches. The internal current switches transfer the oscillator current to any one of the two external timing resistors to produce two discrete frequencies selected by the logic level at the FSK input terminal (pin 9).

### FEATURES

- Low Sinewave Distortion (THD .5%) – insensitive to signal sweep
- Excellent Stability (20 ppm/°C, typ)
- Wide Sweep Range (2000:1, typ)
- Low Supply Sensitivity (0.01%/V, typ)
- Linear Amplitude Modulation
- Adjustable Duty-Cycle (1% to 99%)
- TTL Compatible FSK Controls
- Wide Supply Range (10V to 26V)

### APPLICATIONS

- Waveform Generation
  - Sine, Square, Triangle, Ramp
- Sweep Generation
- AM/FM Generation
- FSK and PSK Generation
- Voltage-to-Frequency Conversion
- Tone Generation
- Phase-Locked Loops

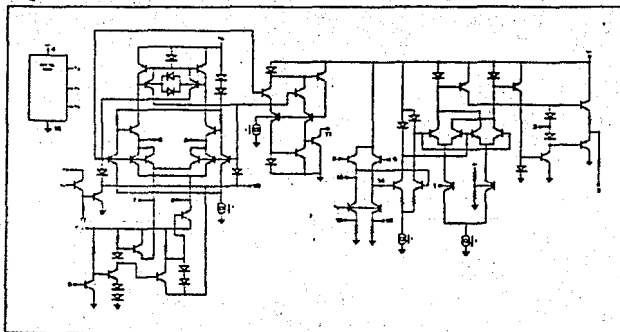
### ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation (package limitation)	
Ceramic package	750 mW
Derate above +25°C	6.0 mW/°C
Plastic package	625 mW
Derate above +25°C	5 mW/°C
Storage Temperature Range	-65°C to +150°C

### AVAILABLE TYPES

Part Number	Package Types	Operating Temperature Range
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +75°C
XR-2206P	Plastic	0°C to +75°C
XR-2206CN	Ceramic	0°C to +75°C
XR-2206CP	Plastic	0°C to +75°C

### EQUIVALENT SCHEMATIC DIAGRAM



### FUNCTIONAL BLOCK DIAGRAM

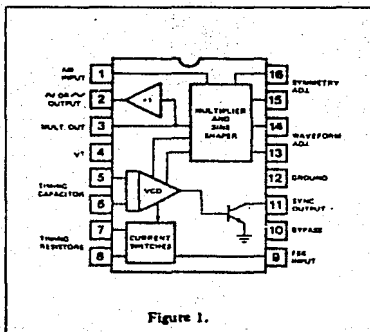


Figure 1.

# ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Fig. 2,  $V^* = 12V$ ,  $T_A = 25^\circ C$ ,  $C = 0.01 \mu F$ ,  $R_1 = 100 K\Omega$ ,  $R_2 = 10 K\Omega$ ,  $R_3 = 25 K\Omega$  unless otherwise specified. S<sub>1</sub> open for triangle, closed for sine wave.

CHARACTERISTICS	XR-2206/XR-2206M		XR-2206C		UNITS	CONDITIONS	
	MIN.	TYP. MAX.	MIN.	TYP. MAX.			
Supply Voltage							
Single Supply	10	26	10	26	V		
Split Supply	$\pm 5$	$\pm 13$	$\pm 5$	$\pm 13$	V		
Supply Current	12	17	14	20	A	$R_1 \geq 10 K\Omega$	
Oscillator Section							
Max. Operating Frequency	0.5	1	0.5	1	MHz	$C = 1000 \mu F$ , $R_1 = 1 K\Omega$	
Lowest Practical Frequency		0.01		0.01	Hz	$C = 50 \mu F$ , $R_1 = 2 M\Omega$	
Frequency Accuracy		$\pm 1$		$\pm 2$	% of $f_0$	$f_0 = 1/R_1 C$	
Temperature Stability		$\pm 10$		$\pm 20$	ppm/ $^\circ C$	$0^\circ C \leq T_A \leq 75^\circ C$ , $R_1 = R_2 = 20 K\Omega$	
Supply Sensitivity		0.01	0.1	0.01	%/V	$V_{LOW} = 10V$ , $V_{HIGH} = 20V$ , $R_1 = R_2 = 20 K\Omega$	
Sweep Range	1000:1	2000:1		2000:1	$f_H = f_L$	$f_H @ R_1 = 1 K\Omega$ $f_L @ R_1 = 2 M\Omega$	
Sweep Linearity							
10:1 Sweep		2		2	%	$f_L = 1 \text{ kHz}$ , $f_H = 10 \text{ kHz}$	
1000:1 Sweep		8		8	%	$f_L = 100 \text{ Hz}$ , $f_H = 100 \text{ kHz}$	
FM Distortion		0.1		0.1	%	$\pm 10\%$ Deviation	
Recommended Timing Components							
Timing Capacitor: C	0.001		0.001	100	$\mu F$	See Figure 5	
Timing Resistors: $R_1$ & $R_2$	1	100	1	2000	$K\Omega$		
Triangle/Sinewave Output							
Triangle Amplitude		160		160	mV/ $K\Omega$	See Note 1, Fig. 3	
Sinewave Amplitude	40	60	80	60	mV/ $K\Omega$	Fig. 2 S <sub>1</sub> Open	
Max. Output Swing		6		6	V <sub>pp</sub>	Fig. 2 S <sub>1</sub> Closed	
Output Impedance		600		600	$\Omega$		
Triangle Linearity		1		1	%		
Amplitude Stability		0.5		0.5	dB	For 1000:1 Sweep	
Sinewave Amplitude Stability		-4800		-4800	ppm/ $^\circ C$	See Note 2	
Sinewave Distortion							
Without Adjustment		2.5		2.5	%	$R_1 = 30 K\Omega$	
With Adjustment		0.4	1.0	0.5	1.5	See Figure 11	
Amplitude Modulation							
Input Impedance	50	100	50	100	$K\Omega$	See Figure 12	
Modulation Range		100		100	%		
Carrier Suppression		55		55	dB		
Linearity		2		2	%	For 95% modulation	
Square Wave Output						Measured at Pin 11	
Amplitude		12		12	V <sub>pp</sub>		
Rise Time		250		250	nsec	$C_L = 10 \text{ pF}$	
Fall Time		50		50	nsec	$C_L = 10 \text{ pF}$	
Saturation Voltage		0.2	0.4	0.2	V	$I_L = 2 \text{ mA}$	
Leakage Current		0.1	20	0.1	$\mu A$	$V_{I1} = 26V$	
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V See Section on Circuit Control
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V Measured at Pin 10.

Note 1: Output Amplitude is directly proportional to the resistance  $R_3$  on Pin 3. See Figure 3.  
 Note 2: For maximum amplitude stability  $R_3$  should be a positive temperature coefficient resistor.

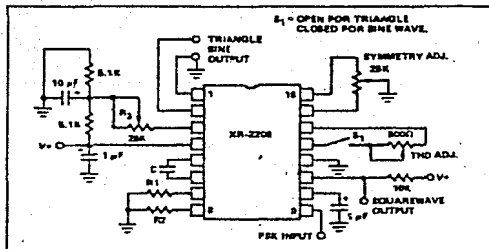


Figure 2. Basic Test Circuit

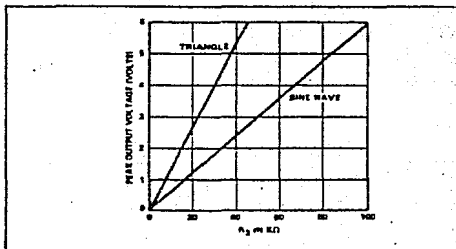


Figure 3. Output Amplitude as a Function of Resistor  $R_3$  at Pin 3.



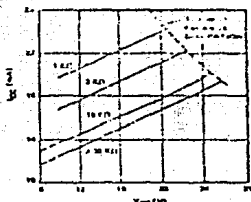


Figure 4. Supply Current vs Supply Voltage, Tuning R.

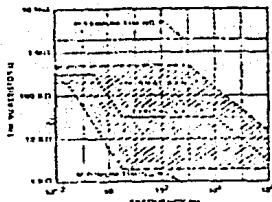


Figure 5. R vs Oscillation Frequency

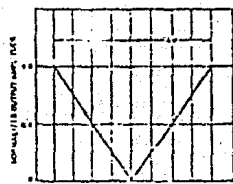


Figure 6. Normalized Output Amplitude vs DC Bias at AM Input (Pin 1).

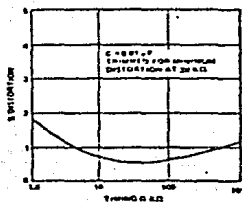


Figure 7. Trimmed Distortion vs Tuning Resistor

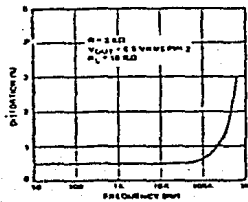


Figure 8. Sinewave Distortion vs Operating Frequency With Tuning Capacitors Varied

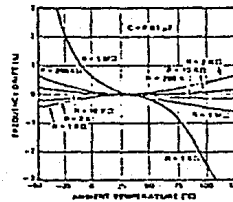


Figure 9. Frequency Drift vs Temperature

## DESCRIPTION OF CIRCUIT CONTROLS

### FREQUENCY OF OPERATION:

The frequency of oscillation,  $f_0$ , is determined by the external timing capacitor C across pins 5 and 6, and by the timing resistor R connected to either pin 7 or pin 8. The frequency is given as

$$f_0 = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R for a given frequency range are shown in Figure 5. Temperature stability is optimum for  $4 \text{ K}\Omega < R < 200 \text{ K}\Omega$ . Recommended values of C are from  $1000 \text{ pF}$  to  $100 \mu\text{F}$ .

### FREQUENCY SWEEP AND MODULATION

Frequency of oscillation is proportional to the total timing current  $I_T$  drawn from pin 7 or 8

$$f = \frac{320I_T (\text{mA})}{C (\mu\text{F})} \text{ Hz}$$

Timing terminals (pins 7 or 8) are low impedance points and are internally biased at +3V, with respect to pin 12. Frequency varies linearly with  $I_T$  over a wide range of current values, from  $1 \mu\text{A}$  to 3 mA. The frequency can be controlled by applying a control voltage,  $V_C$ , to the activated timing pin as shown in Figure 10. The frequency of oscillation is related to  $V_C$  as:

$$f = \frac{1}{RC} \left[ 1 + \frac{R}{RC} \left( 1 - \frac{V_C}{3} \right) \right] \text{ Hz}$$

where  $V_C$  is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \frac{\partial f}{\partial V_C} = -\frac{0.32}{RC} \text{ Hz/V}$$

NOTE: For safe operation of the circuit  $I_T$  should be limited to  $< 3 \text{ mA}$ .



Figure 10. Circuit Connection for Frequency Sweep

### OUTPUT CHARACTERISTICS:

**Output Amplitude:** Maximum output amplitude is directly proportional to external resistor  $R_3$  connected to Pin 3 (See Fig. 3). For sinewave output, amplitude is approximately 60 mV peak per  $\text{K}\Omega$  of  $R_3$ ; for triangle, the peak amplitude is approximately 160 mV peak per  $\text{K}\Omega$  of  $R_3$ . Thus, for example,  $R_3 = 50 \text{ K}\Omega$  would produce approximately  $\pm 3\text{V}$  sinusoidal output amplitude.

**Amplitude Modulation:** Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately  $100 \text{ K}\Omega$ . Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within  $\pm 5$  volts of  $V^*/2$  as shown in Fig. 6. As this bias level approaches  $V^*/2$ , the phase of the output signal is reversed; and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

Note: AM control must be used in conjunction with a well-regulated supply since the output amplitude now becomes a function of  $V^*$ .

### FREQUENCY-SHIFT KEYING

The XR-2206 can be operated with two separate timing resistors,  $R_1$  and  $R_2$ , connected to the timing pins 7 and 8, respectively, as shown in Figure 13. Depending on the polarity of the logic signal at pin 9, either one of the other of these timing

resistors in a wye. If pin 9 is connected or connected to a bias voltage  $V_{-}$ , only  $R_1$  is active. Similarly, if the voltage level at pin 9 is  $\leq 1V_{-}$ , only  $R_2$  is activated. Then, the output frequency can be varied between two levels,  $f_1$  and  $f_2$  as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split supply operation, the keying voltage at pin 9 is referenced to  $V_{-}$ .

#### OUTPUT DC LEVEL CONTROL

The dc level at the output (pin 2) is approximately the same as the dc bias at pin 9. In Figures 11, 12 and 13, pin 3 is biased halfway between  $V_{+}$  and ground, to give an output dc level of  $0.5V_{+}$ .

### APPLICATIONS INFORMATION

#### SINWAVE GENERATION

##### A) Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer  $R_1$  at pin 7 provides the centered frequency tuning. The maximum output swing is greater than  $V_{+}/2$  and the

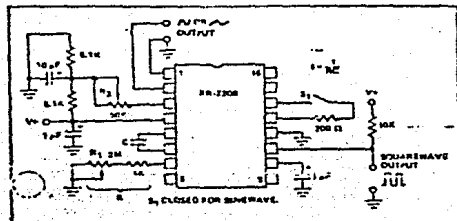


Figure 11. Circuit for Sinewave Generation Without External Adjustment. (See Fig. 3 for choice of  $R_1$ .)

typical distortion (THD) is  $< 2.5\%$ . If lower sinewave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 11 can be converted to split supply operation simply by replicating all ground connections with  $V_{-}$ . For split supply operation,  $R_3$  can be directly connected to ground.

##### B) With External Adjustment

The harmonic content of sinusoidal output can be reduced to  $\approx 0.5\%$  by additional adjustments as shown in Figure 12. The potentiometer  $R_A$  adjusts the sine-shaping resistor;

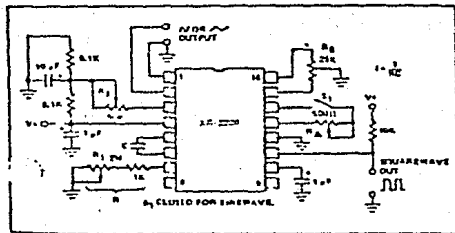


Figure 12. Circuit for Sinewave Generation With Minimum Harmonic Distortion. ( $R_A$  determines output swing - See Fig. 3)

and  $R_3$  provides the fine adjustment for the waveform symmetry; the adjustment procedure is as follows:

1. Set  $R_1$  at mid-point and adjust  $R_A$  for minimum distortion.
2. With  $R_A$  set as above, adjust  $R_3$  to further reduce distortion.

#### TRIANGLE WAVE GENERATION

The circuits of Figures 11 and 12 can be converted to triangle wave generation by simply open circuiting pins 13 and 14 (i.e.,  $S_1$  open). Amplitude of the triangle is approximately twice the sinewave output.

#### FSK GENERATION

Figure 13 shows the circuit connection for sinusoidal FSK signal generation. Mark and space frequencies can be independently adjusted by the choice of timing resistors  $R_1$  and  $R_2$ ; and the output is phase-continuous during transitions. The keying signal is applied to pin 9. The circuit can be converted to split-supply operation by simply replacing ground with  $V_{-}$ .

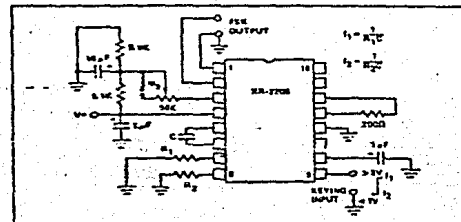


Figure 13. Sinusoidal FSK Generator

#### PULSE AND RAMP GENERATION

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (pin 9) is shorted to the square-wave output (pin 11); and the circuit automatically frequency-locks itself between two separate frequencies during the positive and negative going output waveforms. The pulse-width and the duty cycle can be adjusted from 1% to 99% by the choice of  $R_1$  and  $R_2$ . The values of  $R_1$  and  $R_2$  should be in the range of 1 kΩ to 2 MΩ.

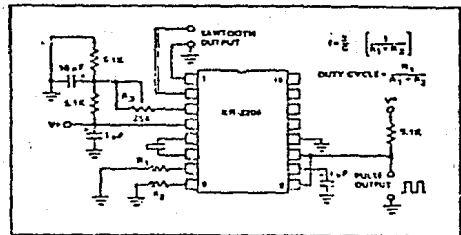


Figure 14. Circuit for Pulse and Ramp Generation

# CA3060, CA3060A Types

## Operational Transconductance Amplifier Arrays

### APPLICATIONS

- Operational amplifier
- Filters
  - Multipliers
  - Multiplier
- Strobing and gating functions
- Sample and hold functions

### FEATURES

- Low power consumption — as low as 100  $\mu$ W per amplifier
- Independent biasing for each amplifier
- Forward transconductance
- Adjustable range of input characteristic
- Input bias and input offset current
- Input and output impedances
- Effect on device and output short-circuit conditions
- On-chip bias regulator

CA3060AD, CA3060BD, CA3060D, and CA3060E, Monolithic integrated circuits, are arrays of three independent Operational Transconductance Amplifiers. The type of CA3060 is a new circuit concept that has the generic characteristics of an operational voltage amplifier with the feature that the forward gain characteristic is best described by transconductance rather than voltage gain. Loop voltage gain is the product of the transconductance and the load resistance,  $(g_m R_L)$ . When operated into a low load resistor and with provisions for feedback, these arrays are well suited for a wide variety of operational and related applications. In addition, the extremely low-power consumption makes these types particularly well suited for service in active filters.

These amplifiers in the CA3060 family are identical (and Class A types which can be independently biased to give a wide range of characteristics for specific applications). The electrical characteristics of each amplifier are a function of the amplifier bias current ( $I_{ABD}$ ). This feature gives the system designer maximum flexibility with regard to current capability, power consumption, slew rate, resistance, input bias current, and input offset current. Linear variation of the parameters with respect to bias allows the ability to maintain a constant dc level between input output of each amplifier also makes the CA3060 suitable for a variety of non-linear applications such as mixers, amplifiers, and modulators.

In addition, the types in the CA3060 family incorporate a Zener diode regulator system that permits current injection below supply voltages normally associated with systems.

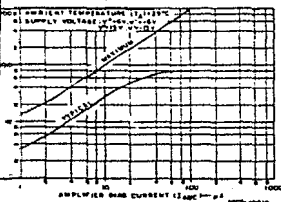


Fig. 4—Input offset current vs. amplifier bias current.

Generic applications of the OTA are described in ICAN-0068. Applications of the CA3060 and CA3060A High-Performance Operational Transconductance Amplifiers.

The CA3060AD, CA3060BD, and CA3060D are supplied in a hermetic 16-lead dual-in-line ceramic package which can be operated over the full military temperature range, -55°C to +125°C. The CA3060E is supplied in a 10-lead Dual-In-Line plastic package and is operational from -40°C to +85°C.

### MAXIMUM RATINGS, Absolute Maximum Values at $T_A = 25^\circ\text{C}$

DC Supply Voltage between $V^+$ and $V^-$ (ceramic)	20V (EITV)
CA3060AD, CA3060BD, CA3060E	14V (EITV)
Differential Input Voltage (each amplifier)	35V
CA3060AD, CA3060BD, CA3060E	25V
DC Input Voltage	$V^+$ to $V^-$
Input Signal Current (each amplifier of each type)	21 mA
Amplifier Bias Current (each amplifier of each type)	2 mA
Base Resistor Input Current	4 mA
Output Short-Circuit Duration*	No limitation

\*Short or cut may be applied to ground or to either supply.

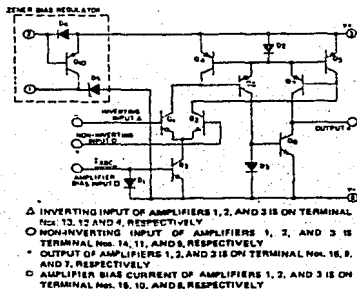


Fig. 3—Simplified schematic diagram showing bias regulator and one operational transconductance amplifier for each type of the CA3060 family.

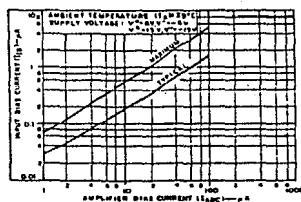


Fig. 5—Input bias current vs. amplifier bias current.

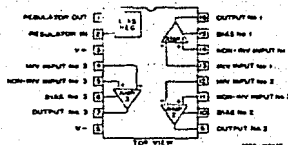


Fig. 1—Functional block diagram for each type in the CA3060 family.

### Device Description

Total Package of each type up to  $T_A = 75^\circ\text{C}$  ..... 480 mW  
Above  $T_A = 75^\circ\text{C}$  ..... Derates linearly 8.57 mW/°C

### Temperature Range

Operating — CA3060AD, CA3060BD, CA3060D ..... -55 to +125°C  
CA3060E ..... -40 to +85°C

### Storage

CA3060AD, CA3060BD, CA3060D, CA3060E ..... -65 to +150°C

### Lead Temperature (During Soldering)

At distance 1/16" (2.12 mm) (1.98 to 7.62 mm) from case for 10s max ..... +300°C

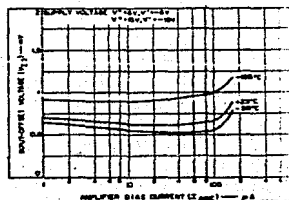


Fig. 3—Input offset voltage vs. amplifier bias current.

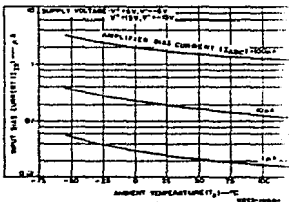


Fig. 5b—Input bias current vs. ambient temperature.

# 6610, CA3060A Types

DCAL CHARACTERISTICS (CA30600)  
 for amplifier at  $T_A = 25^\circ\text{C}$ ,  $V^+ = 8\text{ V}$ ,  $V^- = -8\text{ V}$

CHARACTERISTIC	SYMBOL	TYPICAL CHARACTERISTIC CURVES Pks	LIMITS									UNITS
			I <sub>ABC</sub> = 5 $\mu\text{A}$			I <sub>ABC</sub> = 10 $\mu\text{A}$			I <sub>ABC</sub> = 100 $\mu\text{A}$			
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
<b>CHARACTERISTICS</b>												
Input Voltage	V <sub>IO</sub>	3	-	1	3	-	1	5	-	1	3	mV
Input Current	I <sub>IO</sub>	4	-	2	14	-	30	100	-	250	1000	nA
Common-Mode Rejection Ratio	CMRR	50 dB	-	33	70	-	300	500	-	2500	5000	dB
Common-Mode Input Voltage Range	V <sub>ICM</sub>	0 to 8	-	1.3	7.3	-	1.6	7.6	-	1.90	7.90	V
Differential Input Voltage	V <sub>IO(dif)</sub>	7	-	4.6	5	-	4.5	4.8	-	4.5	4.7	mV
Differential Input Current	I <sub>IO(dif)</sub>	7	-	5.8	5.06	-	5.8	5.95	-	5.7	5.9	nA
Supply Current (each amplifier)	I <sub>A</sub>	8 to 9	-	8.5	14	-	15	170	-	150	1700	$\mu\text{A}$
Power Dissipation	P	-	-	0.10	0.17	-	1	1.45	-	10	14.5	mW
Temperature Coefficient of Input Voltage	$\Delta V_{IO}/\Delta T$	-	-	1.5	170	-	2	170	-	2	170	$\mu\text{V}/^\circ\text{C}$
Temperature Coefficient of Input Current	$\Delta I_{IO}/\Delta T$	-	-	20	170	-	30	170	-	30	170	nA/ $^\circ\text{C}$
Common-Mode Input Voltage Range	V <sub>ICM</sub>	0	-	0.84	-	0.80	-	0.88	-	0.88	-	V

<b>DC CHARACTERISTICS (at 1 kHz unless specified otherwise)</b>												
Common-Mode Rejection Ratio (Voltage)	CMRR	50 dB	-	33	1.65	-	3	18	-	30	102	dB
Common-Mode Rejection Ratio (Current)	CMRR	70	-	70	110	-	70	110	-	70	90	dB
Common-Mode Input Voltage Range	V <sub>ICM</sub>	-	-	4.4 to -5.1 mV	4.7 to -5.3 mV	-	4.3 to -5.0 mV	4.6 to -5.2 mV	-	4.3 to -5.0 mV	4.6 to -5.2 mV	V
Input Offset Voltage	V <sub>IO</sub>	3	-	0.1	-	0.1	-	0.1	-	0.1	0.1	mV
Input Offset Current	I <sub>IO</sub>	4	-	20	-	20	-	20	-	20	20	nA
Input Resistance	R <sub>i</sub>	12	-	800	1800	-	90	170	-	10	20	k $\Omega$
Output Resistance	R <sub>o</sub>	14	-	200	-	20	-	20	-	3	-	k $\Omega$
Output Current	I <sub>o</sub>	-	-	4.5	-	4.5	-	4.5	-	4.5	-	mA

<b>DC BIAS REGULATOR CHARACTERISTICS (at <math>T_A = 25^\circ\text{C}</math>, <math>I_2 = 0.1\text{ mA}</math>)</b>												
Output Voltage	V <sub>2</sub>	15	-	Temp. Coeff. = 3 mV/°C	6.2	6.7	7.9	-	-	-	-	V
Output Current	I <sub>2</sub>	-	-	-	300	300	-	-	-	-	-	mA

**Temperature Coefficients:**  $-2.2\text{ mV}/^\circ\text{C}$  for  $V_{IO}$ ,  $+0.84\text{ mV}/^\circ\text{C}$  for  $V_{IO(dif)}$ ,  $-3.1\text{ mV}/^\circ\text{C}$  for  $V_{ICM}$ ,  $+0.80\text{ mV}/^\circ\text{C}$  for  $V_{ICM}$ ,  $+10\text{ mA}/^\circ\text{C}$  for  $I_A$  for  $V_{ICM} = 0.8\text{ V}$ ,  $I_{ABC} = 100\text{ }\mu\text{A}$   
 Values for Input Offset Voltage and Supply Sensitivity  
 are derived from the regulator with an approximate power dissipation being assumed. See Fig. 5 for bias terminal on the amplifier output case.

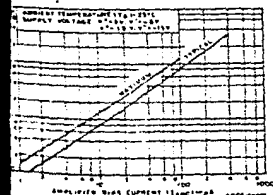


Fig. 5a—Amplifier supply current (each amplifier) vs. amplifier bias current.

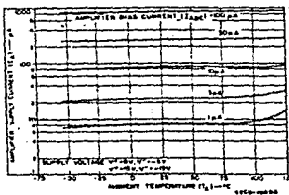


Fig. 5b—Amplifier supply current (each amplifier) vs. ambient temperature.

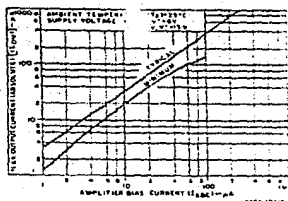


Fig. 6a—Peak output current vs. amplifier bias current.

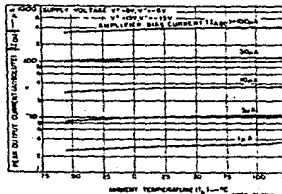


Fig. 6b—Peak output current vs. ambient temperature.



Fig. 7—Peak output voltage vs. amplifier bias current.

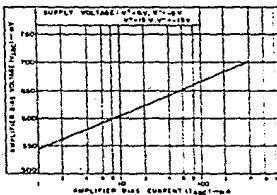


Fig. 8—Amplifier bias voltage vs. amplifier bias current.

# 0650, CA3060A Types

## IC CHARACTERISTICS (CA3060AD, CA3060BD, CA3060E)

at Ambient Temp. at  $T_A = 25^\circ\text{C}$ ,  $V^+ = 15\text{ V}$ ,  $V^- = -15\text{ V}$ .

IC CHARACTERISTIC	SYMBOL	TYPICAL CHARACTERISTIC CURVE FIG.	LIMITS						UNITS			
			Amplifier Bias Current			Amplifier Bias Current						
			$I_{ABC} = 3\ \mu\text{A}$ MIN. TYP. MAX.	$I_{ABC} = 10\ \mu\text{A}$ MIN. TYP. MAX.	$I_{ABC} = 100\ \mu\text{A}$ MIN. TYP. MAX.	$I_{ABC} = 3\ \mu\text{A}$ MIN. TYP. MAX.	$I_{ABC} = 10\ \mu\text{A}$ MIN. TYP. MAX.	$I_{ABC} = 100\ \mu\text{A}$ MIN. TYP. MAX.				
CA3060BD		CA3060AD		CA3060E								
<b>DC CHARACTERISTICS</b>												
Output Voltage	$V_{IO}$	2	-1	5	-1	8	-1	5	mV			
Output Current	$I_{IO}$	4	-3	54	-30	100	-200	1000	$\mu\text{A}$			
Input Currents	$I_{IB}$	60 pA	-33	70	-300	840	-2500	8000	nA			
Output Current	$I_{OA}$	60 pA	1.3	2.3	18	26	190	240	$\mu\text{A}$			
Output Voltage	$V_{OM}$		12	13.6	-	12	13.6	-	V			
Input Voltage	$V_{IM}$		12	14.9	-	12	14.7	-	V			
Input Bias Voltage	$V_{IB}$	80 pA	-8.8	14	-86	120	-800	1200	$\mu\text{A}$			
Common-Mode Rejection Ratio	$\text{CMRR}$	P	-0.26	0.42	-2.6	3.8	-76	38	dB			
Input Voltage	$V_{IN}$		-	1.5	150	-	2	150	mV			
Input Voltage	$V_{IN}$		-	20	150	-	20	150	mV			
Input Voltage	$V_{IN}$		-	0.94	-	0.80	-	0.86	-			
<b>AC CHARACTERISTICS (at 1 MHz unless specified otherwise)</b>												
Open-Loop Gain	$A_{OL}$	100 dB	0.2	1.55	-	3	18	-	30	102	-	V/V
Common-Mode Rejection Ratio	$\text{CMRR}$		-70	110	-	20	110	-	70	80	-	dB
Input Voltage	$V_{ICR}$		+12 to +12 mV	+12 to +12 mV	-	+12 to +12 mV	+12 to +12 mV	-	+12 to +12 mV	-	-	V
Input Voltage	$V_{ICR}$		+12 to +14 typ.	+12 to +14 typ.	-	+12 to +14 typ.	+12 to +14 typ.	-	+12 to +14 typ.	-	-	V
Input Voltage	$V_{ICR}$		-0.1	-	-	1	-	-	8	-	-	V/dB
Input Voltage	$V_{ICR}$		-	-	-	45	-	-	110	-	-	dB
Input Voltage	$V_{ICR}$		-	-	-	2.7	-	-	2.7	-	-	$\mu\text{F}$
Input Voltage	$V_{ICR}$		-	-	-	300	-	-	30	-	-	$\mu\text{F}$
Input Voltage	$V_{ICR}$		-	-	-	4.5	-	-	4.8	-	-	$\mu\text{F}$

## BIAS REGULATOR CHARACTERISTICS (at $T_A = 25^\circ\text{C}$ , $I_B = 0.1\ \text{mA}$ )

Reg.	$V_Z$	Temp. Coeff.	$\Delta V_Z/\Delta T$	Reg. TYP. MAX.	Reg. MIN. TYP. MAX.
1	15	-2.5 mV/°C	8.3	8.7	3.5
2	12	-2.5 mV/°C	3.0	3.0	2.0

$V^+$  is adjusted to 15 volts for  $V^+$  sensitivity.  
 $V^-$  is regulated to -12 volts for  $V^-$  sensitivity.  
 $V_Z$  is measured between terminals 1 and 8.  
 $V_Z$  is measured between terminals 15 and 8.  
 $V^+$  is adjusted to 15 volts for  $V^+$  sensitivity.  
 $V^-$  is regulated to -12 volts for  $V^-$  sensitivity.  
 $V_Z$  is measured between terminals 1 and 8.  
 $V_Z$  is measured between terminals 15 and 8.

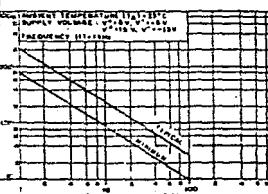
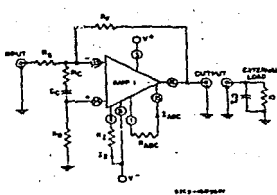


Fig. 12—Input resistance vs. amplifier bias current.



$V_Z$  is measured between terminals 1 and 8.  
 $V_Z$  is measured between terminals 15 and 8.

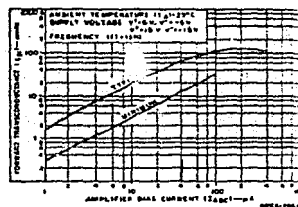


Fig. 10—Forward transconductance vs. amplifier bias current.

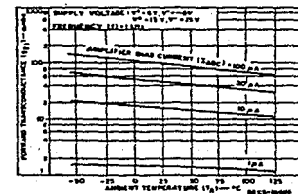


Fig. 10—Forward transconductance vs. ambient temperature.

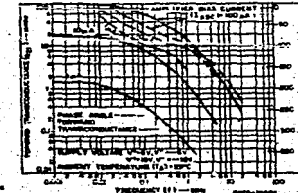


Fig. 11—Forward transconductance vs. frequency.

$$R_Z = \frac{[V^+ - (V^-) \cdot 0.7]}{I_2} \quad R_{ABC} = \frac{V_Z - V_{ABC}}{I_{ABC}}$$

Supply Voltage: for both 15 V and 215 V.

### TYPICAL SLEW RATE TEST CIRCUIT PARAMETER:

$I_{ABC}$	SLEW RATE	$I_2$	$R_{ABC}$	$R_8$	$R_7$	$R_6$	$R_C$	$C_C$
$\mu\text{A}$	V/μs	$\mu\text{A}$	ohms	ohms	ohms	ohms	$\mu\text{F}$	$\mu\text{F}$
100	8	200	83	1000	1000	816	100	0.05
10	9	200	820	100	100	816	100	0.05
1	9	2	820	100	100	816	100	0.05

Fig. 13—Slew rate test circuit for amplifier No. 1 of CA3060.

# CA3060, CA3060A Types

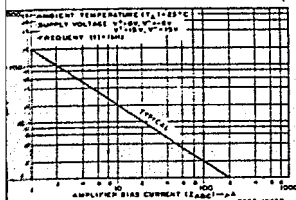


Fig. 14—Output resistance vs. amplifier bias current.

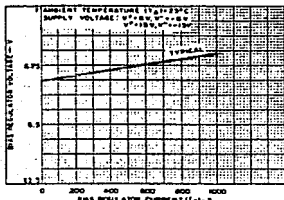


Fig. 15—Bias regulator voltage vs. bias regulator current.

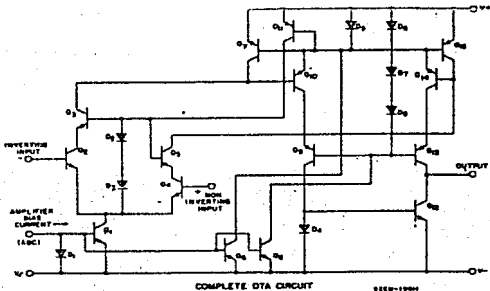


Fig. 16—Complete schematic diagram showing one of the three operational transconductance amplifiers.

### GENERAL CONSIDERATIONS

CA3060 consists of three operational amplifiers similar but application to conventional operational amplifier and sufficiently different from the standard operational amplifier (op-amp) to justify some explanation of their characteristics. The amplifiers incorporated in the CA3060 and described by the term Operational Transconductance Amplifier (OTA). The characteristics of an ideal OTA are far to those of an ideal op-amp except that the OTA has extremely high output impedance. Because of this inherent characteristic the output signal is best defined in terms of current which is proportional to the difference between the voltages of the two input terminals. Thus the ideal characteristic is best described in terms of transconductance rather than voltage gain. Other than the difference in above, the characteristics tabulated on pages 3 and 4 of data bulletin are similar to those of any typical op-amp. OTA circuitry incorporated in the CA3060 (See Fig. 16) aids the equipment designer with a wider variety of circuit arrangements than does the standard op-amp; because the curves in the data bulletin indicate, the user may select optimum circuit conditions for a specific application by varying the bias conditions of each amplifier. If low power consumption, low bias, and low offset current, or high input impedance are primary design requirements, then current operating conditions may be selected. On the other hand, if operation into a moderate load impedance is a primary consideration, then higher levels of bias may be used.

### Other Considerations for Op-Amp Applications

The operational transconductance amplifiers allow the circuit designer to select and control the operating conditions of the output merely by the adjustment of the input bias current  $I_{ABC}$ . This enables the designer to have complete control over transconductance, peak output current, and total power dissipation independent of supply voltage.

In addition, the high output impedance makes these amplifiers ideal for applications where current summing is involved.

The design of a typical operational amplifier circuit (See Fig. 17) would proceed as follows:

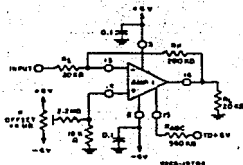


Fig. 17—20-dB amplifier using the CA3060.

- Circuit Requirements
- Closed loop voltage gain = 10 (20 dB)
  - Offset voltage adjustable to zero
  - Current drain as low as possible
  - Supply voltage = ±8 V
  - Maximum input voltage = ±50 mV
  - Input resistance = 20 kΩ
  - Load resistance = 20 kΩ
  - Device: CA3060

### Calculation

- Required transconductance  $g_{21}$ . Assume that the open loop gain  $A_{OL}$  must be at least ten times the closed loop gain. Therefore, the forward transconductance required is given by

$$g_{21} = A_{OL}/R_L$$

$$= 100/18 \text{ k}\Omega$$

$$\approx 5.5 \text{ mmho}$$

$$(R_L = 20 \text{ k}\Omega \text{ in parallel with } 200 \text{ k}\Omega)$$

$$\approx 18 \text{ k}\Omega$$

- Selection of suitable amplifier bias current. The amplifier bias current is selected from the minimum value curve of transconductance (Fig. 10a) to ensure the amplifier will provide sufficient gain. For the required  $g_{21}$  of 5.5 mmho an amplifier bias current  $I_{ABC}$  of 150  $\mu\text{A}$  is suitable.

- Determination of Output Swing Capability. For a loop gain of 10 the output swing is ±0.5 V or peak load current 25  $\mu\text{A}$ . However, the amplifier also supply the necessary current through the feedback resistor and for  $R_F = 20 \text{ k}\Omega$  then  $R_F = 200 \text{ k}\Omega$  if  $A_{OL} = 10$ . Therefore, the feedback loading = 0.5/200 kΩ =

The total amplifier current output requirements therefore, 27.5  $\mu\text{A}$ . Referring to the data given in Fig. 10 we see that for an amplifier bias current of 20  $\mu\text{A}$  amplifier output current is 240  $\mu\text{A}$ . This is obviously adequate and it is not necessary to change the bias current  $I_{ABC}$ .

- Calculation of bias resistance. For minimum supply current drain the amplifier bias current  $I_{ABC}$  should be fed directly from the supplies and not from the bias regulator. The value of the resistor  $R$  may be directly calculated using Ohm's law.

$$R_{ABC} = \frac{V_{SUPPLY} - V_{ABC}}{I_{ABC}}$$

$$R_{ABC} = \frac{12 - 0.83}{20 \times 10^{-6}}$$

$$= 568.5 \text{ k}\Omega \text{ or } \approx 500 \text{ k}\Omega$$

- Calculation of offset adjustment circuit. In order to reduce the loading effect of the offset adjustment circuit on the power supply, the offset circuit should be arranged to provide the necessary current. The source resistance of the non-inverting input made equal to the source resistance of the inverting input.

$$I_{A-} = \frac{20 \times 200 \times 10^3 \text{ ohms}}{220 \times 10^3} = 18 \text{ k}\Omega$$

Because the maximum offset voltage is 6 mV and additional increment due to the offset current (see Fig. 16) flowing through the source resistance

$$I_{A-} = 200 \times 10^{-9} \times 18 \times 10^3 \text{ volts; therefore, the Offset Voltage Range} = 6 \text{ mV} + 3.6 \text{ mV} = 9.6 \text{ mV}$$

The current necessary to provide this offset is

$$\frac{9.6 \times 10^{-3}}{18 \times 10^3} = 0.48 \mu\text{A}$$

With a supply voltage of ±8 V, this current can be provided by a 10 MΩ resistor. However, the stability of such a resistor is often questionable and a more realistic value of 2.2 MΩ was used in the final circuit.

### OTHER CONSIDERATIONS

#### Capacitance Effects

The CA3060 is designed to operate at such low power that high impedance circuits must be employed. In such circuits, particularly feedback amplifiers, stray capacitance must always be considered because of its effect on frequency response and stability. For example, a 10 kΩ load with a stray capacitance of 15 pF has a constant of 1 MHz. Fig. 18 illustrates how a 10 kΩ load modifies the frequency characteristic.

# CA3060, CA3060A Types

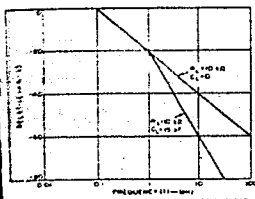


Fig. 18—Effect of capacitive loading on frequency response.

capacitive loading also has an effect on slew rate; because the output current is established by the amplifier bias current,  $I_{ABC}$  (see Fig. 5A), the maximum slew rate is limited to a maximum rate at which the capacitance can be charged by the  $I_{ABC}$ . Therefore,

$$s = dV/dt = I_{ABC}/C_L$$

$C_L$  is the total load capacitance including strays. This slewing is shown graphically in Fig. 19. When measuring slew rate for this bulletin, care was taken to keep the capacitive loading to 13 pF.

### Compensation

In many applications phase compensation will not be needed for the amplifiers of the CA3060. When needed, compensation may easily be accomplished by a simple RC network at the input of the amplifier as shown in Fig. 13. Values given in Fig. 13 provide stable operation for the unity gain condition, assuming that capacitive loading at the output is 13 pF or less. Input phase compensation is intended in order to maintain the highest possible slew rate.

In applications such as integrators, two OTAs may be used to improve current gain. Compensation is best performed in this case with a small capacitor in the  $\beta$  of the first amplifier. The high gain following integration assures a high slew rate.

### APPLICATIONS

Having determined the operating points of the CA3060 OTAs, they can now function in the same manner as operational op-amps, and thus, are well suited for most general applications, including inverting and non-inverting amplifiers, integrators, differentiators, summing amplifiers

### LEVEL COMPARATOR

Level comparator circuits are an ideal application for the CA3060 since it contains the requisite three amplifiers. A level comparator has three adjustable limits. If either the upper or lower limit is exceeded, the appropriate output is read until the input signal returns to a selected intermediate limit. Tri-level comparators are particularly useful in many industrial control applications.

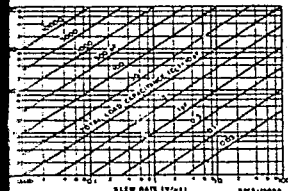


Fig. 19—Effect of load capacitance on slew rate.

### Circuit Description

Fig. 20 shows the block diagram of a tri-level comparator using the CA3060. Two of the three amplifiers are used to compare the input signal with the upper-limit and lower-

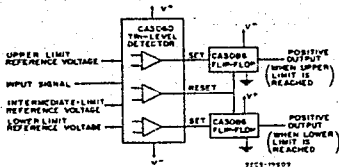


Fig. 20—Functional block diagram of a tri-level comparator.

limit reference voltages. The third amplifier is used to compare the input signal with a selected value of intermediate-limit reference voltage. By appropriate selection of resistance ratios this intermediate-limit may be set to any voltage between the upper-limit and lower-limit values. The output of the upper-limit and lower-limit flip-flops. The output of the upper-limit and lower-limit flip-flop. The activated flip-flop retains its state until the third comparator (intermediate-limit) in the CA3060 initiates a reset function, thereby indicating that the signal voltage has returned to the intermediate-limit selected. The flip-flops employ two CA3066 transistor-array IC's, with circuitry to provide separate "SET" and "POSITIVE OUTPUT" terminals.

The circuit diagram of a tri-level comparator appears in Fig. 21. Power is provided for the CA3060 via terminals 3 and 8 by a  $\pm 6$ -volt supply and the built-in regulator provides amplifier bias-current ( $I_{ABC}$ ) to the three amplifiers via terminal 1. Lower-limit and upper-limit reference voltages are selected by appropriate adjustment of potentiometers R1 and R2, respectively. When resistors R3 and R4 are equal in value (as shown), the intermediate-limit reference voltage is automatically established at a value midway between the lower-limit and upper-limit values. Appropriate variation of resistors R3 and R4 permits selection of other values of intermediate-limit voltages. Input signal ( $E_i$ ) is applied to the three comparators via terminals 5, 12, and 14. The "SET" output lines trigger the appropriate flip-flop whenever the input signal reaches a limit value. When the input signal returns to an intermediate-value, the common flip-flop "RESET" line is energized. The loads in the circuits, shown in Fig. 21 are 5  $\mu$ F, 25-mA lamps.

### Active Filters — Use the CA3060 as a Gyration

The high output impedance of the OTAs makes the CA3060 ideally suited for use as a gyrator in active filter applications. Fig. 22 shows two OTAs of the CA3060 connected as a gyrator in an active filter circuit. The OTAs in this circuit make a 3  $\mu$ F capacitor function as a floating 30  $\mu$ H inductor across terminals A and B. The measured Q of this frequency of 1 Hz of this inductor compares favorably with a calculated Q of 16. The 20- $\mu$ H/20m to 2-megohm resistors in this circuit extend the dynamic range of the OTA by a factor of 100. The 100-ohm potentiometer across  $V_+$  and  $V_-$  tunes the inductor by varying the gain of the OTAs, thereby changing the gyrator resistance.

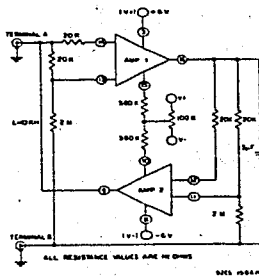


Fig. 22—Two operational transconductance amplifiers of the CA3060 connected as a gyrator in an active filter circuit.

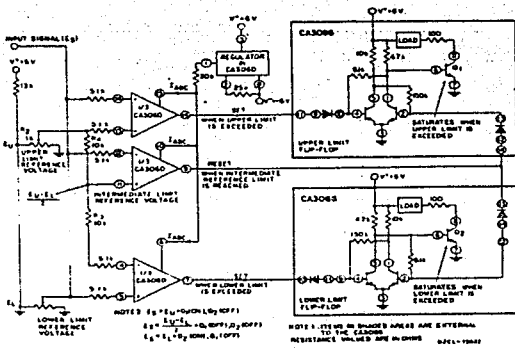


Fig. 21—Tri-level comparator circuit.

# CA3060, CA3060A Types

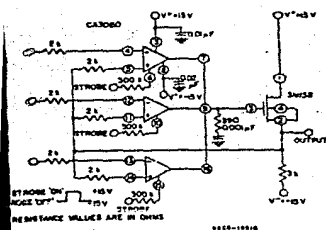


Fig. 23—Three-channel multiplier.

### THREE CHANNEL MULTIPLIER

Fig. 23 shows a schematic of a three channel multiplier using a single CA3060 and a 3N158 MOSFET as a buffer and power amplifier.

When the CA3060 is connected as a high-input impedance voltage follower, and strobe "ON," each amplifier is activated and the output follows to the level of the input of that amplifier. The cascade arrangement of each CA3060 amplifier with the MOSFET provides an open loop voltage gain in excess of 100 dB, thus ensuring excellent accuracy in the voltage following mode with 100% feedback.

Operation at 25 volts is also possible with several minor changes. First, the resistance in series with amplifier bias current I<sub>ABC</sub> terminal of each amplifier should be decreased to maintain 100 µA of strobe-"ON" current at the lower supply voltage. Second, the drain resistance for the MOSFET should be decreased to maintain the same value of drain current. The low cost dual-gate protected MOSFET, RCA-40841, may be used when operating at the low supply voltage.

The phase compensation network consists of a 220kΩ resistor and a 1000-pF capacitor, located in the line-loop of the CA3060 output and the MOSFET gate. The bandwidth of the system is 1.5 MHz and the slew rate is 0.3 volts/µsec. The system slew rate is directly proportional to the value of the phase compensation capacitor. Thus, with higher gain settings where lower values of phase compensation capacitors are available, the slew rate is proportionately increased.

### NON LINEAR APPLICATIONS

#### AM Modulator (Two-Quadrant Multiplier)

Fig. 24 shows Amplifier No. 3 of the CA3060 used in an AM modulator as a 2 quadrant multiplier circuit. When modulation is applied to the smaller bias input, Terminal B, and the carrier frequency to the differential inputs, Terminal A, the waveform, shown in Fig. 24, is obtained. Fig. 24 is a result of adjusting the input offset control to balance the circuit so that no modulation can occur at the output without a carrier input. The linearity of the modulator is indicated by the solid trace of the superimposed modulating frequency. The maximum depth of modulation is determined by the ratio of the peak input modulating voltage to V<sup>+</sup>.

The two-quadrant multiplier characteristic of this modulator is easily seen if modulation and carrier are reversed as shown in Fig. 24. The polarity of the output must follow that of the differential input; therefore, the output is positive only during the positive half cycle of the modulation and negative only in the second half cycle. Note, that both the input and output signals are referenced to ground. The output signal is zero when either the differential input or I<sub>ABC</sub> are zero.

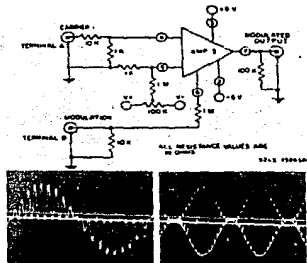


Fig. 24—Two-quadrant multiplier circuit using the CA3060 with associated waveforms.

#### Four-Quadrant Multiplier

The CA3060 is also useful as a four-quadrant multiplier. A block diagram of such a multiplier, utilizing Amplifier Nos. 1, 2, and 3, is shown in Fig. 25 and a typical circuit is shown in Fig. 26. The multiplier consists of a single CA3060 and, as in the two-quadrant multiplier, achieves no level shifts between input and output. In Fig. 25, Amplifier No. 1 is connected as an inverting amplifier for the X-input signal. The output current of Amplifier No. 1 is calculated as follows:

$$I_1(1) = (-V_X) / R_1 \{ g_1(1) \} \quad (Eq. 1)$$

Ampl. No. 2 is a non-inverting amplifier so that

$$I_1(2) = (+V_X) / R_2 \{ g_2(2) \} \quad (Eq. 4)$$

Because the amplifier output impedances are high, the load current is the sum of the two output currents, for an output voltage:

$$V_O = V_X R_L \{ g_2(2) - g_1(1) \} \quad (Eq. 5)$$

The transconductance is approximately proportional to the amplifier bias current; therefore, by varying the bias current the g<sub>2</sub> is also controlled. Amplifier No. 2 bias current is proportional to the Y-input signal and is expressed as

$$I_{ABC(2)} = \frac{(V_Y - V_Y)}{R_1} \quad (Eq. 6)$$

Hence,

$$g_2(2) = k \{ (V_Y) - V_Y \} \quad (Eq. 7)$$

Bias for Amplifier No. 1 is derived from the output of Amplifier No. 3 which is connected as a unity-gain inverting amplifier, I<sub>ABC(1)</sub>, therefore, varies inversely with V<sub>Y</sub>. And by the same reasoning as above

$$g_1(1) = k \{ (V_Y) - V_Y \} \quad (Eq. 8)$$

Combining equation 5, 7, and 8 yields:

$$V_O = V_X + k \cdot R_L \{ (V_Y) + V_Y - [(V_Y) - V_Y] \} \text{ or } V_O = 2k R_L V_X V_Y$$

Fig. 26 shows the actual circuit including all the adjustments associated with differential input and an adjustment for equating the gains of Amplifiers No. 1 and No. 2. Adjustment of the circuit is quite simple. With both the X and Y voltages at zero, connect Terminal 10 to Terminal 8. This procedure disables Amplifier No. 2 and permits adjusting the offset voltage of Amplifier No. 1 to zero by means of the 100kΩ potentiometer. Next, remove the short between Terminals 10 and 8 and connect Terminal 15 to Terminal 8. This step disables Amplifier No. 1 and permits Amplifier No. 2 to be zeroed with the other potentiometer. With AC signals on both the X and Y input, R3 and R11 are adjusted for symmetrical output signals. Fig. 27 shows the

output waveform with the multiplier adjusted. The voltage waveform in Fig. 27a shows superimposed carrier modulation of 1.4Hz carrier with a triangular wave.

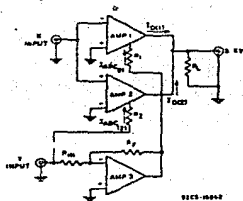


Fig. 25—Four-quadrant multiplier using the CA3060.

Figures 27b and 27c, respectively, show the squaring of a triangular wave and a sine wave. Notice that in both cases the outputs are always positive and return to zero after each cycle.

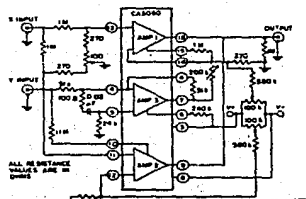


Fig. 26—Typical four-quadrant multiplier circuit.

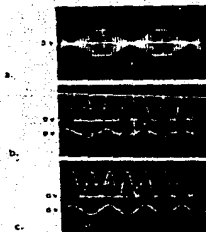


Fig. 27—Voltage waveforms of four-quadrant multiplier circuit.



## CD4049M/CD4049C Hex Inverting Buffer CD4050BM/CD4050BC Hex Non-Inverting Buffer

### General Description

These hex buffers are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. These devices feature logic level conversion using only one supply voltage ( $V_{DD}$ ). The input signal high level ( $V_{IH}$ ) can exceed the  $V_{DD}$  supply voltage when these devices are used for logic level conversions. These devices are intended for use as hex buffers, CMOS to DTL/TTL converters, or as CMOS current drivers, and at  $V_{DD} = 5.0V$ , they can drive directly two DTL/TTL loads over the full operating temperature range.

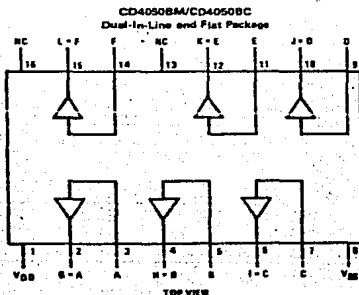
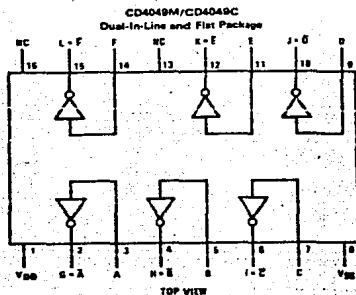
### Features

- Wide supply voltage range 3.0V to 15V
- Direct drive to 2 TTL loads at 5.0V over full temperature range
- High source and sink current capability
- Special input protection permits input voltages greater than  $V_{DD}$

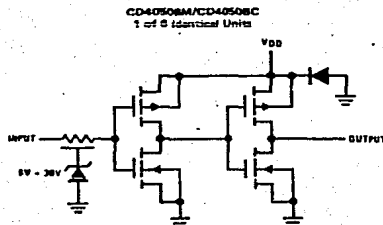
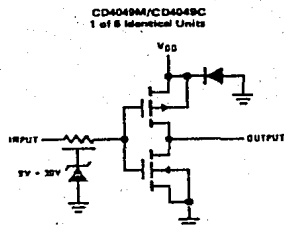
### Applications

- CMOS hex inverter/buffer
- CMOS to DTL/TTL hex converter
- CMOS current "sink" or "source" driver
- CMOS high-to-low logic level converter

### Connection Diagrams



### Schematic Diagrams



## Absolute Maximum Ratings

(Notes 1 and 2)

V <sub>DD</sub> Supply Voltage	-0.5V to +18V
V <sub>IN</sub> Input Voltage	-0.5V to +18V
V <sub>OUT</sub> Voltage at Any Output Pin	-0.5V to V <sub>DD</sub> + 0.5V
T <sub>g</sub> Storage Temperature Range	-65°C to +150°C
P <sub>D</sub> Package Dissipation	800 mW
T <sub>L</sub> Lead Temperature (Soldering, 10 seconds)	300°C

## Recommended Operating Conditions

(Note 2)

V <sub>DD</sub> Supply Voltage	3V to 18V
V <sub>IN</sub> Input Voltage	0V to 18V
V <sub>OUT</sub> Voltage at Any Output Pin	0 to V <sub>DD</sub>
T <sub>A</sub> Operating Temperature Range	-55°C to +125°C
CD4049M, CD4050BM	-40°C to +85°C
CD4049C, CD4050BC	

## DC Electrical Characteristics CD4049M/CD4050BM (Note 2)

PARAMETER	CONDITIONS	-65°C		25°C			125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I <sub>DD</sub> Quiescent Device Current	V <sub>DD</sub> = 5V		1.0		0.01	1.0		30	μA
	V <sub>DD</sub> = 10V		2.0		0.01	2.0		80	μA
	V <sub>DD</sub> = 15V		4.0		0.03	4.0		170	μA
V <sub>OL</sub> Low Level Output Voltage	V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = 0,  I <sub>O</sub>   < 1 μA				0	0.05		0.05	V
	V <sub>DD</sub> = 5V		0.05		0	0.05		0.05	V
	V <sub>DD</sub> = 10V		0.05		0	0.05		0.05	V
V <sub>OH</sub> High Level Output Voltage	V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = 0,  I <sub>O</sub>   < 1 μA								V
	V <sub>DD</sub> = 5V	4.95		4.95	5		4.95		V
	V <sub>DD</sub> = 10V	9.95		9.95	10		9.95		V
V <sub>IL</sub> Low Level Input Voltage (CD4050BM Only)	V <sub>DD</sub> = 15V	14.95		14.95	15		14.95		V
	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V		1.5		2.25	1.5		1.5	V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1V		3.0		4.5	3.0		3.0	V
V <sub>IL</sub> Low Level Input Voltage (CD4049M Only)	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V		4.0		6.75	4.0		4.0	V
	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V		1.0		1.5	1.0		1.0	V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 8V		2.0		2.5	2.0		2.0	V
V <sub>IH</sub> High Level Input Voltage (CD4050BM Only)	V <sub>DD</sub> = 15V, V <sub>O</sub> = 13.5V		3.0		3.6	3.0		3.0	V
	V <sub>DD</sub> = 5V, V <sub>O</sub> = 4.5V	3.5		3.5	2.75		3.5		V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 8V	7.0		7.0	5.5		7.0		V
V <sub>IH</sub> High Level Input Voltage (CD4049M Only)	V <sub>DD</sub> = 15V, V <sub>O</sub> = 13.5V	11.0		11.0	8.25		11.0		V
	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V	4.0		4.0	3.5		4.0		V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1V	8.0		8.0	7.5		8.0		V
I <sub>OL</sub> Low Level Output Current (Note 3)	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V	12.0		12.0	11.5		12.0		V
	V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = 0V								mA
	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.4V	8.8		4.8	5		3.2		mA
I <sub>OH</sub> High Level Output Current (Note 3)	V <sub>DD</sub> = 10V, V <sub>O</sub> = 0.5V	12		9.8	12		8.8		mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V	35		29	40		20		mA
	V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = 0V								mA
I <sub>IN</sub> Input Current	V <sub>DD</sub> = 5V, V <sub>IH</sub> = 4.8V	-1.3		-1.1	-1.6		-0.72		μA
	V <sub>DD</sub> = 10V, V <sub>IH</sub> = 9.5V	-2.6		-2.2	-3.6		-1.5		μA
	V <sub>DD</sub> = 15V, V <sub>IH</sub> = 13.5V	-8.0		-7.2	-12		-6.0		μA
I <sub>IN</sub> Input Current	V <sub>DD</sub> = 15V, V <sub>IH</sub> = 0V		-0.1		-10 <sup>-5</sup>		-0.1		μA
	V <sub>DD</sub> = 15V, V <sub>IH</sub> = 15V		0.1		10 <sup>-5</sup>		0.1		μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed; they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: V<sub>DD</sub> = 0V unless otherwise specified.

Note 3: These are peak output current capabilities. Continuous output current is rated at 12 mA maximum. The output current should not be allowed to exceed this value for extended periods of time.

# DC Electrical Characteristics CD4049C/CD4050BC (Note 2)

PARAMETER	CONDITIONS	-40 °C		25 °C			85 °C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
IDD Quiescent Device Current	VDD = 5V		4		0.03	4.0		30	µA
	VDD = 10V		8		0.05	8.0		60	µA
	VDD = 15V		16		0.07	16.0		120	µA
VOL Low Level Output Voltage	VIH = VDD, VIL = 0V, IOL < 1µA								
	VDD = 5V		0.05		0	0.05		0.05	V
	VDD = 10V		0.06		0	0.05		0.05	V
	VDD = 15V		0.05		0	0.05		0.05	V
VOH High Level Output Voltage	VIH = VDD, VIL = 0V, IOH < 1µA								
	VDD = 5V	4.95		4.95	5		4.95		V
	VDD = 10V	9.95		9.95	10		9.95		V
	VDD = 15V	14.95		14.95	15		14.95		V
VIL Low Level Input Voltage (CD4050BC Only)	IOI < 1µA								
	VDD = 5V, VO = 0.5V		1.5		3.25	1.5		1.5	V
	VDD = 10V, VO = 1V		3.0		4.5	3.0		3.0	V
	VDD = 15V, VO = 1.5V		4.0		6.75	4.0		4.0	V
VIL Low Level Input Voltage (CD4049C Only)	IOI < 1µA								
	VDD = 5V, VO = 4.5V		1.0		1.5	1.0		1.0	V
	VDD = 10V, VO = 9V		2.0		2.5	2.0		2.0	V
	VDD = 15V, VO = 13.5V		3.0		3.5	3.0		3.0	V
VIH High Level Input Voltage (CD4050BC Only)	IOI < 1µA								
	VDD = 5V, VO = 4.5V	3.5		3.5	2.75		3.5		V
	VDD = 10V, VO = 9V	7.0		7.0	5.5		7.0		V
	VDD = 15V, VO = 13.5V	11.0		11.0	8.25		11.0		V
VIH High Level Input Voltage (CD4049C Only)	IOI < 1µA								
	VDD = 5V, VO = 0.5V	4.0		4.0	3.5		4.0		V
	VDD = 10V, VO = 1V	8.0		8.0	7.5		8.0		V
	VDD = 15V, VO = 1.5V	12.0		12.0	11.5		12.0		V
IOL Low Level Output Current (Note 3)	VIH = VDD, VIL = 0V, VDD = 5V, VO = 0.4V	4.8		4.0	5		3.2		mA
	VDD = 10V, VO = 0.5V	9.8		8.5	12		6.8		mA
	VDD = 15V, VO = 1.5V	29		25	40		20		mA
	VIH = VDD, VIL = 0V, VDD = 5V, VO = 4.0V	-1.0		-0.9	-1.8		-0.72		mA
IOH High Level Output Current (Note 3)	VDD = 10V, VO = 8.5V	-2.1		-1.9	-3.8		-1.5		mA
	VDD = 15V, VO = 12.5V	-7.1		-6.2	-12		-5		mA
	VDD = 15V, VIH = 0V	-0.3		-0.3	-10 <sup>-5</sup>		-1.0		µA
	VDD = 15V, VIH = 15V	0.3		0.3	10 <sup>-5</sup>		1.0		µA
IIN Input Current	VDD = 15V, VIN = 0V								
	VDD = 15V, VIN = 15V								

### AC Electrical Characteristics CD4049M/CD4049C

$T_A = 25^\circ\text{C}$ ,  $C_L = 50\text{ pF}$ ,  $R_L = 200\text{ k}\Omega$ ,  $t_r = t_f = 20\text{ ns}$ , unless otherwise specified.

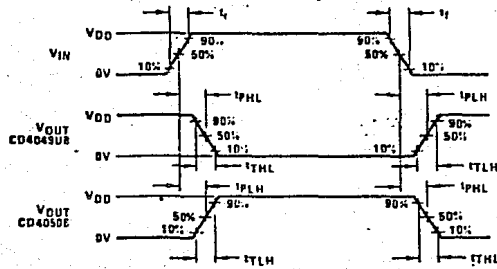
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
tPHL Propagation Delay Time High-to-Low Level	V <sub>DD</sub> = 5V		30	65	ns
	V <sub>DD</sub> = 10V		20	40	ns
	V <sub>DD</sub> = 15V		15	30	ns
tPLH Propagation Delay Time Low-to-High Level	V <sub>DD</sub> = 5V		45	85	ns
	V <sub>DD</sub> = 10V		25	45	ns
	V <sub>DD</sub> = 15V		20	35	ns
tTHL Transition Time High-to-Low Level	V <sub>DD</sub> = 5V		30	60	ns
	V <sub>DD</sub> = 10V		20	40	ns
	V <sub>DD</sub> = 15V		15	30	ns
tTLH Transition Time Low-to-High Level	V <sub>DD</sub> = 5V		60	120	ns
	V <sub>DD</sub> = 10V		30	55	ns
	V <sub>DD</sub> = 15V		25	45	ns
C <sub>IN</sub> Input Capacitance	Any Input		15	22.5	pF

### AC Electrical Characteristics CD4050BM/CD4050BC

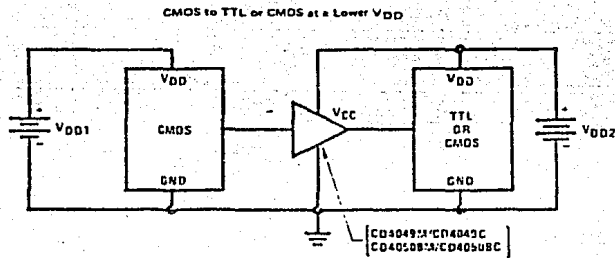
$T_A = 25^\circ\text{C}$ ,  $C_L = 50\text{ pF}$ ,  $R_L = 200\text{ k}\Omega$ ,  $t_r = t_f = 20\text{ ns}$ , unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
tPHL Propagation Delay Time High-to-Low Level	V <sub>DD</sub> = 5V		60	110	ns
	V <sub>DD</sub> = 10V		25	55	ns
	V <sub>DD</sub> = 15V		20	30	ns
tPLH Propagation Delay Time Low-to-High Level	V <sub>DD</sub> = 5V		60	120	ns
	V <sub>DD</sub> = 10V		30	55	ns
	V <sub>DD</sub> = 15V		25	45	ns
tTHL Transition Time High-to-Low Level	V <sub>DD</sub> = 5V		30	60	ns
	V <sub>DD</sub> = 10V		20	40	ns
	V <sub>DD</sub> = 15V		15	30	ns
tTLH Transition Time Low-to-High Level	V <sub>DD</sub> = 5V		60	120	ns
	V <sub>DD</sub> = 10V		30	55	ns
	V <sub>DD</sub> = 15V		25	45	ns
C <sub>IN</sub> Input Capacitance	Any Input		5	7.5	pF

## Switching Time Waveforms



## Typical Applications



Note:  $V_{DD1} \geq V_{DD2}$

Note: In the case of the CD4049UB/CD4049C the output drive capability increases with increasing input voltage. E.g. if  $V_{DD2} = 10V$  the CD4049UB/CD4049C could drive 4 TTL loads.

# TYPES SN54122, SN54123, SN54L122, SN54L123, SN54LS122, SN54LS123, SN74122, SN74123, SN74L122, SN74L123, SN74LS122, SN74LS123

## RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

- D-C Triggered from Active-High or Active-Low Gated Logic Inputs.
- Retriggerable for Very Long Output Pulses, Up to 100% Duty Cycle
- Overriding Clear Terminates Output Pulse
- Compensated for VCC and Temperature Variations
- '122, 'L122, 'LS122 Have Internal Timing Resistors

'122, 'L122, 'LS122  
FUNCTION TABLE

CLEAR	INPUTS			OUTPUTS	
	A1	A2	B1	B2	Q
X	X	X	X	X	H
X	X	X	X	L	H
X	X	X	L	X	L
X	X	X	L	L	H
X	X	L	X	X	L
X	X	L	L	X	H
X	L	X	X	X	L
X	L	X	L	X	H
X	L	L	X	X	L
X	L	L	L	X	H
L	X	X	X	X	L
L	X	X	L	X	H
L	X	L	X	X	L
L	X	L	L	X	H
L	L	X	X	X	L
L	L	X	L	X	H
L	L	L	X	X	L
L	L	L	L	X	H

'123, 'L123, 'LS123  
FUNCTION TABLE

CLEAR	INPUTS		OUTPUTS	
	A	B	Q	Q̄
X	X	X	L	H
X	X	X	H	L
X	X	L	X	L
X	X	L	L	H
X	L	X	X	L
X	L	X	L	H
X	L	L	X	L
X	L	L	L	H
L	X	X	X	L
L	X	X	L	H
L	X	L	X	L
L	X	L	L	H
L	L	X	X	L
L	L	X	L	H
L	L	L	X	L
L	L	L	L	H

See explanation of function tables on page 3-8.

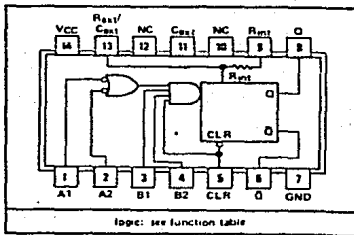
### description

These d-c triggered multivibrators feature output pulse width control by three methods. The basic pulse time is programmed by selection of external resistance and capacitance values (see typical application data). The '122, 'L122, and 'LS122 have internal timing resistors that allow the circuits to be used with only an external capacitor, if so desired. Once triggered, the basic pulse width may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear. Figure 1 illustrates pulse control by retriggering and early clear.

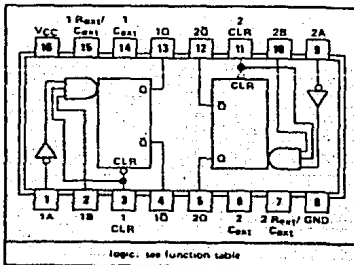
The 'LS122 and 'LS123 are provided enough Schmitt hysteresis to ensure jitter-free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

- NOTE 1. An external timing capacitor may be connected between  $C_{EXT}$  and  $R_{INT}/C_{EXT}$  (function).
2. To use the internal timing resistor of '122, 'L122 or 'LS122, connect  $R_{INT}$  to VCC.
3. For improved pulse width accuracy and repeatability, connect an external resistor between  $R_{INT}/C_{EXT}$  and VCC with  $N_1$  open-circuited.
4. To obtain variable pulse width, connect an external variable resistance between  $R_{INT}$  or  $R_{EXT}/C_{EXT}$  and VCC.

SN54122, SN54LS122 ... J OR W  
SN54L122 ... J OR T  
SN74122, SN74L122, SN74LS122 ... J OR N  
(TOP VIEW) (SEE NOTES 1 THRU 4)

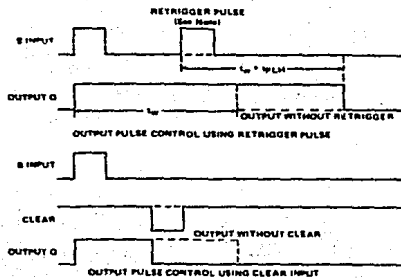


SN54123, SN54LS123 ... J OR W  
SN54L123 ... J  
SN74123, SN74L123, SN74LS123 ... J OR N  
(TOP VIEW) (SEE NOTES 1 THRU 4)



**TYPES: SN54122, SN54123, SN54L122, SN54L123, SN54LS122, SN54LS123,  
SN74122, SN74123, SN74L122, SN74L123, SN74LS122, SN74LS123  
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS**

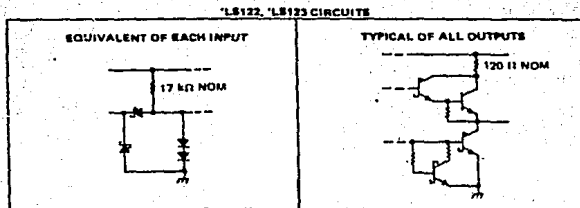
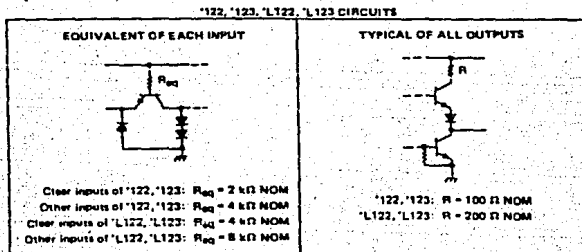
description (continued)



NOTE: Retrigger pulse must not start before  $0.22 C_{01}$  (in picofarads) nanoseconds after previous trigger pulse.

FIGURE 1—TYPICAL INPUT/OUTPUT PULSES

schematics of inputs and outputs



# TYPES SN54122, SN54123, SN74122, SN74123 RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

## recommended operating conditions

	EN54*			EN74*			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$	-800			-800			$\mu$ A
Low-level output current, $I_{OL}$	16			16			mA
Pulse width, $t_w$	40			40			ns
External timing resistance, $R_{EXT}$	5		25	5		50	k $\Omega$
External capacitance, $C_{EXT}$	No restriction			No restriction			
Wiring capacitance at $R_{EXT}/C_{EXT}$ terminal	50			50			pF
Operating free-air temperature, $T_A$	-55		125	0		70	$^{\circ}$ C

## electrical characteristics over recommended free-air operating temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	'122		'123		UNIT		
		MIN	TYP‡ MAX	MIN	TYP‡ MAX			
$V_{IH}$ High-level input voltage		2		2		V		
$V_{IL}$ Low-level input voltage			0.8		0.8	V		
$V_{IK}$ Input clamp voltage	$V_{CC} = \text{MIN}$ , $I_I = -12 \text{ mA}$		-1.5		-1.5	V		
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN}$ , $I_{OH} = -800 \mu\text{A}$ , See Note 1	2.4	3.4	2.4	3.4	V		
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN}$ , $I_{OL} = 16 \text{ mA}$ , See Note 1		0.2	0.4	0.2	0.4	V	
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX}$ , $V_I = 5.5 \text{ V}$			1		1	mA	
$I_{IH}$ High-level input current	Data input		40		40	$\mu$ A		
	Clear input	$V_{CC} = \text{MAX}$ , $V_I = 2.4 \text{ V}$		50			50	
$I_{IL}$ Low-level input current	Data input		-1.6		-1.6	mA		
	Clear input	$V_{CC} = \text{MAX}$ , $V_I = 0.4 \text{ V}$		-3.2			-3.2	
$I_{QS}$ Short-circuit output current*	$V_{CC} = \text{MAX}$ , See Note 5	-10		-10		-40	mA	
$I_{CC}$ Supply current (quiescent or triggered)	$V_{CC} = \text{MAX}$ , See Notes 6 and 7		23	28		46	66	mA

† For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^{\circ}\text{C}$ .

\* Not more than one output should be shorted at 2 times.

NOTE 5: Ground  $C_{EXT}$  to measure  $V_{OH}$  at Q,  $V_{OL}$  at  $\bar{Q}$ , or  $I_{QS}$  at Q.  $C_{EXT}$  is open to measure  $V_{OH}$  at Q,  $V_{OL}$  at Q, or  $I_{QS}$  at  $\bar{Q}$ .

6. Quiescent  $I_{CC}$  is measured (after clearing) with 2.4 V applied to all clear and A inputs, B inputs grounded, all outputs open,  $C_{EXT} = 0.02 \mu\text{F}$ , and  $R_{EXT} = 25 \text{ k}\Omega$ .  $R_{EXT}$  of '122 is open.

7.  $I_{CC}$  is measured in the triggered state with 2.4 V applied to all clear and B inputs, A inputs grounded, all outputs open,  $C_{EXT} = 0.02 \mu\text{F}$ , and  $R_{EXT} = 25 \text{ k}\Omega$ .  $R_{EXT}$  of '122 is open.

## switching characteristics, $V_{CC} = 5 \text{ V}$ , $T_A = 25^{\circ}\text{C}$ , see note 8

PARAMETER§	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'122		'123		UNIT	
				MIN	TYP‡ MAX	MIN	TYP‡ MAX		
$t_{PLH}$	A	Q	$C_{EXT} = 0$ , $C_L = 15 \text{ pF}$ , $R_{EXT} = 5 \text{ k}\Omega$ , $R_L = 400 \Omega$	22	33	22	33	ns	
	B	Q		19	28	19	28		
$t_{PHL}$	A	Q		30	40	30	40	ns	
	B	Q		27	38	27	38		
$t_{PHL}$	Clear	Q		18	27	18	27	ns	
$t_{PLH}$	Clear	Q		30	40	30	40	ns	
$t_{wQ}$ (min)	A or B	Q	45	65	45	65	ns		
$t_{wQ}$	A or B	Q	3.08	3.42	3.78	2.78	3.03	3.37	$\mu$ s

§  $t_{PLH}$  = propagation delay time, low-to-high-level output

¶  $t_{PHL}$  = propagation delay time, high-to-low-level output

‡  $t_{wQ}$  = width of pulse at output Q

NOTE 8: Load circuit and voltage waveforms are shown on page 3-10.



## TYPES SN54L122, SN54L123, SN74L122, SN74L123 RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

### recommended operating conditions

	SN54L*			SN74L*			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$	-400						$\mu$ A
Low-level output current, $I_{OL}$	8						mA
Pulse width, $t_w$	50			50			ns
External timing resistance, $R_{EXT}$	5			5			k $\Omega$
External capacitance, $C_{EXT}$	No restriction			No restriction			
Wiring capacitance at $V_{CC}$ or $C_{EXT}$ terminal	50			50			pF
Operating temperature, $T_A$	-55			125			$^{\circ}$ C

### electrical characteristics over recommended free-air operating temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS <sup>1</sup>	*L122		*L123		UNIT
		MIN	TYP. MAX	MIN	TYP. MAX	
$V_{IH}$ High-level input voltage		2		2		V
$V_{IL}$ Low-level input voltage			0.8		0.8	V
$V_{IK}$ Input clamp voltage	$V_{CC} = \text{MIN.}, I_I = 12 \text{ mA}$		-1.5		-1.5	V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN.}, I_{OH} = -400 \mu\text{A.}$ See Note 1	2.4	3.4	2.4	3.4	V
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN.}, I_{OL} = 8 \text{ mA.}$ See Note 1		0.2 0.4		0.2 0.4	V
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX.}, V_I = 5.5 \text{ V}$		1		1	mA
$I_{IH}$ High-level input current	Data input		20		20	$\mu$ A
	Clear input	$V_{CC} = \text{MAX.}, V_I = 2.4 \text{ V}$		40	40	$\mu$ A
$I_{IL}$ Low-level input current	Data input		-0.8		-0.8	mA
	Clear input	$V_{CC} = \text{MAX.}, V_I = 0.4 \text{ V}$		-1.8	-1.8	mA
$I_{OS}$ Short-circuit output current <sup>2</sup>	$V_{CC} = \text{MAX.}$ See Note 9	-5	-20	-5	-20	mA
$I_{CC}$ Supply current (quiescent or triggered)	$V_{CC} = \text{MAX.}$ See Notes 10 and 11		11 14		23 33	mA

<sup>1</sup> For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.

<sup>2</sup> All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$ .

<sup>3</sup> Not more than one output should be shown at a time.

NOTES: 8. Ground  $C_{EXT}$  to measure  $V_{OH}$  at 0,  $V_{OL}$  at 8, or  $I_{OS}$  at 0.  $C_{EXT}$  is open to measure  $V_{OH}$  at 8,  $V_{OL}$  at 0, or  $I_{OS}$  at 8.

10. Quiescent  $I_{CC}$  is measured after clearing with 2.4 V applied to all clear and A inputs, B inputs grounded, all outputs open,  $C_{EXT} = 0.02 \mu\text{F}$ , and  $R_{EXT} = 28 \text{ k}\Omega$ .  $R_{INT}$  of \*L122 is open.

11.  $I_{CC}$  is measured in the triggered state with 2.4 V applied to all clear and B inputs, A inputs grounded, all outputs open,  $C_{EXT} = 0.02 \mu\text{F}$ , and  $R_{EXT} = 25 \text{ k}\Omega$ ,  $R_{INT}$  of \*L122 is open.

### switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$ , see note 8

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	*L122		*L123		UNIT
				MIN	TYP. MAX	MIN	TYP. MAX	
$t_{PLH}$	A	Q	$C_{EXT} = 0, R_{EXT} = 5 \text{ k}\Omega,$ $C_L = 15 \text{ pF}, R_L = 800 \Omega$	44	66	44	66	ns
	B	Q		38	56	38	56	ns
$t_{PHL}$	A	Q		80	80	80	80	ns
	B	Q		54	72	54	72	ns
$t_{PLL}$	Clear	Q		36	54	36	54	ns
	Clear	Q		60	80	60	80	ns
$t_{wQ}$ (min)	A or B	Q	90 135		90 135		ns	
$t_{wQ}$	A or B	Q	1.7 1.9 2.1		1.3 2.1		$\mu$ s	

<sup>1</sup>  $t_{PLH}$  is propagation delay time, low-to-high-level output

<sup>2</sup>  $t_{PHL}$  is propagation delay time, high-to-low-level output

<sup>3</sup>  $t_{wQ}$  is width of pulse at output Q

NOTE 8: Load circuit and voltage waveforms are shown on page 3-10.

# TYPES SN54LS122, SN54LS123, SN74LS122, SN74LS123 RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

## recommended operating conditions

	SN54LS*			SN74LS*			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$	-400			-400			$\mu$ A
Low-level output current, $I_{OL}$	4			8			mA
Pulse width, $t_w$	40			40			ns
External timing resistance, $R_{EXT}$	5	150		5	20		k $\Omega$
External capacitance, $C_{EXT}$	No restriction			No restriction			pF
Wiring capacitance at $P_{DRAIN}/C_{EXT}$ terminal	50			70			pF
Operating free-air temperature, $T_A$	-55	125		0	70		$^{\circ}$ C

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS*		SN74LS*		UNIT	
		MIN	TYP‡ MAX	MIN	TYP‡ MAX		
$V_{IH}$ High-level input voltage	$V_{CC} = 5$	2		2		V	
$V_{IL}$ Low-level input voltage			0.7		0.8	V	
$V_{IK}$ Input clamp voltage	$V_{CC} = \text{MIN.}$ $I_I = -18 \text{ mA}$		-1.5		-1.5	V	
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN.}$ $V_{IL} = V_{IL(\text{max})}$ $I_{OH} = -400 \mu\text{A}$	2.5	3.5	2.7	3.5	V	
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN.}$ $V_{IH} = 2 \text{ V}$ $V_{IL} = V_{IL(\text{max})}$ $I_{OL} = 4 \text{ mA}$ $I_{DL} = 8 \text{ mA}$		0.25	0.4	0.25	0.4	V
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX.}$ $V_I = 7 \text{ V}$		0.1		0.1	mA	
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX.}$ $V_I = 2.7 \text{ V}$		20		20	$\mu$ A	
$I_{IL}$ Low-level input current	$V_{CC} = \text{MAX.}$ $V_I = 0.4 \text{ V}$		-0.4		-0.4	mA	
$I_{OS}$ Short-circuit output current*	$V_{CC} = \text{MAX.}$		-20	-100	-20	-100	mA
$I_{CC}$ Supply current (quiescent or triggered)	$V_{CC} = \text{MAX.}$ See Note 13	LS122	e	11	e	11	mA
		LS123	12	20	12	20	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^{\circ}\text{C}$ .

\* Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

NOTES: 12. To measure  $V_{OH}$  at 0,  $V_{OL}$  at 0, or  $I_{OS}$  at 0, ground  $R_{EXT}/C_{EXT}$ , apply 2 V to B and clear, and pulse A from 2 V to 0 V.

13. With all outputs open and 4.5 V applied to all pins and clear inputs,  $I_{CC}$  is measured after a momentary ground, then 4.5 V, is applied to clock.

## switching characteristics, $V_{CC} = 5 \text{ V}$ , $T_A = 25^{\circ}\text{C}$ , see note 14

PARAMETER†	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$	A	Q	$C_{EXT} = 0$ $C_L = 15 \text{ pF}$ $R_{EXT} = 5 \text{ k}\Omega$ $R_L = 2 \text{ k}\Omega$	23	33	44	ns
	B	Q		32	45	56	ns
$t_{PHL}$	A	Q		20	27	35	ns
$t_{PLH}$	Clear	Q		28	45	55	ns
$t_{PHL}$	A or B	Q		115	200	ns	ns
$t_{wO}$	A or B	Q		$C_{EXT} = 1000 \text{ pF}$ $C_L = 15 \text{ pF}$ $R_{EXT} = 10 \text{ k}\Omega$ $R_L = 2 \text{ k}\Omega$	4	4.5	5

†  $t_{PLH}$  = propagation delay time, low-to-high-level output

$t_{PHL}$  = propagation delay time, high-to-low-level output

$t_{wO}$  = width of pulse at output Q

NOTE 14. Load circuit and voltage waveforms are shown on page 3-11.

# TYPES SN54122, SN74122, SN54123, SN74123 SN54L122, SN74L122, SN54L123, SN74L123 RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

## TYPICAL APPLICATION DATA FOR '122, '123, 'L122, 'L123

For pulse widths when  $C_{ext} < 1000$  pF. See Figures 4 and 5.

The output pulse is primarily a function of the external capacitor and resistor. For  $C_{ext} > 1000$  pF, the output pulse width ( $t_w$ ) is defined as:

$$t_w = K \cdot R_T \cdot C_{ext} \left( 1 + \frac{0.7}{R_T} \right)$$

where

K is 0.32 for '122, 0.28 for '123,  
0.37 for 'L122, 0.33 for 'L123

$R_T$  is in  $k\Omega$  (internal or external timing resistance).

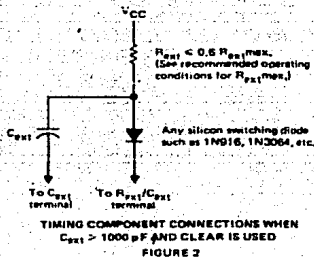
$C_{ext}$  is in pF

$t_w$  is in nanoseconds

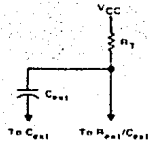
To prevent reverse voltage across  $C_{ext}$ , it is recommended that the method shown in Figure 2 be employed when using electrolytic capacitors and in applications utilizing the clear function. In all applications using the diode, the pulse width is:

$$t_w = K_D \cdot R_T \cdot C_{ext} \left( 1 + \frac{0.7}{R_T} \right)$$

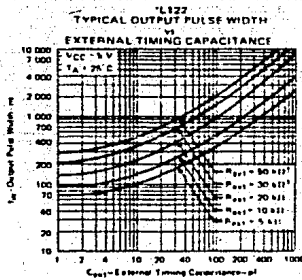
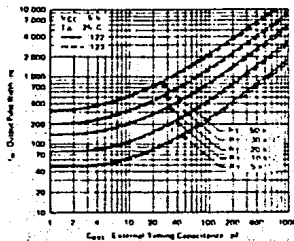
$K_D$  is 0.28 for '122, 0.25 for '123,  
0.33 for 'L122, 0.29 for 'L123



Applications requiring more precise pulse widths (up to 28 seconds) and not requiring the clear feature can best be satisfied with the '121 or 'L121.



'122, '123  
TYPICAL OUTPUT PULSE WIDTH  
vs  
EXTERNAL TIMING CAPACITANCE



† These values of resistance exceed the maximum recommended for use over the full temperature range of the SN54 and SN54L circuits.

# TYPES SN54LS122, SN74LS122, SN54LS123, SN74LS123 RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

## TYPICAL APPLICATION DATA FOR 'LS122, 'LS123

The basic output pulse width is essentially determined by the values of external capacitance and timing resistance. For pulse widths when  $C_{EXT} < 1000$  pF, see Figure 7.

When  $C_{EXT} > 1000$  pF, the output pulse width is defined as:

$$t_w = 0.45 \cdot R_T \cdot C_{EXT}$$

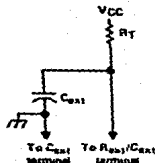
where

$R_T$  is in k $\Omega$  (internal or external timing resistance.)

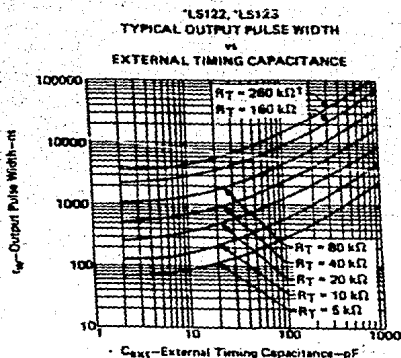
$C_{EXT}$  is in pF

$t_w$  is in nanoseconds

For best results, system ground should be applied to the  $C_{EXT}$  terminal. The switching diode is not needed for electrolytic capacitance applications.



TIMING COMPONENT CONNECTIONS  
FIGURE 6



\* This value of resistance exceeds the maximum recommended for use over the full temperature range of the SN54LS circuits.

FIGURE 7

# BIPOLAR TRANSISTORS

Catalog Number	Direct Commercial Equivalent	Mat.	Appl.	Polarity	Power Diss. @25°C Free Air	$f_t$ Typical MHz	$V_{ceo}$ V	$V_{cbo}$ V	$V_{ceo}$ V	$I_c$ Max	$I_b$ Max	h	$\beta_{V_{ce}}$ V	$\beta_{I_c}$ mA	$I_{cso}$ at max $V_{ce}$	Case Style
276-2007	2N1306	G	S.	PNP	180mW	8	30	—	25	300mA	—	40	1	10	6 $\mu$ A	TO5
276-2009	MPS2222A	S	G.P.	NPN	500mW	300	75	40	6	800mA	—	50	10	1	10nA	TO92
276-2010	PN2484	B	LL	NPN	380mW	16	60	60	6	50mA	—	250	6	1	10nA	TO92
276-2016	MPS3904	S	S	NPN	350mW	300	60	40	6	200mA	—	100	10	1	50nA	TO92
276-2017	TIP31	B	P	NPN	1.4W $\frac{1}{2}$	3	40	40	5	3A	1A	10-50	4	3A	300 $\mu$ A	TO220A5-2
276-2020	TIP3055	S	P	NPN	90W $\frac{1}{2}$	3	100	70	7	15A	7A	20	4	4A	1mA	TO220
276-2023	MPS2907	S	S	PNP	400mW	200	60	40	6	800mA	—	50	10	1	20nA	TO92
276-2027	MJE34	S	P	PNP	90W $\frac{1}{2}$	3	40	40	5	10A	3A	20-100	4	3A	220 $\mu$ A	TO220
276-2030	2N3053	B	P	NPN	1W	100	60	40	5	700mA	—	50	10	160	—	TO5
276-2032	MPS3638	S	RF/F	PNP	350mW	100	25	25	4	500mA	—	30	3	10	10nA	TO92
276-2041	2N3055	S	P	NPN	115W $\frac{1}{2}$	2.5	100	60	7	15A	7A	50	4	1A	—	TO3
276-2043	MJ2955	S	P	PNP	150W $\frac{1}{2}$	4	100	60	7	15A	7A	70	10	0.5	—	TO3
276-2048	MRF901	S	NPN	NPN	300mW	2500	25	15	2	30mA	—	80	5	5	50nA	MACRO-X
276-2048	2SD313	S	P	NPN	30W $\frac{1}{2}$	8	60	60	5	3A	—	40-320	2	1	100 $\mu$ A	TO220
276-2051	2SC945	S	G.P.	NPN	250mW	250	60	50	5	100mA	—	60-200	6	1	100nA	TO92J
276-2055	2SC1308	S	SW	NPN	50W $\frac{1}{2}$	—	1400	400	6	7A	0.8A	3	2	4A	5mA	TO3
276-2057	2N4124	S	G.P.	NPN	350mW	300	30	25	5	200mA	—	480	10	2	0.1 $\mu$ A	TO92
276-2058	2N4401	S	G.P.	NPN	350mW	250 min.	40	60	6	800mA	—	500	10	1	1 $\mu$ A	TO92
276-2059	MPSA06	S	P*	NPN	625mW	100	80	80	4	800mA	—	60 min.	1	100	0.1 $\mu$ A	TO92
276-2060	MPSA13	S	P*	NPN	625mW	2	30	30	10	500mA	—	10,000	5	100	100nA	TO92
276-2061	MPSA42	S	G.P.	NPN	625mW	50	300	300	6	500mA	—	40 min.	10	30	0.1 $\mu$ A	TO92
276-2068	TIP120	S	P	NPN	65W $\frac{1}{2}$	0.1	80	60	5	5A	120mA	2500	3	500	0.2mA	TO220A5-2

NOTE: All ratings given are for 25°C except where otherwise noted.

†With heat sink.

## MATERIAL:

S—Silicon; G—Germanium

## APPLICATION:

S—Switch

G.P.—General purpose

P—Power amp/switch

RF/F—RF/F frequency

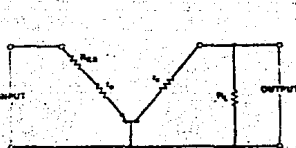
\*—High Gain Darlington

UHF—Ultrahigh frequency

LL—Low Level

SW—TV Sweep

## USEFUL INFORMATION



### Parameters of Common-Base Circuit

Input impedance

$$Z_{in} = r_e$$

Load impedance

$Z_L = R_L$  in parallel with input impedance of following stage.

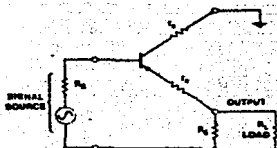
Current Gain

$$A_i = \alpha = \frac{\beta}{1 + \beta}$$

(In practice,  $\alpha$  is 0.95 to 0.995, or approximately 1.)

Voltage Gain

$$A_v = \frac{Z_L}{r_e} = \beta_{ac} Z_L$$



### Parameters of Common-Collector Circuit

Input impedance

$$Z_{in} = (\beta + 1)Z_L$$

where,

$Z_L$  is  $R_L$  in parallel with  $R_E$ .

Output impedance

$$Z_{out} = \frac{R_E}{\beta + 1}$$

where,

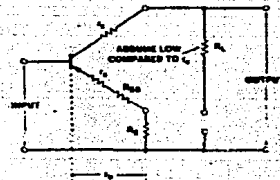
$R_E$  is the output impedance of the signal source.

Current Amplification

$$A_i = \beta$$

Voltage Amplification

$$A_v = \text{Less than unity}$$



### Parameters of Common-Emitter Circuit

Input impedance

$$Z_{in} = h_{ie} r_e$$

Load impedance

$Z_L = R_L$  in parallel with input impedance of next stage.

Current Gain

$$A_i = \frac{\Delta I_C}{\Delta I_B} = h_{fe}$$

where,

$$h_{fe} = \beta = \frac{I_C}{I_B} = \frac{\alpha}{1 - \alpha}$$

Voltage Gain

$$A_v = \frac{\Delta V_C}{\Delta V_B} = \frac{Z_L}{r_e} = \beta_{ac} Z_L$$

Power Gain

$$A_p = \frac{V_{out} I_{out}}{V_{in} I_{in}} = \beta \frac{Z_L}{r_e}$$