



UNIVERSIDAD NACIONAL AUTÓNOMA DE MEXICO

Facultad de Ingeniería

"DESARROLLO DE UN CIRCUITO DE
SINCRONIZACION DE SIMBOLO PARA
PCM A 34 MBS."

TESIS PROFESIONAL

QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO
ELECTRICISTA

P R E S E N T A :

ARTURO ARVIZU MONDRAGON

Director de Tesis: Ing. Daniel Pineda Cortés

México, D. F.

1986



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I.- INTRODUCCION.

- 1.1 Descripción general del sistema de transmisión PCM utilizando fibras ópticas.
- 1.2 Sistemas de sincronización basados en el tren de pulsos.
- 1.3 El lazo de encadenamiento de fase (PLL) como circuito de sincronización.

II.- LAZO DE ENCADENAMIENTO DE FASE (PLL) COMO CIRCUITO DE RECUPERACION DE SINCRONIA.

- 2.1 Esquema general del PLL.
- 2.2 Comparadores de fase.
- 2.3 Función de transferencia del sistema.
- 2.4 Ruido de fase introducido por el PLL.

III.- PROBLEMAS DE ADQUISICION Y SEGUIMIENTO.

- 3.1 Requerimiento de adquisición y seguimiento para un sistema PCM.
- 3.2 Sistemas para ayuda de adquisición.

IV.- DISEÑO DEL CIRCUITO DE RECUPERACION DE SINCRONIA.

- 4.1 Comparador de fase.
- 4.2 Oscilador controlado por voltaje.
- 4.3 Diseño del filtro paso-bajas.

V.- REALIZACION DEL SISTEMA.

- 5.1 Realización y prueba del comparador de fase.
- 5.2 Realización y prueba del VCO.
- 5.3 Realización y prueba del filtro de lazo.
- 5.4 Realización y prueba de la ayuda de adquisición.
- 5.5 Prueba del ruido de fase introducido en el proceso de sincronización.

VI.- CONCLUSIONES.

VII.- APENDICES.

VIII.- BIBLIOGRAFIA.

CAPITULO I INTRODUCCION

I.- INTRODUCCION.

El presente trabajo se refiere a un circuito extractor de sincronía, el cual forma parte de un equipo terminal PCM para comunicaciones digitales por fibra óptica. Actualmente, este equipo se está desarrollando en el Instituto de Investigaciones Eléctricas (IIE).

A la fecha, el transmisor y el receptor ya están terminados, mientras que el circuito extractor de sincronía, motivo de esta tesis, así como los circuitos codificador, decodificador y circuito de decisión se encuentran aún en desarrollo.

Es importante resaltar que actualmente ya existe en el mercado este equipo; sin embargo, se pretende desarrollar la tecnología necesaria para poder realizarlos en México, con tecnología nacional.

Inicialmente el objetivo era desarrollar un circuito extractor de sincronía para 34.368 Mbs (como lo indica el título de esta tesis), pero debido a la carencia de los componentes adecuados, se optó por trabajar a 8.448 Mbs como un término medio entre la frecuencia de transmisión de primera jerarquía (de acuerdo a la norma CCITT G.732) de 2.048 Mbs y 34.368 Mbs, la cual implica trabajar en el orden de radiofrecuencias.

Por lo tanto, el presente trabajo se orientó a la realización de un circuito extractor de sincronía que funcionara adecuadamente en conjunción con las demás partes del sistema a 8.448 Mbs, obteniéndose el beneficio adicional de que la realización del mismo permitiría vislumbrar los problemas teóricos y prácticos para poder incursionar en frecuencias mayores.

1.1 Descripción general del sistema de transmisión PCM utilizando fibras ópticas.

En la figura 1.1 se muestra el diagrama de bloques de un sistema típico de comunicación digital utilizando fibras ópticas.

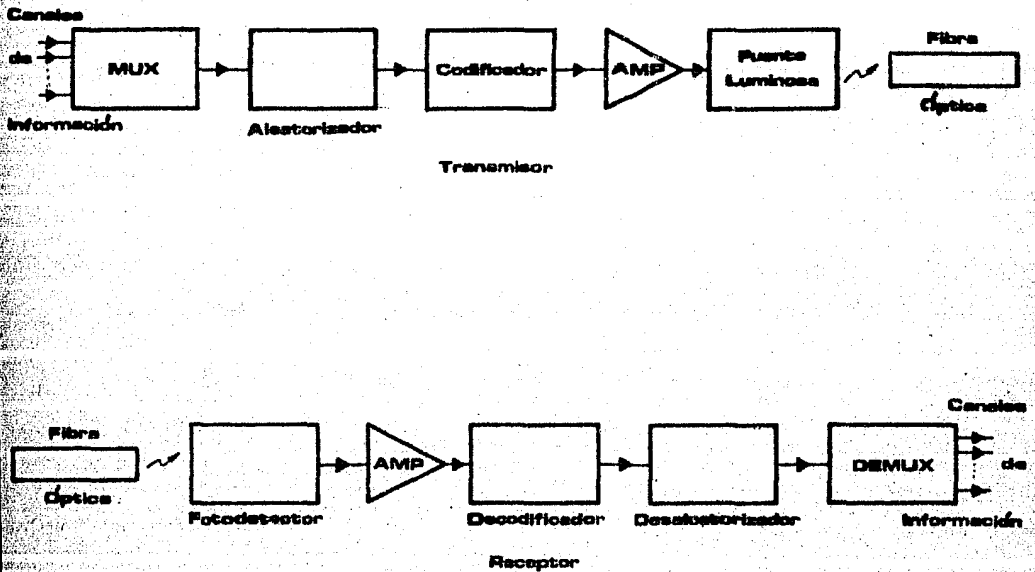


Figura 1.1 Diagrama de bloques de un sistema de comunicación digital utilizando fibra óptica.

Como puede apreciarse en la figura 1.1, a la entrada del multiplexor son recibidos varios canales de información, los cuales, son multicanalizados por división de tiempo para poder ser enviados por un sólo canal de transmisión.

La función del aleatorizador, es tratar de equilibrar la ocurrencia de unos y ceros, así como el evitar ciertas secuencias de datos que podrían ser desfavorables al proceso de codificación, lográndose así un mejor desempeño de éste.

A continuación, se hace una conversión de la información entregada en código alta densidad bipolar de nivel tres (HDB3) por el equipo multiplexor, a un código binario. Esta conversión es necesaria ya que el método empleado para comunicaciones por fibra óptica (presencia o ausencia de potencia) no permite la transmisión de estados intermedios.

La codificación de la información se hace con la finalidad de poder monitorear, y corregir en algunos casos, la calidad de la transmisión.

La elección de un código adecuado es necesaria para tener el mejor aprovechamiento del ancho espectral de la fibra, así como para obtener una baja probabilidad de error, y facilitar la extracción de la señal de sincronía, con lo que se obtendrá una transmisión más confiable.

Después de codificada la señal, ésta pasa por una etapa de amplificación para que su nivel de entrada al amplificador óptico sea el adecuado.

Finalmente, la señal eléctrica es convertida en señal óptica mediante el uso de un transductor electro-óptico (diodo Laser), y es enviada a través de la fibra óptica.

En el proceso de recepción, el primer paso consiste en la recuperación de la información óptica, para que posteriormente pase a ser decodificada y desaleatorizada.

La función del demultiplexor es inversa a la del multiplexor, es decir, a partir de la señal recibida por el canal, obtiene varias señales de información.

1.1.1 Regeneradores ópticos en sistemas digitales.

En el diagrama de bloques descrito en el punto anterior, la transferencia de información entre los puntos terminales se hace directamente a través de la fibra, sin incluir ningún elemento intermedio. Sin embargo, cuando la distancia entre transmisor y receptor aumenta, se hace necesario el uso de regeneradores (o repetidores) ópticos entre los puntos terminales, debido a la atenuación y

dispersión que va sufriendo la luz a lo largo de la fibra óptica.

En la figura 1.2 es mostrado el diagrama de bloques de un repetidor óptico típico.

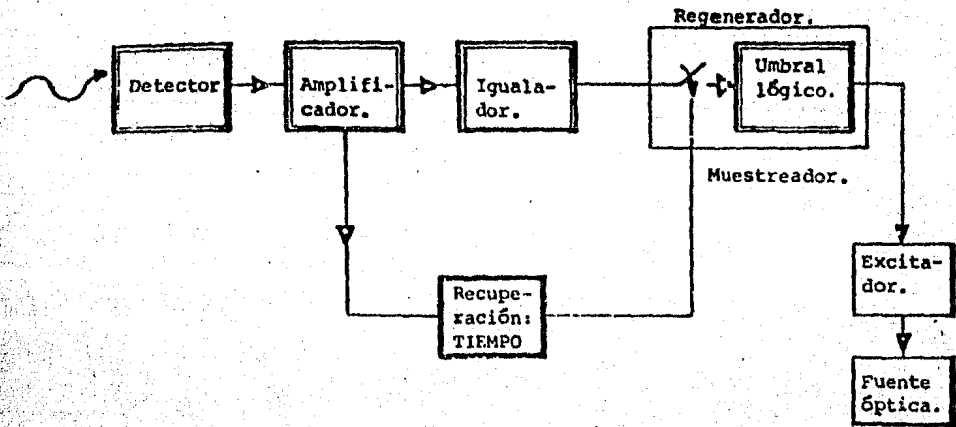


Figura 1.2 Diagrama de bloques de un repetidor óptico típico.

Como puede apreciarse, el proceso de regeneración consiste de 3 pasos básicamente, los cuales se enuncian a continuación:

- Amplificación e igualación de la forma del pulso.
- Recuperación de la señal de sincronía a partir del tren de pulsos.
- Detección síncrona y retransmisión de los pulsos.

Finalmente, la última etapa en el repetidor es una fuente emisora de luz, cuya función es enviar la información regenerada a través de la fibra.

Como ejemplo de un repetidor óptico, en la figura 1.3 se muestra el diagrama de bloques del sistema realizado por Malone [4].

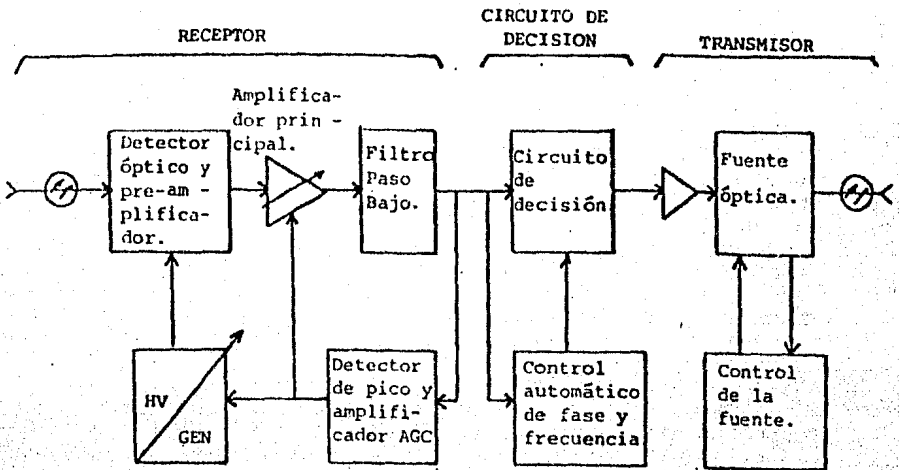


Figura 1.3 Diagrama de bloques del regenerador realizado por Malone.

1.1.2 Sistemas de sincronización para comunicaciones sincronas.

En comunicaciones digitales sincronas, existen básicamente dos problemas de sincronización; sincronización de portadora y sincronización de símbolo.

Para un sistema de tipo portadora, como los sistemas de radio, es necesario generar una portadora de referencia con una fase similar a la de la señal de datos. Esta portadora de referencia es usada en el receptor para realizar una operación de demodulación coherente, la cual convierte la señal de frecuencia intermedia entrante en una señal de datos en banda base.

En un sistema de sincronización de bit se requiere sincronizar el reloj del receptor con la secuencia de datos en banda base. Este proceso es llamado sincronización de símbolo o de bit, aún cuando el alfabeto utilizado puede no ser binario.

La sincronización del símbolo puede lograrse transmitiendo el reloj junto con la señal de datos usando otro canal, o usando en el receptor circuitos especiales de recuperación de sincronía. Estos circuitos extraen la información de sincronía a partir de la señal de datos recibida y la usan para generar una réplica exacta del reloj del transmisor.

1.2 Sistemas de sincronización basados en el tren de pulsos.

Una característica deseable en un sistema sincrónico de transmisión de datos en forma digital es el hecho de que la señal de reloj pueda ser extraída a partir de los datos. Esto hace al sistema más eficiente, pero presenta el inconveniente de que los circuitos y la teoría al respecto son bastante complejos.

Si observamos mediante un analizador de espectros el espectro de amplitud de una señal de datos NRZ, puede apreciarse que no existe ninguna componente a la frecuencia del reloj de transmisión, lo que aparentemente implica que la señal de sincronía no puede ser obtenida a partir de dicha señal.

Sin embargo, puede demostrarse [2] que si la señal de datos NRZ es pasada a través de una no linealidad de orden par, en la señal resultante aparece la espiga correspondiente a la frecuencia del reloj (ver apéndice 4), lo que implica que puede obtenerse la señal de sincronía a partir de un proceso de filtrado de tipo paso-banda.

Para la recuperación de la señal de sincronía a partir de la señal de datos, Franks [1] propone el esquema de la figura 1.4.

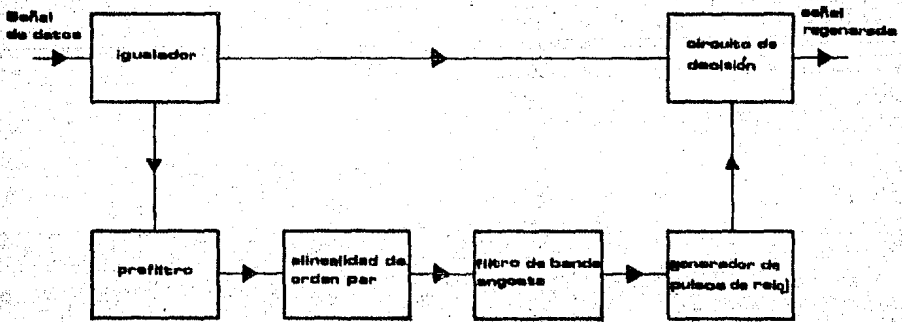


Figura 1.4 Esquema de recuperación de sincronía a partir de la señal de datos.

El objetivo del prefiltro es disminuir el ruido de fase (jitter) - ver apéndice 1 - ocasionado por el carácter aleatorio de las transiciones de nivel de la señal de datos. La alinealidad de orden par, como vimos anteriormente, tiene por función producir una espiga en el espectro a la frecuencia del reloj de transmisión.

Finalmente, el filtro de banda estrecha tiene por función el extraer la señal de reloj a partir de la señal generada por la alinealidad de orden par.

Bylanski [2] nos muestra el siguiente esquema de no linealidad de orden par, la cual ha sido usada tradicionalmente en los circuitos de recuperación de reloj para equipos de comunicaciones síncronas por fibra óptica:

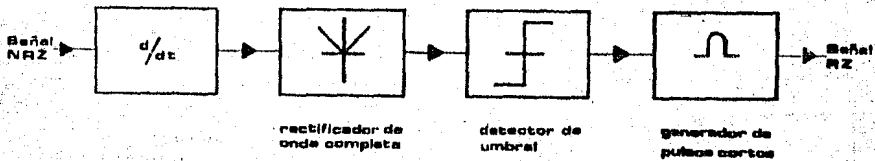


Figura 1.5 No. linealidad de orden par.

Sin embargo, Gardner [3], nos dice que se ha encontrado que se puede utilizar un circuito más sencillo de implementar, llamado multiplicador de retardo de línea, cuyo esquema se muestra en la figura 1.6.

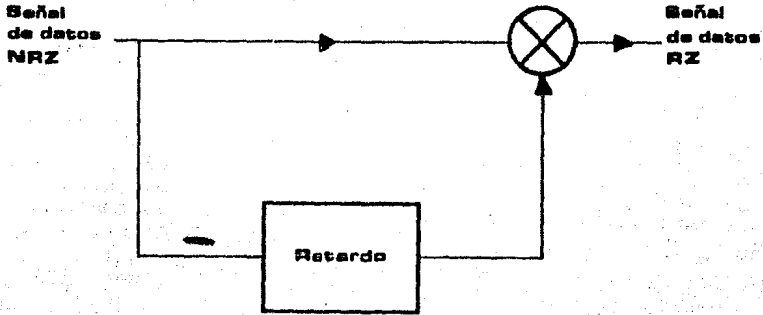


Figura 1.6 Multiplicador de retardo de línea.

Al utilizar este circuito se obtiene el mismo resultado que utilizando el propuesto por Bylanski. Este circuito es llamado también un detector de transición.

Asimismo, Gardner [3] menciona que para que la amplitud de la componente de reloj sea máxima debe cumplirse que:

$$T_d = T/2 \quad \text{---(1.1)}$$

donde T es el periodo del reloj de transmisión y T_d el retardo.

Para implementar el filtro de banda estrecha se tienen varias opciones, las cuales se muestran en la Tabla 1.

TABLA 1.- COMPARACION ENTRE VARIOS CIRCUITOS PARA LA EXTRACCION DE LA SENAL DE SINCRONIA.

Técnica	Ventajas	Desventajas
- circuito resonante	- simple - relativamente barato - bajas pérdidas - bien definido teóricamente	- Reproducibilidad pobre - sensitivo a la temperatura - desviaciones de su frecuencia nominal con el envejecimiento - sensitivo a vibraciones mecánicas - no son compatibles con la integración - $*Q$ baja y media - Jitter de desintonización
- PLL (Phase Lock Loop o Phase Locked Loop; en español: Lazo de fase encadenada)	- $*Q$ baja y alta - Buena potencia de salida - Capaz de amarre en fase - Compatible con la integración	- Teoría de funcionamiento compleja

$*Q$ =frecuencia central/ancho de banda, donde Q es el factor de calidad del filtro.

Un factor determinante en el diseño de un circuito sincronizador, es el ruido de fase (jitter) que contiene la salida del mismo. En general, se busca que sea lo más pequeño posible, lo que implica poder obtener valores de Q bastante grandes, por lo que se pueden obtener mejores resultados utilizando un PLL. Además un PLL tiene un desempeño bastante superior sobre un circuito resonante en lo que se refiere a características mecánicas y reproducibilidad.

Otra característica importante es que el PLL se comporta como un filtro paso-banda con característica de amplitud constante mientras que para un circuito resonante

la amplitud es dependiente de la frecuencia. Por otro lado aunque el PLL también presenta jitter de desintonización (el cual no se incluyó en la tabla 1 por ser bastante pequeño), es considerablemente menor que el que produce un circuito resonante.

La principal desventaja que presenta el utilizar un PLL como circuito extractor de sincronía, es la complejidad superior desde el punto de vista de diseño, con respecto a un circuito resonante. Sin embargo las ventajas que presenta, principalmente, en lo que se refiere a su comportamiento con respecto al jitter, (lo que se reflejará en la obtención de un sistema de comunicaciones digitales más confiable) son considerables.

1.3 El PLL como circuito de sincronización.

El esquema básico de un circuito PLL se muestra en la figura 1.7.

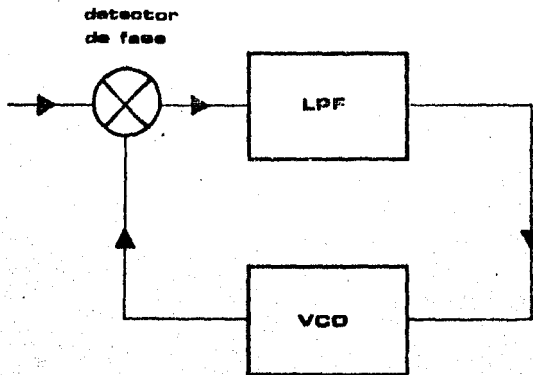


Figura 1.7 Esquema básico de un PLL.

P.D.: detector de fase

LPF : filtro paso bajas

VCO : oscilador controlado por voltaje

Su funcionamiento es el siguiente: el detector de fase (P.D.) compara la fase de la señal de entrada (V_i) contra la fase de la señal producida por el VCO (V_o); la salida del detector de fase es una medida de la diferencia de fase entre sus dos entradas. La señal producida por el P.D. es

entonces filtrada por el filtro de lazo (LPF) y aplicada al VCO. El voltaje de control en el VCO cambia la frecuencia del mismo en una dirección tal que reduce la diferencia de fase entre la señal de entrada y el oscilador local.

Cuando el lazo está "encadenado", el voltaje de control es tal que la frecuencia del VCO es exactamente igual a la frecuencia promedio de la señal de entrada. Para cada ciclo de entrada hay uno y sólo un ciclo de oscilador de salida.

Esta característica de "encadenamiento", es la que nos permite utilizar un PLL como circuito de sincronización. A continuación veremos su funcionamiento con mayor detalle.

**CAPITULO II LAZO DE ENCADENAMIENTO DE
FASE (PLL) COMO CIRCUITO DE RECUPERACION
DE SINCRONIA**

La función de transferencia del filtro está dada por $F(s)$. La frecuencia del VCO está determinada por el voltaje de control V_c . La desviación del VCO de su frecuencia central es $\Delta\omega = K_o V_c$ donde K_o es la ganancia del VCO y tiene unidades rad/s/volt. Como la frecuencia es la derivada de la fase, la operación del VCO puede ser descrita como:

$$d\theta_o/dt = K_o V_c$$

----(2.2)

2.2 Comparadores de fase.

La función de un detector de fase, es generar un voltaje a la salida, el cual, es proporcional a la diferencia de fase entre las dos señales a la entrada del mismo.

Existen dos grandes categorías de detectores de fase: circuitos multiplicadores y circuitos secuenciales.

Los multiplicadores generan un error de D.C. a la salida como el producto promedio de la señal de entrada y el oscilador local. Un multiplicador, si es diseñado adecuadamente, es capaz de operar con una señal de entrada con bastante ruido [3].

Un detector secuencial genera una salida de voltaje que es función del intervalo de tiempo entre las transiciones de la señal y las transiciones de nivel del VCO. Otros detalles de la forma de onda no contribuyen a la salida, como podría suceder con los multiplicadores. Los detectores secuenciales tienen memoria, con ellos se pueden lograr características de detección de fase que son difíciles o imposibles de obtener con circuitos multiplicadores [3].

Debido a que los circuitos secuenciales operan con los frentes de onda, pueden ser intolerantes con la pérdida de transiciones o con transiciones extra; en consecuencia, frecuentemente tienen una menor capacidad para manejar señales con ruido que los multiplicadores.

A continuación se explicará el funcionamiento de estos dos tipos de comparadores.

2.2.1 Multiplicadores.

Si ambas entradas de un multiplicador ideal son senoidales, la salida útil de D.C. (del filtro de lazo) es proporcional al producto de las magnitudes de las dos entradas y al coseno de la diferencia de fase entre ellas.

En adición hay una señal no deseada, un rizo senoidal al doble de la frecuencia de entrada y con amplitud igual al máximo nivel posible de D.C.. El rizo debe ser suprimido para prevenir que aparezcan bandas laterales indeseables en el VCO.

Algunos ejemplos de circuitos multiplicadores discretos son mostrados en la figura 2.2 [3].

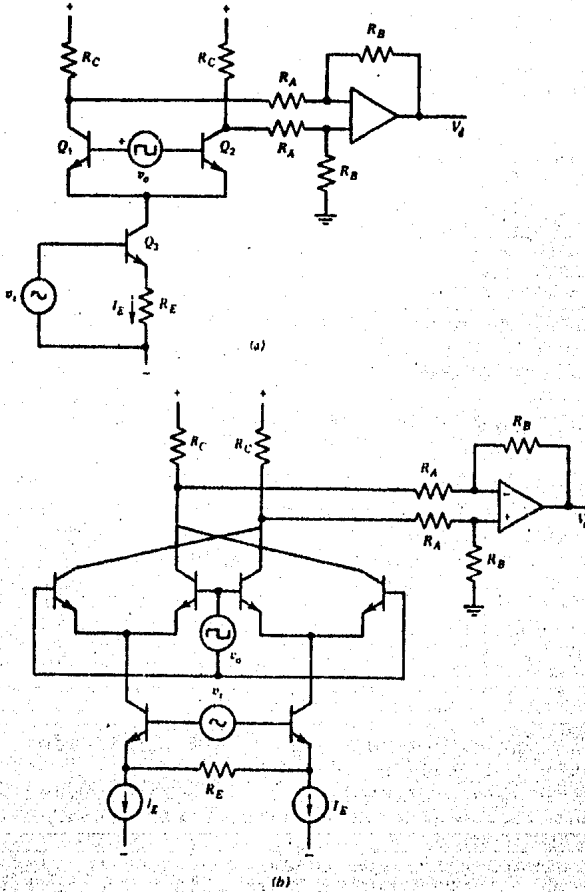


Figura 2.2 Ejemplos de circuitos multiplicadores.

Estos circuitos tienen una característica senoidal de la forma:

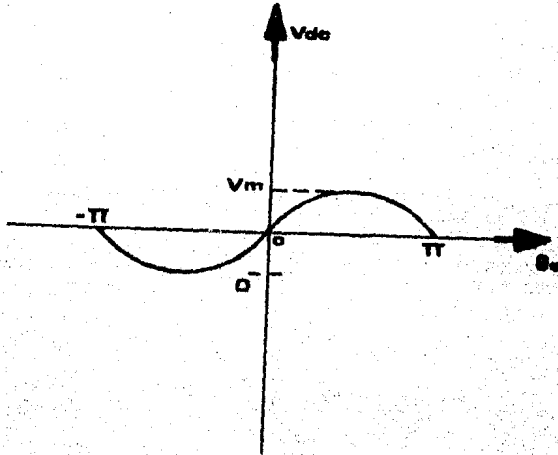


Figura 2.3 Característica de detección de fase senoidal.

donde V_{dc} es el voltaje de salida promedio, V_m es el voltaje promedio pico y θ_e es el error de fase.

Realmente, la forma de la característica depende de la forma de onda aplicada, no necesariamente del circuito. Si se aplican señales cuadradas en ambas entradas del multiplicador, la característica llega a ser triangular de la forma:

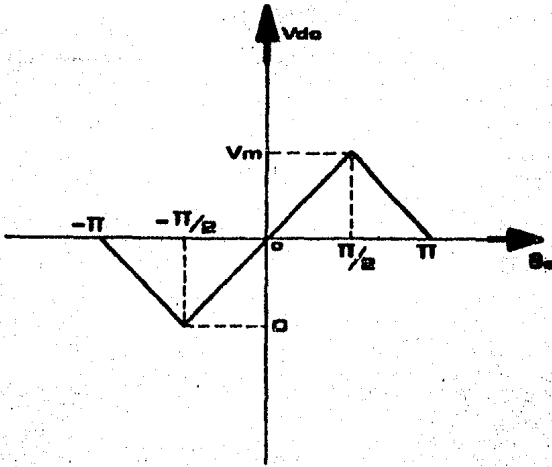


Figura 2.4 Característica de detección de fase triangular.

Si las formas de onda son cuadradas pueden usarse circuitos digitales en lugar de circuitos analógicos. El circuito digital equivalente de un multiplicador es una compuerta OR-Exclusiva (X-OR). El voltaje de error promedio o de D.C. es una función triangular del error de fase, mientras que la forma de onda a la salida del detector es una señal cuadrada, con un ciclo de trabajo que depende del error de fase.

A continuación describiremos el funcionamiento de la compuerta X-OR como detector de fase.

La tabla de verdad y el simbolo de dicha compuerta son mostrados en la figura 2.5.

Entradas		Salida
A	B	Q
0	0	0
1	0	1
0	1	1
1	1	0

(a)



(b)

Figura 2.5 Tabla de verdad y simbolo de la compuerta X-OR.

La siguiente figura nos sirve para mostrar mediante diagramas de tiempo, las propiedades de la compuerta X-OR para poder ser utilizada como detector de fase:

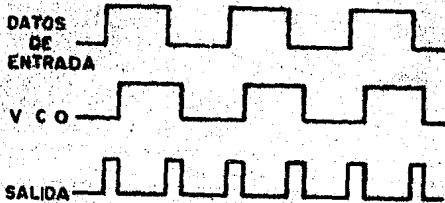
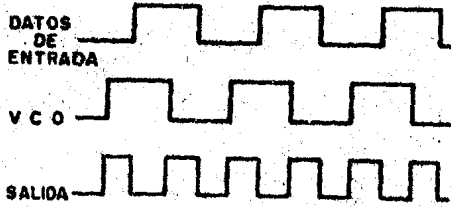


Figura 2.6 Diagramas de tiempo de la compuerta X-OR.

En la figura 2.6.a vemos que la señal está adelantada con respecto al VCO; a la salida de la compuerta X-OR obtenemos una serie de pulsos proporcional a la diferencia de fases entre ambas.

En la figura 2.6.b la señal está atrasada con respecto al VCO. Nuevamente hay una serie de pulsos de manera proporcional a la diferencia de fase entre ambas señales.

El ancho del pulso de salida depende solamente de la diferencia de fase entre las señales de entrada. Consecuentemente, el voltaje de D.C. dependerá también de la diferencia de fase entre ambas y está relacionado con el ciclo de trabajo de salida del P.D. de tal forma que [16]:

$$V_{dc} = V_m D \quad \text{---(2.3)}$$

donde

V_{dc} : voltaje de salida promedio.

V_m : voltaje máximo de salida ("1" lógico)

D : ciclo de trabajo

Si graficamos la ecuación (2.3) para obtener la característica del P.D. como función de la diferencia de fase, se obtiene la figura 2.7:

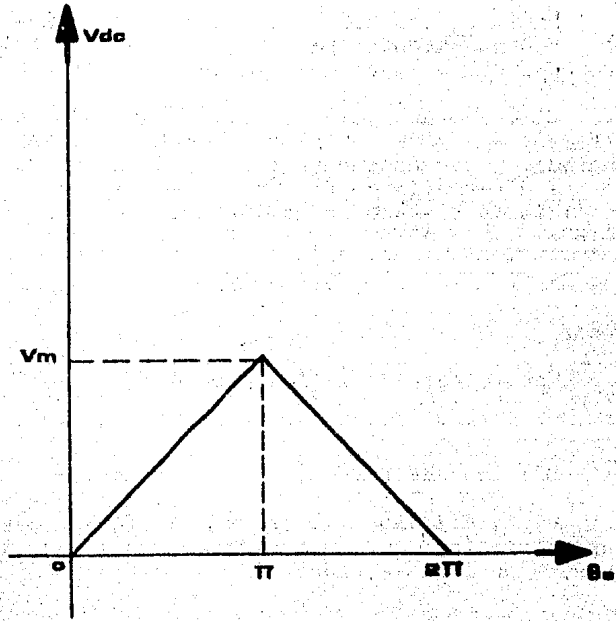


Figura 2.7 Característica de detección de fase de la compue

X-OR.

Para el caso de una compuerta TTL V_m es teóricamente igual a 5 volts.

2.2.2 Detectores de fase secuenciales.

Esta clase de circuitos operan con las transiciones de nivel de la señal y las transiciones de nivel del oscilador local. La salida es proporcional al intervalo de tiempo entre una transición de nivel de la señal de datos y una transición de nivel de la señal del VCO. Por lo tanto, el circuito debe tener alguna memoria para medir la diferencia de tiempo.

En la figura 2.8, mostramos varios ejemplos de este tipo de detectores [16]:

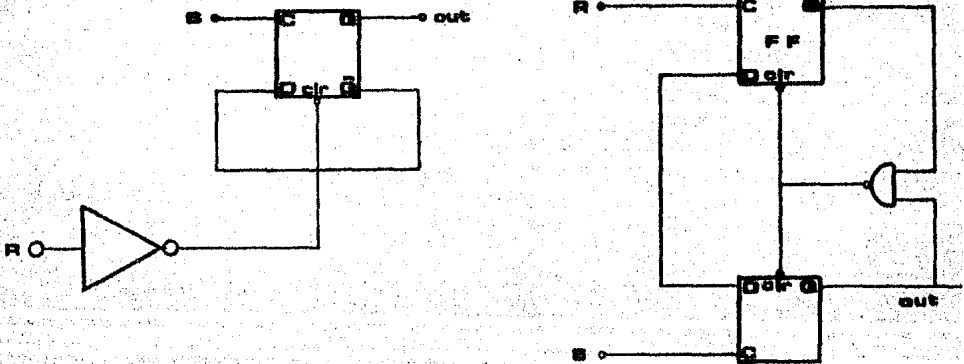


Figura 2.8 Ejemplos de detectores de fase secuenciales.

Un detector de fase secuencial usado ampliamente, de una complejidad mayor que los circuitos anteriores, es mostrado en la figura 2.9 [17].

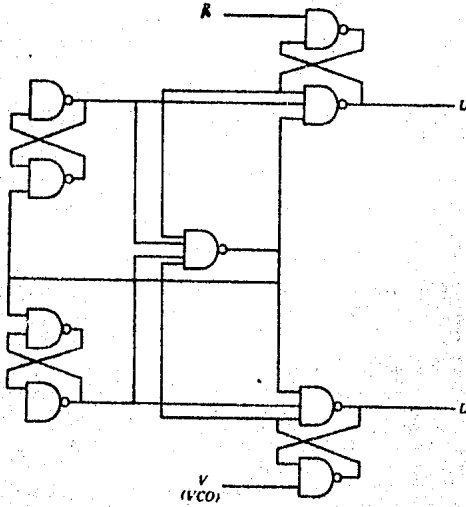


Figura 2.9 Detector de fase y frecuencia (PFD).

Consiste de 4 Flip flops más lógica adicional y está disponible en varias versiones (TTL,ECL) como circuito integrado. Es llamado detector de fase y frecuencia (PFD) porque también provee una indicación del error de frecuencia cuando el lazo está desencadenado.

El PFD tiene 2 terminales de salida, etiquetadas U(up) y D(down). La condición baja es activa; la condición alta es inactiva en cada terminal.

U y D pueden ser altas simultáneamente, pero no bajas. El ciclo de trabajo, D_u o D_d , es la fracción de tiempo en que cualquiera de las salidas está en bajo.

Si denotamos la diferencia de fase entre el VCO y la señal como θ_e , la relación de los ciclos de trabajo como una función de θ_e , son graficados en la figura 2.10;

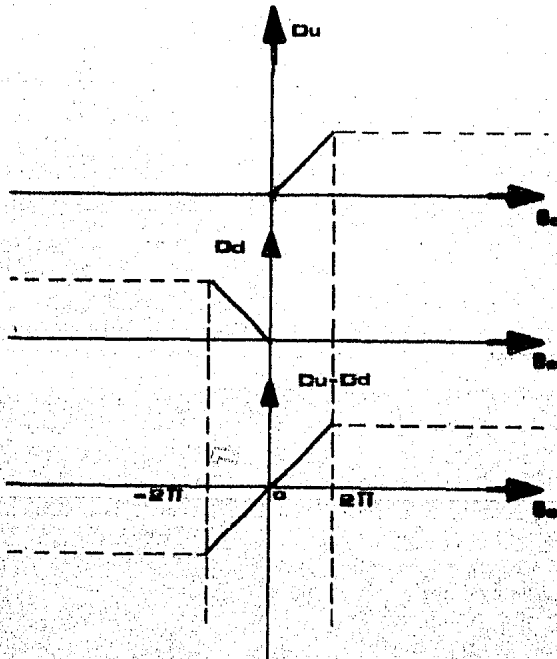


Figura 2.10 Característica de detección de fase de un PFD.

Esta característica de detección de fase, se dice que es del tipo diente de sierra.

Es importante resaltar que si el lazo está desencadenado, sólo una terminal de salida - U o D - está en la condición activa. La terminal baja indica la dirección del error de frecuencia y por lo tanto provee automáticamente la capacidad de adquisición con barrido de frecuencia (véase el inciso 3.2). La operación del circuito puede ser examinada detalladamente analizando los 12 diferentes estados lógicos posibles y las transiciones entre los estados causados por las dos entradas. Sin embargo, ese análisis está fuera de los alcances del presente trabajo.

2.3 Función de transferencia del sistema.

La operación del VCO puede ser descrita por la ecuación (2.2). Utilizando su transformada de Laplace:

$$L\{d\theta_o(t)/dt\} = s\theta_o(s) = K_o V_c(s)$$

obtenemos la siguiente ecuación:

$$\theta_o(s) = K_o V_c(s) / s \quad \text{-----(2.4)}$$

Asimismo, aplicando la transformada de Laplace a la ecuación (2.1) y a la ecuación correspondiente al voltaje de control del VCO se obtienen las ecuaciones siguientes:

$$L\{V_d\} = V_d(s) = K_d(\theta_i(s) - \theta_o(s)) \quad \text{-----(2.5)}$$

$$L\{V_c\} = V_c(s) = F(s)V_d(s) \quad \text{-----(2.6)}$$

Combinando estas ecuaciones obtenemos las ecuaciones de lazo básicas:

$$H(s) = \theta_o(s) / \theta_i(s) = K_o K_d F(s) / (s + K_o K_d F(s)) \quad \text{-----(2.7)}$$

$$1 - H(s) = \theta_e(s) / \theta_i(s) = s / (s + K_o K_d F(s)) \quad \text{-----(2.8)}$$

donde $\theta_e(s) = \theta_i(s) - \theta_o(s)$

$$V_c(s) = s\theta_i(s)H(s) / K_o = sK_d F(s)\theta_i(s) / (s + K_o K_d F(s)) \quad \text{-----(2.9)}$$

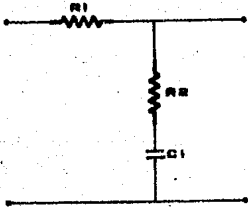
donde $H(s)$ es la función de transferencia de lazo cerrado y $1 - H(s)$ es la función de transferencia de error de fase del lazo.

Antes de continuar adelante con el análisis del PLL es necesario especificar la función de transferencia $F(s)$ del filtro de lazo, dado que las características dinámicas del PLL están determinadas por el mismo.

Tales características son el rango de captura, el rango de mantenimiento, el rango de arrastre, el ancho de banda, el ruido de fase (jitter), y la respuesta transitoria.

Los 2 filtros más ampliamente usados en los PLL son los siguientes:

a) Filtro pasivo.

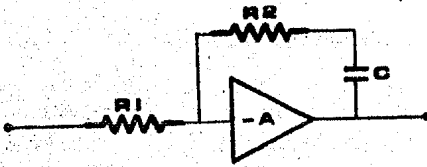


$$F1(s) = \frac{s\tau_2 + 1}{(s\tau_1 + 1)} \quad \text{----- (2.10)}$$

$$\tau_1 = (R1 + R2)C$$

$$\tau_2 = R2C$$

b) Filtro activo.



$$F2(s) = -\frac{(s\tau_2 + 1)}{s\tau_1} \quad \text{----- (2.11)}$$

$$\tau_2 = R2C \quad \tau_1 = R1C$$

para valores grandes de A.

$$\text{En general } F2(s) = -\frac{A(sR2 + 1)}{(sR2 + 1 + (1 + A)sR1)}$$

Figura 2.11 Filtros más usuales en un PLL.

2.3.1 PLL de segundo orden.

La función de transferencia de lazo cerrado de un PLL de segundo orden con filtro pasivo es:

$$H1(s) = (K_0 K_d (s\tau_2 + 1) / \tau_1) / (s^2 + s(1 + K_0 K_d \tau_2) / \tau_1 + K_0 K_d / \tau_1) \quad \text{----- (2.12)}$$

Para el PLL de segundo orden con filtro activo, tenemos:

$$H2(s) = (K_0 K_d (s\tau_2 + 1) / \tau_1) (s^2 + s(K_0 K_d \tau_2 / \tau_1) + K_0 K_d / \tau_1) \quad \text{----- (2.13)}$$

Estas funciones de transferencia pueden ser reescritas como:

$$H1(s) = (s(2\zeta\omega_n - \omega_n^2 / K_0 K_d) + \omega_n^2) / (s^2 + 2\zeta\omega_n s + \omega_n^2) \quad \text{----- (2.14)}$$

$$H2(s) = (2\zeta\omega_n s + \omega_n^2) / (s^2 + 2\zeta\omega_n s + \omega_n^2) \quad \text{----- (2.15)}$$

donde (ω_n): frecuencia natural del lazo
 (ζ): factor de amortiguamiento

Resumiendo, tenemos la siguiente tabla, donde se muestran las características principales de un PLL de segundo orden, las cuales son determinadas por el tipo de filtro que se use:

FILTRO PASIVO

$$\omega_n = \sqrt{K/\tau_1}$$

$$\zeta = \omega_n (\tau_2 + 1/K) / 2$$

$$\tau_1 = (R_1 + R_2)C$$

$$\tau_2 = R_2C$$

$$\omega_{lpf} = 1/\tau_1$$

FILTRO ACTIVO

$$\omega_n = \sqrt{K/\tau_1}$$

$$\zeta = \tau_2 \omega_n / 2$$

$$\tau_1 = R_1C$$

$$\tau_2 = R_2C$$

$$\omega_{lpf} = 1/\tau_1$$

Debido a que la potencia más alta de s en el denominador es 2, el lazo es conocido como un lazo de segundo orden. Este tipo de lazo es ampliamente usado debido a su simplicidad con respecto a lazos de orden mayor, y a sus buenas características.

2.4 Ruido de fase introducido por el PLL.

En el análisis visto anteriormente, se consideró que la señal de entrada al PLL no contiene ruido y que su fase es constante, sin embargo, para poder calcular el ruido de fase introducido por el circuito recuperador de reloj, es necesario utilizar un modelo más elaborado.

El análisis de este modelo se basa en una linealización del modelo detallado realizado por Duttweiler [11], del cual se obtiene la función de transferencia en fase como en el caso determinista. Asumiendo la relación lineal entre $\theta_o(t)$ y $\theta_e(t)$, tendremos:

$$\theta_o(t) = \theta_e(t) * g(t) \quad \text{-----} (2.16)$$

Donde $g(t)$ es la función de transferencia en fase del conjunto filtro de lazo-VCO. Una discretización de esta ecuación es permisible cuando interesa únicamente el resultado en el instante de muestreo, así:

$$\theta_o(nT) = \sum_n C_n \theta_e(nT) g(nT - nT) \quad \text{-----} (2.17)$$

Donde:

la sumatoria se evalúa desde $n=0$ hasta $n=N$

C_n es la amplitud del pulso n

$\theta_e(nT)$ es el error de fase en términos absolutos para el pulso n .

Para un PLL con función de transferencia de lazo cerrado cuyo corte esté bastante abajo de la velocidad de transmisión, como será siempre nuestro caso, la forma exacta de los pulsos así como su fase exacta son irrelevantes. De esta forma la salida de voltaje del comparador de fase se puede aproximar por:

$$V_c(t) = \sum_k V_k \delta(t - k) \quad \text{-----} (2.18)$$

donde:

la sumatoria se evalúa para $-\infty < k < \infty$

$$V_k = K d d_k (\theta_{1k} - \theta_{ok} - w_k) \quad \text{-----} (2.19)$$

K_d es la respuesta ideal del comparador de fase

θ_{ik} es la fase de la señal de entrada al instante kT

w_k es un disturbio aditivo debido al ruido

y d_k depende de las transiciones de nivel del pulso

$$d_k = \begin{cases} 1 & C_k \neq C_{k+1} \\ 0 & C_k = C_{k+1} \end{cases} = (1 - C_k C_{k+1})/2 \quad (2.20)$$

$$v_k = C_k v_k + C_k \sum_{m=k}^{\infty} \epsilon_m \quad (2.21)$$

la sumatoria se evalúa para $-\infty < m < \infty$

$$v_k = (n(k+1/2 + \theta_{ik})) / (f(1/2) - f(-1/2)) \quad (2.22)$$

donde

n es una función de ruido

y f es el tren de pulsos de datos

$$\epsilon_k = \begin{cases} 0 & k = 0, 1 \\ f(k+1/2) & k \neq 0, 1 \end{cases} \quad (2.23)$$

Es importante notar que si la fase de la señal de entrada adquiere relevancia (variaciones lentas de fase) entonces hay que incluirlas substituyendo la ecuación (2.18) por:

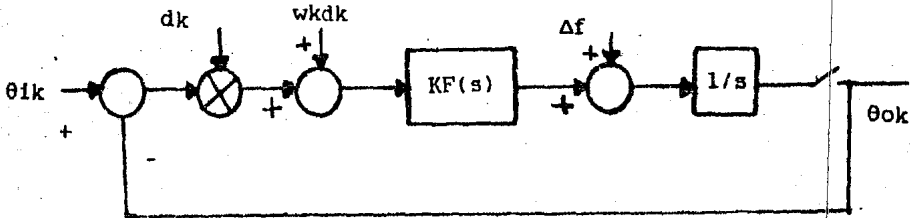
$$V_c(t) = \sum_k \epsilon_k \delta(t - k - \tau_k) \quad (2.24)$$

la sumatoria se evalúa para $-\infty < k < \infty$

Donde τ_k es una variable aleatoria correspondiente a las variaciones de fase de baja frecuencia. Este enfoque se revisará posteriormente.

Esta definición simplificada de la señal de salida del detector de fase contiene colaboraciones de $\theta_0(t)$, $\theta_1(t)$ y $w(t)$ que se relacionan entre si a través de la función de transferencia de lazo cerrado del PLL.

Usando las ecuaciones (2.18) y (2.19) como caracterización del comparador de fase y dado que la fase de salida del VCO es la integral de la señal de entrada, se puede modelar al PLL de acuerdo a la siguiente figura:



En la figura 2.12 Δf es la diferencia entre la frecuencia libre de oscilación VCO y la frecuencia de la señal de entrada.

Ahora, para obtener del modelo lineal un modelo invariante en el tiempo (ya que d_k cambia en cada k) consideremos la señal $(\theta_{ik} - \theta_{ok})d_k$ a la salida del multiplicador. Sea p la probabilidad de una transición, entonces:

$$(\theta_{ik} - \theta_{ok})d_k = (\theta_{ik} - \theta_{ok})p + (\theta_{ik} - \theta_{ok})(d_k - p) \quad \text{-----(2.25)}$$

$(\theta_{ik} - \theta_{ok})p$ es un término de baja frecuencia (ya que cambia lentamente en comparación con d_k). El siguiente término es de banda amplia sin componente de directa, entonces podemos aproximar éste por la multiplicación de una constante μ por la variación. Este término corresponde al offset de frecuencia requerido en el VCO para llevarlo de su frecuencia libre de oscilación a la frecuencia de la señal de entrada. De aquí que:

$$(\theta_{ik} - \theta_{ok})(d_k - p) = \mu(d_k - p) \quad \text{-----(2.26)}$$

Donde:

$$\mu = -\Delta f / (pK) \quad \text{-----(2.27)}$$

Con estas aproximaciones obtenemos el modelo de la figura 2.13 lineal e invariante con el tiempo que da la fase de salida como la suma de la fase de entrada θ_{ik} y ruido aditivo:

$$z_k = (w_k d_k - \Delta f (d_k - p) / K + \Delta f / K) / p \quad \text{---(2.28)}$$

que pasan a través de un filtro:

$$G(s) = pKF(s) / (s + pKF(s)) \quad \text{-----(2.29)}$$

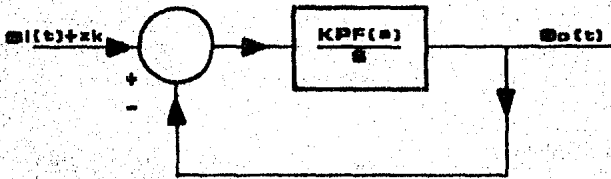


Figura 2.13 Modelo de un PLL para obtener el jitter debido a la aleatoriedad de los datos, el ruido, la desintonización y la interferencia entre símbolos.

El espectro de energía $S_{\theta_0}(f)$ puede calcularse usando varias suposiciones sobre las estadísticas de $\theta_1(t), n(t)$ y la secuencia de datos C_k .

Suponiendo que $n(t)$ y $\theta_1(t)$ sean independientes y estacionarios:

$$S_{\theta_0}(f) = |G(f)|^2 S_{\theta_1}(f) + |G(f)|^2 S_z(f) \quad (2.30)$$

Donde $S_{\theta_1}(f)$ es el espectro de energía de $\theta_1(t)$ y $S_z(f)$ el espectro del proceso:

$$z(t) = \sum_k \delta(t - k - \lambda) \quad (2.31)$$

Siendo λ un parámetro uniformizador para convertir a $z(t)$ en un proceso estacionario.

Si se asume que el filtro de lazo es de banda angosta se puede considerar $S_z(f)$ como plano alrededor de la frecuencia central del lazo, en este caso:

$$S_{\theta_0}(f) = |G(f)|^2 S_{\theta_1}(f) + S_z(0) |G(f)|^2 \quad (2.32)$$

y:

$$\sigma_{\theta_0}^2 = \int |G(f)|^2 S_{\theta_1}(f) df + S_z(0) \int |G(f)|^2 df \quad (2.33)$$

En la mayoría de los casos en que C_k es una secuencia aleatoria, el contenido de ruido en $S_{\theta_1}(f)$ es mucho mayor que el contenido de $S_z(0)$ que a su vez es dominado por el término μ^2 .

Para efectos de este trabajo se considera $S_{\theta_1}(f)$ como una secuencia aleatoria de datos de entrada sin variaciones de fase de baja velocidad (jitter de baja frecuencia) por lo que se analiza para efectos de ruido de fase sólo el primer término de la ecuación.

Para calcular $S_{\theta_1}(f)$, haremos uso de una expresión desarrollada por Feher [12], la cual mostramos a continuación:

$$S_{\theta_1}(f) = (2aTd/T) \text{senc}^2(\pi Td/T) \text{ -----(2.34)}$$

donde a es la amplitud de la señal de reloj (volts), T es el periodo del reloj, y Td es el retardo del detector de transición.

Entonces, despreciando el segundo término de la ecuación (2.33), el jitter rms (debido únicamente a la aleatoridad de los datos) viene dado por la siguiente expresión:

$$J_{rms} = \sigma_{\theta} = \sqrt{\int S_{\theta_1}(f) |G(f)|^2 df \text{ -----(2.35)}}$$

Esto nos da una primera aproximación al ruido de fase en el circuito de decisión. Implica un tren de datos aleatorio con reloj estable (i.e. sin variaciones de baja frecuencia) a partir del cual se determinan los instantes de decisión.

En la práctica los sistemas de multiplexaje usan mecanismos de sincronización que implican la aparición de un ruido de fase de baja frecuencia en el reloj de la señal transmitida. Este ruido adicional en $S_{\theta_1}(f)$ tiene un carácter pseudoaleatorio ya que representa la introducción y eliminación de bits de relleno en el tren digital. Su efecto está considerado en la recomendación 0.171 de CCITT. En ella se prueba el buen funcionamiento del equipo receptor cuando el reloj de los datos transmitidos es modulado senoidalmente en fase con las amplitudes y frecuencias mostradas en la fig. 2.14.

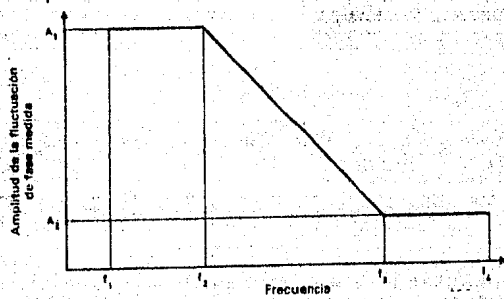


Figura 2.14 Máscara de jitter máximo admisible.

A esta máscara diseñada por CCITT se le denomina máscara de jitter máximo admisible y es necesario que el equipo trabaje aún bajo los efectos de este jitter adicional de baja frecuencia.

Si consideramos un punto cualquiera de la máscara, la modulación senoidal de la portadora ocasiona un error de fase determinista y no aleatorio. Desde el punto de vista de la prueba esta excitación determinista contiene los peores casos posibles en el sistema real aleatorio. Por esto la contribución al ruido de fase en el momento de decisión de esta componente puede obtenerse del modelo lineal como demostraremos a continuación.

Si representamos la señal de entrada al PLL como una señal senoidal, en la cual incluimos el efecto del multiplexaje, nos queda la siguiente ecuación [13]:

$$V_i(t) = A \sin(\omega t + \phi_i(t)) \quad \text{----- (2.36)}$$

donde

$$\phi_i(t) = m_i \sin(\Omega t + \theta_i) \quad \text{----- (2.37)}$$

y A es la amplitud de la señal de entrada, ω es la frecuencia de la señal, m_i es el índice de modulación de la variación de fase, Ω es la frecuencia de la variación de fase y θ_i el ángulo de fase de la misma.

La variación de fase a la salida debida a una variación senoidal de la fase a la entrada, viene dada por la siguiente ecuación [13]:

$$\phi_o(t) = m_o \sin(\Omega t + \theta_o) \quad \text{----- (2.38)}$$

donde

$$m_o = m_i \sqrt{\frac{1 + (2\zeta - \omega_n / K)^2 (\Omega / \omega_n)^2}{1 - (\Omega / \omega_n)^2 + 4\zeta^2 (\omega / \omega_n)^2}} \quad \text{----- (2.39)}$$

y

$$\theta_0 = \theta_1 + \operatorname{tg}^{-1}(2\zeta - \omega_n / K) - \operatorname{tg}^{-1} 2\zeta(\Omega / \omega_n) / (1 + (\Omega / \omega_n)^2) \quad \text{---- (2.40)}$$

al analizar estas ecuaciones puede verse que la máxima desviación de fase a la salida se obtiene cuando $\operatorname{sen}(\Omega t + \theta_0) = 1$.

El valor del jitter total a la salida del sincronizador (incluyendo el efecto de aleatoriedad de los datos, y el efecto de multiplexaje) máximo es por lo tanto:

$$J_{\max} = \sqrt{\int S_{\theta_1}(f) |G(f)|^2 df} + m_0 \quad \text{---- (2.41)}$$

Para obtener la máxima desviación de frecuencia en la señal de entrada debida a la variación de la fase, derivamos la ecuación (2.37), obteniendo:

$$d\phi(t)/dt = m_1 \Omega \cos(\Omega t + \theta_1) \quad \text{---- (2.42)}$$

nuevamente se ve que la máxima desviación se obtiene cuando $\cos(\Omega t + \theta_1) = 1$, o sea:

$$d\phi(t)/dt|_{\max} = \Delta\omega_{\max} = m_1 \Omega \quad \text{---- (2.43)}$$

**CAPITULO III PROBLEMAS DE ADQUISICION
Y SEGUIMIENTO**

III.- PROBLEMAS DE ADQUISICION Y SEGUIMIENTO.

En los capitulos anteriores se trató al PLL implicitamente dentro de su región lineal, es decir, donde su comportamiento se encuentra gobernado por ecuaciones diferenciales lineales. Cuando se estudian los problemas de adquisición y seguimiento nos encontramos con la necesidad de utilizar ecuaciones diferenciales no lineales, o con algún método gráfico o computacional alternativo.

Para entender los conceptos de seguimiento y adquisición es importante tener una idea clara del comportamiento físico del PLL.

Una característica intrínseca del PLL es el hecho de seguir la frecuencia de la señal de entrada. Sin embargo, para que esto sea posible es necesario que el PLL esté "encadenado". Para que el PLL pueda encadenarse, es necesario que la frecuencia de la señal de entrada esté dentro de su rango de adquisición (ver apéndice 1). Si la diferencia inicial de frecuencia entre la señal de entrada y la señal del VCO es pequeña (se encuentra dentro del rango de adquisición) entonces el PLL se encadenará, en caso contrario el PLL tratará de igualar a la frecuencia de entrada, sin embargo nunca lo logrará.

Por otro lado, hay un rango mayor que el rango de adquisición pero menor que el rango de seguimiento (ver apéndice 1), llamado rango de arrastre. Este rango tiene la característica de que si la frecuencia de la señal de entrada cae dentro de él - cuando el PLL está desencadenado - el PLL se encadenará después de algunos ciclos de deslizamiento (ver apéndice 1).

El rango de adquisición, el rango de seguimiento, y el rango de arrastre son características que dependen directamente de los parámetros del lazo; de la ganancia del detector de fase, de los parámetros del filtro de lazo, de la ganancia del VCO.

3.1 Requerimiento de adquisición y seguimiento para un sistema PCM.

La adquisición de fase y frecuencia de la señal de entrada es totalmente indispensable en un sistema PCM dado que para poder decodificar adecuadamente la señal de datos es necesario tener un reloj que esté en fase con la señal de entrada.

Por esta misma causa el circuito recuperador de sincronía debe ser capaz de seguir la frecuencia de la señal de entrada, dentro de cierto rango.

Para poder adquirir la frecuencia de la señal de entrada a pesar de las variaciones que ésta sufra, es necesario que el rango de adquisición sea relativamente grande, lo cual, sin embargo, puede ocasionar un gran incremento en el jitter debido a transiciones a la salida del circuito, ocasionándose a su vez un incremento en la probabilidad de error.

Para poder disponer de un rango de adquisición mayor sin aumentar en forma considerable el ruido de fase debido a transiciones, es necesario utilizar algún dispositivo de ayuda de adquisición.

La magnitud del rango de adquisición viene determinada por la desviación máxima de frecuencia - más cierto margen de seguridad - que pueda tener la señal de datos con respecto a su frecuencia nominal debida al multiplexaje.

3.2 Sistemas para ayuda en la adquisición.

El estudio de la adquisición de frecuencia o más comúnmente adquisición, se ha avocado principalmente al lazo de segundo orden, en parte por su importancia tecnológica, pero también debido a una dificultad más grande para analizar lazos de orden mayor.

La adquisición propia (self acquisition), es decir, cuando el PLL adquiere la frecuencia de la señal de entrada sin ayuda de algún dispositivo externo, es conocida como arrastre (pull-in) de frecuencia o simplemente arrastre.

El arrastre tiende a ser lento y frecuentemente incierto de tal forma que ha sido desarrollado un número grande de técnicas para adquisición de frecuencia con ayuda, incluyendo el barrido de frecuencia (frequency sweeping), los discriminadores de frecuencia (frequency discriminators) y métodos de ampliación del ancho de banda (bandwidth widening).

3.2.1 Arrastre (pull-in).

Cuando la señal de datos es aplicada por primera vez, el lazo no está encadenado y sólo aparece una "nota rítmica" (beat note) a la salida del detector de fase.

La forma típica de una nota rítmica es mostrada en la figura 3.1.

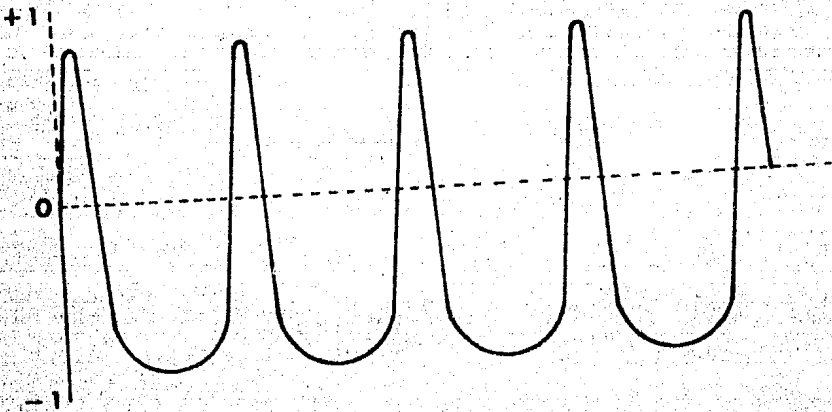


Figura 3.1 Forma típica de una nota rítmica.

La frecuencia de la nota rítmica decrece lentamente - la frecuencia del VCO se acerca lentamente a la de la señal de entrada - hasta que el límite de encadenamiento (ver apéndice 1) es alcanzado, donde el lazo se encadena bruscamente sin ciclos de deslizamiento adicionales.

El comportamiento de arrastre puede ser entendido reconociendo que la nota rítmica es reducida en amplitud por el filtro de lazo pero no es suprimida completamente. Una nota rítmica atenuada, es aplicada a la terminal de control del VCO, ocasionando que éste sea modulado en frecuencia a la frecuencia de la nota rítmica.

La salida del detector de fase es la comparación de la señal del VCO modulada en frecuencia contra la señal de entrada, la cual, al ser filtrada produce un nivel de D.C. más una nota rítmica.

La componente de D.C. es llamada voltaje de arrastre V_p .

El lazo de segundo orden incluye un integrador en su filtro de lazo. Este integrador entrega una salida que crece con el tiempo en respuesta a la entrada de D.C.; la salida acumulada (entregada al VCO) puede exceder grandemente la magnitud de la nota rítmica filtrada que modula al VCO. Dado que el integrador establece la salida, la frecuencia del VCO trata de ajustarse hacia la dirección de encadenamiento.

Si la diferencia de frecuencia inicial no es demasiado grande, el lazo eventualmente se encadenará.

Fórmulas aproximadas para el tiempo de arrastre y los límites de arrastre fueron obtenidas por Gardner [3] siguiendo un método originado por Richman [5]. El modelo utilizado por Gardner es mostrado en la figura 3.2.

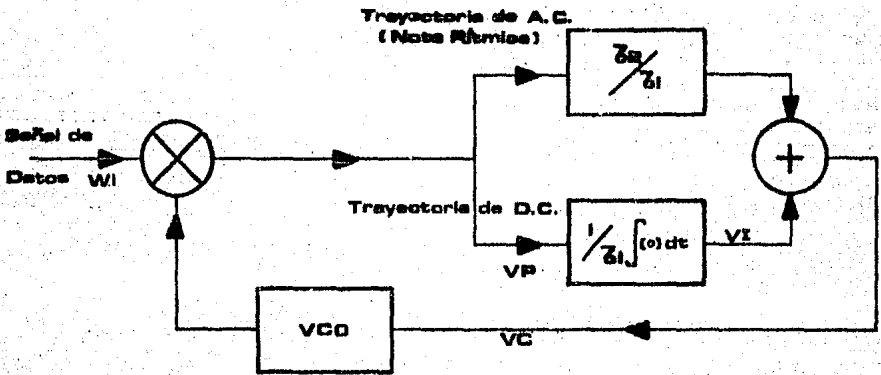


Figura 3.2 Modelo para obtener el tiempo y los límites de arrastre.

En la figura 3.2 τ_1 y τ_2 son las constantes de tiempo del filtro de lazo, ω_0 es la frecuencia libre de oscilación del VCO y K_0 es la ganancia del VCO.

A continuación reproducimos las ecuaciones obtenidas por Gardner. Primeramente tenemos la ecuación que nos da el voltaje de arrastre:

$$V_p = K_d (\nu/K - \sqrt{((\nu/K)^2 - 1)}) \quad \text{-----}(3.1)$$

donde $\nu = \omega_i - \omega_0$

y $\omega_0 = \omega_0 + K_0 V_I$

el tiempo de arrastre

$$T_p \approx (\Delta\omega)^2 / (2\zeta\omega_n^3) \quad \text{-----}(3.2)$$

y el límite de arrastre

$$\Delta\omega_p \approx \sqrt{(2K_V K_I)} \quad \text{-----}(3.3)$$

donde $K_V = K_0 K_d F(0)$ y $K_I = K_0 K_d F(\infty)$, $F(0)$ es la ganancia de D.C. del LPF y $F(\infty)$ es la ganancia de la trayectoria de alta frecuencia.

El tiempo de arrastre T_p es definido como el tiempo requerido para que el error de frecuencia promedio cambie de la condición inicial $\nu = \Delta\omega$ al límite de encadenamiento $\nu = K$.

En un PLL con una ζ y una ω_n dadas si V_p es lo suficientemente pequeño - si el error de frecuencia inicial es lo bastante grande - el lazo no puede ser arrastrado. La frecuencia más grande para la cual el lazo puede todavía ser llevado al encadenamiento es el límite de arrastre.

Vemos que, en principio, el rango de arrastre puede ser tan grande como sea necesario simplemente usando una ganancia de D.C. K_V grande.

Además, el arrastre grande puede ser logrado con un ancho de banda de ruido tan estrecho como sea necesario; los dos parámetros son independientes.

Sin embargo, para condiciones reales de operación esto no es posible ya que los componentes del lazo son dispositivos físicos cuyas ganancias tienen ciertos valores límites y no pueden aumentarse indefinidamente.

Los resultados anteriores se aplican solo a lazos con detectores de fase senoidales. Mengali [6] resume el trabajo de otros autores sobre características de detectores de fase extendidas (triangulares, dientes de sierra, etc.) y llega a fórmulas generales para el tiempo y el rango de arrastre que toman en cuenta la característica del detector de fase. Como era de esperarse, una característica de detección de fase extendida provee un rango de arrastre extendido y un tiempo de arrastre más rápido.

3.2.2 Barrido de frecuencia.

El arrastre es práctico sólo en un ambiente comparativamente benigno: donde el ruido de fase es pequeño, el ancho de banda es lo bastante grande para permitir la acción rápida, y los circuitos de lazo son simples para evitar agregar polos parásitos en la función de transferencia del lazo.

En la mayoría de las aplicaciones, el arrastre casi siempre resulta insatisfactorio y por lo tanto es necesario utilizar alguna ayuda de adquisición.

Como se mencionó anteriormente, existen varias técnicas de ayuda para adquisición de frecuencia; en este punto trataremos el barrido de frecuencia.

El mejoramiento de la adquisición de frecuencia puede ser obtenido barriendo la frecuencia del VCO para buscar la frecuencia de la señal. Si la búsqueda es aplicada correctamente, el lazo se encadenará cuando la frecuencia del VCO coincida con la de la señal.

El encadenamiento inhibe el cambio posterior de la frecuencia del VCO de tal forma que el proceso de barrido es terminado por sí mismo.

Del análisis sobre el seguimiento en presencia de una rampa de frecuencia [Apéndice 2] resulta evidente que el lazo no puede mantenerse encadenado si la velocidad de barrido $\Delta\omega$ excede ω_n .

Además, el arrastre grande puede ser logrado con un ancho de banda de ruido tan estrecho como sea necesario; los dos parámetros son independientes.

Viterbi [7] ha investigado los problemas de adquisición a través de un método gráfico, utilizando las llamadas trayectorias del plano de fase.

El descubrió que la adquisición no es segura, aún si $\Delta\omega < \omega^2$ y el lazo está libre de ruido. Si $\Delta\omega$ llega a ser un poco más grande que $\omega^2/2$, hay una posibilidad de que el VCO pueda barrer correctamente a través de la frecuencia de entrada sin encadenarse. La oportunidad de encadenarse o no depende de las condiciones iniciales aleatorias de frecuencia y fase. Las trayectorias del plano de fase fueron utilizadas por Gardner [8] para calcular la probabilidad de encadenamiento y está graficada contra la velocidad de barrido en la figura 3.4:

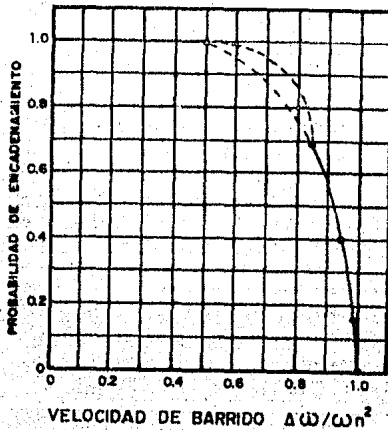


Figura 3.4 Gráfica de la probabilidad de encadenamiento contra la velocidad de barrido.

Estos resultados son aplicados solo directamente al caso especial de un lazo de segundo orden y ganancia alta con $\zeta = 0.707$.

Información cualitativa adicional sobre el comportamiento en adquisición por barrido de frecuencia está disponible del estudio de simulación realizado por Frazier y Page [9]. Su artículo indica que para una ω_c fija y una velocidad de barrido dada, la probabilidad de encadenamiento mejora conforme se incrementa el factor de amortiguamiento como se ve en la figura 3.5.

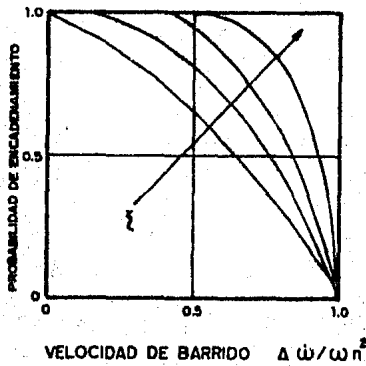


Figura 3.5 Gráfica de la probabilidad de encadenamiento contra la velocidad de barrido para un factor de amortiguamiento variable.

El barrido puede ser aplicado a un lazo de segundo orden en una manera muy simple y elegante.

Algunos autores [13] han construido generadores diente de sierra separados que suman un barrido de voltaje directamente en el VCO, pero esta técnica es innecesariamente complicada.

Una técnica bastante mejor es insertar una fuente de corriente constante en el integrador del filtro de lazo. La salida integrada es una rampa que es aplicada al VCO, ocasionando que la frecuencia sea barrida. La pendiente de la rampa es determinada por la constante de tiempo del integrador y la magnitud de la corriente. Los detalles del circuito son mostrados en la figura 3.6.

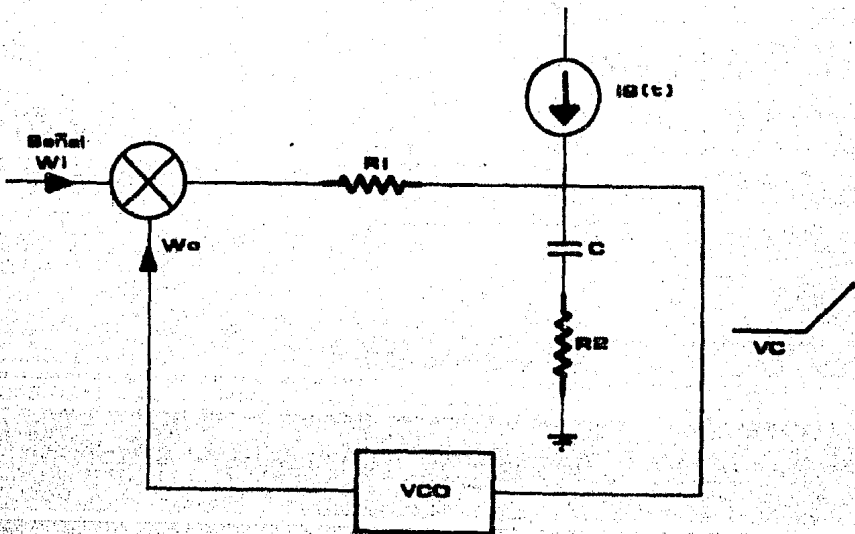


Figura 3.6 Circuito para implementar el barrido de frecuencia.

La fuente de corriente es sumada en la unión de R_1 y C , no directamente en la entrada del filtro, resistencia R_1 . Si la corriente fuera aplicada directamente en dicho punto, habría una componente escalón en la salida (sumada a la rampa deseada) de $I_s R_1$ siempre que la fuente de corriente fuera apagada o encendida. El escalón podría ocasionar que el lazo se desencadenara, dependiendo de los parámetros del circuito.

Cuando el lazo se encadena, el integrador tiene exactamente la carga correcta necesaria para mantener el VCO a la frecuencia de la señal.

Para que el lazo tenga las características dinámicas para las que fue diseñado es necesario deshabilitar la ayuda de adquisición y esto se puede realizar auxiliándose de algún dispositivo indicador de encadenamiento, como un discriminador de frecuencia, por ejemplo.

3.2.3 Discriminador de frecuencia.

El diagrama de bloques típico de un discriminador de frecuencia se muestra en la figura 3.7:

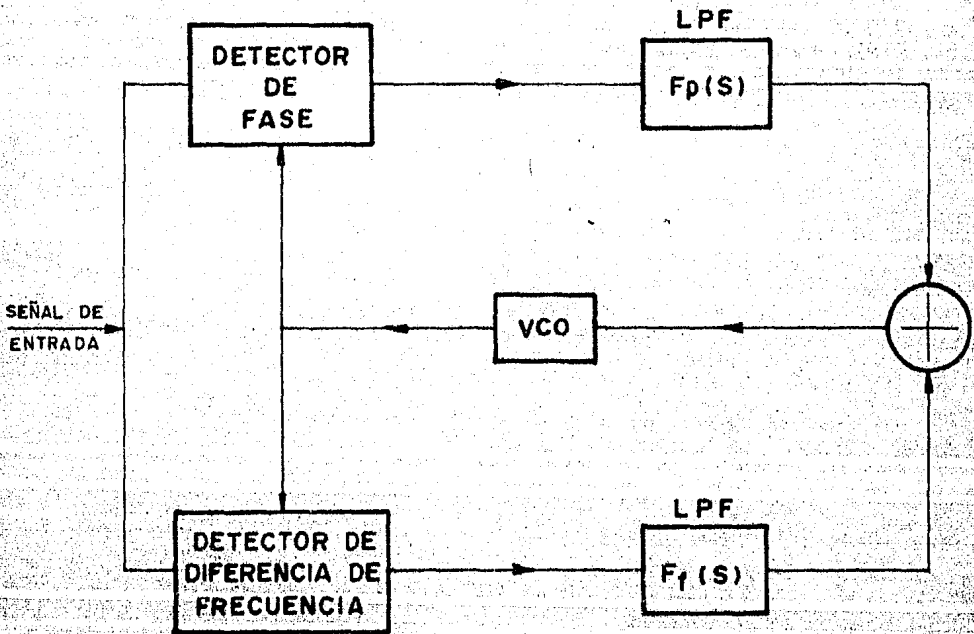


Figura 3.7 Discriminador de frecuencia.

El lazo de fase (detector de fase y filtro $F_p(s)$), tiene poco efecto cuando está desencadenado; el VCO es controlado casi exclusivamente por el lazo de frecuencia (detector de diferencia de frecuencia y filtro $F_f(s)$). Después de que está encadenado, el lazo de fase domina y el discriminador puede ser entonces desconectado.

Una implementación práctica de dicho circuito fue llevada a cabo por Bellisio [10], el cual se basó a su vez en el "quadricorrelator" sugerido por Richman [5]. El circuito realizado por Bellisio es mostrado en la figura 3.8.

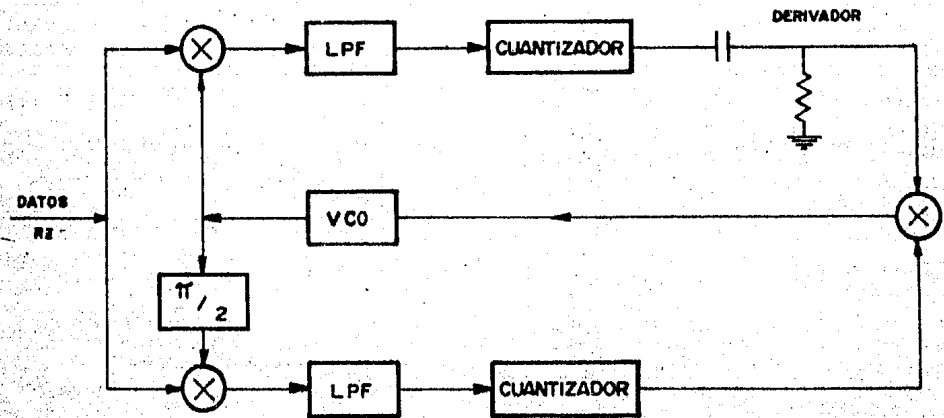


Figura 3.8 Discriminador de frecuencia realizado por Bellisio.

(Es importante notar que en este caso particular la señal de voltaje añadida al filtro no se realiza en el capacitor C, sino directamente en la resistencia R1, lo cual, sino se tiene suficiente cuidado podría ocasionar el desencadenamiento del PLL, e inclusive que el PLL nunca llegara a encadenarse).

El esquema del circuito completo para extracción de sincronía es el siguiente:

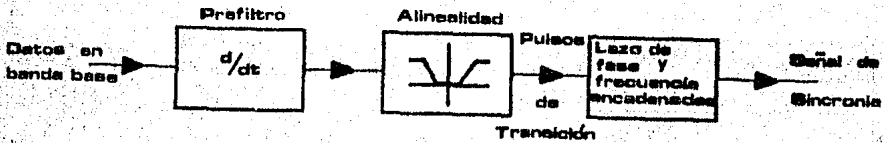


Figura 3.9 Diagrama de bloques del sistema realizado por Bellisio.

Los pulsos debidos a las transiciones de los datos son aplicados a dos multiplicadores separados como se ve en la figura 3.10.

Los multiplicadores son manejados por las componentes en fase y en cuadratura del oscilador local. Las señales de diferencia de fase extraídas por los filtros paso-bajas representan entonces las componentes de detección de fase en cuadratura y en fase.

Las dos señales del detector de fase contienen la información que indica si el oscilador local está arriba o abajo de la frecuencia de los datos. La señal $VI(t)$ adelanta a $VQ(t)$ por 90 grados cuando $\omega_0 > \omega_1$. Esta relación de fases se invierte cuando $\omega_0 < \omega_1$ cambia de signo. El circuito realizado por Bellisio explota esta propiedad.

Las señales del detector de fase después de ser filtradas por filtros paso-bajas son aplicadas a los cuantizadores. Las salidas de los cuantizadores tienen los signos de $VQ(t)$ y $VI(t)$. La salida del diferenciador que sigue al cuantizador VI consiste de pulsos positivos y negativos ocurriendo cerca de los cruces por cero de $VI(t)$. Debido a la relación entre VI y VQ el multiplicador produce todos sus pulsos positivos para $\omega_0 > \omega_1$ y todos sus pulsos negativos para $\omega_0 < \omega_1$. El signo de los pulsos muestra la dirección del barrido de frecuencia.

Es muy importante el hecho de que, cuando $\omega_0 = \omega_1$ no hay pulsos y la salida es idénticamente cero excepto por el pequeño offset de voltaje del mismo multiplicador.

Los pulsos del comparador de frecuencia son sumados con la salida del comparador de fase y son aplicados al filtro de lazo del PLL.

(Nótese que la señal VQ contenida dentro del comparador de frecuencia puede ser usada convenientemente como la comparación de fase). Cuando el encadenamiento es obtenido, VQ es entonces forzada a cero y VI a su valor máximo manteniendo al cuantizador VI en un estado fijo.

Solamente se producen pulsos para deslizamientos de medio ciclo o mayores entre el reloj y los datos. Después del encadenamiento no hay salida en el diferenciador. Entonces el comparador de frecuencia permanece quieto para pequeñas desviaciones de fase y no tiene efecto en la dinámica del PLL.

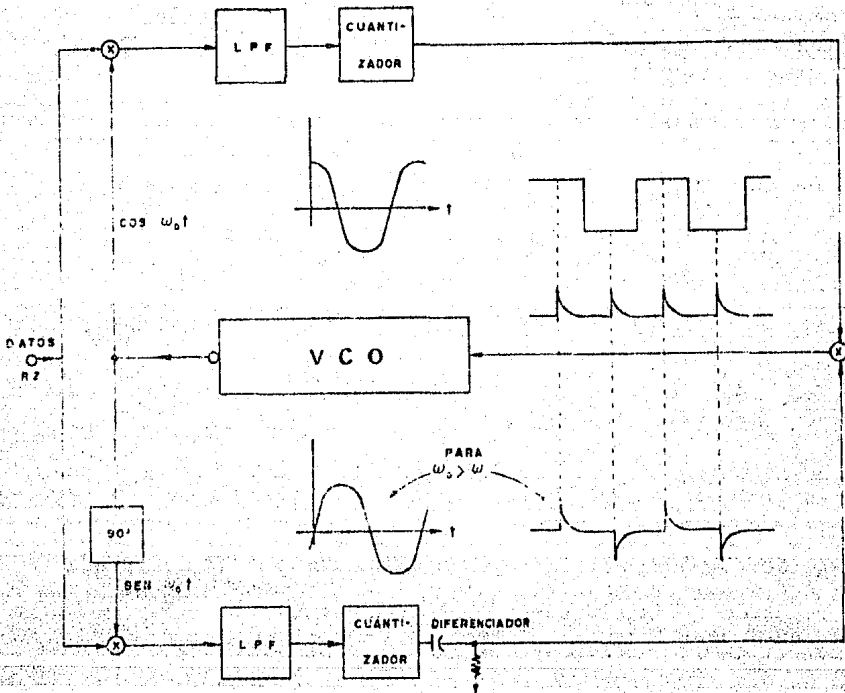


Figura 3.10 Diagrama del discriminador de frecuencia en el cual se indican las diferentes forma de onda obtenidas.

3.2.4 Métodos de ampliación del ancho de banda.

La velocidad de adquisición - por arrastre, por barrido o por ayuda de discriminación - es mejorada al ampliar el ancho de banda del lazo. Un lazo puede ser construido para tener un ancho de banda grande para rápida adquisición y un ancho de banda mucho más estrecho para un buen seguimiento en la presencia de ruido de fase debido a la aleatoriedad de las transiciones de los datos.

El ancho de banda puede ser cambiado por cualquiera de varios métodos. Un método evidente es conmutar los componentes del filtro de lazo. (Usualmente es deseable conmutar solamente los resistores; si un nuevo capacitor es conmutado, la carga del integrador puede ser perturbada, y el proceso de conmutación podría ocasionar el desencadenamiento).

El ancho de banda puede ser cambiado también conmutando la ganancia de lazo.

La señal de conmutación puede ser el voltaje de indicación de encadenamiento producido por el detector de fase en cuadratura. Cuando el lazo está desencadenado, la ausencia del voltaje de indicación permite que los conmutadores estén en su posición de ancho de banda amplio. Cuando el lazo se encadena, el voltaje de indicación aparece y fuerza a los conmutadores a su posición de banda angosta.

**CAPITULO IV DISEÑO DEL CIRCUITO
DE RECUPERACION DE SINCRONIA**

IV.- DISEÑO DEL CIRCUITO DE RECUPERACION DE SINCRONIA.

El circuito de extracción de sincronía fue diseñado para una frecuencia nominal de 16.896 Mhz, la cual es el doble de la frecuencia de segunda jerarquía de acuerdo a la normalización CCITT G.732, 8.448 Mbs (se utiliza el doble de la frecuencia nominal según la norma CCITT debido a que el proceso de codificación duplica la velocidad de transmisión).

La filosofía de diseño seguida para realizar el PLL de segundo orden que es motivo del presente trabajo, fue, obtener un PLL lo más compacto posible, es decir, evitando en lo posible el uso de transistores y que a su vez fuera económico y con el menor ruido de fase (jitter) posible, así como un amplio rango de captura y de mantenimiento (es importante mencionar que al momento de realizar la parte práctica reportada al final de este trabajo, no se tenían los datos suficientes respecto al jitter permisible a la salida, por lo que se tomó como criterio el lograr el mayor rango de adquisición posible y medir el ruido de fase resultante; sin embargo, como al momento de redactar la presente tesis ya se contaba con dichos datos, se incluye únicamente el diseño y los parámetros del PLL requerido por el sistema).

Dado que la señal era digital y de una frecuencia relativamente alta, se optó por utilizar en lo posible circuitos integrados TTL FAST (también conocidos como TTL AS) cuyo ancho de banda nominal es 125 Mhz. La otra opción razonable era utilizar circuitos integrados lógicos MECL 10KH cuyo ancho de banda nominal es de alrededor de 250 Mhz, sin embargo, su utilización desde el punto de vista del diseñador presenta muchas desventajas de orden práctico, por lo que se optó por utilizar TTL FAST.

3.1 Comparador de fase.

La señal de datos a partir de la cual se recuperará la señal de sincronía, es una señal aleatoria, aunque de tipo cicloestacionario [11], es decir, el número de transiciones entre un estado alto y un estado bajo por unidad de tiempo es aleatorio, aunque en promedio nos da la información necesaria para poder extraer la señal de sincronía (obviamente después de haber pasado los datos NRZ a través de una no linealidad de orden par o a través de un detector de transición).

Debido a esta característica desecharemos el uso de un detector de fase secuencial ya que aquél, como mencionamos anteriormente es muy sensible a la pérdida de transiciones; si viene una secuencia grande de unos o ceros

en la palabra de datos, puede ocasionar que el lazo se desencadene o derive alrededor de la frecuencia promedio del reloj.

Por lo anterior, se ve que el comparador de fase a utilizar debe ser de tipo multiplicador. Además, como la señal es digital, lo más natural es utilizar una compuerta X-OR.

Debido a que la frecuencia de los datos después de ser pasados por la no linealidad de orden par (o por el detector de transición) anda alrededor de 17 Mhz, se hace necesario utilizar circuitos digitales de relativamente alta frecuencia (TTL FAST en nuestro caso).

Aparentemente, podríamos utilizar circuitos lógicos TTL Standard cuyo ancho de banda nominal es 35 Mhz o TTL LS cuyo ancho de banda nominal es 45 Mhz, pero en el caso particular de un detector de fase se trata de poder detectar diferencias de fase lo más pequeñas posibles (lo que equivale a intervalos de tiempo muy cortos), para lo cual el ancho de banda del detector debe ser lo más grande posible, en este caso la elección fue utilizar TTL FAST que a pesar de no tener tan grande ancho de banda como los circuitos MECL 10KH (250 Mhz), si son fáciles de utilizar, es decir, no presentan las desventajas que se tendrían al utilizar ECL (baja impedancia de entrada y de salida -alrededor de 50 ohms-, baja inmunidad al ruido - alrededor de 200 milivolts-, entre otras).

Una vez establecido que el comparador de fase a utilizar sería un C.I. TTL FAST, la elección del C.I. en particular es sencilla, así pues, el circuito a utilizar es el 74F86 (o 74AS86), cuyas principales características se muestran a continuación:

TABLA 2

CARACTERISTICAS PRINCIPALES DEL C.I. 74F86 (X-OR).

Símbolo	Parámetro	Mín	Tip	Máx	Unidades
IccL	Consumo de		18	20	mA
IccH	corriente		12	18	mA
tPLH	Tiempo de	3	4	5.5	ns
tPHL	propagación	3	4.2	5.5	ns

Como referencia para comparación, a continuación mostraremos las características principales del mismo circuito pero en tecnología TTL LS:

TABLA 3

CARACTERISTICAS PRINCIPALES DEL C.I. 74LS86.

Símbolo	Parámetro	Min	Tip	Máx	Unidades
IccL	Consumo de		9	15	mA
IccH	corriente		6.1	10	mA
tPLH	Tiempo de		15	23	ns
tPHL	propagación		14	21	ns

Como podemos apreciar al comparar las dos tablas anteriores, la tecnología FAST es bastante más rápida que LS aunque tiene el inconveniente de consumir aproximadamente el doble de corriente.

4.2 Oscilador controlado por voltaje (VCO).

Existen muchas configuraciones para implementar VCOs de manera discreta, utilizando transistores y elementos pasivos, o utilizando cristales de cuarzo manejados por transistores. Además existen también circuitos híbridos que realizan esta función.

Sin embargo, en nuestro caso particular no necesitamos recurrir a ninguna de estas opciones, ya que la solución se presenta de una manera natural. Ya que estamos utilizando circuitos TTL, seleccionamos un VCO de la misma familia lógica, el cual a pesar de no ser de tecnología FAST, si cumple con los requerimientos de frecuencia deseados, el circuito de que hablamos es un circuito TTL Schottky, el C.I. 74S124.

FAST, son las iniciales de Fairchild Advanced Schottky TTL. Los circuitos de tecnología FAST y los de tecnología Schottky, tienen tiempos de propagación prácticamente iguales y la misma capacidad de manejo de corriente, pero FAST tiene un mayor margen de ruido y sólo consume la cuarta parte de

potencia que consume Schottky.

Sin embargo el VCO mencionado no se encuentra disponible en tecnología FAST, las características principales de dicho circuito se muestran a continuación:

TABLA 4

CARACTERISTICAS PRINCIPALES DEL C. I. 74S124 (VCO).

Símbolo	Parámetro	Min	Tip	Máx	Unidades
Icc	Consumo de corriente		105	150	mA
F0	Frecuencia de salida	60	85		Mhz

4.3 Diseño del filtro paso-bajas.

La elección de un filtro paso-bajas adecuado es crítica, ya que éste es el que determinará las características dinámicas del lazo; el rango de captura, el rango de arrastre, la respuesta transitoria, y el ruido de fase a la salida del PLL.

En el diseño de un circuito sincronizador los parámetros de diseño principales, son, el rango de mantenimiento, el rango de captura y el ruido de fase.

El rango de captura y el rango de mantenimiento son importantes porque, son los que limitarán el rango de variación máximo de la frecuencia de la señal de entrada, dentro del cual el PLL aún seguirá sus variaciones, o aún podrá adquirir la frecuencia de la señal de entrada.

El ruido de fase a la salida del sincronizador determina la probabilidad de error del sistema, y por lo tanto, la confiabilidad del mismo.

La CCITT ha establecido una serie de recomendaciones en cuanto al jitter máximo admisible a la entrada de un equipo terminal, en nuestro caso nos referiremos a la recomendación CCITT 0.171.

En la figura 4.1 se muestra la curva de jitter máximo admisible a la entrada de un equipo terminal según la recomendación CCITT 0.171 para 8.448 Mbs.

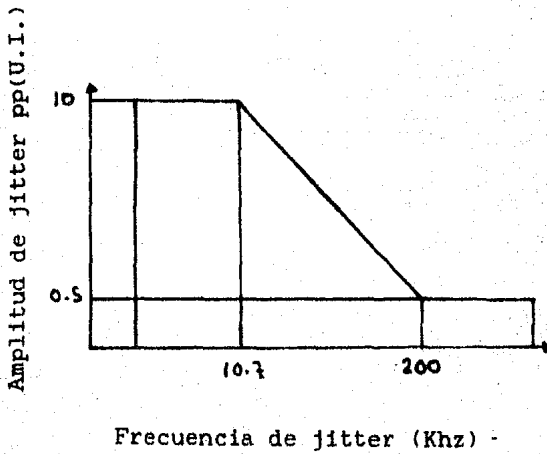


Figura 4.1 Máscara de jitter para 8.448 Mhz según la norma CCITT.

La figura 4.1 es llamada una máscara de jitter. Esta máscara de jitter está elaborada para variaciones de la fase de la señal de entrada en forma senoidal.

Para evaluar numéricamente el valor máximo de desviación de frecuencia a la entrada, debida a la variación de la fase de entrada, nos basaremos en la ecuación (2.43) y en la figura 4.1, donde la amplitud equivale al índice de modulación. Claramente vemos que la máxima desviación se obtiene para $m_i=10$ Unidades de intervalo (U.I.) y $\Omega=10.7$ Khz. En nuestro caso una unidad de intervalo (o período de reloj) es igual a π radianes (debido a que se trata de una señal NRZ), por lo tanto la máxima desviación en frecuencia viene dada por:

$$m_i \Omega = 10 \pi (10.7) (10000) = 336 \text{ Khz}$$

$$\text{Rango de adquisición mínimo} = 2(336) = 672 \text{ Khz}$$

Esto determina el rango de adquisición mínimo que se requiere. Obviamente, el rango de seguimiento mínimo debe ser mayor o igual a este valor.

Una expresión aproximada para el rango de adquisición $2\omega_c$ [15] está dada por la siguiente fórmula:

$$\omega_c = K |F(j\omega_c)| \text{ -----(4.1)}$$

donde $F(j\omega_c)$ es la amplitud de la respuesta del filtro paso-bajas equivalente valuada en ω_c . La solución de la ecuación 4.1 implica un proceso recursivo dado que el rango de captura es una función de sí mismo.

El jitter máximo admisible a la entrada del circuito decididor, es decir, el máximo jitter permisible a la salida del PLL para el sistema PCM desarrollado en el IIE fue determinado por Roberto Byrd [18], el cual, para 8.448 Mbs es ± 33.3 grados.

Para el diseño del filtro paso-bajas, tomando como criterio el ruido de fase permisible a la salida, nos valimos de un método computacional, ya que el cálculo del jitter implica una integración numérica (el programa utilizado se muestra en el apéndice 3).

Dado que en nuestro caso podemos contar con la ayuda de adquisición en caso necesario, tomamos únicamente como criterio el jitter máximo admisible, ya que en caso contrario podría existir un compromiso entre el rango de adquisición y el jitter a la salida del sincronizador.

A continuación mostramos los resultados obtenidos utilizando el programa del apéndice 3.

Después de realizar una serie de iteraciones, se vió que para una $K=58430000$ rad/seg (la cual se determinó experimentalmente como se verá en el capítulo V) el valor mínimo de jitter a la salida del PLL tomando en cuenta tanto a la aleatoriedad de las transiciones como al multiplexaje, es, 31.2 grados, con jitter debido a transiciones=27.2 grados y jitter debido a multiplexaje=4 grados.

Para este caso se obtuvieron los siguientes valores:

Frecuencia natural (Hz)= 227.88 Khz

Factor de amortiguamiento= 1.086

Rango de captura teórico= 1.69 Mhz

El rango de captura lo calculamos recursivamente, utilizando el programa incluido en el apéndice 3.

Las constantes del filtro son $\tau_1=2.85 \times 10^{-5}$ y $\tau_2=1.5 \times 10^{-6}$.

Algunos valores de resistencias y capacitor propuestos, son $R_1=2.7$ Kilohms, $R_2=150$ Ohms y $C=0.01$ microFarads. Como se ve, teóricamente el sistema no requiere de ayuda de adquisición, lo cual lo hace un sistema bastante simple.

CAPITULO V REALIZACION DEL SISTEMA

V.- REALIZACION DEL SISTEMA.

El esquema básico de recuperación de la señal de sincronía a partir de la señal de datos NRZ implementado, es mostrado en la figura 5.1.

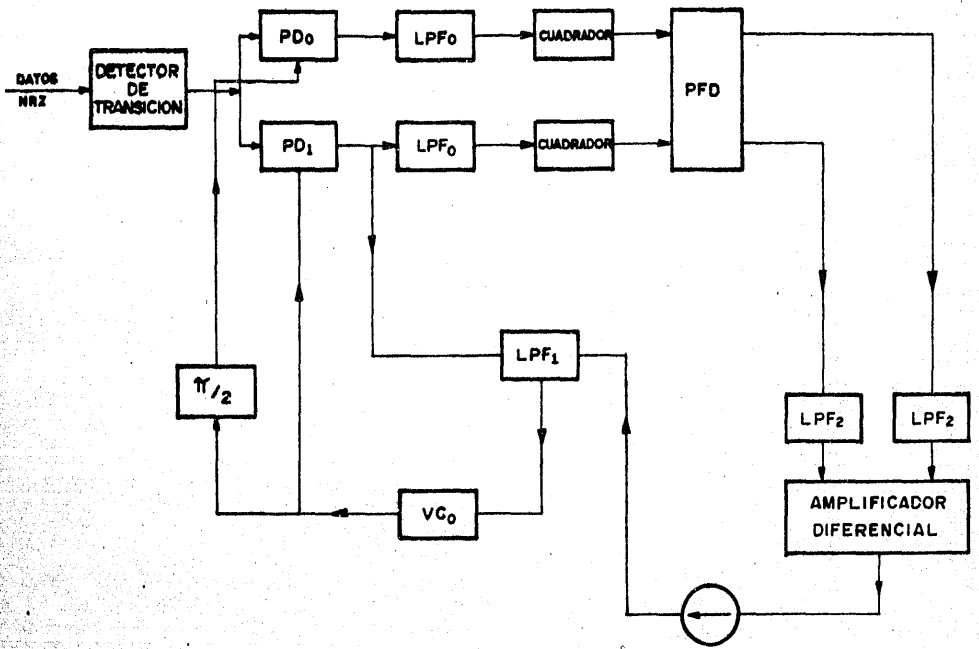


Figura 5.1 Diagrama de bloques del extractor de sincronía realizado.

Este esquema fue diseñado basándonos principalmente en el circuito realizado por Bellisio [10], haciéndole varias modificaciones.

A continuación, justificaremos la utilización de cada uno de los componentes, asimismo, indicaremos las características experimentales obtenidas.

5.1 Realización y prueba del comparador de fase.

Como se mencionó en un punto anterior, la utilización de un detector de fase X-OR era la selección natural debido a que la señales a comparar son señales digitales. Habíamos mencionado que el circuito escogido era la X-OR 74F86, sin embargo, al momento de realizar el presente trabajo no disponíamos de dicho circuito. El circuito del que se disponía era una compuerta NAND de tecnología Schottky, el C.I. 74S00. Por lo cual, implementamos la compuerta X-OR utilizando 4 compuertas NAND como se muestra en el diagrama de la figura 5.2.

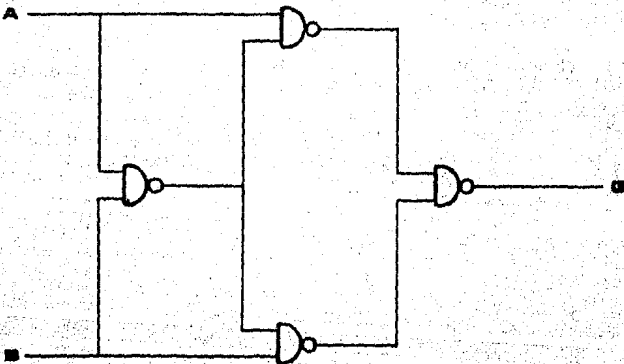


Figura 5.2 Implementación de la compuerta X-OR a partir de compuertas NAND.

A continuación mostramos las características más relevantes del C.I. 74S00:

TABLA 5

CARACTERISTICAS DEL C.I. 74S00.

Simbolo	Parámetro	Min	Max	Unidades
I _{cc}	Corriente de		16	mA
I _{cc1}	alimentación		36	ma
t _{pLH}	Tiempo de	2	4.5	nS
t _{pHL}	propagación	2	5	nS

(EL tiempo de propagación de un circuito FAST y un circuito Schottky es básicamente el mismo, la única diferencia es el margen de ruido y la potencia disipada. Si utilizáramos la compuerta 74F86 tendríamos un tiempo de propagación máximo de alrededor de 13 nS, mientras que con la configuración utilizada se tienen alrededor de 15 nS; como se ve, la diferencia de tiempo no es muy grande, pero, reduce un poco las diferencias de fase que pueden ser detectadas).

Una vez que implementamos el detector de fase, se procedió a caracterizarlo.

Primeramente obtuvimos su ganancia de detección de frecuencia para una señal cuadrada y posteriormente para un patrón pseudoaleatorio. En la figura 5.3 mostramos el esquema utilizado para su caracterización, mientras que en la figura 5.4 se pueden apreciar los resultados obtenidos.

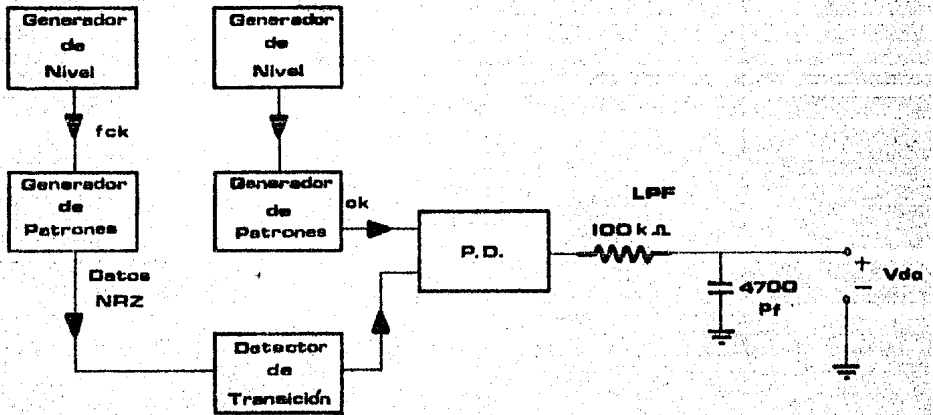


Figura 5.3 Esquema utilizado para la caracterización de la discriminación de frecuencia del detector de fase.

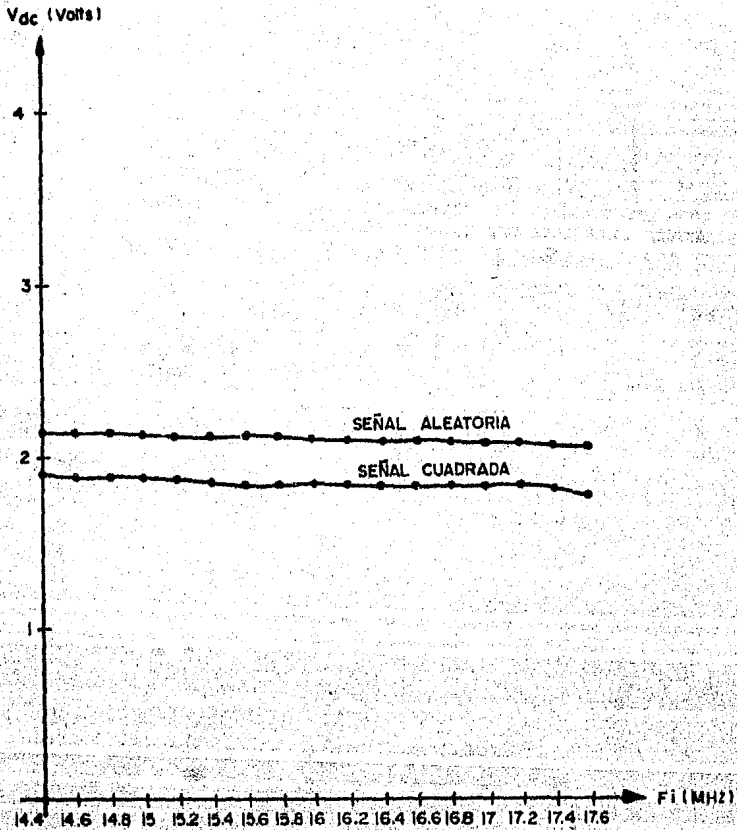
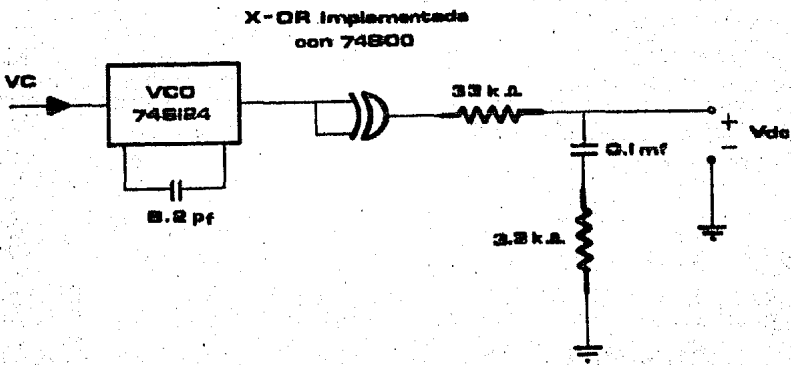


Figura 5.4 Característica de discriminación de frecuencia de la compuerta X-OR implementada con un C.I. 74900.

Posteriormente, obtuvimos la ganancia de detección de fase utilizando las siguientes configuraciones:

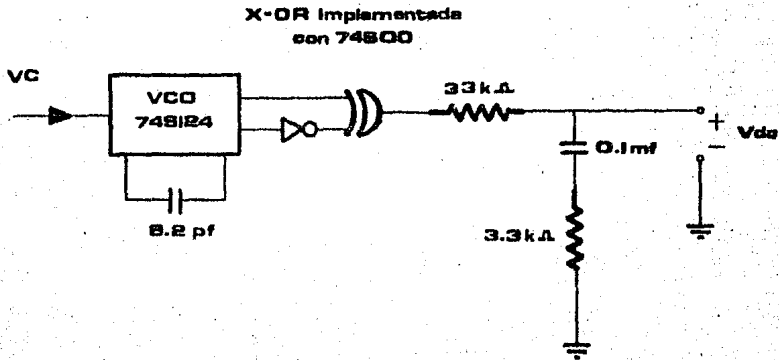
Para cero grados de diferencia de fase:



$$V_{dc} = 0.29 \text{ Volts}$$

Figura 5.5. Esquema utilizado para la caracterización de la fase del detector de fase para cero grados de diferencia de fase.

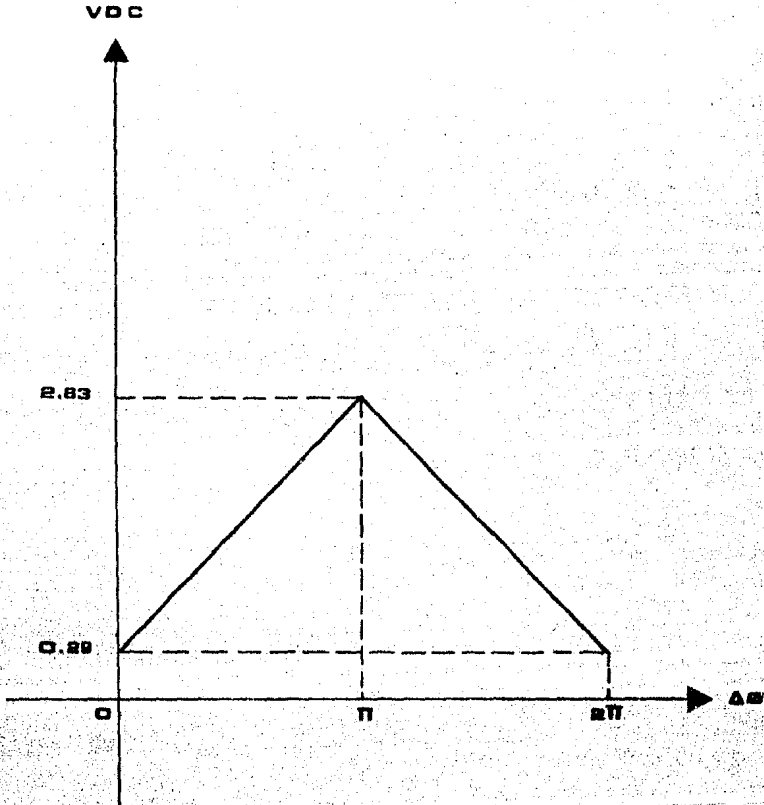
Para 180 grados de diferencia de fase:



$V_{dc} = 2.83$ Volts

Figura 5.6 Esquema utilizado para la caracterización de la fase del detector de fase para 180 grados de diferencia de fase.

Se consideró que el comportamiento del detector de fase es lineal y entonces, interpolando, se obtuvo la gráfica de la figura 5.7.



$$K_d = (2.83 - 0.24) / \pi = 0.81 \text{ volts/rad}$$

Figura 5.7 Característica de detección de fase de una compuerta X-OR implementada con un C.I. 74900.

5.2 Realización y prueba del VCO.

Como se habia determinado anteriormente, el VCO a utilizarse es el circuito 74S124.

A continuación se presenta una tabla de voltaje de entrada contra frecuencia de salida del C.I. 74S124, posteriormente en la figura 5.8 se puede apreciar la configuración utilizada para obtenerla.

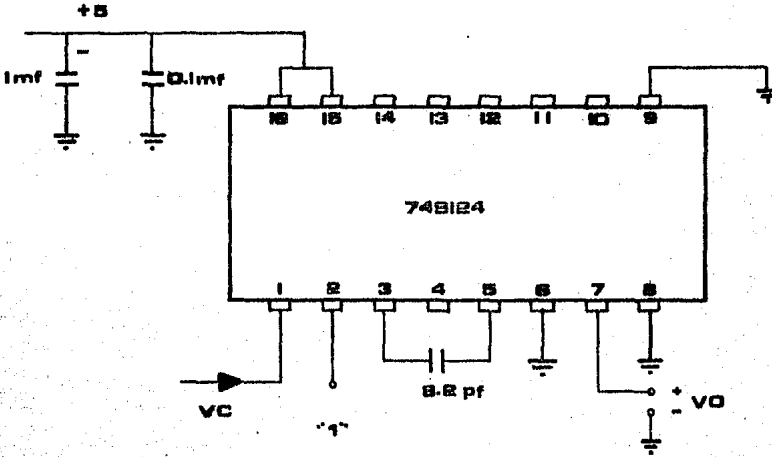


Figura 5.8 Esquema utilizado para caracterizar el VCO 74S124.

TABLA 8

FRECUENCIA DE SALIDA CONTRA VOLTAJE DE CONTROL

PARA EL C.I. 74S124 (VCO).

Voltaje de control Vc (Volts)	Frecuencia de salida Fo (Mhz)
0	11
0.5	11
1	11.1
1.5	11.78
2	13.2
2.5	16.69
3	24.92
3.5	29
4	32
4.5	34
5	38.37

Graficando la tabla 8, se tiene:

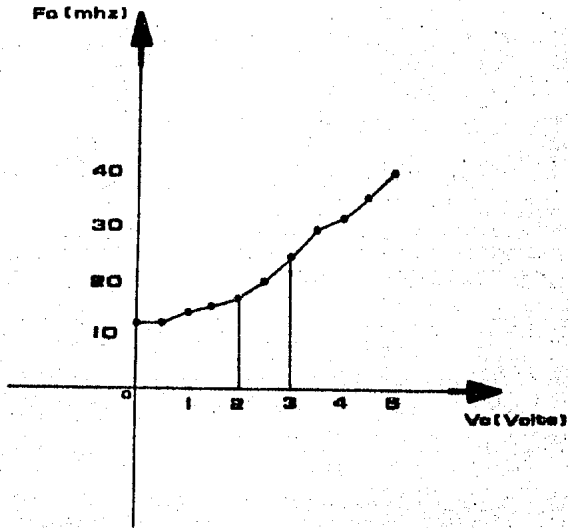


Figura 5.9 Curva característica de frecuencia de salida contra voltaje de entrada del VCO 74S124.

Como podemos observar en la gráfica anterior, la característica del VCO es aproximadamente lineal de 13 a 25 Mhz.

Tomando en cuenta que el VCO va a trabajar solamente entre 16 y 18 Mhz aproximadamente, calcularemos su ganancia considerándolo lineal y utilizando solamente los valores que se encuentran dentro de dicho intervalo.

Por lo tanto la ganancia calculada es válida solamente para dicho intervalo.

$$K_o = 2\pi(24.924 - 13.202)(1000000)$$

$$k_o = 72.13 \times 10^6 \text{ rad/seg}$$

5.3 Realización y prueba del filtro de lazo.

El filtro utilizado en nuestro caso fue un filtro paso-bajas pasivo, cuyas características fueron vistas en el inciso 2.3.

Se utiliza un filtro pasivo para evitar la utilización de un amplificador operacional, el cual tendría que ser compensado perfectamente en offset para un mejor funcionamiento del lazo. Además, como el filtro activo invierte, el nivel de voltaje a la salida del mismo sería negativo, y como el VCO utilizado solo trabaja con voltajes positivos, se tendría que utilizar un circuito inversor con amplificadores operacionales, con su respectiva compensación de offset. Por otro lado, debido a la respuesta en frecuencia de los A.O., muchas notas rítmicas pueden ser atenuadas o suprimidas, disminuyendo el rango dinámico del lazo.

La caracterización experimental del filtro no se realizó considerándolo un elemento aislado, sino considerándolo una parte fundamental del PLL; sabiendo que las características dinámicas del PLL son determinadas por el filtro de lazo, lo que se hizo fue caracterizar al PLL con un filtro paso-bajas dado.

A continuación, se muestra primeramente el diagrama utilizado para la caracterización del lazo:

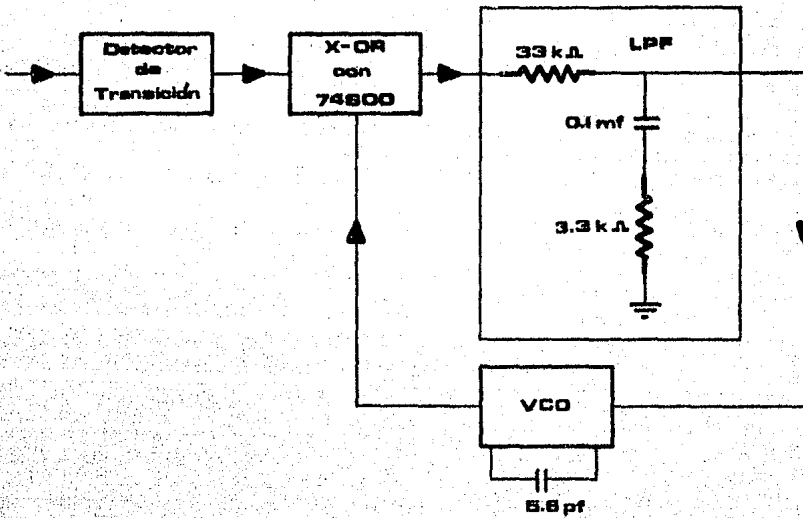


Figura 5.10 Diagrama utilizado para caracterizar el filtro paso-bajas utilizado.

A continuación se muestran los resultados obtenidos experimentalmente.

En primer lugar mostramos una tabla de frecuencia de salida contra frecuencia de entrada, la cual fue obtenida aumentando lentamente la frecuencia de la señal de entrada desde 15 Mhz. Como se ve, el PLL se encadenó al llegar a los 15.4 Mhz; posteriormente se siguió aumentando la frecuencia, hasta llegar al límite de encadenamiento en 18.63 Mhz:

TABLA 9

Frecuencia de entrada	Frecuencia de salida
F1 (Mhz)	Fo (Mhz)
15	15.792
15.1	15.809
15.2	15.795
15.3	15.779
15.4	15.4

A partir de 15.4 Mhz se mantiene encadenado hasta llegar a 18.63 Mhz, donde se desencadena.

La tabla 10 fué obtenida disminuyendo lentamente la frecuencia de la señal de entrada desde 19 Mhz, como se puede apreciar, el PLL se encadenó a 16.8 Mhz; posteriormente se siguió disminuyendo lentamente la frecuencia, hasta llegar al límite de desencadenamiento:

TABLA 10

Frecuencia de entrada	Frecuencia de salida
Fi (Mhz)	Fo (Mhz)
19	16.063
18.8	16.148
18.6	16.052
18.4	16.023
18.2	16.027
18	16.027
17.8	16.027
17.6	16.05
17.4	16.071
17.2	16.089
17	16.101
16.8	16.8

A partir de 16.8 Mhz. el PLL se mantiene encadenado hasta llegar a 14.94 Mhz, donde se desencadena.

En la figura 5.11 podemos ver la gráfica de frecuencia de salida contra frecuencia de entrada, obtenida a partir de las dos tablas anteriores.

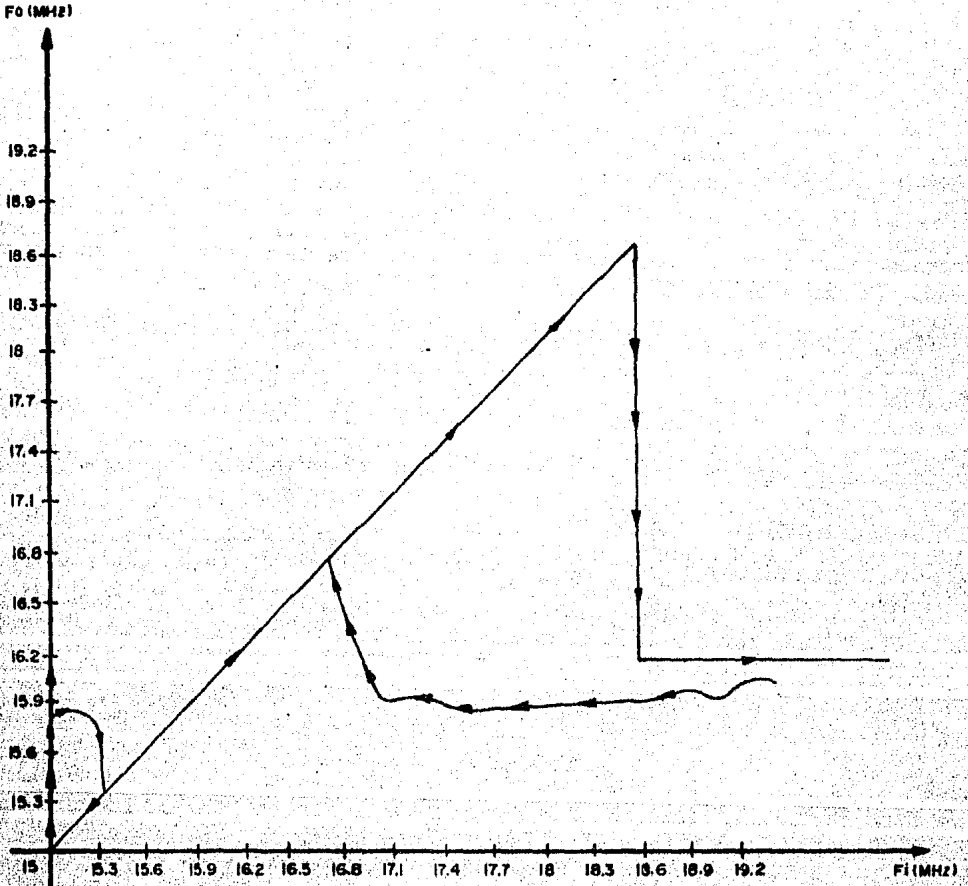


Figura 5.11 Característica de adquisición y seguimiento de frecuencia del PLL implementado.

Asimismo, podemos obtener los rangos de encadenamiento y de seguimiento, que son:

$$\text{rango de seguimiento} = 18.63 - 14.94 = 3.69 \text{ Mhz}$$

$$\text{rango de encadenamiento} = 16.8 - 15.4 = 1.4 \text{ Mhz}$$

5.4 Realización y prueba de la ayuda de adquisición.

El esquema utilizado para la ayuda de adquisición de frecuencia puede verse en la figura 5.1, pero lo repetimos aquí por conveniencia:

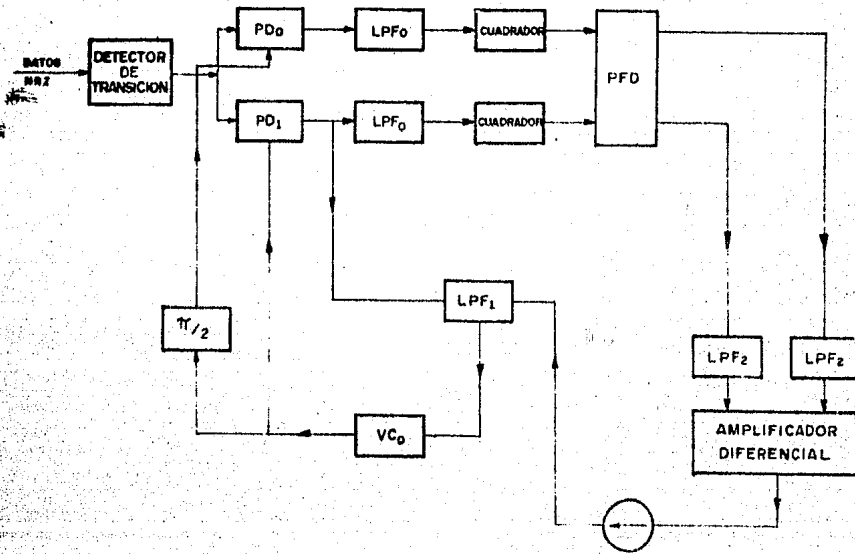


Figura 5.1 Diagrama de bloques del extractor de sincronía realizado.

El funcionamiento de la ayuda de adquisición es descrito a continuación; la señal RZ producida por el detector de transición es comparada en los detectores de fase PDI y PDO contra la señal del VCO en fase y en cuadratura, respectivamente. Cuando el PLL está desencadenado, se producen dos notas rítmicas defasadas 90 grados a la salida de los filtros LPFo - el signo del defasamiento depende de si la frecuencia de la señal de entrada es mayor o menor con respecto a la frecuencia del VCO -, las dos notas rítmicas son "cuadradas" y ajustadas a un nivel TTL para ser comparadas en el circuito detector de fase y frecuencia (el uso del detector de fase y frecuencia (PFD) como detector principal del PLL fue desechado debido a que es muy sensible a la variación de transiciones, y como el número de transiciones de la señal de entrada es aleatorio, el PLL se podría desencadenar fácilmente, o aún si el PLL se mantuviera encadenado, el detector de fase podría agregar una cantidad de jitter mayor que el producido por el detector X-OR. Sin embargo, cuando el PLL se encuentra desencadenado, las notas rítmicas se repiten periódicamente [3], obteniéndose así un número de transiciones suficiente para poder utilizar el detector de fase y frecuencia. El hecho de poder utilizar el detector de fase y frecuencia en la ayuda de adquisición es de gran utilidad, debido a que sus dos salidas, auxiliadas con un filtro paso bajas y un amplificador diferencial, nos indican directamente la dirección del barrido, lográndose así una adquisición más rápida), cada una de las salidas del PFD es filtrada por un filtro pasobajas. La salida de los filtros es conectada a un amplificador diferencial. La salida de cada filtro es un nivel de voltaje de D.C. proporcional a la frecuencia de las notas rítmicas, así pues, la salida del amplificador diferencial es una medida directa de la diferencia de frecuencia entre la señal de entrada y el VCO.

El voltaje a la salida del amplificador diferencial es utilizado para manejar una fuente de corriente, la cual es aplicada al capacitor del filtro de lazo, obteniéndose así la rampa necesaria para obtener el barrido de frecuencia.

Una vez que el PLL se encadena, desaparecen las notas rítmicas; a la salida de los filtros LPFo aparece un nivel de D.C. de la misma magnitud, la salida en los "cuadradores" es igual y esto ocasiona que el nivel de voltaje a la salida del amplificador diferencial sea aproximadamente cero, deshabilitándose así la fuente de corriente y por lo tanto, se desconecta automáticamente la ayuda de adquisición del lazo principal, no teniendo ya ningún efecto en la dinámica del mismo.

A continuación mostraremos los diversos circuitos utilizados para implementar la ayuda de adquisición. En primer lugar, en la figura 5.12, tenemos el defasador de 90 grados:

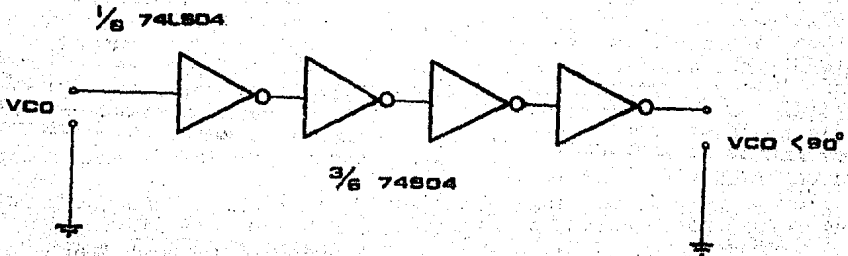


Figura 5.12 Defasador de 90 grados.

El defasamiento, como puede apreciarse en el diagrama anterior, se obtuvo retardando la señal utilizando compuertas TTL. El retardo se calculó para obtener un retardo de tiempo equivalente a la cuarta parte del periodo del reloj - ya que el periodo equivale a 360 grados -, considerando una frecuencia de 17 Mhz.

En la figura 5.13 se muestran los filtros paso-bajas y los "cuadradores". La utilización de los inversores 74S04 es para acoplar los "cuadradores" con el PFD.

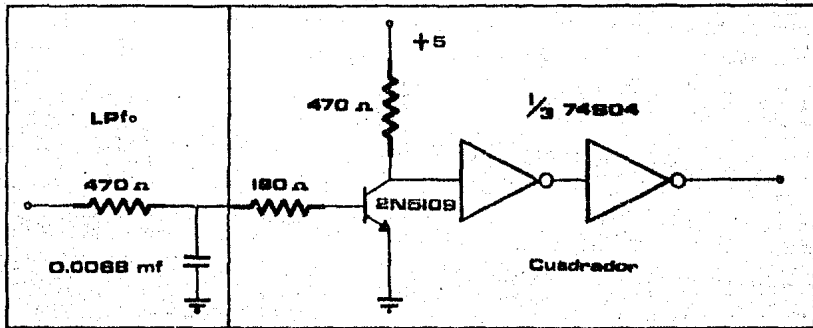


Figura 5.13 Filtro paso-bajas y cuadradores de las notas ritmicas.

El PFD con niveles TTL a utilizarse era el C.I. MC4044, sin embargo al caracterizarlo experimentalmente se vió que su respuesta a la frecuencia deseada era inadecuada, por lo cual se sustituyó por varios circuitos TTL LS, con los cuales se obtiene una respuesta bastante mejor, el diagrama utilizado se muestra en la figura 5.14. Sin embargo debido al ancho de banda de TTL LS, es preferible utilizar tecnología FAST como puede apreciarse en la figura 5.15.

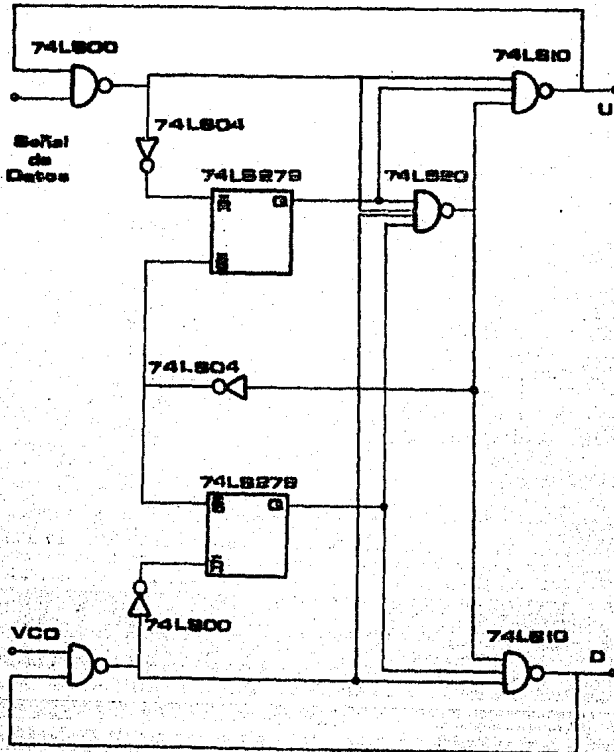


Figura 5.14 Detector de fase y frecuencia implementado con compuertas TTL-LS.

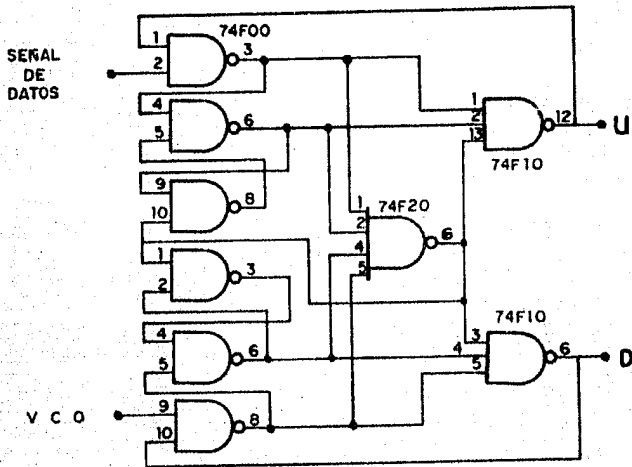


Figura 5.15 Detector de fase y frecuencia implementado con compuertas

TTL-FAST.

La superioridad de la implementación del PFD utilizando tecnología FAST sobre la tecnología LS es obvia, sin embargo debido a que en el momento de realizar el presente trabajo no se disponía de los circuitos FAST, solamente se realizó el esquema propuesto en LS.

Finalmente, se muestran el amplificador diferencial y la fuente de corriente utilizadas:

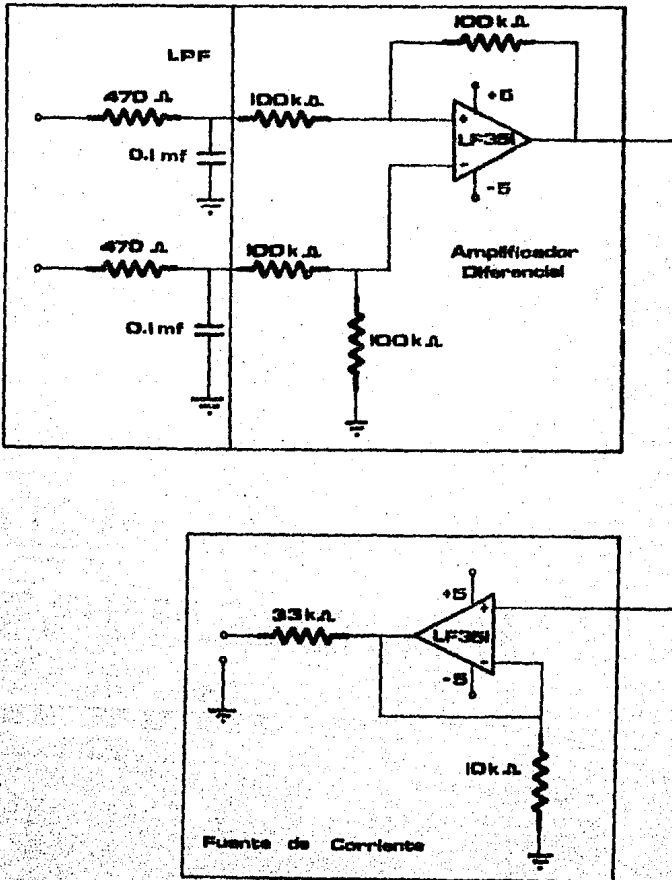


Figura 5.16 Amplificador diferencial y fuente de corriente.

Es importante hacer notar que estos circuitos se probaron y se caracterizaron separadamente, es decir, no se llegó a una optimización para poderlos conectar con el lazo principal.

5.5 Prueba del ruido de fase introducido en el proceso de sincronización.

La medición del ruido de fase del circuito extractor de sincronía es necesaria ya que nos da una medida del desempeño del mismo.

Existen en el mercado medidores de jitter, sin embargo, debido a la carencia del mismo, se utilizó un método propuesto por Kamilo Feher[12].

La teoría de operación del método utilizado para la medición de jitter puede explicarse con la ayuda de la figura 5.16.

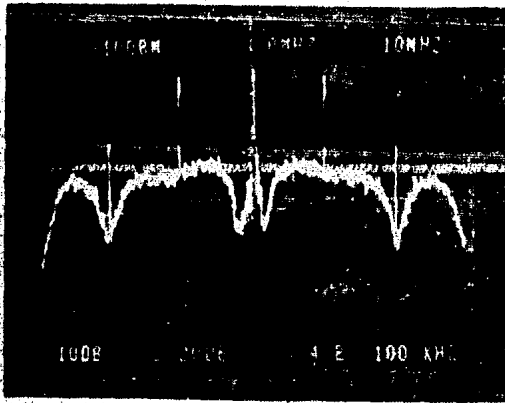


Figura 5.16 Espectro a la salida del detector de transición.

La figura 5.16 muestra el espectro de la señal obtenida después del detector de transición. La función del PLL es extraer la espiga correspondiente a la frecuencia del reloj de transmisión, y suprimir los componentes espectrales adyacentes. Sin embargo, es imposible excluir todos los componentes, principalmente aquellos que están muy cercanos de la espiga del reloj. Este espectro residual es una fuente primaria de jitter a la salida del reloj. Feher propone y demuestra de una manera práctica que la relación de potencia de la espiga del reloj a la potencia del espectro residual (SNR_{bw}) nos puede dar una medida del jitter (en porcentaje) a la salida del circuito extractor de sincronía.

A continuación, mostraremos el desempeño del sistema realizado, basándonos en el criterio de Feher. En primer lugar, en la figura 5.17 se ve el espectro de la señal de datos NRZ, donde puede apreciarse claramente la ausencia de la componente de reloj a 16.896 Mhz.

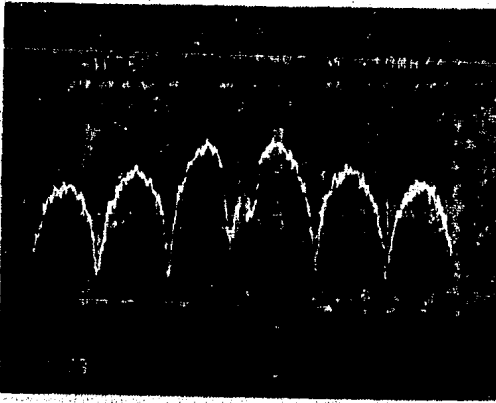


Figura 5.17 Espectro de la señal NRZ.

En la figura 5.16 se muestra el espectro de la señal a la salida del detector de transición, como puede apreciarse, en este caso si existe una componente a la frecuencia de reloj, sin embargo, su nivel de potencia no es muy alto comparado con el espectro restante.

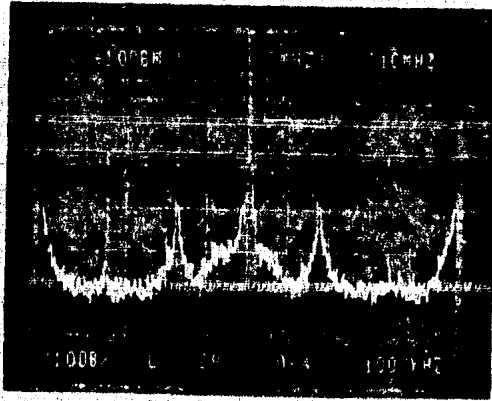


Figura 5.18 Espectro del reloj extraído por el PLL.

En la figura 5.18 se muestra el espectro a la salida del PLL, aquí podemos ver claramente el efecto de filtrado realizado por el PLL, ya que ahora el nivel de potencia de la componente a la frecuencia de reloj es bastante alto con respecto al espectro resultante. La medición de jitter según el método propuesto por Feher, se realizó haciendo uso de un medidor de potencia selectiva, obteniéndose la tabla 11. Esta medición se realizó para el caso en que sólo interviene la aleatoriedad en las transiciones de los datos en la producción de jitter.

TABLA 11

Frecuencia (KHz)	Potencia (dbm)
24	-3.5
500	-85.1
1000	-84.5
1500	-73.9
2000	-75
2500	-74.6
3000	-77
3500	-85.8
4000	-75.1
4500	-75
5000	-72.7
5500	-71.3
6000	-75.9
6500	-70.8
7000	-67.2
7500	-68.2
8000	-70.4
8500	-75.7
9000	-76.3
9500	-67.1
10000	-63.8
10500	-62.6
11000	-63.7
11500	-68.1
12000	-79.7
12500	-67.3
13000	-62.9
13500	-58.7
14000	-57.1
14500	-59.7
15000	-60
15500	-72.5
16000	-56.7
16500	-48.4
16800	-9
16900	-8.9
17000	-9

Para simplificar el cálculo del jitter, consideramos que el espectro es plano desde 25 Khz hasta 16.5 Mhz, tomando como valor de la amplitud del espectro el promedio (-69.63 dbm) de los valores obtenidos en la tabla 11 en ese intervalo.

Similarmente, en el caso de la espiga del reloj la consideramos plana en el intervalo de 16.8 a 17 Mhz, con un valor promedio de amplitud de -8.97 dbm.

La potencia total tanto de la espiga del reloj como del espectro resultante es igual al área contenida en sus respectivos espectros, para lo cual haremos la conversión de dbm a milliwatts sabiendo que $Potencia(dbm) = 20 \log Potencia(mW)$.

Si llamamos A1 al área contenida en la espiga de reloj y A2 al área del espectro restante, tenemos:

$$A1 = (200000)(.00036) = 72$$

$$A2 = (.00000033)(16250000)(2) = 10.758$$

el factor 2 en esta expresión es debido a que el valor .00000033 solamente se refiere a la mitad del espectro, el cual, como puede apreciarse en la figura 5.18, es simétrico alrededor de la espiga de reloj.

$$SNR_{bw} = 72/10.758 = 6.69$$

$$1/SNR_{bw} = .149$$

este valor nos da el porcentaje de jitter que existe por período de reloj, el cual para el caso de la señal NRZ equivale a 180 grados, por lo tanto:

$$Jitter(rms) = .149(180) = 26.895 \text{ grados}$$

Este valor es bastante cercano al calculado teóricamente (25 grados), haciendo uso del programa incluido en el apéndice 3.

El jitter teórico total (incluyendo el efecto del multiplexaje) es 44 grados, el cual se calculó haciendo uso del programa del apéndice 3. Como se puede ver este valor no cumple con el requerimiento de 33.33 grados de jitter máximo.

CAPITULO VI CONCLUSIONES

VI.- CONCLUSIONES.

A pesar de que el circuito extractor de sincronía implementado no cumple con los requerimientos en cuanto al máximo ruido de fase permisible a la salida, su uso fue de gran utilidad tanto teórica como práctica, ya que permitió sacar a flote los problemas que implican la realización de un extractor de sincronía a altas frecuencias. Asimismo permitió comprobar la veracidad (o falsedad en algunos casos) de los métodos o soluciones posibles para el cálculo y medición del ruido de fase, habiendo llegado finalmente a un método teórico-práctico satisfactorio.

Es importante resaltar que ya se han realizado algunas pruebas preliminares interconectando el codificador, transmisor, receptor, sincronizador, circuito decididor y circuito decodificador, obteniéndose algunos resultados alentadores.

El transmisor y receptor son circuitos ya terminados, mientras que el codificador y el decodificador están aún en proceso de desarrollo.

Varias modificaciones adicionales que pueden realizarse sobre el extractor de sincronía son mencionadas a continuación. En primer lugar puede agregarse un prefiltro.

De hecho, se llevó a cabo una prueba preliminar agregando un prefiltro que consiste de un circuito resonante serie de primer orden y un limitador antes del circuito detector de transición. El esquema utilizado es mostrado en la figura 6.1.

Este circuito no fue mencionado anteriormente dado que fue una prueba de último momento, sin embargo el resultado obtenido es bastante interesante, ya que se obtiene un incremento bastante grande en el rango de captura (de 1.4 Mhz a 3 Mhz) y en el rango de seguimiento (de 3.69 Mhz a 4.6 Mhz).

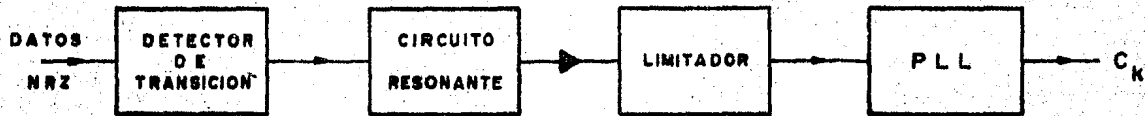


Figura 6.1 PLL antecedido por un prefiltro.

Además la inclusión del prefiltro garantiza la existencia de un número bastante grande de transiciones lo que permite utilizar un PFD en lugar de una compuerta X-OR lo que provee al extractor de sincronía de la capacidad para adquisición por barrido de frecuencia, eliminando la utilización de circuitería externa para adquirir el encadenamiento.

En la figura 6.2 se muestra el diagrama tentativo de un circuito extractor de sincronía mejorado. Este esquema al momento de la redacción del presente trabajo no había podido ser probado debido a la carencia de varios de los componentes del mismo.

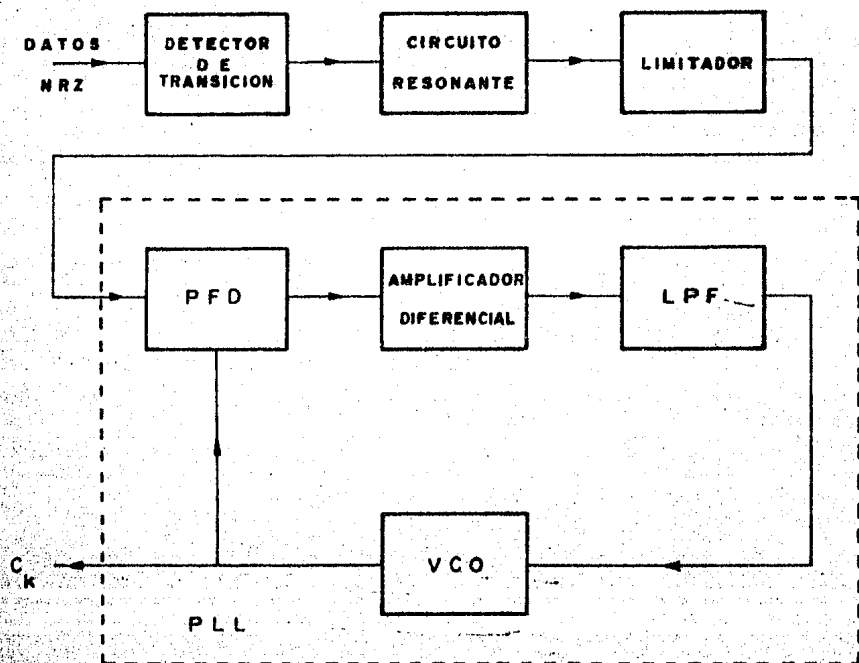


Figura 6.2 Esquema de un PLL con prefiltro y PFD.

Sin embargo, el punto medular para cualquier circuito extractor de sincronía es el ruido de fase, ya que a fin de cuentas es este el que determina la probabilidad de error y por lo tanto la confiabilidad del sistema de comunicaciones. Por lo tanto para cualquier esquema a utilizar es importante recordar que debemos de cumplir con la restricción de cierto jitter permisible a la salida.

Es importante mencionar que tanto el esquema desarrollado como el esquema propuesto en este capítulo para el circuito extractor de sincronía no son dependientes (al menos teóricamente) de la frecuencia, es decir, que estos mismos esquemas pueden ser utilizados para frecuencias mayores siempre y cuando se disponga de los circuitos con el ancho de banda adecuados. Por ejemplo, si se quisiera implementar el esquema con ayuda de adquisición para 34.368 Mbs es muy probable que se tendría que hacer uso de la tecnología ECL, sin embargo, teóricamente no tendría más que sustituirse lógicamente la circuitería TTL por circuitería ECL, y los transistores a usar deberían de tener un ancho de banda mayor.

CAPITULO VII APENDICES

**APENDICE 1 LISTA DE SIMBOLOS
Y TERMINOLOGIA USUALES**

APENDICE 1

LISTA DE SIMBOLOS Y TERMINOLOGIA USUALES.

- PLL: (Phase Lock Loop o Phase Locked Loop)
 En español;
 Lazo de fase encadenada
 o
 Lazo para encadenamiento
 de fase)
- PD: (Phase Detector, en español; Detector de Fase)
- PDF: (Phase and Frequency Detector, en español;
 detector de fase y frecuencia)
- LPF: Filtro paso bajas
- VCO: Oscilador controlado por voltaje
- A.O.: Amplificador operacional
- C.I.: Circuito integrado
- Kd: Ganancia del detector de fase (V/rad)
- Ko: Ganancia del VCO (Hz/Volt) o (rad/s/Volt)
- K=KoKd: Ganancia de malla abierta del lazo (rad/seg)
- fo: Frecuencia libre de oscilación del VCO (Hz)
- wo: Frecuencia angular del VCO (rad/seg)
- fi: Frecuencia de entrada (Hz) o velocidad
 de los datos (bits/s)
- wi: Frecuencia angular de entrada (rad/seg)
- Af: Diferencia de frecuencia fi-fo (Hz)

$\Delta\omega$: Diferencia de frecuencia angular $\omega_1 - \omega_0$
(rad/seg)

ω_{lpf} : Frecuencia de corte del filtro de lazo
(rad/seg)

$\Delta\omega_p$: Límite de arrastre (rad/seg)

$\Delta\omega^{\circ}$: Velocidad de barrido (rad/seg/seg)

ω_n : Frecuencia natural de un lazo de segundo
orden (rad/seg)

θ_i : Fase de los datos de entrada (rad)

θ_0 : Fase del VCO (rad)

θ_e : Error de fase (rad)

θ_a : Error dinámico de seguimiento o error de
aceleración (rad/seg)

V_d : Voltaje de salida del P.D.

V_{dc} : Voltaje de salida promedio del P.D. (Volts)

V_m : Voltaje de salida promedio máximo del P.D. (V)

V_p : Voltaje de arrastre (Volts)

V_{os} : Offset de voltaje del P.D. (Volts)

V_c : Voltaje de control del VCO (Volts)

$F(S)$: Función de transferencia del filtro de lazo

$H(s)$: Función de transferencia de malla cerrada del PLL

ζ : Factor de amortiguamiento de un lazo
de segundo orden

I_{ccl} : Consumo de corriente de la fuente cuando las
entradas de las demás compuertas están en
estado bajo (mA)

I_{cch} : Consumo de corriente de la fuente cuando las
entradas de las demás compuertas están en
estado alto (mA)

tp_{LH} : Tiempo de propagación de una compuerta de un

estado bajo a un estado alto (nS)

tpHL: Tiempo de propagación de una compuerta de un estado alto a un estado bajo (nS)

Tp: Tiempo de arrastre

Encadenamiento (lock-in):

Se dice que un PLL está "encadenado" cuando la frecuencia del VCO es exactamente igual a la frecuencia promedio de la señal de entrada.

Ciclo de deslizamiento (slipping cycle):

Un ciclo de deslizamiento es un ciclo del VCO durante el cual la frecuencia del mismo se aleja temporalmente de la frecuencia de la señal de entrada pero después tiende a seguirla.

Rango de mantenimiento o de seguimiento

(Hold-in, tracking
o lock range):

Es el intervalo de frecuencias dentro del cual el PLL sigue fielmente la frecuencia promedio de la señal de entrada, es decir, a cada ciclo de la señal de entrada corresponde solo un ciclo de la señal del VCO.

Rango de captura o de adquisición de frecuencia

(frequency
acquisition range, capture range
o lock-in range):

Es el intervalo de frecuencias sobre el cual el PLL adquiere un encadenamiento de frecuencia (sin ningún ciclo de deslizamiento), este intervalo es menor que el rango de mantenimiento.

Rango de arrastre (Pull-in range):

Es el intervalo de frecuencias dentro del cual el PLL llegará a encadenarse después de un tiempo determinado (después de algunos ciclos de desliza-

miento) , este intervalo es menor que el rango de mantenimiento pero mayor que el rango de encadenamiento.

Tiempo de arrastre (Pull-in time):

Es el tiempo requerido para que el error de frecuencia promedio cambie de la condición inicial $v=\Delta\omega$ al límite de encadenamiento $v=K$.

Ruido de fase (jitter):

Es la desviación de las transiciones en el tiempo de una señal con respecto al valor esperado.

**APENDICE 2 RESPUESTA DE UN PLL
A UNA RAMPA DE FRECUENCIA**

APENDICE 2

El error de fase para un PLL de segundo orden de baja ganancia [3] viene dado por:

$$\theta_e(s)/\theta_i(s) = s(s + \omega_n^2 / KoK1) / (s^2 + 2\zeta\omega_n s + \omega_n^2) \quad \text{----- (I)}$$

Mientras que para un lazo con ganancia alta [3], tenemos

$$\theta_e(s)/\theta_i(s) = s / (s^2 + 2\zeta\omega_n s + \omega_n^2) \quad \text{----- (II)}$$

Consideremos que la frecuencia de la señal de entrada del lazo está cambiando linealmente con el tiempo a razón de $\Delta\dot{\omega}$ (rad/seg/seg); esto es, $\theta_i(t) = \Delta\dot{\omega}t^2$ cuya transformada de Laplace es $\theta_i(s) = \Delta\dot{\omega}/s^3$.

Puede mostrarse que el error de fase crecerá sin límite si K es finita.

Sin embargo, supongamos que se utiliza un filtro activo y que K es bastante grande, entonces de (II) el error de fase en un lazo de segundo orden puede ser escrito como:

$$\theta_e(s) = s^2\theta_i(s) / (s^2 + 2\zeta\omega_n s + \omega_n^2) \quad \text{----- (III)}$$

Haciendo uso del teorema del valor final de la transformada de Laplace, obtenemos el error dinámico de seguimiento o error de aceleración:

$$\theta_a = \lim_{t \rightarrow \infty} \theta_e(t) = \lim_{s \rightarrow 0} \Delta\dot{\omega} / (s^2 + 2\zeta\omega_n s + \omega_n^2)$$

de donde,

$$\theta_a = \Delta\dot{\omega} / \omega_n^2 \quad \text{----- (IV)}$$

Sin embargo, la expresión anterior es sólo una aproximación, la expresión correcta para un detector de fase con una característica senoidal debería ser:

$$\text{sen}\theta_a = \Delta\omega / \omega_n^2 \quad \text{----- (V)}$$

De donde puede deducirse que el máximo rango permisible de cambio de la frecuencia de entrada es:

$$\Delta\omega = \omega_n^2 \quad \text{----- (VI)}$$

Si la velocidad de variación de frecuencia de la señal de entrada excede esta cantidad, el lazo se desencadenará.

Muchos detectores tienen un rango mayor que el del detector senoidal. Los límites de encadenamiento son extendidos por los factores mostrados a continuación:

Tipo de detector de fase	Factor de extensión
Senoidal	1
Triangular	$\pi/2$
Diente de sierra	π
PFD	2π

**APENDICE 3 PROGRAMAS PARA CALCULAR
EL JITTER TOTAL EN UN PLL, Y EL
RANGO DE CAPTURA**

```

(*                APENDICE                3                *)
(*                *)
(* PROGRAMA PARA CALCULAR EL JITTER A LA SALIDA *)
(* DE UN PLL DEBIDO A LA ALEATORIDAD DE LAS *)
(* TRANSICIONES Y AL MULTIPLEXAJE *)

```

```

PROGRAM JITTER (INPUT,OUTPUT);
CONST

```

```

    PI=3.1416;
    RAD=57.29578;

```

```

VAR

```

```

    TAU1,TAU2,K,PSI,OM_N,P,B1,B2,A,B,C,D,E,G,W,SUMA,CONT,INC,MAX_JIT,
    GRAD,SIGMA,VARIANZA,ESPECTRO,AREA,FREC_NAT,INC_FREC,PSI_IN,
    IND_MOD,FREC_JIT,FREC1_JIT,F11,F12,JIT_TOT,LIM_SUP,LIM_INF,
    AMPLITUD,FRECUENCIA,VAL_FIN,VAL_IN,FI,PSI_FIN,INC_PSI:QUADRUPLE;
    N:INTEGER;

```

```

FUNCTION DENSIDAD (AMPLITUD,                (* ESTA FUNCION SIRVE *)
    FRECUENCIA:QUADRUPLE)                (* PARA CALCULAR LA *)
    :QUADRUPLE;                          (* DENSIDAD DE POTENCIA*)
                                        (* DE LOS DATOS *)
                                        (* SEGUN FEHER *)

```

```

    BEGIN
        DENSIDAD:=(2*AMPLITUD**2)/(PI**2*FRECUENCIA);
    END;

```

```

FUNCTION Y (F:QUADRUPLE):QUADRUPLE;      (* ESTA FUNCION EVALUA *)
    BEGIN                                  (* LA FUNCION DE MAGNITUD*)
        W:=((A+BA**2)**2) +              (* DEL FILTRO PASO-BAJAS *)
            ((C**2*F-D**2)**2);          (* EQUIVALENTE *)
        Y:=W/((BA**2+(E-G**2)**2)**2);
    END;

```

```

    BEGIN (*INICIO PROGRAMA PRINCIPAL*)

```

```

        WRITE ('DAME LA AMPLITUD (VOLTS) '); (*LECTURA DE DATOS*)
        READ (AMPLITUD);
        WRITE ('DAME EL BIT RATE(Hz) ');
        READ (FRECUENCIA);
        WRITE ('DAME EL VALOR DE LA PROBABILIDAD DE TRANSICION ');
        READ(P);
        WRITE ('DAME EL INDICE DE MODULACION DE JITTER (CCITT) ');
        READ(IND_MOD);
        WRITE ('DAME LA FRECUENCIA DE LA MASCARA DE JITTER (CCITT) ');
        READ(FREC_JIT);
        WRITE ('DAME NO.DE INTERVALOS DE LA INTEGRAL(DEBE SER PAR) ');
        READ(N);
        WRITE ('DAME LOS LIMITES DE INTEGRACION LIM_INF,LIM_SUP ');
        READLN(LIM_INF,LIM_SUP);
        WRITE ('DAME EL VALOR DE K(Rad/seg) ');
        READ(K);
        WRITE ('DAME EL VALOR INICIAL DE FREC.NAT (HZ) ');
        READ (VAL_IN);
        WRITE ('DAME EL VALOR FINAL DE FREC.NAT (HZ) ');
        READ (VAL_FIN);
        WRITE ('DAME EL VALOR DEL INCREMENTO DE FREC.NAT (HZ) ');

```

```

READ (INC_FREQ);
WRITE ('DAME EL VALOR INICIAL DEL AMORTIGUAMIENTO ');
READ (PSI_IN);
WRITE ('DAME EL VALOR FINAL DEL AMORTIGUAMIENTO ');
READ (PSI_FIN);
WRITE ('DAME EL VALOR DEL INCREMENTO DEL AMORTIGUAMIENTO ');
READ (INC_PSI);
WRITE ('DAME EL VALOR DEL JITTER MAXIMO ADMISIBLE (GRADOS) ');
READ (MAX_JIT);
PSI:=PSI_IN; (*INICIALIZACION DEL FACTOR DE AMORTIGUAMIENTO*)

REPEAT (* INICIO CICLO ITERATIVO CON *)
      (* RESPECTO AL FACTOR DE AMORTIGUAMIENTO*)

  FREQ_NAT:=VAL_IN; (*INICIALIZACION DE LA FRECUENCIA NATURAL*)

  REPEAT (* INICIO CICLO ITERATIVO CON *)
        (* RESPECTO A LA FRECUENCIA NATURAL*)

    FREQ1_JIT:=FREQ_JIT/FREQ_NAT; (*CALCULO DELA*)
    FI1:=FREQ1_JIT**4 + (FREQ_NAT/K)**2*FREQ1_JIT**2; (* JITTER *)
    FI2:=(1-FREQ1_JIT**2)**2+4*PSI**2*FREQ1_JIT**2; (* DEBIDO A *)
    FI:=IND_MOD*PI*SQRT(FI1/FI2) (*MULTIPLEXAJE*)

    OM_N:=2*PI*FREQ_NAT; (* CALCULO DE *)
    A:=P**2*K**2; (* LAS CONSTANTES*)
    B1:=P**4*PI**2*(2*PSI*K-OM_N)/OM_N**3; (* DE LA MAGNITUD*)
    B2:=OM_N**2+2*PSI*P*K*OM_N-P*OM_N**2-K; (* AL CUADRADO DE*)
    B:=B1*B2; (* LA FUNCION DE *)
    C:=(8*PI**3*P*K**2/OM_N**2)*(2*PSI/OM_N-1/K); (*TRANSFERENCIA *)
    D:=2*PI*P*K; (* DEL FILTRO *)
    E:=P*K; (* EQUIVALENTE *)
    G:=4*PI**2*K/OM_N**2;

    TAU1:=K/OM_N**2; (*CALCULO DE LAS CONSTANTES*)
    TAU2:=2*PSI/OM_N-1/K; (* DEL FILTRO DEL LAZO *)

    AREA:=(LIM_SUP-LIM_INF)/N; (*CALCULO DE LA INTEGRAL*)
    SUMA:= Y(LIM_INF) + Y(LIM_SUP); (* POR EL METODO DE *)
    INC:=LIM_SUP/N; (* SIMPSON 1/3 *)
    CONT:=INC;
    N:=1;

  REPEAT (*INICIO CICLO ITERATIVO PARA CALCULO DE LA INT.*)

    IF ODD(N) THEN
      SUMA:=SUMA+4*Y(CONT)
    ELSE
      SUMA:=SUMA+2*Y(CONT);
      CONT:=CONT + INC;
      N:=N+1;
    UNTIL CONT =LIM_SUP; (*FIN CICLO ITERATIVO INTEGRACION*)

    AREA:=AREA*SUMA/3; (*AVALOR DE LA INTEGRAL*)

    ESPECTRO:=DENSIDAD(AMPLITUD,FRECUENCIA);

    VARIANZA:=AREA*ESPECTRO; (*CALCULO DEL JITTER RMS *)
    SIGMA:=SQRT(VARIANZA); (*DEBIDO A LA ALEATORIDAD*)
    GRAD:=SIGMA*RAD; (* DE LOS DATOS *)

```

```

EI:=FI*GRAD;

JIT_TOT:=EI + GRAD;      (*VALOR DEL JITTER TOTAL*)

PAGE(OUTPUT);           (*ESCRITURA DE RESULTADOS*)
WRITELN('PARA PSI =',PSI:10:4,' FREC. NAT = ',FREC_NAT:10:2);
WRITELN('JITTER RMS TRANSICIONES(GRAD) = ',GRAD:10:4);
WRITELN('JITTER DEBIDO A MUX (GRAD)= ',FI:10:4);
WRITELN('JITTER TOTAL (GRAD) = ',JIT_TOT:10:4);
WRITELN('TAU1=',TAU1:10:8);
WRITELN('TAU2=',TAU2:10:8);
FREC_NAT:=FREC_NAT + INC_FREC; (*INCREMENTO DE LA*)
                                (* FRECUCENCIA *)
                                (* NATURAL *)
UNTIL((FREC_NAT =VAL_FIN)OR (JIT_TOT<=MAX_JIT));
    (*FIN CICLO ITERATIVO CON RESPECTO*)
    (* A LA FRECUENCIA NATURAL *)

PSI:=PSI + INC_PSI;      (*INCREMENTO DEL FACTOR*)
                          (* DE AMORTIGUAMIENTO *)

UNTIL ((PSI=PSI_FIN)OR(JIT_TOT<=MAX_JIT))
    (*FIN CICLO ITERATIVO CON RESPECTO*)
    (* AL FACTOR DE AMORTIGUAMIENTO *)

END. (*FIN PROGRAMA PRINCIPAL*)

```

```

( PROGRAMA PARA CALCULAR EL RANGO DE )
( CAPTURA DE UN PLL CON FILTRO PASIVO )
( UTILIZANDO SU FILTRO PASO-BAJAS )
( EQUIVALENTE )
( Y UN METODO ITERATIVO EN EL CUAL EL )
( RANGO DE CAPTURA(2Wc) SE ENCUENTRA )
( CUANDO Wc = K|E(jwc)| DONDE |E(jwc)| )
( ES LA MAGNITUD DE LA FUNCION DE )
( TRANSFERENCIA DEL FILTRO )
( EQUIVALENTE EVALUADA EN W=Wc )

```

```
PROGRAM CAPTURA(INPUT,OUTPUT);
```

```
CONST
```

```
PI = 3.1416;
```

```
VAR
```

```
INC,K,PSI,OM_NAT,P,B1,FREC_NAT,DIF_FREC,
RANGO_CAPT,B2,A,B,C,D,E,G,W,FREC,RANGO:QUADRUPLE;
```

```

FUNCTION Y (F:QUADRUPLE):QUADRUPLE;          (ESTA FUNCION EVALUA)
BEGIN                                           ( LA FUNCION DE )
W:=((A+BAE**2)**2) + ((CAE**2AE-DAE)**2);    ( TRANSFERENCIA DEL )
Y:=W/((BAE**2+(E-GAE**2)**2)**2);          ( FILTRO EQUIVALENTE)
END;
```

```
BEGIN (INICIO DEL PROGRAMA PRINCIPAL)
```

```
WRITE ('DAME LA FREC.NATURAL (HZ) ');
```

```
( LECTURA DE DATOS )
```

```
READ (FREC_NAT);
```

```
WRITE ('DAME EL AMORTIGUAMIENTO ');
```

```
READ (PSI);
```

```
WRITELN('DAME EL VALOR DE LA PROBABILIDAD DE TRANSICION ');
```

```
READ(P);
```

```
WRITE('DAME K (RAD/SEG) ');
```

```
READ(K);
```

```
WRITE('DAME LA FRECUENCIA SEMILLA (Hz) ');
```

```
READ(FREC);
```

```
WRITE('DAME EL VALOR DE ERROR DE FRECUENCIA (Hz) ');
```

```
READ(DIF_FREC);
```

```
WRITE('DAME EL VALOR DEL INCREMENTO DE FRECUENCIA (Hz) ');
```

```
READ(INC);
```

```
OM_NAT:=2*PI*FREC_NAT;
```

```
REPEAT ( INICIO DEL CICLO ITERATIVO )
```

```
A:=PA**2AK**2
```

```
( CALCULO DE )
```

```
B1:=PA*4*PI**2A(2*PSIAK-OM_NAT)/OM_NAT**3;
```

```
( LAS CONSTANTES )
```

```
B2:=OM_NAT**2+2*PSIA*PAK*OM_NAT-PA*OM_NAT**2-K;
```

```
( DE LA FUNCION )
```

```
C:=B1*B2;
```

```
(DE TRANSFERENCIA)
```

```
D:=(8*PI**3*PAK**2/OM_NAT**2)*(2*PSI/OM_NAT-1/K);
```

```
E:=2*PI*PAK;
```

```
F:=PAK;
```

```
G:=4*PI**2AK/OM_NAT**2;
```

```
RANGO:=Y(FREC)AK/(2*PI);
```

```
WRITELN(' PARA F=',FREC:10:1,' RANGO DE CAPTURA(Hz) ',RANGO:10:4);
```

```
FREC:=FREC+INC;
```

```
UNTIL (ABS(FREC -RANGO))<=DIF_FIN; ( FIN CICLO ITERATIVO )
```

```
RANGO_CAPT:=2*RANGO; { VALOR DEL RANGO DE CAPTURA }  
WRITELN('RANGO DE CAPTURA = ',RANGO_CAPT:10:4,' (Hz) ' )  
END. { FIN PROGRAMA PRINCIPAL }
```

APENDICE 4

**ANALISIS ESPECTRAL DE UN
TREN DE PULSOS ALEATORIO**

APENDICE 4
ANÁLISIS ESPECTRAL DE UN
TREN DE PULSOS ALEATORIO

El análisis que vamos a realizar a continuación, se refiere a un tren de pulsos aleatorio. Dado que vamos a tratar con una secuencia de pulsos no repetitiva, no podemos emplear el análisis de la serie de Fourier, igualmente, dado que un tren de pulsos aleatorio tendrá componentes finitos sobre un intervalo de tiempo infinito, no podemos establecer la convergencia de las integrales necesarias para realizar un análisis de la transformada de Fourier.

Una técnica que es usada para evitar estas dificultades en el caso de señales aleatorias puras, es trabajar a través de la intermediaria función de autocorrelación $R(\tau)$.

En general, la función de autocorrelación consiste de una componente no periódica $R_1(\tau)$ y una componente periódica $R_2(\tau)$.

Entonces, correspondiendo a la parte no periódica, el espectro de energía de la señal contiene una distribución continua dada por:

$$F_1(\omega) = \int R_1(\tau) \cos(\omega\tau) d\tau \quad \text{----(I)}$$

(donde la integral se evalúa entre $-\infty$ y $+\infty$) y correspondiendo a la parte periódica, el espectro de energía contiene una serie de líneas espectrales dadas por:

$$f(t) = \sum_n a_n \cos(n\omega t + \theta_n) \quad \text{----(II)}$$

donde la sumatoria se evalúa entre $-\infty$ y $+\infty$

a_n son los coeficientes de la serie de Fourier

y

$$R(\tau) = \langle (1/T) \int_0^T f(t) f(t + \tau) dt \rangle \quad \text{----(III)}$$

Supondremos una secuencia de pulsos rectangulares aleatorios de amplitud A , duración t_0 , y periodo de repetición T , como se ilustra en la figura A4.1, entonces:

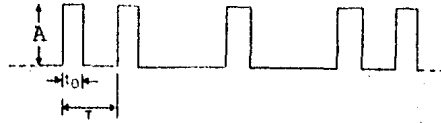


Figura A4.1 Pulsos rectangulares aleatorios.

$$R(0) = \langle (1/T) \int_0^T f^2(t) dt \rangle = (1/T) \int_0^{t_0} \langle A^2 \rangle dt = \langle A^2 \rangle t_0 / T$$

suponiendo que los pulsos son equiprobables

$$R(0) = \langle A^2 \rangle t_0 / (2T)$$

En el intervalo de τ de t_0 a $T - t_0$ uno de los dos términos del producto $f(t)f(t+\tau)$ debe ser cero, por lo tanto:

$$R(\tau) = 0 \quad \text{en este intervalo}$$

Cuando $\tau = nT$ ambos términos de la autocorrelación pueden tener un valor diferente de cero con la misma probabilidad $p=1/2$ de tal forma que:

$$R(nT) = (1/2) \langle A^2 \rangle t_0 / (2T) = \langle A^2 \rangle t_0 / (4T)$$

Los valores intermedios de la autocorrelación variarán entre estos límites, de tal manera que la forma final de la autocorrelación será la mostrada en la figura A4.2.

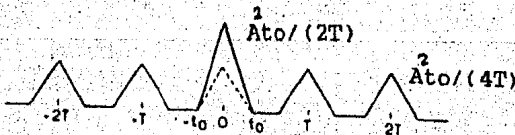


Figura A4.2 Autocorrelación de un tren de pulsos rectangulares aleatorios.

A partir de la figura A4.2 podemos ver que los componentes de la autocorrelación periódico y no periódico, son, respectivamente:

$$f_1(t) = V \text{tri}(t/\tau) \quad \text{-----(IV)}$$

$$\text{donde } \text{tri}(t/\tau) = \begin{cases} 1 - |t|/\tau & |t| < \tau \\ 0 & |t| > \tau \end{cases}$$

$V = A_2 t_0 / (4T_0)$ es la amplitud máxima de la función pulso triangular

y

$$f_2(t) = \sum \delta(t - nT_0) * V \text{tri}(t/\tau) \quad \text{----(V)}$$

A continuación, a partir de estas funciones obtendremos el espectro de energía del tren de pulsos:

$$F\{f_1(t)\} = V\tau \text{Senc}^2(\omega\tau/2)$$

como en nuestro caso $V = A_2 t_0 / (4T_0)$

$$F_1(\omega) = (A_2 t_0 / (4T_0))^2 T_0 \text{Senc}^2(\omega t_0 / 2) \quad \text{--(VI)}$$

y

$$F_2(\omega) = f_0 \sum \delta(\omega / (2\pi) - n/T_0) (A_2 t_0 / (4T_0))^2 \text{Senc}^2(\omega t_0 / 2) \quad \text{----(VII)}$$

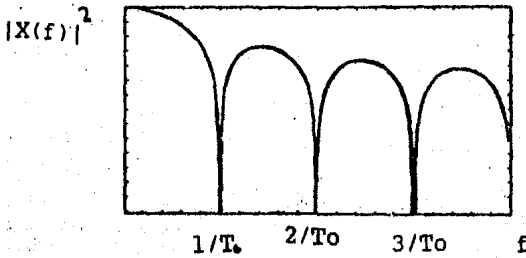
donde la sumatoria se evalúa desde $-\infty$ hasta $+\infty$

Finalmente, el espectro de energía del tren de pulsos aleatorio, viene dado por:

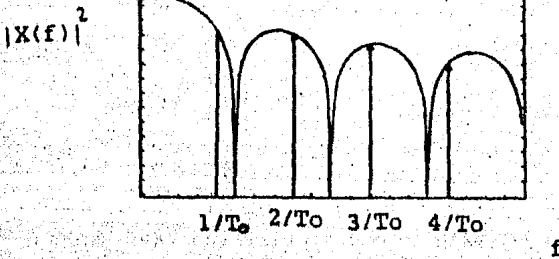
$$F\{R(\tau)\} = F_1(\omega) + F_2(\omega) \quad \text{----(VIII)}$$

El cual se encuentra graficado en la figura A4.3, para diferentes valores de t_0 . Como podemos ver de la figura, existirá una componente a la frecuencia del reloj siempre y cuando la duración del pulso t_0 sea menor que el periodo de repetición de los pulsos T_0 . Cuando t_0 es igual a

To, que es el caso de la señal NRZ, se ve claramente que no se tiene ninguna espiga a la frecuencia del reloj de transmisión.



$$t_o = T_o$$



$$t_o = 4T_o/5$$

Figura A4.3 Espectro de energía de un tren de pulsos rectangulares aleatorios.

De lo anterior se deduce que si a partir de una señal NRZ podemos obtener una señal en la que T_0 sea menor a T_1 , lograremos producir una espiga a la frecuencia del reloj de transmisión. Un método utilizado para lograr esto es el uso de una no linealidad de orden par, como se muestra gráficamente en la figura A4.4.

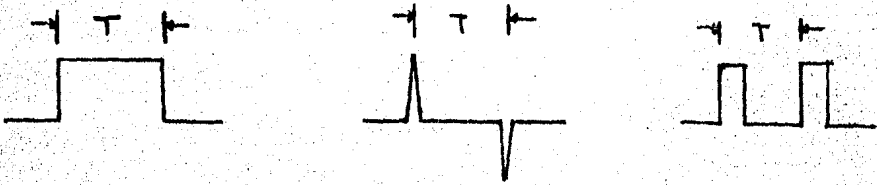
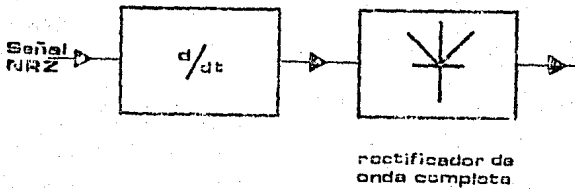


Figura A4.4 No linealidad de orden par.

Aunque un método más sencillo de realizar en la práctica es a través del detector de transición, el cual se ilustra a continuación:

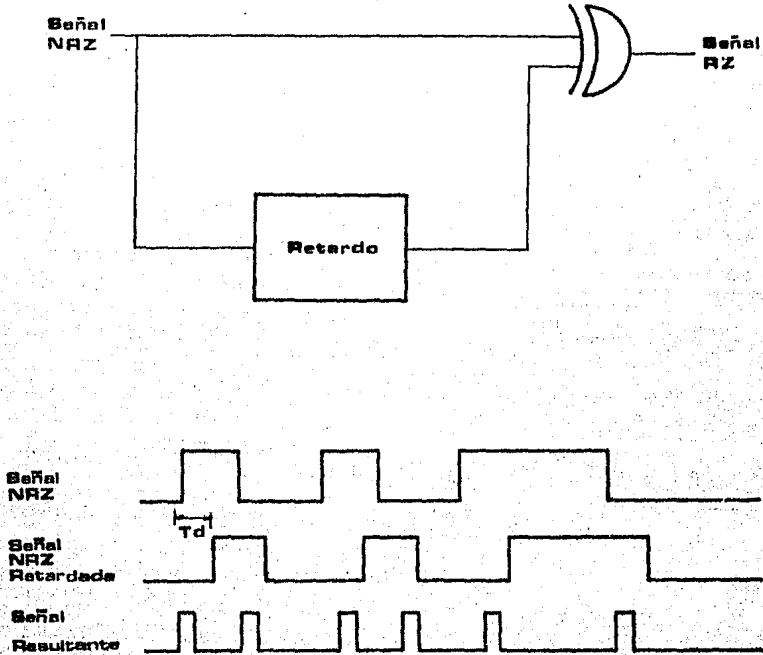


Figura A4.5. Detector de transición.

CAPITULO VIII BIBLIOGRAFIA

BIBLIOGRAFIA

1.- "Statistical Properties of timing jitter in a PAM timing recovery scheme".

L.E.Franks,J.P.Bubrowski.

IEEE Transactions on communications,
Vol-COM 22 No.7,July 1974.

2.- "Digital transmission systems".

P.Bylanski,D.G.W.Ingram.

Revised Edition 1980

Peter Peregrinus LTD.

3.- "Phaselock Techniques".

F.M. Gardner.

John Wiley and Sons 1979,2nd.edition.

4.- "Atlanta fiber system experiment: Practical 45 Mb/s Regenerator for Lightwave Transmission".

T.L.Maione,D.D.Sell,D.H.Wolaver.

BSTJ,Vol.57,No.6,July-August 1978.

5.- "Color carrier reference phase synchronization accuracy in NSTC color television".

D.Richman.

Proc.IRE,Vol.42,January 1954.

6.- "Acquisition and tracking behavior of generalized tracking systems in the absence of noise".

U.Mengali.

IEEE Trans.,COM-21,July 1973.

7.- "Acquisition and tracking behavior of PLL".

A.J.Viterbi.

External Publication No.673,

Jet Propulsion Laboratory,

Pasadena,CA,July 1959.

8.- "Telecomunicaciones via fibra óptica".

División de educación continua,

Facultad de Ingeniería,U.N.A.M.,1986.

9.- "PLL Frequency acquisition study".

J.P.Frazier,J.Page.

IRE Trans.,SET-8.September 1962.

10.- "A New Phase-Locked Timing Recovery Method for Digital Regenerators".

J.A.Bellisio.

Conference Record for International Conference on Communications,Philadelphia,June 14-16,1976.

11.- "The jitter performance of Phase Locked Loops Extracting timing from baseband data waveforms".

D.L.Duttweiler.

BSTJ,Vol.55,January 1976.

12.- "A digital approach to symbol timing recovery

systems".

Tho Le-Ngoc and Kamilo Feher.

IEEE Trans., COM-28, No. 12, December 1980

13.- "Phase Locked Loops, application
to coherent receiver design".

A. Blanchard.

John Wiley and Sons, Inc., N.Y., 1976.

14.- "Synchronization systems in communication and
control".

William C. Lindsey.

Prentice-Hall, Inc. Englewood Cliffs, New Jersey 1972.

15.- "The monolithic phase locked-loop a versatile
building block".

Alan B. Grebene.

IEEE Spectrum, March 1971.

16.- "Design of phase locked loop circuits with
experiments".

Howard M. Berlin.

SAMS, 1985.

17.- "MECL Device Data".

Motorola Inc. 1983.

18.- "Diseño de un receptor para comunicaciones
por fibras ópticas".

Roberto Byrd.

Reporte Interno I.I.E., 1986.

19.- "Hierarchy of Digital Transmission Systems and CCITT Standards".

Willy Auer, Lutz Schweizer.

Telcom Report 1979 pp.16-20.

Special Issue Digital Transmission.

20.- "The TTL Data Book for Design Engineers".

Second Edition, Texas Inst.1981.

21.- "FAST Data Book".

Fairchild, Digital Products Division, 1984.

22.- "Linear and Interface Integrated Circuits".

Motorola Inc.1983.