

9
2ej

UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO
FACULTAD DE INGENIERIA

" POSICIONADOR AZIMUT ELEVACION
CONTROLADO POR MICROPROCESADOR "

TESIS PROFESIONAL

Que para obtener el titulo de

INGENIERO MECANICO ELECTRICISTA

P R E S E N T A

JUAN AYZA MERINO

Director : Ing. Juan B. Martinez.

Ciudad Universitaria, DF., Diciembre de 1986.



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

Indice :

- 1 Introducción
- 2 Fuente de poder
- 3 Tarjeta principal
- 4 Tarjeta de despliegue, teclado y reloj de tiempo real
- 5 Tarjeta de memoria con respaldo de batería
- 6 Tarjeta interfaz de motores y bastón de mando
- 7 Aplicación tipo y operación del sistema
- 8 Conclusiones del trabajo.

Apéndices :

- 1 Software de apoyo para el sistema de desarrollo
- 2 Glosario
- 3 Especificaciones técnicas

Bibliografía

1

Introducción

1.0 Introducción :

Esta tesis tiene por objetivo la construcción de un Posicionador Azimut Elevación basado en un diseño flexible que permite su eventual aplicación a diversas situaciones como el posicionamiento de antenas parabólicas para la recepción de televisión vía satélite geostacionario, orientación de colectores solares y paneles de fotoceldas para conversión de energía solar a eléctrica, entre otras.

El funcionamiento del posicionador es ejemplificado a través de un modelo de construcción sencilla que integra dos motores de paso y escalas graduadas en grados para indicar la posición lograda.

Como objetivos paralelos se pretende demostrar algunos conceptos que adquieren cada vez mas importancia en la tendencia hacia la automatización de las tareas productivas, como lo son el poder "enseñar" al posicionador un conjunto de tiempos y posiciones con el objeto de obtenerlas en forma repetitiva posteriormente y la forma interactiva en que ocurre este proceso de instrucción. Cabe aclarar que en torno a este último punto la tesis no intenta adentrarse mas alla del nivel de demostración de algunos conceptos asociados mas bien al interesante campo de los robots y su aplicación industrial; el marco de la tesis sigue siendo el de un problema posicional donde no existen restricciones de trayectoria y/o prevención de colisiones.

La realización de la tesis implicó la construcción de un sistema de desarrollo inicial, formado por la tarjeta principal, programa monitor con capacidad de manejo de memoria, registros, puertos e inserción de breakpoints, así como fuente de poder, microcomputador PC y software de apoyo. El sistema de desarrollo permitió en una primera etapa, la evaluación de las demás tarjetas diseñadas que posteriormente, en conjunto, produjeron el prototipo final. Se desprende entonces que desde su creación la tesis preve con flexibilidad la posibilidad de futuros cambios y/o adiciones, mismo criterio con el que se diseñaron las tarjetas. El sistema se aloja en un módulo porta-tarjetas del cual se dan especificaciones en el apéndice, y esta interconectado por varios buses, entre los que se encuentra el principal (backplane) que integra líneas de control, direccionamiento y datos y cuyo diseño toma en cuenta la compatibilidad con otros proyectos de tesis desarrollados en forma paralela, así como programadores de EPROMS y otros módulos auxiliares.

La técnica de construcción empleada consiste en la utilización de tarjetas de propósito general con dimensiones estándar, perforadas en un arreglo rectangular que integra barras de polarización e incluye la terminación en un conjunto de pistas para su conexión en conectores 18/36 (ver apéndice), sobre las cuales se alambran las bases para los circuitos integrados; se empleó alambre para wire wrap 30 AWG codificado por colores y fijado por soldadura.

En la figura 1.1 se muestra el prototipo en bloques. Como se observa esta formado por :

Fuente de poder

Tarjeta principal

Tarjeta de despliegue, teclado y reloj de tiempo real

Tarjeta de memoria respaldada por batería

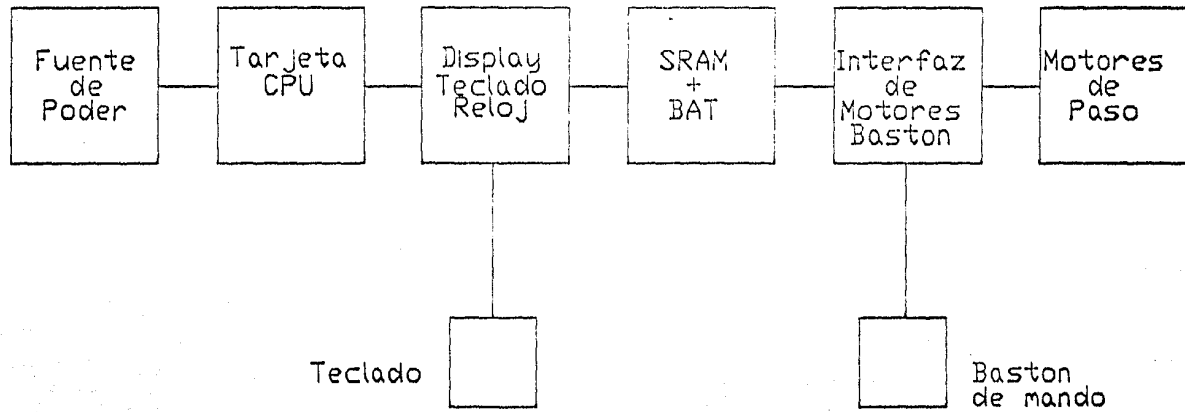
Tarjeta interfaz de motores y bastón de mando

Bastón de mando de 8 posiciones y dos interruptores

Teclado hexadecimal con 4 funciones

Modelo de aplicación

En los capítulos restantes se describe el funcionamiento de las tarjetas mencionadas arriba.



- FIGURA 1.1 -

Fuente de Poder

2.0 Fuente de poder :

Ante la forma de evolución del sistema, la fuente de poder empleada debe cumplir con los requisitos del prototipo final, así como prever las demandas del sistema de desarrollo y sus posibles ampliaciones.

Los requerimientos básicos de voltaje y corriente planteados son (todas las salidas reguladas) :

- + 5V / 4A
- + 12V / 1A
- 12V / 1A

Un factor de importancia en la selección del esquema adecuado de fuente de poder es el hecho de que se trabaja con sistemas digitales en los cuales los microprocesadores y memorias necesitan tener cierto control sobre la fuente tal como apagado y encendido por control remoto (adquisición de datos por ejemplo) y advertencias adelantadas de falla de alimentación, entre otras. Esta interrelación aumenta la flexibilidad en la aplicación del sistema de desarrollo a diversos proyectos y en nuestro caso específico al posible empleo de memorias no volátiles (NVRAMS) para almacenado de parámetros diversos del sistema, cuyo uso empieza a ser ampliamente difundido (Electronics Aug.21 1986).

Tomando en cuenta lo anterior junto con parámetros como VA transformador, aprovechamiento del transformador, valor de capacitancias, resistencia térmica del disipador de calor, volumen/watt y costo/watt se eligió un esquema híbrido de fuente conmutada y lineal; por sí sola la etapa conmutada arroja VA de transformador y resistencia térmica del disipador del orden de 50% y 90% de las alternativas lineales evaluadas, respectivamente.

La etapa conmutada se logró mediante el empleo del IC L296 de SGS, del cual se mencionan algunas características importantes a continuación (ver apéndice para información adicional) :

Corriente de salida de 4 A

Intervalo de voltaje de salida de 5.1- 40V

Manejo de potencias a la carga de 160W con disipaciones máximas de sólo 7W

Ciclo de trabajo (PWM) de 0 - 100%

Referencia de voltaje interna con + - 2% de precisión

Frecuencia de conmutación hasta 200 KHz que reduce el costo de la etapa de filtrado apreciablemente

Eficiencia global de hasta 90%

Encendido lento

Generación de RESET en 2 modos

INHIBIT remoto

Control para protección de sobrevoltaje via SCR

Entrada para sincronización de etapa PWM en sistemas con varios IC L296

Limitación interna/ externa de corriente

Protección térmica @ 150 C con histéresis

En la figura 2.1 se muestra el diagrama electrónico de la fuente de poder, el cual se describe a continuación :

La etapa de + 5V , como dijimos, esta formada por el regulador conmutado de voltaje L296 configurado con :

Voltaje de entrada + 18V +20 -15% D.C

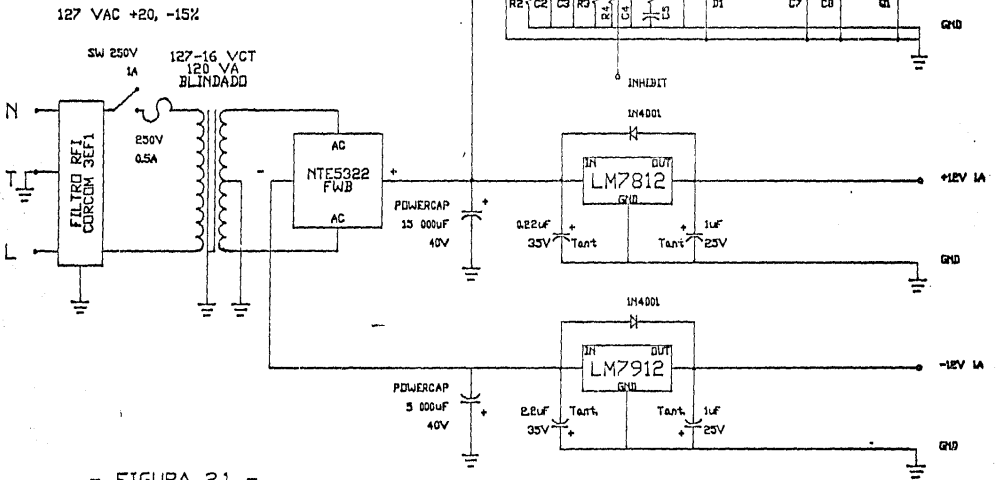
Circuito de RESET conectado para sensar falla de alimentación, a través del divisor formado por R1 y R2 conectado a la tensión de entrada. El umbral de detección fijado es de + 15V pues se toma en cuenta el voltaje mínimo de entrada para mantener las fuentes de + - 12V en operación ; puede ajustarse con R1. La salida de RESET es de tipo open collector con R6 como resistencia de pull-up, cuyo valor se determina a partir de los 50 mA máximo que maneja el transistor interno. El RESET esta conectado al la línea respectiva del bus principal y se produce durante una etapa del encendido así como en el apagado o interrupción de la alimentación. C2 produce un retardo en la generación del RESET en el orden de unidades de ms para limitar efectos de transitorios rápidos en la alimentación.

Frecuencia de conmutación de 100 KHz fijada por el circuito paralelo R3C3 como componentes externos del oscilador.

Entrada de INHIBIT habilitada mediante resistencia de pull-down R4, aunque no esta empleada en el prototipo.

SOFT START con tiempo fijado por C4. Su operación se activa en el encendido como tambien durante la operación del circuito limitador de corriente de sobrecarga o

- | | | |
|--------------|-----------|--------------|
| C1 10uF 63V | R1 200 k | D1 MBR1043 |
| C2 2.2uF | R2 100 k | L1 300uH |
| C3 2.2uF | R3 4.7 k | Q1 S106D scr |
| C4 2.2uF | R4 10 k | |
| C5 33nF | R5 15 k | |
| C7 100uF 40V | R6 0.12 k | |
| C8 100uF 40V | | |



- FIGURA 2.1 -
Fuente de Poder

corto circuito, contribuyendo así a la drástica reducción del valor medio de la corriente de falla (ver apéndice).

Circuito de compensación en frecuencia de la malla de regulación del IC, (ganancia, estabilidad) formado por el circuito serie R5C5.

El umbral de limitación de corriente se implementa conectando R4 del pin 4 a tierra o, como en nuestro caso, dejando este pin abierto con lo que la protección se activa internamente a partir de corrientes mayores a 4A.

Tanto el lazo de realimentación del regulador (pin10), como la entrada de detección de sobrevoltaje (pin1) están conectados directamente al voltaje de salida (+ 5.1V). En el primer caso la operación a mayores tensiones de salida requiere de la conexión a través de un divisor, mientras que el segundo tiene la flexibilidad de sensar el voltaje de salida o el de entrada indiferentemente. En nuestro diseño se emplea un sensor de tensión de salida con activación a +20% de sobretensión. La salida (pin15) maneja una corriente de hasta 100 mA, suficiente para activar el SCR T1106 (Q1) que soporta tanto la corriente de corto circuito del dispositivo como la de descarga de los capacitores de salida C7 y C8.

D1 es el diodo de recirculación de la fuente conmutada y debe tener tiempos de recuperación del menores a 50 nS (trr) (1/10 del tiempo de levantamiento del transistor de potencia), corriente directa (IF) de 5- 10A, PIV del orden de 40V o mas y caída de tensión en directa relativamente bajas (VF). La selección correcta del diodo afecta severamente la eficiencia de la fuente a una frecuencia dada así como la emisión de interferencia. Algunos tipos adecuados son Schottky MBR1045 y el 1N5825.

Finalmente, los elementos L1, C7 y C8 forman la etapa de filtrado de salida. Su diseño es muy importante pues repercuten seriamente en la calidad de la corriente y voltaje de salida así como en la estabilidad de la fuente. La inductancia debe reunir condiciones como no saturarse a menos de 1.5 veces la corriente máxima prevista de operación; su selección se realiza mediante tablas como el Magnetics Technical Bulletin SR-1 a partir de parámetros como energía disipada por periodo en mJ, inductancia en uH y corriente máxima de operación incluyendo el rizo. Los resultados arrojan el tipo de material y los mH por cada 1000 vueltas de alambre embobinado. En nuestro caso se empleo un núcleo de polvo de Moly-permalloy (ej: 2Mo81Ni, Fe... con permeabilidad relativa alrededor de 70) compactado con la ventaja de

altas corrientes de saturación debido a su distribución uniforme de aire que a la vez incide en una baja emisión EMI por flujo de fuga en comparación de núcleos de ferrita con ranura.

En relación a los capacitores uno de los parámetros de importancia es que exhiban una baja resistencia serie equivalente (ESR) y soporten altos rizados de corriente, a altas frecuencias (200 KHz). El ESR admisible se determina a partir de la relación entre el rizo máximo de voltaje y el de corriente. En la fuente presentada se recurrió a la conexión en paralelo de varias capacitancias para lograr un bajo ESR al valor total de capacitancia.

Las fuentes de + - 12V a 1 A están formadas por :

Regulador lineal LM7812T y LM7912T respectivamente, que integra protección térmica, limitación de corriente de corto circuito y entrega corrientes ligeramente mayores al amperé.

Capacitores electrolíticos de tantalio, a la entrada para compensación de problemas de carácter inductivo, asociados a la longitud de la línea desde la etapa de filtrado post-rectificación de la fuente y a la salida por consideraciones de estabilidad y mejora de rechazo al rizo.

Diodos tipo 1N4001 para protección de los reguladores ante descarga de los capacitores de salida a través de la entrada y/o conexión de tensión mayor a las salidas.

Minimización de las distancias de conexión de componentes para asegurar una regulación óptima.

El resto de la fuente de poder es básicamente una etapa de filtrado con capacitores electrolíticos diseñados para manejar altos rizados de corriente, puente de diodos conectado para obtener una rectificación de onda completa, transformador con tap central y núcleo aterrizados, fusible de línea, interruptor y filtro integral para atenuación de ruido de alimentación. La alimentación emplea tierra física de la instalación, misma a la cual se refiere el potencial cero y a la cual se conecta el chasis del módulo portatarjetas.

En relación a la interferencia de tipo RFI y EMI se tomaron en cuenta varios puntos :

RFI : filtrado RFI de alimentación

Capacitor C1 a la entrada de la fuente conmutada

Filtrado de salida mediante circuito LC en fuente conmutada.

EMI : Diseño adecuado de circuito impreso, con pista de tierra externa .

Núcleo de polvo compactado, con distribución uniforme de aire.

Transformador blindado con núcleo aterrizado.

Además de las medidas anteriores se pueden agregar etapas posteriores de filtrado de alta frecuencia (50-100 MHz picos de ruido inducido) tipo pi a base de cilindros de ferrita (Ferroxcube 4A6 o Ferronics J) a la salida de la fuente conmutada sobretodo si se emplea como preregulador para alimentar reguladores lineales. Finalmente hacemos referencia al apéndice 4 figura 6 donde se muestra el efecto del filtro de línea sobre la fuente conmutada.

El montaje del L296, LM7812T, LM7912T y NTE 5322 es en disipador térmico con mica aislante y sin grasa conductiva (term.) mediante tornillo con bujes aislantes y tuerca. El disipador empleado es de aluminio anodizado marca DESA modelo 3313 longitud de 130 mm con una resistencia térmica de 1.15 C/W. La disposición y facilidad de ventilación de los componentes se tomó en cuenta en el diseño.

Las especificaciones de la fuente se muestran a continuación:

Tabla 2.1 :

127 VAC +20 -15 %

Parámetro	L296	LM7812	LM7912	U
V salida DC	5.1	+12.0	-12.0	V
I salida DC(max)	4.0	1.5	1.5	A
Regulación de carga (min)	45.0	120.0	200.0	mV
Regulación de línea (min)	50.0	120.0	80.0	mV
V rizo salida (RMS, max)	50.0	1.0	1.0	mV
en %	0.9	0.01	0.01	-
Coefficiente de Temperatura	+0.4	+1.5	-0.8	mV/C

Lista de piezas :

IC :

Regulador conmutado de voltaje L296 SGS

Regulador LM7812T

Regulador LM7912T

SCR :

TI 106 B

Capacitores :

+ 15 000 uF 40 VDC Powercap

+ 5 000 uF 40 VDC Capacitron

+ 100 uF 40 VDC (baja ESR a altas frec.)

+ 10 uF 63 VDC

+ 2.2 uF (2)

+ 2.2 uF Tantalio

+ 1 uF Tantalio (2)

+ .22 uF Tantalio

33 nF

2.2 nF

Inductancias :

300 uH en núcleo de características mencionadas

Diodos :

Puente de diodos NTE 5322 FWB

1N 4001

(2)

MBR 1045 b 1N 5825

Resistencias a .25W 5%, valores en kOhms :

200

100

15

10

4.7

.560

.120

Transformador :

blindado 127- 16 VCT, 120 VA

Varios :

Filtro de línea RFI Corcom 3EF1, 115-250 V @ 3A

Interruptor 250V 1A

Fusible de fusión lenta 127V @ 1A

Circuito impreso L296

Tarjeta para alambrear fuentes de + - 12V

Led ambar testigo de encendido

Terminales y cables varios.

3

Tarjeta Principal

3.0 Tarjeta principal :

3.1 Introducción :

El sistema presentado en esta tesis se inició a nivel sistema de desarrollo basado en la construcción de esta tarjeta, para luego ampliarse al prototipo final.

La tarjeta aloja un microprocesador Zilog Z-80 de 8 bits que opera a 4MHz, 8k bytes de ROM contenidos en 2 UV-EPROM 2732, 4k bytes de RAM en 2 6116 SRAM, un puerto serie conforme a norma EIA-RS232-C que incluye un USART 18251 programable y preve la posibilidad de controlar un modem tipo BELL-103, 3 puertos paralelos de 8 bits configurables en bits y sentido a traves del PPI 18255 y circuitos de vigilancia y reset (watchdog) entre las características principales.

El sistema soporta la expansión en memoria e I/O a traves del bus principal y otros auxiliares.

En torno al firmware permite 2 posibilidades; la primera consiste en un programa supervisor o monitor que ocupa menos de 1K byte y de cuyas características hablamos en la introducción de este trabajo, mientras que la segunda opción es un intérprete BASIC que reside opcionalmente en 4k bytes, orientado a aplicaciones de control.

De la descripción anterior se desprende la flexibilidad de aplicación que permite esta tarjeta en adquisición de datos, control de procesos y comunicaciones por mencionar algunas.

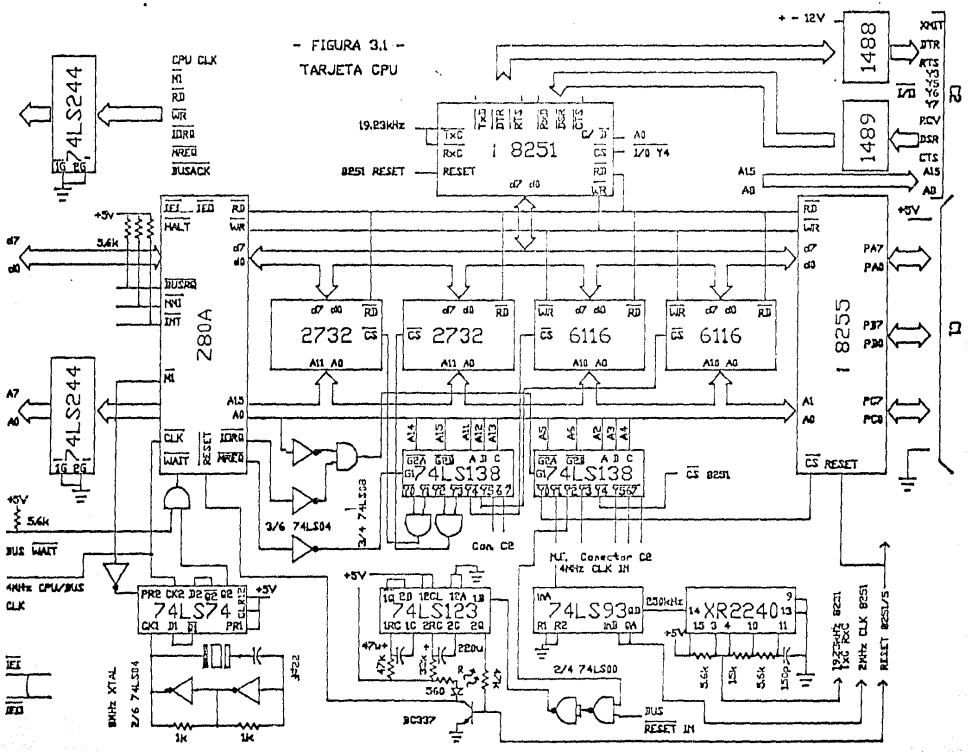
A continuación se describe la operación de la tarjeta agrupada por bloques funcionales y basada en la figura 3.1.

3.2 Reloj :

El oscilador emplea un cristal de 8 MHz conectado a 2 inversores 74LS04 cada uno en paralelo con 2 resistencias de 1k; la señal de salida se introduce a un flip-flop 74LS74 en donde es dividida entre 2 (4 MHz) para ser alimentada al pin de reloj del procesador.

La señal $M1^*$ generada por el procesador durante los ciclos de fetch es introducida al pin 10 del 74LS74 para obtener una señal de $WAIT^*$ sincronizada a partir del pin 9 del mismo IC. De esta señal se realiza un AND junto con la señal de $WAIT^*$ del BUS, en una compuerta del IC 74LS08; la salida es alimentada al pin de $WAIT^*$ del procesador con el objeto de poder aclopar dispositivos tipo memorias con tiempos de acceso mayores a la duración de los ciclos de R/W a memoria normales del procesador (ej: tiempos de acceso \geq 450 nS).

- FIGURA 3.1 -
TARJETA CPU



Por otra parte la señal de reloj de 4 MHz se alimenta al contador binario de 4 bits 74LS93 que la divide entre 16; la salida (pin 11) de 250 KHz se introduce al divisor de frecuencia programable XR2240 configurado para efectuar una división entre 13. La salida indicada en el diagrama tiene entonces una frecuencia de 19.230 KHz y se emplea para la base de tiempo tanto del reloj de transmisión (TxC) como el de recepción (RxC) del USART 18251. Este último posee un divisor interno programable entre 1, 16 y 64 por lo que el sistema tiene la posibilidad de transmitir y recibir información por el puerto serie a 19230, 1200 y 300 BPS.

El USART emplea también, para sincronía interna, una señal de 2 MHz que se toma del primer flip-flop del contador 74LS93.

3.3 Decodificación de memoria :

Refiriéndonos nuevamente a la figura 3.1 vemos que este bloque se compone del decodificador 3 a 8 74LS138, un inversor del IC 74LS04 y dos compuertas AND del IC 74LS08.

Con el esquema elegido la memoria ha sido organizada en 4 bloques 16k bytes cada uno. Cada bloque está formado por los IC mencionados arriba. Considerando además que el decodificador empleado tiene 8 salidas tenemos que dentro de cada bloque la división de memoria se realiza de 2k en 2k bytes. En la tarjeta principal tenemos decodificado el bloque cero.

La selección de bloque se realiza mediante la conexión de las líneas de dirección A14 y A15 a las entradas enable G2A* y G2B* respectivamente; en el bloque cero dicha conexión es directa. La señal de MREQ* se alimenta a través del inversor a la entrada enable global G1, para sincronizar el habilitado de memorias con los ciclos pertinentes del procesador. Tenemos entonces que el decodificador se habilita con (A14 OR A15) AND MREQ* .

Las entradas del decodificador son las líneas A11, A12 y A13; en vista de que los UV-EPROM 2732 son de 4k bytes, se conectan por cada uno dos salidas (2k) consecutivas del decodificador mediante una compuerta AND del IC 74LS08 y la salida de esta pasa a ser el CE* (chip enable). Las salidas restantes se dejan sin modificación.

La tabla 3.1 muestra el mapa de memoria obtenido :

Tabla 3.1

Salidas decodif.	A13	A12	A11	CE*	kBytes	Tipo	Dirección Hex.
y0	0	0	0				0000
y1	0	0	1	2732 (1)	4	ROM	09FF
y2	0	1	0				1000
y3	0	1	1	2732 (2)	4	ROM	19FF
y4	1	0	0	6116 (1)	2	RAM	2000 27FF
y5	1	0	1	6116 (2)	2	RAM	2800 2FFF
y6	1	1	0	X6116 (1)	2	RAM	3000 37FF
y7	1	1	1	X6116 (2)	2	RAM	3800 3FFF

Nota : las salidas y6, y7 estan conectadas a uno de los buses auxiliares, para expansion de memoria, por lo que las 6116 marcadas con la letra X no estan en la tarjeta principal.

3.4 Decodificación de I/O :

Se emplea un decodificador 3 a 8 74LS138, 2 inversores del IC 74LS04 y una compuerta AND del IC 74LS08; las líneas a decodificar son A2, A3 y A4, mientras que A5, A6 y A7 en conjunto con la señal IORQ* seleccionan el bloque de I/O a activar, en un esquema muy similar al de decodificación de memoria. En la tarjeta principal hemos decodificado el bloque cero (A5, A6, A7 = 0).

Con el esquema anterior se ha organizado al sistema de I/O en 8 bloques (A7, A6, A5) cada uno dividido en 8 niveles (A4, A3, A2) de 4 bytes cada uno (ie : 4 puertos por salida del decodificador). Dependiendo de la aplicación, se efectua una subdecodificación 2 a 4 empleando A1, A0.

La tabla 3.2 a continuación muestra el mapa de I/O obtenido :

Tabla 3.2

Bloque 0

Salida* decodif.	A4	A3	A2	Dirección Puerto(HEX)	CE*	Función Ubicación
y0	0	0	0	00	18255	A, B, C c/A1, A0
y1	0	0	1	04	-	Reservado
y2	0	1	0	08	Watchdog	-
y3	0	1	1	0C	-	Disponible
y4	1	0	0	10	18251	DATA*/CTRL c/A0
y5	1	0	1	14	-	Disponible Conector 2
y6	1	1	0	18	-	Disponible Conector 2
y7	1	1	1	1C	-	Disponible Conector 2

3.5 Watchdog y RESET* :

Este bloque se compone de dos monoestables redispalables contenidos en el IC 74LS123 y sus componentes RC asociados, un transistor npn BC337 en emisor común con el LED testigo de RESET* en el colector y 2 compuertas NAND del IC 74LS00.

La generación del RESET* puede obedecer a una causa tipo firmware o bien a la generación del mismo por algún elemento conectado a la línea RESET* del BUS principal, como el botón de RESET* manual o el de la fuente conmutada; en todos los casos estas señales actúan como entradas al 74LS123 que posteriormente genera el RESET* al CPU, 18251 e 18255.

Iniciaremos la explicación de la operación a partir del instante en que la entrada del primer monoestable (pin2) es disparada. Cuando ocurre esto la salida del monoestable (pin4) pasa de 1 a 0, sin embargo no se dispara al segundo monoestable (pin 10) pues se requiere para ello un flanco de subida.

El primer monoestable es redispensible con tiempo de 1 S, por lo que si la señal de entrada (pin2) tiene una frecuencia mayor a 1 Hz la salida permanecerá en estado bajo. Si, en cambio, se interrumpe dicha señal de entrada (ie: $frec < 1$ Hz), entonces la salida (pin4) pasa de 0 a 1, disparando al segundo monoestable que finalmente genera un RESET activo alto en el pin5. Este RESET se emplea directamente como entrada al pin respectivo del 18251 e 18255. Por otra parte, se invierte mediante el transistor BC337, en configuración emisor común, para alimentar el pin de RESET* del CPU; el LED testigo (rojo) se enciende simultáneamente. Se ajustó en el segundo monoestable una duración de RESET de 3 S.

Regresando a la activación de este circuito, la función de vigilancia se explica ya que podemos colocar instrucciones que direccionen el puerto del watchdog (CE* 08H) con intervalos menores a 1 S; en el momento en que el CPU pierda el control del programa dejará de activar este puerto y se generará entonces un RESET* que restablece el control.

Como mencionamos arriba, el RESET* puede obedecer también a la activación de la línea del BUS respectiva, por lo que se efectúa el AND de esta con la salida y2 (CE* 08H) del 74LS138 I/O, mediante las dos compuertas NAND del IC 74LS00.

3.6 Comunicaciones :

Como se mencionó en la introducción, la tarjeta principal aloja como posibilidades de comunicación un puerto serie conforme a norma EIA-RS232-C que incluye un USART 18251 programable y prevé la posibilidad de controlar un modem tipo BELL-103 y 3 puertos paralelos de 8 bits configurables en bits y sentido a través del PPI 18255.

Para el puerto serie las velocidades de transferencia son programables a 300, 1200 y 19,230 BPS, tal como se explicó en el tema 3.2 arriba.

En el USART se elige entre R/W de datos o de palabras de control mediante la línea A0 de direcciones; en el caso del PPI, se emplean las líneas A1 y A0 para seleccionar un puerto de tres y el registro de control del IC.

Las señales de transmisión (XMIT) y recepción (RCV) así como las de control para modem ie: RTS*, DTR*, CTS*, DSR*, están conectadas a un conector tipo DB25S, montado en el módulo porta-tarjetas, a través de cable plano desde el conector frontal C2 de la tarjeta principal. Los puertos del PPI están alambrados al conector frontal C1 de cable plano.

La conversión de niveles TTL-EIA se realiza, para transmisión mediante el IC MC1488 y para recepción con el MC1489. Además de esta función estos driver IC permitieron:

Asegurar el slew rate máximo de 30 V/ μ S del estándar, mediante la conexión de capacitores de 330 pF (disco) de las salidas del MC1488 a tierra.

Asegurar la posibilidad de resistir un corto circuito (peor caso de otro driver con pol negativa) de una línea a otra. El MC1488 está diseñado para resistir indefinidamente tal condición en sus cuatro salidas, mediante la limitación de corriente de salida a 10 mA (tip.).

Asegurar amplio intervalo de voltajes de entrada, con impedancias de entrada entre 3 y 7 kOhms; hasta + - 30 V en el MC1489,

Asegurar un nivel ajustable de histéresis correspondiente al umbral de detección encendido/apagado, para mejorar el rechazo a ruido de la línea; el valor de histéresis normal es de 250 mV.

Asegurar el filtrado de picos de ruido, de alta energía y frecuencia, de la línea, mediante la conexión de capacitores de 330 pF (disco) de los nodos de control del IC a tierra.

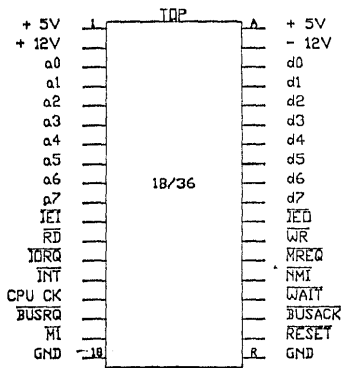
3.7 BUS principal :

Este bus está diseñado alrededor de un conector 18/36 e integra líneas de polarización +5 y + - 12 V, tierra, control, dirección parte baja y datos. Su diseño toma en cuenta la compatibilidad con otros proyectos de tesis paralelos.

La figura 3.2 muestra la asignación de pins del conector en relación con las señales.

Las líneas WAIT*, BUSRQ*, INT* y NMI* son del tipo pull-up con resistencias de 5.6 kOhms a +5V. La línea RESET* del bus es también tipo pull-up pero su resistencia corresponde a R6 de la fuente conmutada (120 Ohms.).

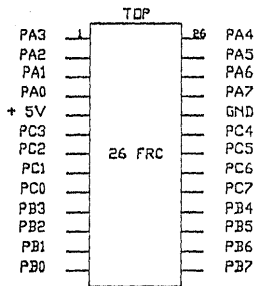
Las líneas de direcciones, parte baja, por un lado, así como las de BUSACK*, IORQ*, RD*, WR*, M1*, CPU CK, MREQ* y HALT*, por el otro, han sido conectadas al bus mediante 2 buffers/drivers 74LS244 con salida tri-state.



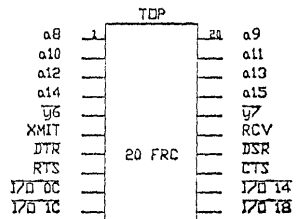
- FIGURA 3.2 -
BUS PRINCIPAL

3.8 Buses auxiliares/ conectores C1 y C2 :

La figura 3.3 muestra la asignación de pins del conector C1, que contiene las 24 líneas del PPI y polarización +5V/tierra para aplicaciones remotas y la asignación del conector C2 que incluye la parte alta del bus de direcciones, las líneas decodificadas y6, y7 para expansión de memoria, las señales de XMIT, RCV así como las de control para modem y finalmente, las líneas decodificadas CE* 0CH, CE* 14H, CE* 18H y CE* 1CH, para I/O.



CONNECTOR FRONTAL C1



CONNECTOR FRONTAL C2

3.9 Lista de piezas :

IC :

Z 80A	4 MHz	CPU	
18251		USART	
18255		PPI	
2732	4Kx8	UV-EPROM	150 nS (2)
6116	2Kx8	SRAM	200 nS (2)
74LS244			(2)
74LS138			
74LS123			
74LS93			
74LS74			
74LS08			
74LS04			
74LS00			
XR2240			
MC1488			
MC1489			

Bases LP DIP :

40	pins	(2)
28	pins	(1)
24	pins	(4)
20	pins	(2)
16	pins	(4)
14	pins	(7)

Transistores:

BC 337 npn

Cristales :

4 MHz CY4A AP12

Diodos :

1N 4001 (2)

Capacitores :

+ 220	uF	16V		
+ 47	uF	25V		(2)
+ 10	uF	50V		(2)
100	nF	50V	Ceramic disk (decoupling)	(7)
10	nF	50V	" "	(7)
330	pF	50V	" "	(6)
150	pF	50V	" "	
22	pF	50V	" "	

Resistencias en kOhms, 0.25W 5% :

47		(2)
33		
15		
10		
5.6		(6)
.33		(2)

Conectores :

En ángulo recto para cable plano 26 pins (con. C1)

" " " " " " " 20 pins (con. C2)

* / ambos con el socket complementario.

Varios :

Tarjeta universal de desarrollo

LED rojo

LED verde

Alambre 30 AWG para wire wrap, codificado por colores.

1

Tarjeta de Despliegue, Teclado y
Relbj de Tiempo Real.

4.0 Tarjeta de despliegue, teclado y reloj de tiempo real :

4.1 Introducción :

En esta tarjeta se agrupan en realidad dos bloques independientes en cuanto a direccionamiento de I/O se refiere. Por una parte el bloque de despliegue y teclado se ha diseñado alrededor del mismo puerto I/O considerando que el primero es de solo escritura y el segundo de solo lectura, mientras que, aunque residente en la misma tarjeta, el bloque de reloj de tiempo real posee su propio circuito de direccionamiento I/O, independiente del anterior.

Los diagramas electrónicos a los que se refiere el capítulo son presentados en las figuras 4.1 y 4.3 para despliegue/teclado y reloj de tiempo real, respectivamente.

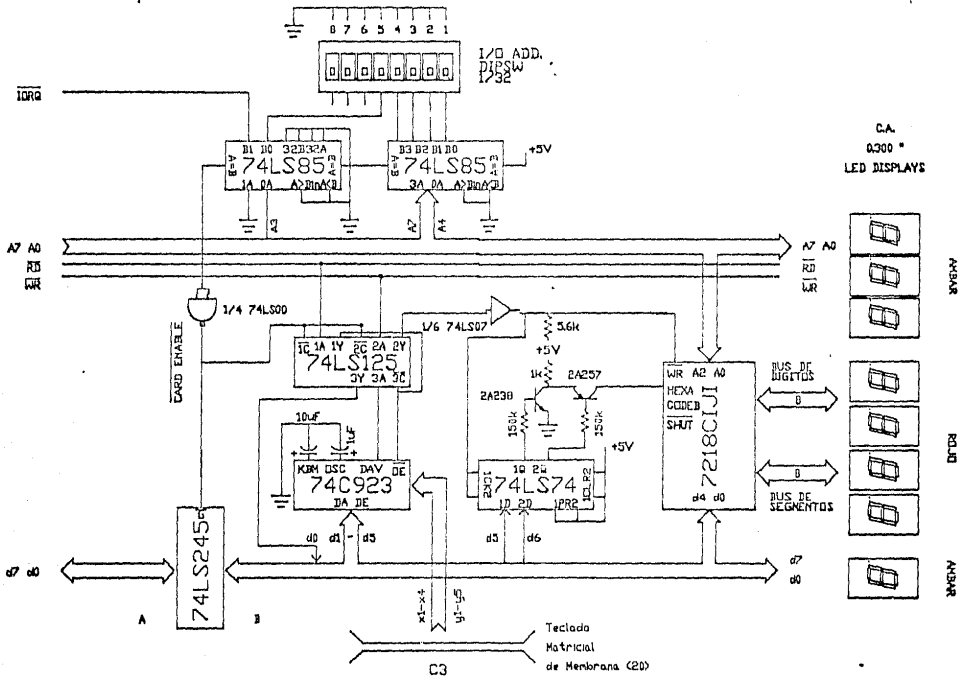
Iniciaremos nuestra descripción por una descripción genérica del esquema de dirección variable implementado en estos dos módulos y que contribuye a la flexibilidad del sistema, visto como uno de desarrollo. Esta descripción será detallada en el tema respectivo más adelante.

4.2 Esquema de dirección I/O variable :

Dé manera general este esquema se logra con un dipswitch selector de dirección, uno o más comparadores de cuatro bits 74LS85 de acuerdo con el número de bits de dirección disponibles y una etapa inversora lograda de manera ventajosa por una compuerta NAND del IC 74LS00. Opcionalmente se integra al esquema un transceiver de 8 bits tri-state como el 74LS245.

El criterio de diseño se explica a través del siguiente ejemplo:

Supongamos que un módulo de I/O necesita de 3 líneas de dirección para manejo interno. Asignemos entonces para esta función los bits menos significativos A0-A2. Ahora se alambran a los comparadores los restantes 5 bits de la parte baja del bus de direcciones; en este caso se emplean 2 comparadores. En el segundo se introduce el quinto bit así como la señal de IORQ* del procesador. Por otra parte se alambran tantos switches a los comparadores como número de bits de dirección a ser comparados. Los switches están conectados a tierra del otro extremo y los comparadores se configuran para detectar una igualdad AWORD=BWORD. La entrada correspondiente al bit comparativo de la señal IORQ* se alambra claramente a tierra pues dicha señal es activa baja.



- FIGURA 4.1 -
DISPLAY Y TECLADO

Al direccionarse un puerto de I/O se realiza entonces una comparación entre la dirección de este y la palabra seleccionada por el dipswitch, denominado selector de dirección I/O de tarjeta. Si se determina una igualdad, es generada entonces una señal A=B activa alta; como generalmente se habilitan muchos IC con señales activas baja, se emplea un inversor, obteniéndose finalmente una señal denominada CARD ENABLE*.

Esta señal se emplea opcionalmente para habilitar la comunicación del bus de datos de la tarjeta con el del BUS principal, a través del transceiver de 8 bits tri-state 74LS245.

Regresando a nuestro ejemplo vemos que con los cinco bits podemos seleccionar 1 de 32 posibles direcciones de I/O del módulo a través del dipswitch.

4.3 Bloque de despliegue :

Este bloque se centra alrededor de 8 LED displays de siete segmentos y punto decimal, de tipo cátodo común manejados eficientemente por el IC ICM7218C1J1 de Intersil del cual damos algunas características interesantes :

El IC integra :

Drivers para dígitos y segmentos incluyendo punto decimal

Circuito de actualización de display via multiplexaje en tiempo con frecuencia de 250 Hz fijada por oscilador interno y con tiempo de retardo inter-dígito de 10 μ S

Memoria RAM 8x8

Decodificadores 7 segmentos a hexadecimal o código B, seleccionables a través del pin 9 con lógica de tres niveles donde 1 = HEX, FLOAT = CODEB y 0 = SHUTDOWN* ; es decir se tiene la posibilidad de apagar todos los dígitos y disipar baja potencia.

Entradas para 4 bits de datos, 3 de direcciones y WR*

Independencia de WR* y decodificador seleccionado

Retención de datos hasta 2V (power down)

Todas las características descritas han sido consideradas en el diseño final. Para mayor detalle referirse al apéndice 4

Tanto la etapa de despliegue como la de teclado comparten las mismas direcciones posibles de I/O, logradas a partir del esquema explicado en el punto 4.1 arriba. La tabla 4.1 a continuación describe la situación :

Tabla 4.1 :

Correspondencia :	DIPSW#	1	2	3	4	5
	ADD.BITS	7	6	5	4	3

Direcciones iniciales
posibles (HEX) : 00...20 28 30 38....(de 32)

✓ Notas : Las direcciones 00 - 1F Hex estan reservadas para la tarjeta principal.

En el caso del bloque de despliegue, se emplean A2- A0 para seleccionar 1 de 8 digitos/ memoria desde el IC 7218CIJI a partir de las direcciones iniciales de la tabla.

La dirección default es 20 H.

La operación del esquema de despliegue se inicia con la generación del CARD ENABLE* que habilita el transceiver 74LS245, que a su vez se encuentra en sentido BUS-tarjeta bajo control de la señal RD*. Por otra parte se habilita, también el paso de la señal WR* por uno de los buffers tri-state en el IC 74LS125 y una etapa open collector no inversora del 74LS07, al pin respectivo del 7218CIJI. La etapa o.c. se requiere para garantizar los niveles de voltaje adecuados para la detección correcta del pulso WR* en el 7218CIJI (detección por nivel).

Paralelamente se ha colocado la dirección del registro/dígito seleccionado para escritura, en las líneas A2-A0.

Con lo anterior se completa un ciclo de escritura a un dígito del display.

En el diseño se aprovecharon los bits D5, D6 del bus de datos, que el 7218CIJI no emplea, para definir el decodificador de segmentos a usar o bien el apagado del display. Esta selección se implementa al almacenar estos bits en los flip-flops del 74LS74, empleando el flanco ascendente del pulso de WR*. Las salidas de los flip-flops controlan a su vez a los transistores complementarios 2A238 y 2A257 que logran presentar al pin 9 del 7218CIJI el nivel alto, bajo o de alta impedancia (FLOAT) en los voltajes esperados por

dicho IC. La operación de los dos bits del bus de datos, junto con el formato de la palabra de escritura, se muestra en la tabla siguiente :

Tabla 4.2 :

Bits bus de datos	Función
0	ID0
1	ID1
2	ID2
3	ID3
4	ID7/ D.P.*
5	DX
6	DY
7	N.C.

D.P. : Punto decimal

N.C. : no conectado

DX	Voltaje salida colector 2A238 (Va)
0	4.5 V
1	0.0 V

DY	Voltaje salida colector 2A257
0	Va (HEXA/SHUT*)
1	FLOAT

4.4 Teclado :

Esta parte del sistema se basa en un teclado matricial de membrana de 20 teclas, con formato hexadecimal, controlado por el encoder IC 74C923, del cual damos algunas características a continuación :

Oscilador externo o interno; Se ha empleado el interno configurado a una frecuencia de muestreo de 60 Hz.

Resistencias de pull-up integradas.

Protección contra errores inducidos por oprimir dos teclas; solo se toma la primera y se debe soltar para oprimir la siguiente.

Almacenamiento constante de ultima tecla oprimida.

Salidas tri-state; excepto DAV (data available)

Bajo consumo y amplio intervalo de polarización CMOS.

Debounce controlable via capacitor; Se emplea un tiempo de 100 mS.

Como mencionamos en el punto 4.3 arriba, este circuito comparte el mismo esquema de dirección I/O variable (y por lo tanto el mismo puerto) que el de despliegue, solo que en modo RD*.

La operación se inicia con el paso de la señal RD* a través del 74125, hacia el pin respectivo del 74C923, del bit DAV al bus de datos (DO), también por el 74125, de los bits DA-DE de salida al bus de datos (D1-D5) y del 74LS245 en sentido tarjeta-BUS, todo activado por la señal CARD ENABLE*, del esquema de dirección variable.

El teclado es muestreado por el 74C923 a 60 Hz, via el conector de cable plano C3, cuya asignación muestra la figura 4.2 .

4.5 Reloj de tiempo real :

El esquema se diseñó alrededor del IC MM58167A, reloj de tiempo real para aplicación en sistemas con microprocesadores. Entre sus características principales tenemos : (ver apéndice 4 para más detalle)

Bus de datos de 8 bits

Contador de milisegundos a meses

56 bits de RAM con comparador para efectuar comparaciones entre RAM y contador. Organización 4x14.

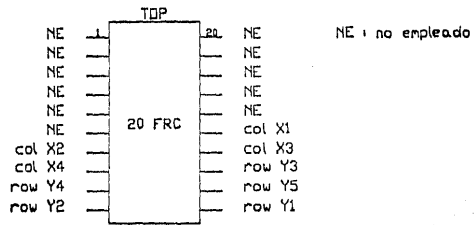
2 tipos de interrupciones: INT y STANDEY INT* ; esta última para modo POWER DOWN*.

Modo POWER DOWN* (2V); solo queda activada la salida de STANDEY INT*.

Bit de status que indica posible error en lectura del contador, en caso de que este haya estado en el proceso de cambiar.

Oscilador externo con cristal de 32.768 KHz
Calendario de 4 años

Formato 24 horas.



- FIGURA 4.2 -

CONECTOR FRONTAL C3

Como mencionamos anteriormente, este bloque emplea el esquema de dirección I/O variable descrito en el punto 4.2 arriba.

El IC emplea 5 líneas para selección de 1 de 32 direcciones internas, por lo que el esquema variable emplea un solo comparador 74LS85; los bits a comparar son A5-A7, además de IORQ*. Podemos, entonces seleccionar 1 de 8 posibles posiciones del relbj. La tabla a continuación indica la situación :

Tabla 4.3 :

Mapa I/O RTCK

Correspondencia :	DIPSW #	8	7	6
	ADD.BITS	A7	A6	A5
Direcciones iniciales posibles (HEX) :	00, 20, 40, 60... E0 (8)			

✓ Notas : 00 - 20 H reservadas para tarjeta principal y despliegue/teclado.

Dirección I/O default asignada : 40 H

El IC MM58167A se configuró para emplear la señal normal de interrupción INT; no se emplea el modo POWER DOWN*. La señal de CARD ENABLE* es a la vez el CS* (chip select). Los pins de RD* y WR* se conectan directamente al BUS. Como la señal de INT generada es activa alta, se recurre al inversor formado por una compuerta NAND del IC 74LS00 y además se conecta una etapa o.c. 74LS07 con resistencia de pull-up de 5.6 kOhms, entre la salida invertida y el pin respectivo del BUS.

El oscilador se compone del cristal de 32.768 KHz, capacitancia variable 6-70 pF para ajuste de frecuencia, capacitancia de 20 pF, resistencia de 20 MOhms para bias en región lineal del inversor interno y resistencia de 200 kOhms limitar la corriente de cristal.

Finalmente, se ha integrado un esquema de apoyo por batería (3V), formado por el diodo 1N4148 y la resistencia de carga de 100 kOhms, con lo que el sistema preve el uso de baterías recargables Ni-Cd. El diodo 1N4148 adicional tiene la función de evitar el drenaje innecesario de la batería.

4.6 Lista de piezas :

IC :

ICM7218C1JI	8 Digit LED driver (CA)	
MM57168A	Microprocessor real time clock	
MM74C923	20 key encoder	
74LS245		(2)
74LS125		
74LS85		(3)
74LS07		
74LS00		

Bases LP DIP :

28	pins	
24	pins	
20	pins	(3)
16	pins	(3)
14	pins	(3)

Transistores :

2A238	npn
2A257	pnp

Cristales :

32.768 kHz	KAS3F CP10.5
------------	--------------

Diodos :

1N4148	(2)
--------	-----

Capacitores :

+ 47	uF	16V		
+ 10	uF	16V		
+ 1	uF	16V		
100	nF	50V	Ceramic disk (decoupling)	(2)
10	nF	50V	" "	(7)
6-70	pF		variable	
20	pF	50V	Ceramic disk	

Resistencias 0.25W 5% en kOhms :

20 000		
200		
150		(2)
100		
27		
5.6		
1		
.33		(2)

Varios :

Teclado matricial de membrana Rapid Switch modelo 2000
(Hexadecimal mas 4 teclas de funcion).

Dipswitch x8

Conector de ángulo recto, para cable plano 20 pins, con
complemento (socket)

Cable plano 20 líneas; 0.50 m

LED rojo

LED verde

Tarjeta universal de desarrollo

Alambre 30 AWG para wire-wrap codificado por colores .

5

Tarjeta de Memoria con Respaldo
de Bateria.

5.0 Tarjeta de memoria con respaldo de batería :

5.1 Introducción :

Dependiendo del enfoque de la aplicación del posicionador azimut elevación, es importante definir la relación entre los datos, las memorias y el uso del sistema.

Para una primera alternativa de utilización, se puede plantear un enfoque tipo electrónica de consumo como la orientación de antenas parabólicas para la recepción de televisión vía satélite. En este caso un diseño suficiente se basa en el almacenamiento de parámetros de azimut/elevación en memorias tipo UV-EPROM. Lo anterior se justifica pues el usuario de tal sistema solo requiere seleccionar entre los satélites disponibles para sus coordenadas latitud/longitud, que previamente han sido calculados por quien distribuya el aparato. Vemos, entonces, que no se requiere de interacción usuario-datos directa y que, en todo caso, si el sistema es trasladado (cosa que acontece con baja frecuencia dadas las condiciones de inversión y dimensiones de las antenas convencionales actuales), se procede a cambiar el EPROM por uno con los nuevos parámetros, si esto se justifica por la distancia de traslado.

En segundo término, si la aplicación planteada debe poner en práctica los conceptos de un sistema que aprenda posiciones "enseñadas" por el usuario con el objeto de repetir las bajo la coordinación de un programa de tiempos, entonces es imprescindible que el diseño contemple como alternativas de memoria constante a :

- RAM apoyada por batería externa
- RAM apoyada por batería interna (ver apéndice 4)
- EEPROM de programación sencilla (ver apéndice 4)
- NVRAM (ver apéndice 4)

De las anteriores opciones, la de NVRAM requiere de una advertencia adelantada (10 ms min) de falla de alimentación, que se puede obtener del esquema de fuente conmutada; su aplicación se orienta a bajas densidades de memoria con accesos comparables a los de RAMS actuales. Las EEPROM del tipo programable con +5V serían aconsejables también pero su manejo requiere mayor trabajo en software o hardware.

En esta tarjeta se introduce un punto más de flexibilidad de aplicación del sistema, tal que permita experimentar con diversas aplicaciones. El esquema elegido es el de RAM con apoyo externo de batería por facilidad de obtención, costo e identificación con el concepto de prototipo.

Cabe mencionar que las recientes RAM con batería integrada se enfocan ventajosamente hacia aplicaciones donde se requiere alta densidad de memoria utilizable con tiempos de acceso de RAM normales; en nuestra aplicación el enfoque no requiere de tales capacidades de almacenamiento.

Para una interesante descripción de las tendencias recientes en el campo de las memorias no-volátiles (empleado esta vez en forma genérica), se sugiere el artículo publicado en Electronics de Agosto 21, 1986.

5.2 Descripción del esquema :

La descripción se refiere a la figura 5.1.

Este bloque se compone de dos SRAM 6116 conectadas directamente a las líneas de datos del BUS y a la parte alta del bus de direcciones que entra por el conector de cable plano C4, a través del buffer/driver de 8 bits con salida tri-state 74LS244; este último prevé la posibilidad de futura expansión adicional de memoria.

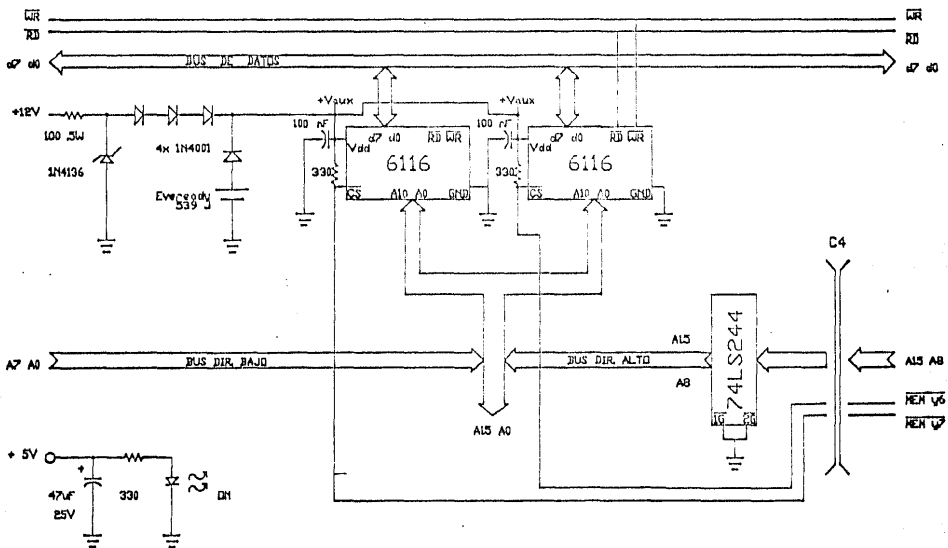
También a través del conector frontal C4 se introducen las líneas (negadas) pre-decodificadas y6, y7 para el respectivo CS* de las memorias; para los detalles de dirección consultar la tabla 3.1 del capítulo 3.

Las memorias empleadas son una versión normal de las 6116, es decir, su voltaje mínimo de operación es de 1.5V y su consumo es de 20 mA y 5 uA dependiendo del CS* (chip select). El diseño se hubiera simplificado con la versión LP (low power), difícil de obtener, sin embargo.

Debido a lo anterior, no es factible intercalar un diodo entre la polarización de +5V y el pin respectivo de la memoria - esto, con el objeto de evitar el drenaje de la batería a través de los demás sistemas conectados a esta línea de polarización -. Se recurrió entonces al esquema que se describe a continuación.

La etapa de se alimenta desde +12V, con lo que polarizamos al zener 1N4136 de 6.8V, a través de la resistencia de 100 Ohms. La tensión de salida es decrementada por 3 diodos 1N4001, para tener aproximadamente +5V como polarización de memorias.

Por otra parte, se conecta al mismo nodo de polarización la batería de apoyo, a través del diodo 1N4001. La batería es de geometría plana adecuada para uso sobre la tarjeta, de 6V tipo 359 tamaño J. En el caso (aconsejable para el producto final) de emplear una batería recargable, se conecta una resistencia en paralelo con el diodo anterior, de valor adecuado a las condiciones de corriente de carga.



- FIGURA 5.1 -
RAM + BAT

Finalmente, las entradas CS* de las memorias se alambran a la línea de polarización descrita, via resistencias de pull-up de 330 Ohms, con el objeto de garantizar por un lado la de-selección, durante los periodos de respaldo por batería, de la memoria, que a su vez garantiza la integridad de los datos así como su menor consumo y, por el otro, evitar el drenaje de la batería a través de las salidas y6 y y7 del decodificador de memoria 74LS138, a tierra (se asume sin polarización).

Si durante la retención con batería, desconectamos el conector C4, reduciremos el drenaje de esta al orden total de decenas de uA, aumentando drásticamente su duración, para los mismos uA/hr.

5.3 Lista de piezas :

IC :

6116-3 SRAM (2)

74LS244

Bases LP DIP :

24 pins (2)

20 pins

Diodos :

1N4001 (4)

1N4136 6.8V Zener 1W

Capacitores :

+ 47 uF 16V

100 nF 50V Ceramic disk (decoupling) (2)

10 nF 50V " " (2)

Resistencias :

330 Ohms .25W 5% (2)

100 Ohms 1W 5%

Varios :

Conector para cable plano, en ángulo recto 20 pins con complemento (socket).

Interruptor SPST (miniatura)

Bateria 6V alcalina Eveready 539 tamaño J.

Tarjeta universal de desarrollo

Alambre 30 AWG para wire-wrap, codificado por colores.

Tarjeta Interfaz de Motores y
Bastón de Mandos.

6.0 Tarjeta interfaz de motores y bastón de mando :

6.1 Introducción :

Este módulo ha sido diseñado con el propósito específico de ejemplificar de manera sencilla el proceso de control posicional objeto de la tesis, en función del tipo de medio que establece dicho control.

Considerando el medio como uno principalmente digital, resulta muy conveniente la selección de motores del tipo paso-paso que convierten impulsos eléctricos discretos en movimientos rotacionales de la misma naturaleza, es decir, su funcionamiento está plenamente identificado con el tipo de medio que planteamos y por lo tanto repercute en la simplicidad del diseño.

Por otra parte, desde el punto de vista de aplicación, este tipo de motores ha evolucionado para abarcar una amplia gama de valores de par, velocidad, grados por pulso, construcción modos de excitación y costo que le convierten en una importante alternativa de motor eléctrico especialmente para aplicaciones tipo servomotor.

Por su naturaleza, dependiendo de lo delicado de la aplicación, presentan también la ventaja de no requerir una malla de realimentación, mientras se garantice la integridad de la relación pulso-paso, problema que en un diseño bien pensado no es usual, o que en todo caso se presenta con el manejo de altas inercias (relativas al motor) que dan lugar a oscilaciones, para las cuales también existen métodos sencillos de amortiguamiento. En todo caso el error posicional tiene la característica de ser no acumulativo.

Debido a que el máximo par dinámico desarrollado por estos motores ocurre a razones bajas de pulsos, el motor de paso puede acelerar con facilidad a su carga. Cuando se logra la posición deseada se detiene la transmisión de pulsos y el motor se detiene inmediatamente, por lo que el uso de frenos y/o embragues no es necesario. Considerando, además, que el motor se mantiene generalmente energizado en esa posición, se cuenta con un par de detención que garantiza la conservación de esta última; mas aún, en los motores de tipo imán permanente existe un par de detención magnético inherente a la construcción del motor aún sin polarización.

Una de las desventajas que sin embargo presentan, aparte de la asociada a altas inercias, es la de operar con baja eficiencia en términos de conversión y disipación de calor.

Para una interesante discusión acerca de estos motores y otros se sugiere ver el 1984 Electrical & Electronics Reference Issue de la revista Machine Design de mayo 31 de ese año, publicada por Penton/IPC.

La interfaz considerada se ha construido alrededor de los motores de paso AIRPAX (North American Philips) modelo K82301-P1, tipo rotor de imán permanente y estator devanado en esquema unipolar, cuyas especificaciones se dan en el apéndice 4.

El control posicional se efectúa por conteo de pulsos, a partir de una posición de referencia detectada por microswitchs (malla parcialmente cerrada).

La resolución de posición es de 0.5 de grado con tolerancia de .033 grados, logradas a nivel rotor via un conjunto reductor de engranes con relación 1:36 integrado a la estructura del motor.

La tarjeta interfaz esta comprendida por los siguientes bloques funcionales : interfaz de motor incluyendo el acondicionado de tensión de alimentación, interfaz de bastón de mando, e interconexión de control con el PPI 18255, que se describen en los siguientes puntos, con referencia a la figura 6.1.

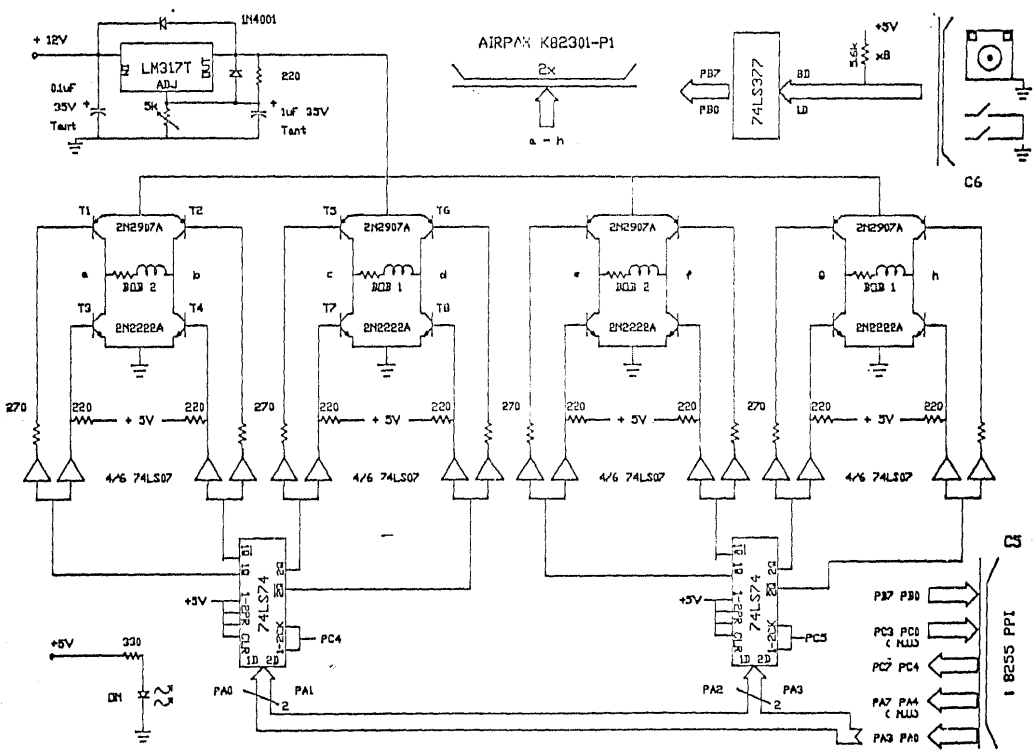
6.2 Interfaz de motores :

Este bloque contiene, por motor, 2 unidades de conmutación del sentido de corriente de bobina, controladas por un IC 74LS74 que tiene por entradas 2 bits del puerto A del PPI que varían según el código Gray y un bit del puerto C que funciona como relbj para sincronizar el almacenamiento de los bits anteriores en los flip-flops del IC.

La existencia de las unidades denominadas de conmutación de sentido de corriente de bobina obedece al principio de operación de los motores unipolares. Estos motores contienen dos bobinas en el estator que lo dividen en dos mitades en forma transversal al eje del rotor, y que están envueltas por dos estructuras metálicas en forma de taza, que a su vez integran polos en arreglo circular dentado, alrededor del rotor; Cada taza está desfasada en ángulo de la otra por una distancia igual a medio polo. El rotor, por otro lado, contiene tantos pares de polos permanentes como los contenidos en una taza.

Cuando circula corriente en un sentido por una de las bobinas, se canaliza el flujo magnético por la respectiva taza, induciéndose polos magnéticos alternados, en cada diente de ella. Estos polos magnéticos provocan el giro del rotor, al intentar este alinear sus polos permanentes con los inducidos, por efecto de atracción-repulsión.

Si se invierte el sentido de la corriente de bobina, se invierte también la disposición de los polos inducidos y se repite la rotación del rotor, esta vez en sentido contrario.



- FIGURA 6.1 : INTERFAZ MOTORES/BASTON -

1 825S PPI

Si ahora se toma en cuenta la otra mitad del circuito del estator y se procede a cambiar de sentido la corriente de ambas una a la vez hasta completar el ciclo damos lugar a la secuencia usual de 4 pasos para controlar el movimiento de un motor de pasos. La tabla a continuación aclara el proceso :

Tabla 6.1 :

Commutación de 4 pasos

Paso	Bobina 1	Bobina 2
1	+	+
2	+	-
3	-	-
4	-	+
1	+	+

Notas : Si se ejecuta la tabla en sentido 1-4-1 descendiente se obtiene una rotación contraria al 1-4-1 ascendente.

De la tabla se desprende que la señal de control de las bobinas de este tipo de motores es una onda bifásica de pulsos.

Para describir la operación de una unidad de conmutación de sentido de corriente de bobina haremos referencia a la figura 6.1 y en especial al bloque formado por los transistores T1-T4, dos resistencias de 270 Ohms, 2 de 220 Ohms y 4 buffers/drivers o.c. del IC 74LS07.

La bobina de una de las mitades del estator está conectada entre los puntos a y b del arreglo, también mostrados en la figura.

La sección de control de estos cuatro transistores se debe encargar entonces de :

Colocar en saturación dos transistores diagonalmente opuestos, estableciéndose flujo de corriente en un sentido, a través de la bobina; digamos que el recorrido de la corriente es +V-T2-b-a-T3-tierra. Durante este instante los transistores restantes permanecen en corte.

Al determinarse una inversión de corriente en la etapa de control, esta se lleva a cabo colocando en corte los transistores que estaban en saturación y vice-versa, respetando siempre la relación de posiciones

diagonalmente opuestas. Regresando a nuestro ejemplo, el sentido de la corriente es ahora +V-T1-a-b-T4-tierra, con lo que efectivamente se logra la inversión de corriente en la bobina.

Se debe garantizar que en ningún momento conduzcan dos transistores que no estén diagonalmente opuestos pues es claro que esto coloca en corto circuito a la fuente de alimentación y probablemente dañe irreversiblemente a los propios transistores.

Las etapas o.c. así como las resistencias se encargan de la correcta polarización de los transistores en sus regiones de corte y saturación con sus corrientes típicas asociadas. Los transistores 2N2907A y 2N2222A empleados son muy usuales y cumplen satisfactoriamente los requerimientos de corriente de las bobinas así como poseer una adecuada capacidad de disipación térmica por su encapsulado metálico; en el esquema empleado no se requieren de disipadores para ellos.

Como se tienen dos bobinas por motor hay ocho bases a controlar. Sin embargo, dada la construcción del esquema con transistores complementarios, este número se reduce a cuatro entradas. En el diseño se plantea, entonces, como etapa de control un IC 74LS74 dual D flip-flop donde sus salidas 1Q y 1Q* alimentan a los transistores T1T3 y T2T4 respectivamente y 2Q, 2Q* a T5T7, T6T8 de la bobina restante. Como dijimos arriba, las entradas al 74LS74 son dos bits del puerto A del PPI, que varían de acuerdo al código Gray y un bit del puerto C empleado como señal reloj.

Además de la relativa simplicidad del esquema con el 74LS74, se garantiza que no existirá la posibilidad de conducción simultánea de dos transistores que no estén diagonalmente opuestos, evitándose así una situación de corto circuito.

Considerando la organización del puerto A del PPI el sistema puede manejar hasta 4 motores, basado en el bloque funcional de control descrito arriba.

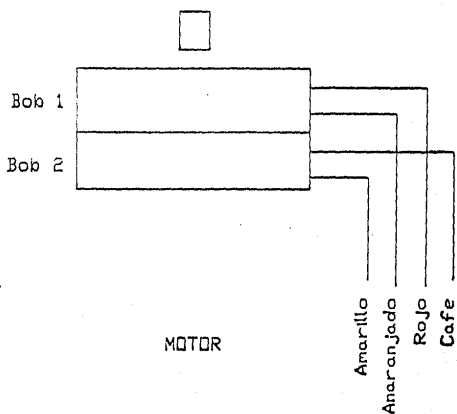
Físicamente las bobinas de estator se conectan a los puntos a-h del diagrama a través del conector frontal C7 cuya asignación se muestra en la figura 6.2 junto con el código de colores del conector de cada motor.

Finalmente la polarización de la interfaz de motores emplea un diseño alrededor del regulador lineal ajustable LM317T montado en un disipador DESA 1627 aluetch de 4 C/W, alimentado desde la línea de +12V. Este esquema se hizo necesario por los siguientes motivos :

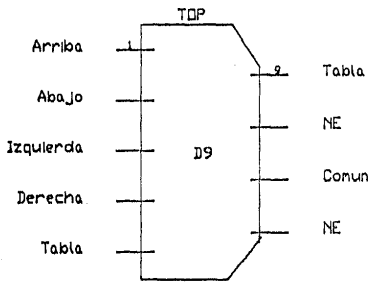
TARJETA
INTERFAZ

	TOP		
h	---	Bobina 1	
g	---	Bobina 1	MOTOR 1
f	---	Bobina 2	
e	---	Bobina 2	
d	---	Bobina 1	
c	---	Bobina 1	MOTOR 2
b	---	Bobina 2	
a	---	Bobina 2	

CONECTOR FRONTAL C7



- FIGURA 6.2 -



CONECTOR FRONTAL C6 (D9)

Tabla 1

Posicion Switch Baston	Pin 9	Pin 5
A	S1 y S2 habilitados en paralelo	S1 y S2 deshabilitados
B	S1 habilitado	S2 habilitado

Debido a los voltajes de saturación de los transistores empleados (aprox 0.4V medidos a corrientes de trabajo) se presentaban problemas de disminución de par en los motores pues la bobina no estaba polarizada con los +5V especificados. Esto se compensa ajustando la fuente variable mediante el potenciómetro correspondiente, a un voltaje mayor

El intervalo de ajuste de la fuente (1.2-10V) aumenta la flexibilidad de aplicación de la tarjeta a otros motores unipolares (3.7, 5, 6, 9 V).

6.3 Interfaz del bastón de mando y sensores de posición de referencia inicial :

Esta se basa en un bastón Comrex CR-301 de 8 posiciones y dos interruptores de función y esta formada por el conector frontal C6, 8 resistencias de 5.6 kOhms, el IC 74LS377 con enable común y el puerto B del PPI.

El bastón en si emplea 6 bits del puerto B, configurado como entrada, mientras que los dos sensores de posición de referencia (uno por motor) emplean los dos bits restantes.

Las líneas de entrada al registro 74LS377 son de tipo pull-up y emplean las resistencias mencionadas. Se emplea también un bit del puerto C del PPI para reloj común del registro.

La figura 6.3 muestra la asignación de pins del conector C6 de tipo D9.

6.4 Organización del PPI 18255 :

La tarjeta de interfaz es monitoreada por el PPI a través del conector frontal C5 cuya asignación es igual que la del conector C1 de la tarjeta principal.

El PPI 18255 ha sido configurado en modo 0 con la palabra de control 3. Esto hace que el puerto A de 8 bits opere como salida, el B, también en 8 bits, funciona como entrada y finalmente el C queda con 4 bits (0-3) de entrada y 4 bits (4-7) como salida.

Las tablas a continuación muestran los formatos de palabra asignados a los puertos del PPI :

Tabla 6.2 :

Puerto A

Bit PA	Función
0	Entrada 1D 74LS74 (1), Motor1, Bobina2
1	Entrada 2D 74LS74 (1), Motor1, Bobina1
2	Entrada 1D 74LS74 (2), Motor2, Bobina2
3	Entrada 2D 74LS74 (2), Motor2, Bobina1
4	Disponible para expansión Motor3
5	" " " "
6	Disponible para expansión Motor4
7	" " " "

Tabla 6.3 :

Puerto B

Bit PB	Función
0	Bastón : arriba
1	Bastón : abajo
2	Bastón : izquierda
3	Bastón : derecha
4	Bastón : Switch 2
5	Bastón : Switch 1
6	Sensor2 : Motor 2
7	Sensor1 : Motor 1

✓Notas : Los bits de este puerto se interpretan como activos bajos.

Bit PC	Función
0	Disponibles (entradas al PPI)
1	"
2	"
3	"
4	Relbj 74LS74 (1), Motor1
5	Relbj 74LS74 (2), Motor2
6	Relbj 74LS377 , Bastón y sensores.
7	Disponible (salida del PPI)

6.5 Lista de piezas :

IC :

74LS377

74LS74 (2)

74LS07 (3)

LM317T Regulador lineal variable a 1.5A

Bases LP DIP :

20 pins

14 pins (4)

Transistores :

2N2907A pnp (8)

2N2222A npn (8)

Diodos :

1N4001 (2)

Capacitores :

+ 47 uF 25V

+ 10 uF 25V

+ 1 uF 35V Tant.

+ .1 uF 35V Tant.

10 nF 50V Ceramic disc (decoupling) (6)

Resistencias .25W 5% kOhms :

0 - 5 Preset

5.6 (8)

0.270 (8)

Varios :

Motor de paso AIRPAX K82301P-1

(2)

Botón de mando Comrex CR-301

Microswitch SPST baja capacidad

(2)

Conector tipo D9 (socket) en ángulo recto

Conector para cable plano en ángulo recto con
complemento (socket):

26 pins

20 pins

Disipador DESA 1627 Aluetch, 50 mm.

Tarjeta universal de desarrollo

Alambre 30 AWG para wire-wrap, codificado por colores.

Aplicación Tipo y Operación del Sistema.

7.0 Aplicación tipo y operación del sistema :

7.1 Introducción :

La aplicación desarrollada se enfoca especialmente a la demostración general de los conceptos fundamentales relacionados con un posicionador y aún mas importante, la interfaz con el usuario y en medio, dentro del marco de la automatización de una tarea productiva, mencionado en la introducción de este trabajo.

Dentro de esta ambientación, se ha puesto énfasis en mantener la flexibilidad del sistema a nivel programación, tal que su aplicación específica a alguna de las tareas nombradas en la introducción de la tesis se visualiza claramente como un subconjunto de las capacidades que aquí se desarrollan.

El sistema se ha pensado, en esta aplicación, como uno autónomo en relación a su supervisión por una computadora maestra.

7.2 Definición de los conceptos involucrados en la aplicación :

Los puntos que aquí se describen son básicos para establecer los alcances de la aplicación y para comprender a lo que nos referimos como ejemplificación de conceptos fundamentales, en el inciso anterior.

Definiremos en relación a la tesis algunos términos de importancia :

Punto : emplearemos esta palabra para referirnos a una posición de coordenadas Azimut/ Elevación conocidas a partir de una posición de referencia. En función de la aplicación, es el elemento básico de construcción de un programa. Desde una visión de conjunto, carece de significado por si solo.

Secuencia : esta es un conjunto de puntos agrupados con un propósito específico bajo un identificador común; la consideraremos el elemento básico con el que se describe una tarea, desde el punto de vista de conjunto o de formación de una actividad completa.

Tarea : es a su vez una agrupación de secuencias y constituye una actividad completa. Dicha actividad realiza una labor productiva al ejecutarse.

Tiempo : es el parámetro de interrelación entre los términos anteriores y entre el sistema y el medio.

7.3 Lógica de operación; integración de un programa :

A partir de las definiciones anteriores, la mecánica de esta aplicación se basa en la programación interactiva del sistema por el usuario, quien "enseña" al prototipo un grupo de secuencias a través de un bastón de mando, que satisfacen los requisitos del medio, para luego ser coordinadas por el parámetro tiempo en módulos de significado más amplio, llamados tareas, mediante una etapa posterior de programación, vía teclado.

Se enfatiza en la denominación "enseñanza", vista como el proceso interactivo en el que se da la instrucción a través del bastón, mientras que la etapa posterior de instrucción se denomina "programación". Se hace esta distinción para resaltar la diferencia en cuanto a la interacción con el usuario de ambas formas de programación (en su acepción usual).

7.4 Parámetros de una secuencia :

Para efectos de futuras referencias aclararemos que dentro de una secuencia las coordenadas de un punto se dan en formato <AZ, El> y además se les asocia un tiempo t de permanencia, de manera que, visto como elemento de una secuencia, el punto es especificado por los parámetros :

<AZ, El, t>

Con formato :

AZ (aaa.a) en grados

El (ee.e) " "

t (mm:ss)

donde las décimas de grado varían en múltiplos de 0.5.
 La tabla a continuación ejemplifica lo anterior :

Tabla 7.1 : Datos que definen a una secuencia

Clasificación	Nombre	Dato
Identificación Referencias :	SECN	04
	REFE	H01, H03
	NPUN	n
Información interna :	PT 0	<010.0, 15.0, 00: 10>
	PT 1	<120.5, 30.5, 00: 15>
	:	:
	:	:
	PT n	<aaa.a, ee.e, mm: ss>

Donde :

SECN : es el Número de la SEcuencia analizada (00-31)

REFE : indica las tareas que incluyen a esta secuencia (REFERencia). Esto ayuda al usuario a evaluar las repercusiones de un cambio en los parámetros de la secuencia.

NPUN : es el Número de PUNtos que integra la secuencia (0-9)

PT n : es el punto número n consecutivo conforme a su programación.

7.5 Parámetros que definen a una tarea :

Recordando que una tarea es una agrupación de secuencias, la tabla a continuación muestra los datos que integran una tarea.

Tabla 7.2 : Datos que definen a una tarea

Clasificación	Nombre	Dato
Identificación Referencias y programación :	TARN	R03
	DSAI	3
	TADS	18:00:00
	STAT	1
	MSEC	2
	NREP	05
Información interna :	SECN	01
	DELT	00:00:05
	SECN	02
	DELT	00:01:00
	SECN	07
	DELT	24:00:00

Donde :

TARN : es TAREa Número (dd: 00-31)

DSAI : es Día de la Semana, de Activación Inicial (d: 0-7)

TADS : es Tiempo de Activación del Día de la Semana elegido (hh:mm:ss)

STAT : es STATus donde "1" es alarma activada y "0" es desactivada. (d)

NSEC : es el Número de SEcuencias que se integran a la tarea, ordenadas en el orden mismo en que se programaron (d: 0-9)

NREP : es el Número de veces que se desea REPetir la tarea, a partir del cumplimiento de la última secuencia en la tarea. (dd)

SECN : es la Secuencia no. que se integra en la tarea analizada. (dd: 00-31)

DELT : es el DELTA de tiempo que debe transcurrir entre que se ha completado la secuencia en ejecución y en el que se debe iniciar la siguiente secuencia de la lista. (hh:mm:ss)

(d) : un dígito.

(dd) : dos dígitos.

7.6 Definición de alcances y presentación de la interfaz con el usuario :

La estructura en la que se presenta la interfaz al usuario esta basada en la división en modos, niveles y formas del sistema que se describe a continuación :

Modo 0 : Este representa el estado normal del sistema, es decir, el prototipo siempre se mantiene en este modo salvo la selección de otro vía teclado. También desde otros modos del sistema, después de cierto tiempo de no presionar alguna tecla, se regresa a él.

En este estado el sistema despliega el tiempo real y monitorea el vencimiento de alarmas para activar programas del usuario.

El modo permite, dentro de las funciones de tiempo real, cambiar entre formato HH:MM y MM:SS de despliegue, apagar o encender el display, consultar la fecha actual y actualizar dichos parámetros.

Del teclado, que describiremos mas adelante en detalle, solo las teclas de función estan activas en este modo.

Modo 1 : Este modo permite el acceso a la edición, revisión y ejecución de secuencias y tareas, así como a las etapas de enseñanza y programación descritas.

El modo esta dividido internamente en dos niveles; el nivel 0 permite las actividades mencionadas arriba sobre secuencias, mientras que el nivel 1 opera sobre tareas.

En este estado del sistema las teclas numéricas del teclado adquieren la función de presets, o en forma común, la función de "memorias". Dependiendo del nivel en que nos encontremos, los resultados de la actividad de programación (general) que se este realizando quedan identificados con esa tecla ("memorizados") - a la cual nos referimos con el nombre de identificador común en el inciso de definición de conceptos, arriba - .

Cada nivel mencionado distingue entre la forma manual y la forma programa mediante una de las teclas de función. La forma manual es la que integra las etapas de edición, revisión y ejecución del nivel.

Cuando realizamos alguna actividad con la forma manual del nivel respectivo, las teclas numéricas ejecutan el programa que se les ha asignado en la forma programación, al ser presionadas.

En el nivel 0 forma programación se establece la comunicación con otro dispositivo de entrada del usuario ie: el bastón de mando, que en este enfoque de la tesis es considerado el dispositivo mas interrelacionado con el usuario y su medio.

Antes de pasar a la descripción detallada del sistema resumiremos los puntos anteriores:

La interfaz usuario esta organizada en :

- Modos
- Niveles y formas

El modo 1 contiene 2 niveles :

- Nivel 0 relacionado con secuencias y
- Nivel 1 relacionado con tareas

Cada nivel se divide en :

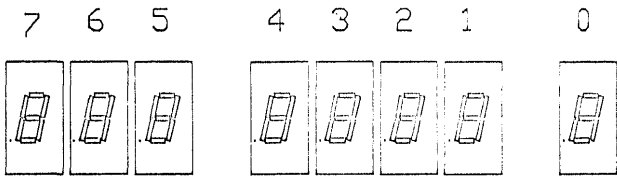
- Forma Manual asociada a edición y ejecución y

- Forma Programación (término empleado en su acepción general).

7.7 Configuración del sistema en torno al usuario :

Dentro de este tema se describen específicamente los bloques que forman, a nivel hardware, la interfaz con el usuario, así como su organización en relación con la operación del sistema

Estos bloques son : Unidad de despliegue, Teclado, Bastón y modelo.



- FIGURA 7.1 -

7.7.1 Unidad de despliegue :

En la figura 7.1 se presenta dicha unidad. Su organización física obedece a las funciones asignadas a cada una de sus áreas.

De los ocho LED displays, los primeros tres y el último, vistos de izquierda a derecha son de color ambar mientras que los cuatro centrales son de color rojo.

Los LED amarillos presentan usualmente información que ubica al usuario tanto en donde se encuentra como en que debe hacer.

Los LED rojos contienen usualmente información pertinente al proceso que se este ejecutando, tal como tiempo real, contador de coordenadas y contador de secuencias de tarea.

Los casos que constituyen una excepción a lo anterior son, por un lado, el despliegue del día de la semana en el display amarillo de extrema derecha y por el otro, el indicador de elevación de posición en los tres displays amarillos de la izquierda, durante ejecución o enséanza.

A continuación indicamos las convenciones adoptadas para comunicar al usuario con el sistema; hemos optado por numerar los LED en forma consecutiva de izquierda a derecha del 7 al 0, además para efectos de este inciso se agrega una letra R para rojo y A para ambar.

Tabla 7.3:

Organización de unidad de despliegue

Mensaje	Ubicación	Indica	Forma
1	A 0	Operación en Modo 1	M/P
L 00	A 7, 6, 5	Nivel 0 del Modo 1	M
L 01	A 7, 6, 5	Nivel 1 del Modo 1	M
S nn (fijo)	A 7, 6, 5	Secuencia (nn) apuntada para ser revisada o secuencia preset seleccionada y en ejecución.	M
- - - -	R 4, 3, 2, 1	La secuencia o tarea apuntada contiene datos.	M/P
	R 4, 3, 2, 1	La secuencia o tarea apuntada no contiene datos.	M/P
S nn (osc)	A 7, 6, 5	La secuencia (nn) apuntada ha sido seleccionada para su edición o para programación. El comportamiento se mantiene hasta terminar el proceso.	M/P
H nn (fijo)	A 7, 6, 5	Tarea (nn) apuntada para ser revisada o tarea preset seleccionada y en ejecución.	M
H nn (osc)	A 7, 6, 5	La tarea (nn) apuntada ha sido seleccionada para su edición o para programación. El comportamiento se mantiene hasta terminar el proceso.	M/P
S - nn	R 4, 3, 2, 1	La secuencia (nn) dentro de una tarea, esta siendo ejecutada o integrada a esta.	M/P
n	A 0	Contador de punto o secuencia.	M/P

7.7.2 Teclado :

El diseño del teclado se basa en la adopción de estándares existentes con el objeto de facilitar la familiarización del usuario con el sistema. La integración de dichos estándares se ha implementado a nivel mecánica de funcionamiento, como también a nivel terminología, por la misma razón.

En vista que una de las aplicaciones factibles del sistema es a la orientación de antenas parabólicas, el estándar al que nos referimos es el que presentan los actuales equipos de video, en especial los de grabación y reproducción de orientación electrónica de consumo, que a la vez es suficientemente flexible como para ser empleado en las demás aplicaciones.

Dentro de la estructura adoptada se debe resaltar el papel de las teclas función :

+

NEXT

-

que son empleadas de la misma manera que en los equipos mencionados. Las ventajas adicionales atribuidas al uso de estas teclas son básicamente :

Simplifica la comunicación con el usuario a través de la limitación del intervalo respuesta a uno válido y cerrado.

Se identifica plenamente con los movimientos del proceso de revisión y edición de los parámetros de un programa ie: elección del anterior y siguiente parámetro posible y avance hacia el siguiente elemento de programa a editar.

Por los puntos anteriores, elimina también la necesidad de tener teclas con funciones de edición sobre despliegue, lo cual trae consigo simplificaciones en las rutinas respectivas.

Ayuda a que el usuario conceptualice el teclado numérico como teclas tipo preset o "memorias" puesto que descarta la necesidad de responder numericamente a parámetros via su uso.

	y1	y2	y3	y4	y5
x1	16 0	17 1	18 2	19 3	MODE/LEVEL +
	20 4	21 5	22 6	23 7	TIME D/PRGM NEXT
x3	24 8	25 9	26 10	27 11	TIME F/SELECT —
	28 12	29 13	30 14	31 15	TIME SET SHIFT

- FIGURA 7.2 -

La figura 7.2 muestra la organización del teclado matricial, a partir de un formato hexadecimal con cuatro teclas de función.

Como se mencionó, el área numérica está reservada a su uso como presets. Existen 16 teclas las cuales, operadas en conjunto con la tecla función SHIFT, permiten tener hasta 32 posibilidades, numeradas del 0 al 31. Al presionar una de estas teclas se ejecuta una secuencia o una tarea asignada a ese número, dependiendo del nivel de operación en el que nos encontremos; estas teclas solo operan en el Modo 1.

Las teclas de función están agrupadas alrededor del modo que las hace activas :

Modo 0 :

MODE : Selecciona entre el modo 0 y el 1
TIME DISPLAY : Apaga o enciende la unidad de despliegue en el modo 0.
TIME FORMAT : Selecciona entre despliegue de HH:MM o MM:SS
TIME SET : Inicia la rutina de puesta a tiempo y fecha del sistema.

Modo 1 :

LEVEL : Selecciona entre nivel 0 y 1
PRGM : Inicia modo de programación
SELECT : Selecciona una secuencia o tarea apuntada, para su edición o posible programación.
SHIFT : Función para alternar entre la función superior y la inferior de una tecla.

La operación de las teclas +, - y NEXT no está condicionada a un modo en particular :

+ : Avance circular hacia siguiente opción posible de respuesta.
- : Idem anterior pero en sentido de avance opuesto.

NEXT : Avance circular, en un solo sentido, hacia siguiente elemento a editar dentro de un ciclo de edición programación.

7.7.3 Bastón de Mando :

El bastón de mando es empleado para la etapa de enseñanza de secuencias en modo 1, nivel 0. Este dispositivo es considerado básico dentro del enfoque de la aplicación planteada pues es el más interactivo con el usuario.

Además de las ocho funciones de posicionamiento del propio bastón, se han integrado otras funciones en dos teclas incorporadas a su estructura con el objeto de no distraer la atención del usuario fuera del bastón y el modelo en posicionamiento.

Como mencionamos anteriormente, dentro de una secuencia un punto está definido por sus coordenadas azimut, elevación y un tiempo de permanencia asociado. Por esta razón las teclas del bastón integran el control de un cronómetro junto con el almacenamiento y borrado de los datos que definen al punto.

La figura 7.3 muestra el bastón y la asignación de teclas que a continuación se describe :

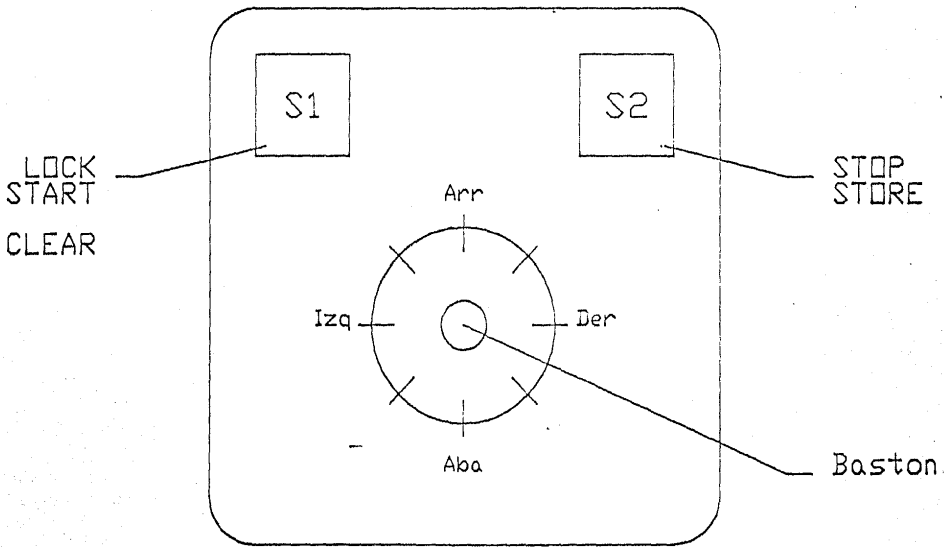
LOCK/START : al oprimirse desactiva el bastón para asegurar la posición lograda y evitar la programación errónea de coordenadas diferentes a las elegidas. Simultáneamente se activa el cronómetro de permanencia.

STOP/STORE : al transcurrir el tiempo deseado de permanencia el usuario detiene el cronómetro al presionar esta tecla. Al mismo tiempo se almacenan los datos del punto en memoria y se libera al bastón para continuar con el siguiente punto de la secuencia.

Existen dos posibilidades a partir de este momento; la primera define la aplicación de la función de **CLEAR** del bastón.

CLEAR : Esta función se activa por tiempo a partir de oprimir **LOCK/START** por más de 3 segundos y permite el borrado del punto recién almacenado en memoria, es decir, la corrección interactiva de errores.

La segunda posibilidad es la de volver a activar **LOCK/START** sin haber movido el bastón desde la última posición, para reprogramar durante el mismo proceso de enseñanza el tiempo asociado al punto. Recordemos que este parámetro también puede ser editado posteriormente en la etapa de revisión edición del modo 1, nivel 0.



- FIGURA 7.3 -

7.7.4 Modelo :

El propósito de este modelo es el ejemplificar de manera sencilla los conceptos que esta aplicación quiere establecer.

El modelo consta de dos motores AIRPAX K82301-P1 ensamblados en forma ortogonal entre sí, con sus respectivas escalas graduadas en grados fijas a la estructura del estator; las agujas indicadoras se fijan al rotor de cada motor.

Dentro de este arreglo se han integrado también dos microswitchs para detección de la posición de referencia.

En operación, el motor de azimuth mueve al conjunto compuesto por el motor de elevación y el modelo de antena u otro elemento fijado al rotor de este. La posición lograda se confirma por medio de las escalas, así como por la unidad de despliegue del sistema.

7.8 Ejemplos de operación del sistema :

En este tema se enseña la operación del sistema al usuario, guiada a través de ejemplos de orientación similar a los instructivos de operación de equipo de video grabación comerciales.

Los ejemplos están divididos en función de la organización en modos, niveles y formas, del sistema. Las figuras que contiene estos ejemplos son las siguientes :

Tabla 7.4 : Organización de ejemplos de operación

Figura	Contenido
7.5	Operación en modo 0; funcionamiento y puesta a tiempo.
7.6	Modo 1, nivel 0; edición, ejecución normal y tipo prueba, de secuencias.
7.7.	Modo 1, nivel 0; enseñanza y reprogramación aditiva de secuencias.
7.8	Modo 1, nivel 1; edición, ejecución de tareas
7.9	Modo 1, nivel 1; Programación y reprogramación aditiva de tareas.

A continuación se presentan los ejemplos citados :

Figura 7.5 :

Operacion en Modo 0

Puesta a tiempo (17:23 Hrs. Sab. 01 de Noviembre)

TIME SET



HR

-



NEXT

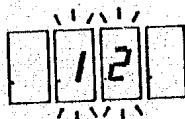


MIN

+

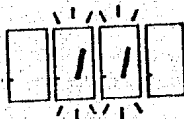


NEXT



MES

-



NEXT



Dia/Mes
Valor segun
Mes

Figura 7.5 (2) :
 Operacion en Modo 0
 Puesta a tiempo ..

+



NEXT



Dia/Semana
 Domingo = 7

-



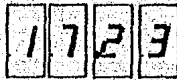
Si hubo error iniciar la secuencia nuevamente opriniendo

NEXT

Para terminar oprinir

TIME SET

Funcionamiento normal :



HH : MM

TIME F Por menos de 3 S



MM : SS

Figura 7.5 (3) :

Operacion en Modo 0

Funcionamiento normal ...



La fecha se despliega por 5 S para regresar luego al formato anterior de tiempo.



El display permanece apagado hasta volver a oprimir esta función.

Figura 7.6 :

Modo 1, nivel 0, forma 0

Revision/Edicion de Secuencias :

HH : MM
Modo 0

MODE

L 0 0

1 7 0 0

1

+ / -

Nivel 0

Modo 1

Para avanzar sobre las Secuencias a elegir para revision

Paranos en :

5 0 4

- - - -

1

Secuencia 04

Advertencia :
sec. ocupada

Modo 1

SELECT

Para seleccionar dicha secuencia para edicion

Las Secuencias solo son editadas en tiempo y posicion por el numero de puntos que contienen para agregar puntos se emplea la reprogramacion aditiva.

Datos de
Identificacion y
Referencia.

5 0 4

Secuencia 04
seleccionada

H 0 1

Ref. Tarea 01

1

Modo 1

+

H 0 3

Ref. Tarea 03

+

H 0 1

Ciclo de referencias
a Tareas, completo

Figura 7.6 (2) :

Modo 1, nivel 0, forma 0

Revisión/Edición de Secuencias ...

NEXT
Elige siguiente
Parámetro

S O 4

Hay 2 Puntos
en la Secuencia

2 P 1

Modo 1

NEXT

0 0 A A

Dura 5 S.

Se anuncia que el siguiente dato es el Azimut del punto 0

0 1 0 0

10 Grados

Asumamos que deseamos cambiar a 012,0 grados Azimut ...

+

Incrementos en 0.5

0 1 2 0

NEXT

0 0 0 E

Dura 5 S.

Se anuncia que el siguiente dato es la Elevación del Punto 0

0 1 5 0

Asumiremos que el dato 15.0 grados, es correcto.

NEXT

0 0 . 1 0

Duración del Punto 0 en mms

Figura 7.6 (3) :

Modo 1, nivel 0, forma 0

Revisión/Edición de Secuencias ...



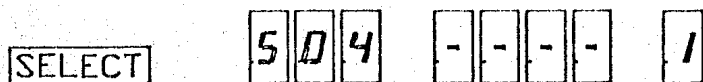
Se anuncia Azimut del Punto 1; duración 5 S.

Los pasos para revisar/editar son iguales a los anteriores.

Al terminar de revisar todos los Puntos de una Secuencia se puede iniciar el ciclo nuevamente, oprimiendo

NEXT

Para salir de revisión de la Secuencia seleccionada oprimir :



Indica la última Secuencia editada por 3 S; Luego ...



... se regresa al indicador de Modo 1, nivel 0 .

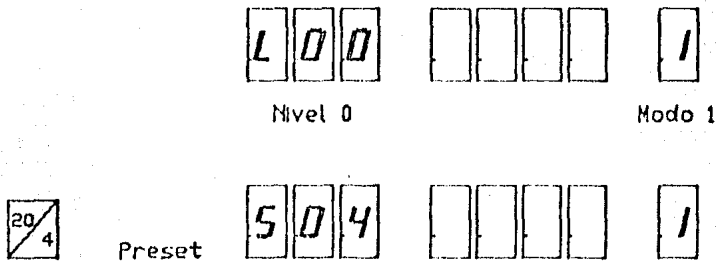
A continuación caben las siguientes posibilidades :

- Si no se oprime alguna tecla en menos de 10 S, regresa a Modo 0
- Revisar/editar otra Secuencia
- Ejecutar una Secuencia vía ejecución de prueba
- Ejecutar una Secuencia vía preset.

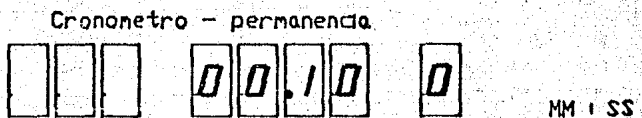
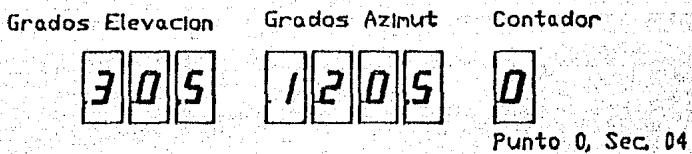
Figura 7.6 (4) :

Modo 1, nivel 0, forma 0

Ejecucion de Secuencias :



El mensaje dura 3 S desde que se oprime la tecla preset; durante este tiempo no se mueven los motores. Luego de este tiempo, se despliegan las coordenadas del Punto a alcanzar y estas duran hasta que se logre dicha posición también se incluye un contador de Puntos. Una vez lograda la posición se despliega el cronometro de permanencia, que inicia en ese momento



Al finalizar se incrementa el contador de Punto y se repiten los pasos anteriores. El proceso se repite para todos los Puntos de la Secuencia en ejecución.


La ejecución tipo prueba se logra oprimiendo :  antes de que transcurran 3 S desde que se oprinio la tecla preset. En este tipo de ejecución los tiempos de permanencia se fijan a 5 S, independientemente de los valores programados.

Figura 7.7 (2) :

Modo 1, nivel 0, forma 1

Enseñanza de Secuencias ...



Se desactiva el Baston y hecha a correr cronometro tiempo Punto 0.



Se detiene el cronometro y terminan los parametros del Punto 0

Se libera al Baston de Mando.

Puede elegirse una de las siguientes opciones :

a) Si no se mueve el Baston aun :

Reprogramacion Interactiva de tiempo oprimiendo : **LOCK**

Borrado del Punto programado; aparecen El/Az originales y no

avanza el contador. Esto se logra oprimiendo : **CLEAR**

b) Si se mueve el Baston :

Enseñanza del siguiente Punto; se incrementa el contador.

La funcion de borrado se obtiene oprimiendo **LOCK**

por mas de 3 S, luego de haber oprimido **STOP/STORE**

Al terminar la etapa de enseñanza de Secuencia, se oprime :



Figura 7.7 (3) :

Modo 1, nivel 0, forma 1

Reprogramación aditiva de Secuencias :

Esta opción permite agregar Puntos a una Secuencia, sin necesidad de reprogramarla por completo; no permite intercalado, sin embargo.

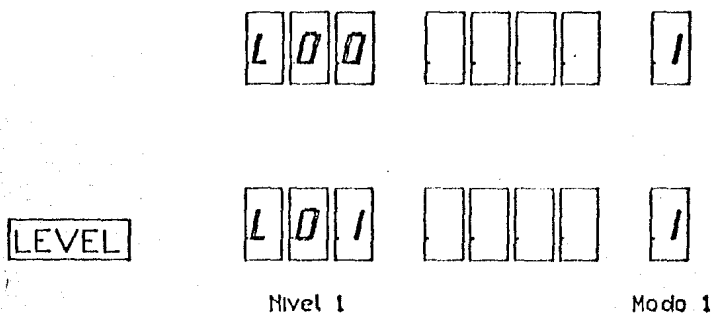
Para activarla se siguen los pasos para iniciar un ciclo de enseñanza descritos arriba y se selecciona la Secuencia ocupada, deseada. A continuación se oprime

Finalmente, se observa que el contador se incrementa uno más del número original de Puntos de la Secuencia. El resto del procedimiento es igual al caso anterior descrito.

Figura 7.8 :

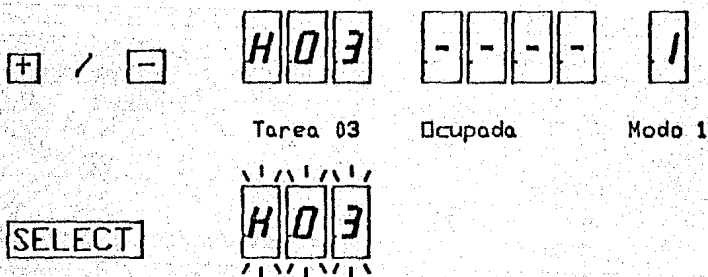
Modo 1, nivel 1, forma 0

Revisión/Edición de Tareas :



Este nivel se maneja totalmente igual que el de edición de Secuencias, en torno al uso de +, -, NEXT, así como a las convenciones de la unidad de despliegue (advertencia de datos ya existentes, etc...).

Para identificar las tareas se ha asignado la letra H ...



La revisión/edición es análoga a la de Secuencias; El orden de los parámetros a revisar es igual al descrito en la tabla 7.2. Todos los parámetros de tiempo enlejan aparecen, para su edición, en la forma empleada para la puesta a tiempo del sistema.

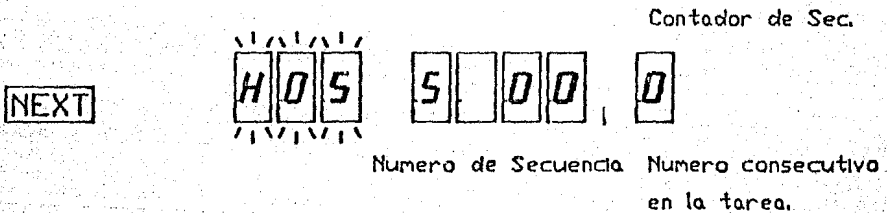
Figura 7.9 :

Modo 1, nivel 1, forma 1

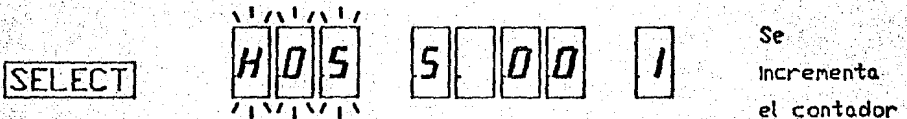
Programacion de Tareas :

A partir del Indicador de Modo 1, nivel 1, se elige con + y - la Tarea a programar. Luego se oprime PRGM y debe observarse la advertencia usual de existencia de datos preprogramados. Los parametros a programar aparecen en orden STAT (0/1), DSAI (dia semana de activacion), TADS (h:mi:ss de activacion), NSEC (numero de secuencias contenidas) y NREP (numero de repeticiones). La programacion de estos parametros opera via +/- y NEXT. Tambien la programacion de los parametros tiempo se hace en el mismo formato de puesta a tiempo del sistema.

Indicaremos como se programan las secuencias a integrar a la Tarea.:



Asumiremos que esta es la secuencia que deseamos integrar. De otra forma se elige con +/- . Finalmente para programarla oprimos ...



Luego siguen los parametros de tiempo DELT que tambien se manejan como la puesta a tiempo. Al terminar se puede elegir otra secuencia o se puede salir oprimiendo PRGM al nivel 1, desde donde se puede ejecutar una tarea. El regreso al Modo 0 es por tiempo (10S).

Figura 7.9 (2) :

Modo 1, nivel 1, forma 1

Reprogramacion aditiva de Tareas :

Esta opcion tiene el mismo objeto del caso respectivo en secuencias y su funcionamiento es totalmente analogo. Sin embargo su activacion es a traves de las teclas :

SHIFT

+

Bajo el control de la forma PRGM.

7.9 Aspectos generales del programa de control :

Mediante este tema se quiere dar una visión mas que nada general de la estructura del programa de control del sistema, en la aplicación desarrollada.

Se insiste en visión general pues no se considera pertinente el detallar los procedimientos específicos de programación empleados ni el resultado ensamblado que salen fuera del objetivo esencial de la tesis.

En las siguientes figuras, agrupadas bajo el número 7.10, se encontrarán los diagramas generales de flujo que describen la interacción y organización del programa, sin obscurecer la relación de este con el usuario.

Las subrutinas del programa de control se agrupan, en cuanto a función, en nivel :

Usuario : Contiene las rutinas que manejan display, teclado y bastón en los diferentes modos de operación.

Tiempo : Se encarga principalmente del monitoreo del tiempo real y del vencimiento de alarmas contra este.

Posicionamiento: Dados los parámetros Az, El a partir de la última posición adquirida, calcula y controla el número de pulsos necesarios a enviar a los motores de paso. Integra también el algoritmo de mínimo tiempo de recorrido.

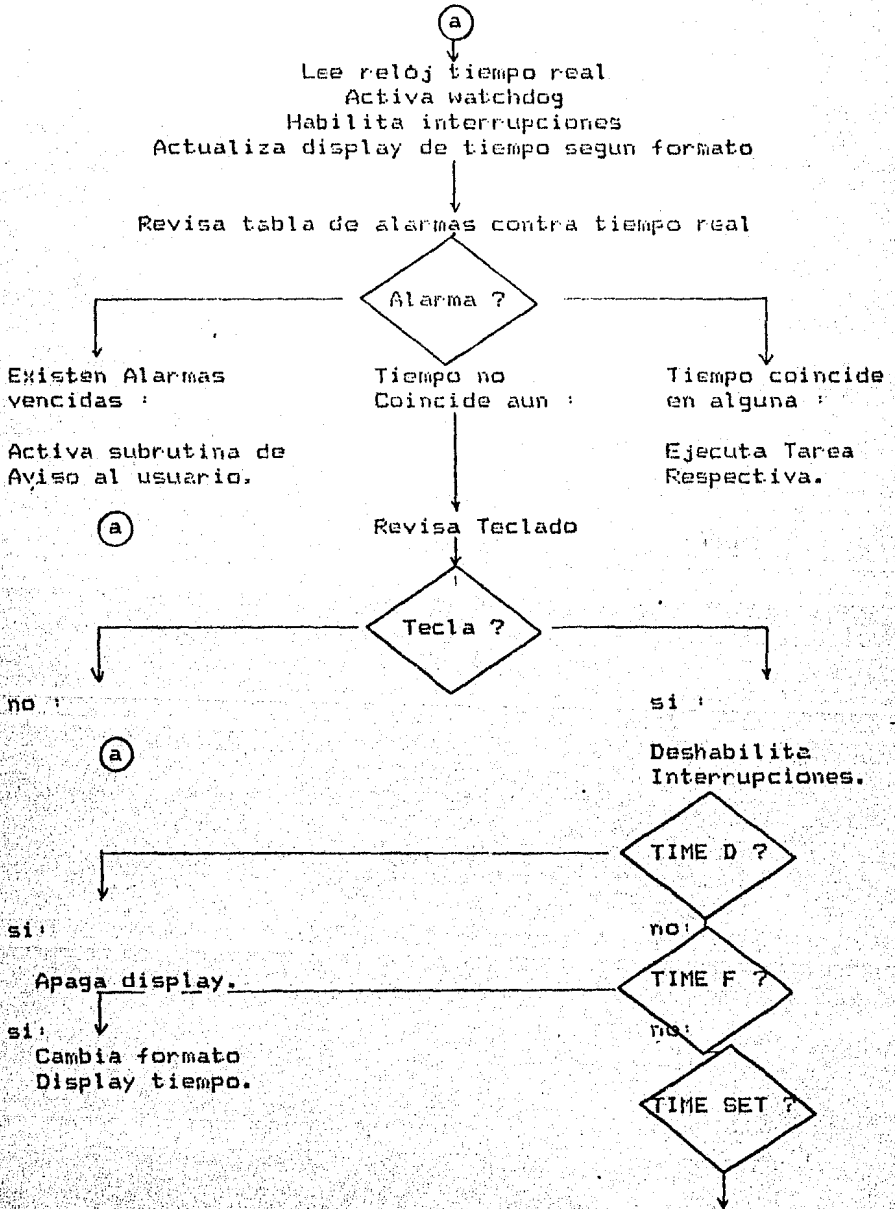
Memoria : Se encarga de organizar diversos stacks y tablas de datos internos así como los del usuario.

Básicamente estas rutinas convergen a otras de tipo control de despliegue de información, por ejemplo y son coordinadas por la estructura raíz que se describe en el diagrama de flujo general.

Figura 7.10 :

Diagrama de Flujo General :

Modo 0 :



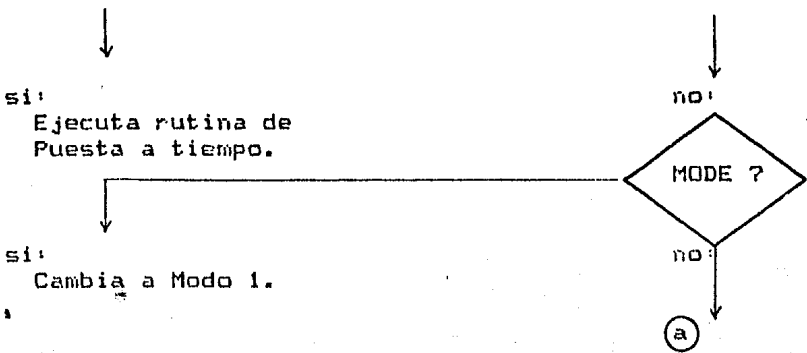


Figura 7.10 (2) :

Diagrama de Flujo General

Modo 1, Nivel 0:

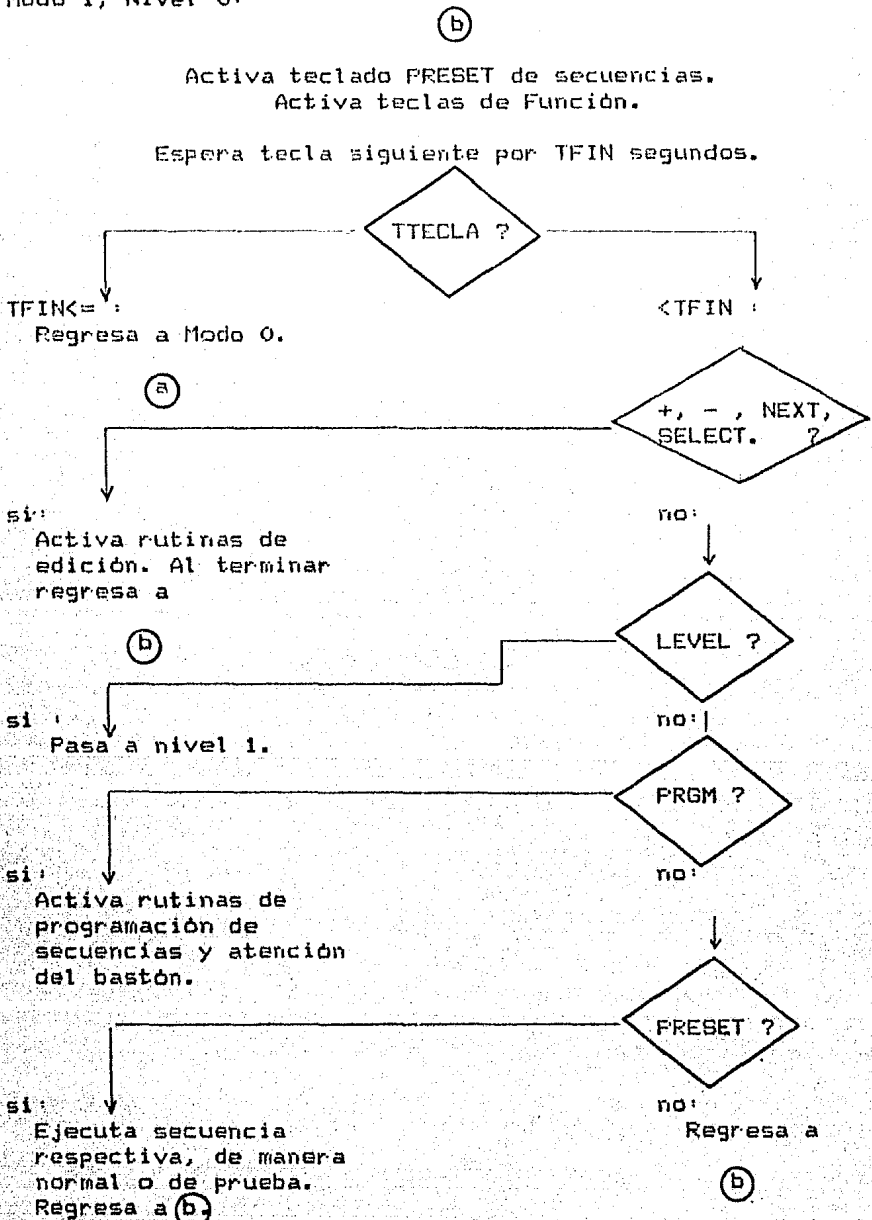
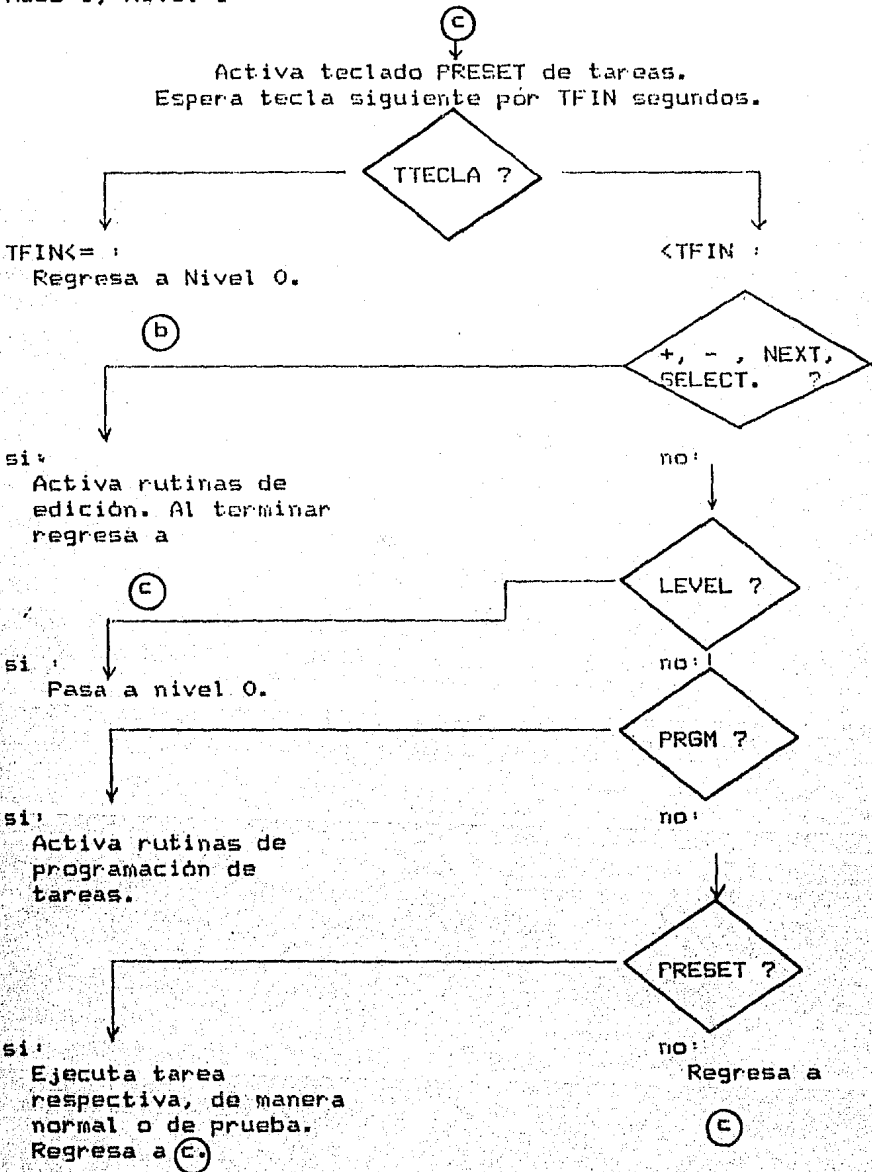


Figura 7.10 (3) :

Modo 1, Nivel 1 :



Conclusiones del Trabajo.

8.0 Conclusiones del trabajo :

A través de este trabajo se han logrado un conjunto de experiencias en torno a la construcción de un posicionador azimut elevación, que parten desde la forma de desarrollo que tuvo el proyecto con la construcción y uso de un sistema de amplio alcance basado en un microprocesador de bajo costo y empleo difundido, hasta la producción de un prototipo de posicionador que contempla una serie de criterios de importante aplicación en un medio donde la automatización juega un papel, complementario, vital en la tarea de aumentar su productividad.

La tesis plantea más allá del aspecto hardware, la importancia que cobra la interacción con el usuario cuando uno de los parámetros de mayor importancia es la flexibilidad del diseño para adaptarse a las situaciones que le exige el medio de aplicación. Dicha interacción se ejemplifica en el enfoque desarrollado mediante la integración de mecanismos que dinamizan el proceso de enseñanza de un conjunto de posiciones al sistema, como por ejemplo el bastón de mando. Mas aún, se ha insistido a lo largo del trabajo en hacer la distinción entre los términos programación y enseñanza precisamente debido a que aquí se considera a la enseñanza como una forma superior de programación ya que por una parte por la manera de realizarse lleva implícita la identificación con el medio para el cual se realiza dicho programa y, por otra, se cuenta de antemano con un sistema que ya tiene preprogramada una base flexible orientada a organizar las instrucciones que recibe de manera aislada hacia un esquema de secuencias y tareas coordinadas bajo el parámetro tiempo que directamente pueden formar parte de un proceso productivo.

En relación a la aplicación específica a la orientación de antenas parabólicas para recepción de televisión vía satélite, las bases planteadas en la tesis permiten ver a este campo de aplicación como un subconjunto de lo desarrollado, comenzando por el hecho de que la mayoría de las antenas de tipo parabólico montadas hoy en día, con este propósito, emplean monturas de tipo polar con un solo movimiento (motor) en azimut, debido al tipo de órbita geostacionaria que describen la mayor parte de los satélites de televisión existentes.

Otros aspectos que se tendrían que contemplar en cuanto a su optimización serían la eliminación del bastón y la opción de emplear EPROMS con las coordenadas adecuadas para la latitud, longitud donde se encuentre la antena. Finalmente el enfoque de la interfaz hacia el usuario también debe limitarse al nivel de solo permitir revisión de parámetros y en todo caso reasignación del teclado preset; este último sigue siendo recomendado para esta aplicación pues se asocia con la idea de un selector de canales.

Dentro de las posibilidades de desarrollo futuro que se recomiendan sobre el sistema, podemos mencionar la posibilidad de incluir esquemas sencillos de rastreo que no dependan de una discretización exhaustiva en memoria de una trayectoria en puntos aislados, como podría ser la forma actual de lograrlo, sino a través de posiciones iniciales, finales y razones de incremento angular y en donde las trayectorias a seguir estén optimizadas y fijas en función de la aplicación, para simplificar el enfoque.

También, dependiendo nuevamente de la orientación del sistema, podría ser recomendable la integración de capacidades de comunicación con una red de control a través de computadoras, con el objeto de efectuar reprogramaciones completas del sistema en tiempos reducidos, como puede ocurrir en un medio industrial. Aquí la etapa de enseñanza como la definimos en esta tesis no queda relegada a un segundo plano sino que juega un papel importante en la fase de definición de cada uno de los programas que después son almacenados y transferidos al sistema mediante las computadoras.

Apéndice 1

Software de Apoyo para el Sistema de Desarrollo.

Apéndice I :

Software de Apoyo :

Durante el desarrollo de esta tesis se emplearon diversos programas tanto para apoyo en aspectos de comunicación con el prototipo, así como para la elaboración de planos y figuras, redacción, edición de texto y manejo ordenado de listas como el glosario, entre otras aplicaciones. Todo este software se ejecutó en microcomputadoras de la línea PC. A continuación se mencionan los principales programas empleados :

Autocad 1.40 (c)84; Autodesk

Empleado para generar las figuras incluidas en la tesis.

DbaseIII Plus 1.00 (c)86; Ashton Tate

Base de datos relacional empleada en varias fases de la tesis para clasificación y ordenado de listas de control y otras como el glosario.

Wordstar 3.30 (c)83; Micropro

Procesado de texto utilizado para escribir la tesis.

Lettrix 2.00 (c)85; Hammerlab

Acondicionado de texto para impresión.

Vterm (c)84; Coefficient

Paquete para emular terminales VT85 y VT100 de Digital, en PC's.

Xasm85 1.05 (c)84; Avocet

Ensamblador de código Z 80 e 18085, formato Intel.

El uso de los dos últimos programas permitió desarrollar el programa de control del prototipo de manera que se redujera la necesidad de programar EPROMS con cada versión que evolucionaba, con lo que se redujo también el tiempo de desarrollo .

Lo anterior se implementó transfiriendo archivos previamente ensamblados, de disco hacia la memoria del prototipo, en donde eran evaluados directamente. La transferencia requirió de una rutina auxiliar al monitor del sistema para supervisar el proceso por parte del prototipo.

Las correcciones así generadas se integraban al archivo de disco que contenía entonces la versión final de la rutina en desarrollo.

Finalmente, se programaron los EPROMS necesarios directamente desde la memoria del prototipo, empleando para esto un programador contruido alrededor del bus diseñado. En todo caso también se pudo haber empleado un programador diseñado para operar conectado desde una PC vía puerto serie o bus.

Apèndice 2

Glosario

Apendice 2
Glosario :

Termino	Definicion
AND	Y logico.
BACKPLANE	Se refiere a la disposicion fisica posterior de un bus de interconexion entre las tarjetas electronicas que forman el sistema.
BAUD	Unidad de velocidad de transmision expresada en el numero de eventos discretos transmitidos por segundo. En binario BAUD=BPS.
BIAS	Polarizacion V.I. d.c. de un circuito electronico.
BIT	Digito binario 1,0.
BPS	Bits por Segundo. Unidad de velocidad de transmision.
BREAKPOINT	Puntos de interrupcion de ejecucion de un programa, insertados generalmente con el proposito de revisar registros asociados.
BUFFER	Amplificador cuya caracteristica esencial es la de tener una muy alta impedancia de entrada y baja impedancia de salida.
BUS	Conjunto de conductores organizados para comunicar diferentes elementos de un sistema.
BYTE	Palabra de 8 bits.
CHIP	ver IC.
CHIP SELECT	(CE o CS) Senal que habilita las entradas y/o salidas de un chip que de otra forma estan en estado de alta impedancia.
CODE B	Codigo para displays que incluye digitos 0-9 y caracteres -,E,H,L,P,blank en lugar de A,B,C,D,E,F del hexadecimal usual.

COMMON ANODE

Anodo comun. Interconexion comun de los anodos de cada segmento de un LED display.

CPU

Unidad central de procesamiento. En general contiene la unidad aritmetica logica (ALU) y la unidad de control.

DEBOUNCE

Retardo necesario para evitar los transitorios asociados a oprimir una tecla y asegurar un valor 0,1 definido.

DECODER

Circuito combinacional con n entradas y 2 a la n salidas. La salida seleccionada depende del codigo de entrada.

DECOUPLING

Desacoplado de ruido y problema de inductancias presentes en la alimentacion de un IC. Realizado mediante capacitancias.

DEFAULT

Valor asumido en principio de una variable.

DIP

Dual in line package. Encapsulado de ICs con distribucion dual paralela de terminales a lo largo de su maxima dimension.

DISPLAY

Unidad de despliegue de informacion. En este caso mediante LEDs.

DRIVER

CI buffer con impedancias optimizadas para minima atenuacion de transmision con la linea. Puede cambiar los voltajes de senal.

EMI

Electromagnetic interference. Interferencia de caracter electromagnetico que afecta a los circuitos electronicos.

ENCODER

Codificador. Circuito combinacional de opera de manera contraria al decodificador. ie: 2 a la n entradas y n salidas.

ESR	Resistencia Serie Equivalente de un elemento pasivo.
FIRMWARE	Código residente en ROM.
FLIP-FLOP	Circuito biestable.
GRAY	Código binario que se distingue por que cada carácter sucesivo difiere del anterior en solo un bit.
HARDWARE	Término que se refiere a los componentes físicos de un sistema.
HEXADECIMAL	Sistema numérico base 16 que incluye los dígitos 0-9 y los caracteres A,B,C,D,E,F.
IC	Circuito Integrado (CI).
INHIBIT	Señal de INHIBE.
LED	Diodo Emisor de Luz.
MICROPROCESADOR	ver CPU.
MODEM	Modulador/Demodulador para convertir señales digitales a analógicas y vice-versa, para su transmisión por líneas ej: telefónicas
MONITOR	Programa supervisor que permite la interacción básica entre usuario y sistema digital de desarrollo.
MULTIPLEXOR	Circuito combinatorial que selecciona una de 2 a la n entradas de datos vía n entradas de selección, como salida.
MUX	Abreviatura de multiplexor.
NAND	Y negado, lógico.
NOR	O negado, lógico.
NOT	Negación lógica.
NVRAM	Memoria RAM no volátil implementada con un bloque EEPROM que respalda a la RAM mS antes de la interrupción total de alimentación

O.C.	Ver Open Collector.
OPEN COLLECTOR	Salida de un circuito electronico formada por un transistor cuyo colector debe conectarse a una resistencia externa tipo pull-up
OR	O logico.
PIN	Terminal. Aplicada a CIs y/o conectores.
PIV	Voltaje Pico Inverso de un diodo
PPI	Programmable Peripheral Interface.CI programable,interfaz electrica y logica entre el CPU y varios buses de lineas de I/O.
PRESET	Se emplea para referirse a una tecla que ejecuta una funcion pre-asignada. por ejemplo una posicion conocida de Az,El.
PUERTO	Conjunto de terminales de entrada/salida (I/O) de informacion.
PULL-DOWN	Conexion via resistencia a tierra de una salida para garantizar drenaje constante de corriente.
PULL-UP	Se refiere a la resistencia que se conecta a la salida o.c. de un CI a +V para garantizar cierto voltaje de salida de este.
PWM	Modulacion por Ancho de Pulso.
RAM	Random Access Memory. Memoria de Acceso Aleatorio cuyos contenidos pueden ser alterados en forma directa mediante escritura(WR).
REGISTRO	Almacenamiento temporal para un conjunto de bits. La carga puede ser en serie o en paralelo.

REGULACION CARGA

Razon entre el cambio del voltaje de salida y el cambio de la corriente de carga para una misma temperatura del regulador.

REGULACION LINEA

Razon entre el cambio de voltaje de salida y el cambio de voltaje de entrada, del regulador.

RFI

Radio Frequency Interference. Interferencia de radio frecuencia que afecta a los circuitos electronicos.

ROBOT

Del Checo Robota: trabajo. Se define como un manipulador programable que integra sensores y realiza tareas de ensamble.

ROM

Read Only Memory. Memoria de solo lectura no volatil. Sus contenidos son programados por fabricacion, electricamente, etc.

SLEW RATE

Razon de cambio, internamente limitada, del voltaje de salida ante una variacion escalon de relativa gran amplitud del de entrada.

SOFTWARE

Se refiere a la secuencia de instrucciones o programa que controla a un sistema digital

SRAM

RAM del tipo estatico. Sus contenidos no se pierden con el tiempo ie: no requiere de refresh. Generalmente son volatiles.

SUPERVISOR

Monitor.

SWITCH

Interruptor.

TAP

Derivacion de un devanado de un transformador.

TIEMPO REAL

Se refiere al tiempo en que transcurren los eventos del medio que rodea al sistema, en contraste con su reloj de sincronizacion.

TRANSCIEIVER

Circuito que permite el flujo bidireccional de informacion a traves de el,e integra funciones de buffer/driver de linea.

TRI-STATE

Tercer estado ie: estado de alta impedancia.

USART

Universal Synchronous/Asynchronous Receptor/Tansmitter. Permite la comunicacion paralelo-serie serie-paralelo del CPU y el medio

UVEPROM

Memoria ROM que permite borrado por exposicion a radiacion ultra-violeta (UV) y reprogramacion electrica.

WORD

Conjunto de bit considerados como unidad .

XOR

O exclusivo logico.

Apéndice 3
Especificaciones Técnicas

Apéndice 3 :

Especificaciones Técnicas

En este apéndice se incluyen especificaciones de algunos circuitos integrados, motores y módulo portatarjetas empleados. También se anexan datos de memorias no volátiles y otras, existentes en el mercado.

Las especificaciones se han agrupado bajo el siguiente índice :

- 1 Régulador conmutado de voltaje L296.
- 2 Microprocesador Z 80 .
- 3 USART 18251.
- 4 PPI 18255.
- 5 UVEPROM 2732.
- 6 / SRAM 6116.
- 7 Temporizador XR2240.
- 8 Line driver/receiver MC1488/MC1489.
- 9 Manejador de display 7218C1JI.
- 10 Manejador de teclado 74C923.
- 11 Reloj de tiempo real MM58167A.
- 12 Memorias varias.
- 13 Motores AIRPAX K82301-P1
- 14 Teclado de membrana Rapid Switch 2000.
- 15 Módulo Porta-tarjetas DESA 4100.
- 16 Tarjeta Punto Flotante.



HIGH CURRENT SWITCHING REGULATOR

- 4A OUTPUT CURRENT
- 5.1V TO 40V OUTPUT VOLTAGE RANGE
- 0 TO 100% DUTY CYCLE RANGE
- PRECISE ($\pm 2\%$) ON-CHIP REFERENCE
- SWITCHING FREQUENCY UP TO 200 KHZ
- VERY HIGH EFFICIENCY (UP TO 90%)
- VERY FEW EXTERNAL COMPONENTS
- SOFT START
- RESET OUTPUT
- CONTROL CIRCUIT FOR CROWBAR SCR
- INPUT FOR REMOTE INHIBIT AND SYNCHRONOUS PWM
- THERMAL SHUTDOWN

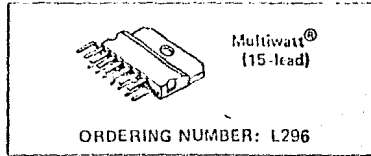
current limiting, soft start, remote inhibit, thermal protection, a reset output for microprocessors and a PWM comparator input for synchronization in multichip configurations.

The L296 is mounted in a 15-lead Multiwatt® plastic power package and requires very few external components.

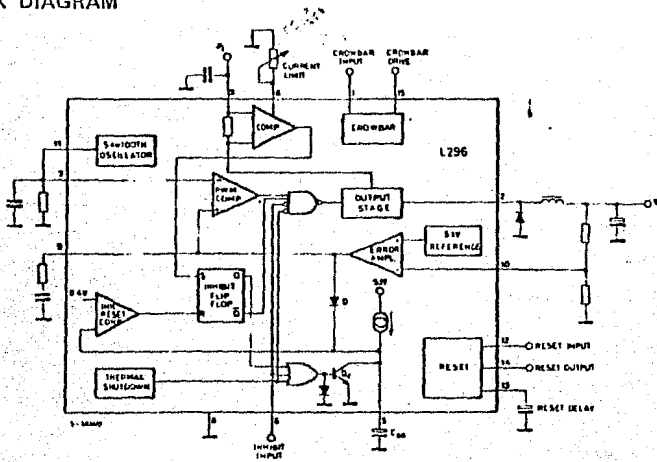
Efficient operation at switching frequencies up to 200kHz allows a reduction in the size and cost of external filter components. A voltage sense input and SCR drive output are provided for optional crowbar overvoltage protection with an external SCR.

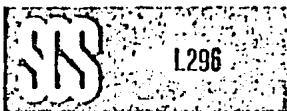
The L296 is a stepdown power switching regulator delivering 4A at a voltage variable from 5.1V to 40V.

Features of the device include programmable



BLOCK DIAGRAM





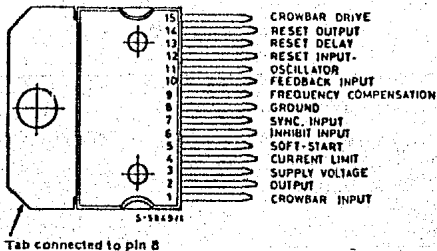
ABSOLUTE MAXIMUM RATINGS

V_1	Input voltage (pin 3)	50	V
$V_1 - V_2$	Input to output voltage difference	50	V
V_2	Output DC voltage	-1	V
	Output peak voltage at $t = 0.1 \mu\text{sec}$ $f = 200 \text{ kHz}$	-7	V
V_1, V_{12}	Voltage at pins 1, 12	10	V
V_6, V_{15}	Voltage at pins 6, and 15	15	V
V_4, V_5, V_7, V_9	Voltage at pins 4, 5, 7 and 9	5.5	V
V_{10}, V_6	Voltage at pins 10 and 6	7	V
V_{14}	Voltage at pin 14 ($I_{14} \leq 1 \text{ mA}$)	V_i	
I_9	Pin 9 sink current	1	mA
I_{11}	Pin 11 source current	20	mA
I_{14}	Pin 14 sink current ($V_{14} < 5\text{V}$)	50	mA
P_{tot}	Power dissipation at $T_{case} \leq 90^\circ\text{C}$	20	W
T_j, T_{stg}	Junction and storage temperature	-40 to 150	$^\circ\text{C}$

THERMAL DATA

$R_{th \text{ J-case}}$	Thermal resistance junction-case	max	3	$^\circ\text{C/W}$
$R_{th \text{ J-amb}}$	Thermal resistance junction-ambient	max	35	$^\circ\text{C/W}$

CONNECTION DIAGRAM (top view)



CIRCUIT OPERATION (continued)

Fig. 1 - Reset output waveforms

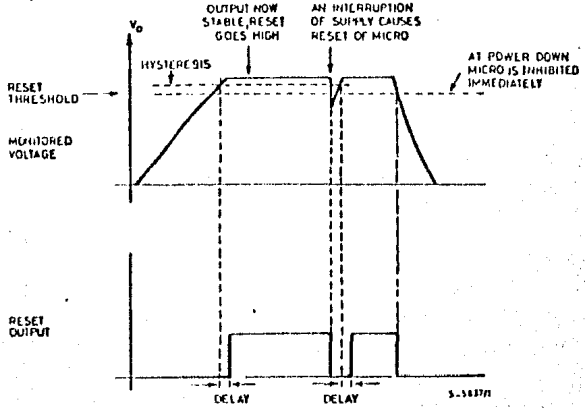


Fig. 2 - Soft start waveforms

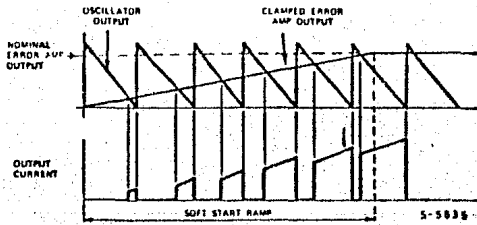
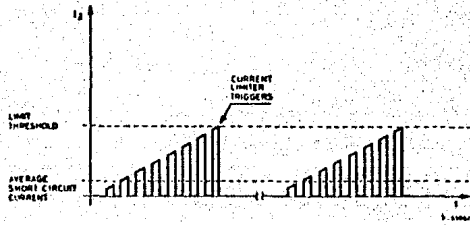
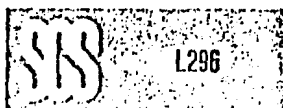


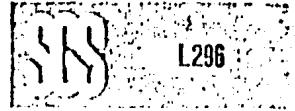
Fig. 3 - Current limiter waveforms





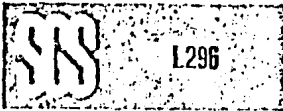
ELECTRICAL CHARACTERISTICS (Refer to the test circuits $T_j = 25^\circ\text{C}$, $V_i = 35\text{V}$, unless otherwise specified)

Parameter	Test Conditions	Min.	Typ.	Max.	Unit	Fig.	
DYNAMIC CHARACTERISTICS (pin 6 to GND unless otherwise specified)							
V_o Output voltage range	$V_i = 46\text{V}$ $I_o = 1\text{A}$	V_{ref}		40	V	4	
V_i Input voltage range	$V_o = V_{ref}$ to 36V $I_o = 4\text{A}$	9		46	V	4	
ΔV_o Line regulation	$V_i = 10\text{V}$ to 40V, $V_o = V_{ref}$, $I_o = 2\text{A}$		15	50	mV	4	
ΔV_o Load regulation	$V_o = V_{ref}$	$I_o = 2\text{A}$ to 4A	10	30	mV	4	
		$I_o = 0.5\text{A}$ to 4A	15	45	mV	4	
V_{ref} Internal reference voltage (pin 10)	$V_i = 9\text{V}$ to 46V $I_o = 2\text{A}$	5	5.1	5.2	V	4	
$\frac{\Delta V_{ref}}{\Delta T}$ Average temperature coefficient of reference voltage	$T_j = 0^\circ\text{C}$ to 125°C $I_o = 2\text{A}$		0.4		mV/°C		
V_d Dropout voltage between pin 2 and pin 3	$I_o = 4\text{A}$		2	3.2	V	4	
	$I_o = 2\text{A}$		1.3	2.1	V	4	
I_{om} Maximum operating load current	$V_i = 9\text{V}$ to 46V, $V_o = V_{ref}$ to 36 V	4			A	4	
I_{2L} Current limiting threshold (pin 2)	$V_i = 9\text{V}$ to 46V $V_o = V_{ref}$ to 40V	Pin 4 open		8	A	4	
		$R_{lim} = 33\text{ k}\Omega$	2.5		A	4	
I_{SH} Input average current	$V_i = 46\text{V}$; Output short-circuited		60	100	mA	4	
η Efficiency	$I_o = 3\text{A}$	$V_o = V_{ref}$	75		%	4	
		$V_o = 12\text{V}$	85		%	4	
SVR Supply voltage ripple rejection	$\Delta V_i = 2 V_{rms}$ $f_{ripple} = 100\text{ Hz}$ $I_o = 2\text{A}$		50	56	dB	4	
f Switching frequency		85	100	116	kHz	4	
$\frac{\Delta f}{\Delta V_i}$ Voltage stability of switching frequency	$V_i = 9\text{V}$ to 46V		0.5		%	4	
$\frac{\Delta f}{\Delta T_j}$ Temperature stability of switching frequency	$T_j = 0^\circ\text{C}$ to 125°C		1		%	4	
f_{max} Maximum operating switching frequency	$V_o = V_{ref}$ $I_o = 1\text{A}$	200			kHz	—	
T_{sd} Thermal shutdown junction temperature		135	145		°C	—	
DC CHARACTERISTICS							
I_{3Q} Quiescent drain current	$V_i = 46\text{V}$ $V_2 = 0\text{V}$ S1:B S2:B	$V_6 = 0\text{V}$		66	85	mA	6a
		$V_6 = 3\text{V}$		30	40	mA	6a
$-I_{2L}$ Output leakage current	$V_i = 46\text{V}, V_6 = 3\text{V}, S1:B, S2:A, V7 = 0\text{V}$			2	mA	6a	



ELECTRICAL CHARACTERISTICS (continued)

Parameter	Test Conditions	Min.	Typ.	Max.	Unit	Fig.
SOFT START						
I_{510} Source current	$V_6 = 0V, V_5 = 3V$	100	130	160	μA	6b
I_{511} Sink current	$V_6 = 3V, V_5 = 3V$	50	70	120	μA	6b
INHIBIT						
V_{6L} Low input voltage	$V_1 = 9V$ to 46V S1 : B S2 : B	-0.3		0.8	V	6a
V_{6H} High input voltage	$V_7 = 0V$	2		5.5	V	6a
$-I_{6L}$ Input current with low input voltage	$V_1 = 9V$ to 46V $V_7 = 0V$ S1 : B S2 : B			10	μA	6a
$-I_{6H}$ Input current with high input voltage	$V_6 = 0.8V$ $V_6 = 2V$			3	μA	6a
ERROR AMPLIFIER						
V_{9H} High level output voltage	$V_{10} = 4.7V, I_9 = 100\mu A, S1 : A, S2 : A$	3.5			V	6c
V_{9L} Low level output volt.	$V_{10} = 5.3V, I_9 = 100\mu A, S1 : A, S2 : E$			0.5	V	6c
I_{911} Sink output current	$V_{10} = 5.3V, S1 : A, S2 : B$	100	150		μA	6c
$-I_{910}$ Source output current	$V_{10} = 4.7V, S1 : A, S2 : D$	100	150		μA	6c
I_{10} Input bias current	$V_{10} = 5.2V, S1 : B$		2	10	μA	6c
G_v DC open loop Gain	$V_9 = 1V$ to 3V, S1 : A, S2 : C	46	55		dB	6c
OSCILLATOR AND PWM COMPARATOR						
$-I_7$ Input bias current of PWM comparator	$V_7 = 0.5V$ to 3.5V			5	μA	6a
$-I_{11}$ Oscillator source current	$V_{11} = 2V, S1 : A, S2 : B$	5			mA	6a
RESET						
V_{12R} Rising threshold voltage	$V_1 = 9V$ to 46V, S1 : B, S2 : B	$V_{ref} = -150mV$	$V_{ref} = -100mV$	$V_{ref} = -50mV$	V	6d
V_{12F} Falling threshold voltage		4.75	$V_{ref} = -150mV$	$V_{ref} = -100mV$	V	6d
V_{13D} Delay threshold voltage	$V_{12} = 5.3V, S1 : A, S2 : B$	4.3	4.5	4.7	V	6d
V_{13H} Delay threshold voltage hysteresis			100		mV	6d
V_{145} Output saturation volt.	$I_{14} = 16mA, V_{12} = 4.7V, S1, S2 : B$			0.4	V	6d
I_{12} Input bias current	$V_{12} = 0V$ to $V_{ref}, S1 : B, S2 : B$		1	3	μA	6d
$-I_{1310}$ Delay source current	$V_{13} = 3V, S1 : A, S2 : B$	$V_{12} = 5.3V$	70	110	μA	6d
I_{1311} Delay sink current		$V_{12} = 4.7V$	10		mA	6d
I_{14} Output leakage current	$V_1 = 46V, V_{12} = 5.3V, S1 : B, S2 : A$			100	μA	6d



ELECTRICAL CHARACTERISTICS (continued)

Parameter	Test Condition	Min.	Typ.	Max.	Unit	Fig.
CROWBAR						
V_1 Input threshold voltage	S1 : B	5.5	6	6.4	V	6b
V_{15} Output saturation voltage	$V_1 = 9V$ to $46V$, $I_{15} = 5mA$ $V_2 = 5.4V$ S1 : A		0.2	0.4	V	6b
I_1 Input bias current	$V_1 = 6V$, S1 : B			10	μA	6b
$-I_{15}$ Output source current	$V_1 = 9V$ to $46V$, $V_{15} = 2V$ $V_2 = 6.5V$ S1 : B	70	100		mA	6b

Fig. 4 - Dynamic test circuit

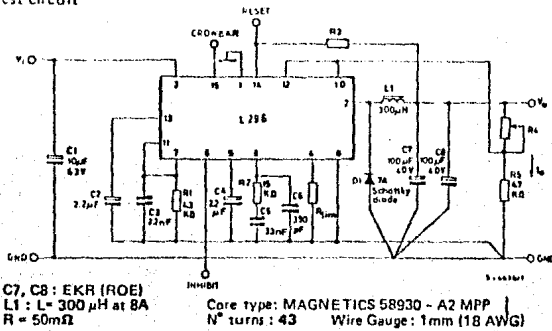
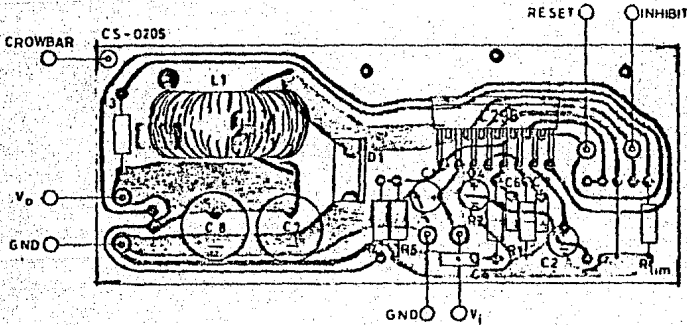


Fig. 5 - PC. board and component layout of the circuit of fig. 4 (1:1 scale)



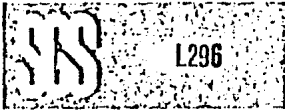


Fig. 7 - Quiescent drain current vs. supply voltage (0% duty cycle - see fig. 6a)

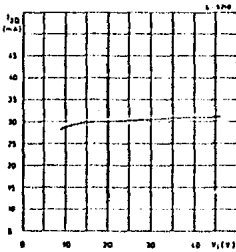


Fig. 8 - Quiescent drain current vs. supply voltage (100% duty cycle see fig. 6a)

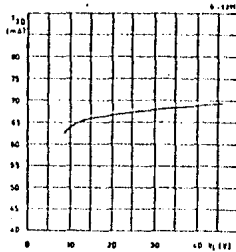


Fig. 9 - Quiescent drain current vs. junction temperature (0% duty cycle - see fig. 6a)

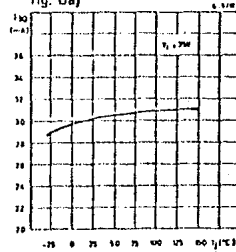


Fig. 10 - Quiescent drain current vs. junction temperature (100% duty cycle - see fig. 6a)

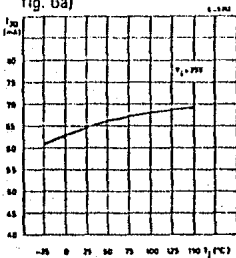


Fig. 11 - Reference voltage (pin 10) vs. V_1 (see fig. 4)

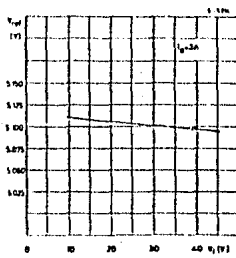


Fig. 12 - Reference voltage (pin 10) vs. junction temperature (see fig. 4)

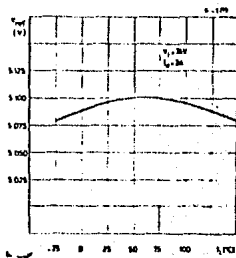


Fig. 13 - Open loop frequency and phase response of error amplifier (see fig. 6c)

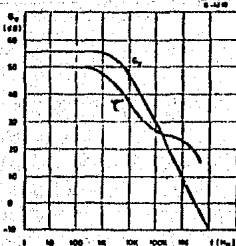


Fig. 14 - Switching frequency vs. input voltage (see fig. 4)

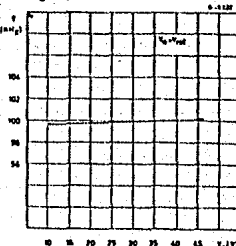
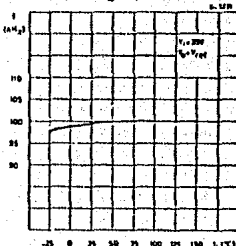


Fig. 15 - Switching frequency vs. junction temperature (see fig. 4)



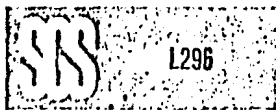


Fig. 16 - Switching frequency vs. R1 (see fig. 4)

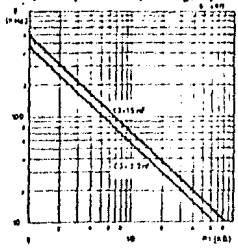


Fig. 17 - Line transient response (see fig. 4)

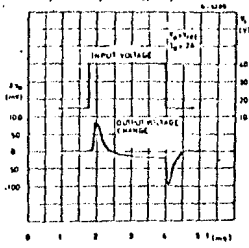


Fig. 18 - Load transient response (see fig. 4)

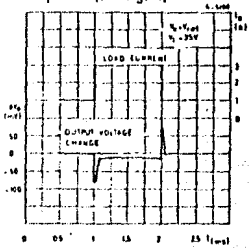


Fig. 19 - Supply voltage ripple rejection vs. frequency (see fig. 4)

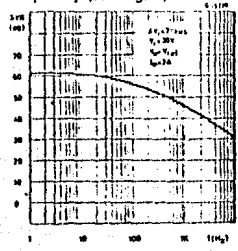


Fig. 20 - Dropout voltage between pin 3 and pin 2 vs. current at pin 2

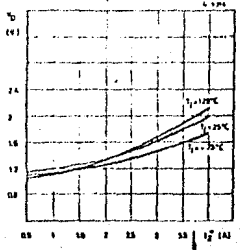


Fig. 21 - Dropout voltage between pin 3 and pin 2 vs. junction temperature

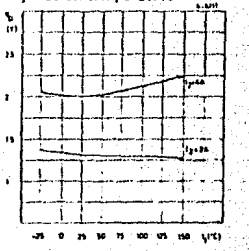


Fig. 22 - Power dissipation derating curve

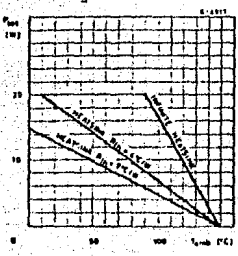


Fig. 23 - Power dissipation (L296 only) vs. input voltage

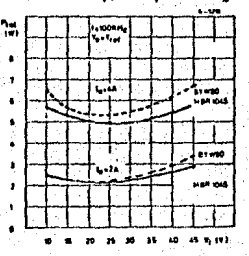
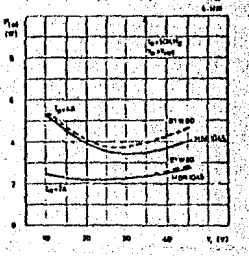


Fig. 24 - Power dissipation (L296 only) vs. input voltage





L296

Fig. 25 - Power dissipation (L296 only) vs. output voltage (see fig. 4)

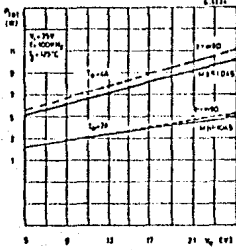


Fig. 26 - Power dissipation (L296 only) vs. output current (see fig. 4)

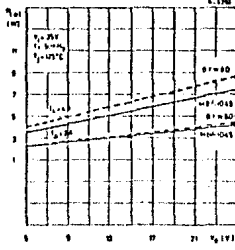


Fig. 27 - Voltage and current waveforms at pin 2 (see fig. 4)

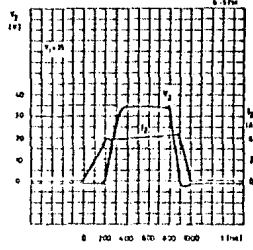


Fig. 28 - Efficiency vs. output current

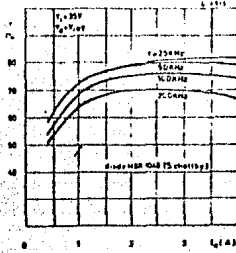


Fig. 29 - Efficiency vs. output voltage

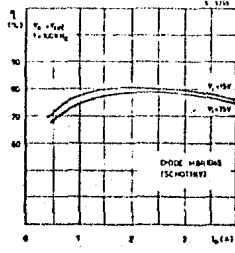
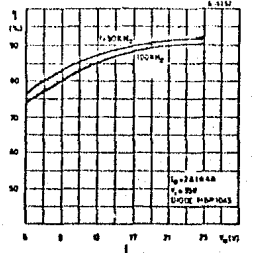


Fig. 30 - Efficiency vs. output voltage



APPLICATION INFORMATION

CHOOSING THE INDUCTOR AND CAPACITOR

The input and output capacitors of the L296 must have a low ESR and low inductance at high current ripple.

Preferably, the inductor should be a toroidal type or wound on a Moly-Permalloy nucleus. Saturation must not occur at current levels below 1.5 times the current limiter level. MPP nuclei have very soft saturation characteristics.

$$L = \frac{(V_i - V_o) V_o}{V_i f \Delta I_L}$$

$$C = \frac{(V_i - V_o) V_o}{8L f^2 \Delta V_o}$$

f = frequency

ΔI_L = Inductance current ripple

ΔV_o = Output ripple voltage

Fig. B1 - EMI measurements with a capacitor connected across the primary transformer with screen grounded (A) and floating (B)

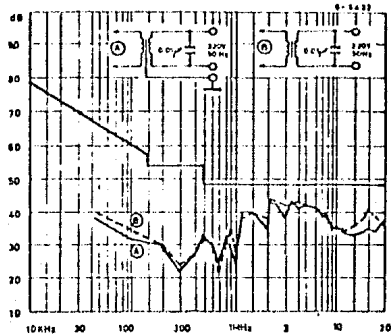
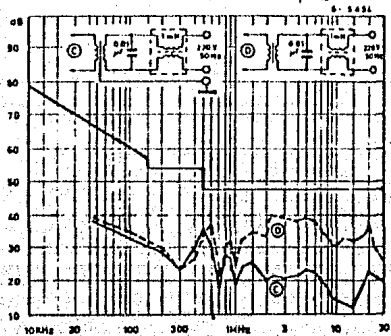


Fig. B2 - EMI results with the addition of an inductive filter on the mains input.



Z80[®]-CPU Z80A-CPU

Product Specification

MARCH 1978

The Zilog Z80 product line is a complete set of micro-computer components, development systems and support software. The Z80 microcomputer component set includes all of the circuits necessary to build high-performance microcomputer systems with virtually no other logic and a minimum number of low cost standard memory elements.

The Z80 and Z80A CPU's are third generation single chip microprocessors with unrivaled computational power. This increased computational power results in higher system throughput and more efficient memory utilization when compared to second generation microprocessors. In addition, the Z80 and Z80A CPU's are very easy to implement into a system because of their single voltage requirement plus all output signals are fully decoded and timed to control standard memory or peripheral circuits. The circuit is implemented using an N-channel, ion implanted, silicon MOS process.

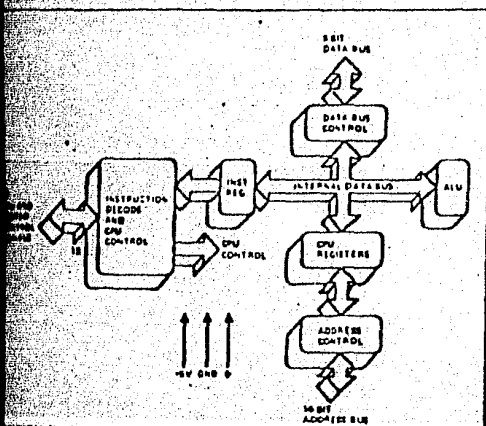
Figure 1 is a block diagram of the CPU, Figure 2 details internal register configuration which contains 208 bits read/write memory that are accessible to the programmer. The registers include two sets of six general purpose registers that may be used individually as 8-bit registers or 16-bit register pairs. There are also two sets of accumulator and flag registers. The programmer has access to either main or alternate registers through a group of exchange instructions. This alternate set allows foreground/background mode of operation or may be reserved for very fast interrupt response. Each CPU also contains a 16-bit pointer which permits simple implementation of

multiple level interrupts, unlimited subroutine nesting and simplification of many types of data handling.

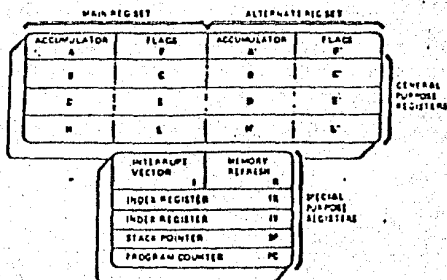
The two 16-bit index registers allow tabular data manipulation and easy implementation of relocatable code. The Refresh register provides for automatic, totally transparent refresh of external dynamic memories. The I register is used in a powerful interrupt response mode to form the upper 8 bits of a pointer to an interrupt service address table, while the interrupting device supplies the lower 8 bits of the pointer. An indirect call is then made to this service address.

FEATURES

- Single chip, N-channel Silicon Gate CPU.
- 158 instructions—includes all 78 of the 8080A instructions with total software compatibility. New instructions include 4-, 8-, and 16-bit operations with more useful addressing modes such as indexed, bit and relative.
- 17 internal registers.
- Three modes of fast interrupt response plus a non-maskable interrupt.
- Directly interfaces standard speed static or dynamic memories with virtually no external logic.
- 1.0 μ s instruction execution speed.
- Single 5 VDC supply and single-phase 5 volt Clock.
- Out-performs any other single chip microcomputer in 4-, 8-, or 16-bit applications.
- All pins TTL Compatible
- Built-in dynamic RAM refresh circuitry.

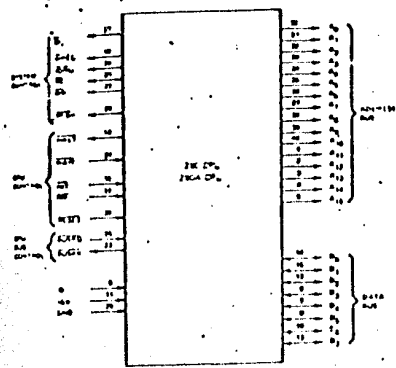


Z80, Z80A CPU BLOCK DIAGRAM



Z80, Z80A CPU REGISTERS

8080, Z80A-CPU Pin Description



Z80, Z80A CPU PIN CONFIGURATION

A15 Address Bus
Tri-state output, active high. A0-A15 constitute a 16-bit address bus. The address bus provides the address for memory (up to 64K bytes) data exchanges and for I/O device data exchanges.

D0-D7 Data Bus
Tri-state input/output, active high. D0-D7 constitute an 8-bit bidirectional data bus. The data bus is used for data exchanges with memory and I/O devices.

Machine Cycle
Output, active low. $\overline{M1}$ indicates that the current machine cycle is the OP code fetch cycle of an instruction execution.

Memory Request
Tri-state output, active low. The memory request signal indicates that the address bus holds a valid address for a memory read or memory write operation.

I/O Request
Tri-state output, active low. The \overline{IORQ} signal indicates that the lower half of the address bus holds a valid I/O address for a I/O read or write operation. An \overline{IORQ} signal is also generated when an interrupt is being acknowledged to indicate that an interrupt response vector can be placed on the data bus.

Memory Read
Tri-state output, active low. \overline{RD} indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

Memory Write
Tri-state output, active low. \overline{WR} indicates that the CPU data bus holds valid data to be stored in the addressed memory or I/O device.

\overline{RFSH}
(Refresh)

Output, active low. \overline{RFSH} indicates that the lower 7 bits of the address bus contain a refresh address for dynamic memories and the current \overline{MREQ} signal should be used to do a refresh read to all dynamic memories.

\overline{HALT}
(Halt state)

Output, active low. \overline{HALT} indicates that the CPU has executed a \overline{HALT} software instruction and is awaiting either a non-maskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOP's to maintain memory refresh activity.

\overline{WAIT}
(Wait)

Input, active low. \overline{WAIT} indicates to the Z-80 CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter wait states for as long as this signal is active.

\overline{INT}
(Interrupt Request)

Input, active low. The Interrupt Request signal is generated by I/O devices. A request will be honored at the end of the current instruction if the internal software controlled interrupt enable flip-flop (IFF) is enabled.

\overline{NMI}
(Non Maskable Interrupt)

Input, active low. The non-maskable interrupt request line has a higher priority than \overline{INT} and is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop. \overline{NMI} automatically forces the Z-80 CPU to restart to location 0066H.

\overline{RESET}

Input, active low. \overline{RESET} initializes the CPU as follows: reset interrupt enable flip-flop, clear PC and registers I and R and set interrupt to 8080A mode. During reset time, the address and data bus go to a high impedance state and all control output signals go to the inactive state.

\overline{BUSRQ}
(Bus Request)

Input, active low. The bus request signal has a higher priority than \overline{NMI} and is always recognized at the end of the current machine cycle and is used to request the CPU address bus, data bus and tri-state output control signals to go to a high impedance state so that other devices can control these busses.

\overline{BUSAK}
(Bus Acknowledge)

Output, active low. Bus acknowledge is used to indicate to the requesting device that the CPU address bus, data bus and tri-state control bus signals have been set to their high impedance state and the external device can now control these signals.



8251A PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
- Synchronous 5-8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous 5-8 Bit Characters; Clock Rate—1, 16 or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2 Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Synchronous Baud Rate—DC to 64K Baud
- Asynchronous Baud Rate—DC to 19.2K Baud
- Full-Duplex, Double-Buffered Transmitter and Receiver
- Error Detection—Parity, Overrun and Framing
- Compatible with an Extended Range of Intel Microprocessors
- 28-Pin DIP Package
- All Inputs and Outputs are TTL Compatible
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8251A is the enhanced version of the industry standard, Intel 8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's microprocessor families such as MCS-48, 80, 85, and iAPX-86, 83. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM "bi-sync"). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is fabricated using N-channel silicon gate technology.

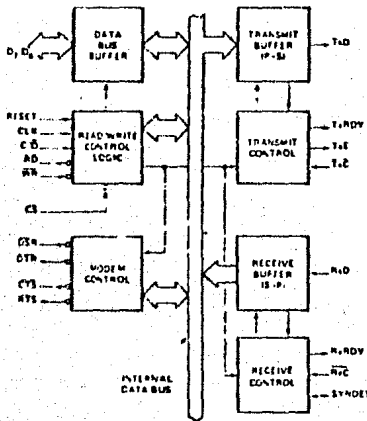


Figure 1. Block Diagram

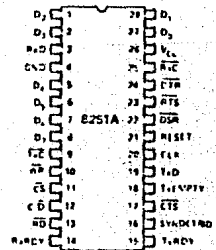


Figure 2. Pin Configuration



8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available In EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

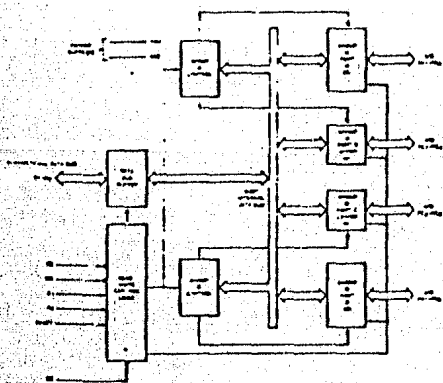


Figure 1. 8255A Block Diagram

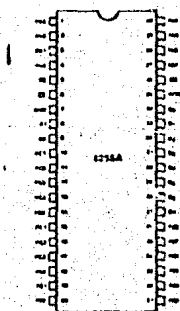


Figure 2. Pin Configuration



2732A 32K (4K x 8) UV ERASABLE PROM

- 200 ns (2732A-2) Maximum Access Time... HMOS*-E Technology
- Compatible with High-Speed 8MHz iAPX 186...Zero WAIT State
- Two Line Control
- Compatible with 12 MHz 8051 Family
- Industry Standard Pinout... JEDEC Approved
- Low Standby Current...30 mA Maximum
- $\pm 10\% V_{CC}$ Tolerance Available
- Intelligent Identifier™ Mode
- TTL Compatible

The Intel 2732A is a 5V only, 32,768 bit ultraviolet erasable and electrically programmable read-only-memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is the separate output control, Output Enable (\overline{OE}), from the Chip Enable control (\overline{CE}). The \overline{OE} control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the \overline{OE} and \overline{CE} controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces power consumption without increasing access time. The maximum active current is 125 mA, while the maximum standby current is only 35 mA, a 70% saving. The standby mode is selected by applying the TTL-high signal to the \overline{CE} input.

The 2732A is fabricated with HMOS*-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

*HMOS is a patented process of Intel Corporation.

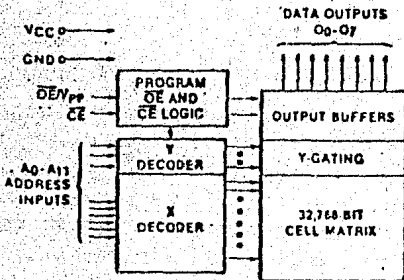


Figure 1. Block Diagram

PIN NAMES

A ₀ -A ₁₁	ADDRESSES
CE	CHIP ENABLE
\overline{OE} , V _{pp}	OUTPUT ENABLE; V _{pp}
O ₀ -O ₇	OUTPUTS

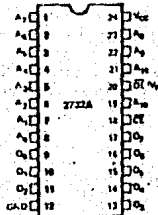


Figure 2. Pin Configuration

HM6116P-2, HM6116P-3, HM6116P-4

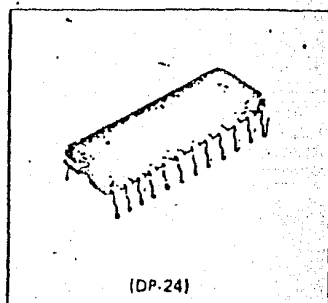
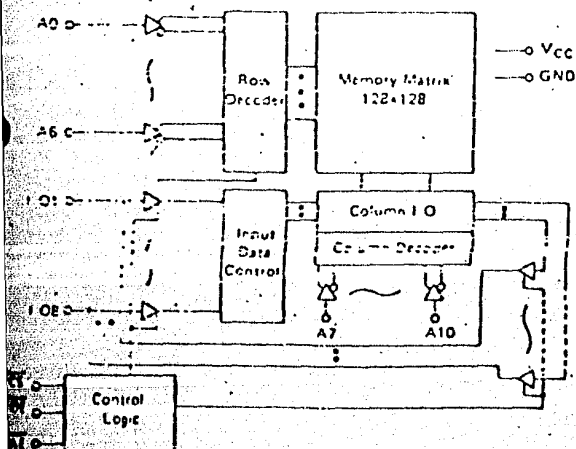
© (H) (A) (C) (H)

2048-word X 6-bit High Speed Static CMOS RAM

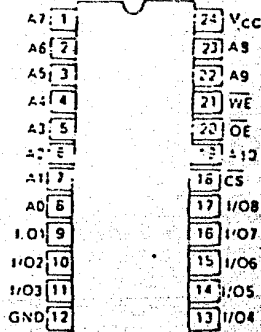
FEATURES

- Single 5V Supply and High Density 24 pin Package
- High Speed: Fast Access Time 120ns/150ns/200ns (max.)
- Low Power Standby and Low Power Operation; Standby: 100 μ W (typ.)
Operation: 180mW (typ.)
- Completely Static RAM. No clock or Timing Strobe Required
- Directly TTL Compatible: All Input and Output
- Pin Out Compatible with Standard 16K EPROM, MASK ROM
- Equal Access and Cycle Time

FUNCTIONAL BLOCK DIAGRAM



PIN ARRANGEMENT



ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on Any Pin Relative to GND	V_{IX}	-0.5 to +7.0	V
Operating Temperature	T_{opr}	0 to +70	$^{\circ}$ C
Storage Temperature	T_{stg}	-55 to +125	$^{\circ}$ C
Temperature Under Bias	T_{bias}	-10 to +85	$^{\circ}$ C
Power Dissipation	P_T	1.0	W

TRUTH TABLE

CS	OE	WE	Mode	I_{CC} Current	I/O Pin	Ref. Cycle
H	X	X	Not Selected	I_{sb}, I_{sb1}	High Z	
L	L	H	Read	I_{cc}	D_{out}	Read Cycle (1) - (3)
L	H	L	Write	I_{cc}	D_{in}	Write Cycle (1)
L	L	L	Write	I_{cc}	D_{in}	Write Cycle (2)

μA2240

PROGRAMMABLE TIMER/COUNTER FAIRCHILD LINEAR INTEGRATED CIRCUITS

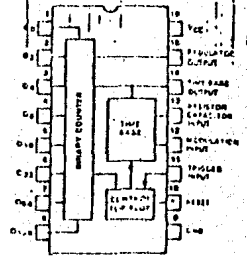
GENERAL DESCRIPTION: The μA2240 Programmable Timer/Counter is a monolithic controller capable of producing accurate millisecond to five day time delays. Long delays, up to three years, can easily be generated by cascading two timers. The timer consists of a time base oscillator, programmable 8-bit counter and control flip flop. An external resistor/capacitor (RC) network sets the oscillator frequency and allows delay times from 1 RC to 255 RC to be selected. In the stable mode of operation, 255 frequencies or pulse patterns can be generated from a single RC network. These frequencies or pulse patterns can also easily be synchronized to an external signal. The trigger, reset and outputs are all TTL and DTL compatible for easy interface with digital systems. The timer's high accuracy and versatility in producing a wide range of time delays makes it ideal as a direct replacement for mechanical or electromechanical devices.

- ACCURATE TIMING FROM MICROSECONDS TO DAYS
- PROGRAMMABLE DELAYS FROM 1 RC TO 255 RC
- TTL, DTL AND CMOS COMPATIBLE OUTPUTS
- TIMING DIRECTLY PROPORTIONAL TO RC TIME CONSTANT
- HIGH ACCURACY - 0.5%
- EXTERNAL SYNC AND MODULATION CAPABILITY
- WIDE SUPPLY VOLTAGE RANGE
- EXCELLENT SUPPLY VOLTAGE REJECTION

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	18 V
Output Current	10 mA
Output Voltage	18 V
Input/Output Current	5 mA
Maximum Power Dissipation, Note 1	
Package Code D (Ceramic)	750 mW
Code P (Plastic)	650 mW
Operating Temperature Range Package	
Military (μA2240)	-55°C to +125°C
Commercial (μA2240C)	0°C to 70°C

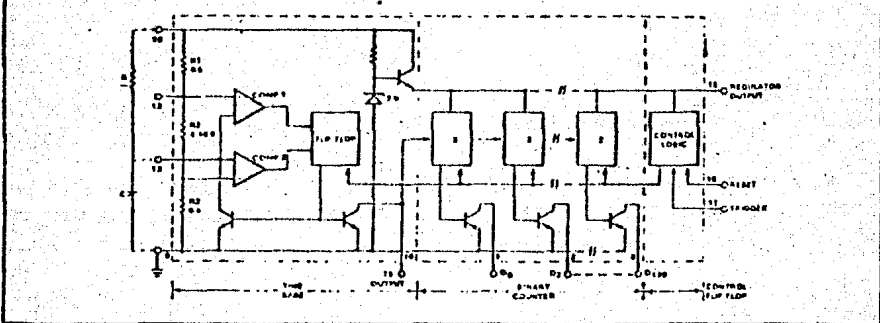
**CONNECTION DIAGRAM
16-PIN DIP (TOP VIEW)
PACKAGE OUTLINES 78, 98
PACKAGE CODE D P**



ORDER INFORMATION

TYPE	PART NO.
μA2240	μA2240DM
μA2240C	μA2240DC
μA2240D	μA2240PC

BLOCK DIAGRAM



NOTE 1: Above 25°C ambient derate linearly at 5.2 mW/°C for Package Code D and at 5.3 mW/°C for Package Code P.

MC1488

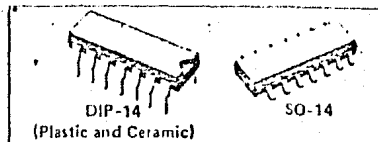
LINEAR INTEGRATED CIRCUITS

PRELIMINARY DATA

RS232C QUAD LINE DRIVER

- CURRENT LIMITED OUTPUT $\pm 10\text{mA}$ TYP.
- POWER-OFF SOURCE IMPEDANCE 300Ω MIN.
- SIMPLE SLEW RATE CONTROL WITH EXTERNAL CAPACITOR
- FLEXIBLE OPERATING SUPPLY RANGE
- INPUTS ARE TTL AND μP COMPATIBLE

formance with the specifications of EIA Standard No. RS232C.



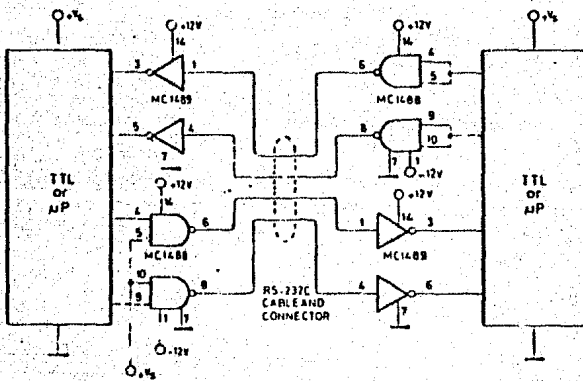
The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in con-

ORDERING NUMBER: MC1488P (Plastic DIP)
MC1488L (Ceramic DIP)
MC1488D (SO-14)

ABSOLUTE MAXIMUM RATINGS

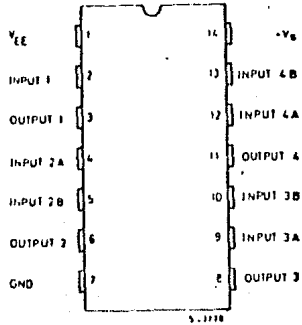
V_S	Power supply voltage	15	V
V_{EE}	Power supply voltage	-15	V
V_{IR}	Input voltage range	$-15 < V_{IR} < 7$	V
V_O	Output signal voltage	± 15	V
T_{amb}	Operating ambient temperature	0 to 75	$^{\circ}\text{C}$
T_{stg}	Storage temperature range	-65 to 150	$^{\circ}\text{C}$

Typical Application: RS232C data transmission

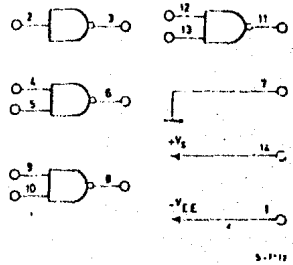


MC1488

CONNECTION DIAGRAM
(top view)



LOGIC DIAGRAM



THERMAL DATA

		Plastic DIP-14	Ceramic DIP-14	SO-14
$R_{th(j-amb)}$	Thermal resistance junction-ambient	max	200°C/W	165°C/W

ELECTRICAL CHARACTERISTICS ($V_S = 9 \pm 10\% V$, $V_{EE} = -9 \pm 10\% V$, $T_{amb} = 0$ to $75^\circ C$ unless otherwise specified)

Parameters	Test Conditions	Min.	Typ.	Max.	Unit	Fig.
I_{IL} Input current	Low logic state ($V_{IL} = 0$)		1	1.6	mA	1
I_{IH} Input current	High logic state ($V_{IH} = 5V$)			10	μA	1
V_{OH} Output voltage	High logic state $R_L = 3K\Omega$ $V_{IL} = 0.8V, V_S = 9V, V_{EE} = -9V$ $V_{IL} = 0.8V, V_S = 13.2V, V_{EE} = -13.2V$	6	7	9	V	2
V_{OL} Output voltage	Low logic state $R_L = 3K\Omega$ $V_{IH} = 1.9V, V_{EE} = -9V, V_S = 9V$ $V_{IH} = 1.9V, V_{EE} = -13.2V, V_S = 13.2V$	-6	-7	-9	V	2
I_{OS+} Positive output short-circuit current		6	10	12	mA	3
I_{OS-} Negative output short-circuit current		-6	-10	-12	mA	3
R_o Output resistance	$V_S = V_{EE} = 0$ $ V_o = \pm 2V$	300			Ω	4

MC1489
MC1489A

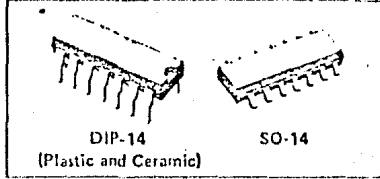
LINEAR INTEGRATED CIRCUITS

QUAD LINE RECEIVERS

- INPUT RESISTANCE – 3.0K to 7.0K Ω
- INPUT SIGNAL RANGE – $\pm 30V$
- INPUT THRESHOLD HYSTERESIS BUILT-IN
- RESPONSE CONTROL:
 - a) LOGIC THRESHOLD SHIFTING
 - b) INPUT NOISE FILTERING

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment

with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

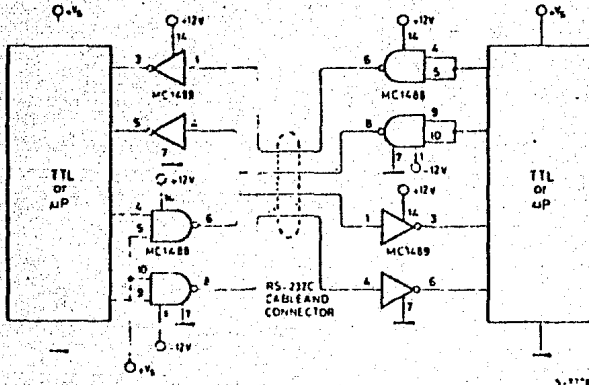


ABSOLUTE MAXIMUM RATINGS

V_S	Power supply voltage	10	V
V_I	Input voltage range	± 30	V
I_{OL}	Output load current	20	mA
P_{tot}	Power dissipation	1	W
T_{amb}	Operating ambient temperature	0 to 75	$^{\circ}C$
T_{stg}	Storage temperature range	-65 to 150	$^{\circ}C$

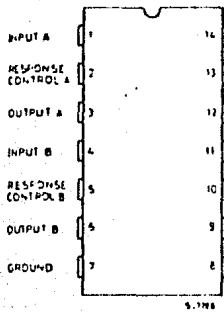
ORDERING NUMBER: MC1489L, MC1489AL (DIP-14 Ceramic)
MC1489P, MC1489AP (DIP-14 Plastic)
MC1489D, MC1489AD (SO-14)

Typical Application: RS232C data transmission

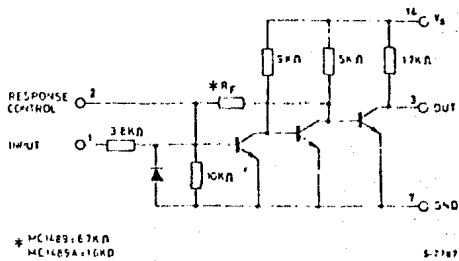


MC1489
MC1489A

CONNECTION DIAGRAM
(Top view)



SCHEMATIC DIAGRAM (1/4 of circuit shown)



* MC1489: 67KΩ
MC1489A: 16KΩ

5-7187

ELECTRICAL CHARACTERISTICS (Response control pin is open; $V_S = 5V$, $T_{amb} = 0$ to $75^\circ C$ unless otherwise specified)

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{IH}	Positive input current $V_{IH} = 2.5V$ $V_{IH} = 3V$	3.6 0.43		8.3	mA
I_{IL}	Negative input current $V_{IL} = -2.5V$ $V_{IL} = -3V$	-3.6 -0.43		-8.3	mA
V_{IH}	Input Turn-on threshold voltage $T_{amb} = 25^\circ C$ $I_L = -0.5mA$ $V_{OH} > 2.5V$ for MC1489 for MC1489A	1 1.75	1.95	1.5 2.25	V
V_{IL}	Input Turn-off threshold voltage $T_{amb} = 25^\circ C$ $I_L = -0.5A$ $V_{OH} > 2.5V$ for MC1489 for MC1489A	0.75 0.75	0.8	1.25 1.25	V
V_{OH}	Output voltage high $V_{IH} = 0.75V$ $I_L = 0.5mA$ input open circuit	2.5 2.5	4	5 5	V
V_{OL}	Output voltage low $V_{IL} = 3V$ $I_L = 10mA$		0.2	0.45	V
I_{OS}	Output short circuit current		-3	-4	mA
I_S	Power supply current All gates "on" $V_{IH} = 5V$ $I_O = 0mA$		16	26	mA
P_C	Power consumption $V_{IH} = 5V$		80	130	mW

SWITCHING CHARACTERISTICS ($V_S = 5V$, $T_{amb} = 25^\circ C$, see Fig. 1)

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
t_{PLM}	Propagation Delay time $R_L = 3.9K\Omega$		25	85	ns
t_{TLH}	Rise time $R_L = 3.9K\Omega$		120	175	ns
t_{PHL}	Propagation Delay time $R_L = 390K\Omega$		25	50	ns
t_{THL}	Fall time $R_L = 390K\Omega$		10	20	ns



ICM7218 Series CMOS Universal 8 Digit LED Driver System

FEATURES

- Total circuit integration on chip includes:
 - a) Digit and segment drivers
 - b) All multiplex scan circuitry
 - c) 8x8 static memory
 - d) 7 segment Hexadecimal and Code B decoders
- Output drive suitable for large LED displays
- Both common anode and common cathode LED drive versions
- Single 5 volt supply required
- Data retention to 2 volts supply
- Shutdown feature - turns off display and puts chip into very low power dissipation mode
- Pin selectable choice of 2 seven segment decoders - Hexa or Code B - or no decode
- Microprocessor compatible
- Serial and random access versions
- Decimal point drive on each digit

GENERAL DESCRIPTION

The ICM7218 series of universal LED driver systems provide, in a single package, all the circuitry necessary to interface most common microprocessors or digital systems and an LED display. Included on chip is an 8x8 static memory array providing storage for the displayed information, 2 types of 7 segment decoders, all the multiplex scan circuitry and the high power digit and segment drivers.

The ICM7218A and ICM7218B are intended to be used primarily in microprocessor systems. Data is read directly from the I/O bus line from the microprocessor. 2 Control lines (Write, and Model define chip select, which reads either 4 bits of control information (Data Coming, Shutdown, Decode, Hexa or Code B Decoding) or 8 bits of Display Input Data. Display Input Data (8 words, 8 bits each) is automatically sequenced into the memory on successive positive going Write pulses. Data may be displayed either directly or decoded in Hexadecimal or Code B formats. The ICM7218A drives a common anode display while the ICM7218B drives a common cathode display. (See Block Diagram 1)

The ICM7218C and ICM7218D feature 2 lines for control information (Write, Three Level Input, Hexa Code B, Shutdown), 4 lines for Input Data and 3 lines for Data Addressing of each of eight data memory locations.

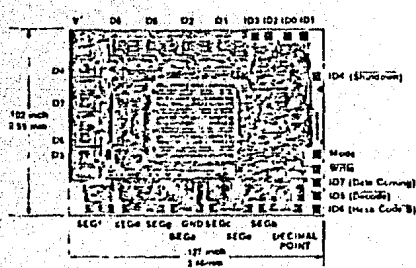
Data is written to memory by setting up a Data Address memory location, defining 4 lines of Input Data and then strobe the Write line low. The Three Level Control Input is independent of the Write instruction. Only Hexadecimal and Code B decoding are available for the Display Outputs. The ICM7218C drives a common anode display, the ICM7218D a common cathode display. (See Block Diagram 2)

The ICM7218E provides 4 separate lines for control information (Write, Hexa-Code B Decode, Shutdown), 8 lines for input data, and 3 lines for digit address. Data is written into the memory by setting up a Data Address memory location, defining 8 lines of Input Data, and then strobe the Write line low. Control information is on separate lines and is independent of the Write instruction. Data may be displayed either directly or decoded in Hexadecimal or Code B formats. The ICM7218E drives a common anode display. (See Block Diagram 3)

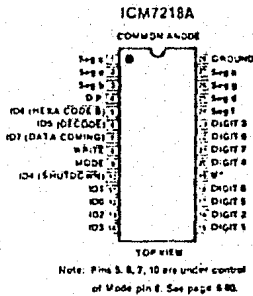
ORDERING INFORMATION

Typical App.	Order Part Number	Display Option	Package
Serial Access	ICM7218A -A1	Common Anode	28 Lead CERDIP
	ICM7218E -PI	Common Cathode	28 Lead Plastic
Random Access	ICM7218C -A1	Common Anode	28 Lead CERDIP
	ICM7218D -PI	Common Cathode	28 Lead Plastic
	ICM7218E -DL	Common Anode	40 Lead Ceramic

CHIP TOPOGRAPHY ICM7218A



PIN CONFIGURATION (OUTLINE DRAWING J1)



See page 6-57 for other device configurations.



National
Semiconductor

MM54C922/MM74C922 16-Key Encoder MM54C923/MM74C923 20-Key Encoder

General Description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 k Ω on-resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two key roll-over is provided between any two switches.

An internal register remembers the last key pressed even after the key is released. The TRI-STATE¹ outputs

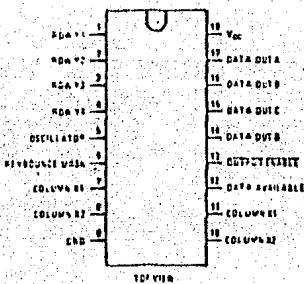
provide for easy expansion and bus operation and are LPTTL compatible.

Features

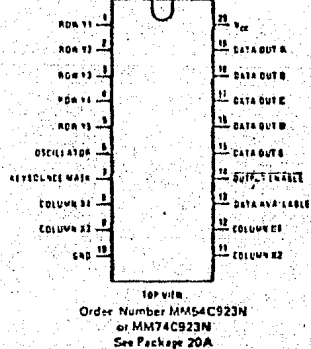
- 50 k Ω maximum switch on-resistance
- On or off chip clock
- On-chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE outputs LPTTL compatible
- Wide supply range 3V to 15V
- Low power consumption

Connection Diagrams

Dual In-Line Package



Dual In-Line Package



MM54C922/MM74C922, MM54C923/MM74C923



National
Semiconductor

MM58167A Microprocessor Real Time Clock

General Description

The MM58167A is a low threshold metal gate CMOS circuit that functions as a real time clock in bus oriented microprocessor systems. The device includes an addressable real time counter, 56 bits of RAM, and two interrupt outputs. A POWER DOWN input allows the chip to be disabled from the rest of the system for standby low power operation. The time base is a 32,768 Hz crystal oscillator.

Features

- Microprocessor compatible (8-bit data bus)
- Milliseconds through month counters
- 56 bits of RAM with comparator to compare the real time counter to the RAM data
- 2 INTERRUPT OUTPUTS with 8 possible interrupt signals
- POWER DOWN input that disables all inputs and outputs except for one of the interrupts
- Status bit to indicate rollover during a read
- 32,768 Hz crystal oscillator
- Four-year calendar (no leap year)
- 24-hour clock

Functional Description

Real Time Counter

The real time counter is divided into 4-bit digits with 2 digits being accessed during any read or write cycle. Each digit represents a BCD number and is defined in Table I. Any unused bits are held at a logical zero during a read and ignored during a write. An unused bit is any bit not necessary to provide a full BCD number. For example tens of hours cannot legally exceed the number 2, thus only 2 bits are necessary to define the tens of hours. The other 2 bits in the tens of hours digit are unused. The unused bits are designated in Table I as dashes.

The addressable portion of the counter is from milliseconds to months. The counter itself is a ripple counter. The ripple delay is less than 60 μ s above 4.0V and 300 μ s at 2.0V.

RAM

56 bits of RAM are contained on-chip. These can be used for any necessary power down storage or as an alarm latch for comparison to the real time counter. The data in the RAM can be compared to the real time counter on a digit basis. The only digits that are not compared are the unit ten thousandths of seconds and tens of days of the week (these are unused in the real time counter). If the two most significant bits of any RAM digit are ones, then this RAM location will always compare.

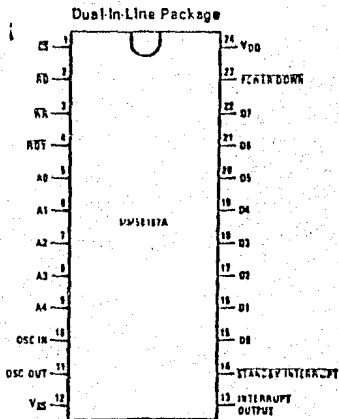
The RAM is formatted the same as the real time counter, 4 bits per digit, 14 digits, however there are no unused bits. The unused bits in the real time counter will compare only to zeros in the RAM.

Interrupts and Comparator

There are two interrupt outputs. The first and most flexible is the INTERRUPT OUTPUT (a true high signal). This output can be programmed to provide 8 different output signals. They are: 10 Hz, 1 Hz, once per minute, once per hour, once a day, once a week, once a month, and when a RAM/real time counter comparison occurs. To enable the output a one is written into the interrupt control register at the bit location corresponding to the desired output frequency (Figure 1). Once one or more bits have been set in the interrupt control register, the corresponding counter's rollover to its reset state will clock the interrupt status register and cause the interrupt output to go high. To reset the interrupt and to identify which frequency caused the interrupt, the interrupt status register is read. Reading this register places the contents of the status register on the data bus. The interrupting frequency will be identified by a one in the respective bit position. Removing the read will reset the interrupt.

The second interrupt is the STANDBY INTERRUPT (open drain output, active low). This interrupt occurs when enabled and when a RAM/real time counter comparison occurs. The STANDBY INTERRUPT is enabled by writing a one on the D0 line at address 16. It is disabled by writing a zero on the D0 line. This interrupt is triggered by the edge of the compare signal, but reset by the level. Thus if the compare is enabled when the STANDBY INTERRUPT is enabled, the interrupt will turn on immediately.

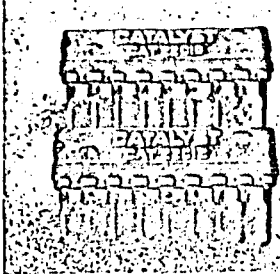
Connection Diagram



TOP VIEW

Order Number MM58167AN
See NS Package N24C

MM58167A



Two new non-volatile CMOS RAMS.

Quick, quantity deliveries...

...of 256 and 1024 Bit NVRAMS are now available through selected distributors and representatives of Catalyst Semiconductor, your fine new source of CMOS nonvolatile memory devices. Both devices are pin-to-pin compatible with Xicor parts X2210 and X2212.

The CAT22C10 NVRAM is a 256-bit device organized 64 x 4. Full static CMOS circuitry uses 40 mA in the active mode and standby current of 30 μ A. Model CAT22C12, a 1024-bit device organized 256 x 4 uses 50 mA active current and 30 μ A standby.

Both Feature:

- Write protect circuits.
- Automatic recall on power-up.
- RAM access times of 200, 250, and 300 ns.
- TTL/CMOS compatibility.
- JEDEC standard 18-pin, 300 mil package.

Single power supply (5V \pm 10%).
3-state output. 200ns/min short store and 300ns/min recall pulses. False store protection below 3.5V. 10,000 nonvolatile Store cycles per bit.

Write or Call for our no-kidding data pack.

Please address Bob Simon,
Director of U.S. Sales, Catalyst Semiconductor, 4051 Burton Drive, Santa Clara, CA 95054. Phone (408) 980-9144. FAX 408-980-8209. TWX 510-601-7631.

In Europe, contact Tekelec
Airtronic, Cité des Bruyères, Rue Carle Vernet, 92310 Sèvres, France. Phone (1) 45-34-75-35.



CATALYST
SEMICONDUCTOR, INC.



X2001
X2002
X2004

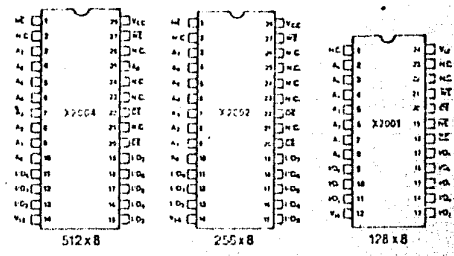
128 x 8 Bit
256 x 8 Bit
512 x 8 Bit

5 Volt NOVRAms*

FEATURES

- Nonvolatile Data Integrity
- Automatic Store Timing
- Store and Recall Array Combined on One Line ($\bar{N}\bar{E}$)
- Enhanced Store Protection
- 10,000 Store Cycles, Minimum
- Infinite Array Recall, Read and Write Cycles
- Single 5 V Supply
- JEDEC Approved Pinout for Byte-Wide Memories*

PIN CONFIGURATION



DESCRIPTION

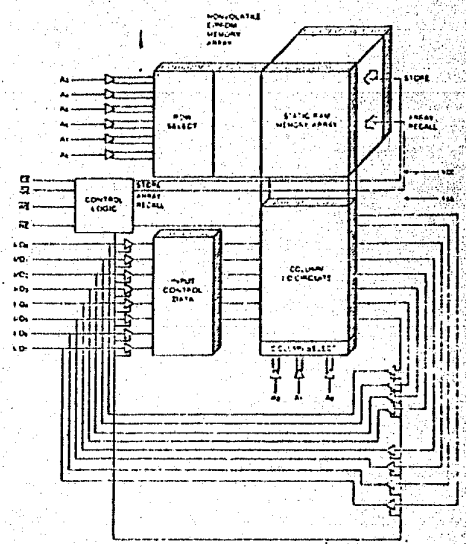
The Xicor X2001, X2002 and X2004 are byte-wide NOVRAms containing a high-speed static RAM overlaid bit-for-bit with a nonvolatile electrically erasable PROM (E²PROM).

Data can be transferred from RAM to E²PROM and back using a single control line, Nonvolatile Enable ($\bar{N}\bar{E}$), in conjunction with the WE and OE control lines. A store operation transfers all of the contents of the RAM into the E²PROM in a single 10 msec cycle. An Array Recall operation transfers nonvolatile contents of the E²PROM array into the static RAM in less than 5µsec.

Following the JEDEC approved pinouts for byte-wide memories, Xicor's X2001, X2002 and X2004 are compatible with static RAMs, ROMs, EPROMs and E²PROMs.

These byte-wide NOVRAms are fabricated with the same reliable N-Channel floating gate MOS technology used in Xicor 5 volt programmable nonvolatile memories.

FUNCTIONAL DIAGRAM



*NOVRAm is Xicor's Nonvolatile static RAM device

5-V EEPROM has 2-K-by-8-bit organization

Billed as a third-generation electrically erasable programmable read-only memory, the 16-K XL2816A features an organization of 2-K by 8 bits, 5-V read and write cycles, internal address and data latches, timing circuitry, and protection against inadvertent writes during power-supply transitions. The chip is compatible with the industry standard 2816A part as well as older-generation 21-V EEPROMs such as the 2816.

The XL2816 is packaged in the Joint Electron Device Engineering Council standard 24-pin byte-wide-memory configuration. It may be read and written with static random-access-memory-like timing that is easily generated in any microprocessor environment.

No external hardware is needed to support the write operation. The self-timed write cycle completes in under 10 ms, during which time the system buses are free to perform other tasks. Read-access times for the XL2816A range from 250 to 450 ns.

The XL2816AC-250 commercial-temperature part with 250-ns access time is priced at \$30 each in lots of

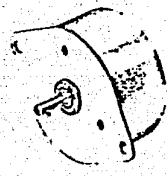
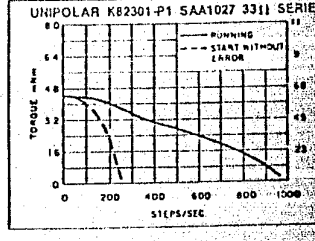
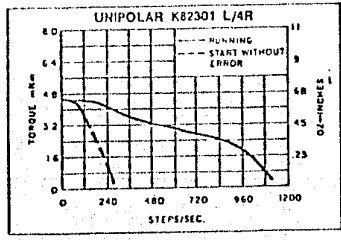
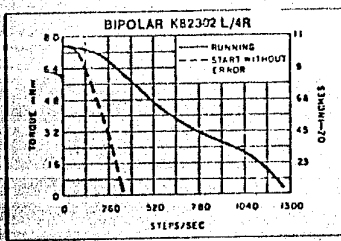
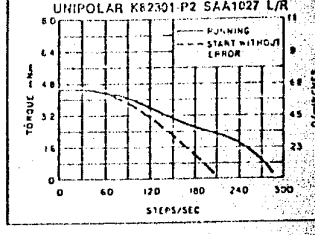
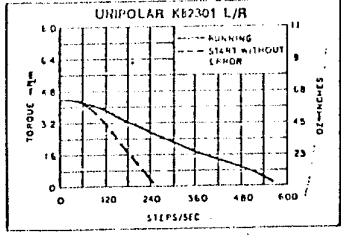
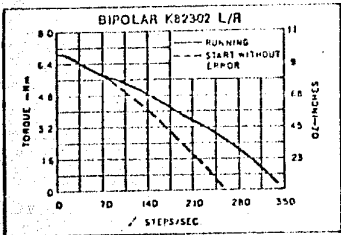
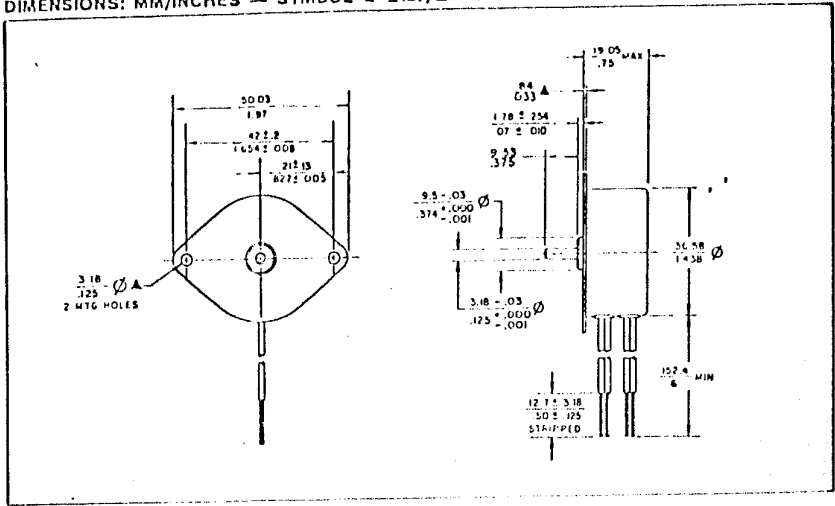
ElectronicsWeek/November 26, 1984

MEMORIES □

100 pieces. The 300-ns, 350-ns, and 450-ns parts sell for \$26.10, \$23.10, and \$21.45 each, respectively, in like quantities. All are available now.

Exel Microelectronics Inc., 2150 Commerce Dr., San Jose, Calif.
95131. Phone (408) 942-0500 [Circle 345]

DIMENSIONS: MM/INCHES — SYMBOL Δ $\pm .27/\pm .005$ UNSPECIFIED $\pm .78/\pm .031$



SPECIFICATIONS	BIPOLAR		UNIPOLAR	
	K82302-P1	K82302-P2	K82301-P1	K82301
DC Operating Voltage	5	12	5	12
Res. per Winding Ω	27	154	26	153
Ind. per Winding mH	27	132	9	73
Holding Torque mNm/oz-in	10.6/1.5		91.3	
Step Angle	18°			
Step Angle Tolerance*	$\pm 1.2^\circ$			
Steps per Rev.	20			
Rotor Moment of Inertia g.m ²	2×10^{-7}			
Max. Operating Temp.	100°C			
Ambient Temp. Range				
Operating	-20°C to 70°C			
Storage	-40°C to 85°C			
Insulation Res. @ 500Vdc	100 m Ω			
Bearings	Bronze Sleeve			
Weight	85g/3oz			

SERIES 82300

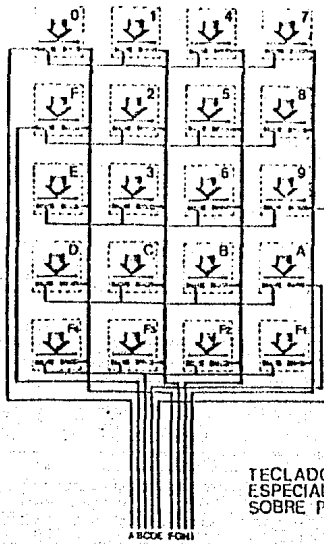
ALBANY/Amtron American Philips Controls, Cheshire, Conn.

RAPID SWITCH

TECLADO DE MEMBRANA AL TACTO.

MODELO:
CLAVE DE
CONTACTOS:

2000
CONEXION
EN MATRICIAL



TECLADOS
ESPECIALES
SOBRE PEDIDO

RAPID SWITCH

INSTRUCTIVO PARA EL TECLADO DE MEMBRANA.



CARACTERISTICAS ELECTRICAS

Resistencia entre contactos 50 ohms a 100 tipico
Voltaje máximo 30 volts.
Corriente máxima 100ma.

CARACTERISTICAS MECANICAS

Fuerza para operar la tecla: 50 gr a 150 gr
La cola del teclado es aislada

CARACTERISTICAS AMBIENTALES

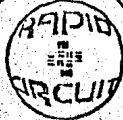
Temperatura: -40 + 70c

CARACTERISTICAS QUIMICAS

Se recomienda utilizar pegamento a base de SILICON.
No se debe manejar pegamentos de contacto o (5000)
No utilizar solventes como Tricloretileno, Thiner, Xileno.
Se puede usar agua o alcohol.
Soldar solamente al Conector sin usar pasta.
Evitar pegarlo (Radio minimo: 3 mm.)
Es autoadherible.
Fijarlo sobre una superficie plana y rigida.

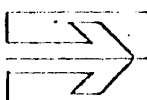
GARANTIA PARA LOS TECLADOS Rapid Switch.
este producto está garantizado contra defectos de materiales y mano de obra, por un tiempo de 60 días a partir de su compra. Dicha garantía consiste en cambiar la unidad tras la comprobación de que existe un defecto que imposibilite su funcionamiento. Se anula si no se siguen las indicaciones.

HECHO EN MEXICO
POR RAPID CIRCUIT



Aniceto Ortega No 714
Tel. 559-04-30
Cp. 03100 Col del Valle.

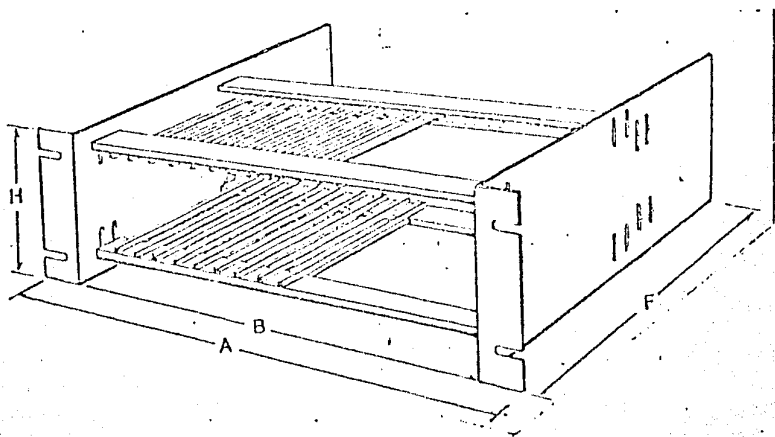
DESA



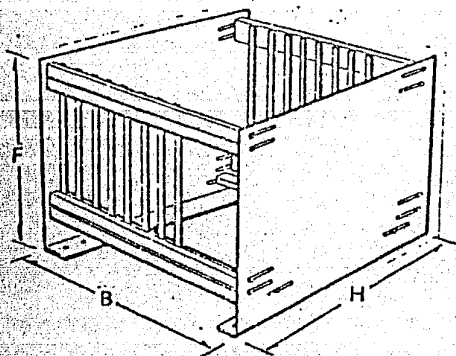
LINEAS 4000 - 4100 - 4200

DIVISION GABINETES

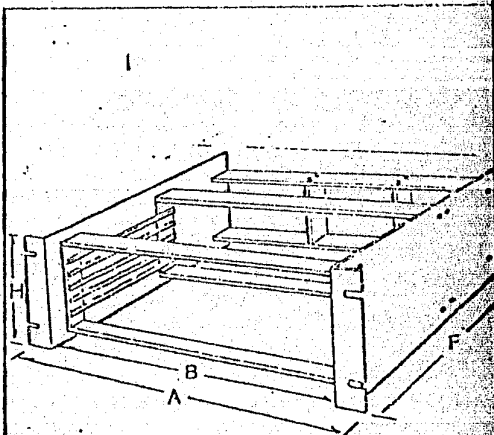
MODULOS PORTA-TARJETAS



LINEA 4100



LINEA 4000



LINEA 4200

PRODUCTOS DESA:

RACKS 19" y 24" • CONSÓLAS RACK • GABINETES METÁLICOS • MÓDULOS PORTA-TARJETAS
• BAULES TRANSPROTEC • ACCESORIOS • MUEBLES PARA COMPUTACION • DISIPADORES DE CALOR • DISEÑO

LINEA 4100-4200

UNIDAD RACK	H	A	B	F
2U	89	483 (19")	432 (17")	229 (9") 305 (12") 381 (15") 432 (17") 483 (19")
3U	133			
4U	178			
5U	222			
6U	267			
7U	311			
8U	356			

LINEA 4000

	H	B No. Tarjeta	F
Bus 5-100	273	170 (8x) 250 (12x) 410 (20x)	160
STD. PROLOG.	133	144 (8x) 272 (16x)	193
MOTOROLA ROCKWELL	266	170 (8x) 250 (12x) 410 (20x)	210

LOS MÓDULOS PORTA-TARJETAS DESA de las líneas 4000, 4100 y 4200 están contruídos con elementos especialmente diseñados que permiten una enorme versatilidad para lograr configuraciones diferentes que cubran las necesidades del diseñador y fabricante de equipo electrónico, donde las tarjetas de circuito impreso deben colocarse paralelamente para lograr una mayor diversidad de circuitos electrónicos.

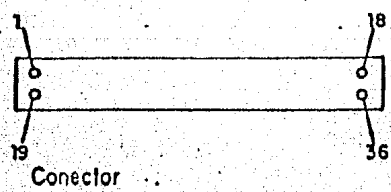
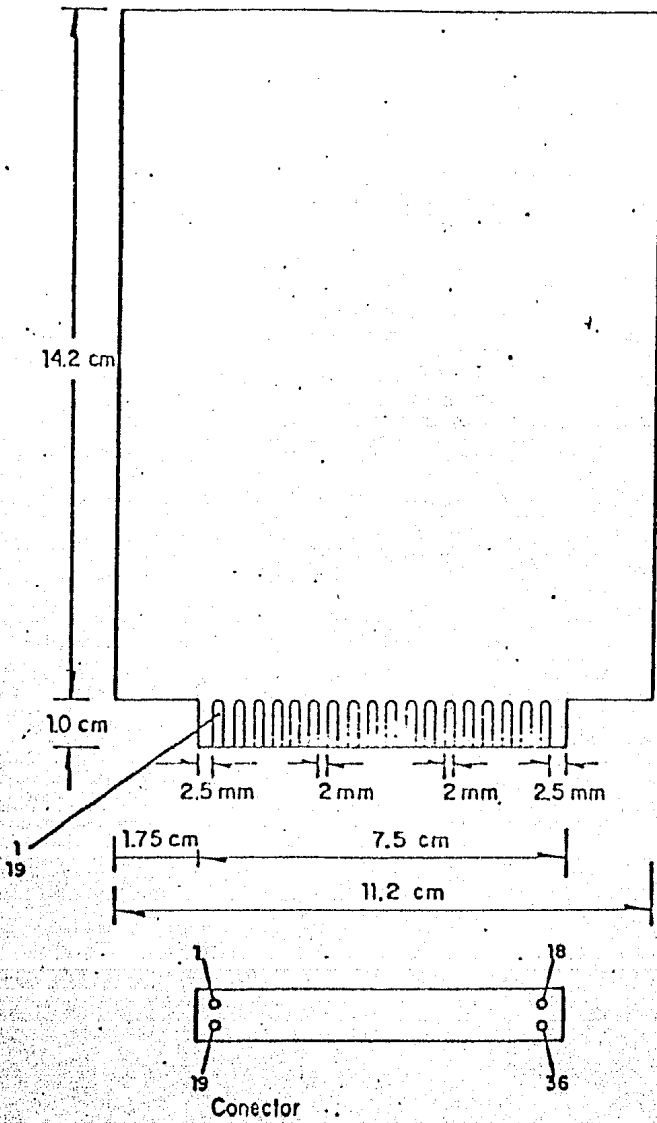
Entre otras ventajas, los módulos porta-tarjetas DESA presentan:

- Cualquier longitud de guías
- Cualquier espaciamiento entre tarjetas
- Montaje de diferentes tipos de conectores
- Montaje de tarjetas MAESTRAS
- Posición vertical, horizontal ó combinada de las tarjetas
- Colocación frontal, trasera o superior de las tarjetas
- Diferentes niveles ó combinación de tarjetas de diferentes dimensiones
- Sistema de fijación de conectores, accesorios ó componentes de gran flexibilidad y efectividad aunado a enorme sencillez.

A los módulos PORTA-TARJETAS DESA se pueden agregar una gran variedad de accesorios; colocar cubiertas para convertir en gabinete cerrado; placas frontales unitarias para cada tarjeta, etc.

Los cuadros muestran las dimensiones estándar de estos módulos, los cuales se pueden fabricar en otras dimensiones ó configuración, consultando nuestro Departamento de Diseño.

Estos módulos se pueden montar en racks estándar de 19" ó 24"; colocar en el interior de otro gabinete u otro tipo de montaje según su diseño.



Conector

TARJETA "PUNTO FLOTANTE"

Bibliografia

Bibliografía :

Libros :

C.S.G. Lee, R.C. Gonzalez, K.S. Fu; "Tutorial on Robotics". Second Edition. IEEE Computer Society Press, 1986.

D. Aslandek, P Sagues; " Microprocessors for Measurement and Control." Osborne - McGraw-Hill Publications, 1983.

R.J. Traister; " Build a Personal Earth Station for Worldwide Satellite TV Reception". Tab Books Inc. 1982.

M. Long, J. Keating; " The World of Satellite Television". Quantum Publishing, 1983.

M. M. Mano; " Lógica Digital y Diseño de Computadores". Prentice-Hall Internacional, 1982.

M. M. Mano; " Arquitectura de Computadores". Prentice-Hall Internacional, 1982.

R.L. Krutz; " Microprocessors and Logic Design". Wiley & Sons Inc. 1980.

R. Boylestad, L. Nashelsky; " Electronic Devices and Circuit Theory". Prentice-Hall Inc., Third Edition, 1982.

Trabajos y Proyectos de Investigación :

Ing. J. Martinez G. " Microcontrolador PAT-85". Instituto de Ingeniería UNAM, Febrero 1985.

Publicaciones periódicas :

" The Exploding Role of Nonvolatile Memory". Electronics, McGraw-Hill Publications. August 21, 1986.

Machine Design, 1984 Electrical & Electronics Reference Issue. Penton IPC Publications, May 31, 1984.

" Programmable Controllers: Mature and in Command ". Mechanical Engineering, ASME, Vol 108/No.4 April 1986.

" Ram Als Eprom". Elektor, Juni 1985.

Manuales :

Mostek Z 80 Microcomputer Devices Technical Manual. MK3880 CPU; Mostek Corp. 1978.

Airpax Stepper Motor Handbook. North American Phillips Control Corp. 1979.

Linear Databook. National Semiconductor, 1982.

The TTL Handbook. Texas Instruments Inc., Second Edition, 1981.

Intel Memory Components Handbook. Intel Corp. Inc., 1985.

Hot Ideas in CMOS; Intersil Inc. 1984.

CMOS Databook. National Semiconductor, 1984.

Intel Microsystems Components Handbook; Intel Corp. Inc. 1985.

Semiconductor Databook. Texas Instruments Inc., 1982.

Exar Applications Databook; Exar Integrated Systems Inc.

SGS Technical Note 165, " Designing with the L296 Monolithic Power Switching Regulator", SGS-ATES Group, 1984.

Manual de Disipadores Electronicos. Disipadores Electronicos S.A. (DESA).