



18
lej

*Universidad Nacional Autónoma
de México*

*Escuela Nacional de Estudios Profesionales
" ARAGON "*

*DISEÑO DE UN SISTEMA DE TRANSMISION
DIGITAL PCM PARA UN CANAL DE VOZ*

Tesis Profesional

*Que para obtener el Título de:
Ingeniero Mecánico Electricista*

p r e s e n t a

David Reyes Sanabria

San Juan de Aragón, Edo. de Méx.

1986



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

	PAGINA
INTRODUCCION.....	1
CAPITULO I	
GENERALIDADES.....	3
1.1. Ventajas de la comunicación digital ante la analógica.....	3
1.2. Técnicas de modulación por pulsos.....	6
1.3. Sistema de comunicación digital PCM generalizado.....	8
1.4. Multiplex por división en el tiempo.....	14
Bibliografía.....	16
CAPITULO II	
FUNDAMENTOS TEORICOS.....	17
2.1. El teorema de muestreo de Nyquist.....	18
2.1.1. Muestreo ideal.....	18
2.1.2. Muestreo real.....	21
2.1.3. Reconstrucción de la señal analógica.....	23
2.2. Requerimientos de codificación.....	25
2.2.1. Niveles de cuantización.....	26
2.2.2. Ancho de banda.....	27

2.3.	Ruido de cuantización.....	29
2.3.1.	Relación señal a ruido de cuantización en niveles igualmente espaciados.....	29
2.3.2.	Relación señal a ruido de cuantización en señales con compansión.....	32
2.4.	El sistema Bell System T1 carrier.....	36
2.4.1.	Funcionamiento.....	37
2.4.2.	Repetidores regenerativos.....	38
2.5.	Codificación predictiva.....	40
2.5.1.	PCM diferencial.....	40
2.5.2.	Modulación delta.....	46
2.6.	Técnicas de modulación digital.....	51
2.6.1.	El sistema transmisor-receptor.....	51
2.6.2.	Técnicas de modulación en amplitud.....	53
2.6.3.	Técnicas de modulación en frecuencia.....	54
2.6.4.	Técnicas de modulación en fase.....	57
2.6.5.	Técnicas de modulación híbridas.....	61
2.6.6.	Elementos de juicio para seleccionar una técnica de modulación.....	64
2.7.	Efecto del ruido en el canal de transmisión.....	64
2.7.1.	Características del ruido.....	65

2.7.2.	Probabilidad de error.....	67
2.7.3.	Capacidad del canal.....	72
2.8.	Dispositivos electrónicos por el proceso de PCM.....	75
2.8.1.	El muestreador/retenedor.....	76
2.8.2.	Convertidores A/D.....	78
2.8.2.1.	A/D rampa.....	78
2.8.2.2.	A/D por aproximaciones sucesivas.....	79
2.8.2.3.	A/D instantáneo.....	82
2.8.3.	Convertidores D/A.....	82
2.8.3.1.	El D/A R-2R.....	83
2.8.3.2.	El D/A R's-ponderadas.....	85
2.8.3.3.	El D/A por fuentes de corriente.....	87
2.8.4.	Filtros pasa-bajas.....	88
2.8.4.1.	Filtro activo PB-VCVS.....	89
	Bibliografía.....	92

CAPITULO III

CONDICIONES DE DISEÑO.....	94
3.1. El reloj.....	94
3.2. El M/R.....	97
3.3. La sincronía entre el M/R y el A/D.....	99

3.4. La conversión paralelo-serie-paralelo.....	101
3.5. El convertidor D/A.....	104
3.6. El filtro paso-bajas.....	105
3.7. El circuito práctico.....	108
Bibliografía.....	110
CAPITULO IV	
MEDICIONES Y COSTO.....	111
4.1. Mediciones.....	111
4.2. Costo.....	115
Bibliografía.....	116
CONCLUSIONES.....	117
APENDICE.....	118

INTRODUCCION

El avance en la ciencia de la comunicación en las últimos décadas es sorprendente y es sobre el área de la telefonía, junto a la transmisión de datos donde se ha dejado sentir los beneficios de esta era. Redes locales de computadoras, servicios integrados (voz y datos) se han adaptado para lograr una conjunción difícil de aceptar por nuestros abuelos: la mezcla de señales del mundo analógico con el digital. Las formas conocidas para lograr esto, están basadas del multiplexaje en el dominio del tiempo o en el dominio de la frecuencia. La primera opción es por lo regular aplicable solo a equipos de comunicación por radfotransmisor, ya que resulta sumamente costoso el utilizar filtros de la separación en rangos de frecuencia aplicables a redes de servicios integrados. El uso de multiplexaje en el tiempo nos induce necesariamente al objeto de estudio de esta tesis: La modulación por codificación de pulsos o PCM.

Con el PCM cambia por completo la concepción de las telecomunicaciones. Resulta sorprendente saber que un paquete de voz se puede incluir, una vez realizada la conversión analógica-digital, en ventanas de tiempo proporcionada por sistemas computacionales basados en módulos con microprocesadores. El estudio de distorsión, atenuación e interferencia sufre un gran giro, ya que el uso de repetidores regenerativos entre conexiones terminales, receptora y transmisora, hacen que estos factores afecten nulamente a nuestra información, esto se debe a que aún cuando los pulsos transmitidos sufren la misma contaminación que una señal analógica, el remodelar y retemporizarlos tal y como fueron enviados, provoca que se tenga una señal decodificada limpia, con el ruido aditivo del canal tendiente a cero.

El objetivo de esta tesis es presentar los elementos teóricos y prácticos fundamentales para el desarrollo de sistemas digitales basados en PCM.

Para ello, se ha dividido este trabajo en 4 capítulos:

El capítulo primero presenta el panorama actual y a futuro de la transmisión digital, así como la descripción global de las etapas que forman un sistema PCM.

El capítulo segundo provee los elementos teóricos indispensables para la comprensión y opción a diseño de los sistemas PCM. Se observan dos divisiones: la primera se refiere al estudio del desarrollo y resultados de la rama de análisis de señales digitales como es el teorema fundamental de muestreo, la relación señal a ruido el teorema de Shannon, etc.; la segunda división trata de los dispositivos electrónicos en uso para la conversión del mundo analógico a digital y viceversa.

El capítulo tercero trata las consideraciones prácticas para el diseño y construcción de un sistema PCM.

El capítulo cuarto presenta las mediciones que se obtuvieron en base a la construcción del dispositivo del capítulo tercero, así como la presentación del costo de los componentes utilizados.

Se dedica una sección a conclusiones que evalúa los resultados de este trabajo.

Finalmente se agrega un apéndice compuesto por información de manuales de electrónica para los elementos físicos utilizados en la construcción del sistema.

C A P I T U L O I

GENERALIDADES

En este capítulo se presenta un panorama global del lugar que ocupa la transmisión digital y en particular el PCM como técnica de modulación dentro de las telecomunicaciones, así como, la descripción de los bloques funcionales en los cuales está fundamentado este sistema.

1.1. VENTAJAS DE LA COMUNICACION DIGITAL ANTE LA ANALOGICA

El desarrollo de las comunicaciones digitales en los últimos 30 años, ha permitido superar en grado sumo al status de las comunicaciones analógicas que de una u otra forma han permanecido estancadas dada la moda en la investigación por las técnicas digitales.

Varios aspectos interesantes en lo que respecta a costo, facilidad de implementación y funcionalidad, nos conducen a una comparación entre ambos tipos de transmisión.

A) COSTO

El gran impulso que tuvieron los circuitos integrados desde su inicio, logró que el costo de estos dispositivos haya descendido a un nivel bastante adquisitivo. Los sistemas digitales basados en esta tecnología por consiguiente resultan más económicos, no así los sistemas analógicos que requieren material adicional a los semiconductores, a los que podríamos llamar tradicionales, para solventar los limitantes de este tipo de transmisión, como serían: relevadores, cable pupinizado, etc.

De hecho en lo que a inversiones se refiere, la industria de las telecomunicaciones tiende a elegir lo digital. En la Fig. 1.1.1 se muestran los pronósticos de inversión para distintas ramas de las comunicaciones en E. U. para 1990.

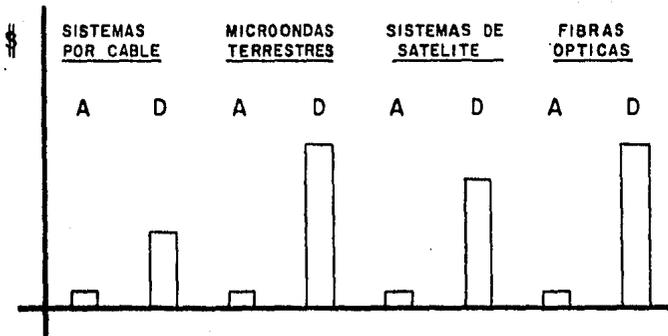


Fig. 1.1.1. Pronósticos de inversión para 1990 en E. U.

B) FACILIDAD DE IMPLEMENTACION

Toda vez que la circuiteria digital permite ser presentada con módulos independientes e interconectables entre sí controlados por un procesador central, ha sido factible instalar, expandir o trasladar todo un sistema PCM con suma rapidez. Esto ha traído la tendencia en la telefonía al desarrollo de conmutadores digitales modulares para n canales variables.

Por lo regular los sistemas PCM necesitan conectarse punto a punto o vía repetidores regenerativos. Hasta el momento las conexiones entre centrales terminales analógicas requieren una gran

cantidad de cables, tanto para control y supervisión como para información en sí, lo cual trae consigo lentitud en la instalación de este medio de transmisión. Con el sistema PCM la conexión entre puntos terminales requiere de un solo canal de transmisión al través de un sistema multiplexado, por lo que regularmente se utilizan medios de transmisión ya instalados pensados originalmente para señales analógicas.

C) FUNCIONALIDAD

Debido a que en los sistemas digitales se trabaja con dos estados lógicos 1 ó 0, se puede tolerar un alto nivel de ruido antes de que se produzcan errores en la recepción. El valor de un dato físico expresado como palabra digital binaria, se determina con la presencia o ausencia de pulso en cada uno de los dígitos de la palabra. En el caso de señales analógicas, por ser del tipo continuo, el ruido a cualquier nivel de intensidad, distorsiona la información en proporción a la relación $\frac{S}{N}$. Si la línea de transmisión esta provista de repetidores a lo largo de la ruta, las señales digitales, se regeneran sin ningún ruido en cada punto repetidor intermedio; en contraste, el ruido de las señales analógicas se va acumulando al pasar de uno a otro repetidor hasta el punto de recepción final.

Los sistemas digitales presentan gran versatilidad ya que manejan información de varias naturalezas sin distinción entre ellas una vez codificadas, como sería voz, facsímil, video, etc., sin interferir unas con otras, lo cual permite agruparlas en serie, por paquetes regularmente, para su envío por un único medio de transmisión: un par de cables, cable coaxial, radio, fibra óptica, etc. Para lograr esto con los sistemas analógicos, se requieren equipos de multiplex en frecuencia los cuales son caros y voluminosos, además de problemas por envejecimiento como son la inestabilidad de frecuencia en los osciladores de onda portadora, o corrimientos en la banda de paso diseñada originalmente para los filtros selectores.

1.2. TECNICAS DE MODULACION POR PULSOS

En el proceso de convertir una señal analógica en forma digital, el uso del muestreo en una señal durante cortos intervalos de tiempo ha desarrollado una serie de técnicas para modulación de pulsos.

Las muestras indicativas del valor instantáneo de la información en el punto de muestreo, son representadas por uno o varios pulsos que están modulados de acuerdo con la amplitud de la información en esos instantes.

Existen cuatro métodos básicos de modulación por pulsos:

1. Modulación por amplitud de pulso (PAM).
Para este método la amplitud de un pulso representa el valor instantáneo de la señal de entrada.
2. Modulación por ancho del pulso (PWM).
En este tipo de modulación, se varía la duración del pulso para representar un valor muestra.
3. Modulación por posición de pulso (PPM).
En este sistema cada pulso tiene una posición de referencia cero para una amplitud específica de la información. El valor instantáneo de la señal analógica en los puntos de muestreo aleja o acerca el pulso de su posición de referencia.
4. Modulación por codificación de pulsos (PCM).
En este sistema el valor muestreado de la señal analógica es codificada en un arreglo de dígitos binarios. Estos dígitos tienen la misma forma y amplitud, de esta manera el equipo receptor requiere únicamente detectar la presencia o ausencia de pulsos.

Un sistema PCM es menos sensible al ruido y distorsión que las otras técnicas mencionadas.

La Fig. 1.2.1 muestra los cuatro tipos de modulación anteriores.

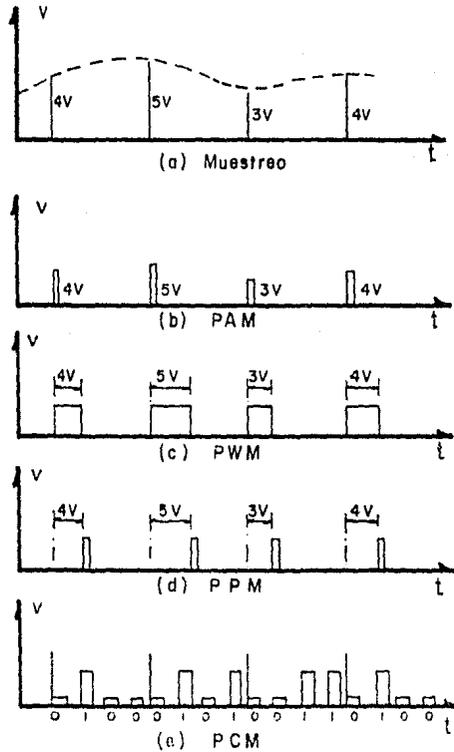


Fig. 1.2.1. Tipos de modulación por pulsos.

1.3. SISTEMA DE COMUNICACION DIGITAL PCM GENERALIZADO

Aún cuando el equipo de comunicación para este sistema varía por aplicación específica, los bloques que se muestran en la Fig. 1.3.1 aparecen en la mayoría de los casos.

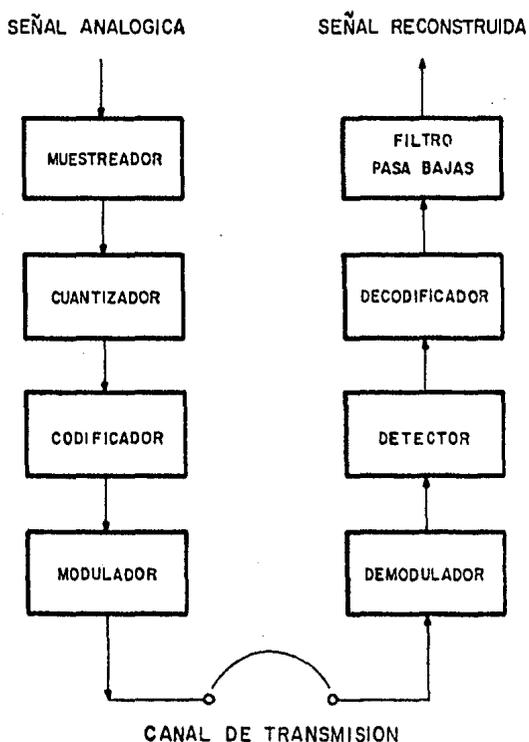


Fig. 1.3.1. Sistema PCM generalizado.

A) MUESTREADOR

El teorema de muestreo de Nyquist establece que una señal limitada en banda que no contiene componentes espectrales mayores que la frecuencia f_m Hz, está determinada en forma única por sus valores instantáneos en intervalos uniformes de $\frac{1}{2f_m}$ segundos. Es decir, que con muestras discretas de la señal analógica tomadas a intervalos regulares, tenemos la información suficiente para reconstruir la señal.

Por lo tanto, el muestreador es un dispositivo que trabaja a una frecuencia mayor o igual a $2f_m$ Hz y obtiene el valor instantáneo de la señal en el instante que se realiza el muestreo.

B) CUANTIZADOR

En el argot digital, el redondeo de una magnitud al valor más próximo a un juego de valores discretos se denomina cuantización, esto es, en el instante de muestreo los pulsos modulados en amplitud pueden tomar un cierto valor dependiendo de la amplitud de información; sería ideal recibirla de esta forma, desgraciadamente el ruido presente en todo canal de transmisión hace que el receptor tome una señal ligera o bastante distorsionada. Es por esto que la señal PAM se aproxima a un número finito de valores establecidos por el diseñador, de manera que si la separación entre niveles es mayor a la amplitud del ruido, el receptor tendrá la posibilidad de distinguir el nivel que ha sido transmitido.

Ha resultado más eficiente agregar un bloque antes de transmitir la información, el codificador.

C) CODIFICADOR

El codificador representa las muestras cuantizadas de la señal analógica por un código digital, como el binario, BCD, Gray,

etc. A la salida de este dispositivo tenemos la señal PCM.

D) MODULADOR

En el proceso de transmitir los pulsos codificados en un medio adecuado de transmisión, es necesario acoplarlos a las características de éste. Para ello, la transmisión se efectúa con ondas senoidales de mayor frecuencia que los pulsos portadores de información, que varían su amplitud, frecuencia o fase en correlación a estos.

E) CANAL DE TRANSMISION

Es el medio físico por el que la información se traslada del sistema emisor al sistema receptor, y puede ser un par de cables, guía de onda, fibra óptica e inclusive el espacio abierto.

F) DEMODULADOR

Este dispositivo extrae las variaciones en los parámetros de la onda senoidal que son representativas del valor de los dígitos binarios. Esto se logra por lo regular con un detector de envolvente para el caso AM o por la multiplicación en el receptor con una frecuencia de valor igual a la de la portadora para el caso de FM.

G) DETECTOR

Elemento del sistema que compara la magnitud de cada pulso binario recibido con un nivel de decisión e indica el valor del pulso decidido, "1" si sobrepasa el umbral de referencia y "0" si no hay sobrepaso. A la salida se tiene una señal limpia, sin ruido, aunque tal vez con uno o varios bits erróneamente detectados debido a efectos indeseables en el canal de transmisión.

H) DECODIFICADOR

Realiza un proceso inverso a la codificación, es decir, proporciona a su salida una señal discreta cuantizada a un nivel de voltaje, dada la palabra digital presentada a su entrada.

I) FILTRO PASA BAJAS

Elimina las altas variaciones de los pulsos discretos de la señal decodificada, siguiendo la envolvente de las amplitudes de cada uno de ellos, obteniéndose con esto la señal analógica original reconstruida.

La Fig. 1.3.1 y 1.3.2 ilustra el proceso de la señal de información para su envío y recepción.

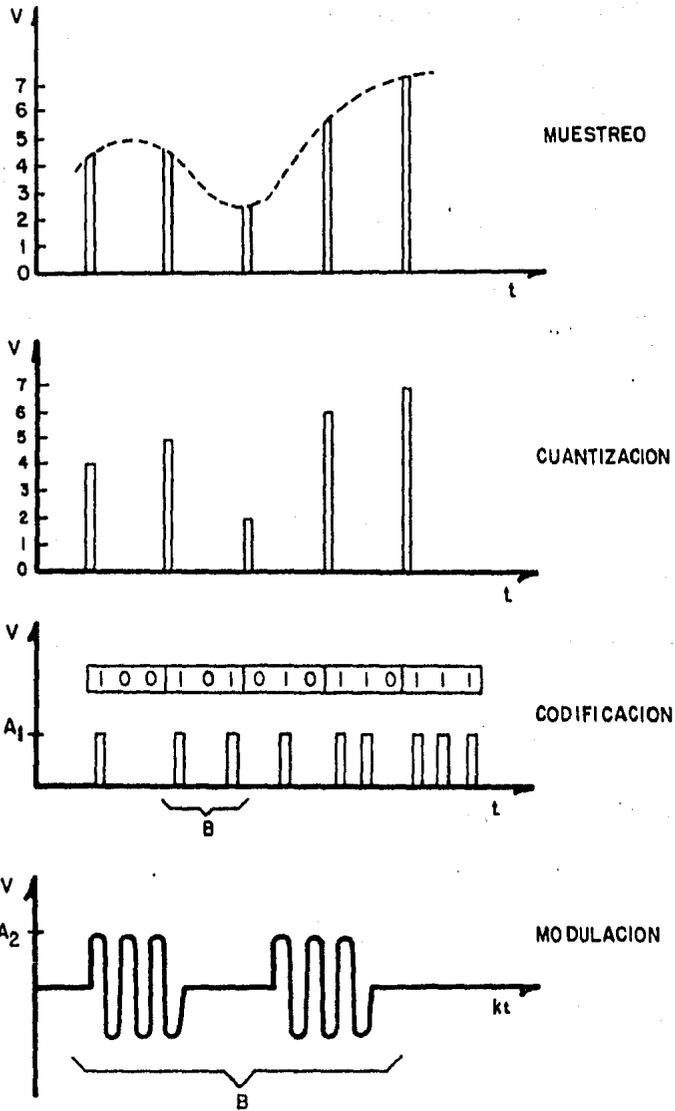


Fig. 1.3.1. Proceso de transmisión para un sistema PCM.

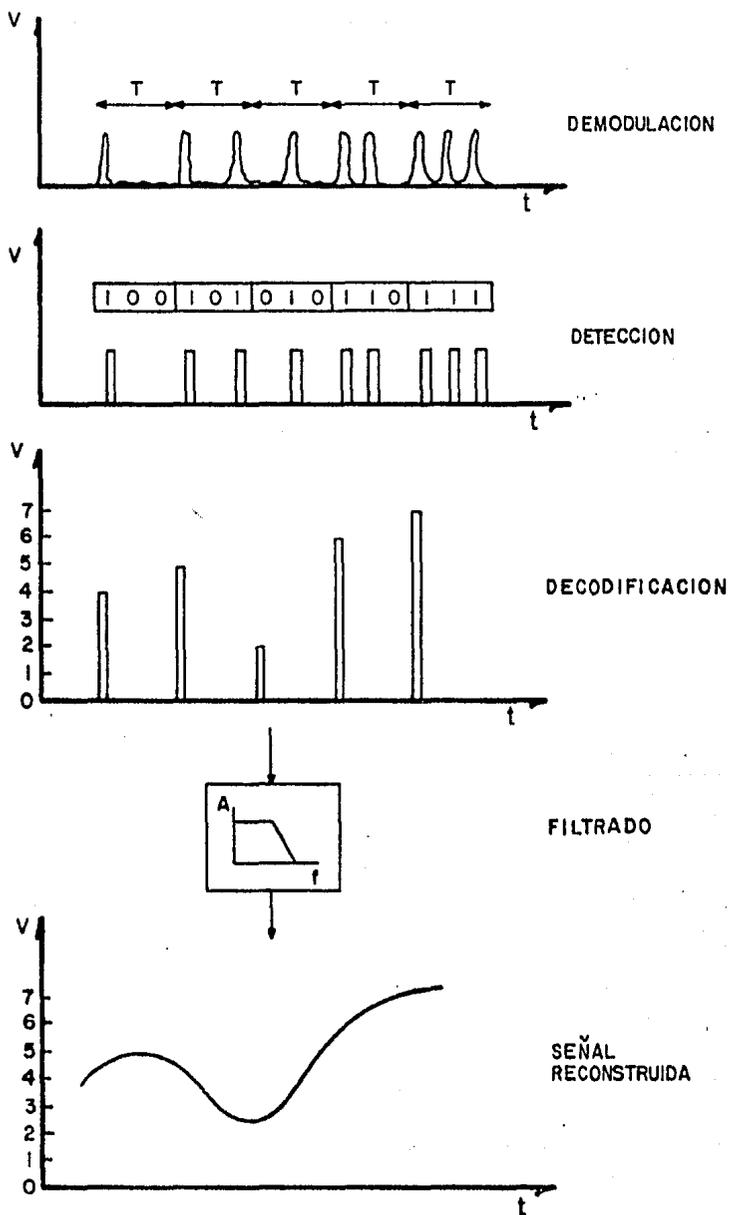


Fig. 1.3.2. Proceso de recepción para un sistema PCM.

1.4. MULTIPLEX POR DIVISION EN EL TIEMPO

Dado que se requiere transmitir muestras a intervalos uniformes de tiempo y estas ocupan el canal sólo durante su aparición, es posible utilizarlo más eficientemente intercalando muestras de otras señales bajo la base de tiempo compartido (Fig. 1.4.1) mejor conocido como multiplex por división en el tiempo (TDM).

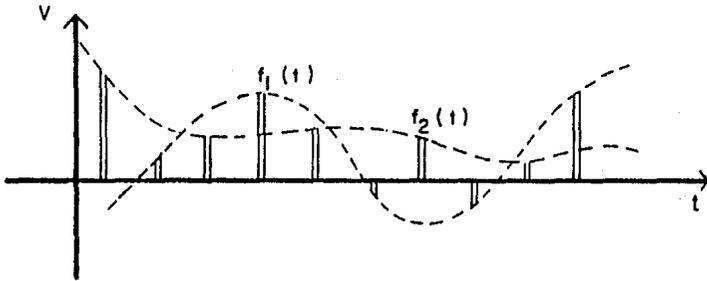


Fig. 1.4.1. Multiplex por división en el tiempo.

Un sistema TDM se muestra en la Fig. 1.4.2. El multiplexor toma muestras de cada canal en forma sincrónica, de forma que las entradas en paralelo se convierten en serie con un cuadro formado por las n señales que ingresan al sistema multiplex. En el receptor un demultiplexor en sincronía con el transmisor se encarga de colocar en el canal respectivo las muestras originales, por lo que una vez atravesadas a un filtro pasa bajas las señales de entrada se recuperan casi íntegramente.

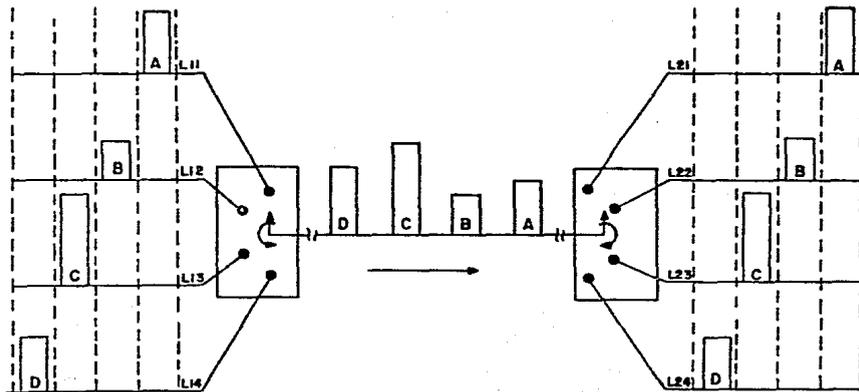


Fig. 1.4.2. Sistema TDM.

BIBLIOGRAFIA

- (1) T. N. Saadawi, Delta Modulation Techniques and Devices, Innovations in Telecommunications, Part A, Academic Press, 1982, pp. 173-213.
- (2) ¿Transmisión analógica o digital?, El Demodulador, Núm 196, Dic. 1973, pp. 1-19.
- (3) T. Akatsu et al, Development of a Multichannel Telemetry System with 256 Data Channels, IEEE Transactions on Power Apparatus and Systems, Vol. PAS-101, Núm. 12, Dic. 1982, pp. 4527-4535.
- (4) J. R. Duerr et al, How Telecommunications Fits into the Data-comm Network, Telephony, Vol. 199, Núm 14, Oct. 1980, pp. 110-133.
- (5) M. Schwartz, Information Transmission, Modulation and Noise, McGraw Hill, 3a. Ed., 1981.
- (6) B. P. Lathi, Introducción a la Teoría y Sistemas de Comunicación, Limusa, 1a. Ed., 1978.

C A P I T U L O I I

FUNDAMENTOS TEORICOS

Para el diseño de todo sistema se requiere contar con las bases teóricas que permitan establecer las especificaciones de funcionamiento, comparar con otros dispositivos similares, o en el mejor de los casos desarrollar nuevas fórmulas para la teoría en estudio.

En este capítulo se desglosan los fundamentos teóricos de la comunicación digital en general. En las primeras cuatro secciones se estudian los teoremas y resultados del PCM, como son: el teorema de muestreo, la cuantización, expansión, etc.; así como la descripción de un sistema telefónico real de PCM, el T1 de la Bell System. En la 5a. sección se analizan otras técnicas fuertemente competitivas en la codificación de voz como la modulación delta y el PCM diferencial. Para la 6a. sección se muestran las formas básicas de acoplamiento entre el emisor y el medio de transmisión: tipos de modulación en onda portadora. La 7a. sección está dedicada al estudio del ruido blanco como factor de contaminación de la información binaria, causante de errores en la detección. La 8a. sección muestra los dispositivos electrónicos usados en las conversiones analógico-digital-analógico que serán de gran utilidad para el diseño del sistema PCM en la banda de voz del capítulo 3.

Se intenta desarrollar la mayor parte de las fórmulas básicas, sin embargo, por lo engorroso que resultaría seguir paso a paso las demostraciones, algunas veces se preferirá indicar el procedimiento que lleva a la expresión de los resultados y apreciar estos en sus detalles más significantes.

2.1. EL TEOREMA DE MUESTREO DE NYQUIST

Este teorema juega un papel muy importante en las comunicaciones modernas pues gracias a él se ha iniciado una práctica muy común y bastante eficiente, el muestreo a intervalos uniformes de una señal continua limitada en banda que contiene en sus valores discretos toda la información de esta señal. Entiéndase por señal limitada en banda aquella que no contiene componentes espectrales mayores a una cierta frecuencia de corte.

En el primer capítulo se mencionó a grandes rasgos el teorema de muestreo uniforme que se refiere a la especificación de una señal dada mediante muestras suyas tomadas a intervalos uniformes de $1/2f_m$ segundos, correspondiendo a esta sección demostrar el por qué tomar esta velocidad mínima de muestreo y no otra.

2.1.1. MUESTREO IDEAL

Sea $f(t)$ una señal limitada en banda que no contenga componentes espectrales mayores de f_m Hz, es decir que $F(\omega)$ la transformada de Fourier de $f(t)$ es cero para $\omega > \omega_m$. Supongámos que multiplicamos $f(t)$ por una función de impulsos periódicos de altura unitaria $\delta_T(t)$, la función producto es una sucesión de impulsos localizados a intervalos regulares de T segundos con altura correspondiente al valor de $f(t)$ en el instante de aparición de éstos. Es evidente que esta señal discreta representa las muestras instantáneas de la señal cada intervalo T de tiempo. Véase Fig. 2.1.1.1.a, c, e.

Representemos la señal muestreada por:

$$f_s(t) = f(t)\delta_T(t) \quad (2.1.1.1)$$

En los incisos (b) y (d) de la Fig. 2.1.1.1 se muestran las transformadas de Fourier correspondientes a la señal limitada en

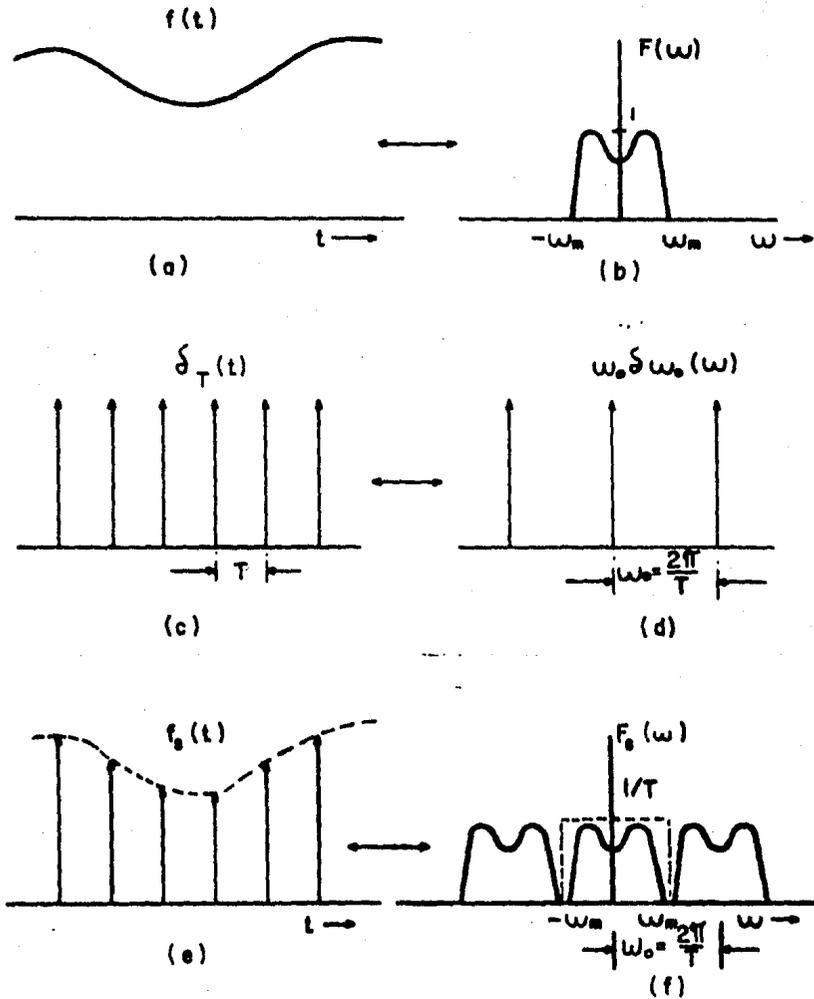


Fig. 2.1.1.1. Representación en el tiempo y frecuencia de las señales: (a), (b) analógica; (c), (d) tren de impulsos; (e), (f) muestreada.

banda Y al tren uniforme de funciones impulso $\delta_T(t)$.

Para obtener la transformada de Fourier de $f_S(t)$ en la ec. 2.1.1.1, aplicaremos el teorema de convolución en la frecuencia.

Por lo que:

$$F_S(\omega) = \frac{1}{2\pi} (F(\omega) * \omega_0 \delta_{\omega_0}(\omega)) \quad (2.1.1.2)$$

$$\omega_0 = \frac{2\pi}{T}$$

$$\begin{aligned} F_S(\omega) &= \frac{1}{T} (F(\omega) * \delta_{\omega_0}(\omega)) = \frac{1}{T} (F(\omega) * \sum_{n=-\infty}^{\infty} \delta(\omega - n\omega_0)) \\ &= \frac{1}{T} \sum_{n=-\infty}^{\infty} F(\omega - n\omega_0) \end{aligned} \quad (2.1.1.3)$$

Esto implica que el espectro en frecuencia de la señal muestreada es el mismo de la señal limitada en banda repetido cada ω_0 radianes por segundo.

Obsérvese en la Fig. 2.1.1.1.f que para poder recuperar la señal $f(t)$ es necesario hacer pasar $f_S(t)$ por un filtro paso bajo con frecuencia de corte f_m Hz. Además es importante lo siguiente: para que sea factible recuperar la señal original es necesario que los espectros repetidos no se traslapen, condición que se cumple si

$$\omega_0 \geq 2\omega_m$$

o en términos del periodo

$$\frac{2\pi}{T} \geq 2(2\pi f_m)$$

$$T \leq \frac{1}{2f_m} \quad (2.1.1.4)$$

que es la condición de muestreo establecida por Nyquist, base primordial de todas las formas de transmisión por modulación de pulsos.

2.1.2. MUESTREO REAL

En la práctica no se muestrea por impulsos ideales, sino por pulsos de pequeña duración, lo que significa que el muestreo no es instantáneo sino que ocurre en tiempos finitos (Fig. 2.1.2.1.a).

Por un proceso similar al anterior se demuestra que la señal muestreada tendrá la siguiente función espectral.

$$F_s(\omega) = \frac{T}{T} \sum_{n=-\infty}^{\infty} \text{Sa}(n\pi\omega_m) F(\omega - 2n\omega_m) \quad (2.1.2.1)$$

para el caso de $\omega_0 = 2\omega_m$

El segundo miembro de la ec. 2.1.2.1 representa el espectro de $F(\omega)$ repetido cada $2\omega_m$ radianes por segundo con un factor de variación en su amplitud de $\text{Sa}(n\pi\omega_m)$. (Fig. 2.1.2.1.b).

Es importante darse cuenta que el ancho de banda necesario para transmitir una señal muestreada por impulsos es infinito, mientras que para el muestreo por pulsos tiene un valor finito, de modo que el contenido de energía de $F_s(\omega)$ es despreciable en frecuencias superiores.

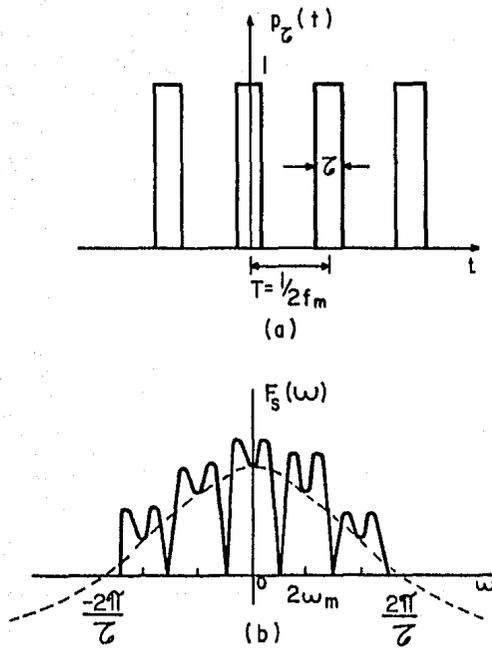


Fig. 2.1.2.1. Muestreo real. (a) pulsos de muestreo, (b) espectro de la señal muestreada.

2.1.3. RECONSTRUCCION DE LA SEÑAL ANALOGICA

El proceso analítico que llevaremos a cabo se hará en ba se a considerar muestras por impulsos para evitar entrar a cálculos más complejos y menos ilustrativos, siendo los resultados obtenidos bastante similares a cuando el muestreo se realiza en forma real.

Consideremos que muestreamos con la rapidez mínima, es de cir:

$$T = \frac{1}{2f_m}$$

y

$$\omega_0 = \frac{2\pi}{T} = 2\omega_m$$

Sust. en la ec. 2.1.1.3

$$F_s(\omega) = \frac{1}{T} \sum_{n=-\infty}^{\infty} F(\omega - 2n\omega_m) \quad (2.1.3.1)$$

Es evidente que podríamos recuperar $F(\omega)$ si multiplicamos esta ecuación por una función pulso rectangular $R_{2\omega_m}(\omega)$. Lo que conduce a

$$F_s(\omega) R_{2\omega_m}(\omega) = \frac{1}{T} F(\omega)$$

por lo que

$$F(\omega) = TF_s(\omega) R_{2\omega_m}(\omega) \quad (2.1.3.2)$$

Donde $TR_{2\omega_m}(\omega)$ representa al filtro paso bajo con una fre cuencia de corte ω_m y una ganancia $T = \frac{1}{2f_m}$.

Aplicando el teorema de convolución en el tiempo a la ec. 2.1.3.2.

$$\begin{aligned} f(t) &= T f_s(t) * \frac{\omega_m}{\pi} \text{Sa}(\omega_m t) \\ &= f_s(t) * S_a(\omega_m t) \end{aligned}$$

siendo

$$f_s(t) = \sum_n f_n \delta(t-nT)$$

donde f_n es la n -ésima muestra de $f(t)$. Prosiguiendo

$$\begin{aligned} f(t) &= \sum_n f_n \delta(t-nT) * \text{Sa}(\omega_m t) \\ &= \sum_n f_n \text{Sa}(\omega_m (t-nT)) \end{aligned}$$

$$f(t) = \sum_n f_n \text{Sa}(\omega_m t - n\pi) \quad (2.1.3.3)$$

De aquí se observa que es posible reconstruir $f(t)$ sumando los productos de cada una de las n muestras con la función muestreo. En la Fig. 2.1.3.1 ilustra este proceso mostrándose únicamente las contribuciones de tres muestras por simplicidad.

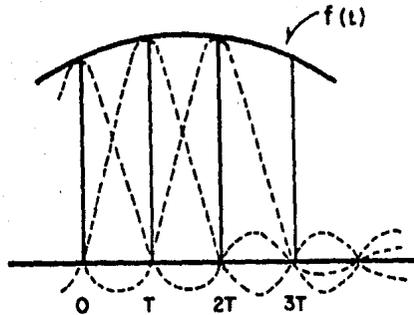


Fig. 2.1.3.1. Reconstrucción de la señal analógica

2.2. REQUERIMIENTOS DE CODIFICACION

Una vez que se obtiene la muestra, es necesario transformarla por métodos adecuados a un código que permita su transmisión con la mayor eficiencia. No siempre se logra esto debido a factores inherentes al sistema tales como el ruido o requerimientos de ancho de banda.

No es posible evitar un ruido de cuantización que obstaculiza reconstruir tal cual la señal analógica en el receptor, ya que la cuantización en sí trae la incertidumbre de ciertos niveles de la señal que son ajustados al nivel cercano más próximo. Una medida de como afecta el ruido al sistema es la relación señal a ruido de cuantización de la que hablaremos ampliamente en la sección 2.3.

Gran número de bits trae consigo un incremento en el ancho de banda, aumentado aún más cuando se trabaja por división en el tiempo para acomodar varios canales de datos, es pues un dilema el número de niveles de cuantización versus ancho de banda.

2.2.1. NIVELES DE CUANTIZACION

En las variaciones de amplitud existe la necesidad de variarlas a ciertos niveles, tratando de minimizar la pérdida de información no eliminable de la cuantización. La cantidad de niveles dependerá de la precisión requerida; así en un sistema PCM donde sea necesario transmitir la altura de un líquido en un depósito industrial hacia una central de cómputo en el cual interese únicamente registros de cambio de 1 m en excursiones que van de 0 a 15 m seguramente se utilizarían 16 niveles, mientras que si se requiriese conocer los incrementos de altura de 0.5 m es evidente el uso de 32 niveles de cuantización.

Un código puede realizar un cierto número de combinaciones, resultado de las diferentes maneras en que los pulsos puedan acomodarse uno con respecto al otro, de esta forma, siendo N el número de niveles de cuantización se tiene

$$N = m^n \quad (2.2.1.1)$$

donde m son los niveles de altura que pueden tomar los pulsos y n el número de estos. Así para m = 2 obtenemos el código binario

$$N = 2^n$$

ó

$$n = \log_2 N \quad (2.2.1.2)$$

Es pues n función logarítmica de los niveles de cuantización (Tabla 2.2.1.1).

N	n
2	1
4	2
8	3
16	4
32	5
64	6
128	7
.	.
.	.
.	.

Tabla 2.2.1.1

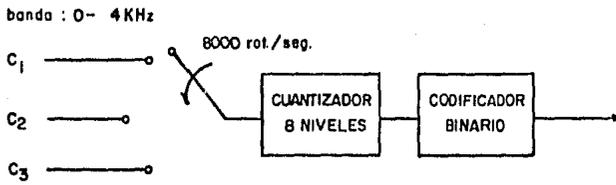
2.2.2. ANCHO DE BANDA

El incremento del ancho de banda es apreciable en cuanto existe un número n de bits que han de ser colocados en un "time slot" inherente a cada muestra, por lo que al disponer de una señal limitada en banda a 4 KHz, como la voz, tendremos al aplicar el teorema de Niquist una señal discreta con una frecuencia de 8KHz; si cuantizamos con 256 niveles ($n = 8$), el ancho de banda PCM resultante es de $8 \times 8 = 64$ KHz. Es evidente pues, que

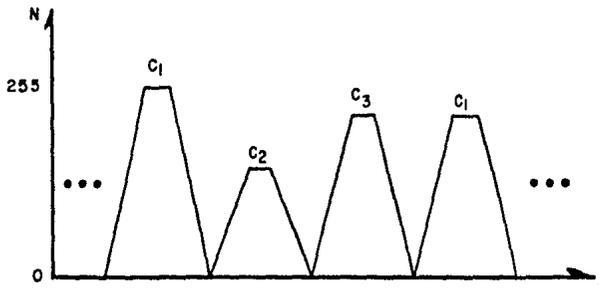
$$f_{PCM} = 2f_m n \quad (2.2.2.1)$$

En caso de multiplex por división en el tiempo, la ecuación anterior resultará afectada por un factor igual al número de canales C_t que entren en la transmisión, o sea

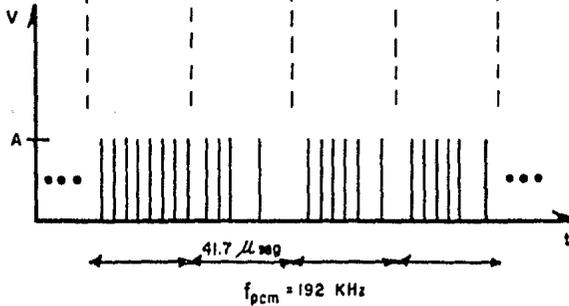
$$f_{PCM} = 2f_m n C_t \quad (2.2.2.2)$$



(a)



(b)



(c)

Fig. 2.2.2.1. Multiplex y conversi3n anal3gica - digital.

(a) diagrama a bloques.

(b) salida del cuantizador.

(c) salida del codificador.

En la Fig. 2.2.2.1 se muestra la aplicación de la ec. 2.2.2.2 para 3 canales del mismo ancho de banda, suponiendo además que cada muestra ocupa el 100% de su "time slot".

2.3. RUIDO DE CUANTIZACION

Este ruido es inherente a toda modulación en la que entra en juego una codificación. Ineliminable en la estructura funcional del sistema, necesaria para la digitización, la cuantización trae consigo este ruido que es bastante diferente al ruido aditivo que se presenta en el canal de transmisión.

Para medir este defecto definiremos una razón señal a ruido de cuantización al que denotaremos por S/N_q . Varios métodos se han desarrollado para mejorar esta relación, aspectos técnicos que en otros tiempos no eran posibles habían detenido el desarrollo de este tópico de las comunicaciones, sin embargo el constante avance de la electrónica en general ha logrado hasta cierto grado maximizar la S/N_q mediante el uso de los modernos compansores, dispositivos que cuantizan no linealmente la señal analógica.

2.3.1. RELACION SEÑAL A RUIDO DE CUANTIZACION EN NIVELES IGUALMENTE ESPACIADOS

Téngase una señal aleatoria que tiene una curva de probabilidad dada y separemos los niveles de cuantización una distancia común a (Fig. 2.3.1.1).

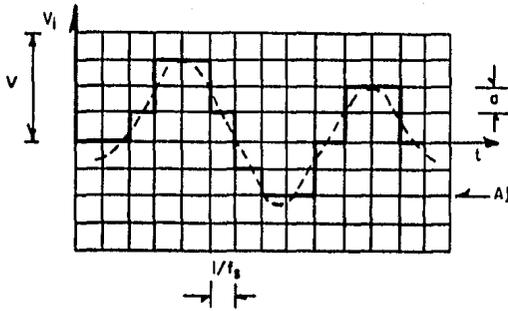


Fig. 2.3.1.1. Cuantización uniforme.

La diferencia de la señal cuantizada a la señal original la definiremos como el error que se cometa en este proceso; se calculará en base a considerar un nivel de decisión $\pm a/2$ (Fig.2.3.1.2) así suponiendo que todos los niveles continuos de la señal se repiten en la región de incertidumbre con la misma ocurrencia en un largo período de tiempo, el error cuadrático medio será:

$$E(\epsilon^2) = \frac{1}{a} \int_{-a/2}^{a/2} \epsilon^2 d\epsilon$$

$$E(\epsilon^2) = \frac{a^2}{12} \quad (2.3.1.1)$$

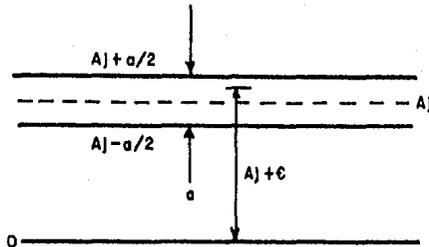


Fig. 2.3.1.2. Región de incertidumbre para el cuantizador.

Hagamos corresponder a la variancia de la distribución probabilística σ^2 la potencia media de la señal que aparece a la entrada del cuantizador y V la amplitud de la señal pico. Por lo que

$$\frac{S}{N_q} = \frac{\sigma^2}{E(\epsilon^2)} \quad (2.3.1.2)$$

y

$$a = \frac{2V}{N} \quad (2.3.1.3)$$

Sust. esta última ec. en la ec. 2.3.1.1

$$E(\epsilon^2) = \frac{V^2}{3N^2} \quad (2.3.1.4)$$

la que absorbida por la ec. 2.3.1.2 resulta en

$$\frac{S}{N_q} = 3N^2 \frac{\sigma^2}{V^2} \quad (2.3.1.5)$$

6

$$\frac{S}{N_q} = 3 N^2 \sigma_x^2 \quad (2.3.1.6)$$

σ_x = potencia media de entrada normalizada

Debido a que la $\frac{S}{N_q}$ es proporcional a σ^2 en la ec. 2.3.1.5, es indicativo que la potencia de la señal es más evidente en cuanto se aumenta la intensidad de ésta, ya que la potencia media del ruido permanece como una constante.

2.3.2. RELACION SEÑAL A RUIDO DE CUANTIZACION EN SEÑALES CON COMPANSION.

Para eliminar la dependencia de la $\frac{S}{N_q}$ a la intensidad y obtener con ello un valor fijo para un amplio rango dinámico la utilización de la estadística es útil. La existencia de niveles de amplitud que ocurren con más frecuencia que otras admite la posibilidad de cuantizar no linealmente, es decir los niveles de separación variarlos conforme a la probabilidad de ocurrencia de amplitud. Esto en telefonía es muy usado ya que la voz es de naturaleza aleatoria y las señales más débiles ocurren más frecuentemente; es aquí donde la utilización de compansores entra en juego. La compansión es el método bajo el cual se comprime en amplitud los niveles superiores y se expanden los niveles inferiores de una señal analógica antes de cuantizarla linealmente, siguiéndose un procedimiento inverso en el receptor para recuperar la forma real de la información (Fig. 2.3.2.1). Por lo que, la compansión se utiliza como acrónimo del proceso de compresión y expansión.

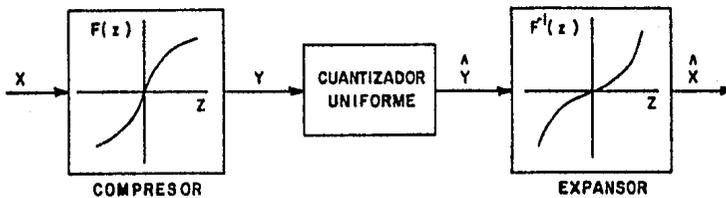


Fig. 2.3.2.1. El proceso de compansión

Actualmente existen dos técnicas de uso mundial para realizar la compresión conocidas como ley A y ley μ y dadas por las siguientes ecuaciones:

$$F(x) = \frac{\ln(1 + \mu X)}{\ln(1 + \mu)} \quad 0 \leq X \leq 1 \quad (2.3.2.1)$$

$$F(x) = \begin{cases} \frac{1 + \ln A X}{1 + \ln A} & \frac{1}{A} \leq X \leq 1 \\ \frac{AX}{1 + \ln A} & 0 \leq X \leq \frac{1}{A} \end{cases} \quad (2.3.2.2)$$

$X = \frac{X'}{V}$ = amplitud de la señal normalizada

La primera aplicada en Estados Unidos, Canadá y Japón, la segunda en Europa. Ambas con simetría impar respecto al punto $X = 0$ con parámetros típicos $\mu = 255$ y $A = 100$ para cuantización a 8 bits, $\mu = 100$ y $A = 87.6$ para 7 bits. La Fig. 2.3.2.2 muestra las curvas de compresión para la ec. 2.3.2.1 con distintos valores de μ para $X > 0$.

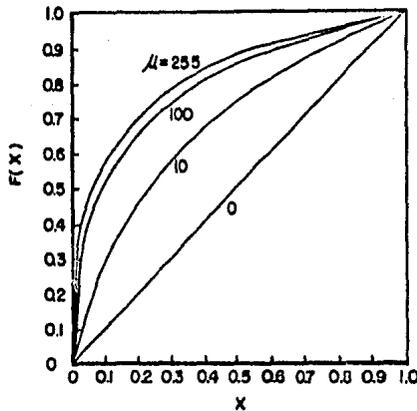


Fig. 2.3.2.2. Ley μ de compresión.

Un análisis para la compansión con ley μ demuestra que la $\frac{S}{N_q}$ está dado por

$$\frac{S}{N_q} = \frac{3N^2}{\ln(1+\mu)^2} \frac{1}{1+2E(|X|)/\mu\sigma_x^2 + \frac{1}{\mu^2\sigma_x^2}} \quad (2.3.2.3)$$

E $(|X|)$ y σ_x son parámetros estadísticos de la señal que encaja en alguna función de densidad probabilística (T.2.3.2.1).

	LAPLACIANA	GAUSIANA	UNIFORME
$f(x)$	$\frac{1}{\sqrt{2}\sigma_x} e^{-\sqrt{2} x /\sigma_x}$	$\frac{1}{\sqrt{2\pi}\sigma_x} e^{-x^2/2\sigma_x^2}$	$\frac{1}{2A} - A \leq X \leq A$
$\frac{2 E(X)}{\sigma_x}$	1.414	1.6	1.732

T.2.3.2.1. Funciones de densidad de probabilidad.

Para la señal específica de voz, la función de densidad de probabilidad inherente a ella es la Laplaciana; es interesante comparar los resultados obtenidos con la cuantización lineal y no lineal. La Fig. 2.3.2.3 gráfica las ecs. 2.3.1.6 y 2.3.2.3 para una señal analógica con f.d.p. laplaciana, con $\mu = 255$ y 128 niveles de cuantización.

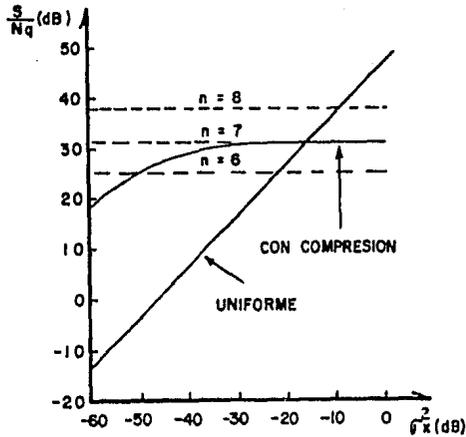


Fig. 2.3.2.3. Relación señal a ruido para señales con cuantización uniforme y con compresión.

El amplio rango dinámico de trabajo logrado con la compansión al mantenerse la $\frac{S}{Nq}$ casi constante sobre 40 dB según la Fig. 2.3.2.3, degrada hasta cierto punto el proceso de espaciamento uniforme cuya curva ilustra la susceptibilidad de la $\frac{S}{Nq}$ a cambios de amplitud de la señal analógica.

En la práctica la relación señal a ruido para ley μ se calcula por

$$\frac{S}{Nq} \text{ (dB)} = 6n - 8.5 \quad \mu = 100 \quad (2.3.2.4.a)$$

$$\frac{S}{Nq} \text{ (dB)} = 6n - 10.1 \quad \mu = 255 \quad (2.3.2.4.b)$$

Esto se basa en considerar constantes las curvas de la $\frac{S}{Nq}$ con compansión para todo el rango dinámico. De esta manera es evidente el incremento de la relación señal a ruido conforme el aumento del número de bits deseados para la cuantización. En la Fig.

2.3.2.3 se ilustra lo anterior por medio de las curvas punteadas para $\mu = 255$.

Finalmente obsérvese el mejoramiento en la calidad de la cuantización cuando se usa un compresor en una señal de prueba senoidal (Fig. 2.3.2.4).

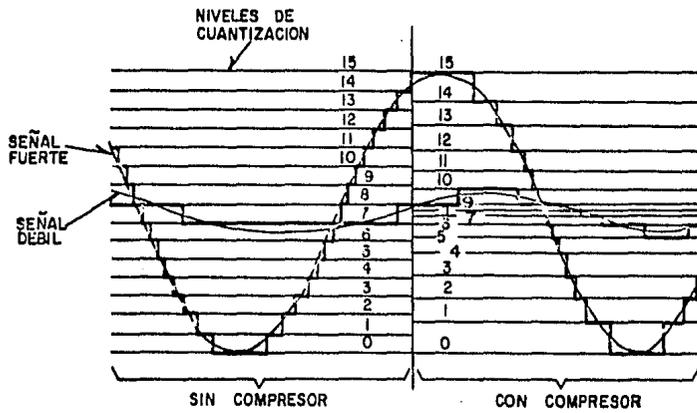


Fig. 2.3.2.4. Señal senoidal cuantizada con compresor y sin compresor.

2.4. EL SISTEMA BELL SYSTEM T1 CARRIER

En esta sección es conveniente analizar un ejemplo vivo de aplicación de la teoría del PCM a la transmisión de voz. El sistema T1 de la Bell System aún cuando viejo a tiempo de funcionamiento se refiere, presenta los principios fundamentales en cuestión de multiplexaje y transmisión de canales de voz vía repetidores en línea.

2.4.1. FUNCIONAMIENTO

Este sistema multiplexa 24 canales de voz con 7 bits para codificación de una muestra. El sistema es diseñado para transmitir frecuencias de voz hasta 4 KHz y por tanto 8000 muestras por segundo son requeridas. Un cuadro representa el total de muestras tomadas en todos los canales, cada cual es representada por 8 bits, según se muestra en la Fig. 2.4.1.1. El bit 8 es usado para supervisión y señalización. Existe un total de 193 bits en cada cuadro, y así la línea del sistema T1 opera a $193 \times 8,000 = 1,544,000$ bits/seg.

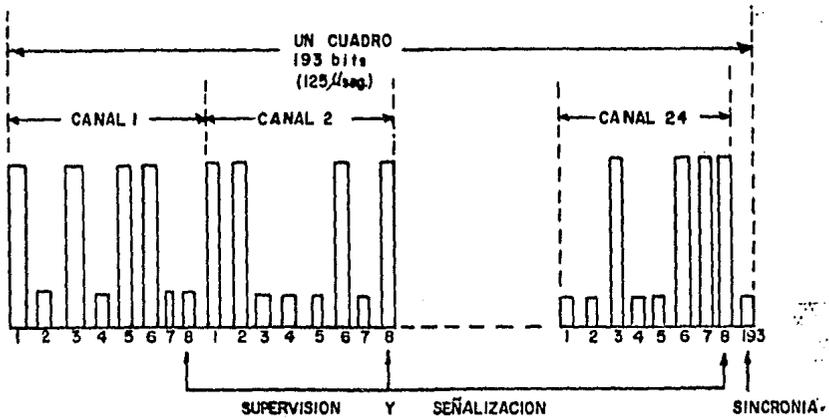


Fig. 2.4.1.1. Distribución de los canales de voz en el sistema Bell System T1 carrier.

El último bit de cuadro, el 193, es usado para establecer y mantener sincronización. La secuencia de esos bits 193 para distintos cuadros es establecido por la lógica de la terminal receptora. Si esta secuencia no sigue tal código patrón, entonces la terminal detecta que la sincronización ha sido perdida. Esto es, si existe un desliz en la sincronización, los bits examinados podrían ser de hecho bits de los canales de voz, los cuales deben presentar baja probabilidad de formar el código. Se ha encontrado que una secuencia teórica de 0 1 0 1 0 1... es adecuada y esto ha

funcionado en la práctica. Al circuito de cuadro le toma de 0.4 a 0.6 mseg detectar la asincronía, además de un tiempo de recuadro con valor de 50 mseg en el peor de los casos.

En el caso de T1 carrier la sincronización es realmente simple dado que los errores de codificación que puedan surgir se hacen transparentes cuando aparecen ante el oído humano. En otros sistemas más sofisticados en los que se requiere la transmisión de bloques de datos, es necesario el uso de códigos detectores de errores, estos debidos a la influencia del ruido a través de la línea.

Los niveles de señal para este esquema T1 PCM no son igualmente espaciados, sino que a amplitudes bajas la nivelación es más angosta que para las amplitudes mayores. Esto produce mejor reproducción del bajo volumen de voz.

2.4.2. REPETIDORES REGENERATIVOS

La principal razón por la cual alta velocidad de bits puede ser lograda en circuitos con pares de cable usando PCM es que los repetidores son puestos a intervalos frecuentes para reconstruir la señal.

En la mayoría de los sistemas PCM trabajando en la actualidad los repetidores son colocados a intervalos entre 1 y 5 Km. El sistema T1 usa repetidores a intervalos de 1.8 Km, el cual es el espacio entre bobinas de carga empleadas para transmisión analógica; los repetidores reemplazan a las bobinas de carga. Estos repetidores reconstruyen 1,544,000 pulsos por segundo.

Un repetidor regenerativo realiza tres funciones básicas: remodelado, temporización y regeneración. Cuando un pulso arriva al repetidor, este llega atenuado y distorsionado, por lo cual debe pasar por un preamplificador y ecualizador con el fin de remode-

larlo para el proceso de detección. Un filtro remueve la componente de DC. Un circuito recuperador de tiempo provee una señal para muestrear el pulso al punto óptimo para decidir si es un bit con valor 1 ó 0. Este circuito de tiempo controla la regeneración del pulso saliente y asegura que es enviado al tiempo y ancho del pulso correcto.

Como es mostrado en la Fig. 2.4.2.1 los pulsos transmitidos ocupan la mitad de un time slot. Un pulso positivo o negativo representa un 1 y la ausencia de pulso denota un 0. Esto concentra la energía de la señal alrededor de 772 Khz en vez de 1.544 Mhz cuando una cadena de 1's es transmitida.

El sistema T1 utiliza una señal de 3 niveles (A, 0, -A) conocida como señal bipolar RZ, con el fin de provocar un margen contra variaciones antes de la detección y decisión. Transmisiones digitales más avanzadas utilizan señales polares, un pulso positivo denota un 1 y un pulso negativo un 0. Una señal polar es más eficiente; mayor velocidad en bits puede ser transmitida sobre un canal dado.

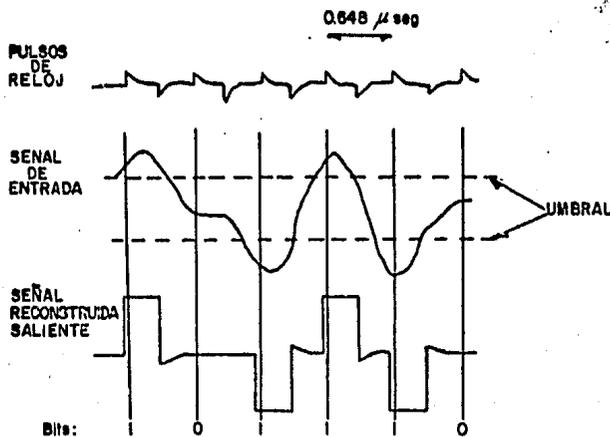


Fig. 2.4.2.1. Reconstrucción de una señal digital en un repetidor del sistema T1.

2.5. CODIFICACION PREDICTIVA

Otros métodos para aplicación específica en PCM se han implementado conforme las necesidades tecnológicas. El hecho de cuantizar y codificar cada valor de muestra de una señal como tradicionalmente se hace, implica un desperdicio de energía y canal que es evitable al existir correlación entre muestra y muestra, entre mensaje y mensaje en general. La voz posee un alto índice correlativo que es adecuadamente aprovechado por sistemas predictivos. Estos sistemas, entre otros, son el DPCM (modulación por codificación de pulsos diferencial) y $M\Delta$ (modulación delta) cuyo objetivo es la reducción del ruido y de esta manera mantener un $\frac{S}{Nq}$ adecuada sin necesidad de aumentar la potencia de la señal.

2.5.1. PCM DIFERENCIAL

Un codificador DPCM con un predictor de 3 taps es mostrado en la Fig. 2.5.1.1. Únicamente 3 taps serán considerados porque para voz la adición de otros proporcionan poco incremento en la calidad mientras que añade considerable complejidad.

La operación del sistema de la Fig. 2.5.1.1 es la siguiente. La señal de entrada $x(t)$ cuyo valor cuadrado medio es asumido 1, es muestreada a la frecuencia $1/T$ que produce una secuencia de valores discretos $x_0, x_1, \dots = \{x_i\}$. Al mismo tiempo, el predictor hace una estimación de cada valor de muestra basado en aquellas que le han precedido. Esas estimaciones son la secuencia $\hat{x}_0, \hat{x}_1, \dots = \{\hat{x}_i\}$ donde $\hat{x}_i = a_1(x_{i-1} + q_{i-1}) + a_2(x_{i-2} + q_{i-2}) + a_3(x_{i-3} + q_{i-3})$. Cuando el número de niveles de cuantización es grande ($N \geq 8$ es bastante), cada \hat{x}_i puede ser escrita aproximadamente

$$\hat{x}_i = a_1 x_{i-1} + a_2 x_{i-2} + a_3 x_{i-3} \quad (2.5.1.1)$$

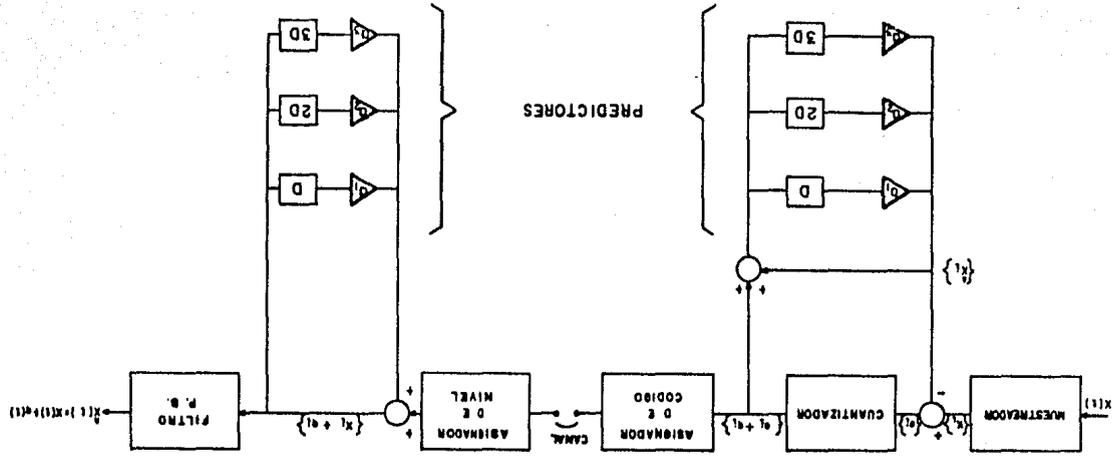


Fig. 2.5.1.1. Sistema DPCM a 3 taps.

Cada estimación es restada del valor real produciendo una secuencia de error $e_0, e_1, \dots = \{e_i\}$ donde $e_i = x_i - \hat{x}_i$. El valor cuadrado medio de la secuencia $\{e_i\}$ será llamado σ_e^2 . El cuantizador representa cada valor de e_i por el más cercano nivel de cuantización. Los N niveles de cuantización son transmitidos como palabras binarias donde $n = \log_2 N$. N es escogido ser una potencia de 2 de modo que n es un íntegro. Los niveles de cuantización son usados por el receptor para reconstruir la señal analógica original. La diferencia entre e_i y el nivel de cuantización usado para representarlo es como ya sabemos el error de cuantización q_i . Los niveles de cuantización realmente transmitidos son la secuencia $\{e_i + q_i\}$ y es usada por el decodificador para reconstruir la señal analógica. El error de cuantización se muestra en la señal reconstruida como ruido de cuantización $q(t)$. El valor cuadrado medio de $q(t)$ es σ_q^2 y es el mismo que el valor cuadrado medio de $\{q_i\}$.

La relación señal a ruido de cuantización del sistema DPCM puede ser expresado como

$$\frac{S}{N_{qD}} = \frac{\text{potencia de muestras}}{\text{potencia de ruido de cuantización}} \quad (2.5.1.2)$$

$$= \frac{\overline{\{x_i^2\}}}{\overline{\{q_i^2\}}} = \frac{\sigma_s^2}{\sigma_q^2} = \frac{1}{\sigma_q^2} \quad (2.5.1.3)$$

$$\frac{S}{N_{qD}} = \frac{1}{\sigma_e^2} \cdot \frac{\sigma_e^2}{\sigma_q^2} \quad (2.5.1.4)$$

El factor σ_e^2 / σ_q^2 de la ec. 2.5.1.4 es análogo a la S/N_q para PCM ya que representa la razón en potencia de la señal entrante al cuantizador al ruido de cuantización. Por lo que

$$\frac{S}{N_{qD}} = \frac{1}{\sigma_e^2} \cdot \frac{1}{N_{qp}}$$

El valor $\frac{1}{\sigma_e^2}$ representa la cantidad por cual la potencia de la se-

nal puede ser reducida por predicción lineal y es conocido como el factor de mejoramiento (SNI) de la $\frac{S}{N_q}$ para DPCM sobre el PCM. Así

$$\frac{S}{N_{qD}} \text{ (dB)} = \text{SNI} + \frac{S}{N_{qp}} \text{ (dB)} \quad (2.5.1.6)$$

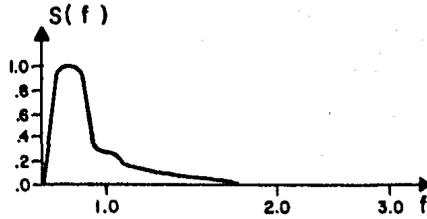
Este factor de mejoramiento ha sido computado usando la teoría de predicción lineal. Es una función de los coeficientes del predictor $\{a_j\}$ y la función de autocorrelación de la señal de entrada. La Fig. 2.5.1.2 ilustra el comportamiento en potencia de varias señales que aparecen en la banda de voz (0-3400 Hz) las cuales tienen un SNI dado por la Tabla 2.5.1.1, indicando en paréntesis este valor cuando se tiene un predictor de 1 tap. Es evidente de esta tabla que en general un predictor optimizado para voz no es óptimo para señales que se encuentren dentro de su banda, lo mismo ocurre para el cuantizador.

Para un diseño óptimo de $\{a_j\}$ usemos para voz un SNI = 11.41. Por lo que si trabajamos con un cuantizador tipo $\mu = 255$ (ec. 2.3.2.4.b) la relación señal a ruido de cuantización para un sistema DPCM será

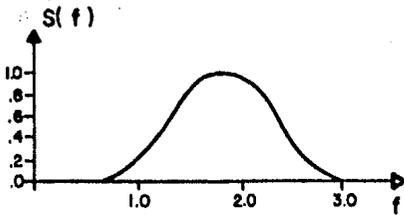
$$\frac{S_v}{N_{qD}} \text{ (dB)} = 11.41 + 6n - 10.1 \quad (2.5.1.7)$$

De esta ecuación se desprende un resultado importante, dado que un incremento de 6 dB en la $\frac{S}{N_q}$ es obtenido por cada bit adicional usado en el código binario para representar las muestras de la señal es claro que existe una reducción de 2 bits en el código y que el usar 6 bits/muestra en DPCM presta la misma calidad en funcionamiento que el uso de 8 bits/muestra en PCM.

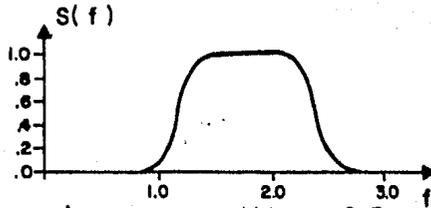
El desempeño de un sistema DPCM puede ser aun mejorado no ya incrementando el número de coeficientes del predictor sino adaptándolos dinámicamente conforme a la señal, o bien logrando que el cuantizador cambie su función de la pendiente de esta. Cuando estas



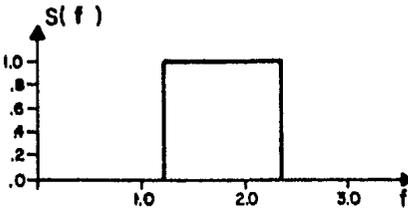
a) voz



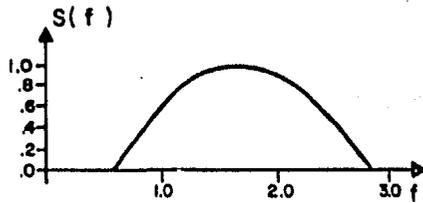
b) coseno en subida $r=1.0$



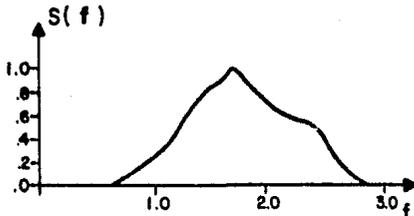
c) coseno en subida $r=0.5$



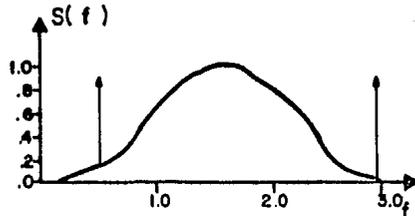
d) coseno en subida $r=0$
o espectro plano limitado en banda.



e) espectro seno



e) datos modulados en fase
20 a 1200 bps
40 a 2400 bps



f) datos modulados con respuesta parcial
2 niveles a 4800 bps
4 niveles a 9600 bps

Fig. 2.5.1.2. Espectro de potencia normalizado para varias señales en la banda de voz.

			a	b	c	d	e	f	g	
S N I										
Autocorrección $\psi(1)$ $\psi(2)$ $\psi(3)$	a ₁ a ₂ a ₃	DPCM Optimizado para esta señal	Voz	Coseno en subida r=1.0	Coseno en subida r=0.5	Coseno en subida r=0	Espectro seno (respuesta parcial)	Modem 1 2400 b/s 4 ϕ mod. fase	Modem 2 9600 b/s (respuesta parcial)	
a	0.8661 0.5541 0.2247	1.936 -1.553 0.4972	Voz	11.41 (6.02)	-3.44 (-1.74)	-2.95 (-1.73)	-2.77 (-1.73)	-3.18 (-1.39)	-2.82 (-1.50)	-7.00 (-2.21)
b	0.1476 -0.7498 -0.2611	0.3777 -0.8268 0.1442	Coseno en subida r=1.0	-1.33 (1.16)	4.41 (0.10)	5.48 (0.10)	5.92 (0.10)	3.22 (0.18)	4.35 (0.16)	-0.54 (-0.03)
c	0.1499 -0.7993 -0.3024	0.4054 -0.8832 0.1540	Coseno en subida r=0.5	-1.43 (1.18)	4.38 (0.10)	5.53 (0.10)	6.01 (0.10)	3.16 (0.19)	4.35 (0.16)	-0.79 (-0.03)
d	0.1507 -0.8164 -0.3171	0.4170 -0.9033 0.1595	Coseno en subida r=0	-1.44 (1.18)	4.35 (0.10)	5.52 (0.10)	6.02 (0.10)	3.12 (0.19)	4.33 (0.16)	-0.88 (-0.03)
e	0.2145 -0.6258 -0.2757	0.5180 -0.7834 0.2165	Espectro seno (respuesta parcial)	0.32 (1.71)	4.25 (0.08)	5.22 (0.08)	5.62 (0.08)	3.39 (0.20)	4.33 (0.17)	-0.67 (-0.10)
f	0.1951 -0.7189 -0.3561	0.4519 -0.8327 0.1312	Modem 1 2400 b/s 4 ϕ mod. fase	-0.87 (1.55)	4.33 (0.09)	5.42 (0.09)	5.87 (0.09)	3.29 (0.20)	4.44 (0.17)	-0.73 (-0.08)
g	0.0503 -0.3481 0.0671	0.1116 -0.3600 0.1240	Modem 2 9600 b/s (respuesta parcial)	-0.70 (0.38)	2.19 (0.05)	2.40 (0.05)	2.47 (0.06)	1.72 (0.08)	2.00 (0.07)	0.65 (0.01)

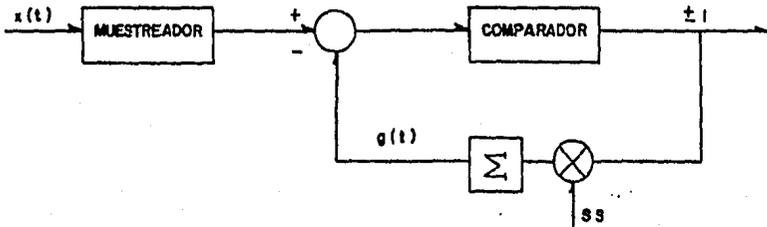
características de adaptación son introducidas el método es llamado DPCM adaptivo. Sistemas ADPCMs incorporando ambos métodos de adaptación son capaces de producir una buena $\frac{S}{N_q}$ sobre un amplio rango dinámico de la voz; muestreando cada 8 KHz y produciendo 32 Kbit/s son capaces de lograr una relación señal a ruido de 30 dB en un rango dinámico de 40 dB. Por esta razón, considerable interés se ha concentrado en métodos ADPCMs.

2.5.2. MODULACION DELTA

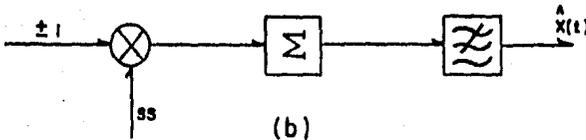
Este tipo de modulación es un caso especial de DPCM con sólo dos niveles de cuantización cuya representación digital es de 1 bit.

En un modulador típico (Fig. 2.5.2.1) las muestras se toman a mayor velocidad que la frecuencia de Nyquist y se diferencia con un valor dado por el predictor formado por un multiplicador y un acumulador. El signo de la diferencia hace que el comparador obtenga una salida de ± 1 , +1 indica la situación en que la señal en trante sube de nivel más rápidamente que el valor predicho, -1 indica la situación opuesta. Estos valores se multiplican con el factor de peso SS conocido como amplitud de escalón y entran a un acumulador que suma o resta los pasos incrementales necesarios para dar el mejor valor que se aproxima a las muestras de $x(t)$. Para la reconstrucción se utiliza en el decodificador el mismo predictor seguido por un filtro paso bajo con el fin de suavizar la señal.

La Fig. 2.5.2.2 muestra las formas de onda obtenidas en el modulador, así como la existencia de ruido de cuantización manifestado en dos formas según la región que se trabaje: ruido granular y ruido por sobrependiente. El ruido granular se produce al oscilar los escalones sobre una región en que no existe gran rapidez de cambio. El ruido por sobrependiente ocurre debido a que el SS fija un límite a la pendiente de la señal de entrada que el modulador



(a)



(b)

fig. 2.5.2.1. Sistema de modulación delta (a) codificador, (b) decodificador.

puede seguir o sea $SS(f_s)$. El mejor SS es aquel que obtiene un balance apropiado entre el ruido causado por sobrependiente el cual es dominante cuando el SS es pequeño y el causado por granularidad el cual es dominante cuando el SS es grande; aunque hay que hacer notar que el ruido total depende también de la velocidad de muestreo.

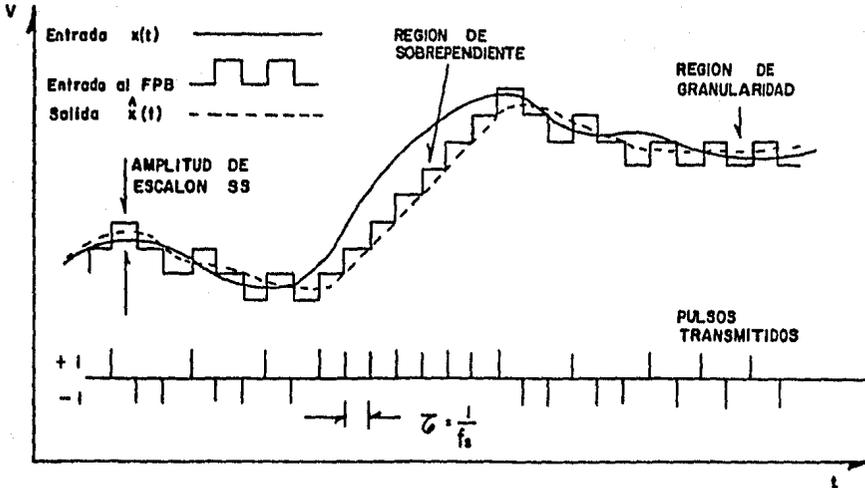


Fig. 2.5.2.2. Formas de onda en la modulación delta.

La modulación delta trabaja mejor con señales de baja frecuencia. Para tomar un nivel de comparación de lo anterior usemos la muy común señal senoidal, con razón señal a ruido (5) dada por

$$\frac{S_S}{N_{q\Delta}} = 10 \log \frac{f_b^3}{f_s^2 W} - 14 \text{ dB} \quad (2.5.2.1)$$

donde f_b es la rapidez de transmisión de bits o frecuencia de muestreo, f_s frecuencia senoidal, W ancho de banda del sistema. Es evidente que conforme aumenta la frecuencia entrante la S/N_q disminuye y que para incrementarla es necesario aumentar el muestreo lo cual resulta inconveniente.

La MA es particularmente adecuada para codificar señales de voz, ya que su espectro en potencia presenta un máximo a 800 Hz y cae desde este punto a 6 dB/octava hasta los 4 KHz. Así la distorsión total medible para la voz en un MA se obtiene de manera aproximada por la distorsión total en una senoide de 800 Hz. Por lo que en la ec. 2.5.2.1

$$\frac{S_v}{N_{q\Delta}} = 10 \log \frac{f_b^3}{(0.8)^2 (3.4)} - 14 \text{ dB}$$

$$\frac{S_v}{N_{q\Delta}} = 10 \log f_b^3 - 17.37 \text{ dB} \quad (2.5.2.2)$$

$$f_b = \text{rapidez de transmisión} \quad [\text{Kb/seg}]$$

Es interesante comparar el funcionamiento de este tipo de modulación en base a la ecuación anterior (2.5.2.2) con el obtenido en PCM. Para ello modifiquemos la $\frac{S}{N_q}$ obtenida para la compansión con $\mu = 255$. Así de

$$\frac{S}{N_q} = 6n - 10.1 \text{ dB} \quad (2.3.2.4.b)$$

muestreando a la frecuencia de Nyquist de 8 KHz, tenemos que $n = \frac{f_b}{8}$ por lo que para voz,

$$\frac{S_v}{N_{qP}} = 3/4 f_b - 10.1 \text{ dB} \quad (2.5.2.3)$$

Así, de la ec. 2.5.2.2 y la ec. 2.5.2.3 se obtiene la Fig. 2.5.2.3 que es bastante ilustrativa ya que muestra las venta-

jas del PCM sobre la MΔ o viceversa para distintas rapidez de transmisión. De aquí resulta evidente que la modulación delta provee mayor ventaja en S/N_q sobre PCM para una rapidez de 16 a 32 Kb/s; nótese que para cantidades menores de Kb/s la razón señal a ruido resulta demasiado baja para el nivel que se requiere en el proceso de una señal de voz. Para mayor rapidez el PCM presenta en mucho, gran ventaja sobre la MΔ.

Por esto resulta evidente que la MΔ es aplicable a sistemas donde el costo es prioritario y no se requiera gran calidad en la decodificación de la señal procesada.

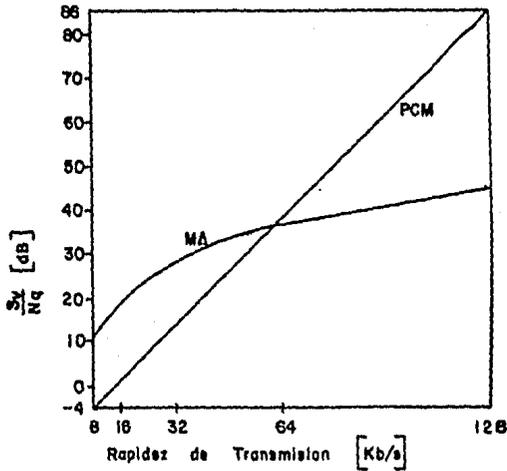


Fig. 2.5.2.3. Curvas de $\frac{S}{N_q}$ para voz con MΔ y PCM.

2.6. TECNICAS DE MODULACION DIGITAL

La separación física entre emisor y receptor implica la existencia de un medio de transmisión por medio del cual viaja la información. Este medio o canal de transmisión puede ser un par de hilos, cable coaxial, guía de onda, el espacio abierto, etc., en los cuales es necesario aprovechar eficazmente la disponibilidad frecuencial o de tiempo que se nos permita.

La modulación permite acoplar las características de la señal viajera al canal de transmisión. Siendo en esencia la modulación una técnica por la cual se procesa una señal variando sus características conforme a datos suministrados, obtiene dos objetivos fundamentalmente: 1) mayor eficiencia en la radiación de información debido al traslado en frecuencia de la señal modulante a la de portadora, 2) mejor aprovechamiento del espectro de transmisión por medio de una buena distribución de frecuencias portadoras. En particular, la transmisión digital vía portadora es muy semejante a la transmisión analógica, inclusive más simple en algunos casos.

Básicamente existen tres técnicas de modulación digitales; modulación en amplitud (AM), modulación en frecuencia (FM) y modulación en fase (PM). En años recientes sistemas híbridos (AM-PM o APK han recibido gran atención debido a la economía del ancho de banda que se logra. Cada una de estas técnicas posee un buen número de variantes, lo más relevante de ellas será discutida aquí.

2.6.1. EL SISTEMA TRANSMISOR-RECEPTOR

La Fig. 2.6.1.1 muestra un diagrama a bloques del sistema digital de transmisión. La función del transmisor consiste en codificar los datos entrantes, modulación, modelado del pulso y amplificación de potencia. El codificador convierte los datos de entrada al

receptor (polar, bipolar, etc.) a señales entendibles por el modulador, el cual desarrolla ondas portadoras que son modeladas por la subsecuente red de modelado. Este modelado tiene por objeto suprimir la energía de la señal fuera del ancho de banda del canal asignado. En el receptor otra red de modelado es diseñada para rehacer la forma al pulso transmitido, es decir, para rechazar el ruido y suprimir la interferencia de canales adyacentes. La señal resultante de esta etapa es muestreada a instantes de tiempo apropiados y decisiones en la información son hechas por el demodulador y decodificador. En el receptor referencias de tiempo y frecuencia deben ser tomadas de la señal transmitida. Errores en las referencias recobradas resulta en un funcionamiento no sincronizado en el sistema. La sensibilidad de varias formas de modulación y modelado de pulsos a errores en las referencias locales es un factor importante en la selección de un sistema de transmisión.

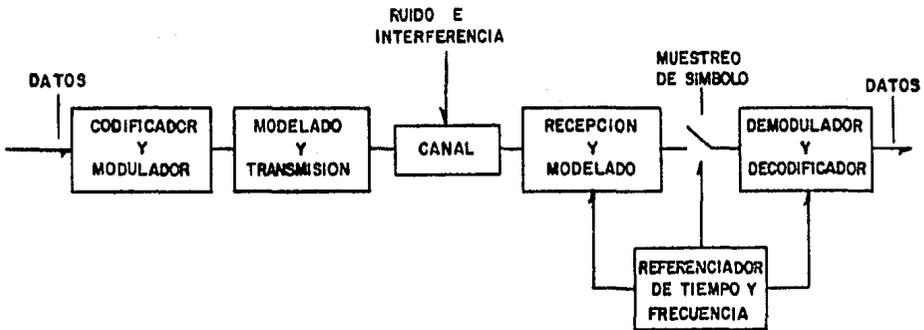


Fig. 2.6.1.1. Sistema transmisor-receptor por onda portadora.

2.6.2. TECNICAS DE MODULACION EN AMPLITUD

Usando esta técnica la señal portadora varía su amplitud de acuerdo a los datos binarios. La técnica digital AM más simple es la DSB o doble banda lateral modulada por una señal binaria. La señal DSB es representada por:

$$f(t) = \frac{A}{2} (1 + m(t)) \cos \omega_c t \quad (2.6.2.1)$$

AM-DSB

Donde $m(t)$ es la señal modulante y ω_c es la frecuencia en radianes por segundo.

Dado que la portadora no contiene información, la eficiencia puede ser mejorada por el uso de una variante con DSB portadora suprimida, así:

$$f(t) = A m(t) \cos \omega_c t \quad (2.6.2.2)$$

AM-DSB-SC

La situación cuando $m(t) = \pm 1$ en la ec. 2.6.2.1 y $m(t) = 1,0$ en la ec. 2.6.2.2 produce la modulación OOK (on-off-keying) la cual es un tipo de señal que tiene como característica el encendido y apagado en una onda portadora de alta frecuencia. La Fig. 2.6.2.1 ilustra el procedimiento para obtener este tipo de modulación. Si $m(t) = \pm 1$ en la ec. 2.6.2.2 se obtiene una señal BPSK (binary shift keying), la cual se discutirá al tratar las técnicas de modulación en fase.

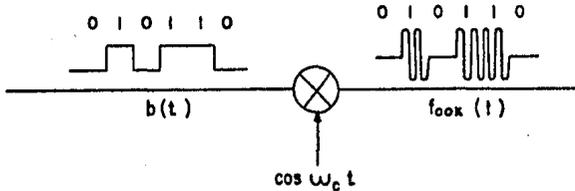


Fig. 2.6.2.1. Modulador OOK.

Para rescatar una señal de este tipo, en el receptor se utiliza un detector no-coherente de los llamados de envoltura, cuyo circuito más conocido es el RC usado en los receptores de radio comercial (Fig. 2.6.2.2).

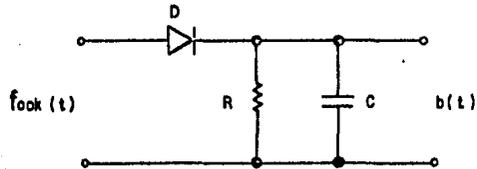


Fig. 2.6.2.2. Detector de envoltura.

2.6.3. TÉCNICAS DE MODULACION EN FRECUENCIA

La técnica básica de modulación en frecuencia es la FSK (frequency shift keying) donde la señal binaria $b(t)$ es usada para generar la forma de onda:

$$f(t) = A \cos (\omega_c \pm \Omega) t \quad (2.6.3.1)$$

FSK

En la cual el signo más o menos se aplica dependiendo si el bit es cero ó 1. La señal transmitida, entonces tiene una frecuencia $\omega_c - \Omega$ o $\omega_c + \Omega$, siendo Ω la desviación de frecuencia angular de la frecuencia portadora ω_c . La Fig. 2.6.3.1 muestra la forma de onda obtenida con esta técnica.

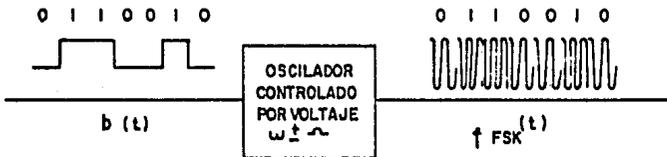


Fig. 2.6.3.1. Modulador FSK.

Con esquemas FSK, es práctica común especificar la separación en frecuencias $\Delta f = \frac{\Omega}{\pi}$, en términos de un índice de modulación, definido por:

$$\beta = \Delta f T \quad (2.6.3.2)$$

donde T es la duración del símbolo (igual al inverso de la rapidez de la fuente binaria $b(t)$).

Como en otros esquemas de modulación, FSK puede ser detectado de manera coherente como no-coherente. Detección no-coherente puede ser efectuada por dos filtros paso banda seguidos por detectores de envolvente y un dispositivo de decisión. Con esta aproximación la separación de frecuencias debe ser al menos $1/T$ ($\beta \geq 1$) para prevenir significativo traslape en la banda de paso de los dos filtros. En cuanto a detección coherente la señal podría

ser recuperada multiplicando por dos señales, una con frecuencia $\omega_c - \Omega$ y otra con frecuencia $\omega_c + \Omega$, seguidas de filtros pasa bajas, que una vez restadas sus salidas entregan los valores binarios (Fig. 2.6.3.2).

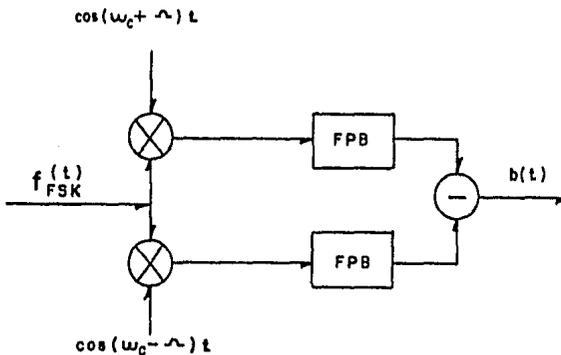


Fig. 2.6.3.2. Detección coherente en FSK

FSK de fase continua (CPFSK) es otro esquema de modulación FSK en el cual la fase es obligada a ser constante durante una transición de símbolo, esto es, los cambios abruptos de fase en los instantes de transición de bits, característicos de otras implementaciones FSK, son evitados. Este detalle de fase resulta en ventajas en la banda espectral de frecuencia así como en mejorada eficiencia por el uso de intervalos de observación mayores de un bit. Con detección coherente, valores de β en las vecindades de 0.7 han mostrado proveer un óptimo funcionamiento para cualquier intervalo de observación. Un caso especial de CPFSK, de gran interés en años recientes, es la técnica MSK (minimum shift keying), a la cual corresponde una β de 0.5, cuya característica principal es la mínima separación en frecuencia de los tonos de señalización, esto se refleja en que hay exactamente medio ciclo de diferencia entre el tono de 1 y el tono de 0, según se observa en la Fig. 2.6.3.3.

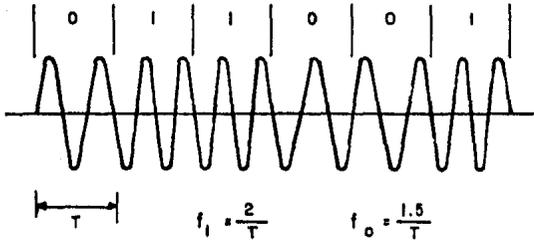


Fig. 2.6.3.3. Señal MSK

Es importante hacer notar aquí, que generalmente f_1 y $f_2 \gg \frac{1}{T}$. En algunos sistemas, particularmente sobre líneas telefónicas, f_1 y $f_2 = \frac{1}{T}$, como es el caso de los sistemas CPFSK.

2.6.4. TECNICAS DE MODULACION EN FASE

Esta categoría de modulación angular hace uso de cierta separación en fase de una señal portadora con el fin de representar una serie de bits. Nos hemos referido ya a la técnica básica de modulación en fase BPSK en la sección 2.6.2, lo cual nos da una idea del tipo de señales que obtendremos al estudiar las señales del tipo Mary-PSK.

PSK ha resultado ser la técnica de modulación más popular para densidades de información intermedias y aplicaciones de gran nivel de trabajo. La popularidad es primariamente debido a dos razones, insensitividad a variaciones de nivel y buena capacidad para evitar transmisión de errores.

La expresión general de una señal M-PSK está dada por:

$$f_{i\text{PSK}}(t) = A (\cos(\omega_c t + \phi_i)) \quad (2.6.4.1)$$

donde A = amplitud de la señal PSK.

ω_c = frecuencia de la portadora en rad/seg.

ϕ_i = fase variable a datos binarios

Desarrollando la ec. anterior,

$$f_{i\text{PSK}}(t) = A (\cos \phi_i \cos \omega_c t - \text{sen } \phi_i \text{ sen } \omega_c t) \quad (2.6.4.2)$$

Nos damos cuenta que $\cos \phi_i$ y $\text{sen } \phi_i$ son constantes sobre un intervalo de señalización, y por tanto representan los coeficientes para expresar $\cos(\omega_c t + \phi_i)$ como una combinación lineal de las señales $\cos \omega_c t$ y $\text{sen } \omega_c t$.

Es decir:

$$f_{i\text{PSK}}(t) = A (C_i \cos \omega_c t + S_i \text{ sen } \omega_c t) \quad (2.6.4.3)$$

donde $C_i = \cos \phi_i$ y $S_i = - \text{sen } \phi_i$

Dado que $\cos \omega_c t$ y $\text{sen } \omega_c t$ están fuera de fase 90° uno respecto a otro, son ortogonales en un diagrama de fase, y por tanto se dice que están en cuadratura.

En esencia, $\cos \omega_c t$ y $\text{sen } \omega_c t$ representan vectores base en un diagrama de fasores bidimensional. La señal coseno se dice está dentro de fase y es conocida como señal I, la señal seno se dice que está fuera de fase y se le denomina señal Q.

La tabla 2.6.4.1 muestra los coeficientes en cuadratura C_i y S_i necesarios para generar una señal PSK de 2, 4 y 8 fases. En la Fig. 2.6.4.1 se muestra el diagrama de fases de las señales anteriores, donde los puntos que representan a las señales son conocidos como constelación de señales; a un lado aparecen las formas de onda obtenidas para cada intervalo de señalización.

	SEÑAL COMPUESTA	C_i	S_i	VALOR BINARIO
2φ	$A\cos(\omega_c t + \pi/2)$	0.0	-1.0	0
	$A\cos(\omega_c t - \pi/2)$	0.0	1.0	1
4φ	$A\cos(\omega_c t + \pi/4)$	0.707	-0.707	01
	$A\cos(\omega_c t + 3\pi/4)$	-0.707	-0.707	00
	$A\cos(\omega_c t - 3\pi/4)$	-0.707	0.707	10
	$A\cos(\omega_c t - \pi/4)$	0.707	0.707	11
8φ	$A\cos(\omega_c t + \pi/8)$	0.924	-0.383	011
	$A\cos(\omega_c t + 3\pi/8)$	0.383	-0.924	010
	$A\cos(\omega_c t + 5\pi/8)$	-0.383	-0.924	000
	$A\cos(\omega_c t + 7\pi/8)$	-0.924	-0.383	001
	$A\cos(\omega_c t - 7\pi/8)$	-0.924	0.383	101
	$A\cos(\omega_c t - 5\pi/8)$	-0.383	0.924	100
	$A\cos(\omega_c t - 3\pi/8)$	0.383	0.924	110
	$A\cos(\omega_c t - \pi/8)$	0.924	0.383	111

Tabla 2.6.4.1. Coeficientes en cuadratura para PSK de 2, 4 y 8 fases.

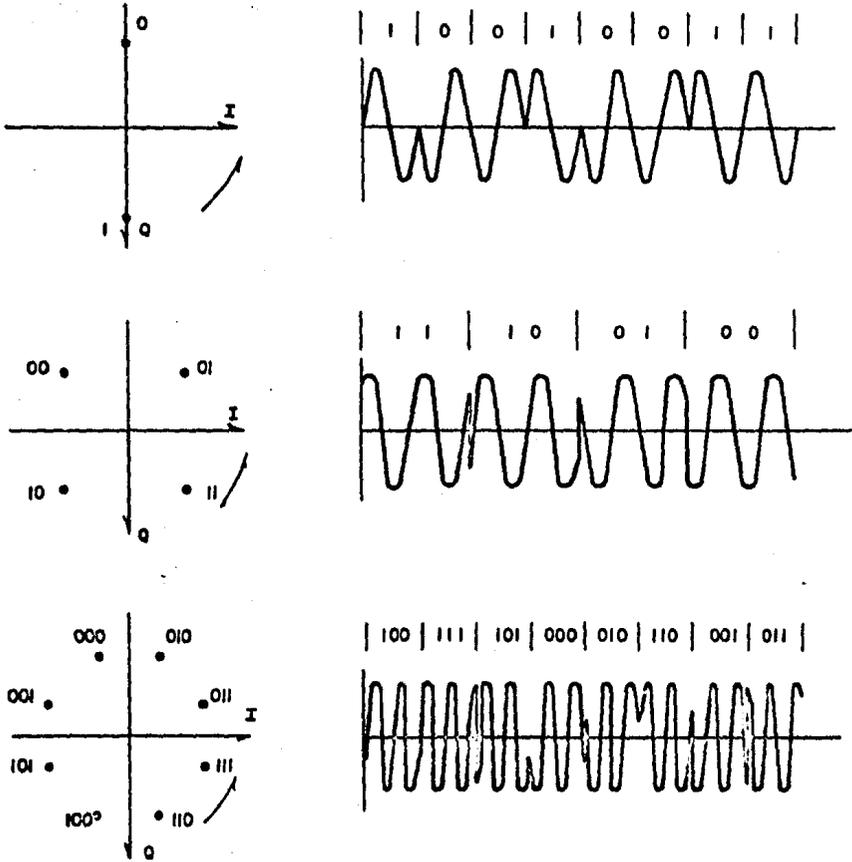


Fig. 2.6.4.1. Diagrama fasorial y formas de onda para PSK de 2, 4 y 8 fases.

Un método general para producir la modulación en fase y generar señales Mary-PSK basado en los coeficientes en cuadratura, se muestra en la Fig. 2.6.4.2.

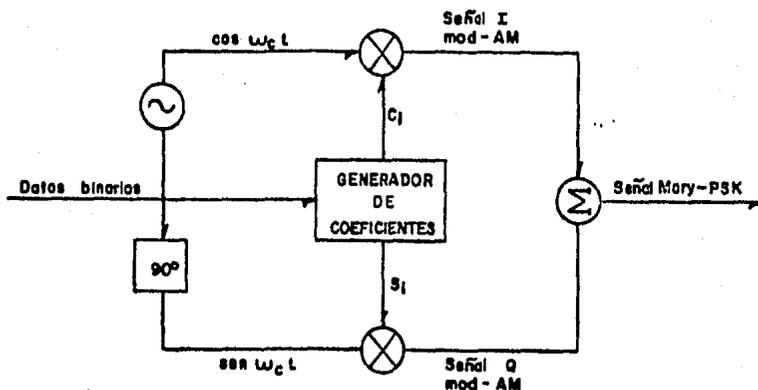


Fig. 2.6.4.2. Modulador Mary-PSK.

2.6.5. TECNICAS DE MODULACION HIBRIDAS

En años recientes la utilización de técnicas híbridas que hacen uso de la combinación de las tres formas de modulación típicas (AM, FM y PM) para representar un tren de datos binarios, ha causado un gran impacto en las redes de telecomunicaciones. La técnica de más utilidad es la conocida como corrimiento de amplitud-fase o APK y cuando es usada en cuadratura se reconoce también como modulación en amplitud por cuadratura QAM. Bajo esta técnica los coeficientes en cuadratura son valuados de modo tal que entregan una fase i y una amplitud multinivel i . De esta forma QAM es bastante semejante a PSK, excepto que se tiene una amplitud o varias para una cierta fase.

De acuerdo a las consideraciones anteriores, la señal QAM se puede representar por la siguiente ecuación:

$$f_{i_{QAM}}(t) = A_i (\cos(\omega_c t + \phi_i)) \quad (2.6.5.1)$$

donde A_i = amplitud multinivel i

ω_c = frecuencia de la portadora en rad/seg.

ϕ_i = fase variable a datos binarios

Siguiendo un desarrollo algebraico, la ec. anterior resulta:

$$f_{i_{QAM}}(t) = C_i \cos \omega_c t + S_i \sen \omega_c t \quad (2.6.5.2)$$

donde $C_i = A_i \cos \phi_i$ y $S_i = - A_i \sen \phi_i$

Aquí, es útil expresar las siguientes igualdades:

$$A_i = \sqrt{C_i^2 + S_i^2} \quad (2.6.5.3)$$

$$\phi_i = \arctan \left(\frac{-S_i}{C_i} \right) \quad (2.6.5.4)$$

De esta forma podemos conocer la expresión para la señal $f_i(t)$ en base a la constelación de señales indicada en un diagrama de fase dado que son conocidos los coeficientes C_i y S_i . En la Figura 2.6.5.1 se muestran los diagramas de fase para una señal Mary-APK con $M = 8$ y 16 estados.

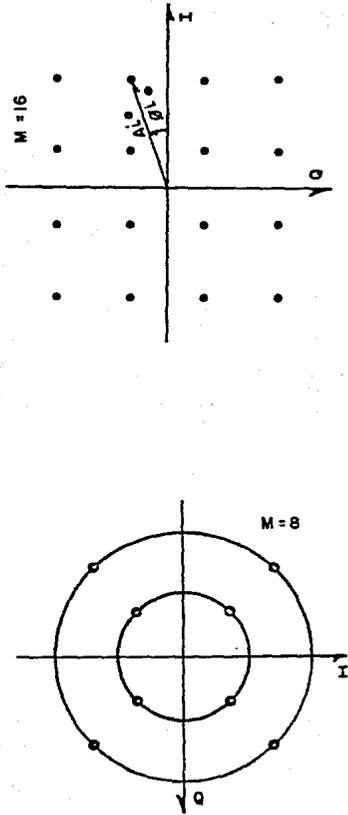


Fig. 2.6.5.1. Diagrama factorial para APK con 8 y 16 estados.

2.6.6. ELEMENTOS DE JUICIO PARA SELECCIONAR UNA TECNICA DE MODULACION

De las anteriores técnicas de modulación, existen factores que favorecen unas sobre otras, la selección se realiza de acuerdo a la aplicación específica. Existen las características espectrales, tal como el ancho de banda requerido para transmitir a una especificada rapidez de transmisión; tal como la extensión a la cual la señal puede interferir con otros canales adyacentes, medida por la atenuación del espectro en potencia de la señal a una distancia especificada de la frecuencia central. Otro factor son los efectos de interferencia causados por canales adyacentes que acarrearán con ello cierta cantidad de degradación en la señal modulada. El efecto de desvanecimiento (fading) causado por componentes multiruta (la interferencia CW puede representar la señal de la ruta secundaria). El efecto de distorsión por retraso, el cual es causado por el sistema y no por el canal. Finalmente, el costo y complejidad del esquema de modulación debe ser tomado en cuenta.

2.7. EFECTO DEL RUIDO EN EL CANAL DE TRANSMISION

Durante la transmisión de información por un canal dado, existen fuentes aleatorias de ruido que tienden a producir perturbaciones indeseables en nuestra señal de información.

Así, definimos al ruido como una señal indeseable sin relación alguna con la señal deseada.

Para un estudio analítico de los efectos del ruido y métodos de solución a este, existen dos figuras de mérito importantes: la probabilidad de error y la capacidad del canal. La primera es un indicador del grado de inseguridad en la señal recibida. La segunda, se refiere a las limitantes físicas del canal, debidas al

ancho de banda y la potencia del ruido, las cuales permiten una velocidad máxima de transmisión para una cierta rapidez de errores.

2.7.1. CARACTERISTICAS DEL RUIDO

De las varias fuentes de ruido que existen, haremos la siguiente clasificación: a) ruido producido por el hombre, b) perturbaciones naturales y c) ruido de fluctuación.

El ruido producido por el hombre es aquel que se debe a fenómenos bien conocidos de nuestra vida diaria y que provienen de fuentes tales como contactos defectuosos, artefactos eléctricos, radiación por ignición, alumbrado fluorescente, etc. Tal tipo de ruido puede evitarse eliminando la fuente que lo produce.

El ruido natural errático, el cual es producido por fenómenos de la naturaleza misma, puede proceder de relámpagos, tormentas eléctricas en la atmósfera, ruido intergaláctico, etc.

El ruido de fluctuación aparece en los sistemas físicos de transmisión tales como elementos resistivos, dispositivos semiconductores, válvulas de vacío, etc. Básicamente existen dos tipos de ruido de fluctuación: el ruido de disparo y el ruido térmico. El primero debido a la emisión aleatoria de electrones en válvulas de vacío y la generación aleatoria, recombinación y difusión de portadores en semiconductores. El segundo se debe al movimiento aleatorio de los electrones libres en medios conductores tales como resistores, y que de una manera u otra se es dependiente de la temperatura.

En cuestión del ruido, es necesario englobar de cierta manera todas las fuentes y todos los efectos de ellas en un modelo matemático único que sirva para iniciar un estudio analítico del problema de la transmisión de errores.

El modelo de ruido que se utiliza es el ruido blanco gaussiano, el cual presenta una densidad espectral de potencia constante para todas las bandas de frecuencia y una amplitud que varía de acuerdo a una distribución de probabilidad gaussiana con valor esperado igual a cero. Esto es, la amplitud del ruido estará supeditada a la siguiente expresión:

$$f(n) = \frac{1}{\sqrt{2\pi}\sigma} e^{-n^2/2\sigma^2} \quad (2.7.1.1)$$

donde $n(t)$ es la amplitud del ruido aleatorio y σ^2 es la varianza del ruido la cual asumimos conocida.

La Figura 2.7.1.1 muestra un oscilograma típico de ruido en voltaje y su función de densidad probabilística del tipo gaussiano.

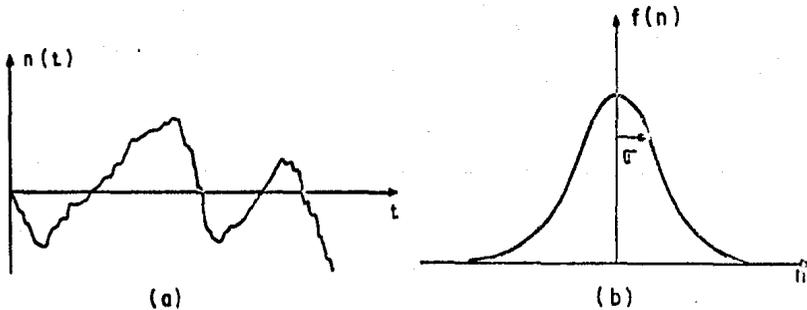


Fig. 2.7.1.1. Ruido blanco gaussiano.
a) oscilograma, b) función de densidad de probabilidad.

2.7.2. PROBABILIDAD DE ERROR

Analicemos por separado los tipos de transmisión digital en banda base y por onda portadora.

Para las señales banda base consideremos el caso unipolar mostrado en la Fig. 2.7.2.1 en la cual se hace referencia a un tren de pulsos cuadrados con ruido aditivo del canal superimpuesto. Esta señal de voltaje debe ser detectada por la circuiteria y dar una decisión del nivel enviado.

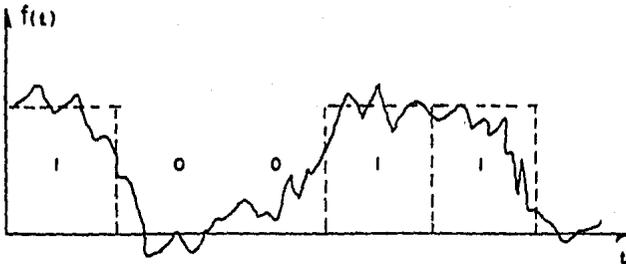


Fig. 2.7.2.1. Señal unipolar con ruido blanco gaussiano.

El análisis teórico demuestra que la probabilidad de error para una señal unipolar está dada por la siguiente ecuación:

$$P_e = \frac{1}{2} \left(1 - \operatorname{erf} \frac{A}{2\sqrt{2}\sigma} \right) \quad (2.7.2.1)$$

$\frac{A}{\sigma}$ = relación amplitud de señal a ruido r.m.s.

$\operatorname{erf} x$ = función de error.

La función de error a la que hace referencia esta ecuación, se encuentra tabulada en manuales de matemáticas.

La probabilidad de error se encuentra graficada para varios valores de $\frac{A}{\sigma}$ en la Fig. 2.7.2.2.

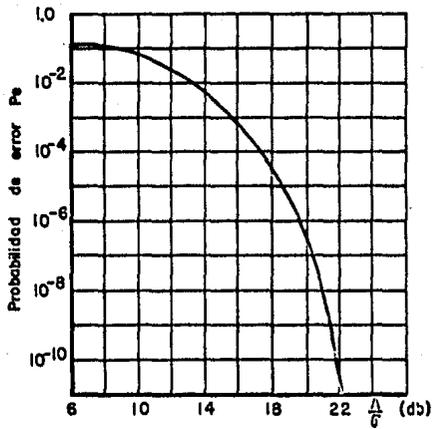


Fig. 2.7.2.2. Probabilidad de error para una señal unipolar.

Dado que es conveniente hablar en términos de relaciones de potencia, resultados que se basan en una ecuación semejante a la anterior, han llevado a obtener curvas como las que se indican en la Fig. 2.7.2.3 para el caso de señales polares y bipolares también (pulso⁺ = 1, pulso⁻ = 0; pulso⁺,⁻ = 1, no pulso = 0, respectivamente).

En los códigos de línea asumidos hasta ahora, dos niveles de señalización (binarios) han sido usados. En aplicaciones donde el ancho de banda es limitado y rapidez de datos más altos son re-

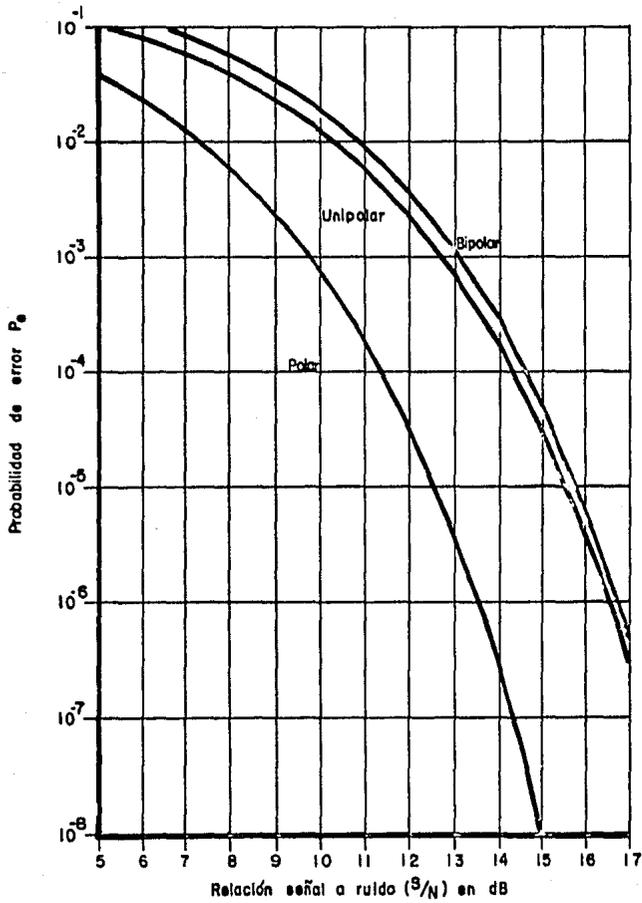


Fig. 2.7.2.3. Probabilidad de error para señales unipolar, polar y bipolar.

queridos, el número de niveles puede ser incrementado manteniendo la misma rapidez de señalización. La rapidez de datos es obtenida de la siguiente manera:

$$R = (1/T) \log_2 L \quad (2.7.2.2)$$

donde

L = número de niveles

T = intervalo de señalización

Para este caso, la probabilidad de error está dada por:

$$P_e = \frac{1}{\log_2 L} \left(\frac{L-1}{L} \right) \operatorname{erfc}(z) \quad (2.7.2.3)$$

donde

$$z = \frac{(\log_2 L)^{1/2}}{L-1} \left(\frac{E_b}{N_0} \right)^{1/2}$$

$\frac{E_b}{N_0}$ = relación energía por bit a densidad de potencia del ruido. (especificada sobre un lado de la banda espectral)

$\operatorname{erfc} z = 1 - \operatorname{erf} z$ = función de error complementaria.

$\frac{E_b}{N_0}$ está relacionada a la relación en potencia señal a ruido por:

$$\frac{S}{N} = 2 \frac{E_b}{N_0} \log_2 L \quad (2.7.2.4)$$

Las gráficas de P_e para señales multinivel se muestran en la Fig. 2.7.2.4.

Pasemos al caso de las señales moduladas en onda portadora.

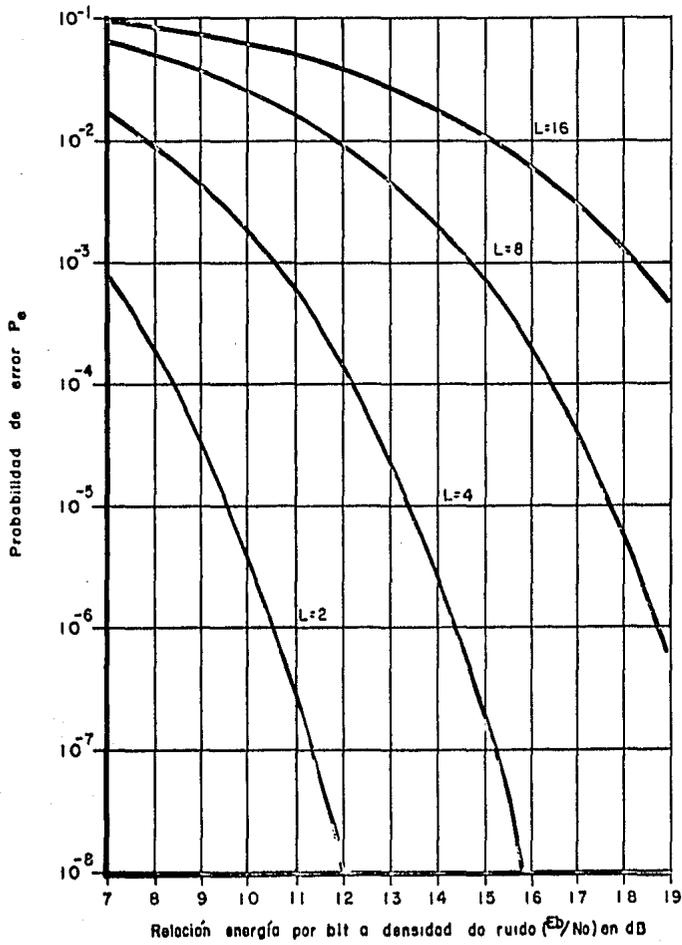


Fig. 2.7.2.4. Probabilidad de error para señales multinivel.

Para este tipo de señales, las gráficas de P_e en función de C/N para los modems más frecuentemente usados, son mostrados en la Fig. 2.7.2.5. C/N representa la relación de la potencia media de la portadora a la potencia media del ruido.

2.7.3. CAPACIDAD DEL CANAL

Todo sistema o canal de transmisión es capaz de transmitir determinada cantidad de información por unidad de tiempo. Esto se conoce como capacidad del canal y se expresa en bits/seg.

Las limitantes a la cantidad de información, son el ancho de banda permitido y la potencia de la señal de ruido.

En 1949 Shannon desarrolló una fórmula que permite expresar la relación existente entre los factores anteriores considerando un canal de transmisión con ruido blanco gaussiano, la cual está dada por:

$$C = W \log_2 \left(1 + \frac{S}{N} \right) \quad (2.7.3.1)$$

donde C = capacidad del canal

W = ancho de banda

$\frac{S}{N}$ = relación en potencia señal a ruido.

Esta ecuación indica que es posible realizar un compromiso entre el ancho de banda y la potencia de la señal transmitida. Así, por un incremento lineal del primero debemos tener un decremento exponencial del segundo y viceversa.

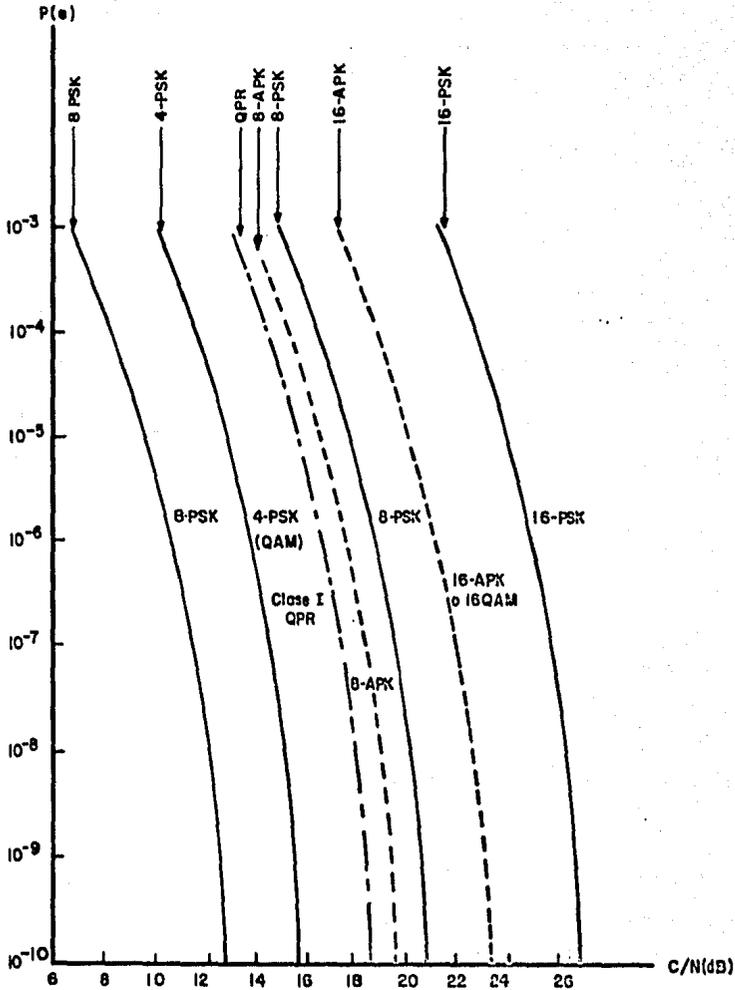


Fig. 2.7.2.5. Probabilidad de error en transmisión de señales por onda portadora.

La Fig. 2.7.3.1 muestra el comportamiento de la ec. 2.7.3.1 en función de W . Obsérvese que la capacidad del canal se satura cuando el ancho de banda se incrementa fuertemente; $\frac{n_0}{2}$ es la densidad de potencia del ruido (especificadas sobre los dos lados de la banda espectral).

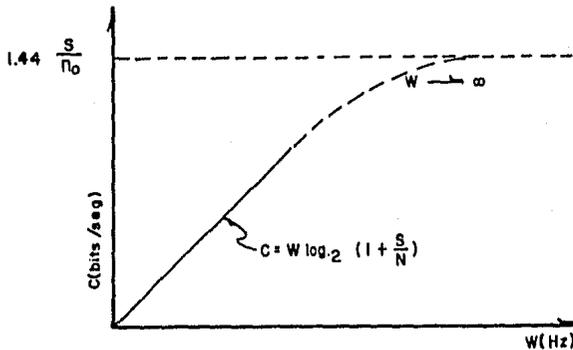


Fig. 2.7.3.1. Capacidad del canal de transmisión.

La ley de Shannon establece además que, si la rapidez de transmisión es menor que la capacidad del canal, la rapidez de error tiende a ser cero; mientras que si la transmisión es más veloz que la capacidad del canal, los errores se incrementan rápidamente.

Dado que Shannon desarrolló su ecuación sin considerar un sistema de comunicación específico, es conveniente conocer la ecuación particular que se ha desarrollado para PCM. Se ha encontrado (1) que la capacidad del canal para este tipo de modulación está dada por:

$$C = W \log_2 \left(1 + \frac{12}{K^2} \frac{S}{N} \right) \quad (2.7.3.2)$$

donde K representa el número de veces que la separación entre niveles supera al valor r.m.s. del ruido ($\frac{A}{\sigma}$ en la Fig. 2.7.2.2).

De esta ecuación se observa el factor $\frac{K^2}{12}$ e indica el número de veces en potencia que hay que aplicar a la señal enviada para que esta tenga la misma capacidad de canal expresada por la ley de Shannon.

Así, para una probabilidad de error de 10^{-6} , obtenemos refiriéndonos a la Fig. 2.7.2.2 un valor de $K = 9.44$ por lo que se requiere 7.4 veces la potencia en la señal PCM que la requerida para un canal de Shannon.

2.8. DISPOSITIVOS ELECTRONICOS PARA EL PROCESO DE PCM.

El desarrollo teórico del PCM data de los años 30's, y no es sino hasta años recientes que el avance tecnológico ha permitido la implementación física de tal sistema.

Circuitos integrados de alta escala de integración (VLSI) que realizan el proceso de conversión del mundo analógico al digital y viceversa, se han desarrollado en base a configuraciones combinadas de elementos discretos y circuitos de baja y mediana escala de integración. Es conveniente analizar la idea en la cual se fundamentan estos circuitos con el fin de establecer los elementos de juicio para una buena selección que por velocidad, precisión o economía se pudiera requerir.

De inmediato se observa la necesidad de analizar las ventajas y desventajas de los siguientes dispositivos: a) el muestreador/retenedor, b) convertidores A/D, c) convertidores D/A y d) el filtro paso-bajas.

2.8.1. EL MUESTREADOR/RETENEDOR

Un circuito muestreador/retenedor sigue una señal analógica, y cuando es dirigido por un comando digital externo, congela su salida al valor instantáneo de la entrada.

La entrada de control es operada por niveles lógicos standard, usualmente compatible con TTL. Un 1 lógico es el comando de muestreo y un 0 lógico es el comando de sostenimiento.

Las señales presentes en un M/R así como su interacción se muestran en la Fig. 2.8.1.1.

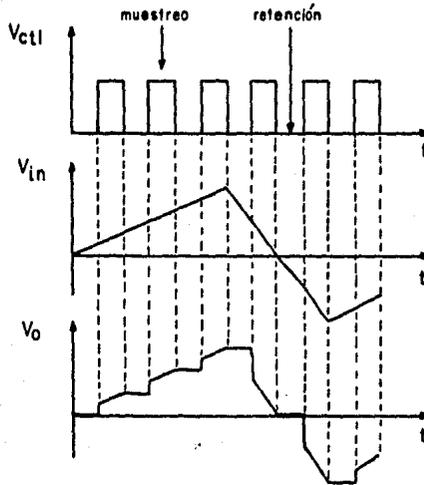


Fig. 2.8.1.1. Señales en un circuito M/R.

Este dispositivo que en sí es una memoria analógica, puede ser implementado siguiendo el principio mostrado por el circuito de la Fig. 2.8.1.2.

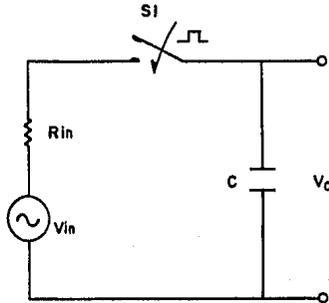


Fig. 2.8.1.2. Circuito M/R básico.

En este circuito, la entrada analógica, la cual presenta una resistencia interna R_{in} , transmite su valor toda vez que el switch $S1$ se encuentra cerrado. El tiempo requerido para seguir la huella de la señal depende de la constante de tiempo RC . Cuando $S1$ se abre, el capacitor congela el valor instantáneo que se tenía en el instante antes de la apertura.

Un circuito práctico que elimina la dependencia a la R_{in} , al mismo tiempo que proporciona la alta resistencia que debe presentar al capacitor para evitar que se descargue, es el formado por las configuraciones en seguidor de dos amplificadores operacionales en serie con un switch analógico de tecnología MOS (metal oxide semiconductor) (Fig. 2.8.1.3); este circuito presenta dos características típicas en el grueso de los M/R, como son la ganancia unitaria y la no inversión del voltaje de entrada.

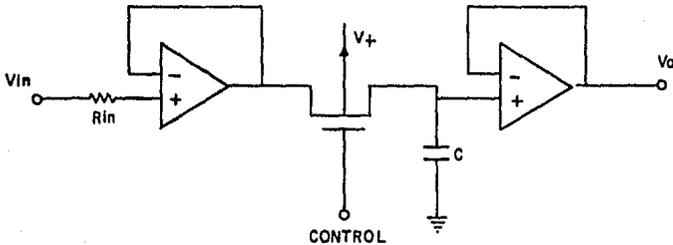


Fig. 2.8.1.3. Circuito práctico de un M/R.

2.8.2. CONVERTIDORES A/D.

Estos dispositivos convierten los valores continuos de voltaje a un conjunto de valores binarios que expresan esa cantidad.

Una gran variedad de A/D's han sido desarrollados para satisfacer una amplia necesidad de requerimientos. En algunas aplicaciones los parámetros dominantes son la estabilidad y precisión de conversión, en otros la rapidez de conversión es de mayor interés, sin olvidar por supuesto el aspecto económico.

Los convertidores analógico-digital que analizaremos están basados en la comparación discreta de voltaje: A/D rampa, A/D por aproximaciones sucesivas y A/D instantáneo.

2.8.2.1. A/D RAMPA.

La Fig. 2.3.2.1.a muestra los elementos que forman este dispositivo. Incorpora la retroalimentación un contador binario y un D/A.

El proceso de conversión empieza con un pulso de reset al contador en t_0 lo que produce un voltaje analógico 0 V a la salida del D/A. El contador se incrementa al recibir señales de reloj al través de la compuerta AND. El decodificador D/A es esclavo del contador, de manera que cuando la cuenta sube, el voltaje analógico de salida del decodificador D/A, V_f , incrementa (Fig. 2.8.2.1.b). Cuando V_f es ligeramente superior al voltaje analógico de entrada al dispositivo, el comparador cambia de estado inhibiendo la compuerta AND y con ello el conteo de pulsos. En este instante, la palabra digital en paralelo a la salida del contador, es el equivalente binario al voltaje analógico por convertir.

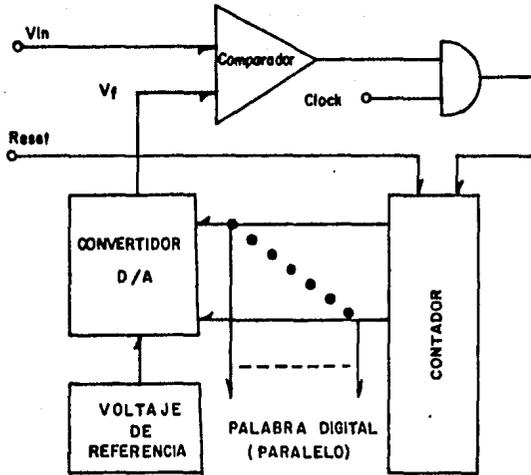
Para un voltaje analógico de entrada con valor a plena escala, el contador requiere un tiempo de conversión de $2^n - 1$ períodos de reloj, lo que hace que este convertidor sea relativamente lento.

2.8.2.2. A/D POR APROXIMACIONES SUCESIVAS

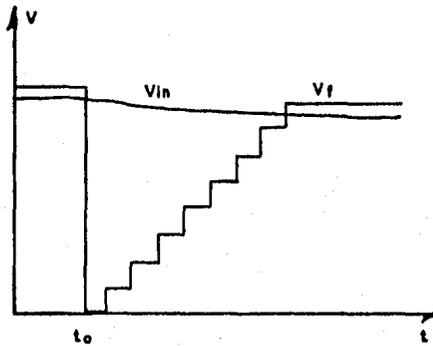
Los componentes para este A/D se muestran en la Fig. 2.8.2.2.a, es bastante similar al A/D rampa excepto por la adición de un registro de corrimiento y un programador lógico, lo cual permite al circuito asignar un peso a los escalones durante el tiempo de conversión.

La operación de este convertidor está basado en n sucesivas comparaciones entre la entrada analógica V_{in} y el voltaje retroalimentado V_f . La primera comparación determina si V_{in} es mayor o menor que $1/2 V_{m\acute{a}x}$, donde $V_{m\acute{a}x}$ es la máxima entrada posible al A/D. El siguiente paso determina en cual cuarto de rango V_{in} es encontrado; cada paso sucesivo acota el rango del posible resultado por un factor de 2, de manera que para una resolución con 8 bits, se tendría una señal V_f como la de la Fig. 2.8.2.2.b.

La ventaja de este dispositivo estriba en que se necesi-

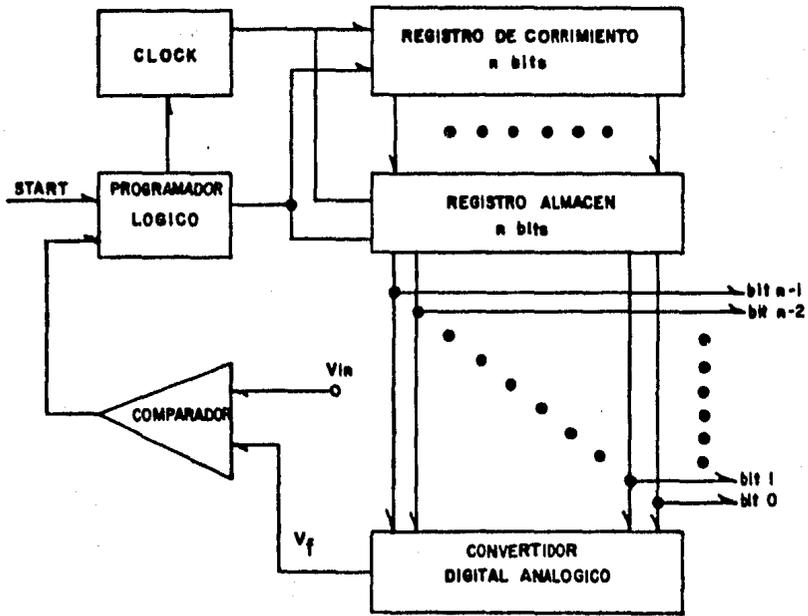


(a)

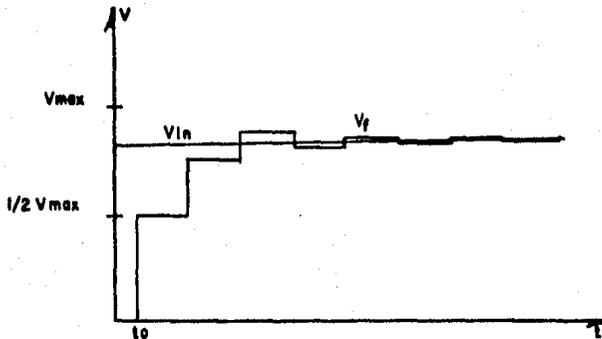


(b)

Fig. 2.8.2.1. Convertidor A/D rampa
a) diagrama a bloques
b) voltaje de entrada
y retroalimentado.



(a)



(b)

Fig. 2.8.2.2. Convertidor A/D por aproximaciones sucesivas
a) diagrama a bloques.
b) voltaje de entrada y retroalimentado.

tan n pasos de comparación para conversión a una palabra de n bits.

2.8.2.3. A/D INSTANTANEO

Convertidores de este tipo utilizan un comparador analógico con un voltaje de referencia fija en cada una de sus entradas para cada nivel de cuantización en la palabra digital, de cero a plena escala (Fig. 2.8.2.3). La entrada analógica es conectada a cada una de las otras entradas del comparador. Las salidas de esos comparadores comandan la lógica del codificador para generar la palabra equivalente digital.

La rapidez de conversión para este tipo de convertidor es extremadamente veloz ya que la conversión es completada en un solo paso. Sin embargo el convertidor instantáneo tiene la gran desventaja de requerir $2^n - 1$ comparadores, en adición, la lógica codificadora se incrementa proporcionalmente. Por lo anterior este A/D resulta prohibitivo en cuanto al costo se refiere.

2.8.3. CONVERTIDORES D/A.

La información digital que se presenta a un convertidor digital/analógico debe ser transformada a un nivel de voltaje analógico proporcional.

Los convertidores D/A generalmente consisten de 3 elementos básicamente: a) una red resistiva, b) un medio de switcheo y c) uno o dos voltajes de referencia/fuentes de corriente.

De estos tipos de D/A analizaremos los siguiente: el R - $2R$, R 's - ponderadas, y por fuentes de corriente.

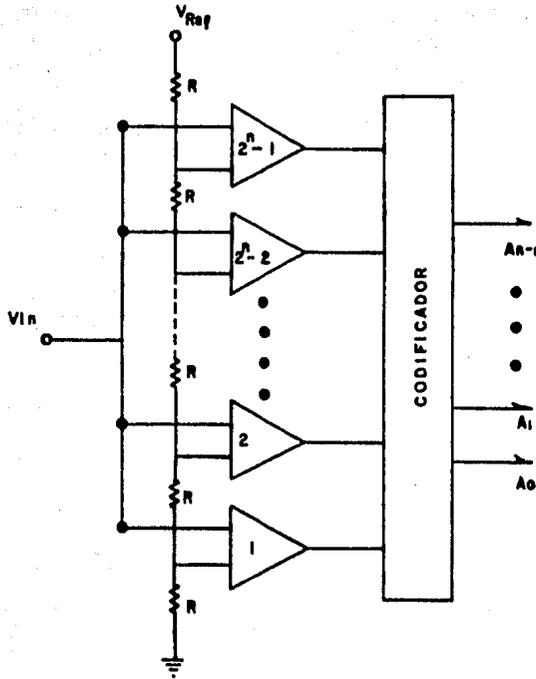


Fig. 2.8.2.3. Convertidor A/D instantáneo

2.8.3.1. EL D/A R-2R.

Este circuito utiliza únicamente dos valores de resistores, R y $2R$, como se muestra en la Fig. 2.8.3.1. La resistencia de salida R_0 de esta malla es R ; esto se observa aplicando el teorema de Thevenin entre los puntos de conexión a la carga.

Ejecutando el análisis de la red suponiendo un $D_i = 1$ para cada bit y los restantes en el estado cero, se encuentra que el voltaje de salida sin carga es:

$$V_o = \left(\frac{1}{2} D_1 + \frac{1}{4} D_2 + \frac{1}{8} D_3 + \dots + \frac{1}{2^n} \right) V_R \quad (2.8.3.1)$$

- El primer término en la ec. 2.8.3.1 está asociado al bit más significativo y el último al bit menos significativo.

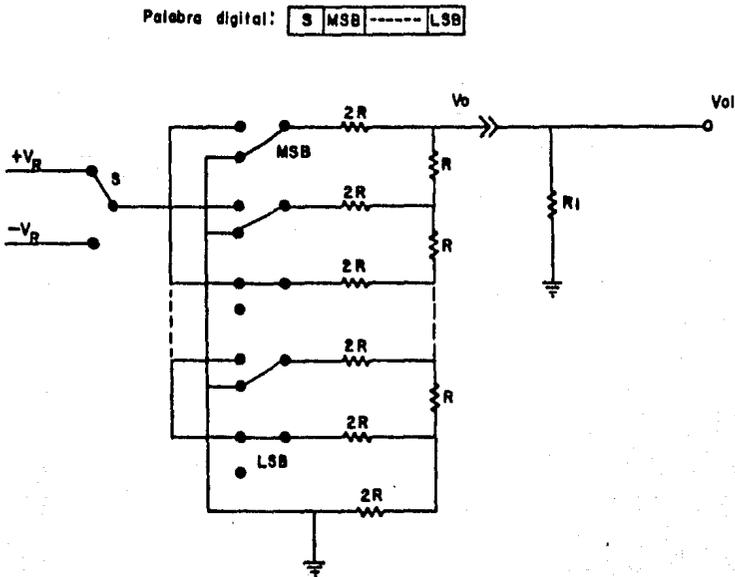


Fig. 2.8.3.1. Convertidor D/A R-2R

El voltaje de salida a plena escala se calcula considerando los $D_i = 1 \forall i \in n$.

$$V_{pe} = \sum_{i=1}^n \frac{1}{2^i} V_R$$

$$V_{pe} = \frac{2^n - 1}{2^n} V_R \quad (2.8.3.2)$$

Esta ecuación es necesaria cuando se requiere conocer el voltaje de referencia necesario para proveer el swing máximo del D/A.

La principal ventaja de esta red es que todos los resistores son de valor R y $2R$ lo cual es bastante útil ya que es posible encontrar resistores dobles standard en la lista del fabricante con coeficientes de temperatura lo suficientemente acoplados entre sí.

2.8.3.2. EL D/A R's - PONDERADAS

En esta configuración, el valor de cada resistor está ponderado inversamente proporcional al peso del bit particular que se decodifica (Fig. 2.8.3.2).

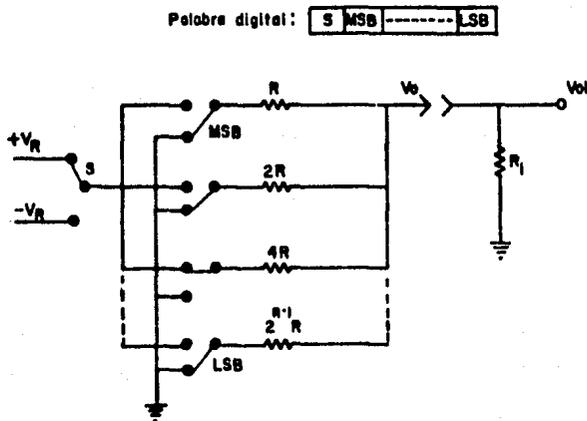


Fig. 2.8.3.2. Convertidor D/A R's ponderadas

La resistencia de salida para una palabra de n bits se calcula considerando todos los resistores en paralelo:

$$\frac{1}{R_0} = \frac{1}{R} + \frac{1}{2R} + \dots + \frac{1}{2^{n-1}R}$$

luego

$$R_0 = \frac{2^{n-1}}{2^n - 1} R \quad (2.8.3.3)$$

Haciendo $D_i = 1$ y $D_j = 0 \forall j \neq i$, se obtiene que el voltaje de salida sin carga es:

$$V_0 = \frac{2^{n-1}}{2^n - 1} (D_1 + \frac{1}{2} D_2 + \frac{1}{4} D_3 + \dots + \frac{1}{2^{n-1}} D_n) V_R \quad (2.8.3.4)$$

El voltaje a plena escala entrega un resultado significativo, es igual al máximo swing de salida.

$$V_{pe} = \frac{2^{n-1}}{2^n - 1} \sum_{i=1}^n \frac{1}{2^{i-1}} V_R$$

$$V_{pe} = V_R \quad (2.8.3.5)$$

La ventaja de este circuito estriba en que la corriente entregada por el voltaje de referencia para cada bit es inversamente proporcional al valor del resistor correspondiente, es decir, un bit más significativo requiere más corriente que los demás menos en significancia. Por otro lado este D/A no se recomienda para aplicaciones de precisión dada la divergencia entre los coeficientes de temperatura para resistores distintos encontrados en el mercado.

2.8.3.3. EL D/A POR FUENTES DE CORRIENTE

Esta configuración utiliza fuentes de corriente con valores ponderados entre bit y bit, seguidas por un sumidero de corriente (Fig. 2.8.3.3).

Considerando a las fuentes de corriente con impedancia de salida infinita y aplicando el teorema de superposición:

$$V_{o1} = R_1 \frac{1}{2^{n-1}} I D_1 + R_1 \frac{2}{2^{n-1}} I D_2 + \dots + R_1 \frac{2^{n-1}}{2^{n-1}} I D_n$$

$$V_{o1} = \frac{R_1 I}{2^{n-1}} \sum_{i=1}^n 2^{i-1} D_i ; D_i = 0, 1 \quad (2.8.3.6)$$

El voltaje a plena escala es

Palabra digital :

MSB	---	LSB
-----	-----	-----

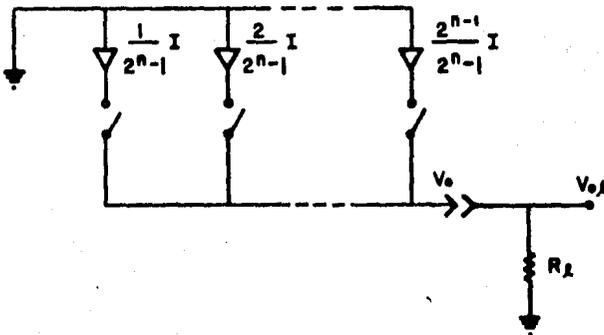


Fig. 2.8.3.3. Convertidor D/A por fuentes de corriente

$$V_{pe} = \frac{R_1 I}{2^n - 1} \sum_{i=1}^n 2^{i-1}$$
$$V_{pe} = R_1 I \quad (2.8.3.7)$$

Las fuentes de corriente son fáciles de realizar utilizando transistores debidamente alimentados en la base y cuyos parámetros estén lo suficientemente cercanos entre sí. Sin embargo, limitantes en precisión existen dada la corriente de fuga en el caso del estado de los bits en cero, sobre todo a elevadas temperaturas. Por lo tanto esta configuración es conveniente para sistemas de conversión de mediana precisión y gran velocidad.

2.8.4. FILTROS PASO-BAJAS.

Estos tipos de filtros permiten el paso a los componentes espectrales de frecuencia de una señal que sean menores a una frecuencia de corte ω_c , atenuando aquellas que se encuentren fuera de este rango.

Este filtro tiene aplicación en el PCM tanto en la transmisión como en la recepción. Para el primer caso, se requiere para forzar a la señal de información a ser limitada en banda; en el segundo caso se utiliza para alisar la salida cuantizada del D/A.

Estos dispositivos pueden ser implementados a base de circuitos pasivos o activos de p -orden, donde el orden indica la capacidad de rapidez de atenuación para frecuencias fuera de la banda.

Dadas las ventajas de los filtros activos sobre los pasivos, se analizará un tipo de estos, el VCVS.

2.8.4.1. FILTRO ACTIVO PB-VCVS.

El filtro activo paso bajas VCVS (voltaje controlled-voltage source) utiliza una malla pasiva y una etapa amplificadora; se aplica retroalimentación entre las dos etapas (Fig. 2.8.4.1).

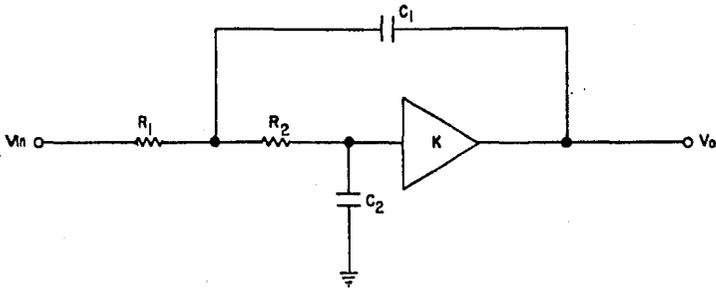


Fig. 2.8.4.1. Filtro activo paso - bajas VCVS

Su función de transferencia en base a la variable compleja s , está dada por:

$$\frac{V_o(s)}{V_{in}(s)} = \frac{\frac{1}{R_1 R_2 C_1 C_2}}{s^2 + \left(\frac{1}{R_2 C_1} + \frac{1}{R_1 C_1} + \frac{1-K}{R_2 C_2}\right)s + \frac{1}{R_1 R_2 C_1 C_2}} \quad (2.8.4.1)$$

donde K = ganancia de la etapa amplificadora.

La ec. 2.8.4.1 se puede indicar como:

$$\frac{V_o(s)}{V_{in}(s)} = \frac{\omega_0^2}{s^2 + 2\zeta \omega_0 s + \omega_0^2} \quad (2.8.4.2)$$

donde:

$$\omega_0 = \sqrt{\frac{K}{R_1 R_2 C_1 C_2}} \quad (2.8.4.2.a)$$

$$2 \zeta \omega_0 = \left(\frac{1}{R_2 C_1} + \frac{1}{R_1 C_1} + \frac{1-K}{R_2 C_2} \right) \quad (2.8.4.2.b)$$

La respuesta en frecuencia del filtro paso bajas se obtiene haciendo $s = j\omega$, de donde:

$$H(\omega) = \frac{1}{1 + j 2 \zeta \omega / \omega_0 - (\omega / \omega_0)^2} \quad (2.8.4.3)$$

donde: ω_0 = frecuencia de ocurrencia del doble polo.

ζ = razón de amortiguamiento.

La Fig. 2.8.4.2 muestra la representación de Bode para la ec. 2.8.4.3 con los diagramas de magnitud y fase, para distintos valores de ζ .

A partir del valor que tome la razón de amortiguamiento ζ , es posible obtener los filtros de 2° orden Bessel, Butterworth y Chebyshev. La tabla 2.8.4.1 indica los valores de ζ para el diseño de estos filtros, así como el sobrenivel que se obtiene.

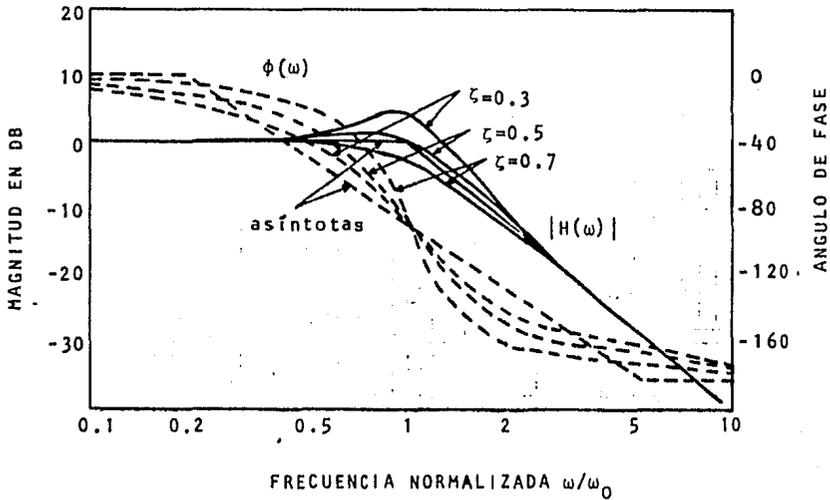


Fig. 2.8.4.2. Representación de Bode para el filtro activo PB.

FILTRO PB 2° ORDEN	ζ
Bessel	0.8659
Butterworth	0.7072
Chebyshev (0.1 dB pico)	0.6516
Chebyshev (0.25dB pico)	0.6179
Chebyshev (0.5 dB pico)	0.5789
Chebyshev (1.0 dB pico)	0.5228
Chebyshev (2.0 dB pico)	0.4431
Chebyshev (3.0 dB pico)	0.3833

Tabla 2.8.4.1. Tipos de filtros en función de ζ .

BIBLIOGRAFIA

- (1) M. Schwartz, Information Transmission, Modulation and Noise, Mc Graw Hill, 3a. Ed., 1981.
- (2) B. P. Lathi, Introducción a la Teoría y Sistemas de Comunicación, Limusa, 1a. Ed. 1978.
- (3) A. Gersho, Principles of Quantization, IEEE Transactions on Circuits and Systems, Vol. CAS-25, Núm. 7, Jul. 1978. pp. 427-436.
- (4) J. Martin, Future Developments in Telecommunications, Prentice Hall, 2a. Ed., 1977.
- (5) J. B. O'Neal Jr., Waveform Encoding of Voiceband Data Signals, Proceedings of the IEEE, Vol. 68, Núm. 2, Feb. 1980.
- (6) J. B. O'Neal Jr. y R. W. Stroh, Differential PCM for Speech and Data Signals, IEEE Transactions on Communications, Vol COM-20, Núm. 5, Oct. 1972.
- (7) T. N. Saadawi, Delta Modulation Techniques and Devices, Innovations in Telecommunications, Part A, Academic Press, 1982, pp. 173-213.
- (8) J. Bellamy, Digital Telephony, John Wiley & Sons, 1982.
- (9) K. Feher, Digital Communications, Prentice Hall Inc., 1981.
- (10) J. D. Oetting, A Comparison of Modulation Techniques for Digital Radio, IEEE Transactions on Communications, Vol. COM-27, Núm. 12, Dic. 1979, pp. 1752-1762.
- (11) D. F. Hoeschele Jr., Digital to Analog Conversion Techniques. John Wiley & Sons, 1968.
- (12) L. P. Huelsman y J. V. Wait, Introduction to Operational Amplifier Theory and Applications, Mc Graw Hill, 1975.

- (13) M. Kaufman, Handbook of Operational Amplifier Circuit Design, Mc Graw Hill, 1976.
- (14) E. R. Hnatek, A User's Handbook of D/A and A/D Converters, John Wiley & Sons, 1976.

C A P I T U L O III

CONDICIONES DE DISEÑO

En este capítulo se diseña un sistema digital PCM para un canal de voz, sin embargo es posible también su uso para equipos de instrumentación en los que sea necesario codificar o decodificar señales analógicas dentro de la banda natural a ella (300 - 3400 Hz).

Dado que se requiere observar la señal de información y de control durante todos los pasos de conversión, haremos uso de circuitos integrados que realizan funciones específicas, a sabiendas no obstante, de que se pueden emplear dispositivos codificadores y decodificadores de voz ya existentes en el mercado (codec's).

La utilización de bloques funcionales tiene la ventaja de proporcionar las bases teórico-prácticas para el diseño de cualquier sistema PCM, independiente del ancho de banda de la señal analógica, el número de bits, etc.

Para el diseño haremos uso de la teoría del capítulo dos. Se incluye un apéndice al final de esta tesis referente a información del fabricante de los dispositivos seleccionados.

3.1. EL RELOJ

Aplicando el teorema de muestreo de Nyquist para una señal de voz, requerimos 8000 muestras/seg. El convertidor A/D requiere 50 ciclos de reloj para una conversión. Por lo que $f_{ck} = 8000 \times 50 = 400 \text{ Khz}$.

Seleccionamos el Timer LM555 como generador de pulsos, con un ciclo de trabajo del 50%.

Del manual se tiene la siguiente configuración:

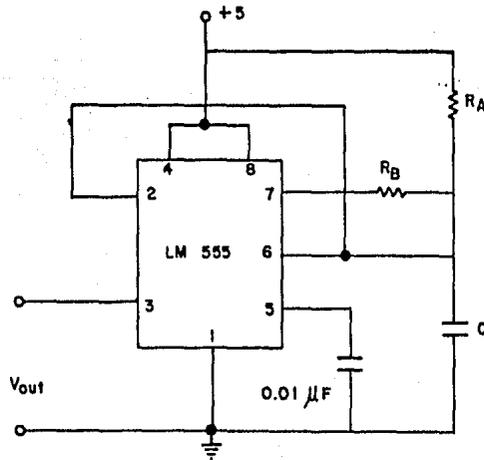


Fig. 3.1.1. Timer LM555, C.T. 50%.

Para el voltaje de salida alto:

$$t_1 = 0.693 R_A C \quad (3.1.1)$$

Para el voltaje de salida bajo:

$$t_2 = \left(R_A R_B / (R_A + R_B) \right) C \ln \frac{R_B - 2R_A}{2R_B - R_A} \quad (3.1.2)$$

Se tiene una restricción para producir la oscilación:

$$R_B < \frac{1}{2} R_A$$

Así,

$$T = \frac{1}{400 \times 10^3} = 2.5 \times 10^{-6} \text{ seg.}$$

$$t_1 = t_2 = 1.25 \times 10^{-6} \text{ seg.}$$

de la ec. 3.1.1,

$$R_A = \frac{t_1}{0.693C}$$

fijando $C = 180 \text{ pfd.}$

$$R_A = \frac{1.25 \times 10^{-6}}{0.693(180 \times 10^{-12})} = 10.020 \text{ K}\Omega$$

de la ec. 3.1.1 y ec. 3.1.2,

$$(R_A R_B / (R_A + R_B)) \ln \left(\frac{R_B - 2R_A}{2R_B - R_A} \right) = 0.693 R_A \quad (3.1.3)$$

$$\frac{R_B - 2R_A}{2R_B - R_A} = e^{0.693 (R_A/R_B + 1)}$$

$$R_B (1 - 2 e^{0.693(R_A/R_B + 1)}) = \frac{R_A}{2} (4 - 2 e^{0.693(R_A/R_B + 1)})$$

Para cumplir la restricción de oscilación, proponemos una K, tal que:

$$R_B = K \left(\frac{R_A}{2} \right) \quad 0.0 < K < 1.0 \quad (3.1.4)$$

así,

$$R_B (1 - 2 e^{0.693(2/K + 1)}) = \frac{R_B}{K} (4 - 2 e^{0.693(2/K + 1)})$$

La K debe cumplir entonces:

$$(K - 4) - e^{0.693(2/K + 1)} (2K - 2) = 0 \quad (3.1.5)$$

Utilizando una computadora programable, la solución de la ec. 3.1.5 es:

$$K = 0.8466$$

luego, sustituyendo este resultado en la ec. 3.1.4,

$$R_B = 0.8466 \left(\frac{10.020}{2} \right)$$

$$R_B = 4.241 \text{ K}\Omega$$

3.2. EL M/R

Este dispositivo se construye utilizando una versión modificada de la configuración de la Fig. 2.8.1.3, (Fig. 3.2.1). Se le ha agregado una malla divisora de 5 a la entrada para permitir excursiones de 0 a 5 volts, para que de esta manera el switch analógico seleccionado (CD4016BC) siga variaciones de 0 a 1 volt únicamente, según especificaciones del manual. Para compensar la atenuación de

la primera etapa, a la salida una etapa amplificadora de 5 se le ha agregado al circuito.

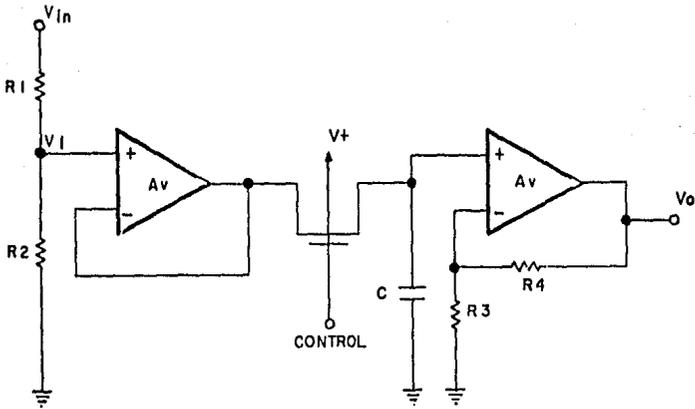


Fig. 3.2.1. El M/R.

$$C = 0.22 \mu\text{F (manual)}$$

Para la malla divisora:

$$V_1 = V_{in} \frac{R_2}{R_1 + R_2} ; R_2 = \frac{V_1}{V_{in}} (R_1 + R_2)$$

$$R_2 = \frac{\frac{V_1}{V_{in}} R_1}{1 - \frac{V_1}{V_{in}}} ; R_2 = \frac{V_1 R_1}{V_{in} - V_1}$$

fijando $R_1 = 68 \text{ K}\Omega$

$$R_2 = \frac{1.0(68)}{5 - 1.0} = 17 \text{ K}\Omega$$

Para la etapa de ganancia:

$$G = 1 + \frac{R_4}{R_3}$$

$$\frac{R_4}{R_3} = 4$$

fijando $R_4 = 68 \text{ K}\Omega$

$$R_3 = \frac{68}{4} = 17 \text{ K}\Omega$$

3.3. LA SINCRONIA ENTRE EL M/R Y EL A/D.

De los convertidores A/D se selecciona el ADC0800 de 8 bits, tecnología MOS, conversión por aproximaciones sucesivas y salidas latcheadas.

Ya se mencionó que este A/D requiere 50 pulsos de reloj aproximadamente por conversión: 40 pulsos según especificación + 4 pulsos para estabilización + 6 pulsos de guarda.

El comando para inicio de conversión del A/D requiere de un pulso de reloj. Debemos enviar también la señal de control para muestreo al M/R. Es decir, debe existir sincronía entre el M/R y el A/D, de forma que cuando el M/R esté en la situación de seguidor, el A/D se encuentre inactivo, y cuando el M/R se encuentre en la situación de sostenimiento, el A/D convierta a una palabra digital el

voltaje analógico que permanece constante a su entrada. Así, son deseables los pulsos de sincronía que se muestran en la Fig. 3.3.1.

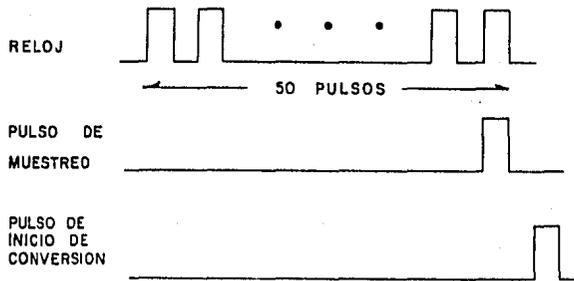


Fig. 3.3.1. Pulsos de sincronía entre el M/R y el A/D.

Para lograr esto se requiere de un contador a 50 y de un dispositivo de retraso a base de flip - flop's (Fig. 3.3.2).

Se utilizan dos contadores de pulsos en cascada, el primero contando 8 pulsos de reloj, y el segundo 6 pulsos del primer contador. El circuito de retraso se logra con dos flip - flop's tipo D, el primero controlado por el "preset" para asegurar que el pulso destinado al muestreo se capture, cosa que no podríamos asegurar si se utilizará un solo flip - flop.

Una vez que el convertidor A/D ha terminado una conversión la palabra digital se graba en el latch de salida y no es sino hasta otro fin de conversión que se cambia por otra nueva palabra digital.

Se requiere de circuitos inversores a la salida del convertidor A/D ya que ésta es complementaria, si es que se desea acoplar a un D/A con lógica positiva.

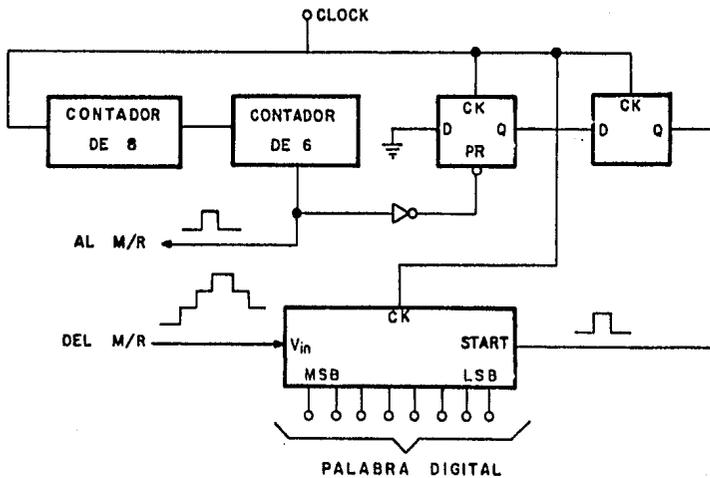


Fig. 3.3.2. Circuito de sincronía y el A/D.

3.4. LA CONVERSION PARALELO-SERIE-PARALELO

La palabra binaria en paralelo presente a la salida del A/D requiere ser transformada a un tren de pulsos o sea expresarla en PCM, de forma que pueda transmitirse a dos hilos. Se deja el diseño con la base de que se puede conectar a un sistema multiplex de 6 canales.

Para recuperar el tren de bits, hacemos un proceso inverso, es decir la conversión serie-paralelo.

Un dispositivo especialista en estas conversiones, es el registro de corrimiento universal SN74198. Los comandos se aplican a dos patas S0 y S1; en nuestro caso utilizaremos los siguientes:

S0	S1	Q_A	Q_B	Q_C	...	Q_H
0	0	Ultimo estado				
1	0	Corrimiento a derecha				
1	1	Cargado				

funciones que se realizan en la transición de subida del reloj.

El circuito que se propone se muestra en la Fig. 3.4.1 así como el diagrama de tiempo para los puntos de interés.

Coincidentemente, el conexionado para el flip-flop de la izquierda en la Fig. 3.4.1 se asemeja a uno de los que se tienen en la Fig. 3.3.2, por lo que utilizaremos de aquel las salidas Q y \bar{Q} .

3.5. EL CONVERTIDOR D/A

Se selecciona el D/A MC1408, entrada digital 8 bits, malla R - 2R con switcheo de corriente.

Del manual se tiene la siguiente configuración:

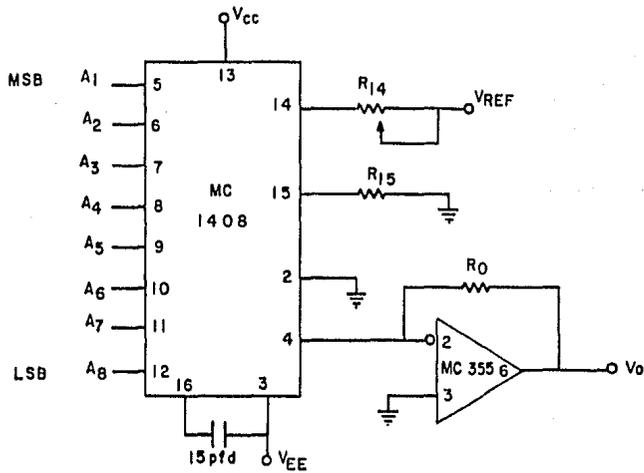


Fig. 3.5.1. El convertidor D/A.

Donde:

$$V_o = V_{REF} \frac{R_0}{R_{14}} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

(3.5.1)

Fijando:

$$V_{CC} = V_{REF} = 5.0 \text{ Volts}$$

$$V_{EE} = -10 \text{ Volts}$$

$$R_{15} = R_0 = 5.6 \text{ K}\Omega$$

$$\text{Deseamos } V_o \text{ máx} = 5 \text{ volts}$$

luego,

$$R_{14} = \text{potenciometro de } 10 \text{ K}\Omega$$

3.6. EL FILTRO PASO BAJAS

Utilicemos la configuración de la Fig. 2.8.4.1 del capítulo anterior y diseñemos un filtro Butterworth paso bajas de ganancia unitaria (Fig. 3.6.1).

Aplicando las ecuaciones teóricas de la sección 2.8.4.1 con $K = 1$,

$$\frac{V_o(s)}{V_{in}(s)} = \frac{\frac{1}{R_1 R_2 C_1 C_2}}{s^2 + \left(\frac{1}{R_2 C_1} + \frac{1}{R_1 C_1}\right) s + \frac{1}{R_1 R_2 C_1 C_2}} \quad (3.6.1)$$

$$\frac{V_o(s)}{V_{in}(s)} = \frac{\omega_0^2}{s^2 + 2\zeta\omega_0 s + \omega_0^2} \quad (3.6.2)$$

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (3.6.2.a)$$

$$2 \zeta \omega_0 = \left(\frac{1}{R_2 C_1} + \frac{1}{R_1 C_1} \right) \quad (3.6.2.b)$$

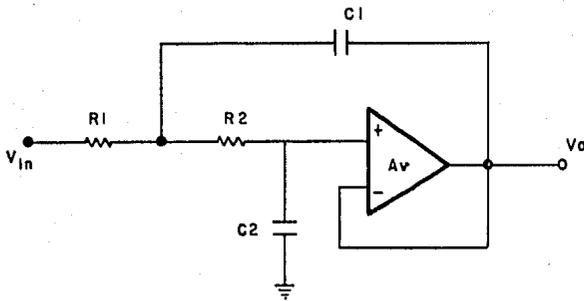


Fig. 3.6.1. Filtro activo paso bajas de ganancia unitaria.

Diseño:

$$C_1 = C; C_2 = \frac{C}{M}; M = 10$$

$$C = 4700 \text{ pfd}; C_2 = \frac{4700}{10} = 470 \text{ pfd}$$

$$\omega_0 = 2\pi f_{\text{corte}} = 2\pi(2400) = 21362.82 \text{ rad/seg.}$$

de la ec. 3.6.2.a,

$$R_1 = \frac{M}{R_2 \omega_0^2 C^2} \quad (3.6.3)$$

sust. en ec. 3.6.2.b

$$2\zeta\omega_0 = \frac{1}{R_2 C} + \frac{R_2 \omega_0^2 C}{M}$$

$$2\zeta\omega_0 R_2 C = 1 + \frac{R_2^2 \omega_0^2 C^2}{M}$$

$$2\zeta\omega_0 R_2 C \left(\frac{M}{\omega_0^2 C^2}\right) = \frac{M}{\omega_0^2 C^2} + R_2^2$$

$$R_2^2 - \frac{2\zeta M}{\omega_0 C} R_2 + \frac{M}{\omega_0^2 C^2} = 0$$

resolviendo esta ecuación cuadrática,

$$R_2 = \frac{\frac{2\zeta M}{\omega_0 C} \pm \sqrt{\left(\frac{2\zeta M}{\omega_0 C}\right)^2 - 4 \left(\frac{M}{\omega_0^2 C^2}\right)}}{2}$$

$$R_2 = \frac{\zeta M}{\omega_0 C} \pm \sqrt{\left(\frac{\zeta M}{\omega_0 C}\right)^2 - \frac{M}{\omega_0^2 C^2}}$$

tomando el signo positivo de la raíz,

$$R_2 = \frac{1}{\omega_0 C} (\zeta M + \sqrt{(\zeta M)^2 - M}) \quad (3.6.4)$$

De la tabla 2.8.4.1 para un filtro P. B. Butterworth, $\zeta = 0.7072$.

Sust. valores en ec. 3.6.4,

$$R_2 = \frac{1}{(21362.83)(4700 \times 10^{-12})} ((0.7072)(10) + \sqrt{((0.7072)10)^2 - 10})$$

$$R_2 = 133.435 \text{ K}\Omega$$

sust. en ec. 3.6.3,

$$R_1 = 7.4339 \text{ K}\Omega$$

3.7. EL CIRCUITO PRACTICO

En base a los cálculos anteriores, el circuito PCM para señales analógicas dentro de la banda de voz, se muestra en la Fig. 3.7.1.

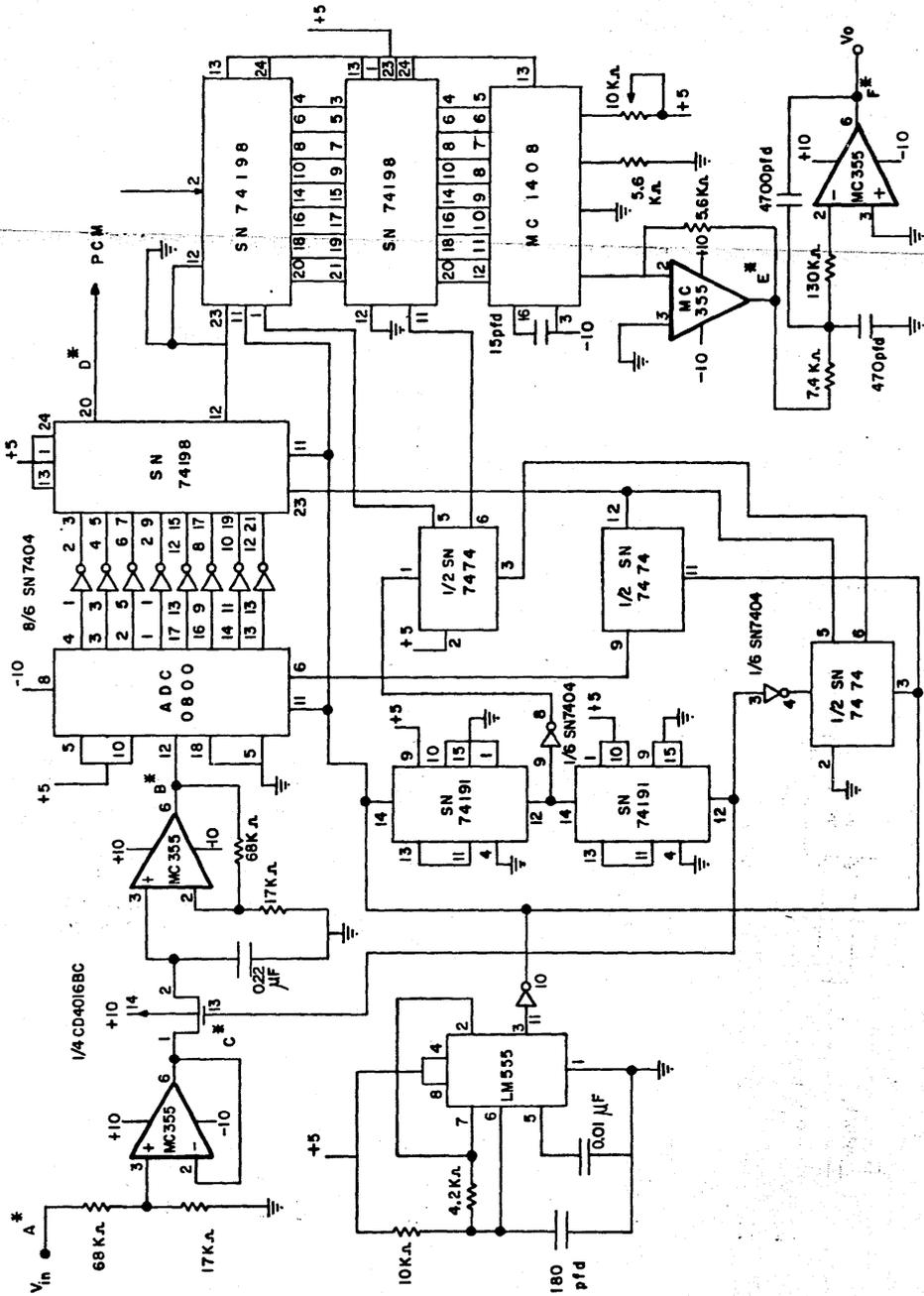


FIG. 3.7.1 Sistema PCM para la banda de voz.

BIBLIOGRAFIA

- (1) Linear Databook, National Semiconductor, 1978.
- (2) CMOS Databook, National Semiconductor, 1981
- (3) The TTL Databook, Texas Instruments, 1981.
- (4) Linear and Interface Integrated Circuits, Motorola Inc., 1983.

C A P I T U L O ♦ I V

MEDICIONES Y COSTO

En este capítulo se presentan las mediciones realizadas al circuito diseñado en el capítulo previo, así como el costo de los dispositivos empleados.

4.1. MEDICIONES

Haciendo referencia al circuito de la Fig. 3.7.1 se toman lecturas en los puntos indicados con letras mayúsculas y asteriscos.

Para las mediciones se inyecta al sistema una señal senoidal de 5 volts pico a pico y montada sobre un nivel de d. c. de 2.5 volts a una frecuencia de 500 Hz, excepto para observar el tren de pulsos del PCM, al cual corresponde una señal continua de 4 volts. La selección anterior de voltaje y frecuencia se basa en la mejor observación de las señales de interés.

Para los puntos A* y B*:

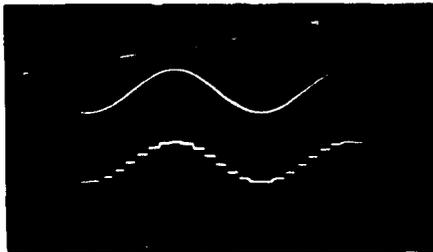


Fig. 4.1.1. Señal analógica de entrada y el muestreo/retención.

Para los puntos B* y C*

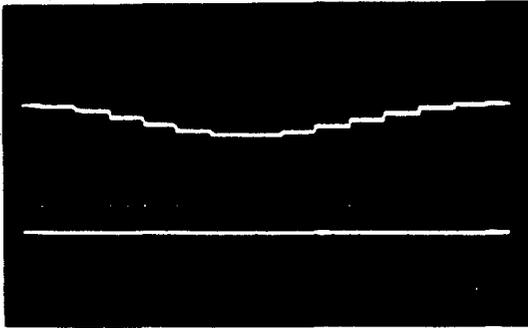


Fig. 4.1.2. Señal de muestreo/retención y los pulsos para control de muestras.

Para el punto D*:

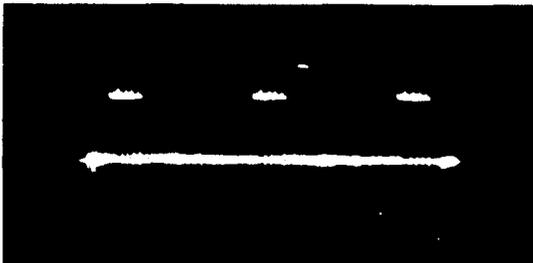


Fig. 4.1.3. Información PCM.

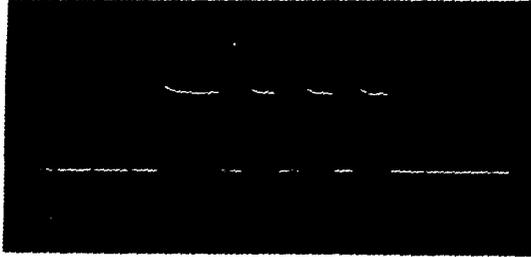


Fig. 4.1.4. Palabra digital representativa de una muestra.

Para el punto E*

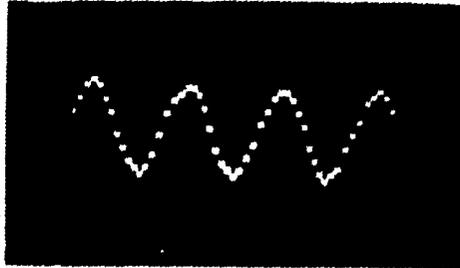


Fig. 4.1.5. Decodificación de la señal PCM.

Para los puntos A* y F*

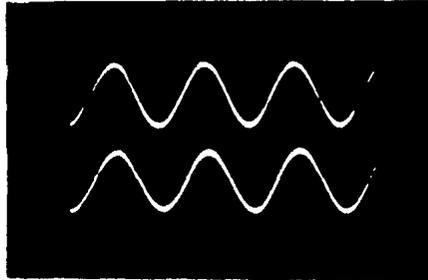


Fig. 4.1.6. Señal analógica de entrada y señal reconstruida.

Rangos de operación:

Frecuencia: 0 - 3400 Hz.

Nivel de entrada: 0 - 5 volts.

4.2. COSTO

El costo a la fecha de los componentes empleados para la construcción del sistema diseñado en este trabajo, se indica en la tabla 4.2.1.

ELEMENTOS		COSTO	
10 Resistores:	4.2 K Ω (1)	\$	9.00
	5.6 K Ω (2)	\$	18.00
	17.0 K Ω (2)	\$	18.00
	68.0 K Ω (2)	\$	18.00
	7.4 K Ω (1)	\$	9.00
	10.0 K Ω (1)	\$	9.00
	130.0 K Ω (1)	\$	9.00
	todos de 1/2 watt		\$ 90.00
1 Potenciometro:	10 K Ω , 1/2 watt		\$ 247.00
6 Condensadores	15 pfd (1)	\$	17.00
	180 pfd (1)	\$	21.00
	470 pfd (1)	\$	18.00
	4700 pfd (1)	\$	16.00
	0.220 μ fd (1)	\$	45.00
	0.010 μ fd (1)	\$	26.00
			\$ 143.00
17 C. I.'s:	MC 355 (4)	\$1,600.00	
	LM 555 (1)	\$ 281.00	
	ADC 0800 (1)	\$1,200.00	
	MC 1408 (1)	\$1,270.00	
	SN 74191 (2)	\$1,810.00	
	SN 7404 (2)	\$ 660.00	
	SN 7474 (2)	\$ 800.00	
	SN 74198 (3)	\$3,273.00	
	CD 4016 (1)	\$ 584.00	\$11,478.00
T O T A L			\$11,958.00

Tabla 4.2.1. Costo de los componentes al día 1/Abr/1986

BIBLIOGRAFIA

- (1) K. W. Cattermole, *On Professional and Academic Writing*
University of ESSEX, England, 1985.

CONCLUSIONES

1. Se presentaron los fundamentos teóricos de la transmisión digital de la señal de voz, tanto en banda base como en onda portadora, por lo que la referencia a esta tesis serviría para entender los principios de funcionamiento de la tecnología en esta área de las telecomunicaciones, la cual empieza a tener auge en nuestro país, principalmente por la instalación de centrales telefónicas digitales.
2. El sistema diseñado y construido ilustró el proceso detallado de la conversión analógica-digital en el transmisor y la conversión digital-analógica en el receptor. La circuitería se implementó con elementos del mercado nacional, y por su enfoque teórico, la estructura funcional del sistema es de suma utilidad en la digitización de señales analógicas que posean otras variantes a las consideradas aquí, como serían: distinto ancho de banda, número de bits por palabra, rapidez de transmisión binaria, etc., dado su diseño a bloques y haberse incluido las ecuaciones y elementos de diseño adaptables a cada situación.
El sistema PCM desarrollado aquí puede ser usado como equipo didáctico en laboratorios de comunicaciones y electrónica, o como equipo de instrumentación en los requerimientos de campo.
3. Se señalaron las bases para multiplexar gran número de canales de voz y datos en un procesador digital mediante el uso de multiplexores, por lo que una posible continuación al trabajo desarrollado en esta tesis se referiría a la realización de un multiplexor del 1° ó 2° nivel jerárquico (24 y 96 canales de voz) a base de codec's.

APENDICE

DATOS DEL FABRICANTE PARA LOS C. I.'s
EMPLEADOS EN LA CONSTRUCCION DEL SIS-
TEMA PCM PARA UN CANAL DE VOZ.

Specifications and Applications Information

MONOLITHIC JFET INPUT OPERATIONAL AMPLIFIERS

These internally compensated operational amplifiers incorporate highly matched JFET devices on the same chip with standard bipolar transistors. The JFET devices enhance the input characteristics of these operational amplifiers by more than an order of magnitude over conventional amplifiers.

This series of op amps combines the low current characteristics typical of FET amplifiers with the low initial offset voltage and offset voltage stability of bipolar amplifiers. Also, nulling the offset voltage does not degrade the drift or common mode rejection.

- Low Input Bias Current – 30 pA
- Low Input Offset Current – 3.0 pA
- Low Input Offset Voltage – 1.0 mV
- Temperature Compensation of Input Offset Voltage – $3.0 \mu\text{V}/^\circ\text{C}$
- Low Input Noise Current – $0.01 \text{ pA}/\sqrt{\text{Hz}}$
- High Input Impedance – $10^{12} \Omega$
- High Common-Mode Rejection Ratio – 100 dB
- High DC Voltage Gain – 106 dB

SERIES FEATURES

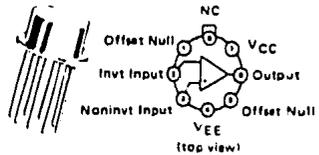
- LF155 Series – Low Power Supply Current
- LF156 Series – Wide Bandwidth
- LF157 Series – Wider Bandwidth Decompensated ($A_{V_{\text{min}}} = 5$)

	LF155A	LF156A	LF157A
Fast Settling Time to 0.01%	4.0 μs	1.5 μs	1.5 μs
Fast Slew Rate	5.0 V/ μs	12 V/ μs	50 V/ μs
Wide Gain Bandwidth	2.5 MHz	5.0 MHz	20 MHz
Low Input Noise Voltage	20 nV/ $\sqrt{\text{Hz}}$	12 nV/ $\sqrt{\text{Hz}}$	12 nV/ $\sqrt{\text{Hz}}$

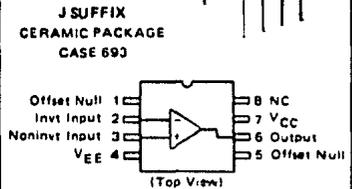
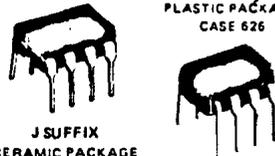
**LF155•LF156•LF157*
LF155A•156A•157A*
LF255•LF256•LF257*
LF355•LF356•LF357*
LF355A•356A•357A*
LF355B•356B•357B***

MONOLITHIC JFET OPERATIONAL AMPLIFIERS

H SUFFIX
METAL PACKAGE
CASE 601



N SUFFIX
PLASTIC PACKAGE
CASE 626



APPLICATIONS

The LF series is suggested for all general purpose FET input amplifier requirements where precision and frequency response flexibility are of prime importance.

Specific applications include:

- Sample and Hold Circuits
- High Impedance Buffers
- Fast D/A and A/D Converters
- Precision High-Speed Integrators
- Wideband, Low Noise, Low Drift Amplifiers

*NOTE: The LF 157 series is designed for wider bandwidth applications. The series is decompensated ($A_{V_{\text{min}}} = 5$).

ORDERING INFORMATION

See back page



Industrial/Automotive/Functional
Blocks/Telecommunications

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For stable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

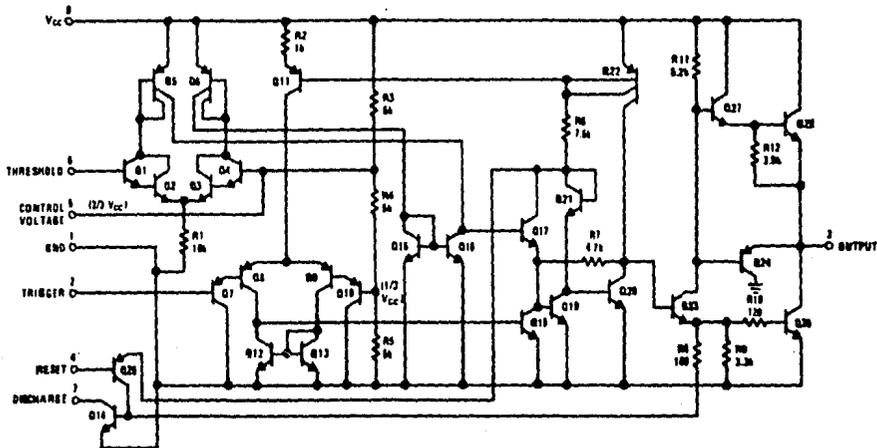
Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

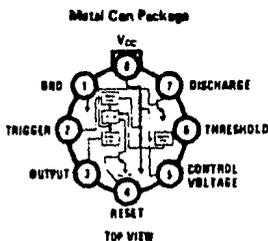
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

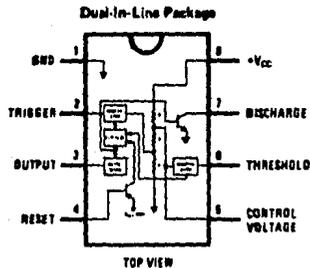
Schematic Diagram



Connection Diagrams



Order Number LM555H, LM555CH
See NS Package HO3C



Order Number LM555CN
See NS Package NO3B
Order Number LM555J or LM555CJ
See NS Package JO3A

Applications Information (Continued)

generated. *Figure 12* shows a circuit configuration that will perform this function.

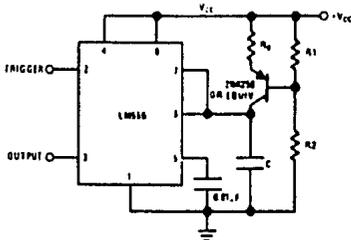


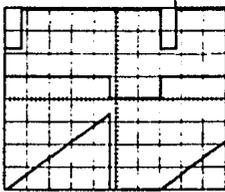
FIGURE 12.

Figure 13 shows waveforms generated by the linear ramp.

The time interval is given by:

$$T = \frac{2/3 V_{CC} R_E (R_1 + R_2) C}{R_1 V_{CC} - V_{BE} (R_1 + R_2)}$$

$V_{BE} \approx 0.6V$



$V_{CC} = 5V$
 TIME = 20µs/DIV.
 $R_1 = 47k\Omega$
 $R_2 = 100k\Omega$
 $R_E = 2.7k\Omega$
 $C = 0.01\mu F$

Top Trace: Input 7V/Div.
 Middle Trace: Output 1V/Div.
 Bottom Trace: Capacitor Voltage 1V/Div.

FIGURE 13. Linear Ramp

50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in *Figure 14*. The time period for the out-

put high is the same as previous, $t_1 = 0.693 R_A C$. For the output low it is $t_2 =$

$$\left(\frac{R_A R_B}{R_A + R_B} \right) \ln \left[\frac{R_B - 2R_A}{2R_B - R_A} \right]$$

Thus the frequency of oscillation is $f = \frac{1}{t_1 + t_2}$

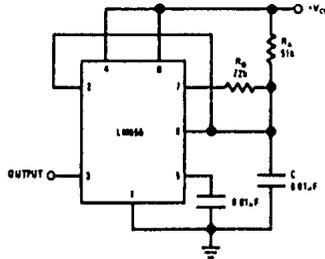


FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if R_B is greater than $1/2 R_A$ because the junction of R_A and R_B cannot bring pin 2 down to $1/3 V_{CC}$ and trigger the lower comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is $0.1\mu F$ in parallel with $1\mu F$ electrolytic.

Lower comparator storage time can be as long as $10\mu s$ when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to $10\mu s$ minimum.

Delay time reset to output is $0.47\mu s$ typical. Minimum reset pulse width must be $0.3\mu s$, typical.

Pin 7 current switches within $30 ns$ of the output (pin 3) voltage.



A to D, D to A

ADC0800 (MM4357B/MM5357B) 8-Bit A/D Converter

General Description

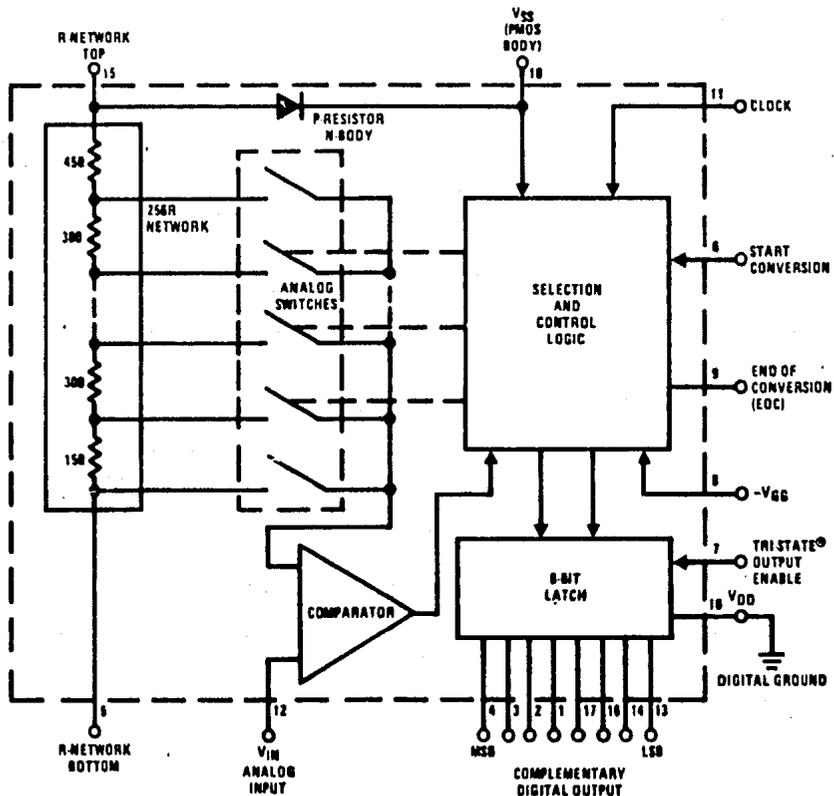
The ADC0800 is an 8-bit monolithic A/D converter using P-channel ion-implanted MOS technology. It contains a high input impedance comparator, 256 series resistors and analog switches, control logic and output latches. Conversion is performed using a successive approximation technique where the unknown analog voltage is compared to the resistor tie points using analog switches. When the appropriate tie point voltage matches the unknown voltage, conversion is complete and the digital outputs contain an 8-bit complementary binary word corresponding to the unknown. The binary output is TRI-STATE[®] to permit bussing on common data lines.

The ADC0800PD is specified, over -55°C to $+125^{\circ}\text{C}$ and the ADC0800PCD is specified over 0°C to 70°C .

Features

- Low cost
 - $\pm 5\text{V}$, 10V input ranges
 - No missing codes
 - Ratiometric conversion
 - TRI-STATE outputs
 - Fast
 - Contains output latches
 - TTL compatible
 - Supply voltages
 - Resolution
 - Linearity
 - Conversion speed
 - Clock range
- $T_C = 50 \mu\text{s}$
 5VDC and -12VDC
 8 bits
 $\pm 1\text{LSB}$
 40 clock periods
 50 to 800 kHz

Block Diagram



(00000000 = +full-scale)

Absolute Maximum Ratings

Supply Voltage (V _{DD})	V _{SS} -22V
Supply Voltage (V _{GG})	V _{SS} -22V
Voltage at Any Input	V _{SS} + 0.3V to V _{SS} -22V
Storage Temperature	150°C
Operating Temperature	
ADC0800PD	-55°C to +125°C
ADC0800PCD	0°C to +70°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics

These specifications apply for V_{SS} = 5.0 VDC, V_{GG} = -12.0 VDC, V_{DD} = 0 VDC, a reference voltage of 10.000 VDC across the on-chip R-network (V_{R-NETWORK TOP} = 5.000 VDC and V_{R-NETWORK BOTTOM} = -5.000 VDC), and a clock frequency of 800 kHz. For all tests, a 475Ω resistor is used from pin 5 to ground. Unless otherwise noted, these specifications apply over an ambient temperature range of -55°C to +125°C for the ADC0800PD and 0°C to +70°C for the ADC0800PCD.

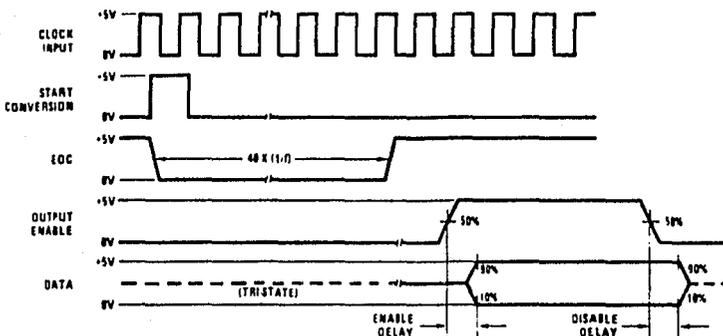
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Non-Linearity	T _A = 25°C, (Note 1)			±1	LSB
	Over Temperature, (Note 1)			±2	LSB
Differential Non-Linearity				±1/2	LSB
Zero Error				±2	LSB
Zero Error Temperature Coefficient	(Note 2)			0.01	%/°C
Full-Scale Error				±2	LSB
Full-Scale Error Temperature Coefficient	(Note 2)			0.01	%/°C
Input Leakage				1	μA
Logical "1" Input Voltage	All Inputs	V _{SS} -1.0		V _{SS}	V
Logical "0" Input Voltage	All Inputs	V _{GG}		V _{SS} -4.2	V
Logical Input Leakage	T _A = 25°C, All Inputs, V _{IL} = V _{SS} - 10V			1	μA
Logical "1" Output Voltage	All Outputs, I _{OH} = 100 μA	2.4			V
Logical "0" Output Voltage	All Outputs, I _{OL} = 1.6 mA			0.4	V
Disabled Output Leakage	T _A = 25°C, All Outputs, V _{OL} = V _{SS} @ 10V			2	μA
Clock Frequency	0°C ≤ T _A ≤ +70°C	50		800	kHz
	-55°C ≤ T _A ≤ +125°C	100		500	kHz
Clock Pulse Duty Cycle		40		60	%
TRI-STATE Enable/Disable Time				1	μs
Start Conversion Pulse	(Note 3)	1		3 1/2	Clock Periods
Power Supply Current	T _A = 25°C			15	mA

Note 1: Non-linearity specifications are based on best straight line.

Note 2: Guaranteed by design only.

Note 3: Start conversion pulse duration greater than 3 1/2 clock periods will cause conversion errors.

Timing Diagram



Data is complementary binary (full scale is all "0's" output).

Application Hints

OPERATION

The ADC0800 contains a network with 256-300Ω resistors in series. Analog switch taps are made at the junction of each resistor and at each end of the network. In operation, a reference (10.00V) is applied across this network of 256 resistors. An analog input (V_{IN}) is first compared to the center point of the ladder via the appropriate switch. If V_{IN} is larger than $V_{REF}/2$, the internal logic changes the switch points and now compares V_{IN} and $3/4 V_{REF}$. This process, known as successive approximation, continues until the best match of V_{IN} and V_{REF}/N is made. N now defines a specific tap on the resistor network. When the conversion is complete, the logic loads a binary word corresponding to this tap into the output latch and an end of conversion (EOC) logic level appears. The output latches hold this data valid until a new conversion is completed and new data is loaded into the latches. The data transfer occurs in about 200 ns so that valid data is present virtually all the time. Conversion requires 40 clock periods. The device may be operated in the free running mode by connecting the Start Conversion line to the End of Conversion line. However, to ensure start-up under all possible conditions, an external Start Conversion pulse is required during power up conditions.

REFERENCE

The reference applied across the 256 resistor network determines the analog input range. $V_{REF} = 10.00V$ with the top of the R-network connected to 5V and the bottom connected to -5V gives a ±5V range. The reference can be level shifted between V_{SS} and V_{GG} . However, the voltage, which is applied to the top of the R-network (pin 15), must not exceed V_{SS} to prevent forward biasing the on-chip parasitic silicon diode which exists between the P-diffused resistors (pin 15) and the N-type body (pin 10, V_{SS}). Use of a standard logic power supply for V_{SS} can cause problems, both due to initial voltage tolerance and changes over temperature. A solution is to power the V_{SS} line (15 mA max drain) from the output of the op amp which is used to bias the top of the R-network (pin 15). The analog input voltage and the voltage which is applied to the bottom of the R-network (pin 5) must be at

least 7V above the $-V_{DD}$ supply voltage to insure adequate voltage drive to the analog switches.

Other reference voltages may be used (such as 10.24V). If a 5V reference is used, the analog range will be 5V and accuracy will be reduced by a factor of 2. Thus, for maximum accuracy, it is desirable to operate with at least a 10V reference. For TTL logic levels, this requires 5V and -5V for the R-network. CMOS can operate at the 10 V_{DC} V_{SS} level and a single 10 V_{DC} reference can be used. All digital voltage levels for both inputs and outputs will be from ground to V_{SS} .

ANALOG INPUT AND SOURCE RESISTANCE CONSIDERATIONS

The lead to the analog input (pin 12) should be kept as short as possible. Both noise and digital clock coupling to this input can cause conversion errors. To minimize any input errors, the following source resistance considerations should be noted:

- For $R_s \leq 5k$ No analog input bypass capacitor required, although a 0.1 μF input bypass capacitor will prevent pick-up due to unavoidable series lead inductance.
- For $5k < R_s \leq 20k$ A 0.1 μF capacitor from the input (pin 12) to ground should be used.
- For $R_s > 20k$ Input buffering is necessary.

If the overall converter system requires lowpass filtering of the analog input signal, use a 20 kΩ or less series resistor for a passive RC section or add an op amp RC active lowpass filter (with its inherent low output resistance) to insure accurate conversions.

CLOCK COUPLING

The clock lead should be kept away from the analog input line to reduce coupling.

LOGIC INPUTS

The logical "1" input voltage swing for the Clock, Start Conversion and Output Enable should be ($V_{SS} - 1.0V$).

Application Hints (Continued)

CMOS will satisfy this requirement but a pull-up resistor should be used for TTL logic inputs

RE-START AND DATA VALID AFTER EOC

The EOC line (pin 9) will be in the low state for a maximum of 40 clock periods to indicate "busy". A START pulse which occurs while the A/D is BUSY will reset the SAR and start a new conversion with the EOC signal remaining in the low state until the end of this new conversion. When the conversion is complete, the EOC line will go to the high voltage state. An additional 4 clock periods must be allowed to elapse after EOC goes high, before a new conversion cycle is requested. Start Conversion pulses which occur during this last 4 clock period interval may be ignored (see Figures 1 and 2 for high speed operation). This is only a problem for high conversion rates and keeping the number of conversions per second less than $(1/44) \times f_{CLOCK}$ automatically guarantees proper operation. For example, for an 800 kHz clock, 18,000 conversions per second are allowed. The transfer of the new digital data to the output is initiated when EOC goes to the high voltage state.

POWER SUPPLIES

Standard supplies are $V_{SS} = 5V$, $V_{GG} = -12V$ and $V_{DD} = 0V$. Device accuracy is dependent on stability of the reference voltage and has slight sensitivity to $V_{SS} - V_{GG}$. V_{DD} has no effect on accuracy. Noise spikes on the V_{SS} and V_{GG} supplies can cause improper conversion; therefore, filtering each supply with a 4.7 μF tantalum capacitor is recommended.

CONTINUOUS CONVERSIONS AND LOGIC CONTROL

Simply tying the EOC output to the Start Conversion input will allow continuous conversions, but an oscillation on this line will exist during the first 4 clock periods after EOC goes high. Adding a D flip-flop between EOC (D input) to Start Conversion (Q output) will prevent the oscillation and will allow a stop/continuous control via the "clear" input.

To prevent missing a start pulse which may occur after EOC goes high and prior to the required 4 clock period time interval, the circuit of Figure 1 can be used. The RS latch can be set at any time and the 4-stage shift register delays the application of the start pulse to the A/D by 4 clock periods. The RS latch is reset 1 clock period after the A/D EOC signal goes to the low voltage state. This circuit also provides a Start Conversion pulse to the A/D which is 1 clock period wide.

A second control logic application circuit is shown in Figure 2. This allows an asynchronous start pulse of arbitrary length less than T_C , continuously converts for a fixed high level and provides a single clock period start pulse to the A/D. The binary counter is loaded with a count of 11 when the start pulse to the A/D appears. Counting is inhibited until the EOC signal from the A/D goes high. A carry pulse is then generated 4 clock periods after EOC goes high and is used to reset the input RS latch. This carry pulse can be used to indicate that the conversion is complete, the data has transferred to the output buffers and the system is ready for a new conversion cycle.

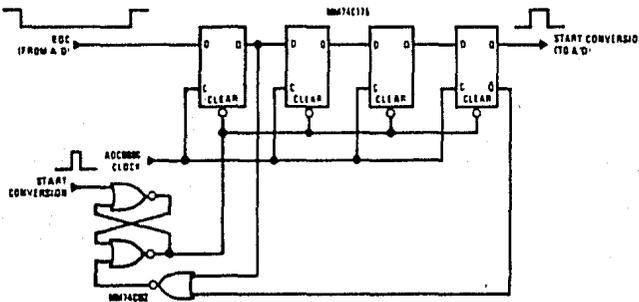


FIGURE 1. Delaying an Asynchronous Start Pulse

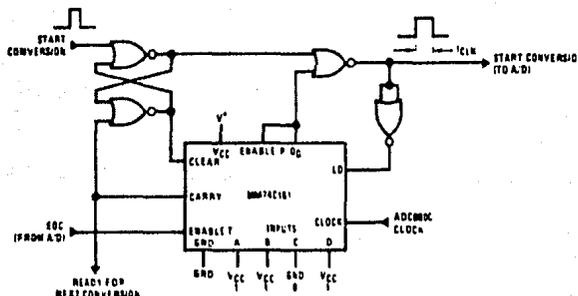


FIGURE 2. A/D Control Logic

Application Hints (Continued)

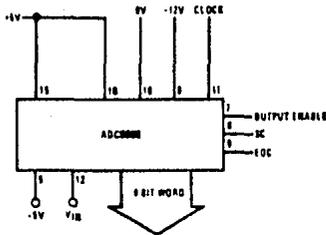
ZERO AND FULL SCALE ADJUSTMENT

Zero Adjustment: This is the offset voltage required at the bottom of the R-network (pin 5) to make the 11111111 to 11111110 transition when the input voltage is 1.2 LSB (20 mV for a 10.24V scale). In most cases, this can be accomplished by having a 1 kΩ pot on pin 5. A resistor of 475Ω can be used as a non-adjustable best approximation from pin 5 to ground.

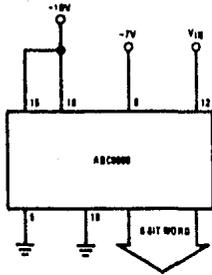
Full-Scale Adjustment: This is the offset voltage required at the top of the R-network (pin 15) to make the 00000001 to 00000000 transition when the input voltage is 1 1/2 LSB from full-scale (60 mV less than full-scale for a 10.24V scale). This voltage is guaranteed to be within 2 LSB for the ADC0800. In most cases, this can be accomplished by having a 1 kΩ pot on pin 15.

Typical Applications

General Connection

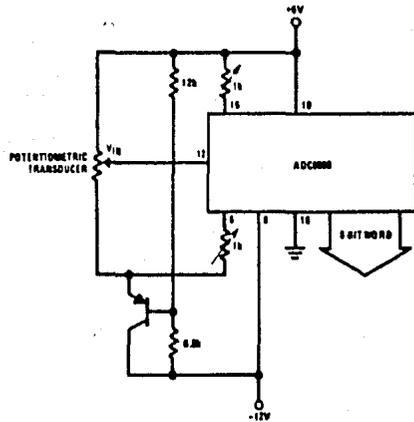


Hi-Voltage CMOS Output Levels



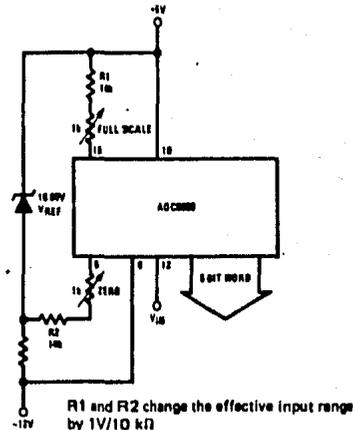
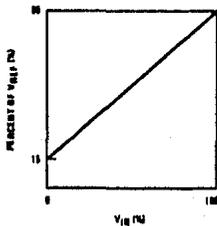
0V to 10V V_{IN} range
0V to 10V output levels

Ratiometric Input Signal with Tracking Reference



Level Shifted Zero and Full-Scale for Transducers

Level Shifted Input Signal Range



R1 and R2 change the effective input range by 1V/10 kΩ



MOTOROLA

**MC1408
MC1508**

**Specifications and Applications
Information**

**EIGHT-BIT MULTIPLYING
DIGITAL-TO-ANALOG CONVERTER**

... designed for use where the output current is a linear product of an eight-bit digital word and an analog input voltage.

- Eight-Bit Accuracy Available in Both Temperature Ranges
Relative Accuracy: $\pm 0.19\%$ Error maximum
(MC1408L8, MC1408P8, MC1508L8)
- Seven and Six-Bit Accuracy Available with MC1408 Designated by 7 or 6 Suffix after Package Suffix
- Fast Settling Time - 300 ns typical
- Noninverting Digital Inputs are MTTL and CMOS Compatible
- Output Voltage Swing - +0.4 V to -5.0 V
- High-Speed Multiplying Input
Slew Rate 4.0 mA/ μ s
- Standard Supply Voltages: +5.0 V and -5.0 V to -15 V

**EIGHT-BIT MULTIPLYING
DIGITAL-TO-ANALOG
CONVERTER**

**SILICON MONOLITHIC
INTEGRATED CIRCUIT**



**L SUFFIX
CERAMIC PACKAGE
CASE 620-02**



**P SUFFIX
PLASTIC PACKAGE
CASE 648-05**

FIGURE 1 - D-to-A TRANSFER CHARACTERISTICS

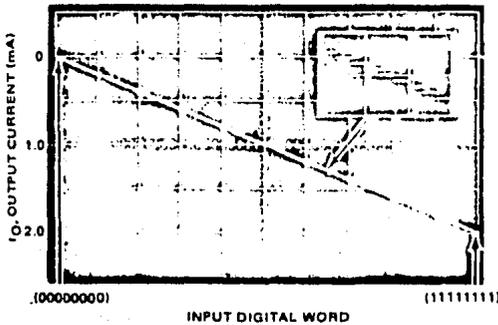
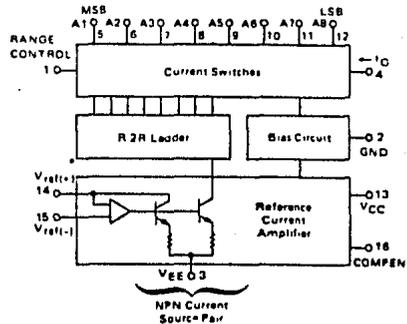


FIGURE 2 - BLOCK DIAGRAM



TYPICAL APPLICATIONS

- Tracking A-to-D Converters
- Successive Approximation A-to-D Converters
- 2 1/2 Digit Panel Meters and DVM's
- Waveform Synthesis
- Sample and Hold
- Peak Detector
- Programmable Gain and Attenuation
- CRT Character Generation
- Audio Digitizing and Decoding
- Programmable Power Supplies
- Analog-Digital Multiplication
- Digital-Digital Multiplication
- Analog-Digital Division
- Digital Addition and Subtraction
- Speech Compression and Expansion
- Stepping Motor Drive

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Power Supply Voltage	V _{CC} V _{EE}	+5 -16.5	V _{dc}
Digital Input Voltage	V ₅ thru V ₁₂	0 to +5.5	V _{dc}
Applied Output Voltage	V _O	+0.5, -5.2	V _{dc}
Reference Current	I ₁₄	5.0	mA
Reference Amplifier Inputs	V ₁₄ , V ₁₅	V _{CC} , V _{EE}	V _{dc}
Operating Temperature Range	T _A	-55 to +125 0 to +75	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 V_{dc}, V_{EE} = -15 V_{dc}, V_{ref} = 2.0 mA, MC1508L: T_A = -55°C to +125°C, MC1408L Series: T_A = 0 to +75°C unless otherwise noted. All digital inputs at high logic level.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Relative Accuracy (Error relative to full scale 1G) MC1508L, MC1408L, MC1408PB MC1408P7, MC1408L7, See Note 1 MC1408P6, MC1408L6, See Note 1	4	E _r	-	-	±0.19 ±0.39 ±0.78	%
Settling Time to within ±1/2 LSB (includes t _{PLH}) (T _A = +25°C) See Note 2	5	t _S	-	300	-	ns
Propagation Delay Time T _A = +25°C	5	t _{PLH} , t _{PHL}	-	30	100	ns
Output Full Scale Current Drift		TC _{IO}	-	-20	-	PPM/°C
Digital Input Logic Levels (MSB) High Level, Logic "1" Low Level, Logic "0"	3	V _{IH} V _{IL}	2.0 -	-	- 0.8	V _{dc}
Digital Input Current (MSB) High Level, V _{IH} = 5.0 V Low Level, V _{IL} = 0.8 V	3	I _{IH} I _{IL}	- -	0 -0.4	0.04 -0.8	mA
Reference Input Bias Current (Pin 15)	3	I _{I5}	-	-1.0	-5.0	μA
Output Current Range V _{EE} = -5.0 V V _{EE} = -15 V, T _A = +25°C	3	I _{OR}	0 0	2.0 2.0	2.1 4.2	mA
Output Current V _{ref} = 2.000 V, R ₁₄ = 1000 Ω	3	I _O	1.9	1.99	2.1	mA
Output Current (All bits low)	3	I _{O(min)}	-	0	4.0	μA
Output Voltage Compliance (E _r ≤ 0.19% at T _A = +25°C) Pin 1 grounded Pin 1 open, V _{EE} below -10 V	3	V _O	-	-	-0.55, +0.4 -5.0, +0.4	V _{dc}
Reference Current Slew Rate	6	SR I _{ref}	-	4.0	-	mA/μs
Output Current Power Supply Sensitivity		PSRR(-)	-	0.5	2.7	μA/V
Power Supply Current (All bits low)	3	I _{CC} I _{EE}	-	+13.5 -7.5	+22 -13	mA
Power Supply Voltage Range (T _A = +25°C)	3	V _{CCR} V _{VEER}	+4.5 -4.5	+5.0 -15	+5.5 -16.5	V _{dc}
Power Dissipation All bits low V _{EE} = -5.0 V _{dc} V _{EE} = -15 V _{dc} All bits high V _{EE} = -5.0 V _{dc} V _{EE} = -15 V _{dc}	3	P _D	-	105 190 90 160	170 305 -	mW

Note 1. All current switches are tested to guarantee at least 50% of rated output current.
Note 2. All bits switched.

TYPICAL CHARACTERISTICS (continued)

($V_{CC} = +5.0\text{ V}$, $V_{EE} = -15\text{ V}$, $T_A = +25^\circ\text{C}$ unless otherwise noted)

FIGURE 14 - REFERENCE INPUT FREQUENCY RESPONSE

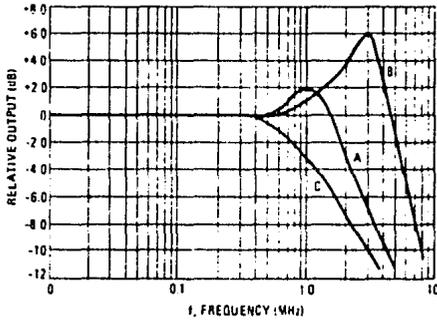


FIGURE 15 - TYPICAL POWER SUPPLY CURRENT versus TEMPERATURE (all bits low)

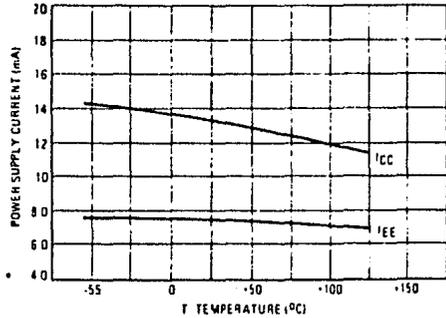
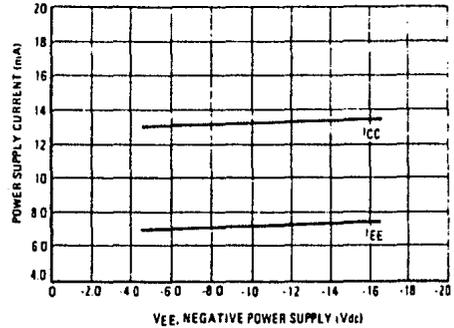


FIGURE 16 - TYPICAL POWER SUPPLY CURRENT versus V_{EE} (all bits low)



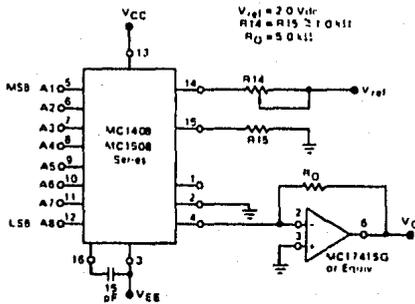
Unless otherwise specified:

$R_{14} = R_{15} = 10\text{ k}\Omega$
 $C = 15\text{ pF}$, pin 16 to V_{EE}
 $R_L = 50\ \Omega$, pin 4 to GND

- Curve A: Large Signal Bandwidth
Method of Figure 7
 $V_{ref} = 70\text{ mV (p-p)}$ offset 1.0 V above GND
- Curve B: Small Signal Bandwidth
Method of Figure 7
 $R_L = 250\ \Omega$
 $V_{ref} = 50\text{ mV (p-p)}$ offset 200 mV above GND
- Curve C: Large and Small Signal Bandwidth
Method of Figure 25 (no op. amp.)
 $R_L = 50\ \Omega$
 $R_S = 50\ \Omega$
 $V_S = 2.0\text{ V}$
 $V_S = 100\text{ mV (p-p)}$ centered at 0 V

APPLICATIONS INFORMATION

FIGURE 17 - OUTPUT CURRENT TO VOLTAGE CONVERSION



$V_{ref} = 2.0\text{ Vdc}$
 $R_{14} = R_{15} = 10\text{ k}\Omega$
 $R_D = 50\text{ k}\Omega$

Theoretical V_O

$$V_O = \frac{V_{ref}}{R_{14}} \cdot R_D \left[\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right]$$

Adjust V_{ref} , R_{14} or R_D so that V_O with all digital inputs at high level is equal to 9.961 volts

$$V_O = \frac{2\text{ V}}{1\text{ k}} \cdot 5\text{ k} \left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256} \right]$$

$$= 10\text{ V} \left[\frac{255}{256} \right] = 9.961\text{ V}$$

TYPES SN54190, SN54191, SN54LS190, SN54LS191, SN74190, SN74191, SN74LS190, SN74LS191 SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

BULLETIN NO. DI 5 11865 DECEMBER 1972 - REVISED DECEMBER 1980

- Counts 8-4-2-1 BCD or Binary
- Single Down/Up Count Control Line
- Count Enable Control Input
- Ripple Clock Output for Cascading
- Asynchronously Presetable with Load Control
- Parallel Outputs
- Cascadable for n-Bit Applications

TYPE	AVERAGE PROPAGATION DELAY	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'190, '191	20 ns	25 MHz	325 mW
'LS190, 'LS191	20 ns	25 MHz	100 mW

description

The '190, 'LS190, '191, and 'LS191 are synchronous, reversible up/down counters having a complexity of 58 equivalent gates. The '191 and 'LS191 are 4-bit binary counters and the '190 and 'LS190 are BCD counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple clock) counters.

The outputs of the four master-slave flip-flops are triggered on a low-to-high-level transition of the clock input if the enable input is low. A high at the enable input inhibits counting. Level changes at the enable input should be made only when the clock input is high. The direction of the count is determined by the level of the down/up input. When low, the counter counts up and when high, it counts down. A false clock may occur if the down/up input changes while the clock is low. A false ripple carry may occur if both the clock and enable are low and the down/up input is high during a load pulse.

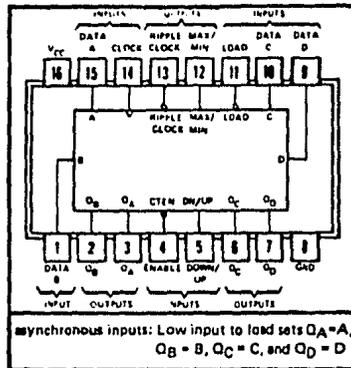
These counters are fully programmable; that is, the outputs may be preset to either level by placing a low on the load input and entering the desired data at the data inputs. The output will change to agree with the data inputs independent of the level of the clock input. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

The clock, down/up, and load inputs are buffered to lower the drive requirement which significantly reduces the number of clock drivers, etc., required for long parallel words.

Two outputs have been made available to perform the cascading function: ripple clock and maximum/minimum count. The latter output produces a high-level output pulse with a duration approximately equal to one complete cycle of the clock when the counter overflows or underflows. The ripple clock output produces a low-level output pulse equal in width to the low-level portion of the clock input when an overflow or underflow condition exists. The counters can be easily cascaded by feeding the ripple clock output to the enable input of the succeeding counter if parallel clocking is used, or to the clock input if parallel enabling is used. The maximum/minimum count output can be used to accomplish look-ahead for high-speed operation.

Series 54' and 54LS' are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74' and 74LS' are characterized for operation from 0°C to 70°C.

SN54', SN54LS' ... J OR W PACKAGE
SN74', SN74LS' ... J OR N PACKAGE
(TOP VIEW)



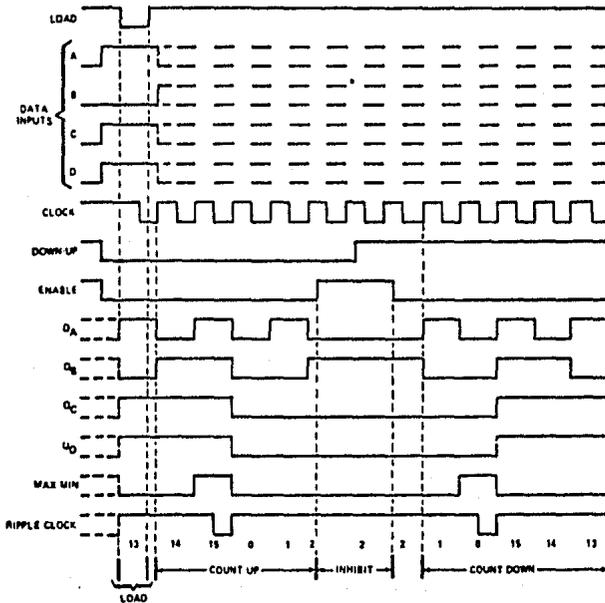
TYPES SN54191, SN54LS191, SN74191, SN74LS191 SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

'191, 'LS191 BINARY COUNTERS

typical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit.
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen.



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: SN54', SN74' Circuits	5.5 V
SN54LS', SN74LS' Circuits	7 V
Operating free-air temperature range: SN54', SN54LS' Circuits	-55°C to 125°C
SN74', SN74LS' Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

TTL
MSI

TYPES SN54198, SN54199, SN74198, SN74199 8-BIT SHIFT REGISTERS

BULLETIN NO. DL-S 7711841, DECEMBER 1972-REVISED AUGUST 1977

description

These 8 bit shift registers are compatible with most other TTL, DTL, and MSI logic families. All inputs are buffered to lower the drive requirements to one normalized Series 54/74 load, and input clamping diodes minimize switching transients to simplify system design. Maximum input clock frequency is typically 35 megahertz and power dissipation is typically 360 mW.

Series 54 devices are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74 devices are characterized for operation from 0°C to 70°C.

SN54198 and SN74198

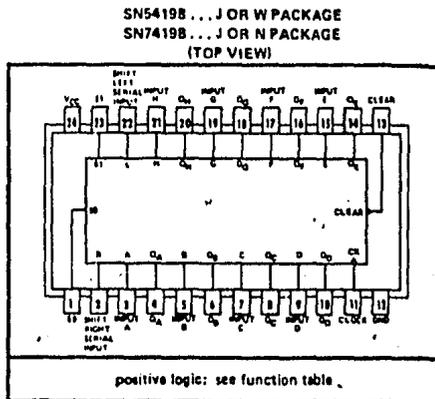
These bidirectional registers are designed to incorporate virtually all of the features a system designer may want in a shift register. These circuits contain 87 equivalent gates and feature parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

- Parallel (Broadside) Load
- Shift Right (In the direction Q_A toward Q_H)
- Shift Left (In the direction Q_H toward Q_A)
- Inhibit Clock (Do nothing)

Synchronous parallel loading is accomplished by applying the eight bits of data and taking both mode control inputs, S_0 and S_1 , high. The data is loaded into the associated flip-flop and appears at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shift right is accomplished synchronously with the rising edge of the clock pulse when S_0 is high and S_1 is low. Serial data for this mode is entered at the shift-right data input. When S_0 is low and S_1 is high, data shifts left synchronously and new data is entered at the shift-left serial input.

Clocking of the flip-flop is inhibited when both mode control inputs are low. The mode controls should be changed only while the clock input is high.



FUNCTION TABLE

CLEAR	MODE		CLOCK	INPUTS			OUTPUTS				
	S_1	S_0		SERIAL		PARALLEL	Q_A	Q_B	...	Q_G	Q_H
				LEFT	RIGHT						
L	X	X	X	X	X	X	L	L	L	L	
H	X	X	L	X	X	X	Q_{A0}	Q_{B0}	Q_{G0}	Q_{H0}	
H	H	H	↑	X	X	a...h	a	b	g	h	
H	L	H	↑	X	H	X	H	Q_{An}	Q_{Fn}	Q_{Gn}	
H	H	H	↑	X	L	X	L	Q_{An}	Q_{Fn}	Q_{Gn}	
H	H	L	↑	H	X	X	Q_{Bn}	Q_{Cn}	Q_{Hn}	H	
H	H	L	↑	L	X	X	Q_{Bn}	Q_{Cn}	Q_{Hn}	L	
H	L	L	X	X	X	X	Q_{A0}	Q_{B0}	Q_{G0}	Q_{H0}	

H = high level (steady state), L = low level (steady state)

X = irrelevant (any input, including transitions)

↑ = transition from low to high level

a...h = the level of steady-state input at inputs A thru H, respectively.

Q_{A0} , Q_{B0} , Q_{G0} , Q_{H0} = the level of Q_A , Q_B , Q_G , or Q_H , respectively, before the indicated steady-state input conditions were established.

Q_{An} , Q_{Bn} , etc. = the level of Q_A , Q_B , etc., respectively, before the most-recent ↑ transition of the clock.

54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

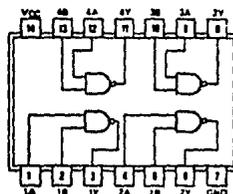
PIN ASSIGNMENTS (TOP VIEWS)

QUADRUPLE 2-INPUT
POSITIVE-NAND GATES
WITH OPEN-COLLECTOR OUTPUTS

03

positive logic:
 $Y = \overline{AB}$

See page 6-4



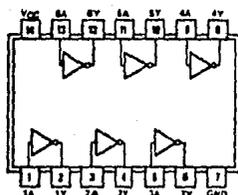
SN5403 (J)	SN7403 (J, N)
SN54L03 (J)	SN74L03 (J, N)
SN54LS03 (J, W)	SN74LS03 (J, N)
SN54S03 (J, W)	SN74S03 (J, N)

HEX INVERTERS

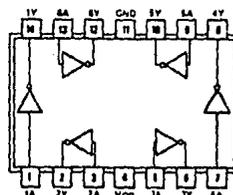
04

positive logic:
 $Y = \overline{A}$

See page 6-2



SN5404 (J)	SN7404 (J, N)
SN54H04 (J)	SN74H04 (J, N)
SN54L04 (J)	SN74L04 (J, N)
SN54LS04 (J, W)	SN74LS04 (J, N)
SN54S04 (J, W)	SN74S04 (J, N)



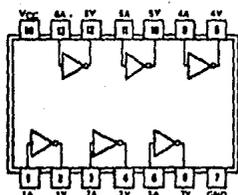
SN5404 (W)
SN54H04 (W)
SN54L04 (T)

HEX INVERTERS
WITH OPEN-COLLECTOR OUTPUTS

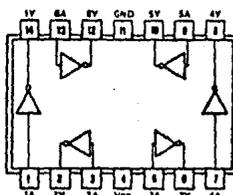
05

positive logic:
 $Y = \overline{A}$

See page 6-4



SN5405 (J)	SN7405 (J, N)
SN54H05 (J)	SN74H05 (J, N)
SN54LS05 (J, W)	SN74LS05 (J, N)
SN54S05 (J, W)	SN74S05 (J, N)



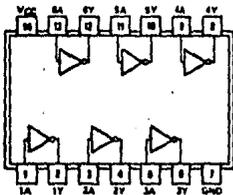
SN5405 (W)
SN54H05 (W)

HEX INVERTER BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

06

positive logic:
 $Y = \overline{A}$

See page 6-24



SN5406 (J, W)	SN7406 (J, N)
---------------	---------------

54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

AND-GATED J-K MASTER-SLAVE FLIP-FLOPS WITH PRESET AND CLEAR

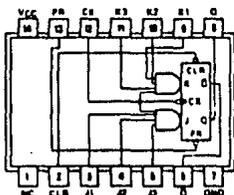
72

FUNCTION TABLE

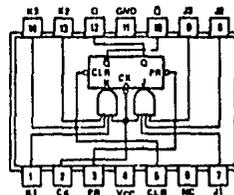
INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\downarrow	L	L	Q ₀	\bar{Q}_0
H	H	\downarrow	H	L	H	L
H	H	\downarrow	L	H	L	H
H	H	\downarrow	H	H	TOGGLE	TOGGLE

positive logic: J = J1·J2·J3; K1·K2·K3

See pages 6-46, 6-50, and 6-54



SN5472 (J)
SN54H72 (J)
SN54L72 (J)



SN5472 (W)
SN54H72 (W)
SN54L72 (T)

NC—No internal connection

DUAL J-K FLIP-FLOPS WITH CLEAR

73

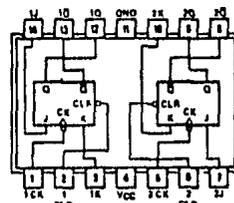
73, 'H73, 'L73
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\downarrow	L	L	Q ₀	\bar{Q}_0
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H	TOGGLE	TOGGLE

'LS73A
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\downarrow	L	L	Q ₀	\bar{Q}_0
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H	TOGGLE	TOGGLE
H	H	X	X	Q ₀	\bar{Q}_0

See pages 6-46, 6-50, 6-54, and 6-56



SN5473 (J, W) SN7473 (J, N)
SN54H73 (J, W) SN74H73 (J, N)
SN54L73 (J, T) SN74L73 (J, N)
SN54LS73A (J, W) SN74LS73A (J, N)

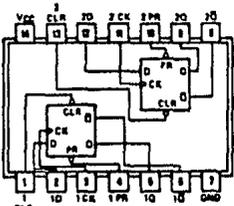
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

74

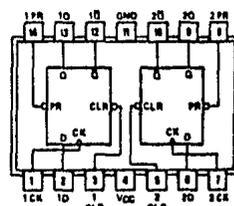
FUNCTION TABLE

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	D		Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\uparrow	H	H	L	H
H	H	\uparrow	L	L	H	L
H	H	\uparrow	L	X	Q ₀	\bar{Q}_0

See pages 6-46, 6-50, 6-54, and 6-56



SN5474 (J) SN7474 (J, N)
SN54H74 (J) SN74H74 (J, N)
SN54L74 (J) SN74L74 (J, N)
SN54LS74A (J, W) SN74LS74A (J, N)
SN54S74 (J, W) SN74S74 (J, N)



SN5474 (W)
SN54H74 (W)
SN54L74 (T)

See explanation of function tables on page 3-8.

*This configuration is nonstatic; that is, it will not persist when preset or clear inputs return to their inactive (high) level. Furthermore, the output levels of the 'LS74A in this configuration are not guaranteed to meet the minimum levels for V_{OH} if the lows at preset and clear are near V_{IL} minimum.



CD4016BM/CD4016BC Quad Bilateral Switch

General Description

The CD4016BM/CD4016BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4066BM/CD4066BC.

- Extremely high control input impedance $10^{12}\Omega$ (typ.)
- Low crosstalk between switches -50 dB (typ.)
@ $f_{IS} = 0.9\text{ MHz}$, $R_L = 1\text{ k}\Omega$
- Frequency response, switch "ON" 40 MHz (typ.)

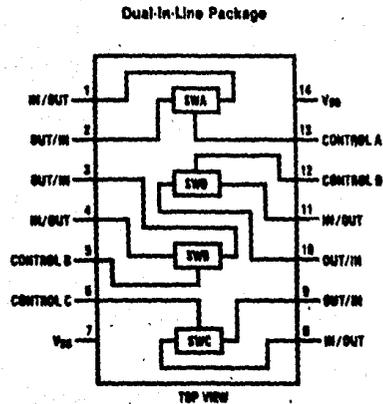
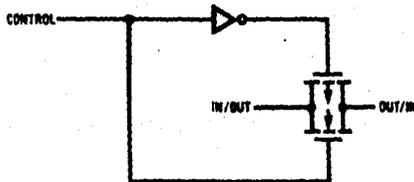
Features

- Wide supply voltage range $3\text{V to }15\text{V}$
- Wide range of digital and analog switching $\pm 7.5\text{ V}_{\text{PEAK}}$
- "ON" resistance for 15V operation 400Ω (typ.)
- Matched "ON" resistance over 15V signal input $\Delta R_{\text{ON}} = 10\Omega$ (typ.)
- High degree of linearity 0.4% distortion (typ.)
@ $f_{IS} = 1\text{ kHz}$, $V_{IS} = 5\text{ Vp-p}$,
 $V_{DD} - V_{SS} = 10\text{V}$, $R_L = 10\text{ k}\Omega$
- Extremely low "OFF" switch leakage 0.1 nA (typ.)
@ $V_{DD} - V_{SS} = 10\text{V}$,
 $T_A = 25^\circ\text{C}$

Applications

- Analog signal switching/multiplexing
 - Signal gating
 - Squelch control
 - Chopper
 - Modulator/Demodulator
 - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

Schematic and Connection Diagrams



AC Test Circuits and Switching Time Waveforms (Cont'd)

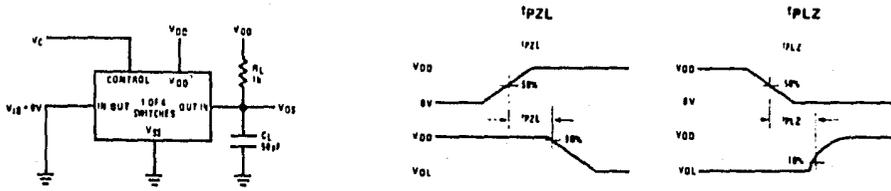


Figure 3. t_{PZH} , t_{PHZ} Propagation Delay Time Control to Signal Output

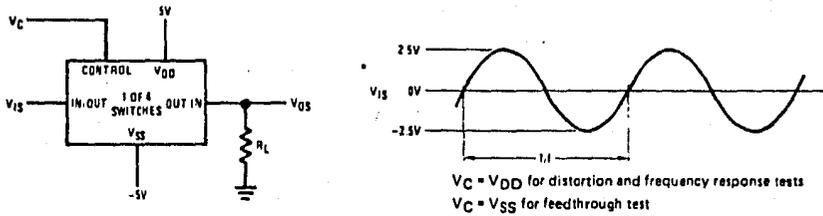


Figure 4. Sine Wave Distortion, Frequency Response and Feedthrough

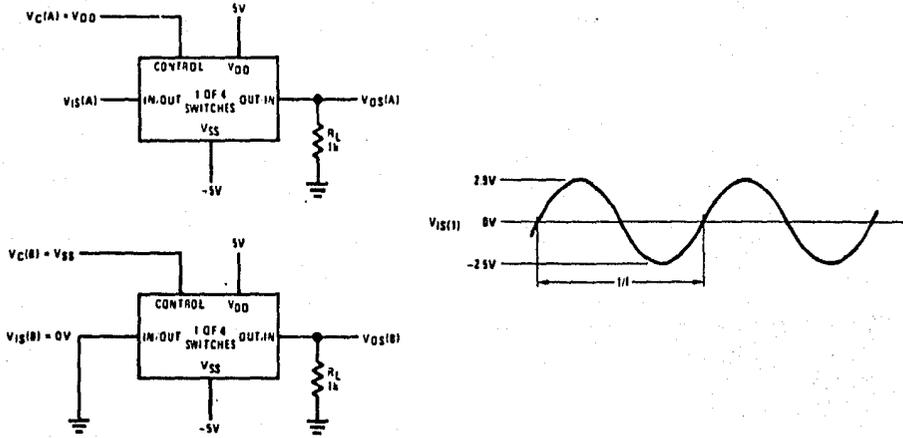


Figure 5. Crosstalk Between Any Two Switches

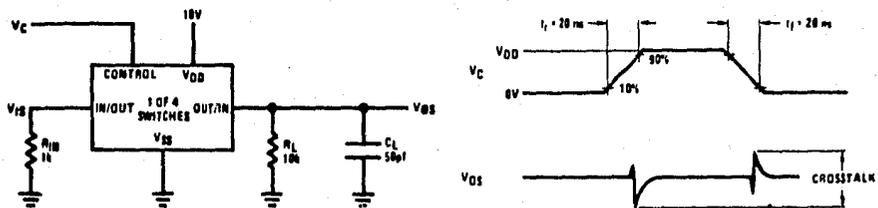
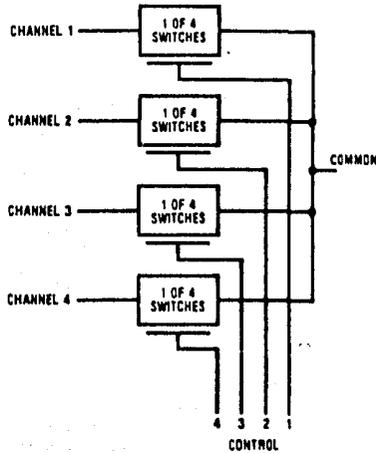
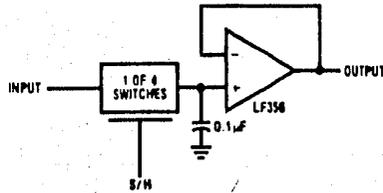


Figure 6. Crosstalk - Control to Input Signal Output

Typical Applications



4 Input Multiplexer



Sample/Hold Amplifier

Special Considerations

The CD4016B is composed of 4, two-transistor analog switches. These switches do not have any linearization or compensation circuitry for "R_{ON}" as do the CD4066B's. Because of this, the special operating considerations for the CD4066B do not apply to the CD4016B, but at low

supply voltages, $\leq 5V$, the CD4016B's on resistance becomes non-linear. It is recommended that at 5V, voltages on the in/out pins be maintained within about 1V of either V_{DD} or V_{SS}; and that at 3V the voltages on the in/out pins should be at V_{DD} or V_{SS} for reliable operation.