

Universidad Nacional Autónoma de México
FACULTAD DE INGENIERIA



205
120

DISEÑO DE UNA UNIDAD DE SINCRONIA PARA
EL SISTEMA P.C.M. DEL LABORATORIO DE
COMUNICACIONES.

T E S I S
QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA
P R E S E N T A N

Norberto Vera García
y
Alberto Ortiz Pérez

MEXICO, D. F.

1982



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

	PAGINA
CAPITULO 1 INTRODUCCION	1
CAPITULO 2 ANALISIS DEL SISTEMA P.C.M, EXISTENTE Y DE SUS PROBLEMAS DE SINCRONIA.	20
2.1. FUNCIONAMIENTO DE LA UNIDAD TRANSMISQ RA P.C.M.	20
2.1.1. MULTIPLEXADOR POR DIVISION DE TIEM PO	23
2.1.2. CODIFICADOR	27
2.1.3. RELOJ MAESTRO	36
2.1.4. CIRCUITOS DE SINCRONIA Y REGISTRO_ DE SALIDA	39
2.2. SISTEMA RECEPTOR P.C.M.	47
2.2.1. CIRCUITO REGENERADOR Y RELOJ ESCLA VO	50
2.2.2. CIRCUITOS DE SINCRONIA	53
2.2.3. SISTEMA DECODIFICADOR	56
2.2.4. CONVERTIDOR DIGITAL ANALOGICO	58
2.2.5. MULTIPLEXADOR T.D.M.	59
2.3. PROBLEMAS DE SINCRONIA	60
CAPITULO 3 DIVERSAS OPCIONES PARA EL CIRCUITO DE SINCRONIA	62
3.1. HARDWARE	63

	PAGINA	
3.1.1.	SINCRONIZACIÓN DE BITS	64
3.1.2.	SINCRONIZACIÓN DE GRUPO	65
3.1.3.	ADQUISICIÓN DE LA SINCRONÍA DE PALABRA	66
3.1.4.	ADQUISICIÓN DE LA SINCRONÍA DE TRAMA	68
3.1.5.	ADQUISICIÓN COMPLEMENTARIA DE SINCRONÍA DE TRAMA Y DE PALABRA.	72
3.2.	SOFTWARE	74
3.2.1.	INTRODUCCIÓN	75
3.2.2.	CONCEPTOS BÁSICOS DE UN SISTEMA MÍNIMO DE MICROPROCESADOR	78
3.2.3.	ORGANIZACIÓN DE UN SISTEMA MÍNIMO DE MICROPROCESADOR	81
3.2.4.	PROGRAMACIÓN	85
3.2.5.	EL PROCESO DE LA PROGRAMACIÓN	88
3.2.6.	LENGUAJES	92
CAPITULO 4	DISEÑO DEL SISTEMA SELECCIONADO	98
4.1.	CIRCUITO DE SINCRONIA DE BIT	98
4.1.1.	TEORÍA DE OPERACIÓN DE LOS CIRCUITOS PLL	100
4.1.2.	TERMINOLOGÍA DE LOS SISTEMAS PLL	103
4.1.3.	ECUACIONES PARA DESCRIBIR EL FUNCIONAMIENTO DEL SISTEMA PLL.	105
4.1.4.	DESCRIPCIÓN DEL CIRCUITO	109
4.2.	CIRCUITO DE SINCRONIA DE GRUPO	120
CAPITULO 5	CONCLUSIONES	128
	BIBLIOGRAFIA	140

INTRODUCCION

EL SISTEMA P.C.M. (MODULACIÓN POR CÓDIGO DE PULSOS), PA
RECE SER SIMPLE Y OBVIO, PERO EL OBSTÁCULO MÁS GRANDE PARA -
SU COMPRENSIÓN Y USO SE DEBÍO A QUE ERA RADICALMENTE DIFEREN
TE DE LOS SISTEMAS DE COMUNICACIÓN BASADOS EN EL CONCEPTO DE
SEÑALES CONTINUAS.

EL MUESTREO Y LA CUANTIZACIÓN ERA ALGO QUE LOS HOMBRES
HABÍAN HECHO INCONCIENTEMENTE DESDE HACÍA MILES DE AÑOS, POR
EJEMPLO, AL REPRESENTAR UN OBJETO FÍSICO O UN FENÓMENO POR -
MEDIO DE MEDICIONES Y DESPÚES AL HACER EL REDONDEO NUMÉRICO
DE LOS RESULTADOS.

EN LA HISTORIA DE LAS COMUNICACIONES ELÉCTRICAS, LA PRIMERA RAZÓN PARA MUESTREAR UNA SEÑAL, FUÉ EL ENTREMESCLAR MUESTRAS DE DIFERENTES FUENTES: ESTO ES, MULTIPLEXARLAS EN TIEMPO.

EN TELEGRAFÍA Y EN TELEFONÍA, LA TÉCNICA DE MULTIPLEXAR POR DIVISIÓN DE TIEMPO (TDM) ERÁ MÁS ANTIGUA QUE LA TÉCNICA DE MULTIPLEXAJE POR DIVISIÓN DE FRECUENCIA (FDM).

LA TELEGRAFÍA MEDIANTE TDM FUÉ CONCEBIDA EN 1853 POR UN INVENTOR AMERICANO POCO CONOCIDO, M.B. FARMER. J.L. BAUDOT LO 'REINVENTO' 22 AÑOS MÁS TARDE JUNTO CON OTROS INVESTIGADORES. ESTE TRABAJO DE BAUDOT SURTIÓ EN EL TIEMPO EN QUE A.G. BELL REALIZABA SUS PRIMEROS EXPERIMENTOS SOBRE LA 'ARMÓNICA' USADA EN TELEGRAFÍA.

LOS DISTRIBUIDORES DE CANAL DE LOS SISTEMAS DE TELEGRAFÍA TDM ERAN CONMUTADORES ROTATORIOS. EL PROBLEMA PARA SINCRONIZARLOS REQUIRIÓ DE MUCHO INGENIO.

LAS SEÑALES ERAN, DESDE LUEGO, DISCRETAS; Y SE DIÓ UN GRAN PASO CUANDO W.M. MINER EN 1903, USÓ EL CONMUTADOR EN TELEFONÍA. MINER LOGRÓ CONVERSACIONES INTELIGIBLES DE LOS CANALES MUESTREADOS A RAZÓN DE 3500 - 4300 MUESTRAS/SEG. ESTO FUÉ 11 AÑOS ANTES DE LOS PRIMEROS EXPERIMENTOS CON LA 'PORTADORA' USADA EN TELEFONÍA.

MINER NO FUÉ LA ÚNICA PERSONA Y POSIBLEMENTE TAMPOCO LA PRIMERA EN INTENTAR MUESTREAR LAS SEÑALES DE VOZ MEDIANTE UN CONMUTADOR, YA QUE OTROS INVESTIGADORES INTENTARON LO MISMO CON MUESTREO LENTO; EN TANTO QUE EL PUNTO DE VISTA DE MINER ERA EL SIGUIENTE: LA RELACIÓN DE MUESTREO DEBERÁ SER LO MÁS

PRÓXIMO POSIBLE A LA FRECUENCIA DE LA VOZ HUMANA, ÉSTO FUÉ - UN PUNTO DE VISTA INTUITIVO Y FUÉ DURANTE MUCHO TIEMPO CONSIDERADO COMO EL " TEOREMA DE MUESTREO ".

NO SE CONTINUÓ CON LOS TRABAJOS DE MINER SOBRE MUESTREO Y TDM, Y ÉSTO PROBABLEMENTE SE DEBIÓ A LA FALTA DE COMPONENTES ELECTRÓNICOS ADECUADOS. PARA EL TIEMPO EN QUE FUÉ POSIBLE CONTAR CON LOS ELEMENTOS ADECUADOS, EL MÉTODO MEDIANTE FDM ERA EL MÁS UTILIZADO.

LA TÉCNICA DE MULTIPLEXAR PULSOS MODULADOS EN AMPLITUD-FUÉ AMPLIAMENTE INVESTIGADA A PRINCIPIOS DE 1930, PERO EN RELACIÓN A TRANSMISIONES A LARGA DISTANCIA NO TENÍA NINGUNA VENTAJA; ERA AL IGUAL QUE FDM; MUY VULNERABLE AL RUIDO Y MÁS PROPENSO A LA DIAFONÍA.

REGRESEMOS A LOS INICIOS DE LA HISTORIA DE LAS COMUNICACIONES PARA INDICAR EL CURSO DE OTRO ELEMENTO QUE ENTRÓ A FORMAR PARTE DEL SISTEMA PCM; LA TRANSMISIÓN DIGITAL. LA PRIMERA PROPUESTA PARA UTILIZARSE EN EL TELÉGRAFO DATA DE 1753, PERO LA MAYOR PARTE DEL DESARROLLO QUE LO HIZO REALMENTE PRÁCTICO OCURRIÓ EN EL PERÍODO 1825 - 1875. VARIAS DE LAS IDEAS RECIENTES RELACIONADAS A LOS CÓDIGOS, ERAN CONOCIDAS POR LOS OPERARIOS DE LA TELEGRAFÍA EN SUS INICIOS; EJEMPLO, LOS NÚMEROS BINARIOS Y LOS NÚMEROS TERNARIOS.

LA TENDENCIA A MULTIPLEXAR Y AUTOMATIZAR LA TELEGRAFÍA FAVORECIÓ EL USO DE LOS CÓDIGOS ISÓCRONOS DE CARÁCTER DE LONGITUD UNIFORME, OCURRIENDO LO MISMO PARA PCM.

FUÉ TAMBIEN LA TELEGRAFÍA LO QUE CONDUJO A INICIAR CON LA TEORÍA DE INFORMACIÓN. LAS LIMITACIONES DE VELOCIDAD PARA-

LOS CABLES SUBMARINOS FUERON INVESTIGADAS POR KELVIN, EL --
CUAL POSTERIORMENTE FORMULÓ UNA TEORÍA SOBRE CABLES DE --
TRANSMISIÓN RELACIONANDO LA VELOCIDAD DE SEÑALIZACIÓN CON --
EL ANCHO DE BANDA.

EN NUESTROS DÍAS, LOS ESTUDIOS REALIZADOS POR NYQUIST_
Y HARTLEY EN 1920 PROPORCIONAN UNA MEDIDA SATISFACTORIA DE_
LA INFORMACIÓN CONTENIDA EN LAS SEÑALES DISCRETAS. NO PRE-
CEDIÓ A LA INVENCION DEL SISTEMA PCM, LA APLICACION DE ESTE
ESTUDIO A LAS SEÑALES CONTINUAS REALIZADO POR SHANNON Y WIE
NER.

UNA CARACTERÍSTICA IMPORTANTE DEL SISTEMA PCM ES LA PO
SIBILIDAD DE REPRESENTAR MAGNITUDES ANALÓGICAS EN FORMA DI-
GITAL. ESTO FUE CONCEBIDO DE MANERA INDEPENDIENTE POR P.M.
RAINEY DE LA WESTERN ELECTRIC Co. EN LOS E.E.U.U. Y POR A.-
H. REEVES, UN INGENIERO INGLÉS EN PARÍS DE LOS LABORATORIOS
DE LA ITT.

LA PATENTE DE RAINEY EN 1921 DESCRIBE UN SISTEMA TELE-
GRÁFICO MEDIANTE IMÁGENES EN EL CUÁL LA INTENSIDAD DE LA --
LUZ ESTÁ REPRESENTADA POR NÚMEROS BINARIOS. LOS DISPOSITI-
VOS (LOS CUALES SON MUY IMPRÁCTICOS), Y LOS FUNDAMENTOS TEÓ
RICOS DEL SISTEMA DE TELEGRAFÍA EN IMÁGENES FUERON DE USO -
MUY RESTRINGIDO; SIN EMBARGO, ERA CLARO QUE RAINEY TENÍA --
LAS IDEAS ESCENCIALES SOBRE CODIFICACIÓN Y DECODIFICACIÓN.

ESTAS NOTABLES IDEAS PERMANECIERON SIN FRUTO; LOS IN--
VESTIGADORES POSTERIORES A REEVES, NO TENÍAN CONOCIMIENTO -
DE ÉSTO CUANDO SE REALIZARON LOS DESARROLLOS DE LOS CUALES_
SURGIÓ EL SISTEMA PCM. DURANTE MUCHAS DÉCADAS EL NOMBRE DE
RAINEY FUÉ POCO CONOCIDO, PERO ÉSTO DE NINGUNA MANERA DISMI
NUYE LA IMPORTANCIA DE SU TRABAJO. RAINEY OBTUVO MERECEDA_
IMPORTANCIA EN LA INVENCION DEL SISTEMA CUANDO REEVES COM--

PRENDIÓ SUS IDEAS 16 AÑOS MÁS TARDE.

REEVES Y SUS COLEGAS INICIARON EN 1936 EL ESTUDIO DE LA MODULACIÓN DE PULSOS CON EL OBJETO DE ENCONTRAR UN MÉTODO -- POR MEDIO DEL CUAL EL RECIEN DESCUBIERTO MEDIO DE RADIOENLACE POR MICROONDAS PUDIERA UTILIZARSE EN TELEFONÍA. EL ANCHO DE LA BANDA TENÍA RESTRICCIONES MENORES EN AQUELLOS ENLACES QUE EN LOS CABLES QUE ACTUALMENTE SE USAN, AÚN CUANDO EL RUIDO Y LA DISTORSIÓN ERAN MÁS SEVERAS.

EL PRIMER MÉTODO DESCUBIERTO FUÉ LA MODULACIÓN DE LOS PULSOS EN TIEMPO (PTM). LOS PULSOS SON DE AMPLITUD CONSTANTE, DE MANERA QUE PUEDEN SER REPETIDOS POR CIRCUITOS DE DISPARO; YA QUE LOS PERÍODOS DE TIEMPO, LOS CUALES CONDUCEN LA INFORMACIÓN, DEBEN SER MUY EXACTOS. EL EFECTO DEL RUIDO EN LAS POSICIONES DE TIEMPO, ES, EN ANCHOS DE BANDA ADECUADOS, MENOR QUE LOS EFECTOS CAUSADOS EN LA AMPLITUD DE LAS SEÑALES ANALÓGICAS; AUNQUE NO ES DESPRECIABLE; ADEMÁS, EL DETERIORO DE LA SEÑAL ES ACUMULABLE EN RUTAS LARGAS. SIN EMBARGO, REEVES OBSERVÓ QUE SI LA POSICIÓN EN TIEMPO FUERA ESPECIFICADA EN FORMA NUMÉRICA, LA SEÑAL SERÍA DIGITAL Y POR LO TANTO, CASI INVULNERABLE AL RUIDO.

LA PRIMERA PATENTE DE REEVES DESCRIBE LOS CONCEPTOS, -- PROPIEDADES E INSTRUMENTACIÓN PARA UN SISTEMA PCM DE MANERA EXTRAORDINARIAMENTE COMPENSIBLE. CUBRE ENTRE OTRAS COSAS -- LOS SIGUIENTES PUNTOS:

- 1.- LOS PRINCIPIOS GENERALES DE CUANTIZACIÓN Y CODIFICACIÓN.
- 2.- EL CAMBIO DE BASE DE CÓDIGO PARA AJUSTARSE A LAS --

CONDICIONES DE RUIDO Y ANCHO DE BANDA DEL MEDIO.

III.- CAPACIDAD DE CONDUCCIÓN DE LAS SEÑALES DIGITALES EN FORMA SERIAL, EN PARALELA, EN PORTADORA CON MODULACIÓN EN FASE, Y EN OTRAS FORMAS,

IV.- CODIFICACIÓN MEDIANTE LA COMPARACIÓN DE LOS FLANCOS DE LOS PULSOS MODULADOS EN POSICIÓN CON ESCALA DE TIEMPO GENERADO POR UN CONTADOR. Y

V.- CIERTOS CIRCUITOS ESPECÍFICOS.

PROPUSO ADEMÁS EL USO DE 32 NÍVELES COMO EL NÚMERO ADECUADO PARA LA TRANSMISIÓN DE LA VOZ HUMANA.

AÚNQUE ESTO REPRESENTÓ UN CAMBIO MUY RADICAL EN LA TÉCNICAS Y CONCEPTOS COMUNES DE AQUEL TIEMPO, LOS PRINCIPIOS DEL SISTEMA PCM TIENEN SUS RAICES EN LOS PRIMEROS EXPERIMENTOS DE REEVES.

EN LA DÉCADA DE 1920, ÉL FUÉ UNO DE LOS PRIMEROS EN DEFINIR LAS ESCALAS DE TIEMPO Y FRECUENCIA MEDIANTE SUCESIONES DE CONTADORES. EN EL GÉNESIS DEL SISTEMA PCM, LA ÚLTIMA ETAPA CONSISTIÓ EN LA COMBINACIÓN DE DOS CONCEPTOS: PTM Y UNA ESCALA DE TIEMPO DEFINIDA POR UNA SUCESIÓN DE CONTADORES BINARIOS. ES POR ÉSTA RAZÓN QUE LA PATENTE SE REFIERE ESPECÍFICAMENTE A LOS CODIFICADORES DE TIPO NUMÉRICO, ASÍ COMO A LOS CONCEPTOS Y PROPÓSITOS GENERALES DEL SISTEMA PCM.

DURANTE LA SEGUNDA GUERRA MUNDIAL, REEVES Y SUS COLEGAS ESTUVIERÓN OCUPADOS EN OTRAS CUESTIONES Y, A PESAR DE CONOCER

LA IMPORTANCIA DE ÉSTO, NO TUVIERON LA OPORTUNIDAD DE DESARROLLARLO AMPLIAMENTE. LOS SIGUIENTES PASOS FUERON DADOS POR LOS LABORATORIOS TELEFÓNICOS BELL, HACÍA EL FINAL DE LA GUERRA Y POCO TIEMPO DESPUÉS ALGUNOS DE LOS RESULTADOS FUERON DESCRITOS EN ALGUNAS PUBLICACIONES, FIRMADAS POR H.S. BLACK, W.N. GOODALL Y OTROS EN 1947-8. INCLUÍAN INFORMACIÓN SOBRE EL CODIFICADOR DE PONDERACIÓN SECUENCIAL, EL TUBO DE CODIFICACIÓN, EL ESPACIADOR LOGARÍTMICO DE INTERVALOS DE ESCALA Y, TAL VEZ LO MÁS IMPORTANTE, LA DEMOSTRACIÓN PRÁCTICA DE QUE LA TELEFONÍA MEDIANTE PCM ERÁ FACTIBLE.

EL ANÁLISIS TEÓRICO REALIZADO POR C.E. SHANNON Y OTROS SOBRE LA TÉCNICA PCM AYUDÓ A DAR FORMA A LA TEORÍA DE INFORMACIÓN DE SEÑALES CONTÍNUAS. PARA 1948 LA TÉCNICA FUÉ PLENAMENTE COMPRENDIDA.

NO OBSTANTE, SE REQUIRIÓ DE GRANDES ESFUERZOS TÉCNICOS PARA PONERLO EN PRÁCTICA, Y LA POSIBILIDAD DE MANUFACTURARLO A BAJO COSTO Y LOGRAR UN AMPLIO USO DE ÉSTE, ERA AÚN MUY REMOTA.

LA APARICIÓN DEL TRANSISTOR CAMBIÓ ÉSTA SITUACIÓN. EL TRANSISTOR, Y A ÚLTIMAS FECHAS LOS CIRCUITOS ÍNTEGRADOS MOSTRARON DOS PROPIEDADES ÚTILES A LOS SISTEMAS PCM.

- 1.- SON DISPOSITIVOS CASI IDEALES PARA LAS OPERACIONES LÓGICAS Y DE CONMUTACIÓN REQUERIDAS EN LAS TERMINALES.
- 2.- PERMITEN QUE LOS REPETIDORES REGENERATIVOS SEAN PEQUEÑOS Y CONSUMAN Poca POTENCIA.

ESTAS SON DOS NECESIDADES MUY IMPORTANTES, CONSIDERANDO QUE LOS DISPOSITIVOS DEBEN SER INSTALADOS EN LA LÍNEA A INTERVALOS CORTOS. ASÍ, DESDE 1956 EN ADELANTE, LAS CARACTERÍSTICAS DE LA TÉCNICA PCM HA SIDO ESTUDIADA EN VARIOS PAÍSES.

TRANSMISION TELEFONICA

DESDE 1947-1948, CUANDO LA TRANSMISIÓN TELEFÓNICA, MEDIANTE LA TÉCNICA PCM MOSTRÓ SER FACTIBLE, LA TÉCNICA PCM ENCONTRÓ UN NÚMERO DE USOS EXPERIMENTALES O ESPECIALIZADOS, EN PEQUEÑA ESCALA.

EL USO EXTENSIVO, COMO LO MENCIONAMOS ANTERIORMENTE, ESTUVO LIMITADO HASTA LA APARICIÓN DEL TRANSISTOR. A MEDIADOS DE 1950 SE VIÓ CLARO QUE LA COMBINACIÓN DE LA TÉCNICA PCM Y LOS SEMICONDUCTORES IBAN A SER DE GRAN UTILIDAD.

EL PRIMER GRAN USO COMERCIAL FUÉ LA TRANSMISIÓN DE INFORMACIÓN A TRAVÉS DE CANALES DE TELEFONÍA.

EL EQUIPO PARA ÉSTE PROPÓSITO FUÉ CONSTRUIDO POR LA AMERICAN TELEPHONE AND TELEGRAPH CORPORATION EN 1962, Y SU USO HA ESTADO EXTENDIÉNDOSE DESDE ENTONCES EN LOS E.E.U.U., Y ES ÚNICAMENTE CUESTIÓN DE TIEMPO PARA QUE LA TÉCNICA PCM SEA LA TÉCNICA DOMINANTE EN EL CAMPO DE LAS TRANSMISIONES TELEFÓNICAS.

SISTEMAS MUY PARECIDOS HAN SIDO CONSTRUIDOS EN OTROS LUGARES DEL MUNDO, PRINCIPALMENTE EN LA GRAN BRETAÑA, ITALIA Y JAPÓN.

UNA CARACTERÍSTICA SIGNIFICATIVA DE LAS SEÑALES PCM ES -
QUE AL SER REGENERABLES, NO SUFRE ACUMULACIÓN DE DETERIORO -
CUANDO RECORREN GRANDES DISTANCIAS.

PODRÍA PARECER PARADÓJICO QUE EL PRIMER USO AMPLIO QUE -
SE LE DIÓ FUÉ EN TRANSMISIONES A DISTANCIAS CORTAS. ÉSTA --
APLICACIÓN, RESULTA LÓGICA SI REALIZAMOS UNA COMPARACIÓN TÉCNICA Y ECONÓMICA DEL SISTEMA PCM CON OTROS MODOS DE TRANSMISIÓN.

LOS CIRCUITOS DE TRANSMISIÓN PARA UNA RED TELEFÓNICA PUE-
DEN SER DE TRES CLASES:

1.- LOCAL

ENTRE SUSCRIPTORES VÍA CENTRAL TELEFÓNICA LOCAL.

2.- EMPALME

ENTRE CENTRALES TELEFÓNICAS PRÓXIMAS EN AMBAS -
DIRECCIONES (LOCAL JUNCTION) O A TRAVÉS DE CENTROS TANDEM (TANDEM JUNCTION); O ENTRE UNA -
CENTRAL LOCAL Y UN CENTRO DE TRÁNSITO QUE PERMITE ACCESO A LA RED TRONCAL (TRUNK JUNCTION).

3.- TRONCAL

CIRCUITOS DE LARGA DISTANCIA QUE ENLAZAN A CENTRALES GRANDES.

ANTERIORMENTE A LA INTRODUCCIÓN DE LA TÉCNICA PCM, ERA -
COMÚN UTILIZAR EN LAS REDES TELEFÓNICAS TIPO EMPALME, CABLE -
DE DOS ALAMBRES, Y PARA LAS REDES TIPO TRONCAL SISTEMAS DE -

PORTADORA FDM. AHORA LOS CIRCUITOS VF (CABLES DE DOS ALAMBRES), SON, EXCEPTO PARA DISTANCIAS CORTAS, MENOS UTILIZADAS QUE LAS PORTADORAS DE CANAL, TÍPICAS. ESTA ÚLTIMA TIENE MODOS ADICIONALES DE DETERIORO, AÚNQUE FÁCILMENTE CONTROLABLES, SU ATENUACIÓN ES BAJA, Y LA CALIDAD TOTAL DE LA SEÑAL ES BUENA.

LA RAZÓN DEL POR QUÉ NO SON UTILIZADOS LOS SISTEMAS DE PORTADORA EN LAS REDES TIPO EMPALME ES DE TIPO ECONÓMICO; YA QUE SON CAROS, Y LAS TERMINALES SON DE COSTOS ALTOS. EN RUTAS LARGAS, EL COSTO DE LAS TERMINALES SE COMPENSA POR EL BAJO COSTO DE LA RELACIÓN CANAL POR MILLA DE LA TRASMISIÓN POR EL MULTIPLEXAJE, PERO NINGÚN CIRCUITO O RED DE TIPO EMPALME ES LO SUFICIENTEMENTE LARGO COMO PARA QUE HAGA POSIBLE ESTA JUSTIFICACIÓN.

LA GRAN VENTAJA EN LOS SISTEMA PCM ES QUE LAS TERMINALES SON, LO MISMO QUE LAS PRIMERAS ETAPAS DE MANUFACTURA, MÁS BARATAS QUE LAS TERMINALES DE PORTADORA FDM. POR LO TANTO PCM PUEDE COMPETIR CON LOS SISTEMAS DE TRANSMISIÓN POR CABLE EN RUTAS CORTAS Y EN PARTICULAR, EN LONGITUDES DE RUTAS USUALES EN LAS REDES TELEFÓNICAS DE TIPO EMPALME.

OTRA GRAN VENTAJA ES LA REGENERACIÓN, LA CUAL ES LA CARACTERÍSTICA TÉCNICA DISTINTIVA DE LOS SISTEMAS PCM.

LOS CABLES DE LAS REDES TELEFÓNICAS TIPO EMPALME NO SON MUY LARGOS Y POR LA CANTIDAD DE RUIDO, ASÍ COMO DE DIAFONÍA QUE INTRODUCEN CONSTITUYEN UN MAL MEDIO DE TRANSMISIÓN.

LAS SEÑALES DIGITALES, CON LA AYUDA DE REPETIDORES REGENERATIVOS SON MÁS INMUNES AL DETERIORO QUE FDM U OTRAS SEÑALES

LES ANALÓGICAS. POR LO TANTO, PCM PUEDE UTILIZARSE PARA CON-
DUCIR SEÑALES DE VF (VOICE FREQUENCY) EN GRUPOS MULTIPLE -
XADOS Y ÉSTO EN UN PAR DE CABLES, Y DE ÉSTA MANERA INCREMEN-
TAR LA CAPACIDAD DE LOS CABLES EXISTENTES.

EN UN MUNDO COMO EL NUESTRO, DONDE EL TRÁFICO TELEFÓNICO
ESTÁ INCREMENTÁNDOSE Y ES REQUERIDO SATISFACER ÉSTA DE --
MANDA DE SERVICIO CON UN MÍNIMO DE TRASTORNOS E INTERRUPTIO-
NES, PCM ES LA GRAN ALTERNATIVA.

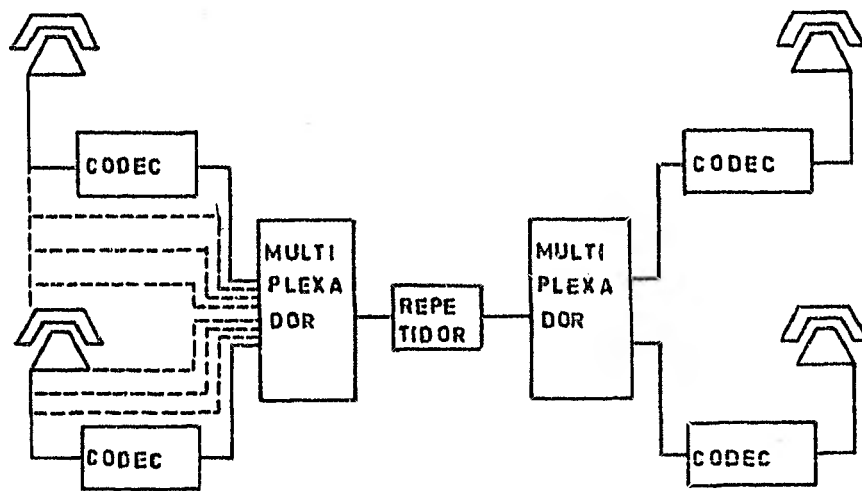
EL SISTEMA DE TRANSMISIÓN BELL T1, CUYOS DISEÑOS Y --
APLICACIONES HAN SIDO DESCRITOS EN VARIOS ARTÍCULOS DEL BELL
SYSTEM TECHNICAL JOURNAL DE 1962 EN ADELANTE : FUÉ EL PRIMER
SISTEMA DE TELEFONÍA PCM QUE FUÉ MANUFACTURADO Y PUESTO EN --
SERVICIO. HAN SIDO INSTALADOS SISTEMAS SIMILARES EN OTROS --
LUGARES Y AÚN CUANDO ESTÁN BASADOS EN DESARROLLOS INDEPEN --
DIENTES, HA HABIDO INFLUENCIA DEL SISTEMA DE TRANSMISIÓN --
BELL T1.

DAREMOS A CONTINUACIÓN UNA DESCRIPCIÓN GENERAL DE UN --
SISTEMA DE TELEFONÍA PCM CONVENCIONAL.

ESTE SISTEMA TIENE 24 CANALES, CADA UNO MUESTREADO A --
RAZÓN DE 8000 MUESTRAS/SEG. LAS MUESTRAS SON REUNIDAS EN UN-
MULTIPLEXADOR POR DIVISIÓN DE TIEMPO Y CODIFICADAS EN 7 BITS
MEDIANTE UN CODIFICADOR ORDINARIO.

UN OCTAVO BIT ES AÑADIDO A CADA CANAL PARA SEÑALIZACIÓN
TELEFÓNICA. EL PRODUCTO DE ÉSTOS NÚMEROS NOS DA UNA RELACIÓN
DE 1536 K BITS / SEG., A LOS CUÁLES PUEDEN AÑADIRSE OTROS --
DÍGITOS PARA SINCRONIZAR LAS OPERACIONES DEL RECEPTOR CON LA
SEÑAL TRANSMITIDA.

EL DIAGRAMA A BLOQUES DEL SISTEMA DE TELEFONÍA SE MUES-
TRA A CONTINUACIÓN:



CODIFICADOR + DECODIFICADOR = CODEC

FIG. 1.1 DIAGRAMA A BLOQUES DE UN SISTEMA DE TELEFONIA PCM CONVENCIONAL.

HAY VARIOS ASPECTOS ESENCIALES, LOS CUALES DAREMOS POR ENTENDIDOS EN EL SIGUIENTE ESTUDIO DEL SISTEMA P.C.M.

LAS ESCALAS DE TIEMPO ESTÁN CONSTITUIDAS POR DÍGITOS Y CONTADORES DE CANAL CUYO RELOJ ES EN EL TRANSMISOR, UN OSCILADOR MAESTRO; EN EL RECEPTOR LA ONDA DE TIEMPO ES RECONSTRUÍDA POR EL REGENERADOR. LOS CIRCUITOS DE FRECUENCIA DE VOZ Y SEÑALIZACIÓN SON PARTE DE LOS DESARROLLOS DE LA TELEFONÍA Y NO SON CARACTERÍSTICOS DE PCM.

LAS SEÑALES SON CONDUCCIDAS EN UN PAR DE CABLES, UNO PARA CADA DIRECCIÓN: ÉSTOS PUEDEN Ó NO ESTAR EN UNA MISMA FUNDA Ó CONDUCTOR.

LOS REPETIDORES REGENERATIVOS ESTÁN COLOCADOS EN INTERVALOS DE 2000 YARDAS (1828.8 M) Y AMPLIFICAN LA POTENCIA DE LAS SEÑALES, ADEMÁS DE REGENERARLAS. LA LÍNEA DE TRANSMISIÓN ES ECUALIZADA A FRECUENCIAS UN POCO MAYORES DE LA MITAD DE LA RELACIÓN DIGITAL, CON UNA RELACIÓN CONTROLADA DE CORTE DE OCTAVA INMEDIATA. LA PÉRDIDA QUE OCURRE CUANDO SE REALIZA LA ECUALIZACIÓN A ÉSTA FRECUENCIA ES DE 20 DB (CON CONDUCTORES AWG 19.20 LB / MILLA, 0.9 MM DE DIÁMETRO), A 32 DB (CON CONDUCTORES AWG 22.10 LB / MILLA, 0.64 MM DE DIÁMETRO).

LA DISTANCIA LÍMITE ENTRE UNIDADES REPETIDORAS, PARA CUALQUIER VOLUMEN DE TRÁFICO EN EL CABLE; SE DEBE NO SOLO A LAS PÉRDIDAS Ó A LA DIAFONÍA ENTRE LOS PARES TELEFÓNICOS QUE LLEVAN LA INFORMACIÓN EN CÓDIGO PCM. LA DISTANCIA DE 2000 YARDAS ESTÁ DETERMINADA PRINCIPALMENTE POR EXISTENCIA DE PUNTOS DE ACCESO CONVENIENTES, ESTO DEBIDO A LA PRÁCTICA DE COLOCAR BOBINAS DE CARGA A LOS CABLES A ÉSTAS DISTAN --

CIAS, Y ES UNA COINCIDENCIA EL IGUAL ESPACIAMIENTO DE LAS REPETIDORAS PARA SISTEMAS PCM DE 24 CANALES.

EL AMPLIO INTERÉS EN LA TELEFONÍA DE 24 CANALES NO DEBE PERMITIR EL OLVIDO DE LOS USOS POTENCIALES DE LOS SISTEMAS - PCM. EN LAS REDES TELEFÓNICAS, ES APLICABLE A SISTEMAS DE - TRANSMISIÓN DE ALTA CAPACIDAD. LAS SEÑALES DE TELEVISIÓN PUEDEN SER CODIFICADAS Y ENVIADAS MEDIANTE SISTEMAS PCM Y LA -- APLICACIÓN A LA TELEMETRÍA DIGITAL ES COMÚN.

PCM ES, EN EFECTO, UNA TÉCNICA DE COMUNICACIÓN EXTREMADAMENTE VERSÁTIL.

¿POR QUE USAR P.C.M.?

SU INVENTOR DIÓ UNA RESPUESTA CLARA A ÉSTA SITUACIÓN :

"EN 1939 ME DÍ CUENTA QUE ÉSTA PODRÍA SER LA HERRAMIENTA MÁS PODEROSA CONTRA LOS EFECTOS DE LA INTERFERENCIA EN LAS CONVERSACIONES, ESPECIALMENTE CUANDO SE TRATA DE RUTAS LARGAS QUE TIENEN VARIOS DISPOSITIVOS REPETIDORES REGENERATIVOS, YA QUE ÉSTOS DISPOSITIVOS PODRÍAN SER FÁCILMENTE DISEÑADOS Y COLOCADOS A LO LARGO DE LA LÍNEA, DE MANERA QUE SE LOGRARÍA QUE EL RUIDO NO TUVIERA EFECTOS ACUMULATIVOS".

(A.H.REEVES; ITT).

ÉSTA ES UNA EXCELENTE RAZÓN; CONSIDERANDO ESTUDIOS POSTERIORES PODEMOS AMPLIAR Y AÑADIR NUEVOS PUNTOS.

LOS PRINCIPALES FACTORES EN FAVOR DE LOS SISTEMAS PCM
SON:

1.- LA CALIDAD DE LA TRANSMISIÓN ES CASI INDEPENDIENTE DE LA DISTANCIA Y LA TOPOLOGÍA DE LA RED. LAS SEÑALES DIGITALES PUEDEN SER REGENERADAS EN LAS UNIDADES REPETIDORAS INTERMEDIAS INSTALADAS EN LA RUTA; ÉSTAS PUEDEN SER CONMUTADAS Ó MULTIPLEXADAS EN LOS PUNTOS NODALES DE LA RED. ES TÉCNICAMENTE POSIBLE CONSTRUIR UNA RED DE COMUNICACIÓN AMPLIA EN LA CUAL LA CALIDAD Y NIVEL DE LA SEÑAL RECIBIDA SEA VIRTUALMENTE ESTANDARIZADA E INAFECTABLE POR LA DISTANCIA ENTRE LAS TERMINALES O LA RUTA ENTRE ELLAS TOMADA.

2.- COMPATIBILIDAD EN MEDIOS DIFERENTES

ESTE ES UN FACTOR QUE AMPLÍA LO VISTO EN EL PUNTO ANTERIOR Y QUE SE ANALIZA POR SEPARADO PARA PONER ÉNFASIS EN SU IMPORTANCIA. LOS EQUIPOS DE CONMUTACIÓN, LOS RADIO-ENLACES Y LOS CABLES PUEDEN INTERCONECTARSE SIN TENER QUE HACER UN PROCESAMIENTO ADICIONAL A LAS SEÑALES DIGITALES. ÉSTO PUEDE HACERSE POR MEDIO DE UN DISPOSITIVO DE INTERFAZ RELATIVAMENTE BARATO, EL CUAL CAUSARÍA UN DETERIORO INSIGNIFICANTE A LA SEÑAL.

3.- COMPATIBILIDAD PARA SEÑALES DIFERENTES

CUALQUIER MEDIO DIGITAL DE CAPACIDAD ADECUADA PUEDE CONDUCIR:

- SEÑALES TELEFÓNICAS
- SEÑALES DE TELEGRAFÍA
- DATOS DIGITALES
- INFORMACIÓN VISUAL CODIFICADA Ó BIEN, UN MULTIPLE
XAJE DE LO ANTERIOR.

LOS REQUERIMIENTOS DIFERENTES DE ÉSTAS SEÑALES, -
PUEDEN CUMPLIRSE EN LAS TERMINALES Y NO CAUSAR CON-
SIDERACIONES ADICIONALES EN EL DISEÑO DE LA VIA DE
TRANSMISIÓN, Y LA INTERFERENCIA MUTUA ENTRE LAS SE-
ÑALES ES DESPRECIABLEMENTE PEQUEÑA.

4.- INCREMENTO EN CAPACIDAD DE CIERTOS MEDIOS EXISTENTES

EL PRIMER GRAN USO COMERCIAL DE LOS SISTEMAS PCM
FUÉ EN LAS CENTRALES TELEFÓNICAS, DONDE LA OPERA-
CIÓN DE MULTIPLEXAJE SE REALIZABA SOBRE EL PAR DE
CABLES ORIGINALMENTE PROYECTADO Y USADO PARA LOS -
CANALES SENCILLOS DE TELEFONÍA.

5.- REDUCCIONES ECONÓMICAS INMEDIATAS EN CIERTAS APLICACIONES

EN LOS SISTEMAS DE TELEFONÍA SE CUMPLE ÉSTO, Y ESTO
SE DEBIÓ, NO SÓLO AL USO EFICIENTE DE LOS CABLES --
EXISTENTES, SINO POR QUE EL EQUIPO NECESARIO, ERA -
DE COSTO COMPETITIVO ANTE CUALQUIER ALTERNATIVA, -
PORQUE LA INVERSIÓN NECESARIA PODRÍA HACERSE PROGRE-
SIVAMENTE CONFORME EL NÚMERO DE ABONADOS LO JUSTI-
FICARA.

6.- LOGROS ECONÓMICOS EN EL DISEÑO DE SISTEMAS

LOS SISTEMAS PCM SON ECONÓMICAMENTE ATRACTIVOS PARA VARIAS APLICACIONES INDEPENDIENTES, YA QUE LA EXPANSIÓN HACIA UNA RED INTEGRADA PARA TRÁFICO DIGITAL - EL CUAL, CONSIDERANDO LO VISTO EN LOS PUNTOS (2) Y (3), CONSTITUYE UN CLARO DESARROLLO TÉCNICO - TENDERÍA A REDUCIR LOS COSTOS AÚN MÁS.

7.- LOGROS ECONÓMICOS EN LA MANUFACTURA DE SISTEMAS

LOS SISTEMAS PCM FUERON DESDE SUS PRIMEROS DIAS DE USO COMERCIAL, MODERADOS EN CUANTO A COSTO; PODRÍA UNO PENSAR LO CONTRARIO Y DECIR QUE EL USO COMERCIAL EMPEZÓ CUANDO LOS COSTOS RESULTARÓN COMPETITIVOS ANTE OTROS SISTEMAS DE TRANSMISIÓN. SIN EMBARGO, EL USO DE CIRCUITOS ESTANDARIZADOS, PRINCIPALMENTE DIGITALES, FACILITÓ LA MANUFACTURA A GRAN ESCALA Y A BAJO PRECIO.

8.- POSIBILIDAD DE NUEVOS USOS

MEDIANTE EL MÉTODO DIGITAL ES FACTIBLE LA CRIPTOGRAFÍA, EL ALMACENAMIENTO Y VARIAS FORMAS DE PROCESAMIENTO DIGITAL QUE NO SON FÁCILES DE REALIZAR POR OTROS MEDIOS.

9.- APLICACIÓN A NUEVOS MEDIOS DE TRANSMISIÓN

SON VARIOS LOS MEDIOS QUE HAN SALIDO DE LA ETAPA DE INVESTIGACIÓN; PRINCIPALMENTE, LAS GUÍAS DE ONDA, LOS SATÉLITES DE ACCESO MÚLTIPLE, LOS CUALES SON MUY APROPIADOS PARA EL MANEJO DE INFORMACIÓN DIGITAL.

10.- APLICACIÓN A MEDIOS DE TRANSMISIÓN EXTREMADAMENTE DIFÍCILES.

GRAN PARTE DE LO ANTERIORMENTE ESCRITO FUÉ CONSIDERANDO MEDIOS DE COMUNICACIÓN ORDINARIOS. LA RECUPERACIÓN DE INFORMACIÓN DE VEHÍCULOS ESPACIALES HA SIDO ÚNICAMENTE POSIBLE A TRAVÉS DE SU CONVERSIÓN A UNA FORMA DIGITAL ALTAMENTE REDUNDANTE CON LO CUAL SE LOGRA SU INTELIGIBILIDAD.

EL CRECIMIENTO EN IMPORTANCIA DE ÉSTAS APLICACIONES ALTAMENTE ESPECIALIZADAS, ESTÁ ABRIENDO CAMINO PARA EL USO DE LAS TÉCNICAS MÁS SOFISTICADAS - EN APLICACIONES NORMALES.

NO HAY UNA RAZÓN DE PESO POR LA CUAL NO DEBIERA UTILIZARSE LA TÉCNICA PCM. DENTRO DEL CAMPO DE LAS COMUNICACIONES NORMALES, ES DIFÍCIL SEÑALAR ALGUNA APLICACIÓN, ACTUAL Ó POTENCIAL, QUE NO PUEDA SER REALIZADA MEDIANTE LA TÉCNICA PCM.

LO NOTABLE DE ÉSTA TÉCNICA, ES EL PESO COMBINADO DE VARIOS FACTORES. NO HAY CLASES MAYORES DE TRÁFICO Ó DE MEDIOS DE TRANSMISIÓN PARA LOS CUALES, LOS SISTEMAS PCM SEAN INADECUADOS; SON VARIAS LAS CARACTERÍSTICAS QUE LOS HACEN ALTAMENTE ATRACTIVOS, ADEMÁS, LAS POSIBILIDADES QUE OFRECEN PARA UNA RED DIGITAL INTEGRADA, NO TIENEN PRECEDENTES.

POR ÉSTAS RAZONES, LA MAYORÍA DE LOS ESTUDIOSOS ESTÁN CONVENCIDOS DEL VALOR QUE REPRESENTARÍA LA RED DIGITAL DE

COMUNICACIONES A NIVEL MUNDIAL. ESTO PERMITIRÍA LA COMUNICACIÓN INMEDIATA CON TODOS LOS PUNTOS DEL MUNDO.

MUCHOS FACTORES QUE CONTRIBUIRÍAN AL DESARROLLO DE LA RED INTEGRADA SON VIABLES: LA TELEFONÍA PCM POR CABLE, LA CONMUTACIÓN DIGITAL TANDEM, LA TRANSMISIÓN DIGITAL DE DATOS A DIFERENTES VELOCIDADES ASÍ COMO EL ACCESO MÚLTIPLE POR DIVISIÓN DE TIEMPO A SATÉLITES.

DESDE EL PUNTO DE VISTA TÉCNICO, CUALQUIER DISPOSITIVO Ó SISTEMA QUE SEA ÚTIL Y OFREZCA BUENAS POSIBILIDADES ECONÓMICAS; TARDE Ó TEMPRANO SE REALIZARÁ.

APOYÁNDOSE EN ÉSTO ANTERIOR, LOS SISTEMAS PCM LLEGARÁN A SER LOS ELEMENTOS MÁS IMPORTANTES EN EL MUNDO DE LAS COMUNICACIONES.

2. ANALISIS DEL SISTEMA P.C.M. EXISTENTE EN EL LABORATORIO DE COMUNICACIONES DE LA FACULTAD DE INGENIERIA Y DE SUS PROBLEMAS DE SINCRONIA.

EL SISTEMA P.C.M. EXISTENTE EN EL LABORATORIO DE COMUNICACIONES DE LA FACULTAD DE INGENIERIA, ESTÁ CONSTITUÍDO -- POR LA UNIDAD TRANSMISORA Y LA UNIDAD RECEPTORA Y TIENE POR OBJETO ENVIAR POR UNA LÍNEA FÍSICA DE TRANSMISIÓN :

- A. SEÑAL P.C.M. CONTENIENDO LA INFORMACIÓN MULTIPLE -- XADA
- B. RELOJ MAESTRO
- C. SINCRONÍA DEL REGISTRO QUE PRODUCE 8 PULSOS PARA -- CODIFICACIÓN
- D. SINCRONÍA DEL SISTEMA TDM

2.1 FUNCIONAMIENTO DE LA UNIDAD TRANSMISORA P.C.M.

LAS SEÑALES ELÉCTRICAS ANALÓGICAS QUE SE DESEAN TRANSMITIR, ENTRAN EN PARALELO AL CIRCUITO TDM, DONDE SON MUESTREADAS PAM , POSTERIORMENTE SON MULTIPLEXADAS EN TIEMPO Y PRESENTADAS SECUENCIALMENTE AL COMPARADOR, PARA SER COMPARADAS CON EL CÓDIGO QUE SE ESTÁ GENERANDO EN EL SISTEMA CODIFICADOR. ESTE CÓDIGO ES GENERADO POR LA MUESTRA MISMA AUXILIADO POR EL CONVERTIDOR ANALÓGICO - DIGITAL.

LA COMPARACIÓN SE HACE PRIMERAMENTE CON EL BIT MÁS -- SIGNIFICATIVO, DEBIDO A QUE LOS 6 BITS NO TIENEN EL MISMO -- PESO EN NIVEL DE VOLTAJE, ASÍ EL BIT MÁS SIGNIFICATIVO -- TIENE MÁS PESO QUE EL BIT MENOS SIGNIFICATIVO.

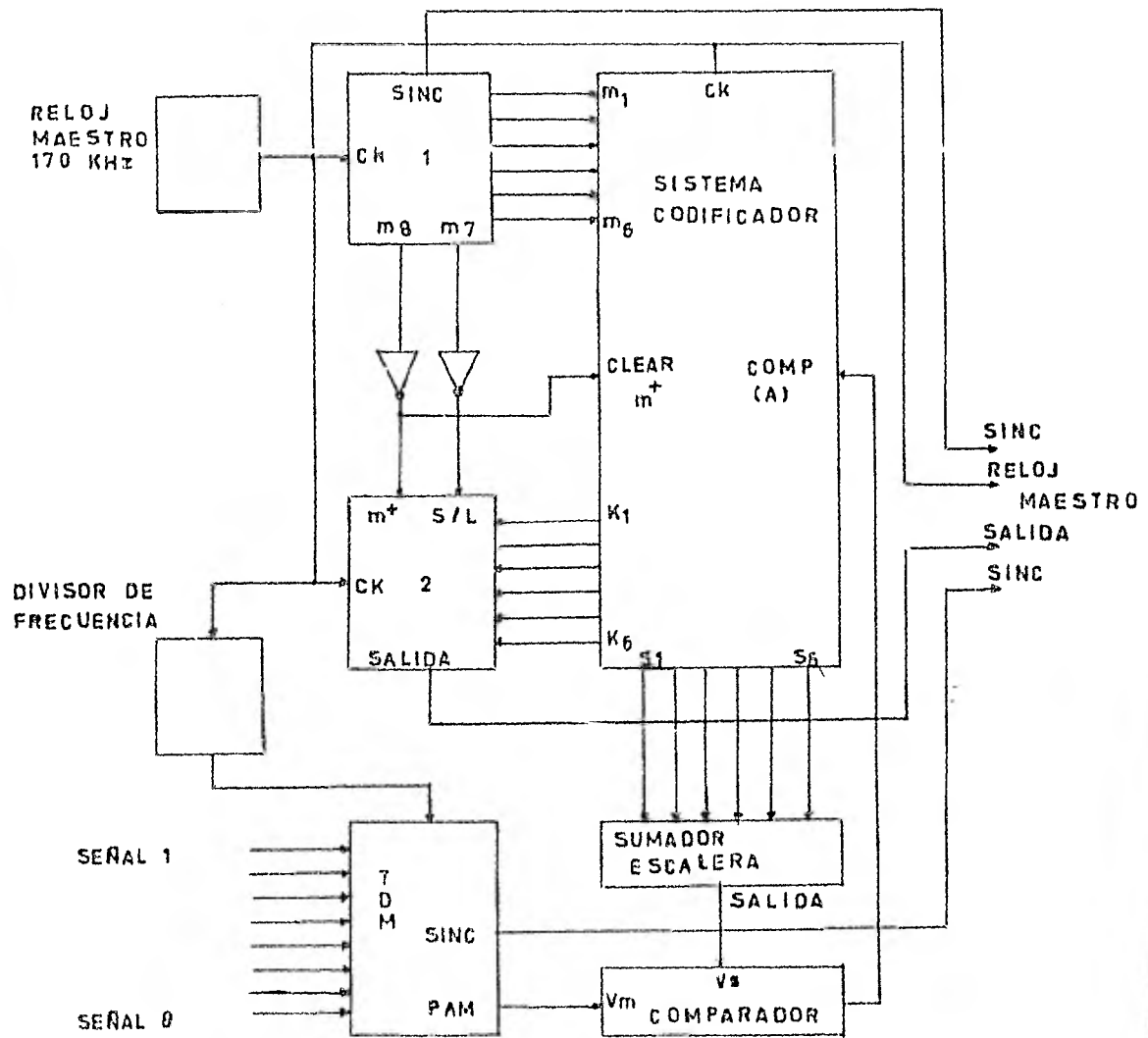
UNA VEZ QUE EL CODIFICADOR HA PROCESADO LOS NIVELES DE MUESTRA, ÉSTO ES, QUE HA CAMBIADO LAS SEÑALES MUESTREADAS A UN CÓDIGO DIGITAL INTELIGIBLE, VACÍA LA INFORMACIÓN CONTE --

NIDA AL REGISTRO DE SALIDA, Y EN EL SIGUIENTE CICLO DE RELOJ LA INFORMACIÓN DEL REGISTRO DE SALIDA ES CARGADA A LA LÍNEA CON DESTINO AL RECEPTOR.

EL TRANSMISOR ESTÁ CONSTITUÍDO POR :

- 1.- MULTIPLEXADOR POR DIVISIÓN DE TIEMPO
- 2.- CODIFICADOR
- 3.- RELOJ MAESTRO
- 4.- CIRCUITOS DE SINCRONÍA
- 5.- REGISTRO DE SALIDA

LA FIGURA 2.1 MUESTRA EL DIAGRAMA A BLOQUES DE LA UNIDAD TRANSMISORA.



- 1 REGISTRO DE CORRIMIENTO SERIE PARALELO
- 2 " " " PARALELO SERIE
- S/L SHIFT LOAD

FIG. 2.1 DIAGRAMA A BLOQUES DEL SISTEMA TRANSMISOR

2.1.1. MULTIPLEXADOR POR DIVISION DE TIEMPO

LA FUNCIÓN DE ÉSTE DISPOSITIVO ES LA DE TOMAR MUESTRAS DE LAS SEÑALES ELÉCTRICAS ANALÓGICAS QUE SE DESEAN TRANSMITIR, LAS CUALES SERÁN MULTIPLEXADAS POR EL MISMO CIRCUITO - QUE TRANSMITE EN SERIE LAS MUESTRAS DE LOS 8 CANALES, QUE DANDO ASÍ LISTAS PARA SER CODIFICADAS.

LA SEÑAL DE RELOJ PARA ÉSTE DISPOSITIVO SE OBTIENE POR MEDIO DE UN DIVISOR DE FRECUENCIA QUE REDUCE LA FRECUENCIA DEL RELOJ MAESTRO A UNA OCTAVA PARTE. LA DIVISIÓN ENTRE OCHO SE HACE DEBIDO A QUE LA CODIFICACIÓN DE LAS MUESTRAS Y LA OPERACIÓN MISMA DEL CODIFICADOR SE REALIZA CADA OCHO CICLOS DE RELOJ, MISMOS QUE DEBE DURAR EL MUESTREO DE CADA SEÑAL.

EN LA FIGURA 2.2 SE MUESTRA EL DIAGRAMA LÓGICO DEL TDM

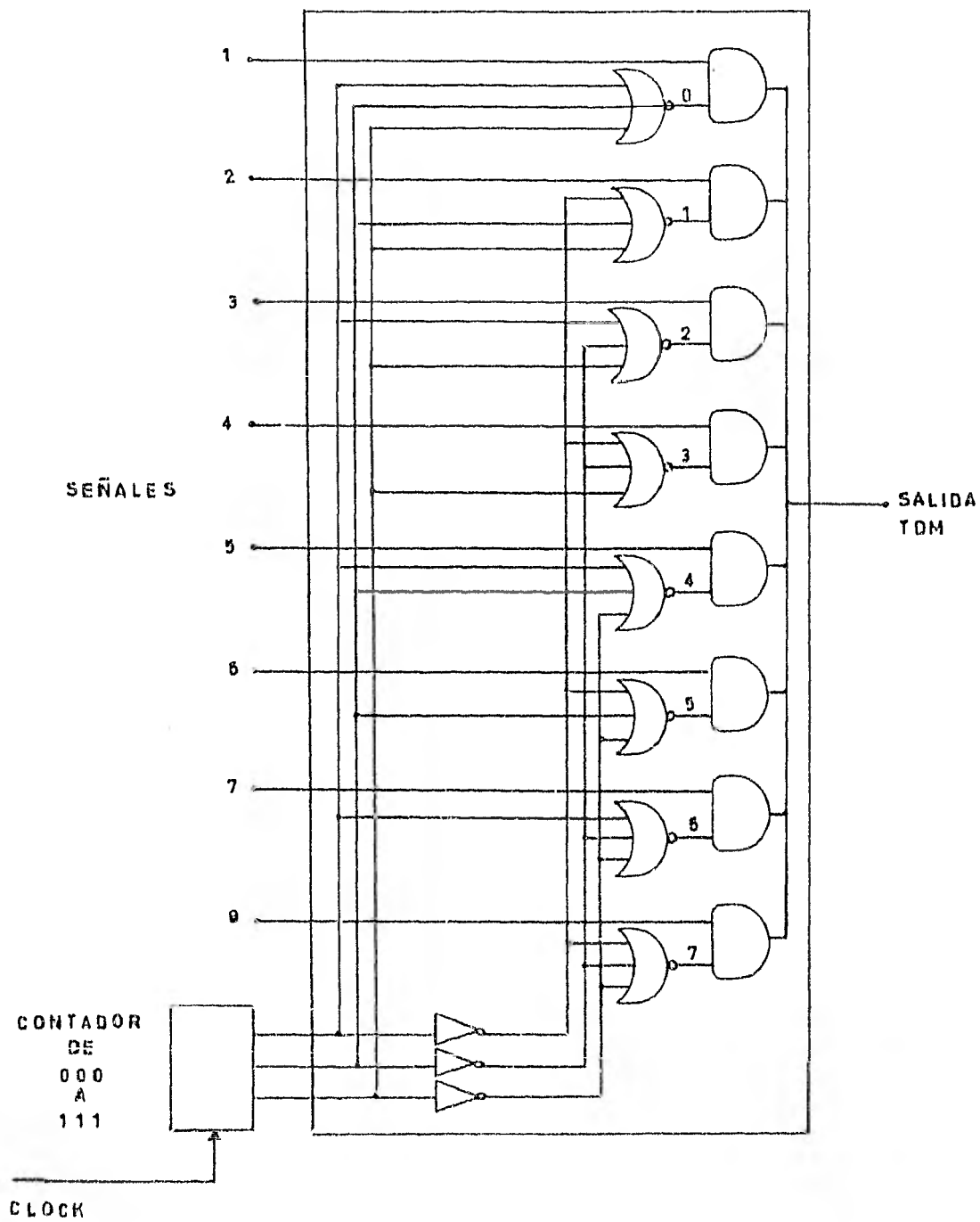


FIG.2.2 DIAGRAMA LOGICO DEL T D M .

LA IMPLEMENTACIÓN DEL CIRCUITO DE MULTIPLEXAJE, COMO SE MUESTRA EN LA FIGURA 2.3 , SE REALIZÓ MEDIANTE UN CIRCUITO-INTEGRADO F 3708 Y UN SN 7493 QUE SE UTILIZA PARA HABILITAR CADA UNO DE LOS CANALES DE MUESTREO. ADEMÁS DE ÉSTOS DOS -- CIRCUITOS, SE EMPLEA UN ARREGLO DE COMPUERTAS NOR PARA PRODUCIR UN PULSO QUE CORRESPONDA AL ESTADO DE INICIO DE MUESTREO QUE SE UTILIZA TAMBIEN PARA SINCRONIZAR EL SEPARADOR - DE CANALES EN EL RECEPTOR.

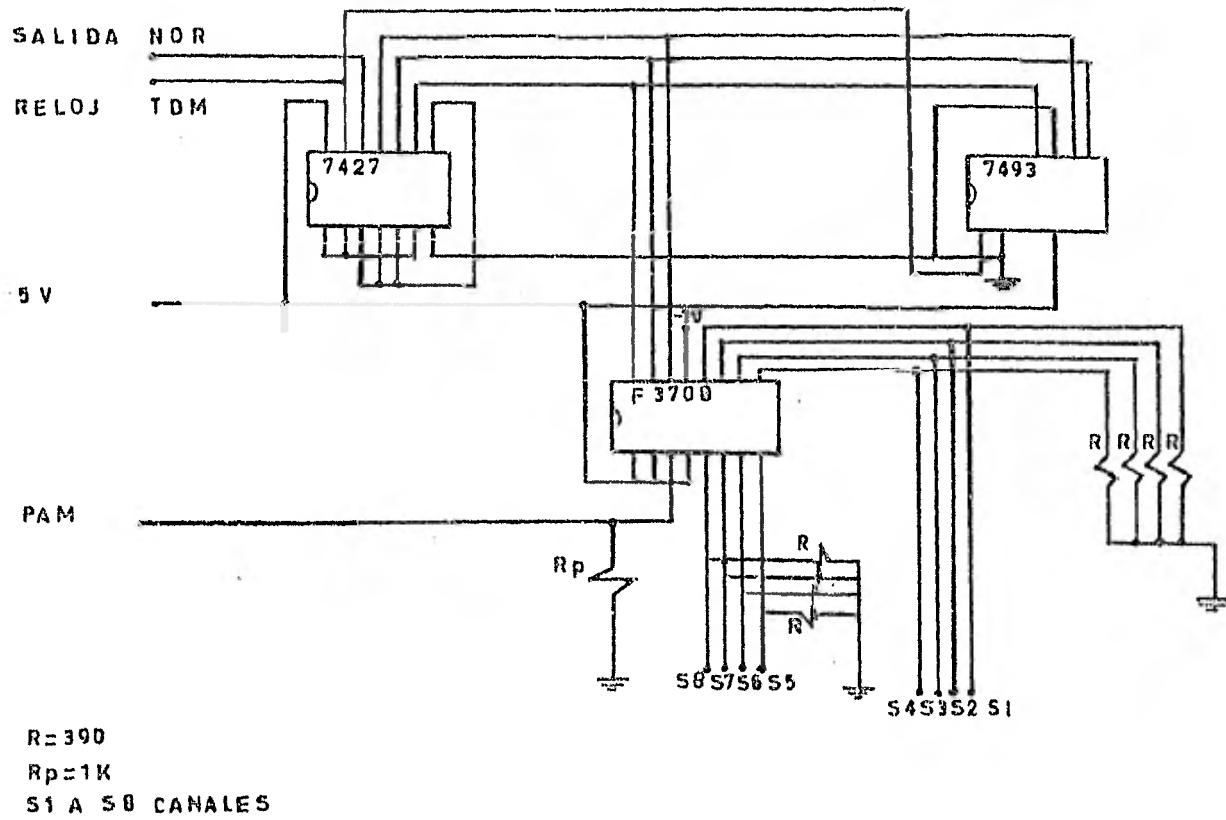


FIG. 2.3 DIAGRAMA DE CONEXIONES DEL T D M Y DEL CIRCUITO DE SINCRONIZACION.

2.1.2. CODIFICADOR

EL CIRCUITO CODIFICADOR ESTÁ CONSTITUÍDO POR LOS SIGUIENTES DISPOSITIVOS :

- A).- SUMADOR ESCALERA
- B).- REGISTRO DE PROCESAMIENTO

EL CIRCUITO CODIFICADOR SE ENCARGA DE REALIZAR LA CONVERSIÓN Y LA CODIFICACIÓN ANALÓGICO - DIGITAL PARA UN CODIGO DE 6 BITS A FIN DE QUE LAS SEÑALES ANALÓGICAS MUESTREADAS SEAN CAMBIADAS A UN CÓDIGO DIGITAL INTELIGIBLE.

EN LA FIGURA 2,4 SE MUESTRA EL DIAGRAMA A BLOQUES DEL CODIFICADOR.

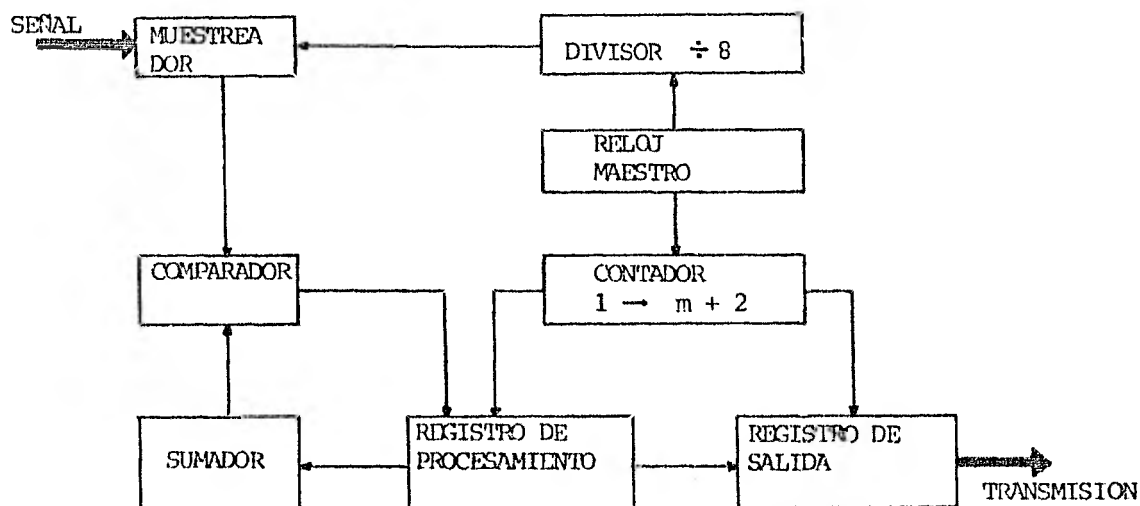


FIGURA 2.4. DIAGRAMA A BLOQUES DEL CODIFICADOR

EL CIRCUITO CODIFICADOR FUNCIONA EN OCHO CICLOS DE RELOJ, DE LOS CUALES LOS SEIS PRIMEROS SE UTILIZAN PARA LA CODIFICACIÓN DE LOS SEIS BITS CORRESPONDIENTES A UNA MUESTRA. LOS DOS TIEMPOS RESTANTES FUNCIONAN DE LA SIGUIENTE MANERA :

EL 7º TIEMPO PERMITE QUE LA INFORMACIÓN CONTENIDA EN EL CODIFICADOR PASE EN PARALELO AL REGISTRO DE SALIDA.

EL 8º CICLO ES UTILIZADO PARA INICIAR EL CORRIMIENTO EN SERIE DE LA INFORMACIÓN CARGADO EN PARALELO, VA CIÁNDOLA EN LA LÍNEA DE TRANSMISIÓN, ADEMÁS, TAMBIEN SE LE UTILIZA COMO LA SEÑAL QUE BORRA AL REGISTRO DE PROCESAMIENTO PARA CONTINUAR CON LA COMPARACIÓN DE OTRA MUESTRA.

LA FIGURA 2.5 CORRESPONDE AL DIAGRAMA LÓGICO DEL CODIFICADOR.

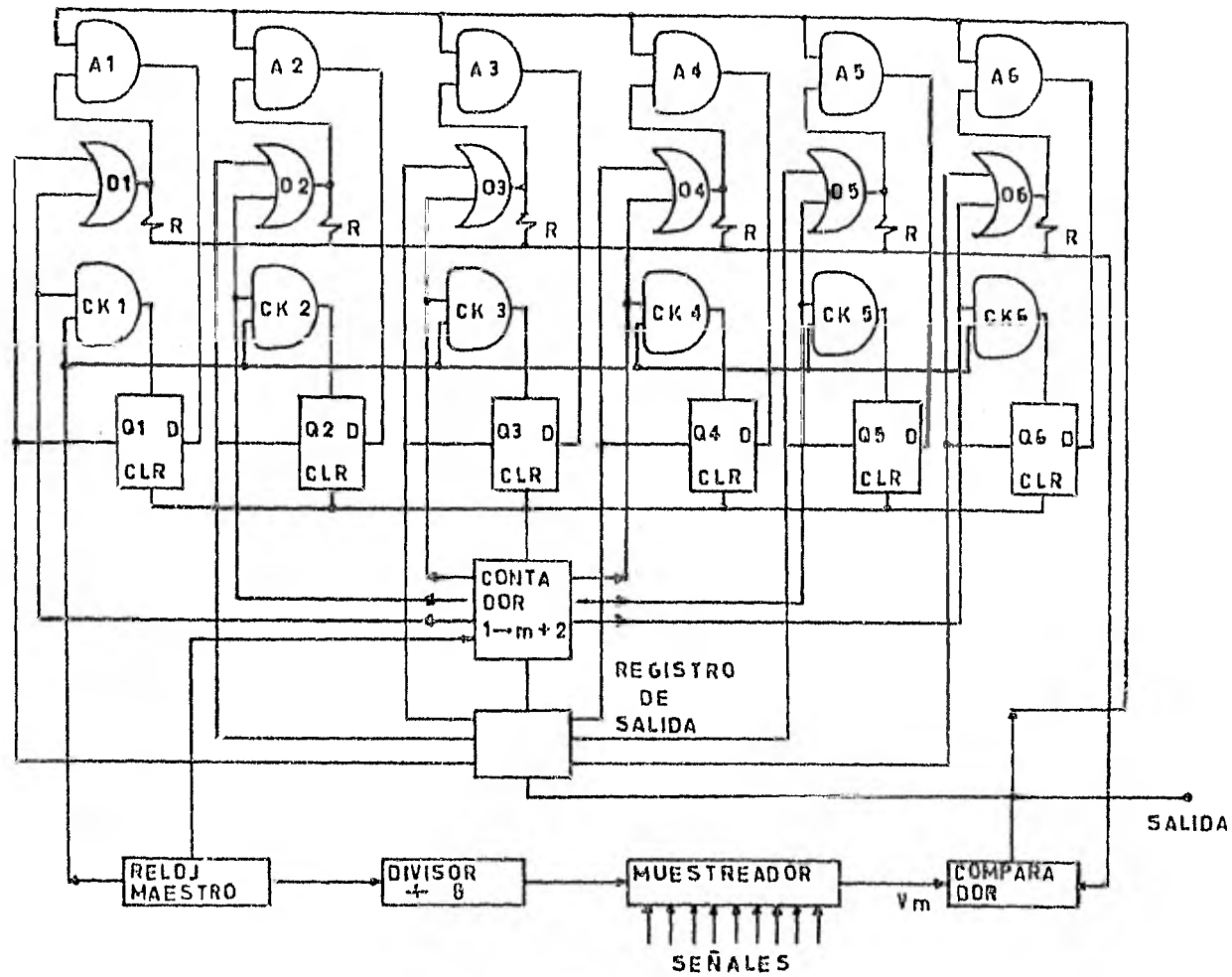


FIG. 2.5 DIAGRAMA LOGICO DEL CODIFICADOR

EL FUNCIONAMIENTO DEL SISTEMA CONVERTIDOR Y CODIFICADOR ANALÓGICO - DIGITAL ES EL SIGUIENTE :

- A.- CUANDO EL NÚMERO CONTENIDO EN EL CONTADOR ES EL 1, SE OBTIENE A LA SALIDA UN PULSO M_1 , CON EL CUAL SE ACCIONA LA COMPUERTA O_6 Y SE OBTIENE EL CÓDIGO -- 100000 EL CUAL ES COMPARADO CON LA MAGNITUD DE LA SEÑAL QUE EN ÉSE MOMENTO SE MUESTREA.
- B.- SI LA SEÑAL MUESTREADA V_M ES MAYOR QUE EL VALOR DE CB_1 , EL COMPARADOR PRODUCE UN " 1 " LÓGICO, CON EL CUAL SE DISPARA LA COMPUERTA A_6 QUE JUNTO CON EL PULSO M_1 DA UNA SALIDA DE " 1 " LÓGICO, CARGÁNDOSE EL BIESTABLE FF_6 (F-F TIPO DELAY).

SI V_M ES MENOR QUE CB_1 , EL COMPARADOR MANDARÁ UN " 0 " LÓGICO, POR LO QUE A_6 ESTARÁ CERRADA Y POR CONSECUCIÓN EL F-F₆ QUEDA CARGADO CON " 0 " LÓGICO.

AL FINALIZAR EL PULSO M_1 EN EL CONTADOR Y SI EL NIVEL DE VOLTAJE DE LA MUESTRA V_M FUÉ MENOR QUE CB_1 , EL F-F₆ QUEDARÁ CARGADA CON " 0 " Y LA SALIDA DE O_6 ES " 0 ", QUE ES LA ENTRADA AL SUMADOR. POR EL CONTRARIO SI V_M ES MAYOR QUE CB_1 , ENTONCES EL F-F₆ QUEDA CARGADO CON " 1 " Y O_6 MANDARÁ UN " 1 " AL SUMADOR Y ÉSTE ESTADO SE MANTENDRÁ DURANTE TODO EL PERÍODO DE CODIFICACIÓN.

- C.- CON EL SIGUIENTE CICLO DE RELOJ MAESTRO SE PRODUCE EL PULSO M_2 EL CUAL GENERA LA COMBINACIÓN CB_2 , $\times 10000$ (X PUEDE SER " 1 " Ó " 0 " , DEPENDIENDO DE LOS ESTADOS DE LOS F-F 'S), EL PULSO M_2 ACCIONA LA COMPUERTA O_5 OBTENIÉNDOSE LA COMBINACIÓN ---

($\times 10000$) DESCRITA, LA CUAL ES COMPARADA CON LA SEÑAL MUESTREAD EN ÉSE MOMENTO,

- D.- SE APLICA EL MISMO CRITERIO DE COMPARACIÓN QUE EN EL INCISO B.- , ÉSTO ES, SI $V_M > V_{SUM}$ (V_{SUM} CB_2), EL COMPARADOR ACCIONA LA COMPUERTA A_5 JUNTO CON EL PULSO QUE ENTREGA O_5 EL CUAL SE ALIMENTA CON M_2 . A_5 CARGA AL $F-F_5$ CON UN " 1 ". EL $F-F_6$ PERMANECE CON EL BIT DEL CICLO ANTERIOR, YA QUE PARA CAMBIAR SU CONTENIDO SE REQUIERE ACCIONAR SU CORRESPONDIENTE Ck .
- E.- EL MISMO CICLO DE OPERACIÓN SE LLEVA A CABO EN CADA UNA DE LAS SEIS CIFRAS Ó BITS DE QUE CONSTA EL CÓDIGO.
- F.- CON EL ÚLTIMO PULSO M_6 , EL CODIFICADOR SE ENCUENTRA CARGADO CON EL CÓDIGO CORRESPONDIENTE, LOS 6 BIESTABLES ESTARÁN CARGADOS
- G.- DURANTE EL PULSO M_7 , LA INFORMACIÓN DEL CODIFICADOR ES CARGADA EN PARALELO AL REGISTRO DE SALIDA. CON EL ÚLTIMO PULSO, $M + 2 = M_8$, LA INFORMACIÓN, ES CARGADA EN SERIE A LA LÍNEA DE TRANSMISIÓN, ADEMÁS CON ÉSTE MISMO PULSO TODOS LOS BIESTABLES SON BORRADOS, PARA ASÍ INICIAR NUEVA ETAPA DE CODIFICACIÓN.

EL CODIFICADOR CONSTA DE UN CONVERTIDOR ANALÓGICO - DIGITAL Y UN COMPARADOR.

EL CIRCUITO SUMADOR COMO EL MOSTRADO EN LA FIGURA 2.6,

FORMA PARTE A SU VEZ DEL CONVERTIDOR ANALÓGICO - DIGITAL,
EL CIRCUITO SUMA EN FORMA DE ESCALERA, DEPENDIENDO DE QUE -
SUS ENTRADAS TENGAN " 1 " LÓGICO O BIEN " 0 " LÓGICO.

EL AMPLIFICADOR OPERACIONAL FORMA PARTE DEL CIRCUITO - SUMADOR, Y ES UTILIZADO COMO SEGUIDOR DE VOLTAJE, O SEA, QUE NO MODIFICA EL VOLTAJE ENTREGADO POR EL CIRCUITO SUMADOR ; UNICAMENTE LO MANTIENE PARA SER UTILIZADO EN ETAPAS POSTE - RIORES.

UN CIRCUITO COMPARADOR ES EL QUE INDICA EL INSTANTE EN QUE UNA SEÑAL VARIABLE EN EL TIEMPO ALCANZA UN NIVEL DE REFERENCIA. ESTE CIRCUITO NO REPRODUCE LA SEÑAL DE ENTRADA EN NINGÚN MOMENTO. EL SISTEMA P.C.M. DISEÑADO, UTILIZA UN COM - PARADOR QUE JUNTO CON EL SISTEMA CODIFICADOR DETERMINAN EL - CÓDIGO CORRESPONDIENTE A LAS MUESTRAS QUE PROVIENEN DEL -- CIRCUITO MUESTREADOR.

LA FIGURA 2.7 MUESTRA EL DIAGRAMA A BLOQUES DEL COMPA - RADOR Y SISTEMAS ASOCIADOS.

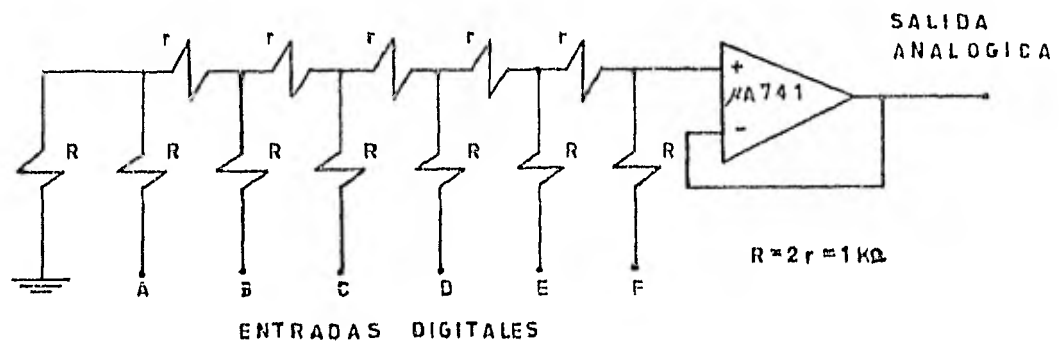


FIG. 2.6 CIRCUITO SUMADOR

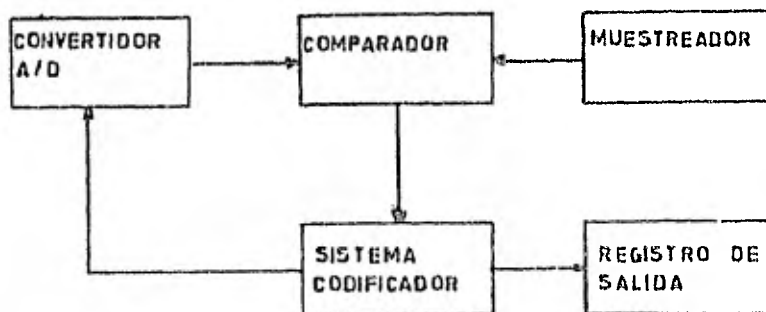


FIG. 2.7 DIAGRAMA A BLOQUES DEL COMPARADOR Y SISTEMAS ASOCIADOS.

LA SEÑAL ANALÓGICA PROVENIENTE DEL MUESTREADOR ES COMPARADA CON EL NIVEL DE VOLTAJE QUE ENTREGA EL CIRCUITO SUMADOR. ESTA COMPARACIÓN ES REALIZADA MEDIANTE UN CIRCUITO DIFERENCIAL COMPARADOR DE VOLTAJE DE ALTA VELOCIDAD, IMPEDANCIA DE ENTRADA INFINITA Y CON UN VOLTAJE DE ENTRADA DIFERENCIAL DE 5 VOLTS, COMO SE MUESTRA EN LA FIGURA 2.8.

EL AMPLIFICADOR USADO A LA SALIDA DEL SUMADOR DE RESISTENCIAS ES UN AMPLIFICADOR OPERACIONAL.

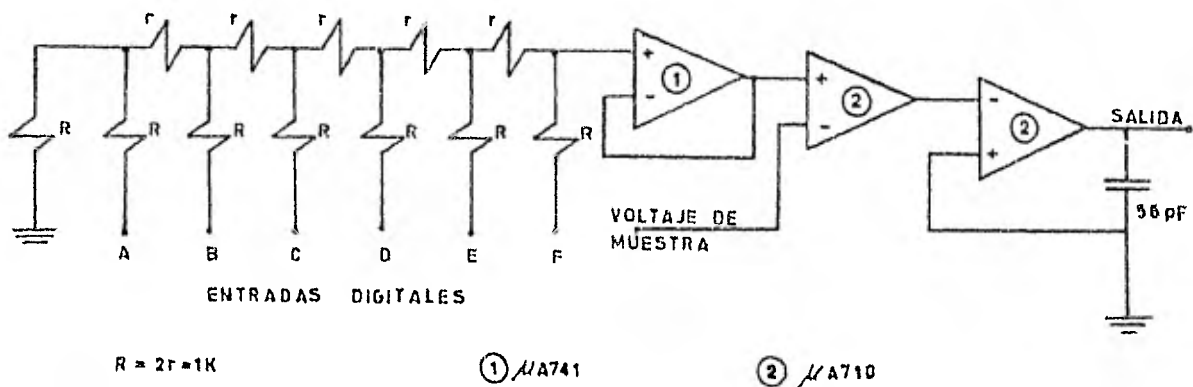


FIG. 2.8 SISTEMA COMPARADOR

2.1.3 RELOJ MAESTRO

LA IMPLEMENTACIÓN DEL RELOJ MAESTRO SE HIZO CON UN --
CIRCUITO MONOLÍTICO DE TIEMPO, 555 (ASTABLE), QUE SE PUE-
DE CONTROLAR CON GRAN PRECISIÓN.

LA FIGURA 2.9 MUESTRA EL DIAGRAMA A BLOQUES DEL --
RELOJ MAESTRO.

CONSIDERANDO QUE EL CIRCUITO ASTABLE CONVENCIONAL, NO PRODUCE UNA ONDA SIMÉTRICA A LA SALIDA, SE IDEÓ LA MANERA DE QUE LA ONDA DE SALIDA TUVIESE LAS CARACTERÍSTICAS DE SIMETRÍA; PARA ÉSTO, EN EL CIRCUITO QUE SE MUESTRA EN LA FIGURA 2.10, EL CAPACITOR C_1 ES CARGADO A TRAVES DE R_1 Y R_2 Y DESCARGADO A TRAVES DE R_2 . ASÍ HACIENDO EL VALOR RESISTIVO R_1 MUY PEQUEÑO EN COMPARACIÓN CON EL DE R_2 , ENTONCES AMBAS CONSTANTES DE TIEMPO SERÁN MUY PEQUEÑAS Y DEPENDERÁN ESENCIALMENTE DE R_2 , C_2 Y C_3 .

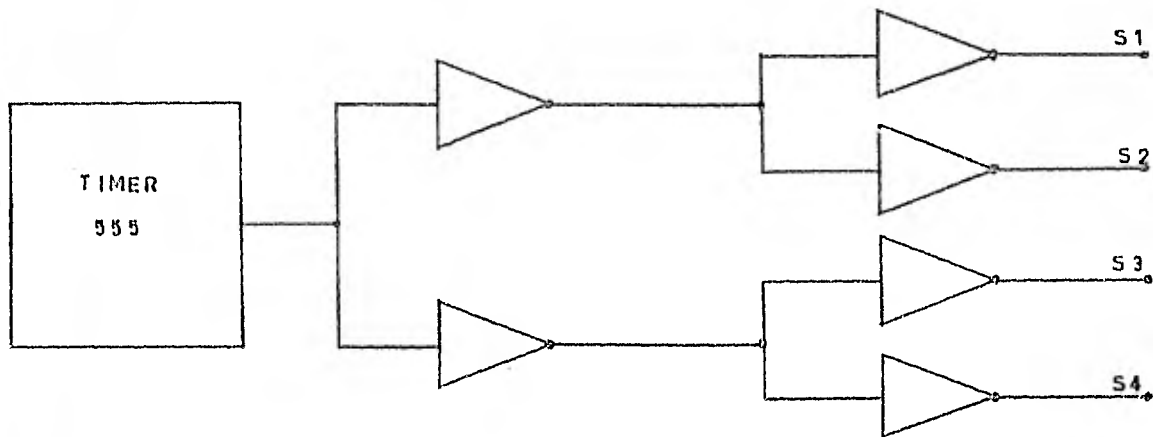


FIG. 2.9 DIAGRAMA A BLOQUES DEL RELOJ MAESTRO.

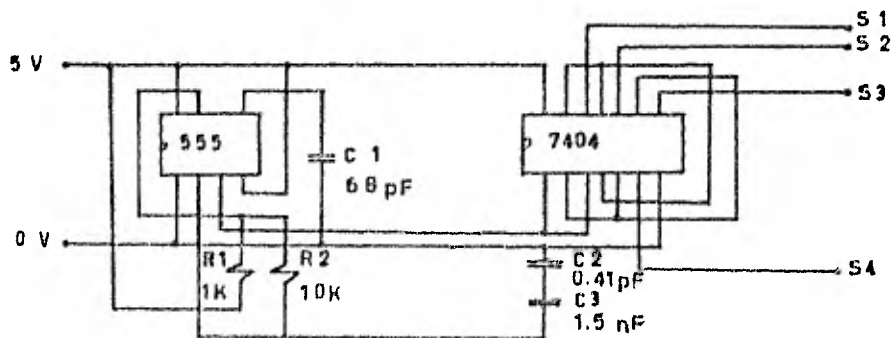


FIG. 2.10 DIAGRAMA DE CONEXIONES DEL RELOJ MAESTRO.

POR LO TANTO, LA FRECUENCIA DE OPERACIÓN SE CALCULA DE LA SIGUIENTE MANERA :

$$\begin{aligned} F &= 0.7 / R_2 (C_A + 0.1) \times 10^6 \text{ HERTZ} \\ &= 0.7 / 10 (0.321 + 0.1) \times 10^6 \text{ HZ} \\ &= 166.27 \text{ KHZ} \hat{=} 170 \text{ KHZ} \end{aligned}$$

DONDE

$$C_A = \frac{(C_2) (C_3)}{C_2 + C_3} = \frac{(0.41) (1.5)}{0.41 + 1.5} \times 10^{-9} \text{ F}$$

$$C_A = 0.321 \times 10^{-9} \text{ FARADS}$$

$$R_2 = 10 \text{ KILO OHMS}$$

2.1.4 CIRCUITOS DE SINCRONIA Y REGISTRO DE SALIDA

UNA DE LAS FUNCIONES DEL CIRCUITO ES LA DE PRODUCIR UN PULSO DE ARRANQUE PARA EL REGISTRO DE CORRIMIENTO SN 74164, EL CUAL ESTÁ CONECTADO DE LA SIGUIENTE MANERA :

EL CIRCUITO INTEGRADO SN 7493A (CONTADOR DE OCTAVAS) ALIMENTA A UN ARREGLO DE COMPUERTAS " NAND ", QUE A SU VEZ PRODUCE UN PULSO POSITIVO CADA 8 CICLOS DE RELOJ MAESTRO, - LA MAGNITUD DEL PULSO ES DE 5 VOLTS, Y SU DURACIÓN ES TAMBIEN DE UN CICLO DE RELOJ MAESTRO.

EL ARREGLO DE COMPUERTAS SE MUESTRA EN LA FIGURA 2.11.

PULSO DE SINCRONIA DEL REGISTRO S/P.

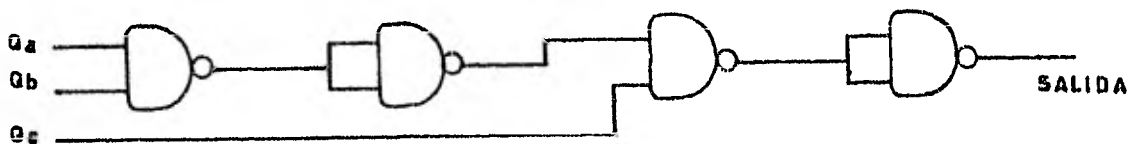


FIG. 2.11

EL PULSO OBTENIDO EN LAS COMPUERTAS " NAND " ES ALIMENTADO AL CIRCUITO SN 74164 QUE ES UN REGISTRO DE CORRIMIENTO. EL PULSO SERÁ CORRIDO DURANTE LOS TIEMPOS (1 - 8) OBTENIÉNDOSE ASÍ : M_1 , M_2 , M_3 , ... M_8 .

ESTE CIRCUITO ES ALIMENTADO CON LA SEÑAL INVERTIDA DEL RELOJ MAESTRO, LA CUÁL SE CONSIGUE POR MEDIO DE UN CIRCUITO INVERSOR (SN 7404), EL CLEAR DEL REGISTRO DE CORRIMIENTO SE MANTIENE EN UN ESTADO ALTO PARA QUE CUMPLA CON LAS CONDICIONES QUE SE INDICAN EN LA TABLA 2.1.

ENTRADAS				SALIDAS		
BORRADO	RELOJ	A	B	Q_A	$Q_B \dots Q_H$	
0	X	X	X	0	0	0
1	0	X	X	Q_{AO}	Q_{BO}	Q_{HO}
1	↑	1	1	1	Q_{AN}	Q_{GN}
1	↑	0	X	0	Q_{AN}	Q_{GN}
1	↑	X	0	0	Q_{AN}	Q_{GN}

TABLA 2.1. TABLA DE ESTADOS LOGICOS DEL
REGISTRO SERIE - PARALELO

LOS PULSOS m_7 Y m_8 SON INVERTIDOS EN UN C.I. SN 7404 - CON EL FIN DE CONTROLAR LA CODIFICACIÓN OBTENIDA, ÉSTO ES, QUE SEA CARGADA EN PARALELO EN EL REGISTRO DE SALIDA EN EL TIEMPO QUE OCURRE EL FLANCO DESCENDENTE DE m_7 Ó S / L -- (SHIFT LOAD), PARA SER TRANSMITIDO CON EL FLANCO ASCEN -- DENTE. EL PULSO $m_8 = m^+$ ES ÚTILIZADO PARA BORRAR LOS BIES -- TABLES DEL SISTEMA CODIFICADOR, PERMITIENDO ASÍ QUE LA CO -- DIFICACIÓN DE LA SIGUIENTE MUESTRA SE LLEVE A CABO.

DE ÉSTOS CIRCUITOS SE OBTIENEN TAMBIEN LOS SIGUIENTES PULSOS DE SINCRONÍA :

- A.- PULSO DE SINCRONÍA PARA EL CONTADOR BINARIO SN -- 7493A DEL SISTEMA DECODIFICADOR EN EL RECEPTOR, ESTE PULSO SE OBTIENE DE LA SIGUIENTE MANERA : A UNA COMPUERTA " AND " (C.I. SN 7408), ES ALI -- MENTADO EL PULSO OBTENIDO EN LAS COMPUERTAS "NAND" (SN 7400), ASÍ COMO EL PULSO DEL RELOJ MAESTRO OBTENIÉNDOSE EL PULSO DE SINCRONÍA QUE ES IGUAL - EN DURACIÓN A MEDIO CICLO DE RELOJ MAESTRO.
- B.- PULSO DE SINCRONÍA PARA EL CONTADOR DEL T.D.M. -- RECEPTOR, ÉSTE PULSO SE OBTIENE ALIMENTANDO A OTRA COMPUERTA " AND " EL PULSO OBTENIDO POR EL ARREGLO DE COMPUERTAS " NOR " (TRIPLE ENTRADA), DEL SIS -- TEMA T.D.M. Y EL PULSO QUE PROVIENE DEL CONTADOR - DE OCTAVAS (SN 7494) RESULTANDO EL PULSO DE SIN -- CRONÍA QUE SERÁ TRANSMITIDO.

CON ÉSTOS PULSOS QUEDAN SINCRONIZADOS EL CONTADOR BI -- NARIO DEL T.D.M. TRANSMISOR CON EL DEL T.D.M. RECEPTOR, Y - EL CONTADOR DEL SISTEMA CODIFICADOR CON EL DEL SISTEMA DE -- CODIFICADOR. SE MUESTRA EN LA FIGURA 2.12 EL DIAGRAMA DE - CONEXIONES ELÉCTRICAS DEL REGISTRO DE CORRIMIENTO MENCIONADO.

REGISTRO DE SALIDA

LA ETAPA DE SALIDA CONSTA DE UN REGISTRO DE CORRIMIENTO. EL PROPÓSITO DE ÉSTE CIRCUITO ES TRANSFORMAR LA INFORMACIÓN PROVENIENTE DEL SISTEMA CODIFICADOR (K_1, K_2, \dots, K_6), LA CUAL ESTÁ EN PARALELO, A UNA FORMA SERIAL PARA PODER ENVIARLA AL RECEPTOR POR MEDIO DE UNA SOLA LÍNEA DE TRANSMISIÓN.

EL CORRIMIENTO EN SERIE DE LA INFORMACIÓN SE HACE SEGÚN LA SIGUIENTE SECUENCIA, EN SINCRONÍA CON EL RELOJ MAESTRO.

- A.- EN EL TIEMPO QUE DURA EL PULSO M_7 SE HABILITA LA ENTRADA AL CIRCUITO SN 74165 (REGISTRO DE CORRIMIENTO PARALELO SERIE), POR MEDIO DE SU ENTRADA S / L (SHIFT LOAD), CON LO CUAL EL CIRCUITO QUEDA CARGADO CON LA INFORMACIÓN.
- B.- EN EL TIEMPO M_8 LAS COMPUERTAS " AND " DE ENTRADA ESTÁN HABILITADAS VACIANDO ASÍ LA INFORMACIÓN PROVENIENTE DEL SISTEMA CODIFICADOR AL REGISTRO DE CORRIMIENTO.
- C.- UNA VEZ QUE SE TIENE CARGADA LA INFORMACIÓN ; AL INICIARSE EL TIEMPO DEL PULSO M_8 , LA INFORMACIÓN, ES CARGADA HACIA LA LÍNEA DE TRANSMISIÓN. EN ÉSTE MISMO INSTANTE EL CIRCUITO CODIFICADOR ESTÁ SIENDO BORRADO Y PREPARADO PARA LA SIGUIENTE CODIFICACIÓN. LOS 8 F-F'S QUE COMPONEN EL REGISTRO DE CORRIMIENTO (REGISTRO DE SALIDA), CORREN LA INFORMACIÓN EN SERIE DESDE EL PRIMER F-F HASTA LA

SALIDA.

EL DIAGRAMA ELÉCTRICO SE MUESTRA EN LA FIGURA 2.13 - DONDE SE VE CÓMO ESTÁ CONSTITUIDO EL REGISTRO DE CORRIMIENTO (SN 74165) Y SU HABILITACIÓN POR MEDIO DE COMPUERTAS - " AND ",

EN LA FIGURA 2.14 SE OBSERVAN LAS CONEXIONES DEL REGISTRO DE CORRIMIENTO PARALELO - SERIE.

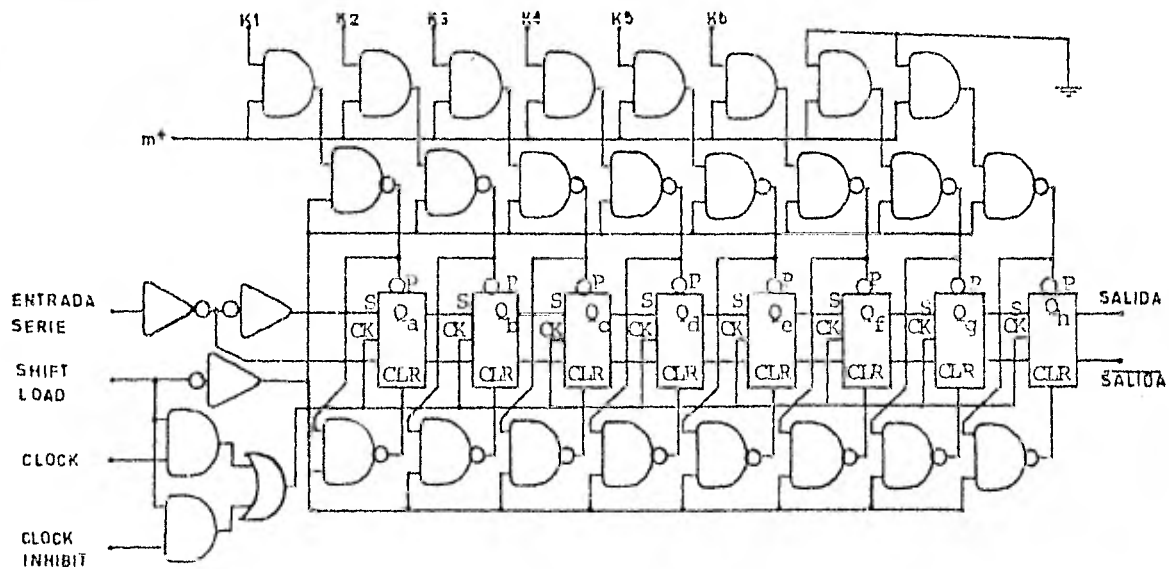


FIG. 2.13 DIAGRAMA LOGICO DEL REGISTRO DE CORRIMIENTO

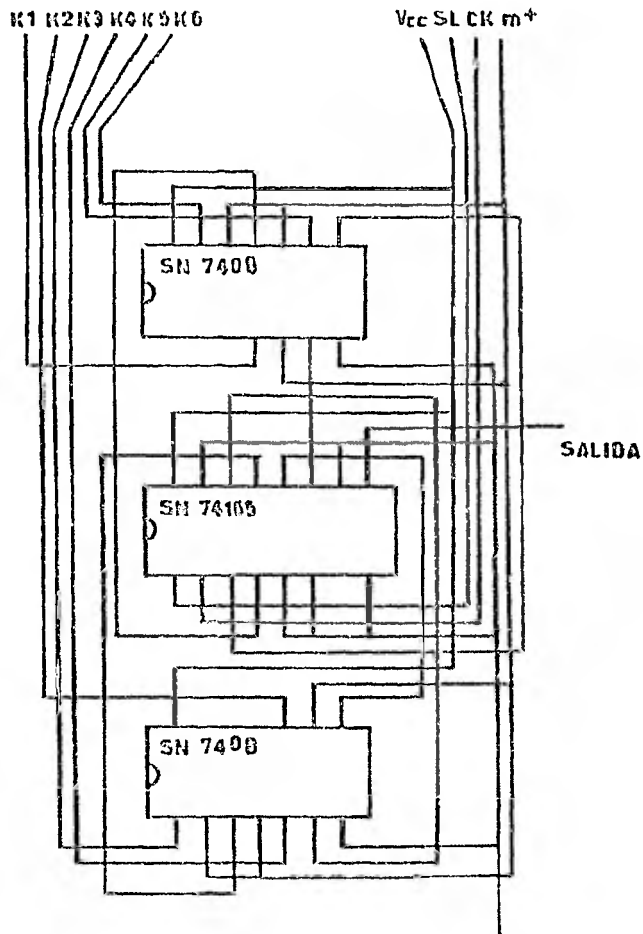


FIG. 2.14 DIAGRAMA DE CONEXIONES DEL REGISTRO DE CORRIMIENTO P / S .

2.2 SISTEMA RECEPTOR P . C . M .

SEGÚN SE PUEDE VER EN EL DIAGRAMA A BLOQUES DE LA FIGURA 2.15 LA UNIDAD RECEPTORA ES MUY SIMILAR A LA UNIDAD TRANSMISORA ; PERO CON UN FUNCIONAMIENTO INVERSO.

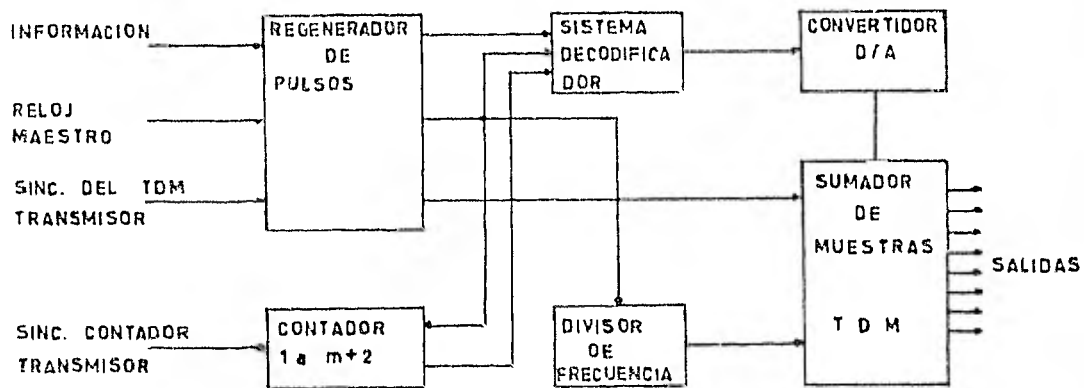


FIG. 2.15 DIAGRAMA A BLOQUES DEL SISTEMA RECEPTOR.

LA LÍNEA DE TRANSMISIÓN CONSTA DE CUATRO CABLES , ADEMÁS DE LA TIERRA, DE LOS CUÁLES TRES ESTÁN CONECTADOS FÍSICAMENTE A UN SISTEMA REGENERADOR DE PULSOS DE INFORMACIÓN. LAS SEÑALES QUE REGENERAN SON :

A.- EL TREN DE PULSOS DE INFORMACIÓN

B.- RELOJ MAESTRO

C.- SINCRONÍA DEL T.D.M

LAS SALIDAS DE ÉSTE SISTEMA, CON LAS SEÑALES YA REGENERADAS, ALIMENTAN AL SISTEMA DECODIFICADOR, AL DIVISOR DE FRECUENCIA (DIVISIÓN ENTRE 8) Y AL SISTEMA T.D.M. , ÉSTE ÚLTIMO, CON LA SINCRONÍA PROPIA DEL T.D.M. TRANSMISOR.

EL RECEPTOR SE ENCUENTRA PROCESANDO SEÑALES DE UN CICLO DE MUESTRA ANTERIOR, DEBIDO A QUE EN EL PRIMER INSTANTE AL MOMENTO DE SER ENCENDIDO, LA SEÑAL DEL RECEPTOR ES DE 0 VOLTS Y CUANDO LLEGA EL PRIMER CICLO DE MUESTRAS AL RECEPTOR, EL TRANSMISOR YA HA COMENZADO A PROCESAR EL SEGUNDO -- CICLO.

EL RECEPTOR ESTÁ CONSTITUÍDO POR :

1.- REGENERADOR DE SEÑALES

2.- CIRCUITOS DE SINCRONÍA

3.- SISTEMA DECODIFICADOR

4.- CONVERTIDOR DIGITAL - ANALÓGICO

5.- MULTIPLEXADOR (T.D.M.)

2.2.1 CIRCUITO REGENERADOR Y RELOJ ESCLAVO

LA REGENERACIÓN DE LAS SEÑALES SE LOGRA EMPLEANDO CIRCUITOS SCHMITT - TRIGGER ; PARA EL CASO DEL RELOJ MAESTRO, ESTE ES RECUPERADO DE MANERA DIFERENTE, YA QUE ÉSTO SE REALIZA POR MEDIO DE UN CIRCUITO MONOESTABLE AJUSTADO EXACTAMENTE A LA FRECUENCIA DEL RELOJ MAESTRO.

EL CIRCUITO MONOESTABLE SN 74123 SE MUESTRA EN LA FIGURA 2.16 Y PUEDE AJUSTARSE PARA REPRODUCIR LA SEÑAL DEL RELOJ MAESTRO EN EL LADO RECEPTOR LO MÁS FIELMENTE POSIBLE.

EN LA FIGURA 2.17 SE MUESTRA EL DIAGRAMA DE CONEXIONES USADO, EL CUAL FUÉ DISEÑADO A BASE DE CIRCUITOS INTEGRADOS, PARA PODER REGENERAR LOS PULSOS DEL RELOJ MAESTRO, LOS PULSOS DE SINCRONÍA Y EL TREN DE PULSOS DE INFORMACIÓN.

LOS LED'S UTILIZADOS INDICAN LOS SIGUIENTES ESTADOS :

SI EL LED VERDE ESTÁ ENCENDIDO Y EL LED ROJO APAGADO - SIGNIFICA QUE LOS PULSOS DEL RELOJ SE ESTÁN REGENERANDO CORRECTAMENTE.

SI EL LED VERDE ESTÁ APAGADO Y EL LED ROJO ENCENDIDO - INDICA QUE LA SEÑAL DE RELOJ NO SE ESTÁ RECIBIENDO.

SI EL LED VERDE ESTÁ ENCENDIDO Y EL LED ROJO ESTÁ TAMBIEN ENCENDIDO, EL PULSO DE RELOJ MAESTRO ESTÁ DEFASADO - CON RESPECTO A LA ENTRADA.

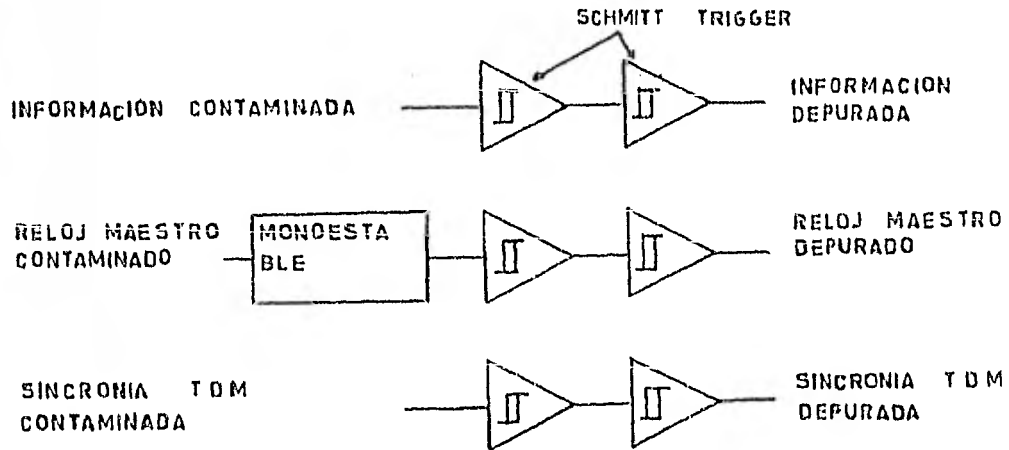


FIG. 2.16 DIAGRAMA A BLOQUES DEL RELOJ ESCLAVO Y DEL REGENERADOR.

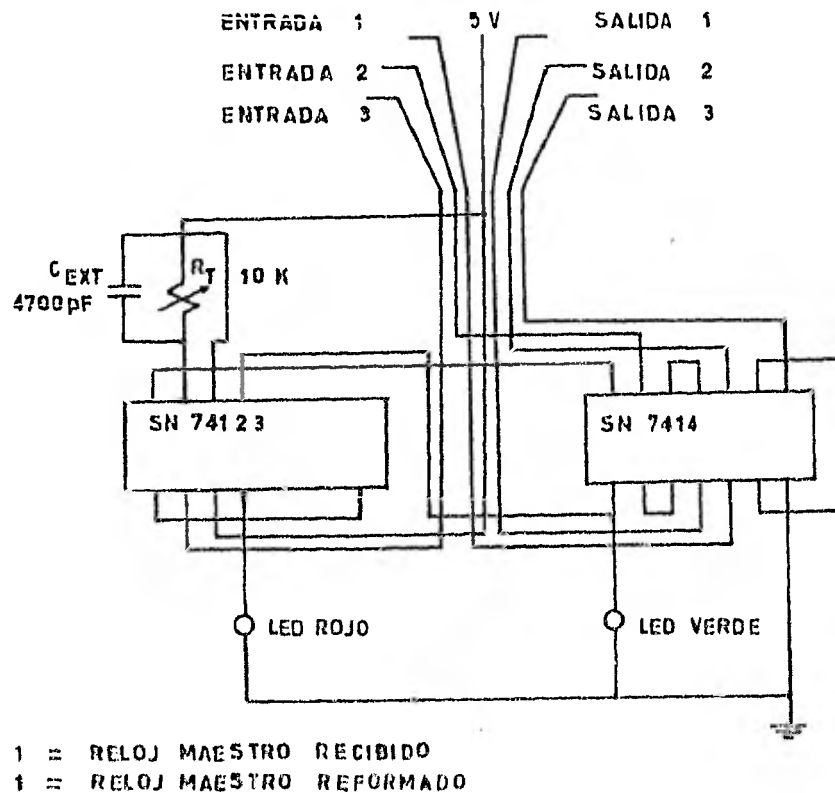


FIG. 2.17 RELOJ ESCLAVO Y REGENERADOR.

2.2.2 CIRCUITO DE SINCRONIA

EL PULSO DE SINCRONÍA PROVENIENTE DEL TRANSMISOR DIS - PARA AL CONTADOR DE OCTAVAS (C.I. SN 7493A), CON ÉSTO, EL CONTADOR DEL TRANSMISOR QUEDA SINCRONIZADO CON EL CONTADOR DEL RECEPTOR, LAS SALIDAS DEL CONTADOR SON ENVIADAS A UN ARREGLO DE COMPUERTAS " AND ", COMO EL QUE SE MUESTRA EN LA FIGURA 2.18, OBTENIÉNDOSE UN PULSO CADA 8 CICLOS DE RELOJ MAESTRO. ESTE PULSO ES ALIMENTADO AL REGISTRO DE CORRIMIENTO, DEL CUÁL SE OBTIENEN LAS SALIDAS M_1, M_2, \dots, M_8 , QUE -- ACTIVAN AL SISTEMA DECODIFICADOR.

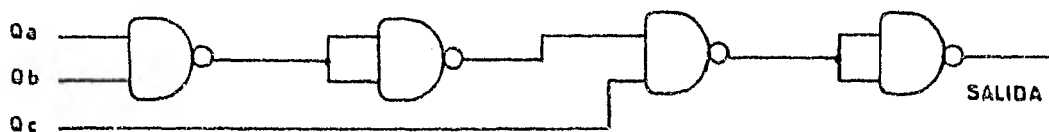
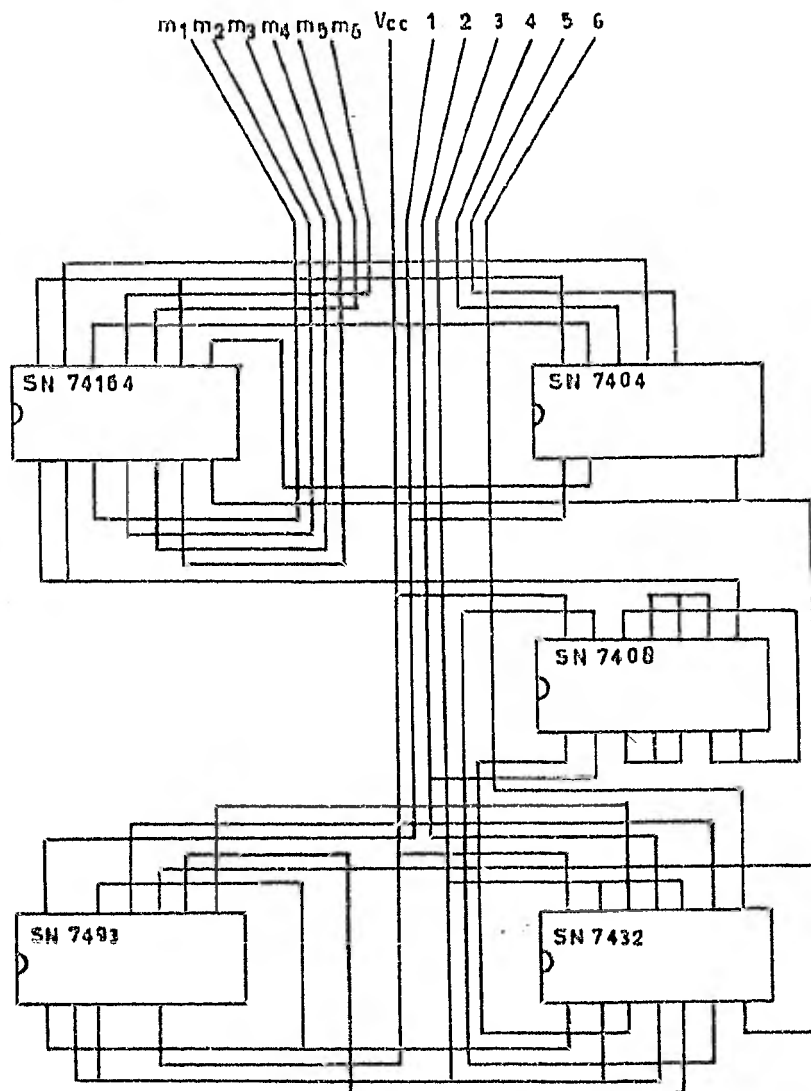


FIGURA 2.18

ESTE REGISTRO UTILIZA EL PULSO DEL RELOJ MAESTRO INVERTIDO, USANDO PARA ELLO CIRCUITOS INVERSORES.

LA FIGURA 2.19 MUESTRA EL DIAGRAMA DE CONEXIONES ELÉCTRICAS DEL CIRCUITO DE SINCRONÍA.



- 1. RELOJ
- 2. TDM
- 3. SINCRONIA TRANSMISOR
- 4. M
- 5. SHIFT LOAD
- 6. Qo

FIG. 2.19 DIAGRAMA DE CONEXIONES DEL CIRCUITO DE SINCRONIA.

2.2.3. SISTEMA DECODIFICADOR

EL SISTEMA DECODIFICADOR ES MUY SIMILAR AL CIRCUITO - UTILIZADO EN EL SISTEMA CODIFICADOR DEL TRANSMISOR, TAN SOLO QUE EN ÉSTE SISTEMA LAS SALIDAS SE TOMAN DE LOS PUNTOS - " Q " DE LOS FLIP - FLOP'S, COMO SE MUESTRA EN LA FIGURA -- 2.20. EL SUMADOR ESCALERA NO ESTÁ CONECTADO A LAS SALIDAS - DE LAS COMPUERTAS " OR " SINO A LA ENTRADA CORRESPONDIENTE - A CADA UNA DE ÉSTAS.

EL DECODIFICADOR FUNCIONA TAMBIEN EN OCHO CICLOS DE -- RELOJ, PROVENIENTES ÉSTOS DEL REGISTRO SERIE - PARALELO DEL RECEPTOR.

INFORMACION PROVENIENTE DE LA LINEA DE TRANSMISION

PULSO DE ARRANQUE

RELOJ MAESTRO REGENERADO

PULSO DE BORRADO

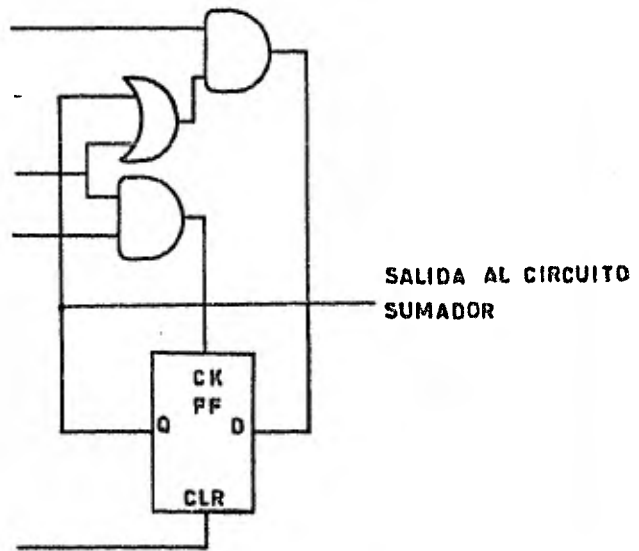


FIG. 2.20 BLOQUE DE UN BIT DEL DECODIFICADOR.

2.2.4. CONVERTIDOR DIGITAL - ANALOGICO

ESTE CIRCUITO SE ALIMENTA DE LAS SALIDAS (PUNTOS "Q") DE LOS FLIP - FLOP'S DEL DECODIFICADOR.

ESTE CIRCUITO REALIZA LA SUMA DE VOLTAJES DE ACUERDO A LAS SEÑALES BINARIAS DE ENTRADA, RESULTANDO LA SEÑAL ANALÓGICA, MISMA QUE ES ENVIADA AL CIRCUITO T.D.M.

2.2.5. MULTIPLEXADOR T.D.M.

ESTE CIRCUITO SEPARA EN OCHO CANALES LA INFORMACIÓN -
PROVENIENTE DEL CONVERTIDOR DIGITAL - ANALÓGICO.

EL CIRCUITO DEMULTIPLEXADOR (T.D.M. RECEPTOR) ESTÁ
EN SINCRONÍA CON EL MULTIPLEXADOR (T.D.M. TRANSMISOR), -
PARA EVITAR QUE LA INFORMACIÓN CONTENIDA EN LOS CANALES SE
MEZCLE.

EL SISTEMA T.D.M. TRANSMISOR, TIENE OCHO ENTRADAS Y UNA
SALIDA MIENTRAS QUE EL RECEPTOR TIENE UNA ENTRADA Y OCHO SA-
LIDAS.

2.3. PROBLEMAS DE SINCRONIA

EN UN SISTEMA P.C.M. EL TRANSMISOR Y EL RECEPTOR DEBEN ESTAR SINCRONIZADOS, ENTENDIÉNDOSE ÉSTO COMO LA CONDICIÓN - EN LA CUAL EL MOMENTO EN EL QUE EL TRANSMISOR INICIA EL ENVÍO DE DATOS CORRESPONDIENTES AL PRIMER CANAL, CORRESPONDE CON EL MOMENTO EN EL QUE EL RECEPTOR INICIA LA DECODIFICACIÓN Ó EL PROCESAMIENTO DE LA INFORMACIÓN DEL MISMO CANAL, - DE MANERA QUE ÉSTA CONDICIÓN DE SINCRONÍA GARANTIZA QUE NO SE MEZCLE INFORMACIÓN DE UN CANAL CON OTRO EN LOS CIRCUITOS DEL RECEPTOR ENCARGADOS DE DECODIFICARLA.

EXISTEN BÁSICAMENTE DOS CONDICIONES QUE DEBEN CUMPLIRSE PARA QUE EL RECEPTOR DEL SISTEMA P.C.M. CUMPLA SU FUNCIÓN SATISFACTORIAMENTE ; ÉSTAS SON :

- 1.- QUE LA SEÑAL DEL RELOJ DEL RECEPTOR SIGA LO MÁS - FIELMENTE POSIBLE A LA SEÑAL DE RELOJ DEL TRANSMISOR, LO CUAL IMPLICA QUE LA FRECUENCIA SEA -- EXACTAMENTE IGUAL Y QUE EL DEFASAMIENTO SEA MÍ -- NIMO.
- 2.- QUE EL INICIO DE CADA CANAL Y DE CADA CONJUNTO Ó TRAMA DE CANALES ESTÉN PLENAMENTE IDENTIFICADOS,

EN EL SISTEMA P.C.M. DEL LABORATORIO DE COMUNICACIONES LA FALTA DE UNA UNIDAD DE SINCRONÍA OBLIGA A QUE LA SEÑAL - DE SINCRONÍA QUE INDICA EL INICIO DE LA INFORMACIÓN DE CADA CANAL Y LA SEÑAL DE SINCRONÍA QUE INDICA EL INICIO DE CADA CONJUNTO DE CANALES SEAN ENVIADAS POR LÍNEAS ADICIONALES A LA DE TRANSMISIÓN DE DATOS, LO CUÁL HACE POCO PRÁCTICO -

EL ENLACE DEL TRANSMISOR CON EL RECEPTOR YA SEA POR LÍNEA DE TRANSMISIÓN Ó POR ENLACE DE RADIOFRECUENCIA, YA QUE EN EL -- PRIMERO DE LOS MÉTODOS, MANDAR CADA SEÑAL POR LÍNEA INDEPENDIENTE IMPLICARÍA 4 DISPOSITIVOS PARA ACONDICIONAR CADA --- SEÑAL POR LA LÍNEA CORRESPONDIENTE. EN EL SEGUNDO MÉTODO SE REQUIRIRÍA MODULAR 4 PORTADORAS, QUE TENDRÍAN QUE SER -- SINTONIZADAS SIMULTÁNEAMENTE POR EL RECEPTOR, Ó BIEN EMPLEAR UN SISTEMA MÚLTIPLEX DE 4 CANALES PARA PODER USAR UNA SOLA - PORTADORA.

CON TODO LO ANTERIORMENTE EXPUESTO, QUEDA DE MANIFIESTO QUE ES DE VITAL IMPORTANCIA DISPONER DE UNA UNIDAD DE -- SINCRONÍA EN EL SISTEMA P.C.M., LA CUÁL TENDRÁ COMO OBJETIVO PROPORCIONAR A PARTIR DE UN FLUJO SERIAL DE DATOS LAS -- SEÑALES NECESARIAS PARA QUE EL RECEPTOR RECONOZCA CUÁL ES - LA INFORMACIÓN CORRESPONDIENTE A CADA CANAL.

CAPITULO 3

3.- DIVERSAS OPCIONES PARA EL CIRCUITO DE SINCRONIA

1.- HABIENDO PLANTEADO EL PROBLEMA DE SINCRONÍA DE MANERA CLARA EN LA ÚLTIMA PARTE DEL CAPÍTULO ANTERIOR, PASAREMOS AHORA A CONSIDERAR CADA UNA DE LAS ALTERNATIVAS ÚTILES PARA EL DISEÑO Y CONSTRUCCIÓN DE LA UNIDAD DE SINCRONÍA.

2.- LA PRIMERA ALTERNATIVA ANALIZADA ES LA QUE OFRECE - LA LÓGICA ALAMBRADA (HARDWARE).

ESTÁ FUÉ LA ALTERNATIVA QUE SE DESARROLLO, OBTENIÉNDOSE EL DISPOSITIVO DE SINCRONÍA QUE SE DESCRIBE EN LOS CAPÍTULOS POSTERIORES.

3.- LA SEGUNDA ALTERNATIVA QUE ESTUDIAMOS ES LA QUE IMPLICA EL USO DE UN SISTEMA MÍNIMO DE MICROPROCESADOR (SOFTWARE) - DEL QUE MOSTRAMOS DIAGRAMA DE FLUJO - EL CUAL REALIZA LAS FUNCIONES DE LA UNIDAD DE SINCRONÍA.

PRESENTAMOS TAMBIÉN UN ESTUDIO SOMERO DE LOS FUNDAMENTOS NECESARIOS PARA COMPRENDER EL FUNCIONAMIENTO DE ÉSTOS NOVEDOSOS DISPOSITIVOS QUE HAN TRANSFORMADO EL MUNDO DE LA ELECTRÓNICA.

CABE ACLARAR QUE ÉSTA ALTERNATIVA NO LA DESARROLLAMOS DE MANERA AMPLIA, POR SER UN TEMA EXTENSO; DEJAMOS ESTO COMO TEMA PARA OTRO TRABAJO DE INVESTIGACIÓN, EL CUAL PODRÍA TITULARSE " APLICACIÓN DE MICROPROCESADORES A LAS COMUNICACIONES DIGITALES ".

3.1. HARDWARE

EN UN SISTEMA P.C.M. TÍPICO, UN NÚMERO DE BITS CONSTITUYEN UNA PALABRA, UN NÚMERO FIJO DE PALABRAS CONSTITUYEN UNA TRAMA, A SU VEZ UNA PALABRA REPRESENTA UNA MUESTRA DIGITALIZADA DE UN CANAL DE INFORMACIÓN Y CADA CANAL APARECE POR LO MENOS UNA VEZ, A LO LARGO DE CADA TRAMA, LA CUAL ES REPETIDA CONTINUAMENTE A UNA FRECUENCIA FIJA.

EN GENERAL, EL PROBLEMA DE SINCRONIZAR EL TRANSMISOR Y EL RECEPTOR SE DIVIDE EN DOS: LA SINCRONIZACIÓN DE TRAMA Y LA SINCRONIZACIÓN DE BIT. SI CONSIDERAMOS LAS DOS CONDICIONES MENCIONADAS EN EL CAPÍTULO ANTERIOR, OBTENER LA SINCRONÍA DE BIT SIGNIFICA TENER LA SEÑAL DE RELOJ, TANTO DEL TRANSMISOR COMO DEL RECEPTOR IGUALES EN FRECUENCIA Y EN FASE. LA SINCRONÍA DE TRAMA Ó DE GRUPO REQUIERE DETERMINAR LA LOCALIZACIÓN DEL PRIMER BIT DE CADA TRAMA Y DE CADA CANAL.

LOS DATOS NO PUEDEN SER DETECTADOS CON EXACTITUD SI NO SE TIENE INFORMACIÓN EXACTA DE LA FRECUENCIA Y FASE A LA QUE OCURRE CADA BIT EN LOS CIRCUITOS DE REGENERACIÓN DE DATOS; ASIMISMO, LA INFORMACIÓN NO PUEDE SER MULTIPLEXADA, ES DECIR, ASIGNADA A SU CANAL DE SALIDA CORRESPONDIENTE, MIENTRAS NO SE HAYA ADQUIRIDO LA SINCRONIZACIÓN TANTO DE TRAMA COMO DE CANAL.

EN LOS PÁRRAFOS SIGUIENTES EXPONDREMOS ALGUNOS DE LOS MÉTODOS QUE SE HAN PROPUESTO PARA OBTENER LA SINCRONIZACIÓN. COMENZAREMOS CON LOS MÉTODOS DE SINCRONÍA DE BIT PARA POSTERIORMENTE TRATAR LOS DE SINCRONÍA DE GRUPO.

3.1.1. SINCRONIZACIÓN DE BITS

EXISTEN TRES MÉTODOS BÁSICOS PARA OBTENER LA SINCRONIZACIÓN DE BITS O BASE DE TIEMPO DE LOS BITS EN EL RECEPTOR, LOS CUALES SON:

- 1.- DERIVACIÓN DEL RELOJ MAESTRO A PARTIR DE UN ESTÁNDAR DE TIEMPO PRIMARIO O SECUNDARIO, EL CUAL SE USA EN APLICACIONES DONDE EL TRANSMISOR COMO EL RECEPTOR PUEDEN ESTAR COMANDADOS POR UN SISTEMA MAESTRO DE TIEMPO.
- 2.- UTILIZACIÓN DE UN CANAL O SEÑAL DE SINCRONÍA SEPARADOS.
- 3.- DERIVACIÓN DEL RELOJ MAESTRO QUE VA IMPLÍCITO EN LA MISMA SEÑAL DE INFORMACIÓN.

EL ÚLTIMO DE ÉSTOS TRES MÉTODOS ES EL MÁX COMUNMENTE USADO, YA QUE APROVECHA LAS TRANSICIONES DE 1 A 0 Y DE 0 A 1, QUE SE PRESENTAN EN EL FLUJO DE DATOS. EXISTEN TRES FORMAS EN LAS CUÁLES EL TERCER MÉTODO PUEDE SER IMPLEMENTADO.

- A).- LAS TRANSICIONES DE LOS BITS DE 1 A 0 Y DE 0 A 1 SON ACONDICIONADAS POR UN CIRCUITO DIVISOR, DESPUÉS DIFERENCIADOS Y RECTIFICADOS PARA CONTROLAR UN CIRCUITO RESONANTE EL CUAL SEGUIRÁ PROPORCIONANDO LA FRECUENCIA DEL RELOJ MAESTRO DURANTE LOS PERÍODOS DONDE NO HAYA TRANSICIONES.

EL ACONDICIONAMIENTO DE SEÑALES SE DEFINE COMO EL PROCESO AL QUE SE SOMETEN LAS SEÑALES CON EL OBJETO DE HACERLAS COMPATIBLES CON LAS CARACTERÍSTICAS DE DETERMINADO DISPOSITIVO. GENERALMENTE CONSISTE EN LIMITAR, ADEMÁS DE LA AMPLIFICACIÓN, EL ANCHO DE BANDA PARA MINIMIZAR LOS EFECTOS DE RUIDO ASÍ COMO LOS ERRORES DE MUESTREO.

- B).- UNA SEGUNDA FORMA INVOLUCRA LA UTILIZACIÓN DE LAS TRANSICIONES DE LA INFORMACIÓN POR MEDIO DE UN CIRCUITO DIVISOR, DIFERENCIADOR Y RECTIFICADOR EN CONJUNCIÓN CON UN MULTIVIBRADOR MONOESTABLE, UN DISCRIMINADOR DE FASE, UN FILTRO DE MALLA Y UN OSCILADOR CONTROLADO POR VOLTAJE (VCO) PARA OBTENER LA FRECUENCIA Y LA FASE DEL RELOJ POR MEDIO DE UN SISTEMA DE LAZO CERRADO EN FASE (PLL). ES NECESARIO HACER NOTAR QUE EN LAS FORMAS MENCIONADAS NO SE RECIBE INFORMACIÓN DE LA DURACIÓN DE CADA BIT DURANTE SECUENCIAS LARGAS DE 1's Ó 0's.
- C).- UNA TERCERA FORMA ES FIJAR EL PERÍODO DE CADA BIT IGUAL A UN NÚMERO ENTERO DE CICLOS DE LA PORTADORA, ÉSTO SI SE USA ENLACE DE RADIOFRECUENCIA, Y LUEGO CON UN SISTEMA PLL DETECTAR LA PORTADORA Y DIVIDIR LA FRECUENCIA HASTA OBTENER LA DEL RELOJ MAESTRO Y DETERMINAR LA FASE USANDO LAS TRANSICIONES DE 1 A 0 Y DE 0 A 1 QUE SE MENCIONAN ANTERIORMENTE.

3.1.2. SINCRONIZACIÓN DE GRUPO.

UNA VEZ QUE SE HA ADQUIRIDO LA SINCRONIZACIÓN DE BITS, EL SIGUIENTE PASO ES ADQUIRIR LA SINCRONIZACIÓN DE GRUPO, ES DECIR, LA SINCRONÍA DE PALABRA Y LA SINCRONÍA DE TRAMA, A FIN

DE QUE LA SEPARACIÓN DE LA INFORMACIÓN RECIBIDA PUEDA SER LLEVADA A CABO.

AÚNQUE EXISTEN VARIOS MÉTODOS PARA ADQUIRIRLA, TRES SON LOS BÁSICOS:

- 1.- ADQUISICIÓN DE LA SINCRONIA DE PALABRA COMO PREREQUISITO PARA DETERMINAR LA SINCRONIA DE TRAMA.
- 2.- ADQUISICIÓN DE LA SINCRONIA DE TRAMA COMO PREREQUISITO PARA ADQUIRIR LA SINCRONIA DE PALABRA.
- 3.- ADQUISICIÓN COMPLEMENTARIA O INTEGRADA DE TRAMA Y PALABRA.

3.1.3. ADQUISICIÓN DE LA SINCRONIA DE PALABRA

AÚN CUANDO LA ADQUISICIÓN DE LA SINCRONIA DE PALABRA NO ES SUFICIENTE PARA LLEVAR A CABO LA DECONMUTACIÓN, RESULTA SER DE BASTANTE UTILIDAD PARA ADQUIRIR LA SINCRONIA DE TRAMA YA QUE PERMITE QUE LOS CIRCUITOS DE SINCRONIA DE TRAMA SEAN HABILITADOS CADA VEZ QUE SE DETECTA LA SINCRONIA DE PALABRA, LO QUE REDUCE LA PROBABILIDAD DE UNA INDICACIÓN DE SINCRONIA FALSA DEBIDO A UNA COINCIDENCIA ALEATORIA.

EXISTEN DOS MÉTODOS FUNDAMENTALES PARA ADQUIRIR LA SINCRONIA DE PALABRA.

EL MÁS COMÚN ES AQUEL EN EL QUE UNO O MÁS BITS SON USADOS EN DETERMINADA POSICIÓN DE CADA PALABRA DE TAL MANERA -

QUE EL RECEPTOR SOLO TIENE QUE EXPLORAR EN ESAS POSICIONES, HASTA QUE EL PATRON DE LA SINCRONIA DE PALABRA SE REPITE A LA MISMA FRECUENCIA QUE LAS PALABRAS O CANALES DE INFORMACION, ESTO SIGNIFICA QUE SI CADA PALABRA ES DE OCHO CICLOS DE RELOJ MAESTRO, CADA OCHO CICLOS DEBERÁ TENERSE EL PATRON DE SINCRONIA DE PALABRA.

EN GENERAL, MIENTRAS MENOS BITS SE USEN EN EL PATRON DE SINCRONIA EL PROCESO DE ADQUISICIÓN SERÁ MÁS LARGO; YA QUE UN PATRÓN SIMPLE, POR EJEMPLO, UN 1 QUE ESTÉ SIEMPRE PRESENTE AL FINAL DE CADA PALABRA PUEDE DUPLICARSE DEBIDO A LA COINCIDENCIA EN LA CODIFICACIÓN DE LA INFORMACIÓN Y APAREZCA A LA MITAD DE LA PALABRA DURANTE VARIAS PALABRAS SEGUIDAS, PRODUCIENDO UNA INDICACIÓN DE SINCRONIA FALSA; SIN EMBARGO, ESTA COINCIDENCIA DEL PATRÓN DE SINCRONIA CON LA CODIFICACIÓN DE LA INFORMACIÓN SERÍA MÁS REMOTA SI SE USARAN MÁS BITS. DURANTE LA ADQUISICIÓN DE LA SINCRONIA EL CIRCUITO DEBE LLEVAR CUENTA DEL NÚMERO DE VECES QUE EL PATRON DE SINCRONIA HA SIDO DETECTADO EN UNA POSICIÓN DE PRUEBA DETERMINADA DE LA PALABRA Y COMPARAR CON UN REQUERIMIENTO MÍNIMO QUE SATISFAGA UN NIVEL DADO DE CONFIANZA EN LA ADQUISICIÓN; SI DESPUÉS DE UN DETERMINADO INTERVALO DE TIEMPO LA PRUEBA DE SINCRONIA NO HA SIDO SATISFECHA, ENTONCES, EL CIRCUITO PASA A LA SIGUIENTE POSICIÓN DE LA PALABRA PARA REPETIR EL PROCESO HASTA QUE LA POSICIÓN CORRECTA DE LOS BITS DE SINCRONIA HA SIDO DETERMINADA Y VERIFICADA.

EN CASOS DONDE EL DEMULTIPLEXADOR TIENE UN REGISTRO DE CORRIMIENTO SERIE PARALELO RELATIVAMENTE GRANDE SE PUEDE APROVECHAR ÉSTE PARA DETECTAR CLAVES DE SINCRONIA DE PALABRA LO QUE ACELERA EN GRAN MEDIDA EL PROCESO DE ADQUISICIÓN DE LA SINCRONIA. PRUEBAS REALIZADAS CON LOS CIRCUITOS DE SIN -

CRONÍA OPERANDO EN ESTE MODO HAN DEMOSTRADO QUE AÚN BAJO CON-
DICIONES EN LAS QUE EL COCIENTE DE SEÑAL A RUIDO ES MUY BAJO
LA SINCRONIA SE HA ADQUIRIDO DENTRO DE LOS 1000 PRIMEROS --
BITS DE INFORMACIÓN.

OTRO MÉTODO PARA ADQUIRIR LA SINCRONIA DE PALABRA EMPLEA
UN BIT DE CHEQUEO DE PARIDAD QUE OCURRE AL FINAL DE CADA PA-
LABRA Y QUE OBLIGA A ÉSTAS A TENER UN NÚMERO PAR O IMPAR DE
1's, Y EL RECEPTOR ENTONCES DETERMINA LA SINCRONIA DE PALA -
BRA BUSCANDO EN DETERMINADAS POSICIONES EL BIT DE PARIDAD. -
EN ESTE MÉTODO EL CIRCUITO DEBERÁ RECHAZAR LA POSICIÓN DE -
PRUEBA SI ESTA NO SATISFACE LAS CONDICIONES DE PARIDAD EN -
FORMA CONTINUA O EN PORCENTAJES MUY ALTOS Y PERMITIR QUE LA
SIGUIENTE POSICIÓN SEA PROBADA, CUANDO EN DETERMINADA POSI -
CIÓN SE CUMPLAN SATISFACTORIAMENTE LAS CONDICIONES DE PARI -
DAD EL CIRCUITO DEBERÁ DAR LA INDICACIÓN DE QUE EL CRITERIO
DE SINCRONIA HA SIDO SATISFECHO. LAS VENTAJAS DE ÉSTE MÉTO-
DO ESTRIBAN EN QUE LOS BITS INSERTADOS EN LA INFORMACIÓN PA-
RA LA DETECCIÓN Y CORRECCIÓN DE ERRORES DE TRANSMISIÓN PUE -
DEN SER USADOS SIMULTÁNEAMENTE PARA LA ADQUISICIÓN DE LA SIN
CRONIA DE PALABRA.

3.1.4. ADQUISICIÓN DE LA SINCRONIA DE TRAMA

SUPONIENDO QUE LA SINCRONIA DE PALABRA NO SE HA DE-
TERMINADO, EL PROBLEMA DE LA SINCRONIA DE TRAMA CONSISTE EN
DETERMINAR LA POSICIÓN DEL PRIMER BIT DE LA TRAMA, POR LO -
QUE EL DETECTOR DE SINCRONIA DE TRAMA DEBERÁ EXPLORAR TODOS
LOS BITS DE INFORMACIÓN YA QUE NO TIENE MANERA DE DETERMINAR
LA LOCALIZACIÓN O EL INICIO DE CADA PALABRA, ÉSTO IMPLICA LA

NECESIDAD DE EMPLEAR UN DISPOSITIVO EN PARALELO PARA DETECTAR LA CLAVE DE SINCRONIA DE TRAMA, DE PREFERENCIA ESTE DISPOSITIVO DEBERÁ TENER ALGÚN TIPO DE UMBRAL O LÍMITE AJUSTABLE DE MODO QUE ALGUNOS ERRORES SE PUEDAN TOLERAR EN LA CLAVE RECIBIDA. UNO DE LOS MÉTODOS MÁS SIMPLES QUE SE HAN PROPUESTO CONSISTE EN UN REGISTRO DE CORRIMIENTO CUYA LONGITUD SEA CUANDO MENOS IGUAL AL NÚMERO DE BITS DE LA CLAVE DE SINCRONIA, EL CUAL ALIMENTA EN PARALELO A UN SUMADOR A TRAVÉS DE UN DISPOSITIVO QUE PERMITE PROGRAMAR LA CLAVE DE SINCRONIA QUE DEBE SER DETECTADA.

EL DIAGRAMA DE BLOQUES DE TAL DISPOSITIVO SE MUESTRA EN LA FIGURA 3.1.

LA SALIDA DEL SUMADOR SE ALIMENTA A UN COMPARADOR QUE TIENE EN SU OTRA ENTRADA UN VOLTAJE DE REFERENCIA QUE SERÁ EQUIVALENTE AL QUE PRODUCIRÁ CUANDO SE DETECTE LA CLAVE DE SINCRONIA DE TRAMA.

EN LA IMPLEMENTACIÓN DE UN CIRCUITO DE ADQUISICIÓN MÁS SOFISTICADO DEBERÁ CONSIDERARSE LA NECESIDAD DE UN CIRCUITO DE SINCRONIA, EN ÉSTE CASO TENDREMOS TRES ESTADOS O MODOS BÁSICOS DEL CIRCUITO DE SINCRONIA:

- 1.- ADQUISICIÓN
- 2.- VERIFICACIÓN
- 3.- CERRAMIENTO

- 1.- CUANDO EL SISTEMA ESTÁ EN EL MODO DE ADQUISICIÓN EXPLORA TODAS LAS POSICIONES HASTA QUE SE PRODUCE LA INDICACIÓN DE SINCRONIA CON LO CUAL EL CIRCUITO SE-

REGISTRO DE CORRIMIENTO DE n ETAPAS

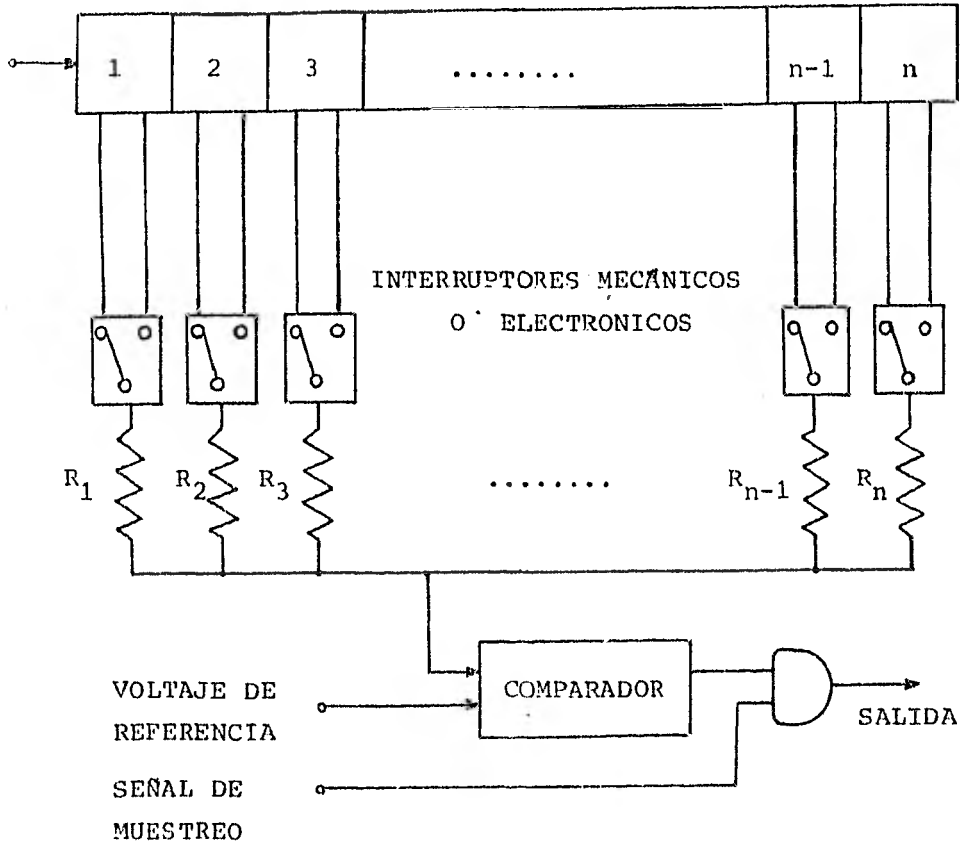


FIGURA 3.1. DISPOSITIVO PARA DETECTAR CLAVE DE SINCRONIA.

CUENCIAL CAMBIARÍA AL ESTADO DE VERIFICACIÓN, ÉSTE ESTADO DE VERIFICACIÓN ES NECESARIO YA QUE UNA INDICACIÓN FALSA DEL DETECTOR DE SINCRONÍA PUEDE SER PRODUCIDA POR UNA PALABRA DE INFORMACIÓN O UNA COMBINACIÓN DE ELLAS QUE POR AZAR LLEGARÁN A COINCIDIR CON LA CLAVE DE SINCRONÍA.

POR OTRO LADO, DESPUÉS DE QUE EL SISTEMA HA PASADO DEL MODO DE VERIFICACIÓN AL DE CERRAMIENTO EXISTE LA POSIBILIDAD DE QUE UNA INDICACIÓN DE SINCRONÍA SE PIERDA DEBIDO A UN EXCESIVO NÚMERO DE ERRORES EN LA CLAVE DE SINCRONÍA QUE ESTÁ SIENDO RECIBIDA, O POR UNA PERDIDA DE SEÑAL, POR LO QUE DEBE RA TENERSE CIERTA CAPACIDAD DE MEMORIA EN EL CIRCUITO DE ADQUISICIÓN QUE PERMITA MANTENER EL ESTADO DE CERRAMIENTO A TRAVÉS DE PERTURBACIONES CORTAS DE LA SEÑAL, YA QUE ÉSTE MÉTODO INVOLUCRA UN CIRCUITO SECUENCIAL, LA RESPUESTA DEL SISTEMA A LAS INDICACIONES DE SINCRONÍA DEL DETECTOR SERÁ FUNCIÓN DE LOS ESTADOS ANTERIORES.

SIN EMBARGO, AL INICIO, ANTES DE RECIBIR CUALQUIER INFORMACIÓN, NO HABRÁ ESTADO ANTERIOR, Y LA PRIMERA INDICACIÓN DE SINCRONÍA QUE SE TENGA SE SUPONDRÁ VERDADERA, MIENTRAS LOS SIGUIENTES PASOS DEL PROCESO NO PRUEBEN LO CONTRARIO. A FIN DE QUE LA SALIDA DEL DETECTOR DE SINCRONÍA SEA OBSERVADA SÓLO AL TIEMPO EN EL QUE SE ESPERA LA SIGUIENTE INDICACIÓN DE SINCRONÍA DEBERÁN USARSE COMPUERTAS Y CIRCUITOS DE DISPARO QUE REALICEN ESTA FUNCIÓN. CUANDO LA INDICACIÓN DE SINCRONÍA SE PRODUCE PRIMERO, SE REQUIERE CUANDO MENOS, UNA INDICACIÓN MÁS DURANTE LOS DOS PRIMEROS PERÍODOS DE MUESTREO PRECISAMENTE UNA Y DOS TRAMAS DESPUÉS, ANTES DE QUE LA PRIMERA INDICACIÓN SE CONSIDERE VERDADERA Y EL CIRCUITO PASE AL ESTADO DE CERRAMIENTO, EL CUAL DEBERÁ SER MANTENIDO

SATISFACTORIAMENTE MIENTRAS NO SE PIERDAN MÁS DE DOS INDICACIONES DE SINCRONÍA.

UNA CARACTERÍSTICA QUE PUEDE SER DESEABLE INCORPORAR EN EL CIRCUITO DE SINCRONÍA DE TRAMA ES LA DE INCREMENTAR EL TIEMPO DE MUESTREO EN LAS COMPUERTAS USADAS PARA VERIFICAR LA DETECCIÓN CONTINUA DE LA CLAVE DE SINCRONIA, YA QUE CUANDO OCURRE UNA PÉRDIDA DE SEÑAL, EL CIRCUITO DE SINCRONÍA DE BITS PASA POR ALTO O SE CORRE UNO O MÁS BITS E INCREMENTANDO EL TIEMPO DE MUESTREO DICHO CORRIMIENTO SE PUEDE DETECTAR Y CORREGIR A FIN DE MINIMIZAR LA PÉRDIDA DE INFORMACIÓN EN EL MULTIPLEXADOR.

3.1.5. ADQUISICIÓN COMPLEMENTARIA DE SINCRONIA DE TRAMA Y DE PALABRA.

EN APLICACIONES DONDE EL FORMATO DE LA INFORMACIÓN CONTIENE TANTO LA CLAVE DE SINCRONIA DE TRAMA, COMO DE PALABRA, UN MEDIO MÁS EFECTIVO DE SINCRONIZACIÓN DE GRUPO SE PUEDE REALIZAR EMPLEANDO LA ACCIÓN DE AMBOS CIRCUITOS QUE DE OTRA MANERA SERÍAN INDEPENDIENTES EN FORMA COMPLEMENTARIA, AÚNQUE TENER LA SINCRONÍA DE TRAMA IMPLICA TENER LA SINCRONÍA DE PALABRA. LO INVERSO NO ES VÁLIDO. SI LA SINCRONÍA DE PALABRA SE ADQUIERE PRIMERO, PUEDE SER USADA PARA REDUCIR EL TIEMPO DE ADQUISICIÓN DE LA SINCRONIA DE TRAMA CHECANDO QUE LAS INDICACIONES DE ÉSTA SEAN COMPATIBLES CON LOS TIEMPOS DE SINCRONÍA DE PALABRA. EN TALES FORMATOS LA SINCRONÍA DE PALABRA SE ADQUIERE PRIMERO, YA QUE LA SINCRONÍA DE PALABRA APARECE REPETIDAMENTE A LO LARGO DE CADA TRAMA.

EN ESENCIA, EL MÉTODO ES UNA ACCIÓN INHIBIDORA QUE CADA DETECTOR DE SINCRONÍA IMPONE AL OTRO, BAJO CIERTAS CONDICIONES LA SINCRONÍA DE PALABRA PUEDE PERDERSE, PERO PUEDE PREVENIRSE EL RETORNO DEL CIRCUÍTO AL MODO DE ADQUISICIÓN SI LA SINCRONÍA DE TRAMA SE SIGUE TENIENDO Y VICEVERSA.

UNA EXTENSIÓN DE ÉSTA TÉCNICA ES DAR A UNO DE LOS CIRCUITOS DE SINCRONÍA PRIORIDAD SOBRE EL OTRO, LO CUÁL DEPENDE DE LA EFECTIVIDAD DE LAS CLAVES DE SINCRONÍA DE PALABRA Y DE TRAMA QUE SE USEN. EN ÉSTE CASO LA CONDICIÓN DE CERRAMIENTO DEL CIRCUÍTO QUE TENGA LA MAYOR CONFIABILIDAD DEBERÁ OBTENERSE PRIMERO ANTES DE COMENZAR EL PROCESO DE ADQUISICIÓN DE LA OTRA.

3.2. SOFTWARE

HAY DOS PARTES PRINCIPALES EN CUALQUIER COMPUTADOR DIGITAL :

- A.- HARDWARE
- B.- SOFTWARE

EL HARDWARE SE REFIERE A LOS CIRCUITOS DIGITALES Y A LOS COMPONENTES FÍSICOS QUE FORMAN EL COMPUTADOR.

EL SOFTWARE SE REFIERE A LOS PROGRAMAS QUE CAUSAN QUE EL HARDWARE REALICE ALGUNA FUNCIÓN ÚTIL.

3.2.1. INTRODUCCIÓN

PARA QUE ALGÚN MICROPROCESADOR REALICE ALGUNA TAREA, DEBERÁ ALMACENARSE UN PROGRAMA EN SU MEMORIA. EL PROGRAMA ES UNA SECUENCIA DE INSTRUCCIONES QUE INDICAN AL MICROPROCESADOR PASO POR PASO LAS OPERACIONES QUE DEBERÁ REALIZAR. CADA UNA DE LAS INSTRUCCIONES CAUSARÁ UNA ACCIÓN ESPECÍFICA. CUANDO EL HARDWARE EJECUTE EL PROGRAMA, SE OBTENDRÁ EL RESULTADO FINAL.

MUCHOS MICROPROCESADORES SON DE PROPÓSITO GENERAL Y PUEDEN PROGRAMARSE PARA EFECTUAR VIRTUALMENTE CUALQUIER FUNCIÓN. OTROS MICROPROCESADORES TIENEN SUS PROGRAMAS ALMACENADOS PERMANENTEMENTE EN ROM, CON LO CUAL EL MICROPROCESADOR LLEVA A CABO UNA TAREA ESPECÍFICA.

PASEMOS A VER QUÉ ES UN MICROPROCESADOR.

EN TÉRMINOS GENERALES, EL MICROPROCESADOR ES UN SUSTITUTO O REEMPLAZO PARA EL CONTROL LÓGICO ALAMBRADO EN LA MAYORÍA DE LAS APLICACIONES, DONDE LOS CIRCUITOS SON AÚN USADOS Y EN APLICACIONES DONDE LAS CONFIGURACIONES LÓGICAS SON MÁS COMPLEJAS.

LAS PRINCIPALES VENTAJAS QUE OFRECEN LOS SISTEMAS DE MICROPROCESAMIENTO SON:

- 1.- BAJO COSTO
- 2.- MÍNIMO DE COMPONENTES UTILIZADOS
- 3.- MAYOR CONFIABILIDAD Y,
- 4.- MAYOR VERSATILIDAD

LOS SISTEMAS EXISTENTES (MICROPROCESADORES), PUEDEN MODIFICARSE, CAMBIANDO ÚNICAMENTE EL PROGRAMA DE INSTRUCCIONES; FRECUENTEMENTE ESTO SE REALIZA CAMBIANDO EL DISPOSITIVO DE MEMORIA ROM. SIN EMBARGO, NO DEBE OLVIDARSE QUE EL DESARROLLO DE UN PROGRAMA ES TIEMPO EMPLEADO, Y, EL CAMBIO DE PROGRAMAS NO PUEDE SER TAN SENCILLO COMO SUENA.

EL DISEÑO DE UN SISTEMA AUXILIADO POR UN MICROPROCESADOR IMPLICA UN INTERCAMBIO DE ARREGLOS O CIRCUITOS LÓGICOS POR SOFTWARE.

EXISTE UN BALANCE ÓPTIMO ENTRE LOS DOS (CIRCUITOS LÓGICOS Y MICROPROCESADOR), QUE PROPORCIONA LA EFICIENCIA MÁXIMA, TANTO TÉCNICA COMO ECONÓMICA EN UN SISTEMA DADO. EL DISEÑADOR DE SISTEMAS QUE UTILIZA MICROPROCESADORES REQUIERE TENER EXPERIENCIA EN DISEÑO LÓGICO Y EN SOFTWARE.

EL MICROPROCESADOR

EL MICROPROCESADOR, ES QUIZÁ, EL DESARROLLO MÁS IMPORTANTE QUE LA INDUSTRIA ELECTRÓNICA HA VISTO DURANTE LA DÉCADA PASADA. FUÉ INTRODUCIDO PARA HACER FRENTE A LA NECESIDAD DE TENER UN CIRCUITO UNIVERSAL DE INTEGRACIÓN A GRAN ESCALA (LSI), CAUSADO POR LOS ALTOS COSTOS Y APLICACIONES UN TANTO RESTRINGIDAS DE LOS CIRCUITOS INTEGRADOS L.S.I.

LOS FABRICANTES DE DISPOSITIVOS SEMICONDUCTORES HAN APRENDIDO COMO INCORPORAR MILLARES DE TRANSISTORES EN UNA SIMPLE OBLEA DE SILICÓN, LO QUE HA CONTRIBUIDO EN GRAN MEDIDA AL DESARROLLO DE LOS SISTEMAS DE MICROPROCESAMIENTO.

LAS AMPLIAS APLICACIONES DEL "CHIP" VINIERON A REDUCIRSE A APLICACIONES PARTICULARES Y EL MERCADO POTENCIAL SE REDUJO TAMBIÉN, DEBIDO A QUE EL COSTO DE UN CIRCUITO INTEGRADO ESTA EN RELACIÓN INVERSAMENTE PROPORCIONAL AL VOLUMÉN DE PRODUCCIÓN. LOS CIRCUITOS L.S.I., PARA LAS OTRAS APLICACIONES COMUNES TENDÍAN A SER MÁS CAROS QUE LO NECESARIO A CAUSA DE LO RESTRINGIDO DEL MERCADO.

VARIEDAD DE FUNCIONES

EL MICROPROCESADOR, CON SU HABILIDAD PARA REALIZAR UNA AMPLIA VARIEDAD DE FUNCIONES DIFERENTES ES LA RESPUESTA. EL MICROPROCESADOR PUEDE OBTENERSE A MUY BAJO COSTO, YA QUE SU RANGO CASI ILIMITADO DE APLICACIONES HACE QUE EL VOLUMEN DE PRODUCCIÓN SEA MUY ECONÓMICO.

EN LA PRÁCTICA, EL MICROPROCESADOR PUEDE ACOPLARSE, A TRAVÉS DE CIRCUITOS DE INTERFACE ADECUADOS A UNA AMPLIA VARIEDAD DE DISPOSITIVOS EXTERNOS, LOS CUALES UNA VEZ ACOPLADOS, RECIBEN DE ELLOS, LAS SEÑALES DE SALIDA.

EL MICROPROCESADOR, EN EL CENTRO DE ESTA ACTIVIDAD, RESPONDE A LAS ENTRADAS Y PRODUCE SALIDAS EN UNA MANERA COMPLETAMENTE DETERMINADA POR UNA SECUENCIA DE INSTRUCCIONES, LAS CUALES SON ALMACENADAS EN ALGÚN TIPO DE MEMORIA CONECTADA AL MICROPROCESADOR.

ESTA SECUENCIA DE INSTRUCCIONES ES LO QUE SE LE DENOMINA PROGRAMA.

INMEDIATAMENTE QUE LOS CONCEPTOS DE MICROPROCESADORES - SON ENUNCIADOS, SURGEN PREGUNTAS EN RELACIÓN A UNA MINICOMPUTADORA.

ES EL MICROPROCESADOR IGUAL A LA MINICOMPUTADORA?

LA RESPUESTA A ÉSTA PREGUNTA PUEDE SER UN POCO DIFÍCIL. SIN EMBARGO, ES GENERALMENTE CIERTO QUE LOS MICROPROCESADORES DE TECNOLOGÍA MOS ACTUALMENTE OPERAN DE MANERA MUY SIMILAR A LAS MINICOMPUTADORAS, PERO SON MÁS LENTOS Y NO SON TAN PODEROSOS EN LO QUE AL CONJUNTO DE INSTRUCCIONES SE REFIERE, ADEMÁS, SON MENOS 'INTELIGENTES'.

LAS DIFERENCIAS, SIN EMBARGO, ESTAN RÁPIDAMENTE DISMINUYENDO.

3.2.2. CONCEPTOS BÁSICOS DE UN SISTEMA MÍNIMO DE MICROPROCESADOR.

EL OBJETIVO DE ÉSTE CAPÍTULO, ES DESCRIBIR COMO UN MICROPROCESADOR PUEDE UTILIZARSE PARA EJECUTAR UNA ACTIVIDAD EN PARTICULAR Y SEÑALAR LAS SIMILITUDES EXISTENTES ENTRE EL DISEÑO LÓGICO Y LA PROGRAMACIÓN.

CADA MICROPROCESADOR TIENE UNA MEMORIA EN LA CUAL PUEDE ALMACENARSE UNA SECUENCIA DE INSTRUCCIONES. LA MEMORIA, SEMEJANTE A UN SISTEMA DE ARCHIVO ÉSTA DIVIDIDA EN UNA SERIE DE LOCALIDADES, Y EN CADA LOCALIDAD DE MEMORIA TIENE POR REFERENCIA UNA DIRECCIÓN (COMO LAS CASAS DE UNA CALLE), LA CUAL NO CAMBIA.

NORMALMENTE, EN UN SISTEMA DE MICROPROCESAMIENTO DE 8 BITS, SE TIENEN 16 BITS DE DIRECCIÓN (LÍNEAS) Y, DE ESE MODO PERMITE UN ACCESO A $(2^{16} - 1)$ LOCALIDADES, ES DECIR, 65536 LOCALIDADES.

LOS BITS ALMACENADOS EN UNA LOCALIDAD PARTICULAR PUEDEN SER UNA INSTRUCCIÓN, (LA CUAL HACE QUE EL MICROPROCESADOR REALICE UNA TAREA), O PUEDEN SER UN DATO (TAL VEZ UN DATO NUMÉRICO).

LA MANERA EN LA CUAL EL MICROPROCESADOR UTILIZA UN BIT EN PARTICULAR COMO UNA INSTRUCCIÓN O COMO DATO NO SE DESCRIBIRÁ AQUÍ. ES SUFICIENTE DECIR POR AHORA QUE UNA SECUENCIA DE INSTRUCCIONES SE ALMACENA EN LA MEMORIA Y PUEDE SER RECUPERADO POR EL MICROPROCESADOR.

EN EL DISEÑO TRADICIONAL DE SISTEMAS UN DIAGRAMA A BLOQUES PUEDE DIBUJARSE Y MOSTRAR CON ESTO LOS PRINCIPALES COMPONENTES DEL SISTEMA Y LA FORMA EN LA CUAL ESTÁN INTERCONECTADOS. MUY A MENUDO, AL REALIZAR UNA TAREA EN PARTICULAR, VARIAS OPERACIONES PUEDEN REALIZARSE SIMULTÁNEAMENTE (EN PARALELO).

CON LOS SISTEMAS BASADOS EN MICROPROCESADORES, EL PLANTEAMIENTO ES DIFERENTE, YA QUE ÉSTE PUEDE REALIZAR ÚNICAMENTE UNA OPERACIÓN EN UN TIEMPO, POR LO TANTO, EL PROBLEMA A RESOLVER DEBERÁ REPRESENTARSE COMO UNA SERIE DE OPERACIONES EN SECUENCIA.

A MENUDO, SIN EMBARGO, ALGUNOS PROBLEMAS SON EJECUTADOS POR SUB-SISTEMAS AUTÓNOMOS, TALES COMO: CONTROLADORES DE ENTRADAS Y SALIDA E/S, MIENTRAS QUE EL SISTEMA DE CON

TROL Y COORDINACIÓN Y LAS RESTANTES ACTIVIDADES SON REALIZADAS POR EL MICROPROCESADOR.

EL INCREMENTO EN LOS CIRCUITOS UTILIZADOS FUERA DE LOS SUB-SISTEMAS DEL MICROPROCESADOR ES RESULTADO DE LA INTER-RELACION ENTRE VARIOS FACTORES; VELOCIDAD, HARDWARE Y SOFTWARE.

EN EL DISEÑO CONVENCIONAL DE SISTEMAS, EL CIRCUITO ES - FRACCIONADO EN UN NÚMERO DE MÓDULOS SEPARABLES, LOS CUALES SON CONSTRUIDOS SOBRE CIRCUITOS IMPRESOS Y POSTERIORMENTE INTERCONECTADOS MEDIANTE UN ALAMBRADO .

DE LA MISMA MANERA, REALIZAR UN PROGRAMA PARA UN MICROPROCESADOR IMPLICA DIVIDIR EL PROBLEMA O ACTIVIDAD A REALIZAR EN UNA SERIE DE FUNCIONES PRINCIPALES, LUEGO ESCRIBIR EL PROGRAMA QUE AGRUPE EN UNA SECUENCIA Y, ADEMÁS CONTROLE ESTAS FUNCIONES INDIVIDUALES. ESTAS FUNCIONES SON LLAMADAS SUB-RUTINAS Y , EL CONTROL SUPERVISOR SE LE LLAMA RUTINA PRINCIPAL.

EN VARIOS ASPECTOS, POR LO TANTO, EL PROGRAMAR A UN MICROPROCESADOR PARA QUE REALICE UNA FUNCIÓN PARTICULAR ES MUY SIMILAR AL DISEÑO LÓGICO CONVENCIONAL. LA BÚSQUEDA DE ERRORES ES TAMBIÉN PARECIDA EN PRINCIPIO. UNA VEZ QUE LA SECCIÓN DEL PROGRAMA QUE ESTÁ FALLANDO ES IDENTIFICADA, ÉSTA ES EXAMINADA PASO POR PASO HASTA QUE LA FALLA ES DESCUBIERTA.

2.3. ORGANIZACIÓN DE UN SISTEMA MÍNIMO DE MICROPROCESADOR

TODOS LOS MICROPROCESADORES PUEDEN PRESENTARSE POR DIAGRAMAS A BLOQUES MUY SEMEJANTES ENTRE SI, AUNQUE LA ORGANIZACIÓN INTERNA Y EL DISEÑO DE ÉSTOS BLOQUES DIFIERAN CONSIDERABLEMENTE DE FABRICANTE A FABRICANTE.

LOS BLOQUES BÁSICOS SON:

- UNA MEMORIA DE SOLO LECTURA (ROM), QUE ALMACENA EL PROGRAMA DE INSTRUCCIONES.
- UNA MEMORIA DE ACCESO ALEATORIO (RAM), PARA ALMACENAR LOS RESULTADOS Y LOS DATOS VARIABLES DE LAS UNIDADES DE ENTRADA Y SALIDA.
- LOS DISPOSITIVOS DE E/S SE UTILIZAN PARA INTERCONEXIÓN ENTRE EL SISTEMA USUARIO Y EL MPU.
- LA UNIDAD MICROPROCESADORA (MPU), MANIPULA LOS DATOS EN LA MANERA INDICADA POR EL PROGRAMA DE INSTRUCCIONES.

LA INFORMACIÓN DENTRO DE UN SISTEMA DE MICROPROCESAMIENTO PUEDE DIVIDIRSE EN DOS TIPOS:

- INSTRUCCIONES
- DATOS

CONSIDEREMOS POR EJEMPLO, $4 + 6 = 10$; DONDE 4 Y 6 SON DATOS, + ES UNA INSTRUCCIÓN.

A SU VEZ : LAS INSTRUCCIONES PUEDEN DIVIDIRSE EN PARTES LLAMADAS CAMPOS :

- UN CÓDIGO DE OPERACIÓN (OP CODE)
- Y EL OPERANDO

EL Ó LOS OPERANDOS PUEDEN SER DIRECCIONES DE DATOS; A CONTINUACIÓN SE DA UNA INSTRUCCIÓN:

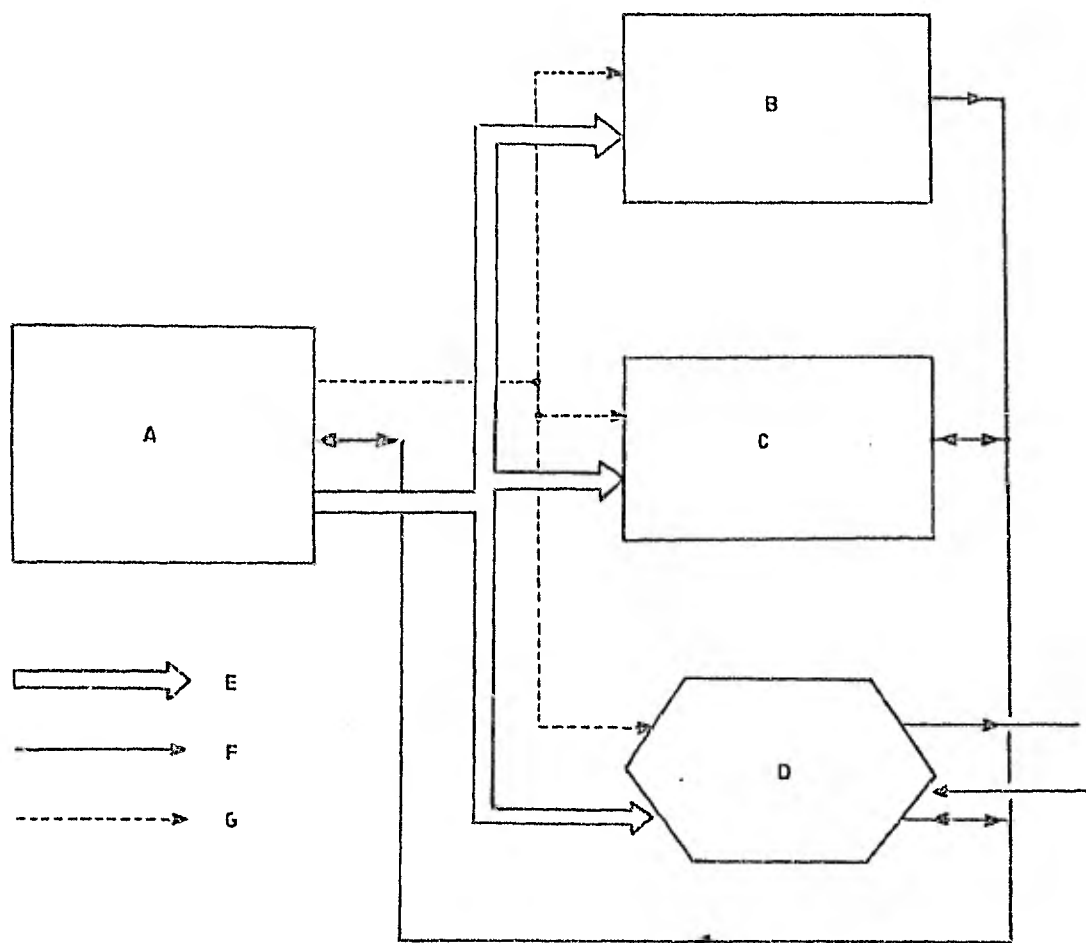
LDA	B	VARONE
(A)	(B)	(C)
(A).- CÓDIGO DE OPERACIÓN		
(B).- OPERANDO 1		
(C).- OPERANDO 2		

ESTA INSTRUCCIÓN INDICA LO SIGUIENTE:

- CARGAR EL ACUMULADOR B CON EL CONTENIDO DE LA LOCALIDAD DE MEMORIA LLAMADA VARONE.

EN UN MICROPROCESADOR DE 8 BITS, EL CÓDIGO DE OPERACIÓN OCUPA UN BYTE (8 BITS), Y LOS DATOS SON MANEJADOS EN BYTES TAMBIEN, LOS OPERANDOS, PARTICULARMENTE, LAS DIRECCIONES PUEDEN SER DE 16 BITS, EN CIERTOS CASOS SON ACCESADOS MEDIANTE EL USO DE PEQUEÑOS TRUCOS PARA REDUCIR LA PARTE DE LA DIRECCIÓN A UNA INSTRUCCIÓN DE 8 BITS.

ES FÁCIL AHORA COMPRENDER EL DIAGRAMA A BLOQUES DE UN MICROPROCESADOR BÁSICO COMO EL MOSTRADO EN LA FIGURA 3.2, EN EL CUAL, LOS BLOQUES DEL SISTEMA ESTÁN INTERCONECTADOS POR UN BUS DE DATOS DE 8 BITS (PERMITE EL FLUJO DE INSTRUCCIONES Y DATOS EN AMBAS DIRECCIONES), Y UN BUS DE DIRECCIONAMIENTO DE 16 BITS (EL CUAL PERMITE AL MPU CAPTU -



- A - UNIDAD MICROPROCESADORA
- B - ROM
- C - RAM
- D - UNIDAD DE ENTRADA / SALIDA
- E - BUS DE DIRECCIONAMIENTO (16 LINEAS)
- F - BUS DE DATOS
- G - LINEAS DE CONTROL

FIGURA 3.2. SISTEMA MINIMO DE MICROPROCESAMIENTO.

RAR LOS DATOS Ó INSTRUCCIONES REQUERIDOS).

EL MPU, BAJO CONTROL DEL PROGRAMA PUEDE RECUPERAR DATOS E INSTRUCCIONES DE LA MEMORIA, COLOCANDO LAS DIRECCIONES APROPIADAS EN EL BUS DE DIRECCIONAMIENTO Y CAPTURANDO POSTERIORMENTE LA INFORMACIÓN ALMACENADA A TRAVES DEL BUS DE DATOS. PUEDE ALMACENAR TAMBIEN INFORMACIÓN EN LA SECCIÓN RAM DE LA MEMORIA, ENVIANDO LA DIRECCIÓN Y LOS DATOS QUE VAN A SER ALMACENADOS A TRAVES DE LOS BUSES CORRESPONDIENTES.

LA MANERA EN LA CUAL LOS BLOQUES DE LA FIGURA SON DIVIDIDOS, DEPENDE DEL FABRICANTE Y DEL RANGO DE APLICACIÓN PARA EL CUAL EL MICROPROCESADOR FUÉ DISEÑADO. NO OBSTANTE, LOS SISTEMAS DE MICROPROCESAMIENTO DE PROPÓSITO GENERAL SE DIVIDEN EN LA MANERA ANTERIORMENTE MOSTRADA.

LA MEMORIA Y LAS SECCIONES DE E/S GENERALMENTE PUEDEN SER AMPLIADOS MEDIANTE LA ADICIÓN DE CIRCUITOS INTEGRADOS EXTRAS. ES IGUALMENTE POSIBLE DISEÑAR SISTEMAS CON MÁS DE UN MPU COMPARTIENDO LA MISMA MEMORIA Ó TENER UN CIERTO NÚMERO DE SISTEMAS MPU / MEMORIA AUTÓNOMOS COMUNICADOS ENTRE SI A TRAVES DE INTERFACES E/S.

EFFECTIVAMENTE, ÉSTE ES EL TIPO DE VERSATILIDAD QUE INCREMENTA GRANDEMENTE LA UTILIDAD DE LOS SISTEMAS DE MICROPROCESAMIENTO.

3.1.4. PROGRAMACIÓN

LA FLEXIBILIDAD Y BAJO COSTO SON LOS PRINCIPALES ATRIBUTOS DE LOS MICROPROCESADORES. DADA SU NATURALEZA DE SER UN DISPOSITIVO DE " PROPÓSITOS GENERALES ", SE LOGRAN BAJOS COSTOS, LO CUAL PERMITE QUE SU PRODUCCIÓN EN GRAN ESCALA SEA UNA PROPOSICIÓN PRÁCTICA.

LA FLEXIBILIDAD SE HIZO POSIBLE EN VIRTUD DE LA HABILIDAD DEL MICROPROCESADOR PARA OPERAR DE ACUERDO A UN CONJUNTO DE INSTRUCCIONES, LAS CUALES SON DEFINIDAS EN UNA SECUENCIA INDICADA POR EL PROGRAMADOR DEL SISTEMA.

SIN ÉSTA SECUENCIA DE INSTRUCCIONES, EL MICROPROCESADOR NO REALIZARÁ NINGUNA ACTIVIDAD; ES ESENCIAL, POR LO TANTO, PARA TODAS LAS PERSONAS QUE ESTÉN RELACIONADAS CON EL DESARROLLO Y APLICACIÓN DE LOS SISTEMAS DE MICROPROCESAMIENTO APRENDER A " INSTRUIR " Ó PROGRAMAR A UN MICROPROCESADOR. EN ÉSTA PARTE SE DARÁ ÚNICAMENTE UNA BREVE INTRODUCCIÓN SOBRE PROGRAMACIÓN DE MICROPROCESADORES.

COMO SE INDICÓ EN UN PRINCIPIO, LAS INSTRUCCIONES DEL MICROPROCESADOR NORMALMENTE SON ALMACENADAS EN UNA MEMORIA DE SOLO LECTURA (ROM), LA CUAL SE ENCUENTRA CONECTADA AL MICROPROCESADOR.

LAS INSTRUCCIONES SE INTRODUCEN AL MICROPROCESADOR PARA QUE SEAN DECODIFICADAS Y EJECUTADAS. EL PROGRAMA ES UNA SECUENCIA DE INSTRUCCIONES QUE INDICAN AL MICROPROCESADOR PASO POR PASO LAS OPERACIONES QUE DEBE LLEVAR A CABO, CUANDO TODAS LAS INSTRUCCIONES SEAN REALIZADAS SE TENDRÁ UN RESULTADO FINAL.

UN CONJUNTO DE INSTRUCCIONES QUE SE UTILIZAN PARA REALIZAR UNA SECCIÓN O PARTE DEL PROGRAMA PRINCIPAL ES A MENUDO - LLAMADA "RUTINA" (ALGUNAS VECES, CUANDO LA "RUTINA" ES MEDIANAMENTE GRANDE, ES REFERENCIADA COMO UN SUBPROGRAMA).

EL TÉRMINO GENERAL, USADO PARA HACER REFERENCIA A TODAS LAS INSTRUCCIONES, RUTINAS Y PROGRAMAS ES LO QUE SE LLAMA - SOFTWARE. ESTO ES DEBIDO A LO FÁCIL QUE ES CAMBIAR TODO LO QUE ES "SOFTWARE". EN CONTRASTE, "HARDWARE", ES EL TÉRMINO UTILIZADO PARA LOS COMPONENTES FÍSICOS, CIRCUITOS LÓGICOS - Y/O EQUIPO DE COMPUTACIÓN. LOS PROGRAMAS ALMACENADOS EN LA MEMORIA DE SOLO LECTURA (ROM) SE LES LLAMA FRECUENTEMENTE - FIRMWARE PARA INDICAR QUE ESTÁN SITUADAS ENTRE EL HARDWARE Y EL SOFTWARE.

HABIENDO DEFINIDO EL LENGUAJE DE ÉSTA TÉCNICA,, PODRÁ PARECER QUE EL INICIAR EL PROGRAMA DEL SISTEMA SERÁ SIMPLE - MENTE EL REFERIRSE A LA LISTA DE INSTRUCCIONES DISPONIBLES - PARA EL MICROPROCESADOR EN USO, Y DE HACER CON LAS INSTRUCCIONES NECESARIAS UN ARREGLO EN UNA SECUENCIA LÓGICA. EN LA PRÁCTICA HAY CAMINOS CORTOS O "ATAJOS" QUE SIRVEN PARA AHORRAR TIEMPO EN EL USO DE LOS DIFERENTES COMPONENTES DEL MICROPROCESADOR. ALGUNOS DE ÉSTOS SE VERÁN AQUÍ, JUNTO CON ALGUNOS PUNTOS DIGNOS DE CONSIDERAR AL REFERIRNOS AL MICROPROCESADOR UTILIZADO.

CADA MICROPROCESADOR TIENE UN CONJUNTO DE INSTRUCCIONES ÚNICO, EL CUAL, ES ENTENDIDO Y EJECUTADO. EL TAMAÑO DEL CONJUNTO DE INSTRUCCIONES (EL NÚMERO DE INSTRUCCIONES DISPONIBLE) ES, A MENUDO USADO PARA COMPARAR LOS PRODUCTOS DE LOS DIFERENTES FABRICANTES. ESTO SIGNIFICA QUE MIENTRAS MAYOR ES EL NÚMERO DE INSTRUCCIONES, EL DISPOSITIVO ES MÁS VERSÁTIL. ESTO

NO ES NECESARIAMENTE CIERTO EN MUCHOS CASOS, LA MISMA INSTRUCCIÓN PUEDE REALIZARSE DE VARIAS MANERAS (CON MÉTODOS DIFERENTES DE DIRECCIONAMIENTO DE MEMORIA, EN PARTICULAR), LO CUÁL HARÁ QUE LAS COMPARACIONES NUMÉRICAS SEAN INCIERTAS.

CADA INSTRUCCIÓN SE REPRESENTA EN EL MPU COMO UNA COMBINACIÓN DE " 1's " Y " 0's ", ÉSTA COMBINACIÓN PUEDE RECONOCERSE COMO UNA FUNCIÓN PARTICULAR Ó BIEN COMO UNA OPERACIÓN. PUEDE DEDUCIRSE, POR LO TANTO, QUE UN MICROPROCESADOR DE 8 BITS CON UN CÓDIGO DE INSTRUCCIÓN DE 8 BITS TIENE UN REPERTORIO DE 2^8 INSTRUCCIONES POSIBLES, AÚN CUANDO NO TODAS LAS POSIBLES COMBINACIONES DE BITS PUEDEN UTILIZARSE.

LOS CONJUNTOS DE INSTRUCCIONES SON CITADOS NORMALMENTE COMO EL NÚMERO DE INSTRUCCIONES EJECUTABLES DEL PROGRAMA FUENTE, CADA UNA DE LAS CUÁLES PUEDE "ENSAMBLARSE" EN CÓDIGO DE MÁQUINA.

UN PROGRAMA FUENTE ES UN PROGRAMA ESCRITO EN UN LENGUAJE DE PROGRAMACIÓN QUE NO PUEDE SER DIRECTAMENTE ENTENDIDO POR LA UNIDAD PROCESADORA, PERO QUE ES FÁCILMENTE INTTELIGIBLE AL PROGRAMADOR.

EL PROGRAMA OBJETO ES UN CONJUNTO DE INSTRUCCIONES ESCRITAS EN LENGUAJE QUE ES COMPENSIBLE AL MPU.

A LA ACCIÓN DE TRASLADAR EL PROGRAMA FUENTE A UN PROGRAMA OBJETO SE LE DENOMINA " ENSAMBLAR ".

COMO EJEMPLO TENEMOS : EL MICROPROCESADOR DE MOTOROLA MC 6800, TIENE 72 INSTRUCCIONES, LAS CUALES FORMAN 197 CÓDIGOS DE MÁQUINA VÁLIDOS, POR LO TANTO, 59 DE LOS 256 POSIBLES CÓDIGOS NO SON UTILIZADOS.

LA LONGITUD DE LA PALABRA DEL MICROPROCESADOR ESTÁ TAMBIEN RELACIONADA CON LA POTENCIA Ó HABILIDAD PARA OPERAR - LOS DATOS EFICIENTEMENTE. EL MANEJO DE DATOS DE 16 BITS -- PUEDE REALIZARSE EN INSTRUCCIONES SENCILLAS CON UN MICRO -- PROCESADOR DE 16 BITS, MIENTRAS QUE UN MICROPROCESADOR DE - 8 BITS PODRÍA NECESITAR TRES INSTRUCCIONES PARA EL MANEJO - DE DATOS DE 16 BITS.

TIENE TAMBIEN, UN ASPECTO SIGNIFICATIVO EN LA POTENCIA DEL MPU, LA VELOCIDAD CON LA CUAL SE REALIZAN LAS INSTRUC - CIONES. EN APLICACIONES DE TIEMPO CRÍTICO, NO ÚNICAMENTE LA SECUENCIA DE INSTRUCCIONES NECESITA SER CUIDADOSAMENTE ES - CRITA PARA MÁXIMA EFICIENCIA, SINO QUE TAMBIEN EL TIEMPO -- NECESARIO PARA LA RUTINA EN SU TOTALIDAD DEBE SER CALCULADO PARA ASEGURAR QUE LA SOLUCIÓN AL PROBLEMA ES ACEPTABLE.

ESTAS DOS CONSIDERACIONES SON POR SUPUESTO ANALOGÍAS - EQUIVALENTES PARA LOS PROBLEMAS DE DISEÑO LÓGICO, TOMANDO EN CUENTA QUE LO QUE SE BUSCA ES ENCONTRAR LA COMBINACIÓN ÓP - TIMA DE COMPUERTAS Y COMPONENTES Y ASÍ CUMPLIR CON LAS ES - PECIFICACIONES NECESARIAS DE TIEMPO.

3.2.5. EL PROCESO DE LA PROGRAMACIÓN

ANTES QUE LA ESTRUCTURA Y TIEMPO DEL PROGRAMA PUEDA -- SER OPTIMIZADO , DEBE ESCRIBIRSE EL PROGRAMA, Y ÉSTO, PUEDE REQUERIR VARIAS ETAPAS PREPARATORIAS. LO PRIMERO QUE DEBERÁ HACERSE, SERÁ LA DEFINICIÓN CORRECTA DEL PROBLEMA QUE DESEA SOLUCIONARSE.

COMPRENDER ES CONSIDERABLEMENTE MÁS FÁCIL PARA UN INGE - NIERO QUE PARA UN PROGRAMADOR QUE NO TIENE EXPERIENCIA EN EL HARDWARE, ÉSTO ES DEBIDO A QUE EL INGENIERO ENTIENDE EL PRO-

BLEMA Y ES CAPAZ DE DEFINIR LOS REQUERIMIENTOS PARA LA ELABORACIÓN DEL PROGRAMA.

ESTA DEFINICIÓN INCLUIRÁ DESCRIPCIONES DE LOS PARÁMETROS DE ENTRADA QUE VAN A SER PROCESADOS, EL PROCESAMIENTO REQUERIDO Y LOS DETALLES DE SALIDA. LA DEFINICIÓN DEL PROGRAMA PUEDE REALIZARSE MEDIANTE EL USO DE TABLAS DE DECISIÓN.

TABLA DE DECISION

LA TABLA DE DECISIÓN ES UN MÉTODO DE PRESENTAR LA RELACIÓN ENTRE LAS CONDICIONES VARIABLES AL ESPECIFICAR LA ACCIÓN REQUERIDA EN DIFERENTES CIRCUNSTANCIAS. LA TABLA ESTÁ BASADA EN CONDICIÓN/PREGUNTA Y, PRESENTACIÓN DE RESPUESTA.

EN UN PROGRAMA PUEDE REQUERIRSE REPETIR UNA SECUENCIA DE INSTRUCCIONES HASTA QUE SE ALCANCE UN CIERTO VALOR PREFIJADO Ó HASTA QUE SE CUMPLA UNA CONDICIÓN.

SI NINGÚN ESTADO HA OCURRIDO, LA SECUENCIA CONTINUA REPITIÉNDOSE HASTA QUE EL PASO O ACTIVIDAD ES COMPLETADO, EN CUYO CASO SALDRÁ DEL PROCESO REPETITIVO.

HABIENDO SEÑALADO LOS REQUERIMIENTOS, LA ESTRATEGÍA PODRÁ FORMULARSE. PUEDE SER QUE EL PROBLEMA SEA TAN COMPLEJO QUE TAL VEZ SEA MEJOR CONSIDERARLO EN PEQUEÑAS SECCIONES SEPARADAS PARA SER POSTERIORMENTE DEFINIDAS Y LUEGO ESCRITAS INDIVIDUALMENTE Y, SER RESUELTAS POR DIFERENTES PERSONAS.

ALTERNATIVAMENTE, EL PROGRAMA PUEDE SER ESCRITO COMO UN PROCEDIMIENTO, SI LO ES SUFICIENTEMENTE CORRECTO, EL PASO SIGUIENTE EN PROGRAMACIÓN, QUE ES, EL DIAGRAMA DE FLUJO DEL PROBLEMA, PUEDE CONSIDERARSE INNECESARIO. ES MUY IMPORTANTE PARA EL PROGRAMADOR, ENTENDER LO QUE OCURRE EN LA UNIDAD CENTRAL DE PROCESO Y EL CAMINO QUE LOS DATOS Y LA INFORMACIÓN SIGUEN DESDE LOS ELEMENTOS DEL SISTEMA DE MEMORIA A LOS BUSES UNA VEZ QUE SE EJECUTA CADA PASO DEL PROGRAMA. ESTE CONOCIMIENTO HACE MÁS FÁCIL IDENTIFICAR EL VALOR Y VENTAJA DE LOS VARIOS TIPOS DE INSTRUCCIONES. EL PRIMER REQUISITO PARA LOGRARLO ES FAMILIARIZARSE CON EL "MODELO DE PROGRAMACIÓN" (LOS REGISTROS DIRECTAMENTE IMPLICADOS EN LA EJECUCIÓN DEL PROGRAMA), DEL MICROPROCESADOR EN CUESTIÓN,

EN SEGUIDA VEREMOS QUE UNA INSTRUCCIÓN ES TOMADA PARA INDICAR QUE LA EXPRESIÓN COMPLETA EN EL PROGRAMA FUENTE DEFINE LA ACCIÓN REQUERIDA Y EL DATO, Ó LA DIRECCIÓN DEL DATO, CON LA CUAL LA ACCIÓN VA A SER REALIZADA.

VEREMOS EN ESTA PARTE AQUELLAS SECCIONES DEL MPU QUE SON INACCESIBLES AL PROGRAMADOR, LAS CUALES, SIN EMBARGO, SON DE VITAL IMPORTANCIA PARA LA EJECUCIÓN DEL PROGRAMA, ÉSTAS SECCIONES SON EL REGISTRO DE DIRECCIÓN Y LA DE DECODIFICACIÓN DE INSTRUCCIONES,

RESUMIENDO, DIREMOS, QUE LA SECUENCIA DEL PROGRAMA ESTA GOBERNADA POR EL CONTENIDO DEL CONTADOR DEL PROGRAMA (PROGRAM COUNTER PC). EN EJECUCIÓN NORMAL DEL PROGRAMA, EL PC CONTIENE LA DIRECCIÓN DE LA SIGUIENTE INSTRUCCIÓN QUE SERÁ TOMADA DE LA MEMORIA, POSTERIORMENTE, EL PC ES INCREMENTADO AUTOMÁTICAMENTE POR EL CONTROL INTERNO DEL MPU, UNA VEZ QUE LA INSTRUCCIÓN HA SIDO REALIZADA,

EN OTRAS PALABRAS, SI LA INSTRUCCIÓN JUNTO CON SU DATO ESTUVIERAN ALMACENADOS EN UNA LOCALIDAD DE MEMORIA, EL (PC) SE INCREMENTARÍA A (PC+1), DONDE (PC) INDICA EL CONTENIDO DEL PC. DESPUÉS DE QUE LA INSTRUCCIÓN HA SIDO TOMADA, EL PC ESTARÁ LISTO PARA DIRECCIONAR LA SIGUIENTE INSTRUCCIÓN DE LA SECUENCIA, SIN EMBARGO, EN LA MAYORÍA DE LOS CASOS, LAS INSTRUCCIONES ESTÁN CONTENIDAS EN MÁS DE UNA LOCALIDAD, LO QUE SIGNIFICA QUE EN CADA TIEMPO DE RELOJ UN BYTE ES CAPTURADO DESDE LA MEMORIA, LO CUAL HARÁ QUE EL PC SEA INCREMENTADO EN 1.

SUPONGAMOS, QUE UNA INSTRUCCIÓN CONSISTE DE TRES BYTES UNO CONTIENE EL CÓDIGO DE OPERACIÓN, EL CUAL ES DECODIFICADO PARA DETERMINAR EL TIPO DE OPERACIÓN QUE VA A SER REALIZADO; LOS DOS BYTES RESTANTES CONTIENEN LA DIRECCIÓN DE LA LOCALIDAD DE MEMORIA DE LOS DATOS SOBRE LOS CUALES SE OPERARÁ. LA EJECUCIÓN COMPLETA DE ÉSTA INSTRUCCIÓN SE REALIZA EN TRES DISTINTOS CICLOS DE RELOJ.

LA SECUENCIA DE OPERACIÓN OCURRE COMO A CONTINUACIÓN SE INDICA.

CODIGO DE OPERACION

PRIMERO, EL MPU COLOCA EN EL BUS DE DIRECCIÓN EL CONTENIDO DEL PC, LA MEMORIA RESPONDE ENVIANDO EL PRIMER BYTE DE LA INSTRUCCIÓN DESDE LA LOCALIDAD DE LA MEMORIA DIRECCIONADA POR EL PC AL DECODIFICADOR DE INSTRUCCIONES. INHERENTE MENTE EL CÓDIGO DE OPERACIÓN INFORMARÁ AL MPU QUE DOS BY -

TES DE DIRECCIÓN SON AHORA REQUERIDOS, ASÍ QUE EL MPU INCREMENTARÁ AL PC EN UNO Y SE PREPARA A CARGAR EL REGISTRO DE DIRECCIONES.

SEGUNDO, ORDENADO POR EL NUEVO CONTENIDO DEL PC, EL MPU ENVÍA EL BYTE MÁS SIGNIFICATIVO AL REGISTRO DE DIRECCIONES E INCREMENTA OTRA VEZ AL PC.

FINALMENTE, EL BYTE MENOS SIGNIFICATIVO DE LA DIRECCIÓN ES ENVIADO AL REGISTRO DE DIRECCIÓN COMPLETANDO LOS 16 BITS DE DIRECCIÓN DEL DATO, LOS CUALES SON PUESTOS EN EL BUS DE DIRECCIÓN. EN ÉSTE MOMENTO TENIENDO YA LOCALIZADAS LAS LOCALIDADES DE MEMORIA CON LAS DIRECCIONES DE LOS DATOS REQUERIDOS, EL BUS DE DATOS ENVÍA LOS DATOS AL MPU DONDE SERÁN CARGADOS EN LOS REGISTROS ESPECÍFICADOS POR LA INSTRUCCIÓN DEL CÓDIGO DE OPERACIÓN, SUBSECUENTEMENTE EL PC ES INCREMENTADO OTRA VEZ EN UNO Y, LA INSTRUCCIÓN PUEDE SER AHORA COMPLETADA OBEDECIENDO EL CÓDIGO DE OPERACIÓN CONTENIDO EN EL DECODIFICADOR DE INSTRUCCIONES.

3.2.6. LENGUAJES

EL LENGUAJE ES UN CONJUNTO DE REGLAS, EXPRESIONES Y PROCEDIMIENTOS QUE FACILITAN LA COMUNICACIÓN ENTRE DOS PERSONAS O MÁS, U OBJETOS. UN LENGUAJE DE COMPUTADORA ES AQUEL QUE EL PROGRAMADOR Y EL COMPUTADOR PUEDEN COMPRENDER Y USAR. ESTE LENGUAJE ESTÁ CONSTITUIDO POR FORMATOS Y PROCEDIMIENTOS ESPECÍFICOS PARA LA ESCRITURA DE LOS PROGRAMAS DE APLICACIÓN HAN SIDO DESARROLLADOS VARIOS TIPOS DE LENGUAJES, LOS MÁS AMPLIAMENTE USADOS SON:

LENGUAJE DE MÁQUINA.

SE REFIERE A LOS NÚMEROS BINARIOS Y CÓDIGOS USADOS POR EL COMPUTADOR EN LA EJECUCIÓN DE PROGRAMAS. UN PROGRAMA EN LENGUAJE DE MÁQUINA ES SIMPLEMENTE LAS INSTRUCCIONES BINARIAS DADAS EN UNA SECUENCIA ADECUADA PARA LLEVAR A CABO UNA OPERACIÓN DADA.

LA PROGRAMACIÓN EN LENGUAJE DE MÁQUINA ESTA SUJETA A ERRORES Y CONSUME MUCHO TIEMPO POR LA DIFICULTAD EN LA COMUNICACIÓN CON EL COMPUTADOR VÍA NÚMEROS BINARIOS.

PARA SIMPLIFICAR LA PROGRAMACIÓN EN LENGUAJE DE MÁQUINA SE USA LA NOTACIÓN HEXADECIMAL U OCTAL EN LUGAR DE CÓDIGO BINARIO.

LA PROGRAMACIÓN EN LENGUAJE DE MÁQUINA ES EMPLEADA NORMALMENTE CUANDO SE ESCRIBEN PROGRAMAS CORTOS. EN PROGRAMAS CON 100 INSTRUCCIONES O MENOS ES LA MÁS EFICIENTE, SIN EMBARGO, CUANDO SE ESCRIBEN PROGRAMAS MAYORES O MÁS SOFISTICADOS, ESTO SE VUELVE FASTIDIOSO Y PESADO. PARA EVITAR TALES PROBLEMAS, LOS DISEÑADORES DE SOFTWARE DESARROLLARON UN NUEVO LENGUAJE DE PROGRAMACIÓN CONOCIDO COMO ENSAMBLADOR, QUE RESIDE EN LA MEMORIA Y ES USADO PARA AUXILIAR AL PROGRAMADOR EN LA ESCRITURA DE PROGRAMAS LARGOS Y COMPLEJOS.

LENGUAJE ENSAMBLADOR

ES UN CONJUNTO DE REGLAS, FORMATOS, VOCABULARIOS Y PROCEDIMIENTOS USADOS EN LA ESCRITURA DE PROGRAMAS. UNA VEZ QUE EL PROGRAMA HA SIDO ESCRITO EN ESTE LENGUAJE ES ALIMEN-

TADO AL COMPUTADOR CUYA MEMORIA CONTIENE UN PROGRAMA DE SISTEMAS LLAMADO ENSAMBLADOR. SU PROPÓSITO ES CONVERTIR UN PROGRAMA EN LENGUAJE ENSAMBLADOR A UN PROGRAMA EN CÓDIGO DE MÁQUINA QUE PUEDE SER EJECUTADO POR EL COMPUTADOR.

CUANDO SE ESCRIBEN PROGRAMAS USANDO LENGUAJE ENSAMBLADOR, EL PROGRAMADOR TRABAJA CON LAS INSTRUCCIONES INDIVIDUALES DEL COMPUTADOR COMO SE HIZO EN LA PROGRAMACIÓN EN LENGUAJE DE MÁQUINA. PERO, EN LUGAR DE TRABAJAR CON NÚMEROS BINARIOS O SUS EQUIVALENTES OCTALES O HEXADECIMALES TRABAJA CON UNA VERSIÓN MNEMONICA DE CADA INSTRUCCIÓN.

UN MNEMONICO ES UN TIPO DE ABREVIACIÓN QUE FACILITA RECORDAR LAS OPERACIONES LLEVADAS A CABO POR CADA INSTRUCCIÓN.

PROPUESTA DE SOLUCIÓN AL PROBLEMA DE SINCRONÍA MEDIANTE EL USO DE UN SISTEMA MÍNIMO DE MICROPROCESADOR

UTILIZAREMOS EL MICROPROCESADOR PARA QUE REALICE LAS FUNCIONES DE LA UNIDAD DE SINCRONÍA. ESTO ES, EL FLUJO DE INFORMACIÓN SERÁ INTRODUCIDO AL SISTEMA MÍNIMO DE MICROPROCESADOR, EL CUAL DE ANTEMANO SERÁ PROGRAMADO PARA QUE DETECTE EL CÓDIGO DE SINCRONÍA. ESTE CÓDIGO DE SINCRONÍA VIENE EN LOS 7º'S Y 8º'S BITS DE CADA PALABRA DE INFORMACIÓN.

EL SM MP CADA VEZ QUE DETECTE EL CÓDIGO (16 BITS DE CÓDIGO, 2 BITS POR CADA PALABRA Y SON 8 PALABRAS) DE SINCRONÍA EMITIRÁ UN PULSO QUE HABILITARÁ A LA UNIDAD RECEPTORA. PARA ESTO, SEGUIREMOS EL PROCESO DE PROGRAMACIÓN.

1.- DEFINICION DEL PROBLEMA

DIFICULTAD PARA SINCRONIZAR LA UNIDAD RECEPTORA CON LA UNIDAD TRANSMISORA, ESTO ORIGINA PÉRDIDA DE INFORMACIÓN.

2.- DESARROLLO DE UNA SOLUCION

CARGAR EN LOCALIDADES DEFINIDAS DE LA MEMORIA LOS BITS QUE FORMAN EL CÓDIGO DE SINCRONÍA.

- ACCESAR PARTE DEL FLUJO DE INFORMACIÓN (MODULACIÓN POR CÓDIGO DE PULSO)
- IDENTIFICAR LOS 7º'S Y 8º'S BITS DEL FLUJO DE INFORMACIÓN RECIBIDA.
- REALIZAR COMPARACIÓN ENTRE LOS 7º'S Y 8º'S BITS DE LA INFORMACIÓN CON LOS BITS DEL CÓDIGO DE SINCRONÍA.

- SI LOS BITS COMPARADOS NO SON IGUALES, DESPLAZARSE UN BIT HACIA ATRAS (TOMAR EL SIGUIENTE BIT) VOLVER A EFECTUAR LA OPERACIÓN COMPARATIVA.
- SI LOS BITS COMPARADOS (7^o's Y 8^o's BITS CON LOS BITS DE CÓDIGO) SON IGUALES (EXISTE SINCRONÍA), EMITIR PULSO DE HABILITACIÓN A LA UNIDAD RECEPTORA.
- ÉSTA ACTIVIDAD LA REALIZARÁ DE MANERA REPETITIVA (IDENTIFICACIÓN Y COMPARACIÓN DE LOS BITS EN CUESTION).

A CONTINUACIÓN, SE MUESTRA EL DIAGRAMA DE FLUJO PARA LA SOLUCIÓN DEL PROBLEMA.

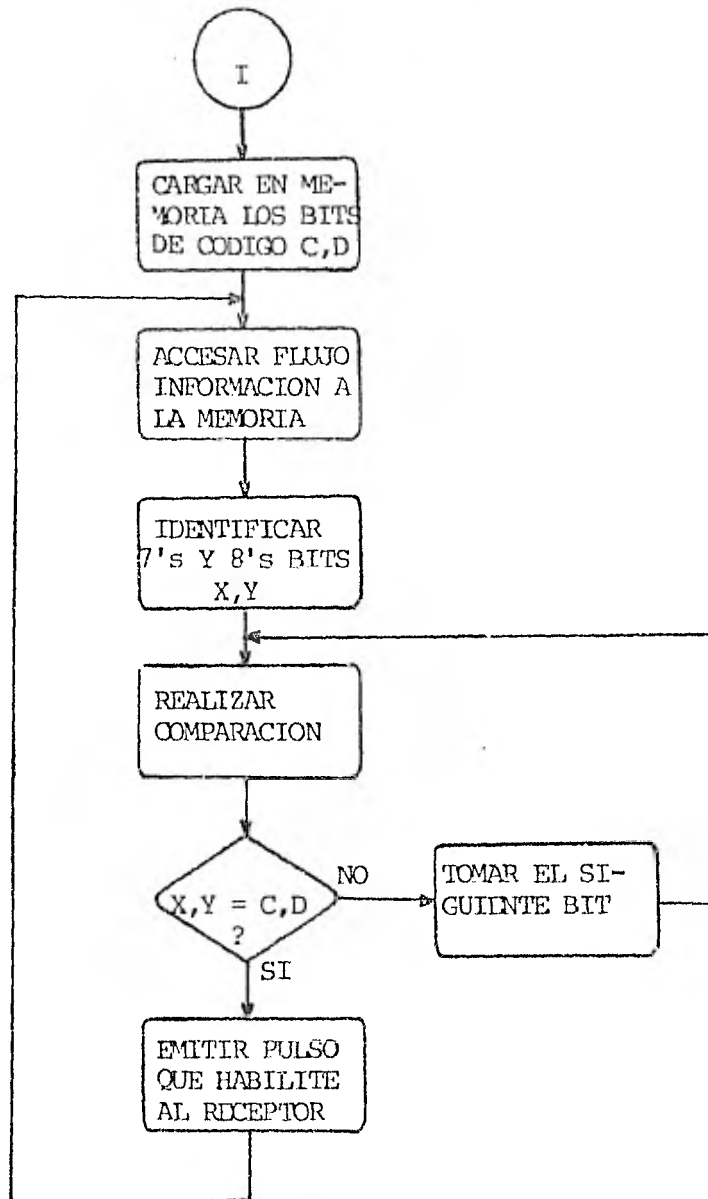


FIGURA 3.2. DIAGRAMA DE FLUJO MEDIANTE EL CUAL EL SISTEMA MÍNIMO DE MICROPROCESAMIENTO REALIZA LAS FUNCIONES DE LA UNIDAD DE SINCRONIA.

CAPITULO 4

DISEÑO DEL SISTEMA SELECCIONADO

EN EL CAPÍTULO ANTERIOR SE ANALIZARON ALGUNAS DE LAS SOLUCIONES QUE SE HAN PROPUESTO PARA REALIZAR LOS DIFERENTES PASOS A SEGUIR EN LA SINCRONIZACION DE LAS UNIDADES DE TRANSMISIÓN Y RECEPCIÓN DEL SISTEMA P.C.M., ASÍ COMO TAMBIÉN LAS FUNCIONES QUE DEBERÁ REALIZAR LA UNIDAD DE SINCRONIA, Y EL FORMATO DE LA INFORMACIÓN TRANSMITIDA.

SE VIÓ TAMBIÉN QUE LA UNIDAD DE SINCRONÍA EN CUALQUIERA DE LAS SOLUCIONES PROPUESTAS CONSTA BASICAMENTE DE DOS PARTES, LAS MISMAS EN LAS QUE SERÁ DIVIDIDO EL DISEÑO DE LA UNIDAD DE SINCRONIA:

I.- CIRCUITO DE SINCRONIA DE BIT O REGENERADOR DE RELOJ.

II.- CIRCUITO DE SINCRONÍA DE GRUPO.

4.1 CIRCUITO DE SINCRONIA DE BIT O REGENERADOR DE RELOJ

EN EL DISEÑO DEL CIRCUITO QUE DETECTA LA SINCRONÍA DE BIT Y QUE PROPORCIONA LA SEÑAL DE RELOJ QUE SERÁ LA BASE PARA TODAS LAS DEMÁS FUNCIONES DEBEN TOMARSE EN CONSIDERACIÓN LAS SIGUIENTES CONDICIONES:

A).- LA SEÑAL QUE SE MANEJA EN EL SISTEMA P.C.M.

EL TIPO DE SEÑAL QUE SE MANEJA EN ESTE SISTEMA -- ES LA DENOMINADA NRZ (NON RETURN TO ZERO) LA CUAL ES UNA SEÑAL DIGITAL EN LA QUE LOS PULSOS DE CADA BIT PERMANECEN EN CUALQUIERA DE SUS DOS NIVELES - DE ESTADO, 0 O 1, UN CICLO DE RELOJ COMPLETO. DEBIDO A QUE EN ESTE TIPO DE SEÑAL, CUANDO SE TIENEN PERIODOS LARGOS DE 1'S O 0'S NO HAY TRANSICIONES DE LA SEÑAL DE ENTRADA, EL CIRCUITO DEBERÁ SER CAPAZ DE MANTENER LA SEÑAL DE RELOJ, ESTABLE DURANTE ESTOS PERIODOS.

B).- VARIACIONES EN FRECUENCIA DEL RELOJ MAESTRO DEL TRANSMISOR.

COMO YA SE HIZÓ NOTAR ANTERIORMENTE, PARA QUE LA RECUPERACIÓN DE LA INFORMACIÓN SEA SATISFACTORIA ES ESENCIAL QUE LA FRECUENCIA DEL RELOJ DEL RECEPTOR SEA IGUAL A LA DEL TRANSMISOR; YA QUE EN EL TRANSMISOR EL RELOJ MAESTRO PUEDE TENER VARIACIONES EN FRECUENCIA, EL CIRCUITO REGENERADOR DEL RELOJ DEL RECEPTOR DEBERÁ SER CAPAZ DE SEGUIR ESTAS VARIACIONES PARA QUE LAS FRECUENCIAS DE AMBOS RELOJES SEAN IGUALES EN TODO MOMENTO.

DE LOS SISTEMAS ANALIZADOS EN EL CAPÍTULO ANTERIOR PARA EL CIRCUITO REGENERADOR SE SELECCIONÓ EL DE MALLA CERRADA EN FASE (PLL) DEBIDO A QUE ESTE ES UN SISTEMA RETROALIMENTADO QUE PUEDE CONTROLAR SU SALIDA PARA COMPENSAR LAS VARIACIONES QUE SE PRESENTAN EN LA SEÑAL DE ENTRADA, LO CUAL SE PRESTA - BASTANTE BIÉN PARA EL SEGUIMIENTO EN FRECUENCIA DE LA SEÑAL

DE ENTRADA, NECESARIO EN UN SISTEMA REGENERADOR DE RELOJ; ADEMÁS DE QUE LOS ELEMENTOS NECESARIOS PARA LA IMPLEMENTACIÓN DEL CIRCUITO SE HAYAN REALIZADOS YA COMO CIRCUITOS INTEGRADOS; LO QUE SIMPLIFICA EN GRAN MEDIDA EL ALAMBRADO DEL CIRCUITO.

4.1.1 TEORIA DE OPERACIÓN DE LOS CIRCUITOS PLL

A CONTINUACIÓN SE DARÁN LOS PRINCIPIOS DE OPERACIÓN DEL SISTEMA PLL, QUE NOS SERVIRÁN POSTERIORMENTE PARA EXPLICAR EL FUNCIONAMIENTO DEL CIRCUITO REGENERADOR DE RELOJ.

EL SISTEMA PLL COMO YA SE MENCIONÓ ANTERIORMENTE, ES UN SISTEMA RETROALIMENTADO QUE ESTA COMPUESTO DE UN COMPARADOR DE FASE, UN FILTRO PASO BAJAS Y UN AMPLIFICADOR DE ERROR EN LA TRAYECTORIA DE SALIDA, Y UN OSCILADOR CONTROLADO POR VOLTAJE EN LA MALLA DE RETROALIMENTACIÓN. EL DIAGRAMA DE BLOQUES DE UN SISTEMA PLL BASICO APARECE EN LA FIGURA 4.1

EL SISTEMA PLL TRABAJA PRODUCIENDO UNA SEÑAL CUYA FRECUENCIA IGUALE A LA FRECUENCIA DE UNA SEÑAL DE ENTRADA F_I , CUALQUIER CAMBIO LEVE EN LA FRECUENCIA DE ENTRADA APARECE PRIMERO COMO UN CAMBIO DE FASE ENTRE F_I Y LA SEÑAL DEL OSCILADOR, Y ESTE CORRIMIENTO EN FASE ACTUA COMO LA SEÑAL DE ERROR PARA COMPENSAR LA FRECUENCIA DEL OSCILADOR LOCAL DE MANERA QUE IGUALE A LA SEÑAL DE ENTRADA.

CUANDO NO SE APLICA NINGUNA SEÑAL DE ENTRADA, EL VOLTAJE $V_D(t)$ QUE CONTROLA AL OSCILADOR ES IGUAL A CERO Y EL OSCILADOR TRABAJA A UNA FRECUENCIA FIJA F'_0 CONOCIDA COMO FRECUENCIA DE FUNCIONAMIENTO LIBRE. AL MOMENTO DE APLICAR LA

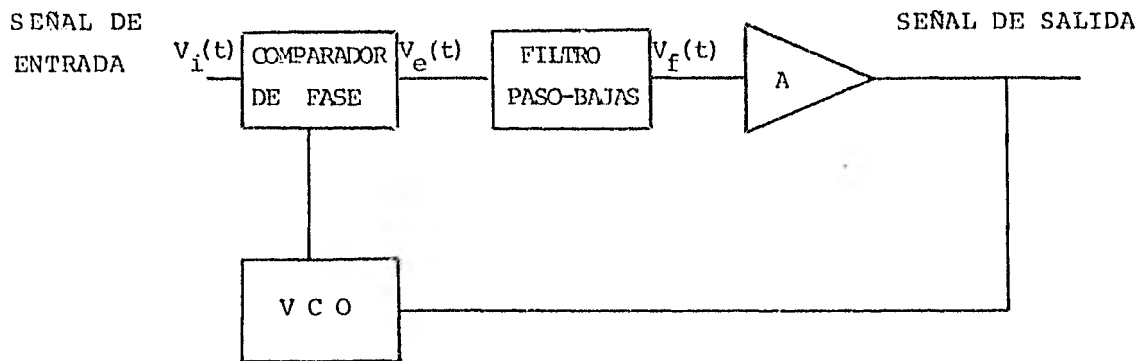


FIGURA 4.1. DIAGRAMA A BLOQUES DE UN SISTEMA PLL.

SEÑAL DE ENTRADA, EN EL COMPARADOR DE FASE SE EFECTUA LA COMPARACIÓN DE LA FASE Y LA FRECUENCIA DE LA ENTRADA CON LA FRECUENCIA PRODUCIDA EN EL OSCILADOR CONTROLADO POR VOLTAJE (VCO) Y SE GENERA UN VOLTAJE DE ERROR $V_E(t)$ QUE ES FUNCIÓN DE LA DIFERENCIA DE FASE Y FRECUENCIA DE LAS DOS SEÑALES, EL CUAL ES FILTRADO Y AMPLIFICADO Y SE APLICA A LA TERMINAL DE CONTROL DEL VCO FORZANDO A QUE LA FRECUENCIA DE ESTE VARIE DE MANERA QUE LA DIFERENCIA DE FRECUENCIAS SE REDUZCA, SI LA FRECUENCIA DE LA SEÑAL DE ENTRADA ES SUFICIENTEMENTE CERCANA A LA DEL OSCILADOR LOCAL, ESTE SE SINCRONIZA CON LA SEÑAL DE ENTRADA. DEBIDO A LA CARACTERISTICA DE RETROALIMENTACIÓN DEL SISTEMA PLL UNA VEZ QUE ESTE SE HALLA EN SINCRONÍA, LA FRECUENCIA DEL VCO ES IDENTICA A LA DE LA SEÑAL DE ENTRADA, EXCEPTO POR UNA PEQUEÑA DIFERENCIA DE FASE. ÉSTA DIFERENCIA NETA DE FASE ES θ_E DONDE:

$$\theta_E = \theta_O - \theta_I$$

ES NECESARIA PARA GENERAR EL VOLTAJE DE ERROR CORRECTIVO QUE CORRERÁ LA FRECUENCIA DEL VCO DE SU VALOR DE FUNCIONAMIENTO LIBRE AL DE LA FRECUENCIA DE LA SEÑAL DE ENTRADA, MANTENIENDO ASÍ AL PLL EN SINCRONÍA; ESTA CARACTERISTICA AUTOCORRECTIVA DEL SISTEMA PERMITE TAMBIÉN AL PLL SEGUIR LOS CAMBIOS EN FRECUENCIA DE LA SEÑAL DE ENTRADA.

OTRA FORMA DE VISUALIZAR EL FUNCIONAMIENTO DEL SISTEMA PLL ES CONSIDERAR QUE EL COMPARADOR DE FASE ES REALMENTE UN CIRCUITO MULTIPLICADOR EL CUAL MEZCLA LA SEÑAL DE ENTRADA CON LA SEÑAL DEL OSCILADOR CONTROLADO POR VOLTAJE, PRODUCIÉNDOSE A LA SALIDA DEL COMPARADOR UNA SEÑAL COMPUESTA POR LA SUMA Y LA DIFERENCIA DE FRECUENCIAS. CUANDO EL SISTEMA ESTA EN SINCRONÍA LA FRECUENCIA DEL OSCILADOR ES IGUAL A LA DE

LA SEÑAL DE ENTRADA POR LO QUE LA COMPONENTE CON LA DIFERENCIA DE FRECUENCIAS ES CERO. LA COMPONENTE DE DIRECTA LOGRA PASAR, LA CUAL SE AMPLIFICA Y SE RETROALIMENTA AL OSCILADOR CONTROLADO POR VOLTAJE.

4.1.2 TERMINOLOGIA DE LOS SISTEMAS PLL

A CONTINUACIÓN SE DESCRIBEN LOS TERMINOS USADOS COMUNMENTE PARA DEFINIR LA OPERACIÓN Y LAS CARACTERÍSTICAS DE LOS SISTEMAS PLL.

FRECUENCIA DE FUNCIONAMIENTO LIBRE F'_0 , W'_0 .- TAMBIÉN CONOCIDA COMO FRECUENCIA CENTRAL, ES LA FRECUENCIA A LA CUAL EL OSCILADOR CONTROLADO POR VOLTAJE OPERA CUANDO NO ESTA SINCRONIZADO CON ALGUNA SEÑAL DE ENTRADA, LAS UNIDADES PARA F'_0 Y W'_0 RESPECTIVAMENTE SON HERTZ Y RADIANES/SEG .

RANGO DE CERRAMIENTO $2F_I$, $2W_I$.- ES EL RANGO DE FRECUENCIA SOBRE EL CUAL EL SISTEMA PERMANECERÁ EN SINCRONÍA O EN ESTADO DE CERRAMIENTO CON UNA SEÑAL DE ENTRADA; NORMALMENTE EL RANGO DE SINCRONÍA ESTA CENTRADO EN LA FRECUENCIA LIBRE, LAS DESVIACIONES EN FRECUENCIA HACIA AMBOS LADOS DE F'_0 SE CONOCEN COMO RANGO DE SEGUIMIENTO EL CUAL ES LA MITAD DEL RANGO DE CERRAMIENTO.

RANGO DE CAPTURA $2F_C$, $2W_C$.- AÚN CUANDO EL SISTEMA PERMANECERÁ SINCRONIZADO A LA SEÑAL DE ENTRADA A LO LARGO DE TODO EL RANGO DE SINCRONIA, NO PUEDE SER CAPAZ DE ADQUIRIR LA SINCRONÍA EN LOS EXTREMOS DE ESTE, ENTONCES LA BANDA DE FRECUENCIAS SOBRE LA CUAL EL PLL PUEDE ADQUIRIR LA SINCRONÍA ES EL RANGO DE CAPTURA QUE TAMBIÉN ESTA CENTRADO EN LA FRECUEN-

CIA LIBRE Y NUNCA ES MAYOR QUE EL RANGO DE SINCRONIZACIÓN.

TIEMPO DE ADQUISICIÓN T_1 . - ES EL TIEMPO DE TRANSICIÓN QUE REQUIERE UN SISTEMA PLL EN FUNCIONAMIENTO LIBRE PARA ENLAZARSE O SINCRONIZARSE. ESTE TIEMPO DEPENDE PRINCIPALMENTE DEL ANCHO DE BANDA DISEÑADO EN EL PLL CON EL FILTRO PASOBAJAS.

GANANCIA DE CONVERSIÓN DEL COMPARADOR DE FASE. K_D . - ES UNA CONSTANTE DE CONVERSIÓN QUE RELACIONA EL VOLTAJE DE SALIDA DEL COMPARADOR DE FASE CON LA DIFERENCIA DE FASE ENTRE LA SEÑAL DE ENTRADA Y LA DEL OSCILADOR CONTROLADO POR VOLTAJE CUANDO EL SISTEMA ESTA EN ESTADO DE CERRAMIENTO. LAS UNIDADES DE ESTA CONSTANTE SON VOLTS/RADIAN (V/RAD).

GANANCIA DE CONVERSIÓN DEL VCO K_0 . - ES UNA CONSTANTE DE CONVERSIÓN QUE RELACIONA LAS DESVIACIONES DE LA FRECUENCIA LIBRE DEL OSCILADOR, CON EL VOLTAJE APLICADO. LAS UNIDADES DE K_0 SON RADIANES POR SEGUNDO POR VOLT (RAD/SEG/VOLT) K_0 ES FUNCIÓN LINEAL DE W_0' Y PUEDE SER OBTENIDA USANDO UNA ECUACIÓN O UNA GRAFICA QUE NORMALMENTE DA EL FABRICANTE DEL CIRCUITO-INTEGRADO, O EXPERIMENTALMENTE MIDIENDOLA A LA FRECUENCIA LIBRE DESEADA.

GANANCIA DE LAZO. K_V . - ES EL PRODUCTO DE K_D , K_0 , Y LA GANANCIA DEL FILTRO PASOBAJAS EN D.C., K_D SE EVALUA AL NIVEL DE ENTRADA APROPIADO Y K_0 A LA FRECUENCIA LIBRE APROPIADA; - K_V TIENE UNIDADES DE SEG^{-1} .

GANANCIA DE LAZO CERRADO CLG. LA FRECUENCIA Y FASE DE LA SEÑAL DE SALIDA PUEDEN SER DETERMINADAS DEL PRODUCTO DE CLG Y LA SEÑAL DE ENTRADA, DONDE CLG ESTA DADA POR:

$$CLG = \frac{K_V}{1 + K_V}$$

FRECUENCIA NATURAL ω_n . - ES LA FRECUENCIA CARACTERISTICA DE LAZO DETERMINADA MATEMÁTICAMENTE POR LAS POSICIONES FINALES DE LOS POLOS EN EL PLANO COMPLEJO O DETERMINADA EXPERIMENTALMENTE COMO LA FRECUENCIA DE MODULACIÓN PARA LA CUAL UN LAZO SUBAMORTIGUADO DA LA MÁXIMA DESVIACIÓN EN FRECUENCIA LIBRE F'_0 .

FACTOR DE AMORTIGUAMIENTO .- ES LA CONSTANTE ESTAN-
DAR DE AMORTIGUAMIENTO DE UN SISTEMA DE SEGUNDO ORDEN. PARA EL SISTEMA PLL ESTE FACTOR DE AMORTIGUAMIENTO SE REFIERE A LA CAPACIDAD DEL LAZO PARA RESPONDER RAPIDAMENTE A UNA ENTRADA DE ESCALON DE FRECUENCIA SIN EXCESIVO SOBRETIRO.

4.1.3 ECUACIONES PARA DESCRIBIR EL FUNCIONAMIENTO DEL SISTEMA PLL

COMO YA SE ESTABLECIÓ EN PARRAFOS ANTERIORES EL COMPARADOR DE FASE ES BASICAMENTE UN MULTIPLICADOR ANALOGICO QUE REALIZA EL PRODUCTO DE LA SEÑAL DE ENTRADA AL SISTEMA CON LA SEÑAL PRODUCIDA EN EL OSCILADOR CONTROLADO POR VOLTAJE. PARA EL CASO DEL ANALISIS MATEMÁTICO PODEMOS CONSIDERAR QUE LA SEÑAL DE ENTRADA ES:

$$V_I(t) = V_I \text{SEN} \omega_I t \quad (4.1)$$

Y LA DEL OSCILADOR CONTROLADO POR VOLTAJE:

$$V_O(t) = V_O \text{SEN} (\omega_O t + \theta_E) \quad (4.2)$$

EN DONDE W_I , W_O Y θ_E SON RESPECTIVAMENTE LAS FRECUENCIAS Y DIFERENCIA DE FASE DE INTERES. EL PRODUCTO DE AMBAS SEÑALES SERÁ:

$$V_E(t) = K_I V_I V_O (\text{SEN}(W_O T + \theta_E)) (\text{SEN} W_I T) \quad (4.3)$$

EN DONDE K_I ES UNA CONSTANTE DIMENSIONAL.

SE CONSIDERARÁN CADA UNO DE LOS DOS ESTADOS POR SEPARADO; CUANDO EL SISTEMA NO ESTA ENLAZADO Y CUANDO ESTA ENLAZADO

PRIMER CASO. - EL SISTEMA NO ESTA ENLAZADO POR LO TANTO ($W_I \neq W_O$). EN ESTE CASO EL ANGULO θ_E QUE REPRESENTA LA DIFERENCIA DE FASE PUEDE SER ELIMINADO DE LAS ECUACIONES (4.3) Y (4.2) ESCOGIENDO ADECUADAMENTE EL ORIGEN DE TIEMPO; USANDO LAS IDENTIDADES TRIGONOMETRICAS LA ECUACIÓN (4.3) SERÁ:

$$V_E(t) = \frac{K_I V_I V_O}{2} \cos(W_I - W_O T) - \cos(W_I + W_O T) \quad (4.4)$$

CUANDO ESTA SEÑAL PASA POR EL FILTRO PASOBAJAS SE ELIMINA LA COMPONENTE QUE LLEVA LA SUMA DE FRECUENCIAS, QUEDANDO:

$$V_F(t) = K_2 V_I V_O \cos(W_I - W_O T) \quad (4.5)$$

DESPUÉS DE SER AMPLIFICADA LA SEÑAL REPRESENTADA POR LA ECUACIÓN ANTERIOR, TENEMOS QUE EL VOLTAJE DE CONTROL APLICADO AL OSCILADOR CONTROLADO POR VOLTAJE ES:

$$V_D(t) = AK_2 V_I V_O \cos(W_I - W_O T) \quad (4.6)$$

ÉSTA ECUACIÓN DEMUESTRA QUE SE ESTABLECE EL EFECTO DE BATIDO DE FRECUENCIA (BEAT FREQUENCY EFFECT) ENTRE W_I Y W_O OCACIONANDO QUE LA FRECUENCIA DEL VCO VARIE ΔW A PARTIR DE W'_O EN PROPORCIÓN A LA AMPLITUD DE LA SEÑAL ($AKV_I V_O$) QUE PASA A TRAVES DEL FILTRO.

SI LA AMPLITUD V_I ES SUFICIENTEMENTE GRANDE Y NO OCURRE RECORTE DE SEÑAL O SATURACIÓN, LA FRECUENCIA DE SALIDA DEL VCO SE CORRERA DESDE W'_O UN DETERMINADO INCREMENTO (ΔW) HASTA QUE EL ESTADO DE CERRAMIENTO SE ESTABLECE, EN DONDE:

$$W_I = W_O = W'_O \quad (4.7)$$

SI EL ESTADO DE CERRAMIENTO NO PUEDE ADQUIRIRSE PUEDE DEBERSE A QUE LA AMPLITUD DE V_I ES MUY PEQUEÑA PARA IMPULSAR AL VCO PARA PRODUCIR LA DESVIACIÓN DE FRECUENCIA NECESARIA, O BIÉN QUE LA FRECUENCIA DE LA SEÑAL DE ENTRADA W_I ESTÁ MÁS ALLA DEL RANGO DINÁMICO DEL VCO.

SEGUNDO CASO. - EL SISTEMA ESTA ENLAZADO O EN ESTADO DE CERRAMIENTO ($W_I = W_O$). CUANDO LAS FRECUENCIAS W_I Y W_O ESTAN SINCRONIZADAS LA SEÑAL DEL COMPARADOR DE FASE PARA $W_I = W_O = W$, Y UNA DIFERENCIA DE FASE θ_E ES:

$$V_E(t) = K_I V_I V_O (\text{SEN } Wt) (\text{SEN}(Wt + \theta_E))$$

$$= \frac{K_I V_I V_O}{2} \cos \theta_E - \cos(2Wt + \theta_E) \quad (4.8)$$

LA COMPONENTE DE ALTA FRECUENCIA ES REMOVIDA POR EL FILTRO PASOBAJAS QUEDANDO SOLO LA COMPONENTE DE C.D.

$$V_F(\tau) = K_2 V_I V_O \cos \theta_E \quad (4.9)$$

SI W_I Y W_O ESTUVIERAN PERFECTAMENTE SINCRONIZADAS A LA FRECUENCIA DE FUNCIONAMIENTO LIBRE W'_O EL VOLTAJE DE CONTROL DEL VCO, V_D SERÍA CERO POR LO QUE θ_E TENDRIA QUE SER $\pm 90^\circ$ POR TANTO V_D ES PROPORCIONAL A LA DIFERENCIA DE FASE ENTRE θ_I Y θ_O CENTRADA SOBRE UN ANGULO DE FASE DE REFERENCIA DE $\pm 90^\circ$.

SI W_I SE SALE LIGERAMENTE DE W'_O EL PRIMER EFECTO SERÁ UN CAMBIO EN θ_E A PARTIR DEL ÁNGULO DE REFERENCIA DE $\pm 90^\circ$. V_D SE MOVERÁ A UN VALOR DIFERENTE DE CERO PARA CORREGIR W_O BAJO ESTA CONDICIÓN EL ESTADO DE CERRAMIENTO SE MANTIENE Y $W_I \approx W_O$. EL ERROR DE FASE SE CORRERÁ UN DETERMINADO INCREMENTO $\Delta\theta$ A PARTIR DEL ÁNGULO DE FASE DE $\pm 90^\circ$. POR LO ANTERIOR PODEMOS REDEFINIR A θ_E COMO:

$$\theta_E = \theta_R \pm \Delta\theta \quad (4.10)$$

EN DONDE θ_R ES EL ÁNGULO DE REFERENCIA DE $\pm 90^\circ$ Y $\Delta\theta$ ES LA DESVIACIÓN DE ESTE VALOR; POR LO TANTO EL VOLTAJE DE CONTROL DEL VCO SERÁ AHORA:

$$\begin{aligned} V_D &= AK_2 V_I V_O \cos(\theta_R \pm \Delta\theta) \\ &= \pm AK_2 V_I V_O \text{SEN } \theta \end{aligned} \quad (4.11)$$

EL MÁXIMO RANGO SOBRE EL CUAL PUEDEN SER SEGUIDOS LOS -- CAMBIOS $\Delta\theta$ ES DE -90° A $+90^\circ$ LO QUE CORRESPONDE A UN RANGO DE 0° A 180° PARA θ_E .

4.1.4 DESCRIPCIÓN DEL CIRCUITO.

HASTA AQUÍ HAN SIDO EXPUESTOS LOS PRINCIPIOS Y GENERALIDADES DE LOS SISTEMAS PLL, TOMANDO ÉSTOS COMO BASE, EN LOS PÁRRAFOS SIGUIENTES SE DESCRIBIRÁ EL FUNCIONAMIENTO ASÍ COMO LA SELECCIÓN DE LOS PARÁMETROS, DEL CIRCUITO REGENERADOR DE RELOJ A BASE DE UN SISTEMA PLL.

PARTIENDO DE LA BASE DE QUE LA SEÑAL NRZ PUEDE SER CONSIDERADA COMO UNA SEÑAL A LA QUE LE FALTA UNA PORTADORA; LA CUAL DEBE SER RECONSTRUIDA PARTIENDO DE LA INFORMACIÓN CONTENIDA EN LA SEÑAL, ENTONCES SERÍA IMPOSIBLE RECUPERAR EL RELOJ APLICANDO SIMPLEMENTE LA SEÑAL NRZ AL PLL, YA QUE NO HAY NADA A LO QUE EL PLL PUEDA ENLAZARSE O SINCRONIZARSE. LA INFORMACIÓN DE TIEMPO EN UNA SEÑAL PCM ESTA PRESENTE EN LAS TRANSICIONES QUE LA SEÑAL SUFRE DE ACUERDO A LA INFORMACIÓN QUE SE ESTÁ TRANSMITIENDO; AL TIEMPO DE UNA TRANSICIÓN SE TIENE UNO DE LOS LIMITES DE UN BIT, LAS TRANSICIONES PUEDEN SER CON DIRECCIÓN POSITIVA O NEGATIVA, PERO AMBAS TIENEN EL MISMO SIGNIFICADO PARA LA RECUPERACIÓN DE LOS TIEMPOS.

SI SE GENERA UNA SERIE DE PULSOS UNIDIRECCIONALES PARA MARCAR LOS TIEMPOS DE TRANSICIÓN ENTONCES HABRÁ UNA COMPONENTE DISCRETA DE LA FRECUENCIA DE LOS BITS EN EL TREN DE PULSOS Y EL PLL PODRÁ SINCRONIZARSE A ELLA.

EN GENERAL, EN LOS SISTEMAS QUE TRABAJAN CON SEÑALES NRZ, LAS TRANSICIONES DE LA SEÑAL OCURREN EN SINCRONÍA CON UN PULSO DE LA SEÑAL DE RELOJ, SI SE INTRODUCE UN CIRCUITO BIDIRECCIONAL DE UN SOLO TIRO QUE POR CADA TRANSICIÓN DE LA SEÑAL NRZ PRODUZCA UN PULSO QUE DURE MEDIO CICLO DE RELOJ ,

EL FLUJO DE DATOS EN EL FORMATO NRZ PUEDE SER CAMBIADO AL -
FORMATO DE RELOJ PERDIDO QUE PODRÁ SER ENTONCES, ALIMENTADO
AL GENERADOR DE RELOJ PERDIDO QUE POSTERIORMENTE SE DESCRIBIRÁ. EN LA FIGURA 4.2 SE PUEDEN OBSERVAR LAS DIFERENCIAS -
ENTRE LA SEÑAL NRZ Y EL FORMATO DE RELOJ PERDIDO QUE SE OBTIENE A LA SALIDA DEL CIRCUITO BIDIRECCIONAL DE UN SOLO TIRO.

EL DIAGRAMA A BLOQUES DEL CIRCUITO REGENERADOR DE RELOJ SE MUESTRA EN LA FIGURA 4.3. EL ELEMENTO PRINCIPAL DE ÉSTE -
SISTEMA ES EL PLL 564; DEBIDO A LAS CARACTERÍSTICAS DE LA SEÑAL DE ENTRADA, YA EXPLICADAS, DURANTE LOS PERIÓDOS EN LOS -
QUE HAY PULSOS DE RELOJ PERDIDOS, EL OSCILADOR CONTROLADO --
POR VOLTAJE NO TENDRÍA EL VOLTAJE NECESARIO PARA SEGUIR REGENERANDO EL RELOJ A LA FRECUENCIA CORRECTA Y OSCILARÍA A LA -
FRECUENCIA DE FUNCIONAMIENTO LIBRE, POR LO QUE ES NECESARIO INCORPORAR UN SISTEMA DE MUESTREO Y SOSTÉN QUE SENSE LA PÉRDIDA DE LOS PULSOS Y MANTENGA LOS VOLTAJES DE MODO COMÚN Y -
MODO DIFERENCIAL DEL COMPARADOR DE FASE A LOS NIVELES EN LOS QUE SE ENCONTRABAN ANTES DE LA PÉRDIDA DE LOS PULSOS DE RELOJ. MANTENIENDO ESTOS NIVELES DE VOLTAJE FIJOS, LA FRECUENCIA Y FASE DEL PLL PERMANECERÁN CONSTANTES CON RESPECTO A LA SEÑAL ENTRANTE Y LAS VARIACIONES DEL TIEMPO DE ADQUISICIÓN Y DE FASE CON RESPECTO A LA SIGUIENTE APARICIÓN DE LOS PULSOS DE RELOJ SERÁN MÍNIMAS.

EN LA FIGURA 4.4 SE MUESTRAN LOS CIRCUITOS DE MUESTREO Y SOSTÉN Y LAS FORMAS DE ONDA CON LOS TIEMPOS DE INTERÉS.

EN ESENCIA LA SECUENCIA DE OPERACIÓN ES LA SIGUIENTE:
CUANDO LOS PULSOS DE RELOJ ESTÁN PRESENTES EL SWITCH Q_2 PERMANECE APAGADO Y EL SWITCH Q_3 ES MANTENIDO A UN 10% DEL CI-

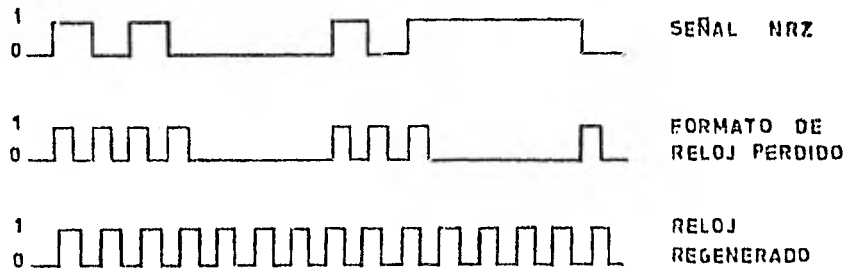


FIGURA 4.2.- DIFERENCIAS ENTRE LA SEÑAL NRZ Y EL FORMATO DE RELOJ PERDIDO.

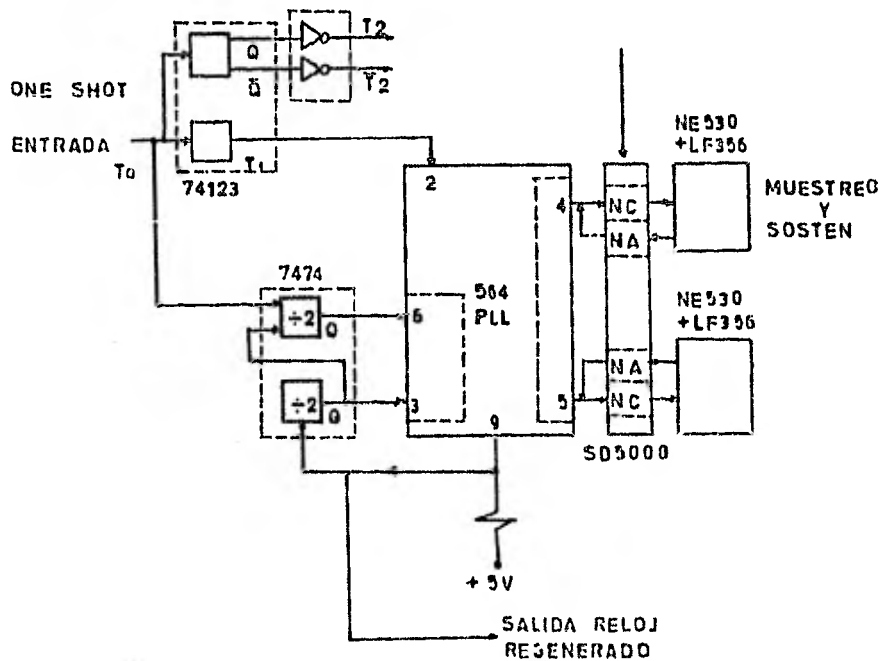


FIGURA 4.3.- DIAGRAMA DE BLOQUES DEL CIRCUITO REGENERADOR DE RELOJ.

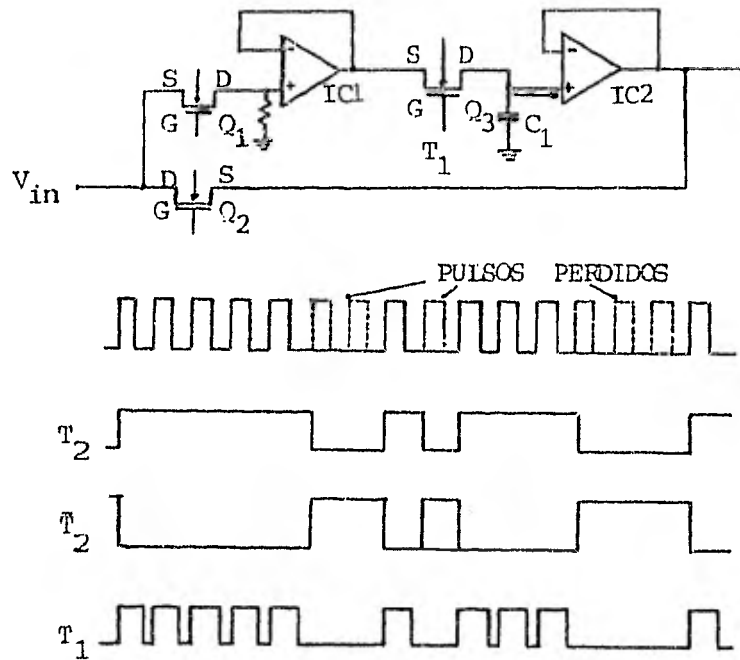
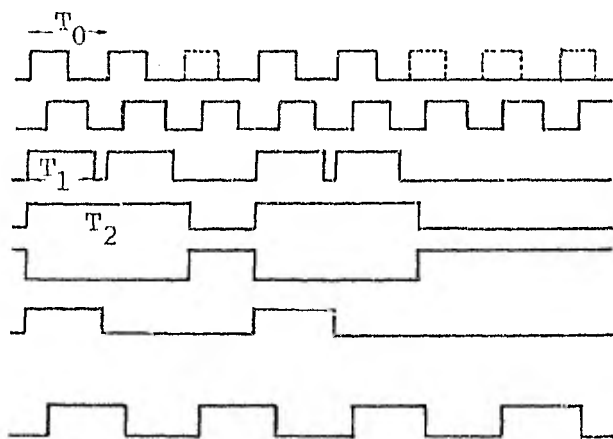


FIGURA 4.4. SE MUESTRA EN ESTA FIGURA LOS CIRCUITOS DE MUESTREO Y SOSTEN Y LAS FORMAS DE ONDA CON LOS TIEMPOS DE INTERÉS.

CLO ÚTIL EN ANTICIPACIÓN DE UN PULSO DE RELOJ PERDIDO Y PARA EVITAR RETROALIMENTACIÓN DE RUIDOS DE SWITCHEO EN LAS ENTRADAS DE FILTRO DEL COMPARADOR DE FASE. CUANDO UN PULSO DE RELOJ SE PIERDE Q_3 ABRE EL CIRCUITO IMPIDIENDO QUE EL CAPACITOR C_1 SE SIGA CARGANDO. CON EL AMPLIFICADOR OPERACIONAL LF356 LA CAIDA DEL VOLTAGE DE SALIDA ES APROXIMADAMENTE DE $1 \mu V/\mu S$ ESTE COCIENTE DE CAIDA DE VOLTAGE DEPENDE DEL CAPACITOR C_1 Y DE LA CARGA A LA SALIDA DEL AMPLIFICADOR OPERACIONAL. DURANTE EL MODO DE SOSTEN CUANDO SE HAN PERDIDO UNO O MÁS PULSOS DE RELOJ EL SWITCH Q_1 SE ABRE Y EL Q_2 SE CIERRA FORZANDO A TENER EL VOLTAGE ALMACENADO EN EL CAPACITOR C_1 , EN LAS SALIDAS DEL COMPARADOR DE FASE; TAN PRONTO COMO SE PRESENTA EL SIGUIENTE PULSO DE RELOJ SE REGRESA A LAS CONDICIONES NORMALES DEJANDO QUE EL PLL TRABAJE SIN EL SISTEMA DE MUESTREO Y SOSTEN.

EL DIAGRAMA DE TIEMPOS PARA EL CIRCUITO REGENERADOR SE OBSERVA EN LA FIGURA 4.5.



$$T_1 = 0.8T_0$$

$$T_2 = 1.2T_0$$

FIGURA 4.5. DIAGRAMA DE TIEMPOS PARA EL CIRCUITO
REGENERADOR DE RELOJ PERDIDO.

CONOCIENDO LA FRECUENCIA BÁSICA DEL RELOJ LOS PERIODOS T_0 , T_1 y T_2 PUEDEN SER FACILMENTE DETERMINADOS. EL PERIODO T_0 ES EL DE LA SEÑAL DE RELOJ QUE VA A REGENERARSE, Y CUYO INVERSO SERÁ LA FRECUENCIA LIBRE DEL PLL. LOS PERIODOS T_1 , T_2 Y \bar{T}_2 SE OBTIENEN POR MEDIO DE DOS CIRCUITOS REDISPARABLES DE UN SOLO TIRO. LA DURACIÓN DEL PULSO T_1 SE HACE LIGERAMENTE MENOR QUE LA DEL RELOJ; ESTE PULSO SE USA PARA HABILITAR Y DESHABILITAR EL 564 Y TAMBIÉN COMO DISPARO ANTICIPADO PARA UN PULSO DE RELOJ PERDIDO. SI SE PIERDE O FALTA UN PULSO DE RELOJ EL PULSO T_1 PERMANECERÁ BAJO MANTENIENDO AL COMPARADOR DE FASE APAGADO Y ABRIENDO EL SWITCH Q_3 DEL CIRCUITO DE MUESTREO Y SOSTEN. T_2 Y \bar{T}_2 SON COMPLEMENTARIOS Y TIENEN UNA DURACIÓN LIGERAMENTE MAYOR QUE EL PERIODO DEL RELOJ. LA CARACTERÍSTICA DE SER REDISPARABLE DEL CIRCUITO 74123 MANTENDRÁ SIEMPRE LOS PULSOS T_2 Y \bar{T}_2 ALTO Y BAJO RESPECTIVAMENTE HASTA QUE SE TENGA UN PULSO FALTANTE DE RELOJ MIENTRAS NO SE TENGAN PULSOS PERDIDOS T_2 ESTARÁ ALTO MANTENIENDO CERRADO AL SWITCH Q_1 , Y \bar{T}_2 ESTARÁ BAJO MANTENIENDO AL SWITCH Q_2 ABIERTO. CUANDO SE PIERDEN UNO O MÁS PULSOS Q_1 Y Q_2 CAMBIARÁN DE ESTADO.

A CONTINUACIÓN SE REALIZAN LOS CALCULOS DE LOS ELEMENTOS QUE FIJAN LOS PARAMETROS DE OPERACIÓN DEL CIRCUITO REGENERADOR DE RELOJ. LA FRECUENCIA BÁSICA SERÁ LA MISMA QUE LA DEL RELOJ MAESTRO DEL SISTEMA PCM QUE ES DE 170 KHZ Y QUE SERÁ LA FRECUENCIA DE FUNCIONAMIENTO LIBRE DEL PLL. EL FABRICANTE DEL CIRCUITO INTEGRADO NE564 PROPORCIONA LA SIGUIENTE ECUACIÓN:

$$F'_0 = \frac{1}{16R_C C_1}$$

EN DONDE $R_c = 100$ ES UNA RESISTENCIA INTERNA DEL CIRCUITO INTEGRADO DEL VALOR ESPECIFICADO Y C_1 ES EL VALOR DE LA CAPACITANCIA QUE DEBE CONECTARSE EXTERNAMENTE PARA TENER LA FRECUENCIA DESEADA; - POR LO TANTO DE LA ECUACIÓN ANTERIOR TENEMOS:

$$C_1 = \frac{1}{16R_c F'_0}$$

$$= \frac{1}{16 \times 100 \times 170000}$$

$$C_1 = 3676 \text{ pF}$$

LA DURACIÓN DEL PULSO A LA SALIDA DEL CIRCUITO BIDIRECCIONAL DE UN SOLO TIRO 8T20 DEBERÁ SER DE 1/2 CICLO DE RELOJ Y AL IGUAL QUE EL CASO ANTERIOR EL FABRICANTE HA ESTABLECIDO LA SIGUIENTE ECUACIÓN

$$T_w = C_x R_x \text{ LN} 2$$

EN LA CUAL EL ANCHO DEL PULSO ESTÁ EN FUNCIÓN DE UNA CAPACITANCIA Y UNA RESISTENCIA EXTERNAS, FIJANDO EL VALOR DE LA CAPACITANCIA C_x A 120 pF TENDREMOS:

$$T_w = \frac{1/F'_0}{2} = 120 \times 10^{-12} R_x \text{ LN} 2 = 2.94 \mu\text{S}$$

DE DONDE

$$R_x = \frac{1}{120 \times 10^{-12} \text{ LN} 2 F'_0}$$

$$= 141.45 \text{ K}\Omega$$

DE IGUAL FORMA TOMANDO COMO BASE LAS ECUACIONES ESTABLECIDAS POR EL FABRICANTE DEL CIRCUITO INTEGRADO SN74123 PODEMOS OBTENER LOS VALORES DE LOS COMPONENTES PARA FIJAR LA DURACIÓN DE LOS PULSOS T_1 Y T_2 : FIJANDO LA DURACIÓN DE T_1 A $0.8T_0$: TENEMOS:

$$T_1 = 0.8 \frac{1}{F}$$

$$= 0.8 \frac{1}{170\ 000} = 4.70 \mu S$$

LA ECUACIÓN QUE PROPORCIONA EL FABRICANTE PARA DEFINIR EL ANCHO DEL PULSO A LA SALIDA DE CIRCUITO MONOESTABLE SN74123 ES:

$$T_W = 0.32 R_T C_{EXT} (1 + 0.7/R_T)$$

DESPEJANDO R_T TENEMOS:

$$R_T = \frac{T_W}{0.32 C_{EXT}} - 0.7$$

$$= \frac{4700 \text{ S}}{(0.32) 75 \text{ pF}} - 0.7 = 195 \text{ K}\Omega$$

FIJANDO T_2 A 1.2. DE T_0

$$T_2 = 1.2 (5.88) = 7.06 \mu S$$

$$R_{T2} = \frac{7060 S}{(0.32)75PF} - 0.7 = 294K\Omega$$

EL DIAGRAMA DE CONEXIONES COMPLETO SE MUESTRA EN LA FIGURA 4.6.

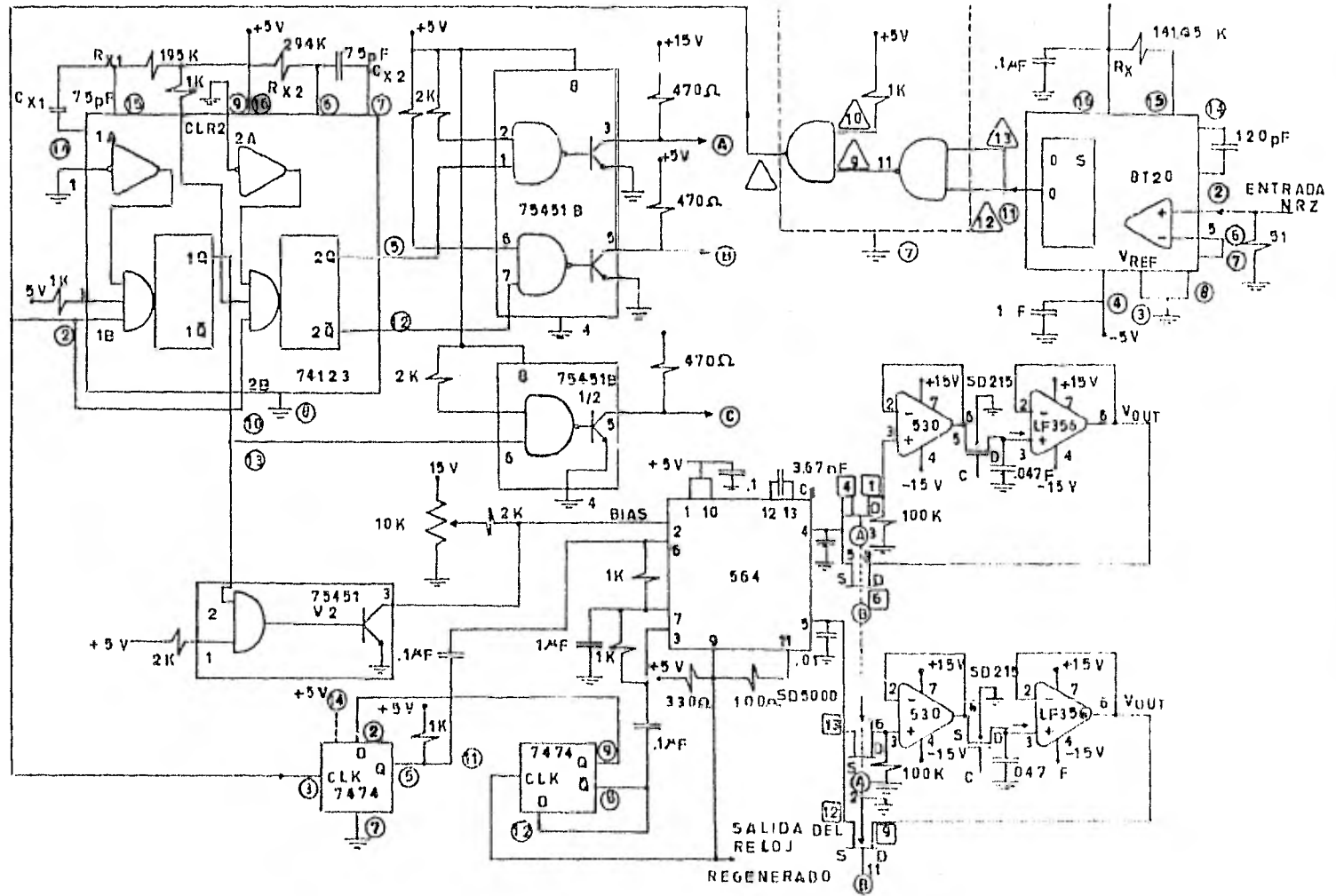


FIGURA 4.6 .- DIAGRAMA DE CONEXIONES

4.2. CIRCUITO DE SINCRONÍA DE GRUPO.

UNA VEZ QUE SE TENGAN LOS MEDIOS NECESARIOS PARA TENER UNA SEÑAL DE RELOJ ADECUADA PARA COMANDAR LAS FUNCIONES QUE ASEGUREN UNA RECUPERACIÓN FIEL DE LA INFORMACIÓN, EL SIGUIENTE PASO SERÁ TENER UN SISTEMA QUE REALICE TALES FUNCIONES - ENCAMINADAS A LA RECUPERACIÓN DE LA INFORMACIÓN SIENDO UNA - DE LAS MÁS IMPORTANTES LA DE SINCRONIZAR LOS GRUPOS O BLO - QUES DE LA INFORMACIÓN PARA POSTERIORMENTE PODER ASIGNAR LA INFORMACIÓN AL CANAL DE SALIDA CORRESPONDIENTE. EL CIRCUITO QUE DESCRIBIREMOS A CONTINUACIÓN SERÁ EL ENCARGADO DE REALIZAR DICHA FUNCIÓN.

LA SEÑAL QUE SE MANEJARA SERÁ DEL TIPO NRZ, SE TENDRÁN PALABRAS DE OCHO BITS, DE LOS CUALES EL 7º SERÁ PARA PROPORCIONAR LA SEÑAL DE SINCRONÍA DE PALABRA, Y EN EL 8AVO, BIT DE - CADA PALABRA SE IRÁN INTRODUCIENDO LOS BITS DE UNA CLAVE DE SINCRONÍA DE TRAMA DE 8 BITS DE MANERA QUE, EN UNA TRAMA COMPLETA DE OCHO CANALES EN LOS OCTAVOS BITS SE TENDRA LA SE -- CUENCIA 00001111 QUE SERÁ USADA COMO CLAVE DE SINCRONÍA DE - TRAMA. EN LOS PRIMEROS SEIS BITS DE CADA PALABRA IRÁ CODIFI - CADA LA INFORMACIÓN CORRESPONDIENTE A CADA CANAL; TRATÁNDOSE DE UN SISTEMA DE OCHO CANALES SE TENDRÁN EN TOTAL 64 BITS - POR TRAMA. EN LA FIGURA 4.7, SE MUESTRA LA SEÑAL NRZ QUE CO - RRESPONDERÍA A UNA TRAMA COMPLETA CUANDO NO SE TRANSMITE IN - FORMACIÓN POR NINGÚN CANAL.

EL DIAGRAMA DE BLOQUES DEL CIRCUITO DE SINCRONÍA SE -- MUESTRA EN LA FIGURA 4.8.

LA SEÑAL NRZ SE INTRODUCE A UN REGISTRO DE 64 BITS, EN DONDE POR MEDIO DE UNA COMPUERTA AND DE OCHO ENTRADAS Y UN -

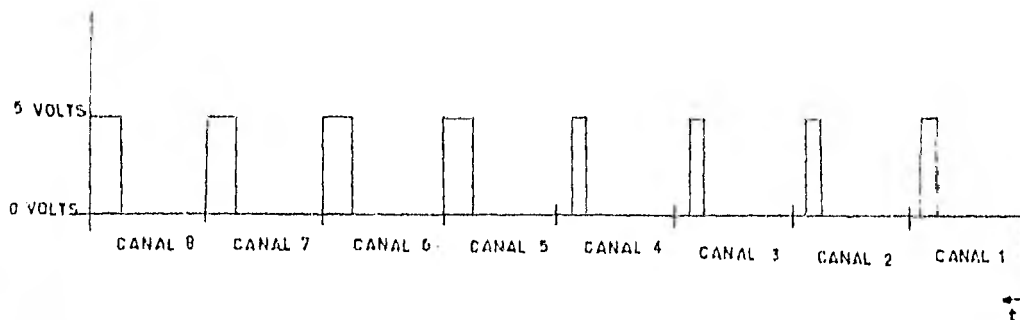


FIGURA 1.7

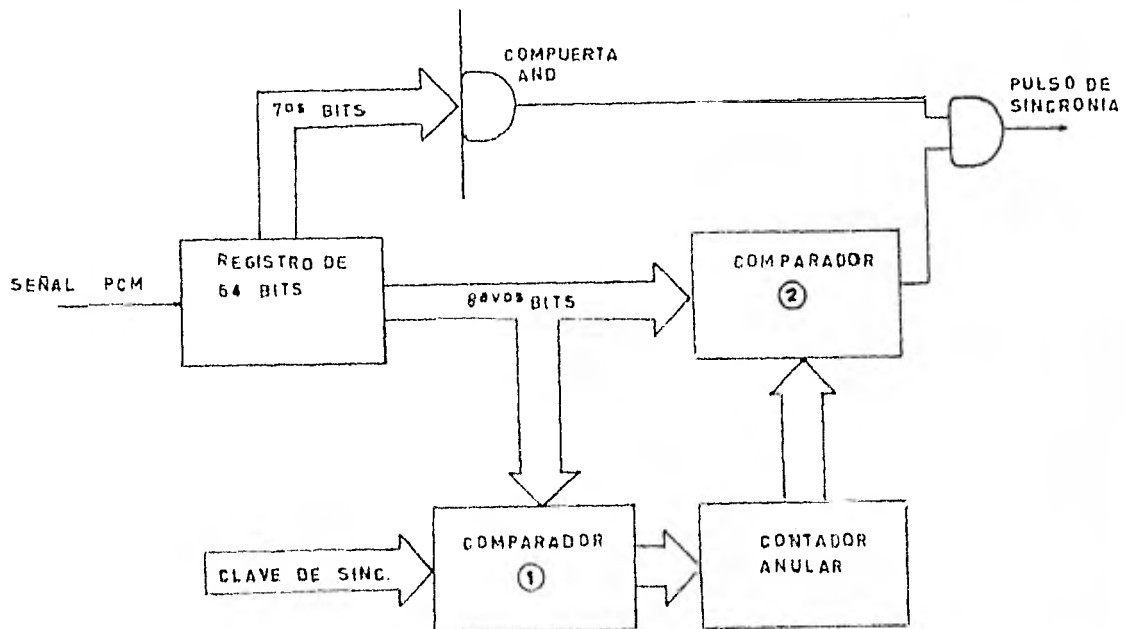


FIGURA 1.8

COMPARADOR SE ANALIZARÁ LA INFORMACIÓN CONTENIDA EN EL REGISTRO DE 64 BITS,

EL REGISTRO DE 64 BITS ESTÁ COMPUESTO POR OCHO REGISTROS DE CORRIMIENTO, SERIE PARALELO DE OCHO BITS. CADA UNA DE LAS ENTRADAS DE LA COMPUERTA AND SE HAYA CONECTADA AL 7º BIT DE CADA UNO DE ÉSTOS REGISTROS, DE MANERA QUE EN ÉSTOS SÉPTIMOS BITS SE ESTEN SENSANDO CONTINUAMENTE LA SEÑAL DE SINCRONÍA DE PALABRA, ASÍ, UNA VEZ QUE SE TENGA EN LOS SÉPTIMOS BITS DE CADA REGISTRO UN PULSO EN ESTADO 1 A LA SALIDA DE LA COMPUERTA AND SE TENDRÁ UN PULSO QUE INDIQUE QUE SE TIENE LA SINCRONÍA DE PALABRA; YA QUE LA INFORMACIÓN ESTÁ FLUYENDO CONTINUAMENTE A LO LARGO DEL REGISTRO DE 64 BITS Y LOS PULSOS DE SINCRONÍA SIEMPRE VIENEN LOCALIZADOS EN EL 7º BIT. SE PRODUCIRÁ UN PULSO DE SINCRONÍA DE PALABRA CADA OCHO CICLOS DE RELOJ A LA SALIDA DE LA COMPUERTA AND.

PARA DETECTAR LA SINCRONÍA DE TRAMA SE SENSAN LOS OCTAVOS BITS DE CADA UNO DE LOS REGISTROS DE 8 BITS POR LOS QUE ESTA FORMADO EL REGISTRO DE 64 BITS, MEDIANTE UN COMPARADOR DE OCHO BITS EL CUAL POR UN LADO ESTA RECIBIENDO LA INFORMACIÓN QUE ESTA APARECIENDO EN LOS OCTAVOS BITS Y, POR EL OTRO TIENE DE MANERA PERMANENTE LOS OCHO BITS DE LA CLAVE DE SINCRONÍA QUE DEBE DETECTAR, CADA UNO EN EL ESTADO QUE CORRESPONDE A DICHA CLAVE. DE ÉSTA FORMA EN EL MOMENTO EN QUE LOS OCTAVOS BITS DEL REGISTRO DE 64 BITS SE TIENE LA CLAVE DE SINCRONÍA, EL COMPARADOR PRODUCIRÁ UN PULSO A SU SALIDA QUE INDIQUE QUE SE TIENE UNA TRAMA COMPLETA. YA QUE CADA TRAMA ES DE 64 BITS, ÉSTOS PULSOS DE SINCRONÍA DEBERÁN TENERSE CADA 64 CICLOS DE RELOJ MAESTRO.

POR OTRO LADO TENEMOS QUE UNA VEZ QUE SE LLENA EL REGISTRO CON UNA TRAMA SE TIENE LA CLAVE DE SINCRONIA EN LOS OCTAVOS BITS, PERO CONFORME VA ENTRANDO LA INFORMACIÓN CORRESPONDIENTE A LA SIGUIENTE TRAMA, LA CLAVE DE SINCRONIA VA AVANZANDO DE TAL FORMA, QUE OCHO CICLOS DE RELOJ MÁS TARDE EL PRIMER BIT DE LA CLAVE QUE APARECIA EN EL PRIMER OCTAVO BIT DEL REGISTRO DE 64 BITS, APARECERÁ EN EL ÚLTIMO OCTAVO BIT DE DICHO REGISTRO Y ASÍ IRÁ AVANZANDO CADA OCHO CICLOS DE RELOJ HASTA LLEGAR DE NUEVO AL PRIMER OCTAVO BIT 64 CICLOS DESPUÉS, SIENDO ESTA CARACTERÍSTICA IDÉNTICA A LA QUE OCURRE EN UN REGISTRO DE CORRIMIENTO EN ANILLO Y LA CUAL SE APROVECHA, PARA VERIFICAR QUE UNA VEZ PRODUCIDA LA INDICACIÓN DE SINCRONÍA DE TRAMA LA SECUENCIA DE ENTRADA DE LOS CANALES ES LA ADECUADA, PARA LO CUAL SE EMPLEA OTRO COMPARADOR EL CUAL AL IGUAL QUE EL MENCIONADO ANTERIORMENTE, RECIBE POR UN LADO LOS OCTAVOS BITS Y POR EL OTRO ESTA CONECTADO A LAS SALIDAS EN PARALELO DE UN CONTADOR ANULAR EL CUAL ES CARGADO CON LA CLAVE DE SINCRONÍA CADA VEZ QUE ESTA OCURRE, Y LA VA CORRIENDO UN BIT CADA OCHO CICLOS DE RELOJ, DE ESTA FORMA EL COMPARADOR PRODUCIRÁ UN PULSO CADA OCHO CICLOS DE RELOJ SI LA SECUENCIA QUE OCURRE ES LA ESPERADA, LOGRANDO CON ESTO MAYOR CONFIABILIDAD EN LA INFORMACIÓN RECIBIDA.

EL DIAGRAMA DE CONEXIONES SE PUEDE OBSERVAR EN LA FIGURA 4.9 EN LA CUAL SE APRECIA LA FORMA EN QUE SE IMPLEMENTÓ CADA UNO DE LOS ELEMENTOS.

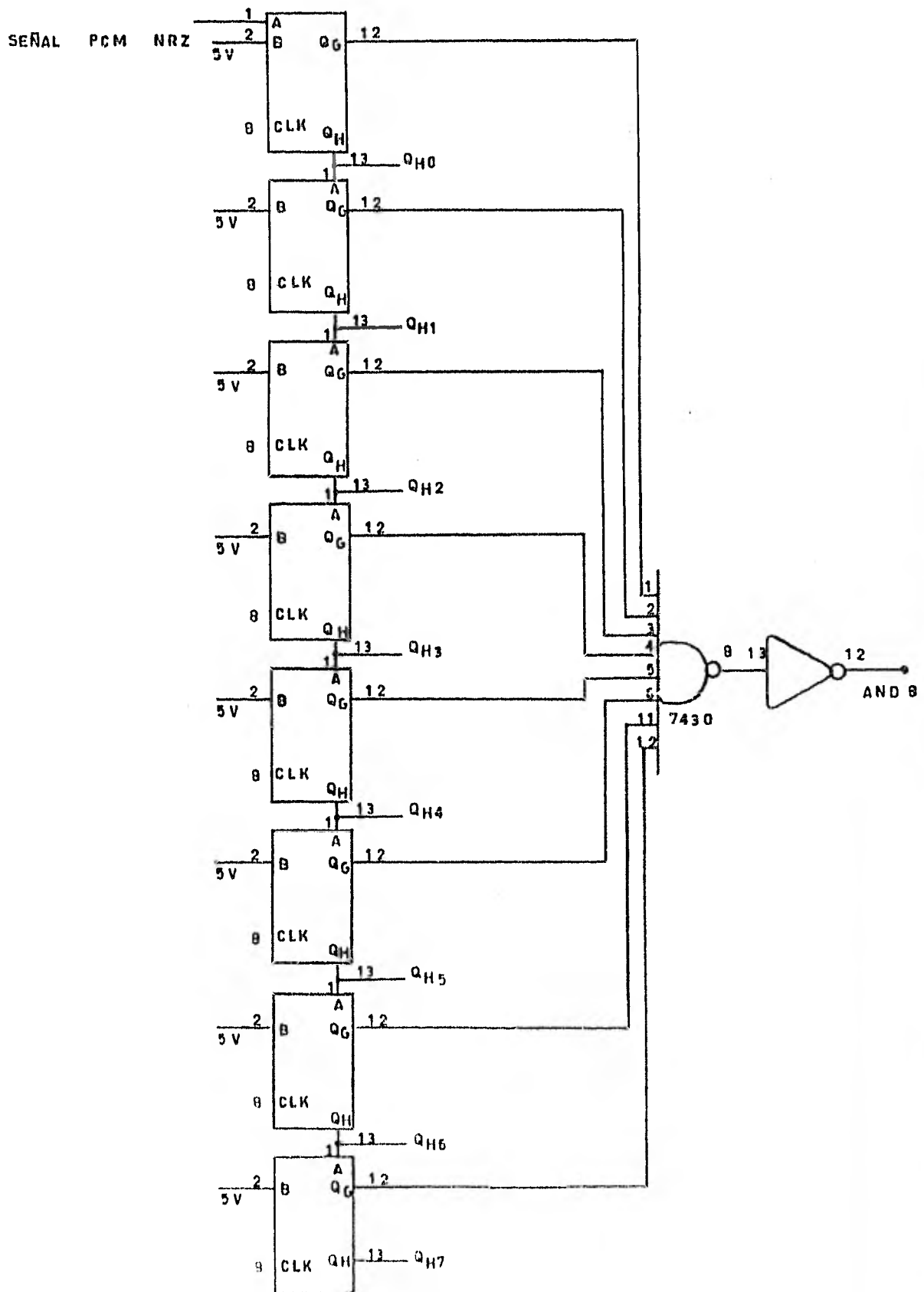


FIGURA 4.9 (1)

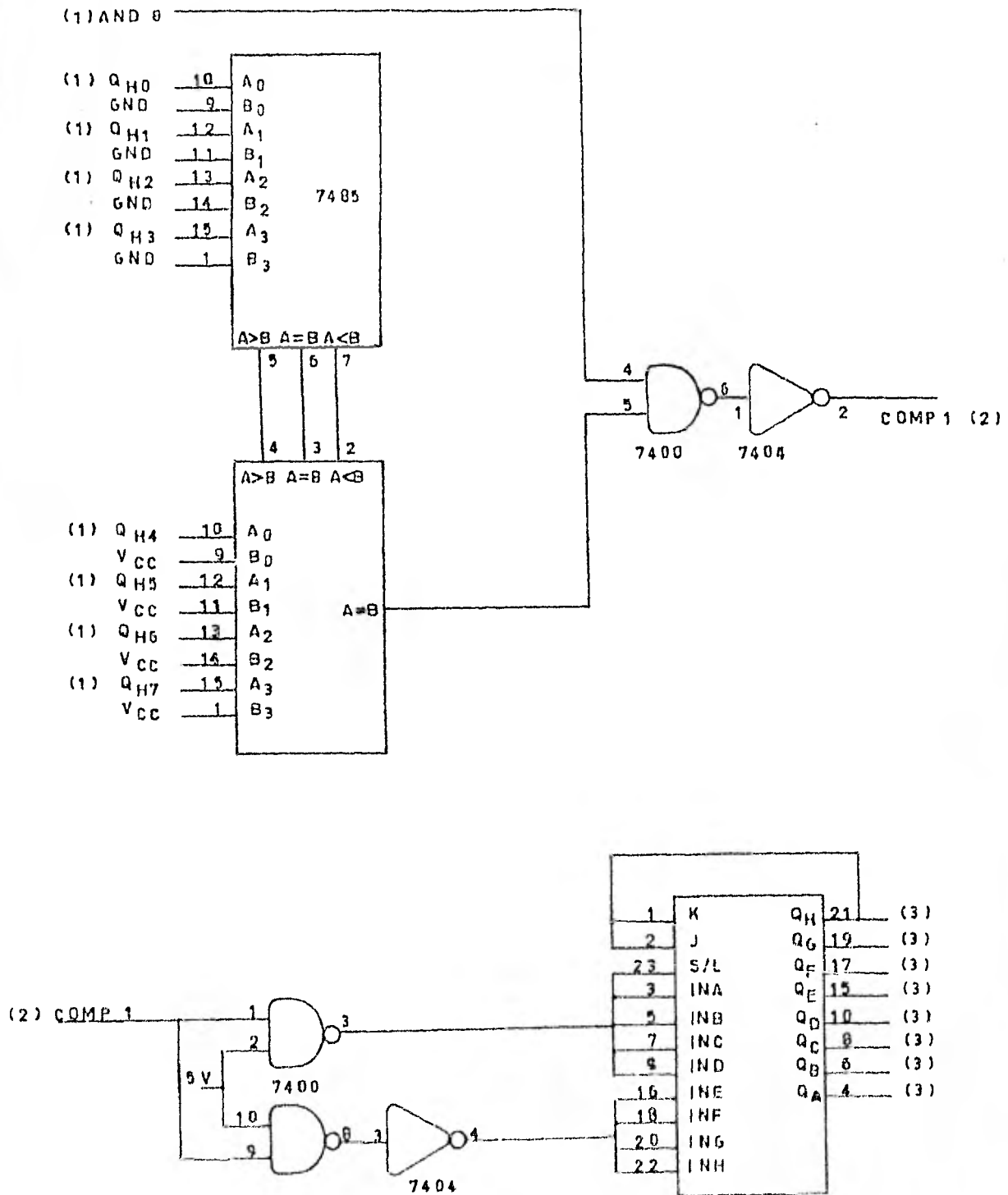


FIGURA 1.9 (2)

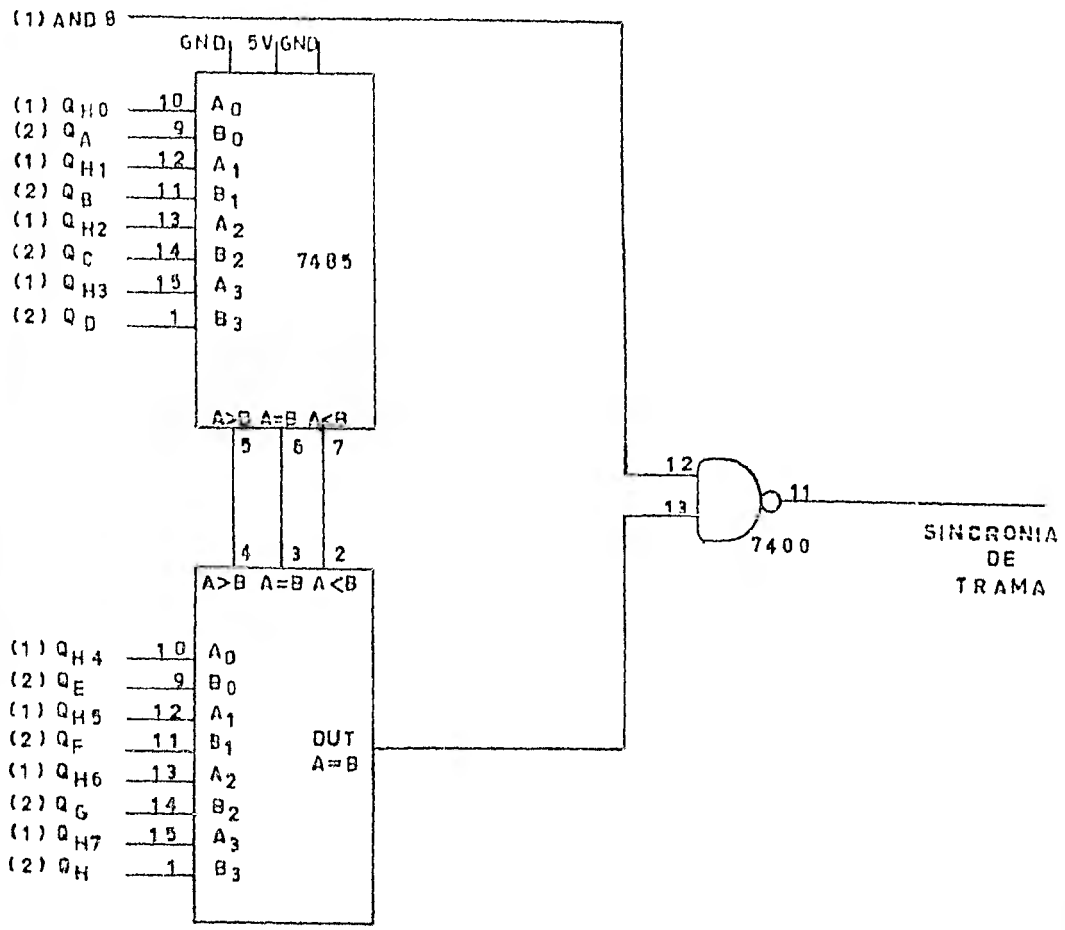


FIGURA 4.9 (3)

CAPITULO 5

CONCLUSIONES

EL OBJETIVO DE TENER UNA UNIDAD DE SINCRONÍA EN EL SISTEMA P.C.M. DEL LABORATORIO DE COMUNICACIONES SE DERIVA DE LA NECESIDAD DE ENLAZAR DE LA MANERA MÁS CONVENIENTE POSIBLE EL TRANSMISOR CON EL RECEPTOR. AÚN CUANDO ESTE ENLACE SE HABÍA VENIDO REALIZANDO DIRECTAMENTE A TRAVÉS DE VARIOS HILOS CONDUCTORES QUE LLEVABAN EN FORMA SEPARADA LAS SEÑALES DE INFORMACIÓN, DE SINCRONÍA DE CANAL, DE SINCRONÍA DE TRAMA Y DE RELOJ MAESTRO LA DISTANCIA ERA MUY REDUCIDA YA QUE PARA LOGRAR ESTE ENLACE A UNA DISTANCIA CONSIDERABLE SERÍA NECESARIO ACONDICIONAR LAS SEÑALES DIGITALES DE MANERA QUE LOS NIVELES ALTO Y BAJO FUERAN REPRESENTADOS POR MEDIO DE SEÑALES SENOIDALES QUE SON MENOS SENSIBLES A LOS EFECTOS DEL RUIDO, PARA LO CUAL, SERÍA INDISPENSABLE EL USO DE UN MODEM (MODULADOR-DEMODULADOR) EN AMBOS EXTREMOS DE CADA UNA DE LAS LÍNEAS DE TRANSMISIÓN POR LAS QUE SE ENVIARÁN CADA UNA DE LAS SEÑALES QUE MENCIONAMOS; LO CUAL TRAERÍA COMO CONSECUENCIA ADemás DE LA POCA VERSATILIDAD DEL EQUIPO UN INCREMENTO BASTANTE CONSIDERABLE EN EL COSTO DEL ENLACE.

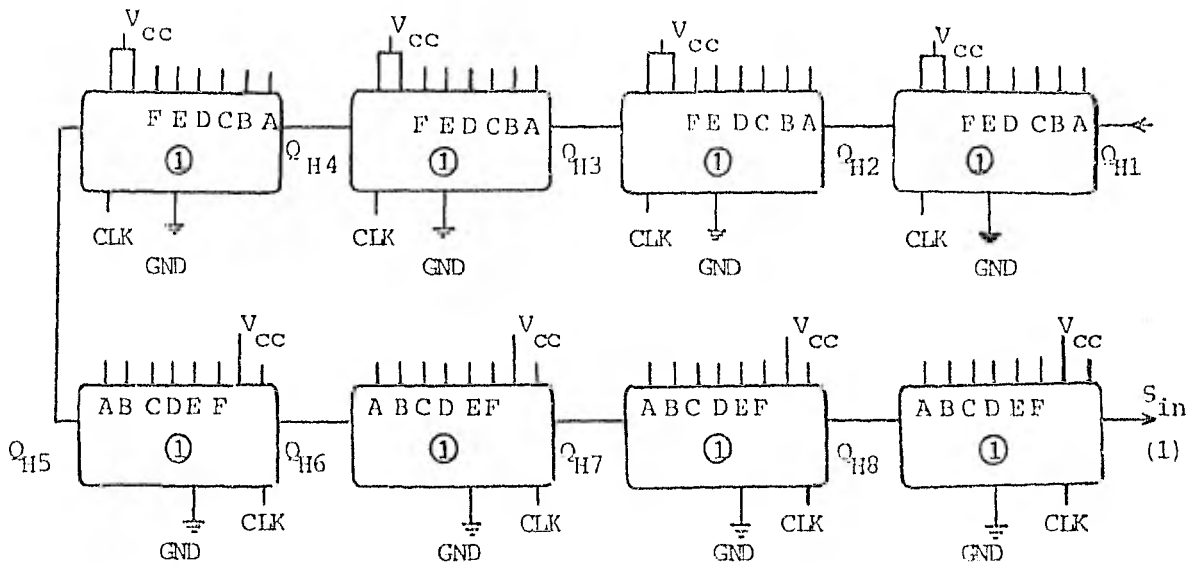
AL REUNIR TODAS ESTAS SEÑALES EN UN SOLO TREN DE PULSOS Y POSTERIORMENTE LOGRAR SU SEPARACIÓN POR MEDIO DE LA UNIDAD DE SINCRONÍA LA VERSATILIDAD DEL SISTEMA SE AMPLÍA EN GRAN MEDIDA YA QUE ÚNICAMENTE ES NECESARIO EL USO DE UNA SOLA LÍNEA DE TRANSMISIÓN Y DE UN SOLO PAR DE MODEMS.

LA IMPLEMENTACIÓN DE LA UNIDAD DE SINCRONÍA SE DIVIDIO EN DOS PARTES PRINCIPALES:

- SISTEMA DE RECUPERACIÓN DE RELOJ Y
- SISTEMA DE RECUPERACIÓN DE SEÑALES DE SINCRONÍA DE TRAMA Y DE SINCRONÍA DE CANAL.

EL DISEÑO E IMPLEMENTACIÓN DEL DISPOSITIVO QUE REALIZA EN EL TRANSMISOR LA MEZCLA DE LOS PULSOS DE INFORMACIÓN CON LAS SEÑALES DE SINCRONÍA NO SE CONTEMPLÓ COMO PARTE DE LA UNIDAD DE SINCRONÍA Y PARA REALIZAR LAS PRUEBAS DE DICHA UNIDAD SE TUVO QUE IMPLEMENTAR UN DISPOSITIVO A BASE DE REGISTROS DE CORRIMIENTO, QUE PERMITIERA PROGRAMAR UNA TRAMA COMPLETA DE INFORMACIÓN INCLUYENDO SEÑALES DE SINCRONÍA DE CANAL Y DE SINCRONÍA DE TRAMA Y QUE REPITIERA DICHA TRAMA CONTINUAMENTE. ESTE DISPOSITIVO ESTA CONSTITUIDO POR OCHO REGISTROS DE CORRIMIENTO DE OCHO BITS DE CARGA EN PARALELO Y CORRIMIENTO EN SERIE, CONECTADOS EN ANILLO DE TAL FORMA QUE POR MEDIO DE LAS ENTRADAS EN PARALELO ES POSIBLE SELECCIONAR EL ESTADO DE CADA UNO DE LOS BITS DE LOS 64 DE QUE CONSTA LA TRAMA, SIMPLEMENTE CONECTANDO LAS ENTRADAS EN PARALELO AL VOLTAJE DE ALIMENTACIÓN O A TIERRA, SEGÚN SE DESEE. AL CONECTAR A TIERRA LAS TERMINALES 1 (SHIFT LOAD) DE CADA REGISTRO ESTOS QUEDAN CARGADOS CON LOS 1's Y 0's QUE SE TENGAN EN LAS ENTRADAS EN PARALELO (A,B,C,D,E,F,G,H) TERMINALES (11,12, 13, 14, 3, 4, 5, 6 RESPECTIVAMENTE) Y EMPIEZAN A CORRER EN FORMA SERIAL A RAZÓN DE 1 BIT POR CADA CICLO DE RELOJ AL PONER A V_{CC} LAS TERMINALES MARCADAS CON EL NÚMERO 1. EN LA FIGURA 5.1 SE TIENE EL DIAGRAMA DE CONEXIONES DE TAL DISPOSITIVO.

EL DESGLOSE DE LAS FUNCIONES PRINCIPALES DEL SISTEMA -



① C.I. SN 74165

FIGURA 5.1. DIAGRAMA DE CONEXIONES DEL DISPOSITIVO GENERADOR DE LA TRAMA DE PRUEBA.

P.C.M. DENTRO DEL CUAL SE SITUA LA FUNCIÓN DE LA UNIDAD DE SINCRONÍA ES EL SIGUIENTE:

- 1o.- LA PRIMERA FUNCIÓN QUE REALIZA EL SISTEMA P.C.M. ES TOMAR MUESTRAS DE CADA UNO DE LOS CANALES QUE COMPRENDEN EL SISTEMA. PARA ILUSTRAR COMO SE REALIZA ESTA FUNCIÓN OBSERVESE LA FIGURA 5.2 EN LA CUAL SE HAN PROPUESTO COMO ENTRADA A CADA CANAL, SEÑALES SEÑOIDALES DE IDENTICAS CARACTERISTICAS A FIN DE HACER MÁS CLARA LA VISUALIZACIÓN DE ÉSTA FUNCIÓN. LA SECUENCIA DE MUESTREO SE ILUSTRAS POR MEDIO DE LAS FRANJAS SOMBREADAS QUE REPRESENTAN LA PARTE DE LA SEÑAL DE CADA CANAL QUE VA SIENDO MUESTREADA. LA SALIDA DEL MUESTREADOR SE OBSERVA EN LA FIGURA 5.3.
- 2o.- LA SIGUIENTE FUNCIÓN PRINCIPAL ES CODIFICAR CADA UNA DE LAS MUESTRAS ANALÓGICAS EN UN CÓDIGO BINARIO, PARA LO CUAL EL INTERVALO DE TIEMPO QUE COMPRENDE CADA MUESTRA, Y EN EL CUAL ENTRA EN FUNCIÓN EL CODIFICADOR, SE DIVIDE EN OCHO PARTES DE LAS CUALES SEIS SON USADAS PARA LA CODIFICACIÓN Y DOS SON DEJADAS PARA LA INTRODUCCIÓN DE LOS BITS DE SINCRONÍA PARA POSTERIORMENTE TRANSMITIR EL TREN DE PULSOS CON LA INFORMACIÓN HACIA EL RECEPTOR.
- 3o.- LA SIGUIENTE FUNCIÓN DEL SISTEMA P.C.M. CORRESPONDE A LA PARTE RECEPTORA Y ES AQUÍ DONDE ENTRA EN ACCIÓN LA UNIDAD DE SINCRONÍA A LA CUAL SE ALIMENTA EL TREN DE PULSOS QUE VIENE DEL TRANSMISOR Y DEL CUAL LA UNIDAD DE SINCRONÍA DERIVA EL

RELOJ MAESTRO, LA SINCRONÍA DE PALABRA Y LA SINCRONÍA DE TRAMA Y CUYAS FORMAS DE ONDA TEÓRICAS SON -- MOSTRADAS EN LA FIGURA 5.4. LAS FORMAS DE ONDA OBTENIDAS EXPERIMENTALMENTE SE MUESTRAN DE LA FIGURA 5.5 A LA FIGURA 5.8. EN LA FIGURA 5.5 SE PUEDE OBSERVAR EN LA PARTE SUPERIOR DE LA FOTOGRAFÍA, UN -- TREN DE PULSOS DE INFORMACIÓN QUE CORRESPONDE A DOS TRAMAS APROXIMADAMENTE, Y EN LA PARTE INFERIOR LOS PULSOS DE SINCRONÍA DE TRAMA CORRESPONDIENTES.

EN LA PARTE SUPERIOR DE LA FIGURA 5.6, SE OBSERVA - UNA TRAMA DE INFORMACIÓN CON SU CORRESPONDIENTE PULSO DE SINCRONÍA EN LA PARTE SUPERIOR. LA RELACIÓN DE TIEMPO QUE EXISTE ENTRE LAS SEÑALES DE SINCRONÍA SE PUEDE OBSERVAR EN LA FIGURA 5.7; LA CUAL MUESTRA EN LA PARTE SUPERIOR LA SEÑAL DE SINCRONÍA DE CANAL Y EN LA PARTE INFERIOR LA SEÑAL DE SINCRONÍA DE TRAMA. FINALMENTE, EN LA FIGURA 5.8 SE OBSERVAN EN LA PARTE SUPERIOR DOS PULSOS CORRESPONDIENTES A LA SEÑAL DE SINCRONÍA DE CANAL Y EN LA PARTE INFERIOR LA SEÑAL DE RELOJ MAESTRO.

- 4o. POR ÚLTIMO, UNA VEZ QUE SE HAN OBTENIDO LAS SEÑALES DE SINCRONÍA Y EL RELOJ MAESTRO EN EL RECEPTOR LA SIGUIENTE FUNCIÓN DEL SISTEMA ES DECODIFICAR, ES DECIR, TRANSFORMAR LOS PULSOS CORRESPONDIENTES A CADA MUESTRA AL VALOR DE VOLTAJE QUE TENÍA LA MUESTRA -- ORIGINALMENTE, Y ASIGNAR CADA MUESTRA A SU CANAL DE SALIDA CORRESPONDIENTE.

EN LOS SISTEMAS P.C.M. COMERCIALES LAS FUNCIONES DE SINCRONIZACIÓN SON EJECUTADAS POR DISPOSITIVOS QUE SON PARTE YA DEL RECEPTOR Y AÚN CUANDO ESTÁN BASADOS EN LOS MISMOS PRINCIPIOS QUE LA UNIDAD DE SINCRONÍA PARA EL SISTEMA P.C.M. DEL LABORATORIO DE COMUNICACIONES, TIENEN ALGUNAS DIFERENCIAS ENTRE LAS QUE DESTACA LA FORMA EN LA QUE SE DETECTA LA SINCRONÍA DE TRAMA. EN LOS SISTEMAS COMERCIALES CADA TRAMA SE SEÑALIZA POR MEDIO DE UNA CLAVE QUE SE ENVÍA AL RECEPTOR AL INICIO DE CADA TRAMA PARA LO CUAL, SE EMPLEA UN CANAL ADICIONAL EN EL TRANSMISOR; EL CUAL, SE ENCARGA DEL ENVÍO DE DICHA CLAVE AL INICIO DE CADA TRAMA. EL INCONVENIENTE DE ESTE MÉTODO ESTRIBA EN QUE LA CLAVE DE SINCRONÍA, POR MÁS CUIDADO QUE SE HAYA PUESTO EN SU SELECCIÓN, PUEDE LLEGAR A COINCIDIR POR AZAR CON LA CODIFICACIÓN DE UN CANAL DE INFORMACIÓN, Y YA QUE EL DETECTOR DE SINCRONÍA DE TRAMA NO TIENE MANERA DE DISCRIMINAR ENTRE INFORMACIÓN Y CLAVE DE SINCRONÍA, SE PRODUCIRÁ UNA INDICACIÓN DE SINCRONÍA FALSA. CON EL SISTEMA PROPUESTO PARA LA UNIDAD DE SINCRONÍA, ESTE PROBLEMA SE MINIMIZA PUESTO QUE LOS BITS QUE FORMAN LA CLAVE DE SINCRONÍA DE TRAMA SE ENVÍAN EN LOCALIDADES DE LA TRAMA QUE NO FORMAN PARTE DE LA CODIFICACIÓN DE LA INFORMACIÓN Y, ADEMÁS, SE TIENEN MEDIOS PARA COMPROBAR QUE CADA BIT DE LA CLAVE DE SINCRONÍA DE TRAMA QUE SE ESTÁ RECIBIENDO ES EL CORRECTO.

EN LA ACTUALIDAD, CONFORME EL TRÁFICO DE COMUNICACIONES SE INCREMENTA, LOS SISTEMAS QUE MEZCLAN EN UN SOLO MEDIO DE TRANSMISIÓN VARIOS CANALES DE COMUNICACIÓN, SON CADA VEZ MÁS NECESARIOS, POR LO QUE, EL DESARROLLO DE NUEVOS Y MEJORES MÉTODOS DE SINCRONIZACIÓN PARA ESTOS SISTEMAS CONSTITUYE UNO DE LOS PROBLEMAS QUE DEBEMOS VENCER EN LA BÚSQUEDA DE SISTEMAS DE COMUNICACIÓN CADA VEZ MÁS EFICIENTES.

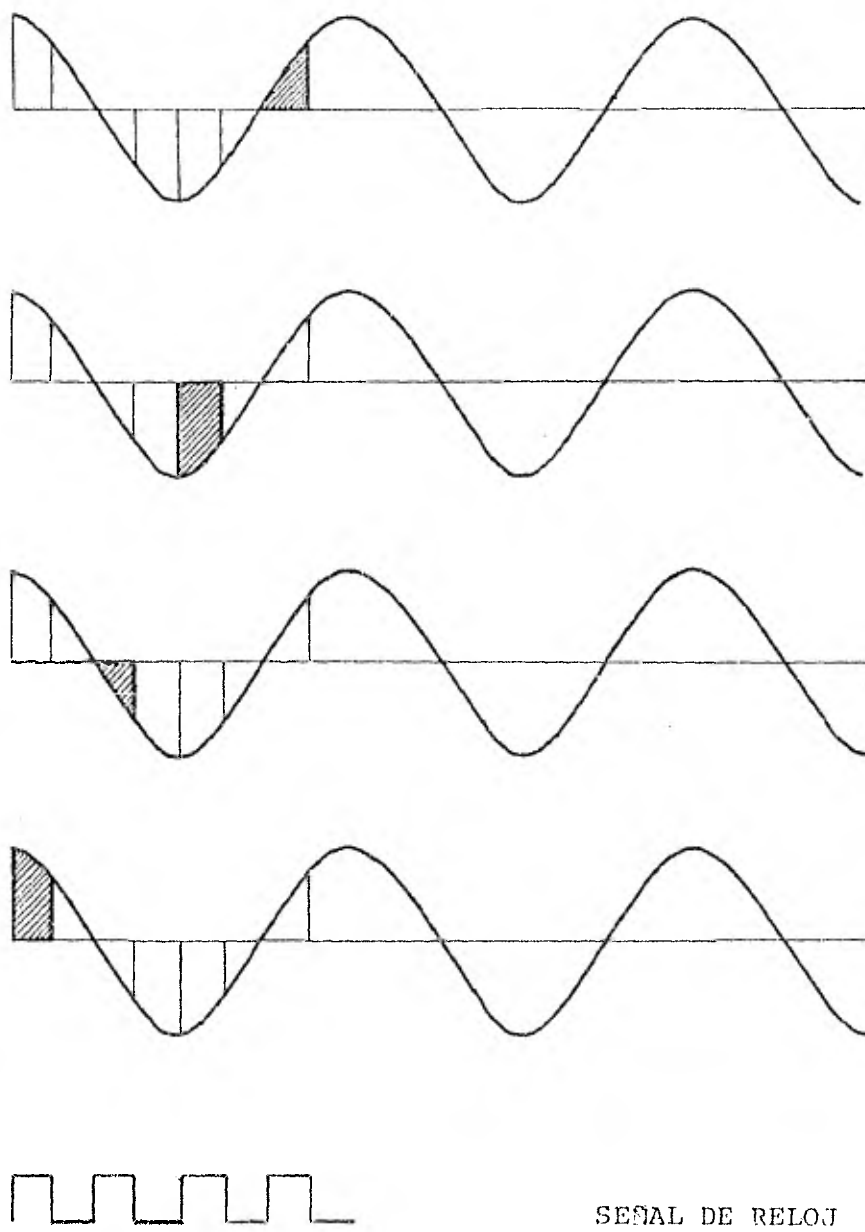


FIGURA 5.2 SECUENCIA DE MUESTREO PARA LOS CUATRO PRIMEROS CANALES DEL SISTEMA P C M .

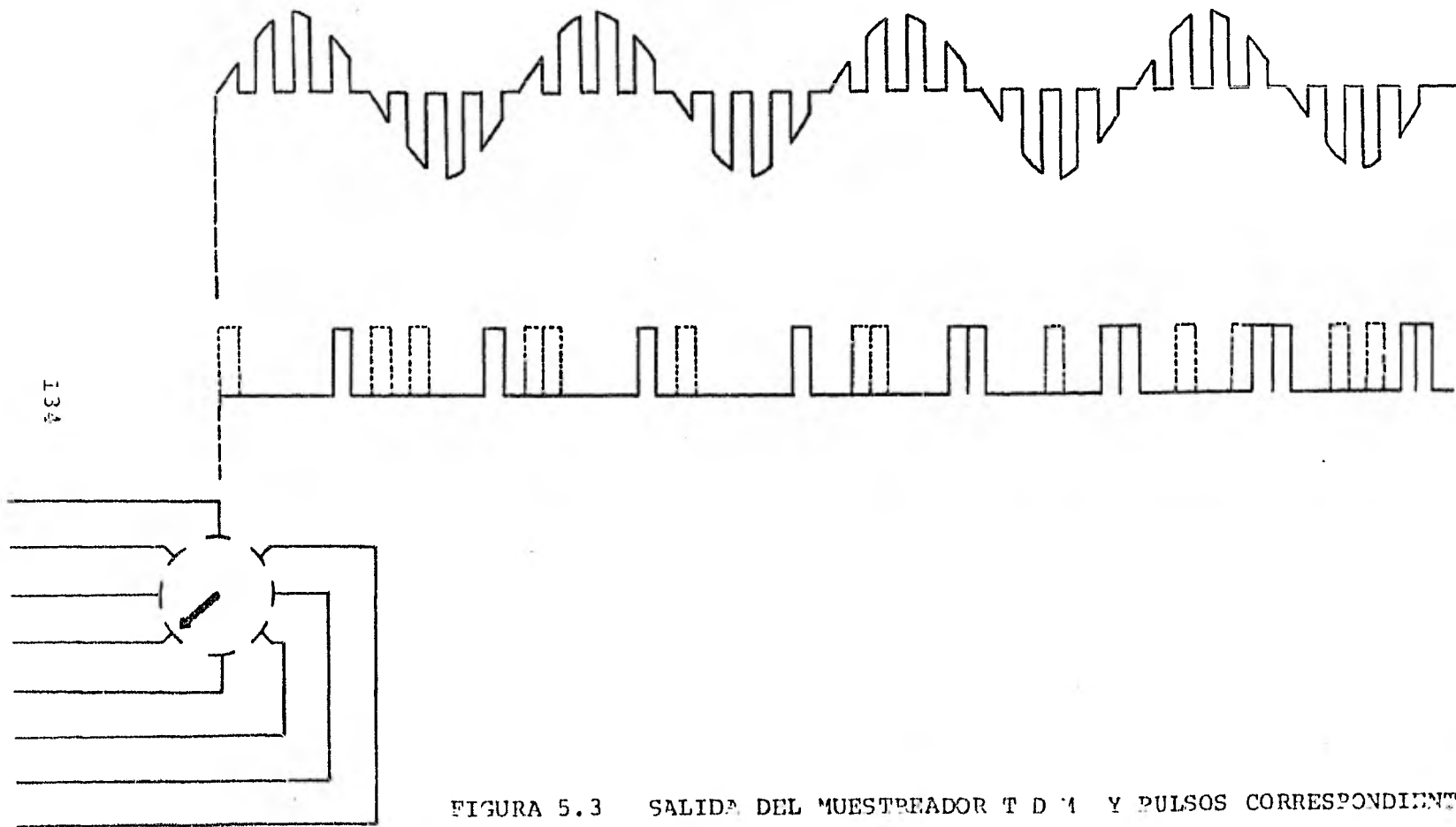


FIGURA 5.3 SALIDA DEL MUESTREADOR T D M Y PULSOS CORRESPONDIENTES A LA CRAMA DEL PRIMER CICLO DE MUESTRAS OBTENIDAS POR EL CODIFICADOR.

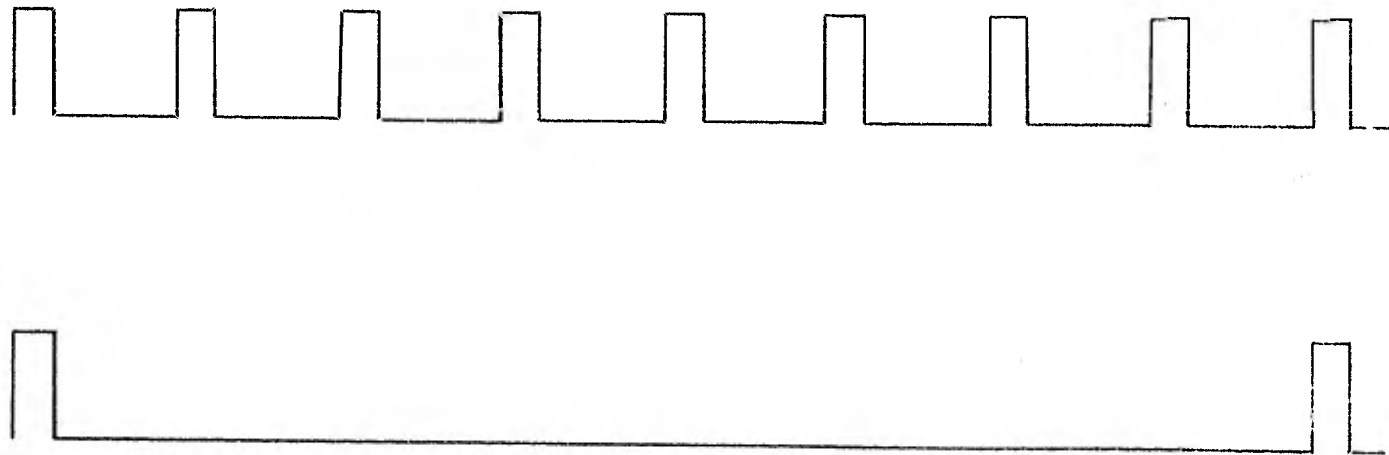


FIGURA 5.4 SEÑALES DE SINCRONIA DE CANAL Y DE SINCRONIA DE TRAMA A LA SALIDA DE LA UNIDAD DE SINCRONIA.

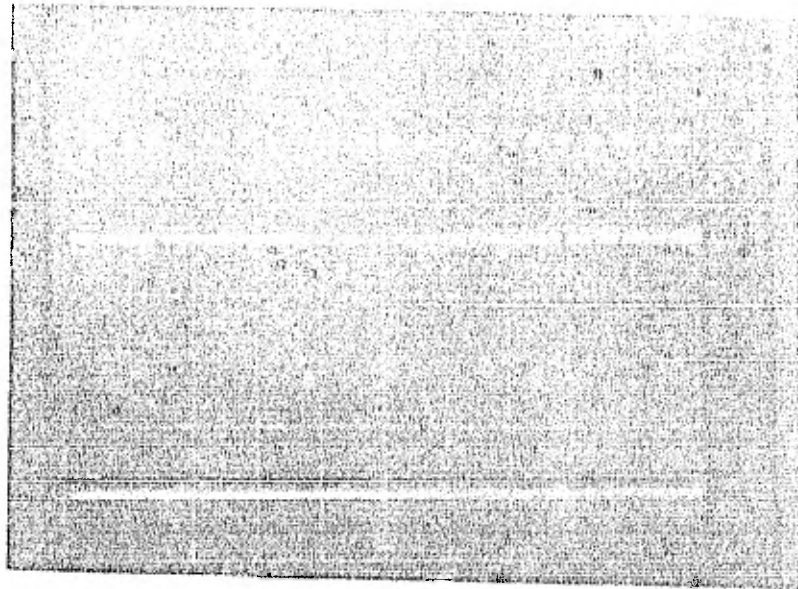


FIGURA 5.5 DOS TRAMAS Y DOS PULGOS DE SINCRONIA DE TRAMA.

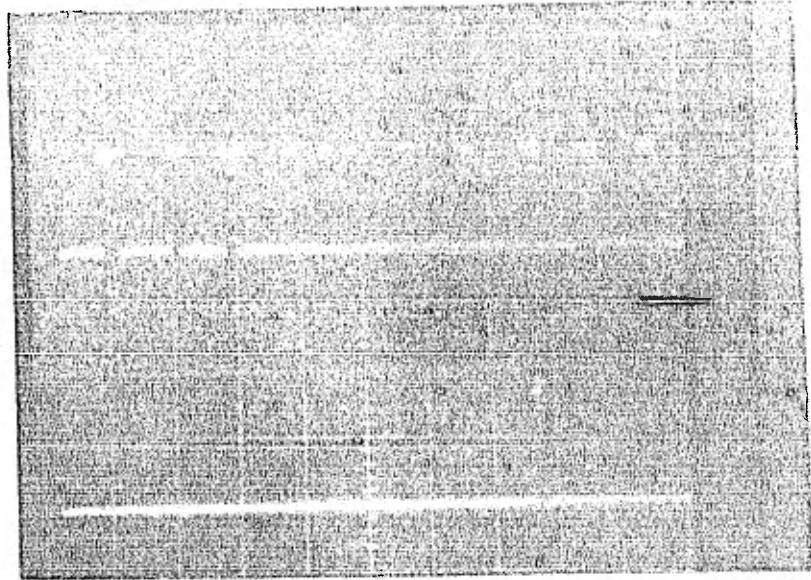


FIGURA 5.6 UNA TRAMA CON SU CORRESPONDIENTE PULSO DE SINCRONIA.

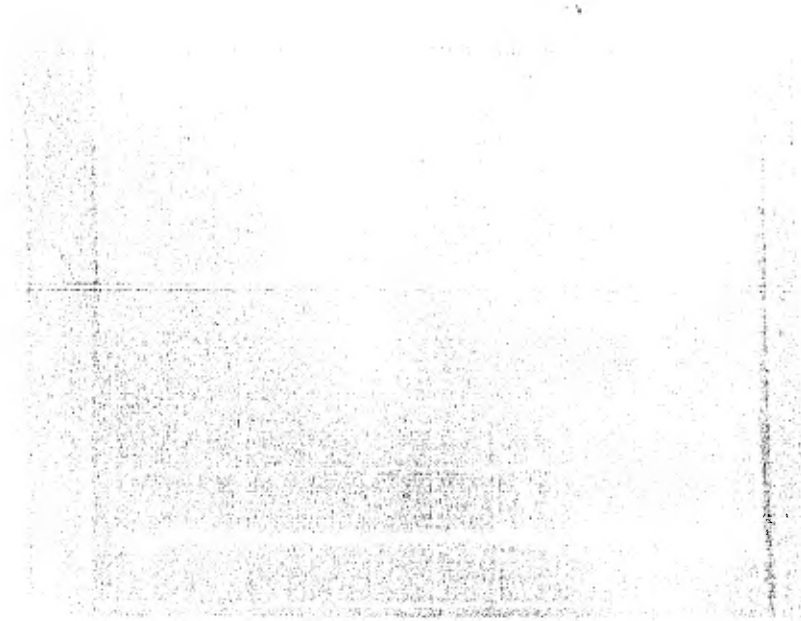


FIGURA 5.7 PULSOS DE SINCRONIA DE CANAL Y
PULSOS DE SINCRONIA DE TRAMA.



FIGURA 5.8 PULSOS DE SINCRONIA DE VIDEO Y RELOJ DE MAESTRO.

BIBLIOGRAFIA

CATTERMOLE K. W. PRINCIPLES OF PULSE CODE MODULATION
LONDON, ILIFFE C 1969.

GRUENBERG ELLIOT L. HANDBOOK OF TELEMETRY AND REMOTE
CONTROL. ELLIOT L. GRUENBERG EDITOR IN CHIEF, NEW YORK, MC.
GRAW HILL, 1967.

W. R. BENNET J. R. DAVEY, DATA TRANSMISSION. MC. GRAW
HILL, NEW YORK, 1965.

LANCE A. LEVENTHAL, 6800 ASSEMBLY LANGUAGE PROGRAMING,
OSBORNE AND ASSOCIATES.

BARDEN WILLIAM JR, THE Z80 MICROCOMPUTER HANDBOOK, SAMS
PUBLICATION.

THE ENGINEERING STAFF OF TEXAS INSTRUMENTS, THE TTL DATA
BOOK FOR DESIGN ENGINEERS, TEXAS INSTRUMENTS INC., 1973.

STAFF OF MOTOROLA INC., UNDERSTANDING MICROPROCESORS,
MOTOROLA INC. SEMICONDUCTORS PROD. DIVISION.

SIGNETICS CORPORATION, SIGNETICS ANALOG APLICATIONS
MANUAL,