

2.01em . 07



# UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

## DISEÑO Y CONSTRUCCION DE UN PROGRAMADOR DE MEMORIAS

T E . S I S

Que para obtener el Título de:  
INGENIERO MECANICO ELECTRICISTA

p r e s e n t a n :

SERGIO FERNANDO LOPEZ CALOCA

JULIAN ENRIQUE MARTINEZ SOLIS

MEXICO, D. F.

1982



Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## CAPITULO

I. INTRODUCCION . . . . .	1
II. CARACTERISTICAS GENERALES DEL PROYECTO . . . . .	4
II.1 Definición del problema . . . . .	4
II.2 Estructura de la encuesta . . . . .	4
II.3 Criterio de selección y prototipo básico . . . . .	5
II.4 Prototipo definitivo . . . . .	6
III. DESCRIPCION DEL SISTEMA . . . . .	8
III.1 Controles e Indicadores . . . . .	8
III.2 Procesamiento de la información y medios de comunica- ción . . . . .	8
III.3 Confiabilidad de la programación . . . . .	16
III.4 Requisitos de alimentación . . . . .	16
III.5 Dimensiones y peso . . . . .	17
III.6 Costo del prototipo . . . . .	17
IV. CONCLUSIONES . . . . .	18
APENDICES . . . . .	20
A. LA ENCUESTA Y SUS RESULTADOS . . . . .	22
B. DESCRIPCION DE LOS CIRCUITOS ELECTRONICOS DEL SISTEMA. . . . .	37
C. EL PROGRAMA DEL SISTEMA . . . . .	58
D. INSTRUCTIVO DE OPERACION . . . . .	110
E. CLASIFICACION DE LAS MEMORIAS ROM Y ESPECIFICACIONES DE LAS EPROM SELECCIONADAS . . . . .	133
BIBLIOGRAFIA . . . . .	173

## CAPITULO I

### INTRODUCCION

En una variedad de sistemas digitales y en aplicaciones de cómputo se utilizan memorias semiconductoras que sólo permiten lectura (ROM), cuya información se define en la etapa de fabricación mediante una mascarilla que contiene el patrón deseado. Para modificar la información almacenada en una memoria ROM, es necesario generar una nueva mascarilla sujeta a las siguientes limitaciones:

- Volumen mínimo de fabricación (unas 500 piezas).
- Tiempo de entrega (de 3 a 6 meses).

Por lo anterior, la utilización de las memorias ROM solo se justifica cuando:

- El patrón de información esté definido.
- El volumen de producción justifique el costo inicial de la mascarilla.

Las limitaciones anteriores conducen a un interés creciente por las memorias ROM programables eléctricamente, cuyo patrón de información se graba aplicando una señal eléctrica. Existen dos tipos de ROM programables eléctricamente, denominados: "Memoria que sólo permite lectura, programable" (PROM) y "Memoria que sólo permite lectura, programable y borrrable" (EPROM). Ambos tipos (PROM y EPROM) permiten alterar el patrón sin las limitaciones inherentes al ROM, dado que el proceso de grabación lo efectúa el usuario, mediante un equipo programador.

El nivel de complejidad involucrado en el diseño de un equipo programador de memorias, depende fundamentalmente de los siguientes factores:

- Los diferentes tipos de memoria que pueda programar.
- Los medios de comunicación requeridos (teletipo, terminal de video, teclado hexadecimal y despliegue luminoso, etc.).
- Versatilidad en el procesamiento de la información.

El objetivo del presente trabajo es describir el desarrollo de un equipo programador de memorias, siguiendo los lineamientos obtenidos al aplicar una encuesta en las principales instituciones mexicanas dedicadas a la investigación y al desarrollo de sistemas que utilizan memorias ROM.

Las características resumidas del equipo programador desarrollado son:

- a) Capacidad para programar los tipos de memoria EPROM:
  - 2704, 2708 y 2716 (con capacidades de 512, 1024 y 2048 localidades de ocho bits<sup>1</sup>, respectivamente) que utilizan tres fuentes,
  - 2758, 2716 y 2532 (con capacidades de 1024, 2048 y 4096 localidades de ocho "bits", respectivamente) que utilizan una fuente.
- b) Medios de comunicación con el usuario:
  - Interno
    - + teclado hexadecimal y despliegue luminoso.
  - Externos
    - + teletipo o cualquier dispositivo que satisfaga la norma RS-232C.

---

<sup>1</sup> Bit: Dígito binario (Ref. 21)

c) Versatilidad en el procesamiento de la información:

- Operación del sistema mediante veinte funciones seleccionables.

d) Características adicionales:

- Detección de errores generados al operar el sistema.
- Capacidad para seleccionar la velocidad de comunicación con el dispositivo externo.
- Guía visual para el manejo de la memoria que se va a programar mediante diodos emisores de luz.
- Polarización automática de la memoria que se va a programar mediante relevadores.
- Portabilidad.

Las características anteriores -a nuestro juicio - hacen del equipo programador de memorias desarrollado, un sistema que cubre los requerimientos de los diseñadores mexicanos, con versatilidad y confiabilidad comparables a las de equipos similares de diseño extranjero.

## CAPITULO II

### CARACTERISTICAS GENERALES DEL PROYECTO

#### II.1 Definición del problema

Como se estableció en el capítulo I, el alcance del presente trabajo lo definieron los usuarios potenciales. Diecisiete cuestionarios como el mostrado en el apéndice A fueron aplicados en las instituciones:

- Instituto de Ingeniería (U.N.A.M.)
- C.I.E.A. - I.P.N.\* (Departamentos de Física e Ing. Eléctrica)
- Universidad Autónoma Metropolitana (Plantel Iztapalapa)
- Facultad de Ingeniería (U.N.A.M.)
- I.I.M.A.S.\*\* (U.N.A.M.)

Considerando que en México la aplicación de un equipo como el que se pretende diseñar, se reduce prácticamente a instituciones educativas y centros de investigación, los requerimientos de la población encuestada son representativos de las necesidades de los diseñadores mexicanos.

#### II.2 Estructura de la encuesta

El cuestionario aplicado se compone de tres secciones:

---

\* C.I.E.A. - I.P.N.: Centro de Investigación y de estudios avanzados del Instituto Politécnico Nacional.

\*\* I.I.M.A.S.: Instituto de Investigaciones en Matemáticas Aplicadas y en Sistemas.

- Características propuestas
- Características adicionales
- Precio.

La primera sección propone once características generales, tomadas de folletos de equipos comerciales de diseño extranjero.

La segunda es una sección abierta, para que en ella se enuncien las características deseadas, no incluidas en la primera sección.

La última sección se refiere al precio que el usuario potencial estaría dispuesto a pagar, por el equipo definido a través de las secciones anteriores.

Los resultados obtenidos se resumen en las tablas del apéndice A.

### 11.3 Criterio de selección y prototipo básico

Los resultados de la primera y segunda secciones del cuestionario configuraron el prototipo básico, al aplicarles el siguiente criterio:

- Se excluyeron las características con incidencia de solicitud inferior al 30 por ciento de la población.
- En el caso de características que tienen opciones de naturaleza contraria, se decidió por la opción de mayor incidencia de solicitud.

Con base en lo anterior, las características del prototipo básico se resumen así:

- a) Capacidad para programar los tipos de memoria EPROM:
  - 2708 (de 1024 localidades de ocho "bits") que utiliza tres fuentes.
  - 2716 (de 2048 localidades de ocho "bits") que utiliza una fuente.



b) Medios de comunicación con el usuario:

- Teclado hexadecimal y despliegue luminoso.
- Norma RS-232C.

c) Versatilidad en el procesamiento de la información:

- Operación mediante funciones seleccionables.

d) Características adicionales:

- Fuente de alimentación integral
- Sistema completo
- Señales auditivas y visuales durante el proceso de programación
- Baud Rate<sup>1</sup> de 110, 150, 300, 600 y 1200 baudios
- Capacidad para duplicar a partir de memorias PROM y EPROM
- Portabilidad.

La información relevante obtenida con la tercera sección del cuestionario se resume a que hay disponibilidad para pagar entre \$7,000.00 y \$40,000.00 por el prototipo básico.

#### *II.4 Prototipo definitivo*

Algunas características adicionales se agregaron al prototipo básico, considerando los siguientes factores:

---

<sup>1</sup> Baud Rate: Velocidad (de transmisión) en baudios (Ref. 21).

- a) Los requisitos de programación de las EPROM 2704 y 2758 (Apéndice E), son comunes a los de las memorias seleccionadas (2708 y 2716).
- b) Previendo que en ciertas aplicaciones es deseable contar con memorias de mayor capacidad, pero de las mismas características que las seleccionadas, se agregó capacidad para programar los tipos de EPROM:
- 2716 (de 2048 localidades de ocho "bits") que utiliza tres fuentes.
  - 2532 (de 4096 localidades de ocho "bits") que utiliza una fuente.
- c) Los circuitos electrónicos empleados para satisfacer la gama de velocidades de comunicación solicitada (110, 150, 300, 600 y 1200 baudios), permiten obtener también las velocidades: 2400, 4800 y 9600 baudios.
- d) Considerando que en muchos casos es de utilidad contar con respaldo de la información grabada, se agregó capacidad para manejar teletipo y lectora-perforadora de cinta de papel.
- e) Con objeto de proteger los dispositivos que se van a programar, se agregó capacidad para controlar automáticamente la polarización de las bases alojadoras.

El prototipo definitivo quedó determinado al agregar al prototipo básico las características anteriores, y suprimir parcialmente la capacidad para duplicar a partir de memorias PROM y EPROM. Esta última característica sólo se aplica a las EPROM seleccionadas, debido a que en el caso de memorias PROM, la incidencia de solicitud (menor al 6 por ciento) no justifica la complicación adicional en el diseño.

## CAPITULO III

### DESCRIPCION DEL SISTEMA

En este capítulo se muestra al equipo programador desarrollado como un proyecto terminado, dejando los aspectos técnico y operativo para los apéndices B, C y D. El apéndice B describe los circuitos electrónicos del sistema, el C su programa y el D se intenta como una guía ejemplificada para su operación.

#### *III.1 Controles e indicadores*

La figura III.1.1 muestra los diversos componentes del prototipo definitivo y las tablas III.1.1 y III.1.2 describen brevemente su función.

#### *III.2 Procesamiento de la información y medios de comunicación*

##### 3.2.1 Area de trabajo.

El sistema reserva a partir de la localidad 1000H de la memoria RAM<sup>1</sup>, un área igual (en extensión) a la capacidad del EPROM declarado. Esto permite que para efectos de programación, el usuario contemple dicho espacio como la memoria que va a programar.

---

<sup>1</sup> RAM (Random access memory): Memoria que permite lectura y escritura (Ref. 1)

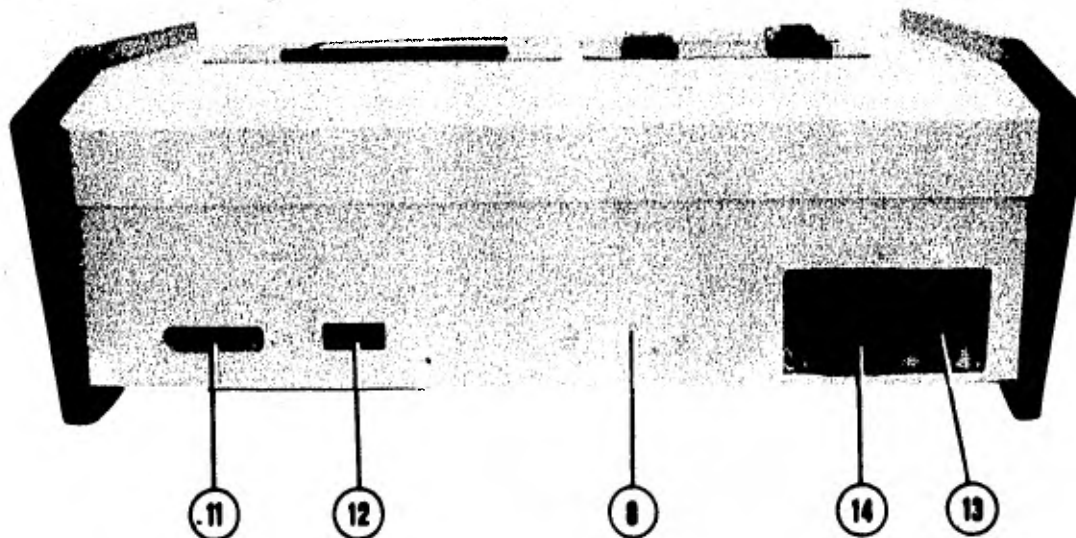
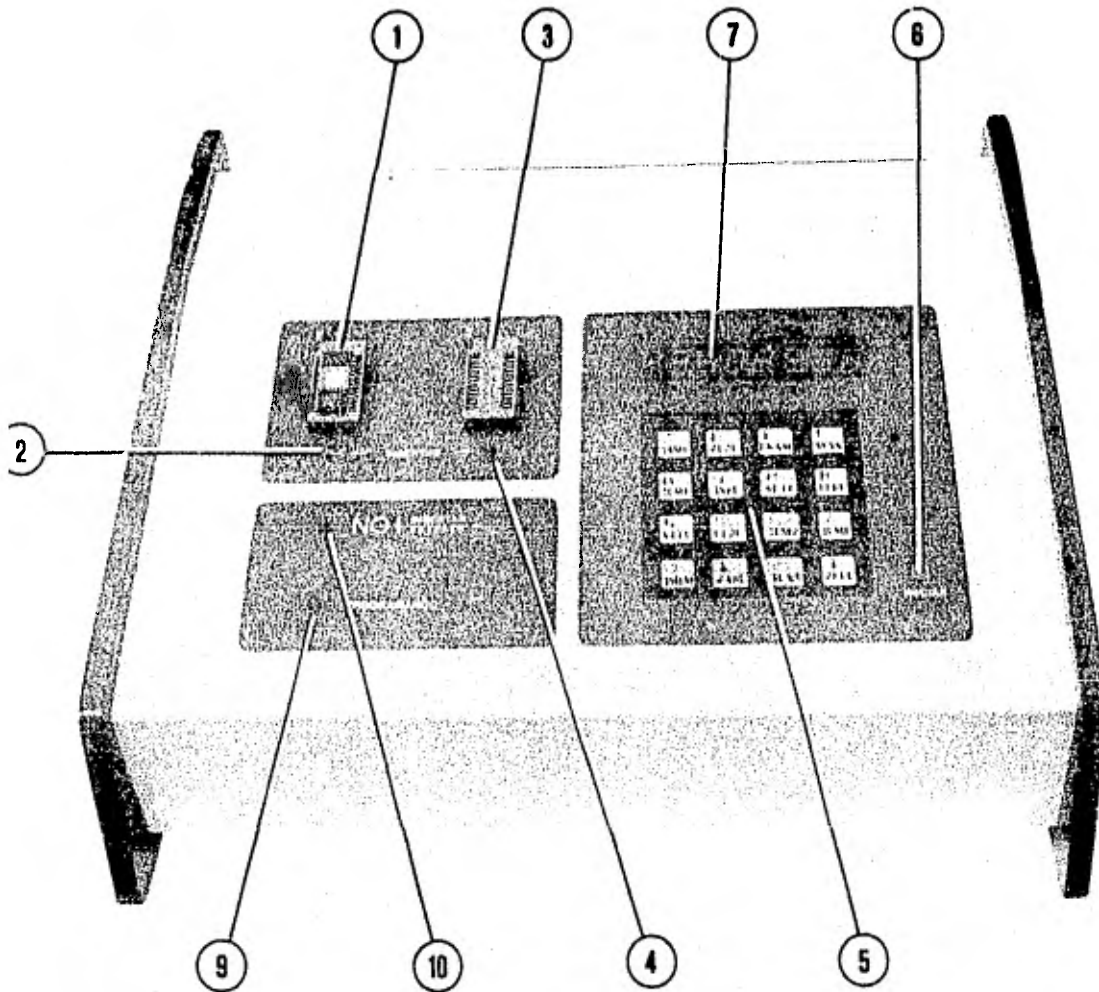


FIGURA III.1.1. CONTROLES E INDICADORES

COMPONENTE No.	DESCRIPCION	FUNCION
1	Base de 24 alfileres tipo inserción sin esfuerzo.	Alojar las EPROM que utilizan tres fuentes de alimentación.
2	Diodo emisor de luz.	Señalar la base compatible con la EPROM declarada.
3	Base de 24 alfileres tipo inserción sin esfuerzo.	Alojar las EPROM que utilizan una fuente de alimentación.
4	Diodo emisor de luz.	Señalar la base compatible con la EPROM declarada.
5	Teclado matricial de 4 x 4 puntos de conmutación.	Cada una de las teclas tiene una función dual (tabla III.1.2).
6	Tecla.	Iniciar el programa del sistema.
7	Conjunto de ocho elementos de siete segmentos.	Desplegar los mensajes emitidos por el sistema.
8	Bocina.	Generar una señal audible cuando el sistema detecta errores de operación.
9	Diodo emisor de luz (PROGRAMANDO).	Indicar que el sistema ejecuta la función PROGRAMAR.
10	Diodo emisor de luz (NO INSERTAR/NO EXTRAER).	Indicar al usuario cuándo no debe insertar o extraer EPROMS.
11	Conector de 25 contactos tipo DB-25S.	Proveer de un medio físico para el acoplamiento de dispositivos externos.
12	Interruptor de depresión de ocho posiciones.	Seleccionar la velocidad de comunicación serie.
13	Interruptor tipo SPST.	Activar o desactivar la alimentación del sistema.
14	Receptáculo para el cable de alimentación.	Alojar el conector hembra del cable de alimentación.

TABLA III.1.1 CONTROLES E INDICADORES

TECLA	D. HEXADECIMAL	FUNCION
0/DMEM	0	Definir memoria
1/PASE	1	Programación del acoplador serie
2/DEXT	2	Transferir a un dispositivo externo
3/PROG	3	Programar
4/VERI	4	Verificar
5/REPR	5	Reproducir
6/COMP	6	Comparar
7/COMF	7	Copiar en modo final
8/COMI	8	Copiar en modo inicial
9/INSE	9	Insertar
A/AUTO	A	Autocargar
B/REGR	B	Regresar
C/CAMB	C	Cambiar
D/SUPR	D	Suprimir
E/EXAM	E	Examinar memoria
F/AVAN	F	Avanzar

TABLA III.1.2 TECLADO HEXADECIMAL

### 3.2.2 Funciones seleccionables

El sistema ofrece veinte funciones que simplifican y hacen versátil el proceso de programación. Estas funciones se clasifican en cuatro grupos:

El grupo uno tiene una sola función destinada a proveer condiciones seguras para el manejo de los EPROM.

El grupo dos está formado por catorce funciones destinadas al manejo de la información que se va a programar.

El grupo tres está formado por dos funciones destinadas a manejar respaldos de la información.

El grupo cuatro está formado por tres funciones destinadas a transferir el control del sistema. La transferencia se realiza del medio de comunicación integral (teclado hexadecimal y despliegue luminoso) al externo (teletipo o dispositivo que satisfaga la norma RS-232C) y viceversa.

Las operaciones que realizan las funciones anteriores se describen a continuación, por grupos. La letra a la derecha del nombre de la función indica desde que medio de comunicación es accesible. La letra I identifica al medio interno, la E al medio externo e I/E a ambos.

## GRUPO I

(Manejo de los EPROM)

## 1. Definir memoria (I)

Acondiciona al sistema (circuitos y programa) para programar al EPROM declarado.

## GRUPO II

(Manejo de la información)

## 1. Autocargar (I)

Almacena datos en forma consecutiva, a partir de cualquier dirección dentro del área de trabajo.

## 2. Examinar (I/E)

Examina el contenido de cualquier localidad del área de trabajo. Esta función permite utilizar las funciones: cambiar, avanzar, regresar, insertar y suprimir.

## 2.1 Cambiar (I/E)

Modifica el contenido de la localidad examinada.

## 2.2 Avanzar (I/E)

Muestra el contenido de la localidad que sigue a la examinada.

## 2.3 Regresar (I/E)

Muestra el contenido de la localidad que precede a la examinada.



#### 2.4 Insertar (I/E)

Introduce un dato en la localidad examinada, recorriendo una localidad el dato original, así como los datos almacenados en localidades de dirección mayor.

#### 2.5 Suprimir (I/E)

Suprime el dato examinado recorriendo a una localidad anterior, los datos almacenados en localidades de dirección mayor a la examinada.

#### 3. Mostrar un bloque (E)

Muestra el contenido de las localidades del bloque seleccionado.

#### 4. Comparar (I/E)

Comprueba si dos bloques de datos contienen la misma información.

#### 5. Copiar en modo inicial (I/E)

Copia en el espacio de memoria seleccionado, el contenido de un bloque fuente. La operación se inicia reproduciendo el contenido de la localidad inicial del bloque fuente, en la localidad inicial del bloque seleccionado.

#### 6. Copiar en modo final (I/E)

Copia en el espacio de memoria seleccionado, el contenido de un bloque fuente. La operación se inicia reproduciendo el contenido de la localidad final del bloque fuente, en la localidad final del bloque seleccionado.

#### 7. Programar (I/E)

Graba en el EPROM declarado un bloque de datos previamente almacenado en el área de trabajo. El proceso se inicia al grabar en la localidad inicial del bloque seleccionado, el contenido de la localidad 1000H.

## 8. Reproducir (I/E)

Copia en el área de trabajo un bloque de datos tomado del EPROM declarado. El bloque seleccionado queda almacenado a partir de la localidad 1000H.

## 9. Verificar (I/E)

Verifica que todas las localidades del EPROM declarado se encuentren borradas.

## GRUPO III

(Manejo de respaldos)

## 1. Transmitir un bloque de datos (E)

Trasmite la cantidad de caracteres solicitada por el dispositivo externo, tomándolos a partir de la localidad 1000H.

## 2. Recibir un bloque de datos (E)

Almacena la cantidad de caracteres indicada por el dispositivo externo, a partir de la localidad 1000H.

## GRUPO IV

(Transferencia del control)

## 1. Programación del acoplador serie (I)

Acondiciona el acoplador serie para operar en la forma seleccionada (Apéndice D).

## 2. Transferir a dispositivo externo (I)

Transfiere el control al medio de comunicación externo (teletipo o

dispositivo que satisfaga la norma RS-232C).

3. Transferir a teclado hexadecimal (E)

Retorna el control al teclado hexadecimal y despliegue luminoso.

### III.3 Confiabilidad de la programación.

A pesar de que en la literatura sobre dispositivos EPROM existen técnicas de programación diferentes a las sugeridas por los fabricantes, la técnica adoptada en el diseño de este sistema se apega estrictamente a lo especificado por los principales fabricantes de este tipo de dispositivos (Apéndice E). Por este motivo, se infiere que cualquier EPROM de geometría y características eléctricas equivalentes a las de los EPROM seleccionados, será programado confiablemente por el sistema.

### III.4 Requisitos de alimentación.

El sistema utiliza cuatro fuentes de alimentación, con las capacidades de corriente mostradas a continuación:

FUENTE (Voltios)	C. DE CORRIENTE (Amperes)
+ 5	1.75
- 5	0.25
+12	0.05
-12	0.005

Considerando que el objetivo fundamental de este trabajo no es el diseño de fuentes, el prototipo definitivo se probó y puso en marcha utilizando una fuente comercial que cubre ampliamente los requisitos anteriores.

### III.5 Dimensiones y Peso

La figura III.5.1 muestra las dimensiones principales del prototipo definitivo. Su peso es de 6.0 kilogramos.

Las características anteriores confirman la portabilidad antes descrita (III.4).

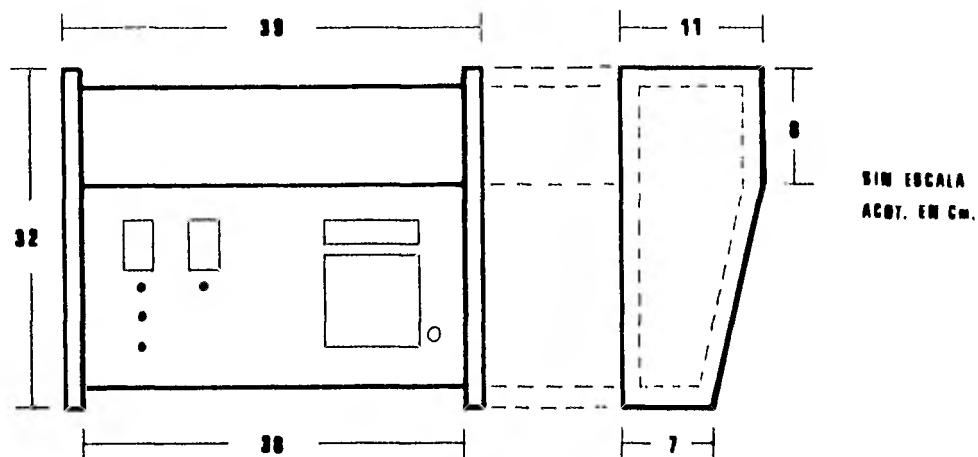


FIGURA III.5.1

### III.6 Costo del prototipo

Considerando exclusivamente los materiales empleados en la elaboración del prototipo, el costo global fue de \$35,733.45. El precio comercial del sistema no se presenta debido a que depende de otros factores (costo del diseño, mano de obra, costos indirectos, etc.) cuyo estudio está fuera del alcance del presente trabajo.

## CAPITULO IV

### CONCLUSIONES

Se ha desarrollado un equipo programador de memorias EPROM que excede los requerimientos actuales de los diseñadores mexicanos. Sus características fueron conceptualmente tomadas de equipos programadores extranjeros, tratando de superar o por lo menos igualar las características más importantes. Por ejemplo, el manejo de la información que se va a programar se hace mediante veinte funciones seleccionables, que dan gran versatilidad al usuario y permiten que la operación pueda realizarla personal no especializado. Otra característica del equipo desarrollado, es la posibilidad de realizar expansiones y/o modificaciones para programar otros tipos de memoria y dispositivos EPROM - como es el caso de los microprocesadores con memoria EPROM integral - que en un futuro pudieran ser de interés para los diseñadores mexicanos.

Las técnicas de programación adoptadas hacen factible que los fabricantes de dispositivos EPROM, acepten incluir al programador aquí presentado, en sus listas de equipos sugeridos para programar sus productos.

Al analizar equipos programadores extranjeros se observó que aquellos que satisfacen los requerimientos de los diseñadores mexicanos, tienen características

adicionales que el diseñador mexicano estaría obligado a pagar sin utilizarlas. El precio de dichos equipos - incluido el impuesto por importación - oscila entre el 450 y 500 por ciento de la más alta disponibilidad de pago detectada. Esto con firma el desconocimiento y bajo aprovechamiento de los dispositivos EPROM, detectados en la fase inicial del proyecto.

Desde que el prototipo se puso en marcha hasta el momento de redactar esta tesis, se realizaron múltiples modificaciones para optimizar los aspectos funcional y operativo del diseño. Se considera que la optimización lograda satisface los objetivos de este trabajo, y que la continuación del mismo sólo se justifica si se toman en cuenta las sugerencias del consumidor final.

APENDICES

APENDICE A



## APENDICE A

### LA ENCUESTA Y SUS RESULTADOS

Este apéndice contiene el cuestionario aplicado y los resultados obtenidos en forma tabular. Las tablas A.2.1 y A.3.1, muestran respectivamente; los porcentajes de incidencia de solicitud de las características sugeridas, y los de las características solicitadas. La tabla A.4.1 resume los precios propuestos por los usuarios potenciales para el prototipo básico.

A.1 CUESTIONARIO APLICADO

A.2 RESULTADOS DE LA PRIMERA SECCION

A.3 RESULTADOS DE LA SEGUNDA SECCION

A.4 RESULTADOS DE LA TERCERA SECCION

A.1 CUESTIONARIO APLICADO



1.3 Opciones en hardware<sup>1</sup> Sistema Completo Módulos

## 1.4 Funcionamiento del sistema:

 Automático (Funciones predeterminadas) Por medio de funciones seleccionables

## 1.5 Señales durante el proceso de programación

 AUDITIVAS VISUALES AMBAS NINGUNA

## 1.6 Tipos de Comunicación:

 Teclado hexadecimal y despliegue luminoso Norma RS - 232C  6502 DMA<sup>2</sup>  6800  Apple  Otro (especifique) Entrada-salida paralelo Lectora de cinta de papel Cassette<sup>3</sup> Modem<sup>4</sup> Otra (especifique)

<sup>1</sup> Hardware: Las partes físicas de un computador (Ref. 21)

<sup>2</sup> DMA (Direct Memory Access): Acceso directo a memoria (Ref. 22).

<sup>3</sup> Cassette: Cartucho de doble devanado de cinta magnética, diseñado para instalarse fácilmente en el reproductor (Ref. 22).

<sup>4</sup> Modem: Dispositivo que proporciona el acoplamiento apropiado entre una vía de telecomunicación y una máquina o un sistema de sistematización de datos, desempeñando las funciones de modulador y demodulador (Ref. 21).



1.11 Tipo de presentación:

\_\_\_\_ Portátil (Maleta)

\_\_\_\_ Fijo

2. ¿Desearía que tuviera alguna(s) característica(s) adicionales a las antes mencionadas? (Especifique):

2.1 \_\_\_\_\_

\_\_\_\_\_

2.2 \_\_\_\_\_

\_\_\_\_\_

2.3 \_\_\_\_\_

\_\_\_\_\_

2.4 \_\_\_\_\_

\_\_\_\_\_

2.5 \_\_\_\_\_

\_\_\_\_\_

3. ¿Cuánto pagaría por un programador de memorias, como el que usted desea?

\_\_\_\_\_

NOMBRE: \_\_\_\_\_

EMPRESA/ INSTITUCION: \_\_\_\_\_

TELEFONO: \_\_\_\_\_



## A.2 RESULTADOS DE LA PRIMERA SECCION





A.3 RESULTADOS DE LA SEGUNDA SECCION.

TABLA A.3.1  
 Resultados de la segunda sección del cuestionario

CARACTERISTICA PROPUESTA	PORCENTAJES DE INCIDENCIA						TOTAL
	I.I.-UNAM	CIEA-IPN	UAM	F.I.-UNAM	I.I.M.A.S.		
2.1 Dispositivo integral para borrar memorias EPROM.	---	5.88	---	---	---	---	5.88
2.2 Programación mediante módulos.	---	---	5.88	---	---	---	5.88
2.3 Compatibilidad con la norma S-100.	---	---	5.88	---	---	---	5.88
2.4 Compatibilidad con la norma de comunicación del sistema EXORCISER.	---	---	5.88	---	---	---	5.88
2.5 Compatibilidad con las normas de comunicación de sistemas de INTEL.	---	---	5.88	---	---	---	5.98
2.6 Programador universal.	---	---	---	5.88	---	---	5.88

#### A.4 RESULTADOS DE LA TERCERA SECCION

TABLA A.4.1

Resultados de la tercera sección del cuestionario

PRECIO PROPUESTO	PRECIOS EN MONEDA NACIONAL				
	I. I. - UNAM	CIEA-IPN	UAM	F. I. - UNAM	I. I. M. A. S.
- Mínimo	7 000	7 500	10 000	—	—
- Máximo	11 500	20 000	40 000	15 000	—

APENDICE B



## APENDICE B

### DESCRIPCION DE LOS CIRCUITOS ELECTRONICOS DEL SISTEMA

Los circuitos electrónicos del sistema prototipo se alambraron sobre dos tabletas conectadas electricamente, mediante un conector de cien contactos denominado J1.

El diagrama 1 describe la tableta que contiene: la unidad central de proceso (6502), los circuitos generadores de las señales de control y de selección, la memoria "RAM", y los circuitos inherentes al manejo de los dispositivos de entrada/salida (E/S).

El diagrama 2 describe la tableta que contiene los circuitos electrónicos usados para el manejo de las memorias que se desean programar, y la memoria ROM.

La localización de los componentes en las tabletas se refleja en los diagramas anteriores, considerándolos elementos de una matriz de siete renglones (A..G) y diez columnas (0..9). La identificación de un dispositivo cualquiera se hace citando en primer término su literal renglón, seguido del dígito columna y separado con un guión en los casos aplicables, la literal (A..F) que identifica al dispositivo en cuestión, dentro del circuito integrado correspondiente.

Se recomienda que el contenido de este apéndice se analice con ayuda de los diagramas 1 y 2.

**B.1 DESCRIPCION DEL DIAGRAMA 1**

- B.1.1 Señales de reloj
- B.1.2 Unidad central de proceso
- B.1.3 Circuito de iniciación
- B.1.4 Bus de selección
- B.1.5 Memoria RAM
- B.1.6 Despliegue luminoso
- B.1.7 Teclado hexadecimal
- B.1.8 Bocina
- B.1.9 Comunicación serie
- B.1.10 Diagrama 1

**B.2 DESCRIPCION DEL DIAGRAMA 2**

- B.2.1 Señales de control del proceso de programación
- B.2.2 Bases alojadoras
- B.2.3 Señales de programación
- B.2.4 Relevadores
- B.2.5 Compensadores
- B.2.6 Tensiones de programación
- B.2.7 Indicadores a base de diodos emisores de luz
- B.2.8 Memoria ROM
- B.2.9 Diagrama 2

## B.1 DESCRIPCION DEL DIAGRAMA 1

### B.1.1. Señales de reloj

Las señales de reloj ( $\phi_0$  y  $\phi_1$ ) utilizadas por la unidad central de proceso (U.C.P.) se generan mediante cuatro inversores de entradas con histéresis 74LS14- (B6-A, B6-B, B6-E y B6-F) y un cristal de cuarzo de 1 MHz. Las características -en amplitud y tiempo - de dichas señales, se muestran en las figuras B.1.1.1., B.1.1.2., B.1.1.3. y B.1.1.4. En los diagramas 1 y 2, la señal  $\phi_0$  corresponde a la señal  $\phi_2$ .

### B.1.2 Unidad central de proceso

El microprocesador 6502 tiene un bus<sup>1</sup> de direcciones de dieciseis "bits", un "bus" de datos de ocho "bits" y un "bus" de control de nueve "bits".

El "bus" de direcciones permite direccionar 65,536 localidades de memoria y se utiliza para transferir la dirección generada por el procesador, a la entrada de la memoria y a los dispositivos de E/S. Es unidireccional y está reforzado por tres circuitos integrados de tres estados tipo 8T97 (F5, F6 y G5)

El "bus" de datos es bidireccional y está reforzado con dos circuitos integrados tipo 8T28 de tres estados (C5 y C6). Se utiliza para transferir o leer datos de la memoria o a un dispositivo de E/S. El tercer estado se controla con la señal de lectura/escritura ( $R/\bar{w}$ ) y la señal de reloj  $\phi_1$ .

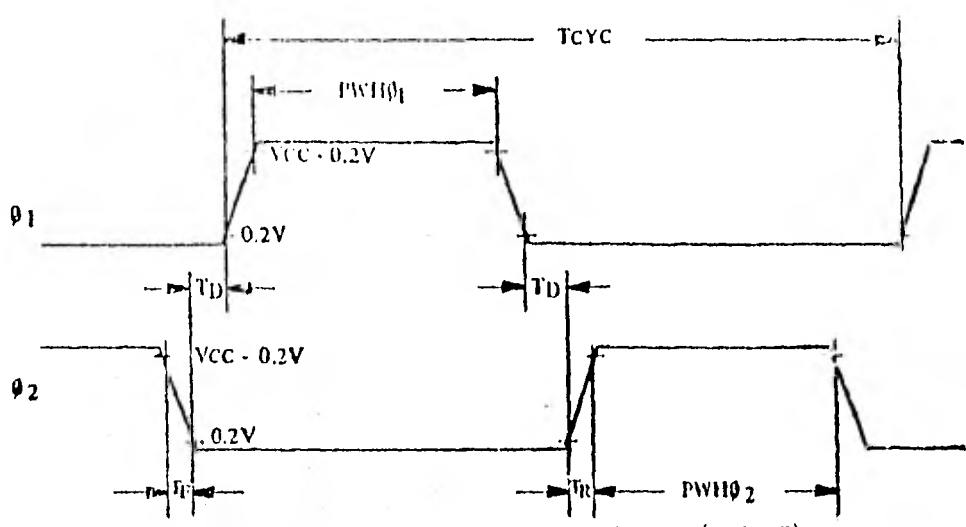
---

<sup>1</sup> Bus: Conjunto de conductores usado como trayectoria para transmitir información en una computadora electrónica (Ref. 22).

CARACTERISTICAS	SIMBOLO	MIN	TIP	MAX	UNI. T.
Tiempo de ciclo	$T_{CYC}$	1.0 $\mu s$	--	--	$\mu s$
Ancho del pulso de reloj $\phi_1$ (Medidos a Vec - 0.2 v) $\phi_2$	PW1 $\phi_1$ PW1 $\phi_2$	430 430	--	--	nsec
Tiempo de elevación y caída (medidos desde 0.2 v a Vec - 0.2 v)	$t_F, t_R$	--	--	25	nsec
Tiempo de retardo entre las fases del reloj (medidos a 0.2 v)	$T_D$	0	--	--	nsec
Tiempo de preparación de lectura/es- critura del MCS650X	$T_{RMS}$	--	100	300	ns
Tiempo de preparación de las direc- ciones del MCS650X	$T_{ADS}$	--	200	300	ns
Tiempo de acceso para leer memoria $T_R$ $T_{eyc} - (T_{ADS} - T_{DSU} - t_F)$	$T_{ACC}$	--	--	500	ns
Periodo de estabilidad de los datos	$T_{DSU}$	100	--	--	ns
Tiempo de retención de datos	$T_H$	10	30	--	ns
Tiempo de habilitación para la entrada DBE	$T_{EH}$	430	--	--	ns
Tiempo de preparación de datos	$T_{YDS}$	--	150	200	ns

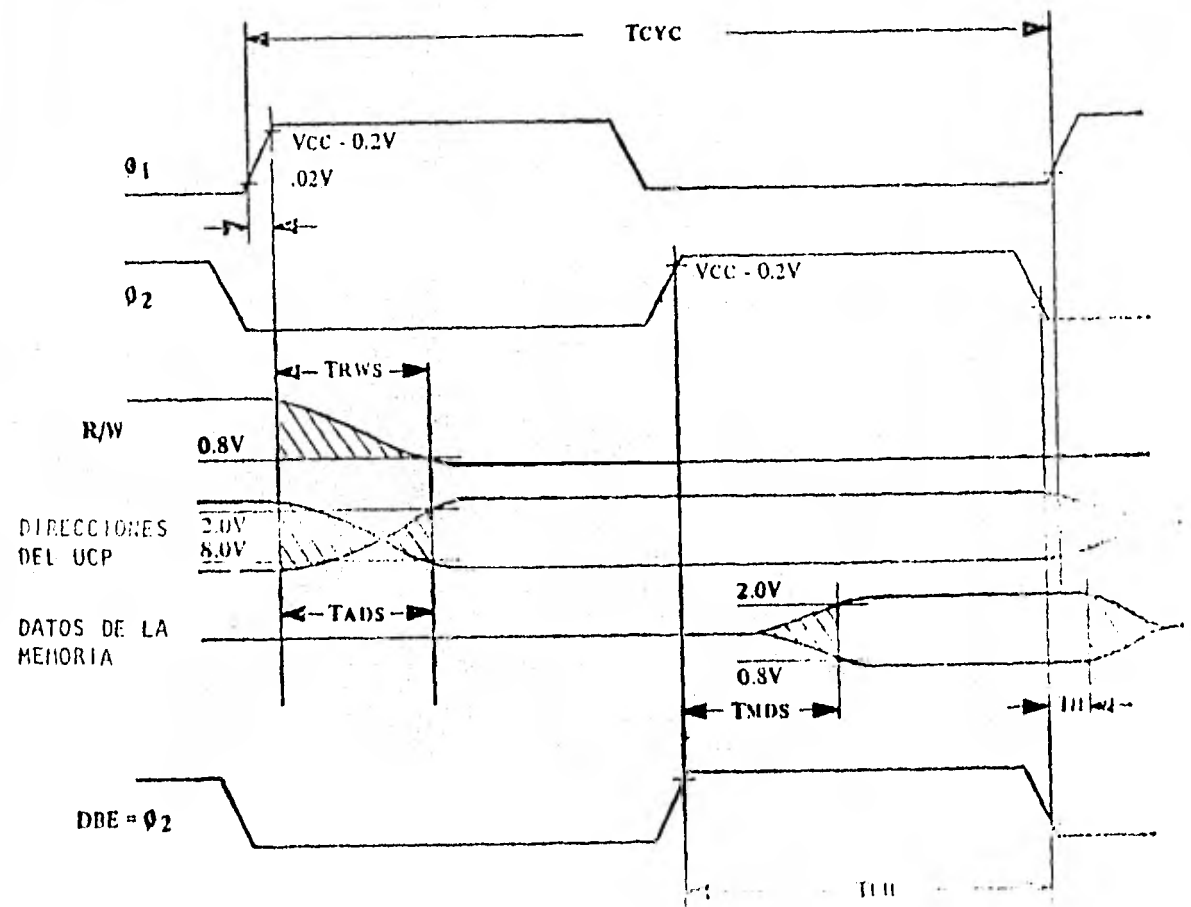
TABLA: DE TIEMPOS DE RELOJ Y DE LA SENAL DE LECTURA/ESCRITURA  
(OPERACION A 1MHz Ref. 7)

FIGURA B.1.1.1.



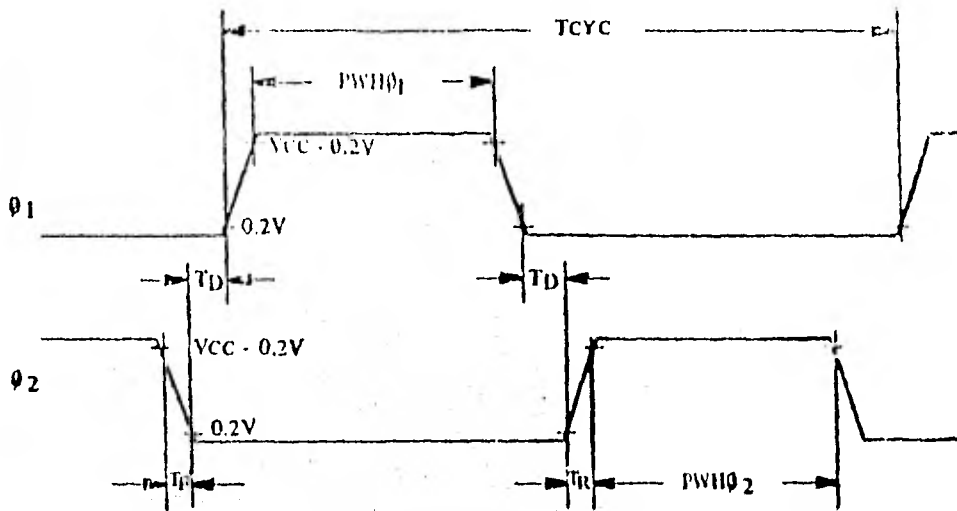
FORMA DE ONDA DE LAS FASES DE RELOJ (Ref. 7)

FIGURA B 1.1.2.



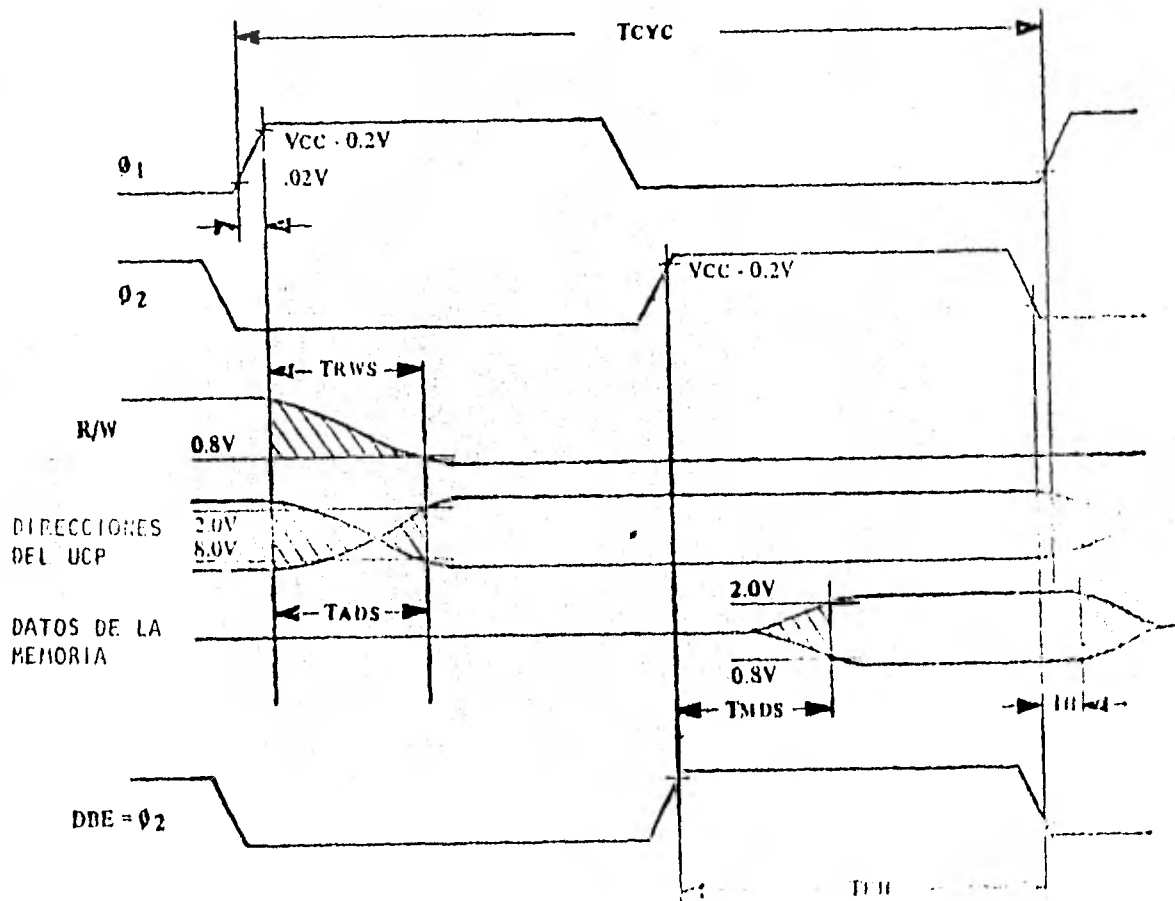
DIAGRAMAS DE TIEMPOS PARA LA LECTURA DE LA MEMORIA O PERIFERICOS (Ref. 7)

FIGURA B.1.1.3.



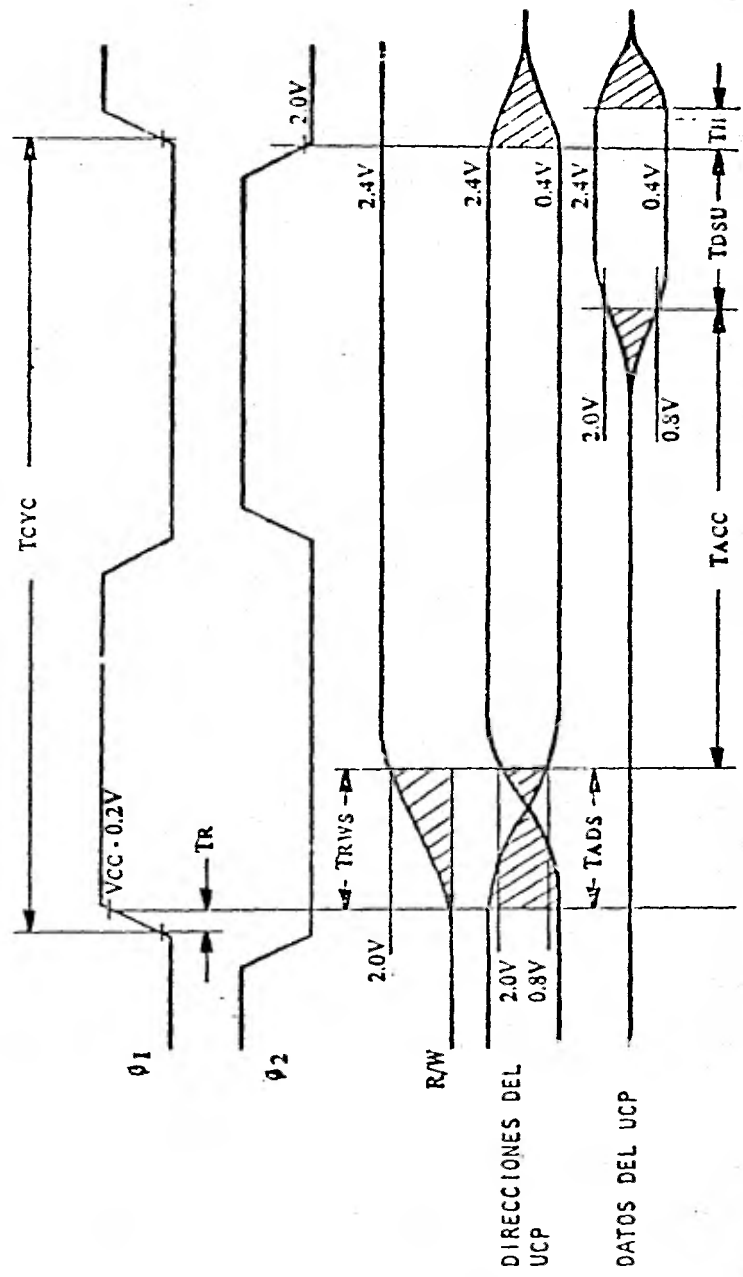
FORMA DE ONDA DE LAS FASES DE RELOJ (Ref. 7)

FIGURA B 1.1.2.



DIAGRAMAS DE TIEMPOS PARA LA LECTURA DE LA MEMORIA O PERIFERICOS (Ref. 7)

FIGURA B.1.1.3.



DIAGRAMAS DE TIEMPOS DE ESCRITURA DE DATOS EN LA MEMORIA O PERIFERICOS  
(Ref. 7)

FIGURA B.1.1.4



Las señales que forman el "bus" de control, están conectadas como se describe a continuación:

+ Señales de entrada

- $\overline{RST}$ ,  $\overline{NMI}$ ,  $\overline{IRQ}$  y  $\overline{RDY}$  mantenidas a + 5 Volts mediante resistores de 1 k $\Omega$ .
- S.O. (set overflow) mantenida a tierra.

+ Señales de salida

- $R/\overline{W}$  es reforzada mediante el dispositivo F, del circuito integrado 8T97(F6).
- SYNC es reforzada mediante el dispositivo A, del circuito integrado 8T97(G5).

Los "buses" de direcciones, datos y control están disponibles en el conector J1.

#### B.1.3 Circuito de iniciación

La iniciación del sistema se controla mediante un dispositivo 555(A7), que inhibe el funcionamiento del procesador durante 61.6 milisegundos. La salida de este dispositivo se conecta a la línea  $\overline{RST}$ , previamente acondicionada por un transistor tipo 2A92.

#### B.1.4 "Bus" de selección

Las líneas del "bus" de selección (BS0 . . . BS39) se generan mediante cuatro decodificadores: tres tipo 74LS138 y uno tipo 74LS154. Su función es seleccionar la memoria y los dispositivos periféricos.

El decodificador 74LS138(G3) utiliza tres líneas de dirección ( $A_{11}$ ,  $A_{12}$  y  $A_{13}$ ) y como señales de control: dos líneas de dirección ( $A_{14}$  y  $A_{15}$ ) y la señal de reloj  $\phi_1$ . Puede seleccionar ocho dispositivos y cada línea de selección (BS32..BS39) activa 2048 direcciones. La memoria ROM, las bases alojadoras y el decodificador 74LS138(F3) utilizan cinco de estas líneas y las restantes están disponibles en el conector J1.

El decodificador 74LS138(G6) utiliza tres líneas de dirección ( $A_{10}$ ,  $A_{11}$  y  $A_{12}$ ) y como señales de control: tres líneas de dirección ( $A_{13}$ ,  $A_{14}$  y  $A_{15}$ ) y la señal de reloj  $\phi_1$ . Puede seleccionar ocho dispositivos y cada línea de selección (BS24..BS31) activa 1024 direcciones. La memoria RAM utiliza cinco de estas líneas y las restantes están disponibles en el conector J1.

El decodificador 74LS138 (F3) utiliza tres líneas de dirección ( $A_4$ ,  $A_5$  y  $A_6$ ), y como señales de control: cuatro líneas de dirección ( $A_7$ ,  $A_8$ ,  $A_9$  y  $A_{10}$ ) y la línea de selección BS32. Puede seleccionar ocho dispositivos y cada línea de selección (BS16..BS23) activa una gama de dieciseis localidades de memoria. El acoplador serie (A.S.) y el decodificador 74LS154(D1) utilizan dos de estas líneas y las restantes están disponibles en el conector J1.

El decodificador 74LS154(D1) utiliza cuatro líneas de dirección ( $A_0$ ,  $A_1$ ,  $A_2$ , y  $A_3$ ), y como señal de control la línea de selección BS16. Puede seleccionar dieciseis dispositivos y cada línea de selección (BS0..BS15) activa una localidad de memoria. El despliegue luminoso (D.L.), el teclado hexadecimal (T.H.), la bocina y los registros de control de programación, utilizan catorce de estas líneas y las restantes están disponibles en el conector J1.

La figura B.1.4.1 muestra el mapa de selección recién descrito.

MAPA DE SELECCION			
Decodificador	Línea de selección	Localidades de memoria seleccionadas	Dispositivo Asignado
74LS138 (G3)	BS32	C000-C7FF	74LS138(F3)
	BS33	C800-CFFF	Disponible
	BS34	D000-D7FF	B.A.P.
	BS35	D800-DFFF	B.A.P.
	BS36	E000-E7FF	Disponible
	BS37	E800-EFFF	Disponible
	BS38	F000-F7FF	ROM
	BS39	F800-FFFF	ROM
74LS138 (G6)	BS24	0000-03FF	RAM
	BS25	0400-07FF	Disponible
	BS26	0800-0BFF	Disponible
	BS27	0C00-0FFF	Disponible
	BS28	1000-13FF	RAM
	BS29	1400-17FF	RAM
	BS30	1800-1BFF	RAM
	BS31	1C00-1FFF	RAM
74LS138 (F3)	BS16	C000-C00F	74LS154(D1)
	BS17	C010-C01F	A.S.
	BS18	C020-C02F	Disponible
	BS19	C030-C03F	Disponible
	BS20	C040-C04F	Disponible
	BS21	C050-C05F	Disponible
	BS22	C060-C06F	Disponible
	BS23	C070-C07F	Disponible
74LS154 (D1)	BS0	C000	D.L.
	BS1	C001	D.L.
	BS2	C002	D.L.
	BS3	C003	D.L.
	BS4	C004	D.L.
	BS5	C005	D.L.
	BS6	C006	D.L.
	BS7	C007	D.L. y T.H.
	BS8	C008	R.C.P.
	BS9	C009	R.C.P.
	BS10	C00A	Disponible
	BS11	C00B	T.H.
	BS12	C00C	Disponible
	BS13	C00D	T.H.
	BS14	C00E	T.H.
BS15	C00F	Bocina	

FIGURA B.1.4.1

#### B.1.5 Memoria "RAM".

El sistema utiliza 5120 localidades de memoria "RAM" estática (tipo 2114 de 1024 palabras de cuatro "bits"). Para formar palabras de ocho "bits" se utilizan pares de estos dispositivos (C8-C9, D8-D9, E8-E9, F8-F9, G8-G9). La operación lectura/escritura en cada par de memorias se realiza mediante la señal  $R/\bar{w}$  y la línea de selección (BS24, BS28, BS31) correspondiente.

#### B.1.6 Despliegue luminoso

El despliegue luminoso (D.L.) está formado por ocho unidades TIL321 que aparecen en el diagrama como DE0..DE7. El control del encendido de cada unidad se realiza almacenando el dato apropiado en una de las localidades comprendidas entre C000H y C007H.

El registro de ocho flip-flops<sup>1</sup> 74LS 273(B5) almacena la señal de selección (BS0..BS7) y el registro de ocho "flip-flops" 74LS 374 (C2), de tres estados, almacena el dato a desplegar. La habilitación de ambos registros se genera mediante cuatro compuertas (D2, D3-B, D3-C, D3-D) y la señal  $R/\bar{w}$ .

La corriente necesaria para encender cada unidad (20 mA por segmento), la suministra una fuente de corriente construida con un transistor tipo 2A93, controlada por la señal de selección almacenada en el registro B5.

#### B.1.7 Teclado hexadecimal.

El teclado hexadecimal (T.H.) es un arreglo matricial de 4 x 4 puntos de

---

<sup>1</sup> Flip-Flop: Circuito de dos etapas con dos estados estables que cambia de uno al otro por la aplicación de un impulso o señal de disparo (Ref. 27).

conmutación, cuya lectura se hace al seleccionar consecutivamente las localidades de memoria: C007H, C00BH, C00DH y C00EH. En cada selección las líneas de direcciones  $A_0..A_3$  activan una de las columnas y los reforzadores del circuito integrado 74LS125(A6) permiten que el estado de los renglones pase al "bus" de datos.

#### B.1.8 Bocina

La bocina se maneja utilizando un "flip-flop" del circuito integrado 74LS 74 (C3-A). La señal de selección BS15 se utiliza como señal de reloj del "flip-flop" y el sonido se genera mediante la información de la línea de datos  $D_0$ , amplificada por un transistor tipo 2A92.

#### B.1.9 Comunicación serie.

La comunicación serie se efectúa en forma asíncrona y a la velocidad seleccionada, utilizando un acoplador serie 6850 (E1) que se selecciona mediante tres líneas de dirección ( $A_0$ ,  $A_1$  y  $A_2$ ) y la señal BS17

La operación del A.S. se controla mediante las señales:  $R/\bar{w}$ ,  $\phi_1$ , y la señal del dispositivo MC1441(G1), seleccionada por el interruptor de depresión (G2).

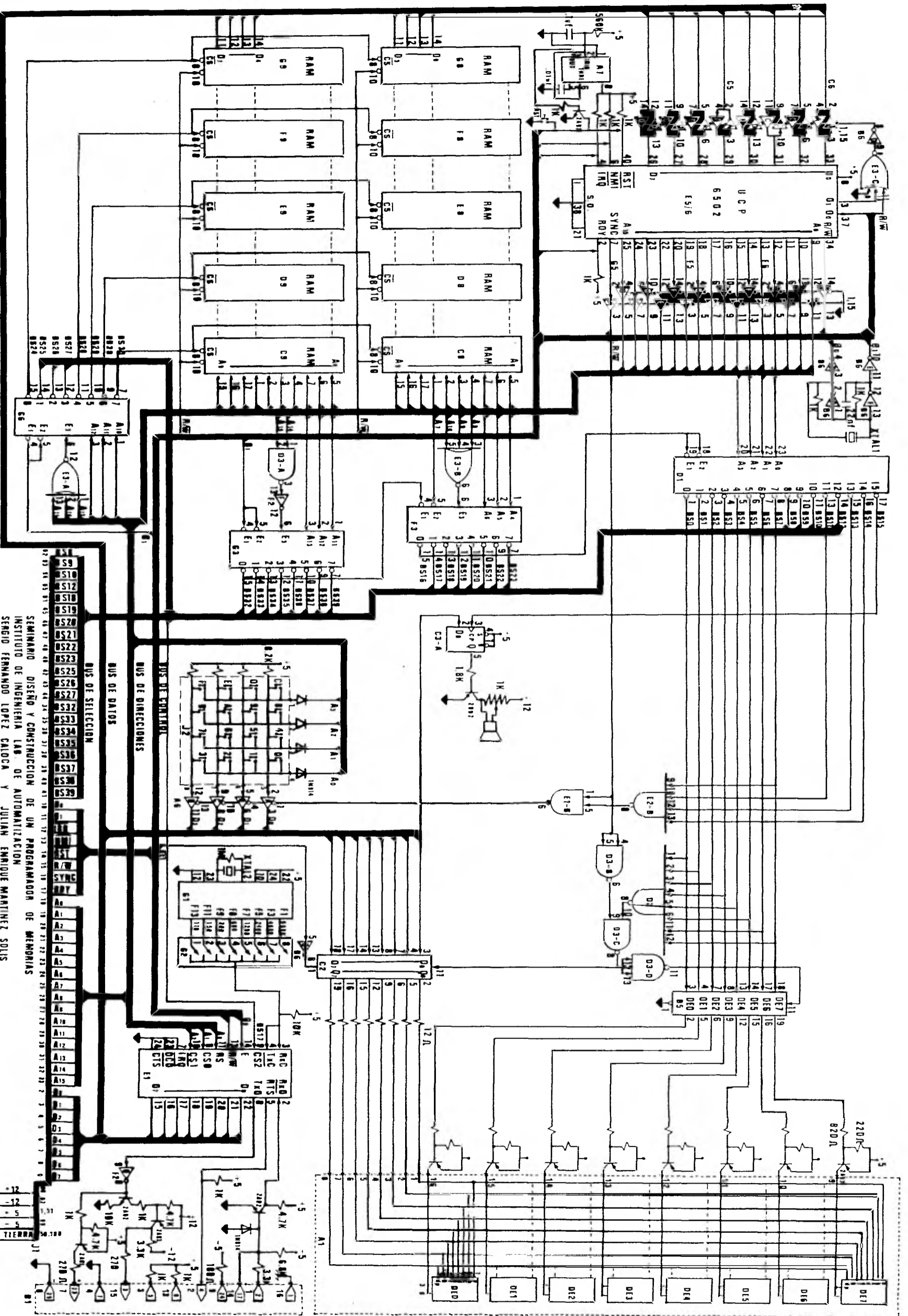
Las señales de transmisión (TxD) y recepción (RxD) del 6850 se acondicionan mediante tres circuitos electrónicos para satisfacer los requerimientos de la norma RS-232C y las mallas de corriente empleadas por los teletipos.

El conector DB-25S(B1) es el medio físico de acoplamiento entre el sistema y el dispositivo externo. La configuración de los contactos se describe en la figura B.1.9.1.

ASIGNACION DE LOS ALFILERES DEL CONECTOR DB-25S		
Contacto No.	Señal y/o mnemónico	Descripción
1	Protección a tierra	Conexión al chasis del equipo.
2	TxD	Trasmisión de datos con base en la norma RS-232C (+12V y - 12V).
3	RxD	Recepción de datos con base en la norma RS-232C.
4	RTS	Línea normalmente en nivel alto que pasa a un nivel bajo al enviar un dato.
5	+5V	Línea mantenida en nivel alto mediante un resistor de $1k\Omega$ .
6	---	No usado.
7	Tierra	Línea de retorno común asignada por la norma RS-232C.
8	+5V	Línea mantenida en nivel alto mediante un resistor de $1k\Omega$ .
9-16	---	No usados.
17 y 24	Recepción	Recepción de datos usando una malla de 20 mA.
18-22	---	No usados.
23 y 25	Trasmisión	Trasmisión de datos usando una malla de 20 mA.

FIGURA B.1.9.1

B.1.10 DIAGRAMA 1



BUS DE SELECCION  
 BUS DE DATOS  
 BUS DE DIRECCIONES  
 BUS DE CONTROL

- RESISTENCIAS DE CA
- D10, D11, D12, D13, D14
- T1L321
- J1-CONECTOR DE 1
- J2-CONECTOR DE 1
- A1-CONECTOR DE 1
- A6-7ALS125
- A7-555
- R1-CONECTOR DE 8
- B5-7ALS273
- B6-7ALS14
- C2-7ALS374
- C3-7ALS74
- C5, C6-8728
- D1-7ALS154
- D2-7ALS50
- D3-7ALS500
- E1-MC6850
- E2-7ALS20
- E3-7ALS27
- E5/6-6502 MICROCONT
- F2-7ALS64
- F3-7ALS130
- F5, F6, G5-8197
- G1-MC1441
- G2-INTERRUPTOR
- H POSICIONES (DIP)
- H3-7ALS130
- H6-7ALS130
- H8, H9, H10, H11, H12, H13, H14, H15, H16, H17, H18, H19, H20, H21, H22, H23, H24, H25, H26, H27, H28, H29, H30, H31, H32, H33, H34, H35, H36, H37, H38, H39, H40, H41, H42, H43, H44, H45, H46, H47, H48, H49, H50, H51, H52, H53, H54, H55, H56, H57, H58, H59, H60, H61, H62, H63, H64, H65, H66, H67, H68, H69, H70, H71, H72, H73, H74, H75, H76, H77, H78, H79, H80, H81, H82, H83, H84, H85, H86, H87, H88, H89, H90, H91, H92, H93, H94, H95, H96, H97, H98, H99, H100
- X1A11-1MHz, X1A12

# DIAGRAMA 1

SEMINARIO DISEÑO Y CONSTRUCCION DE UN PROGRAMADOR DE MEMORIAS  
 INSTITUTO DE INGENIERIA LAB. DE AUTOMATIZACION  
 SERGIO FERNANDO LOPEZ CALOCA Y JULIAN ENRIQUE MARTINEZ SOLIS



B.2 DESCRIPCION DEL DIAGRAMA 2

### B.2.1 Señales de control del proceso de programación.

El proceso de programación se controla mediante dieciocho señales. Seis de estas ( $R/\bar{w}$ ,  $\overline{RST}$ ,  $\overline{PS9}$ , BS10, BS34, BS35) se describieron anteriormente (incisos B.1.2 y B.1.4) y las doce restantes se obtienen al almacenar las palabras adecuadas en las localidades C008H y C009H. Estas localidades son registros de ocho y cuatro "bits": El de ocho "bits" tipo 74LS273(G7) se activa mediante la señal BS10 y el de cuatro "bits" tipo 74LS175(C9) con la señal BS9. La función de control asociada con cada "bit" de dichos registros se describe a continuación:

#### REGISTRO 74LS273(G7)

<u>"Bit"</u>	<u>Mnemónico</u>	<u>Función de control</u>
$Q_0, Q_1$	CCOM1, CCOM2	Controlar el estado de los compensadores 1 y 2.
$Q_2$	CRAMP	Controlar el registro activador del modo programa.
$Q_3$	CPPR	Controlar el circuito activador del pulso de programación.
$Q_4$	$\overline{CS}/\overline{WE}$	Controlar el circuito generador de la señal $\overline{CS}/\overline{WE}$ .
$Q_5$	CDEL3	Controlar el estado de DEL3 (Indicador de programación).
$Q_6$	PD/PGM	Generar la señal PD/PGM.
$Q_7$	$\overline{OE}$	Generar la señal $\overline{OE}$ .

REGISTRO 74LS175(C9)

<u>"Bit"</u>	<u>Mnemónico</u>	<u>Función de control</u>
$Q_0$	CDEL1	Controlar el estado de DEL1 (indicador de la base alojadora 1).
$Q_1$	CDEL2	Controlar el estado de DEL2 (indicador de la base alojadora 2).
$\overline{Q_2}$	CRLY1	Controlar el circuito activador del relevador 1 (RLY1).
$\overline{Q_3}$	CRLY2	Controlar el circuito activador del relevador 2 (RLY2).

B.2.2 Bases alojadoras.

Las bases alojadoras del sistema son del tipo inserción sin esfuerzo. La base 1(F7) se destina a las EPROM de tres fuentes (2704, 2708 y 2716) y la base 2(D7) a las EPROM de una fuente (2758, 2716 y 2532).

El flujo de direcciones y datos adecuado al modo de operación (lectura o programación) se controla mediante tres registros y dos dispositivos reforzadores de tres estados, como se describe a continuación:

Los registros tipo 74LS174(G4 y G5) activan las líneas de dirección ( $A_0 \dots A_{11}$ ) en ambos modos de operación.

El registro tipo 74LS374(D9) activa las líneas de datos en el modo programación.

Los dispositivos reforzadores tipo 74LS125 (E5 y F5), activan las líneas de datos en el modo lectura.

La habilitación de los registros y reforzadores anteriores se efectúa mediante las señales  $R/\bar{w}$ , BS34 y BS35, previamente acondicionadas por tres compuertas NAND(F4-A, F4-B y F4-D) y un inversor (E4-F). La señal CRAMP controla el estado de alta impedancia del registro D9.

### B.2.3 Señales de programación

Las señales que definen el modo de operación de las EPROM de una fuente (PD/PGM y OE) son compatibles con TTL (Apéndice E) por lo que obtienen directamente de las salidas  $Q_6$  y  $Q_7$  del registro G7.

Los niveles lógicos de la señal  $\overline{CS}/WE$  (Apéndice E) utilizada por las EPROM de tres fuentes, se obtienen al acondicionar la salida  $Q_4$  del registro G7, con un reforzador (D4-A).

### B.2.4 Relevadores

Los relevadores del sistema (RLY1 y RLY2) son del tipo DPDT, su función es activar o desactivar las fuentes de alimentación en las bases alojadoras. RLY1 (G3) activa las fuentes: + 5V y +12V y RLY2(F3) las fuentes: + 5V y -5V.

El estado de ambos relevadores se controla mediante las señales CRLY1 y CRLY2, previamente acondicionadas por reforzadores (E4-D y E4-E) y transistores tipo 2N3904.

### B.2.5 Compensadores

Los compensadores del sistema (CMP1 y CMP2) son dispositivos tipo 4066;

su función es compensar en las bases alojadoras las incompatibilidades que las EPROM de una y tres fuentes presentan en la función de sus alfileres, en ambos modos de operación (Apéndice E). CMP1(D5) distribuye las señales  $\overline{CS}/WE$ ,  $A_{10}$  y  $V_{cc}$  en los alfileres 20 y 24 de la base alojadora 1 y CMP2 (C5) las señales  $PD/PGM$ ,  $\overline{OE}$  y  $A_{11}$  en los alfileres 18 y 20 de la base alojadora 2.

Las señales CCOM1 y CCOM2 obtenidas al acondicionar dos salidas ( $Q_0$  y  $Q_1$ ) del registro G7, mediante dos reforzadores (D4-E y D4-F) y dos reforzadores inversores (E4-A y E4-B); se utilizan como señales de control para ambos compensadores. Las combinaciones lógicas de estas señales determinan cuatro configuraciones de las señales  $\overline{CS}/WE$ ,  $A_{10}$ ,  $V_{cc}$ ,  $PD/PGM$ ,  $\overline{OE}$  y  $A_{11}$ , en las bases alojadoras. Las configuraciones obtenidas en función de las combinaciones lógicas de CCOM1 y CCOM2, se resumen a continuación:

BASE ALOJADORA 1

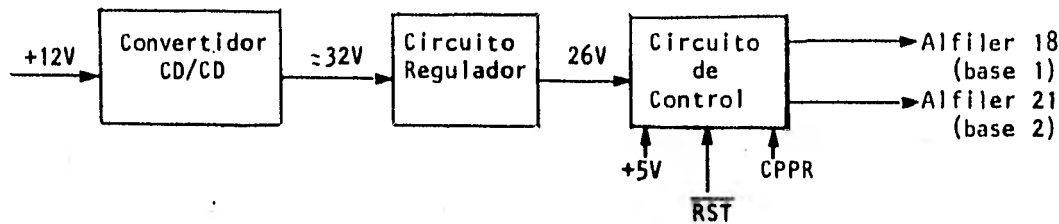
Señales de Control		Alfileres		EPROM Seleccionada	Modo de Operación
CCOM1	CCOM2	20	24		
L	L	$\overline{CS}/WE$	$V_{cc}$	2708/04	Lectura/programación
L	H	No usado		----	----
H	L	$A_{10}$	$V_{cc}$	2716	Lectura
H	H	$A_{10}$	$\overline{CS}/WE$	2716	Programación

BASE ALOJADORA 2

Señales de Control		Alfileres		EPROM Seleccionada	Modo de Operación
CCOM1	CCOM2	18	20		
L	L	$PD/PGM$	$\overline{OE}$	2758/16	Lectura/programación
L	H	No usado		----	---
H	L	No usado		----	---
H	H	$A_{11}$	$PD/PGM$	2532	Lectura/Programación

### B.2.6 Tensiones de programación.

Esta sección está formada por tres etapas, como se muestra a continuación:



El convertidor CD/CD está formado por un transformador de núcleo de ferrita, dos transistores tipo AC128 y dos diodos tipo 1N4148. Su función es elevar la tensión de la fuente de +12V hasta aproximadamente +32V.

El circuito regulador está formado por un regulador integrado programable tipo 723, configurado con cuatro resistores fijos y un reóstato para mantener su tensión de salida regulada en +26V y limitada a 70 mA.

El circuito de control está formado por dos transistores (2N3904 y 2N3906), dos reforzadores (D4-B y D4-C), un reforzador inversor (E4-C) y dos diodos tipo 1N914. Este circuito recibe las fuentes: +5 y +26V y, con base en la combinación de las señales CPPR y  $\overline{RST}$ , envía las tensiones de programación (Apéndice E) a los alfileres 18 y 21, de las bases alojadoras 1 y 2 respectivamente.

### B.2.7 Indicadores a base de diodos emisores de luz.

Los diodos emisores de luz (DEL1..DEL4), son del tipo TIL220. Su funcionamiento constituye una guía visual para el proceso de programación.

La activación de DEL1 y DEL2 se efectúa mediante las señales CDEL1 y CDEL2.

La activación de DEL3 se hace con la señal CDEL3, obtenida al acondicionar una de las salidas ( $Q_5$ ) del registro G7, mediante un reforzador (D4-D).

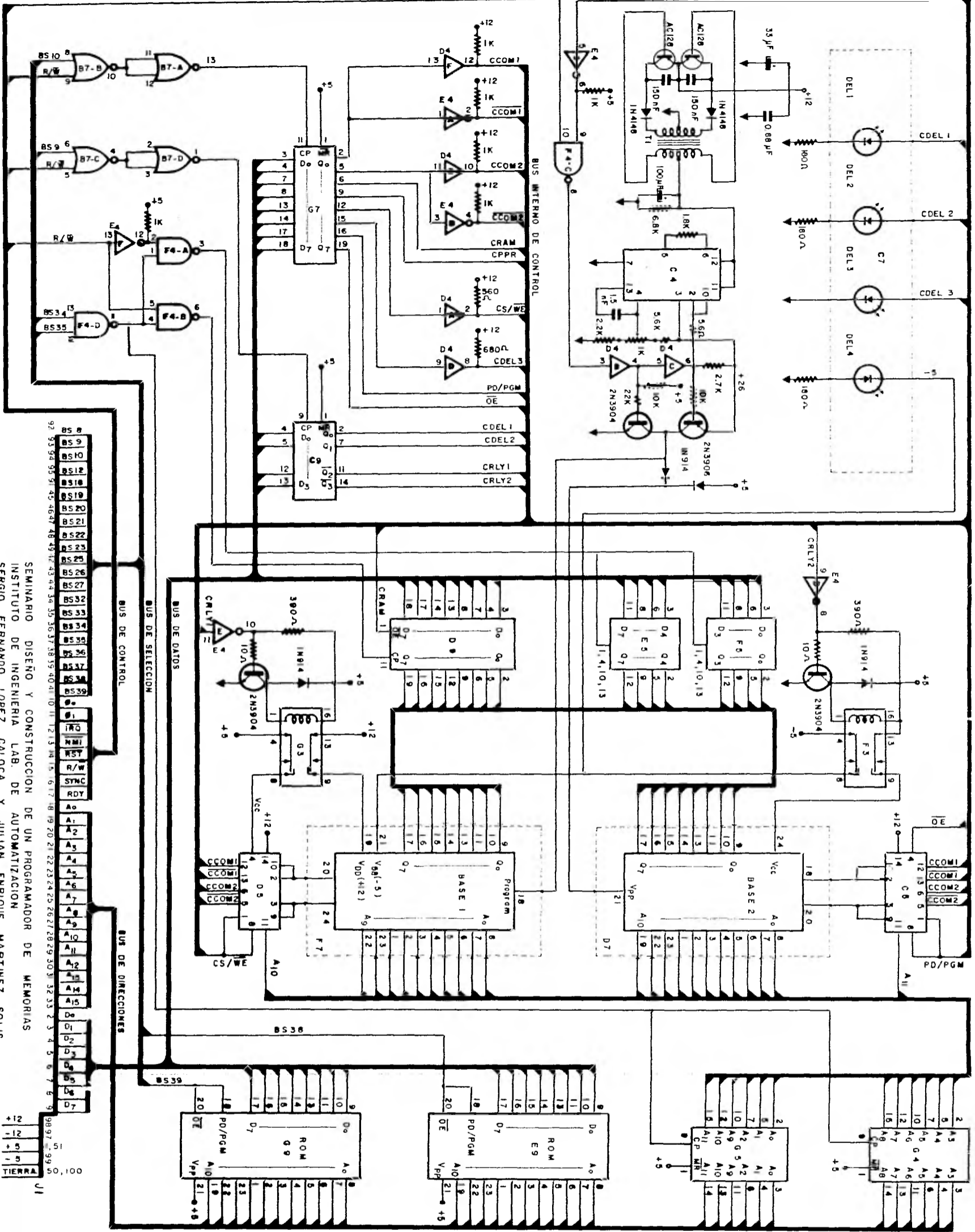
El indicador DEL4 se activa con la fuente de -5V controlada por RLY2.

#### B.2.8 Memoria ROM

El programa del sistema está contenido en dos dispositivos ROM (tipo 2716), de 2048 localidades de ocho "bits" (E9 y G9). El acceso a estos dispositivos se efectúa mediante los "buses" de datos y direcciones, y las señales de selección BS38 y BS39.

B.2.9 DIAGRAMA 2





- RESISTORES DE CARBON A 1/4 W 5%
- DEL 1, DEL 2, DEL 3, DEL 4, - TIL 220
- J1- CONECTOR DE 100 CONTACTOS
- B7- 74LS02
- C4- 723
- C5, C5- 4066
- C7- CONECTOR DE 14 ALFILERES
- C9- 74LS175
- D4- 7407
- D7, F7- CONECTOR DE 24 ALFILERES
- D9- 74LS374
- E4- 7406
- E5, F5- 74LS125
- E9, G8- 2716 ROM
- F3, G5- RELEVADOR DPDT
- F4- 74LS00
- G4, G5- 74LS174
- G7- 74LS273
- T1- TRANSFORMADOR DE NUCLEO DE FERRITA 1146 TCR 400
- PRIMARIO - 32 VUELTAS # 26 AWG CON DERIVACION CENTRAL
- SECUNDARIO - 70 VUELTAS # 30 AWG CON DERIVACION CENTRAL

# DIAGRAMA 2

SEMINARIO DISEÑO Y CONSTRUCCION DE UN PROGRAMADOR DE MEMORIAS  
 INSTITUTO DE INGENIERIA LAB. DE AUTOMATIZACION  
 SERGIO FERNANDO LOPEZ CALOCA Y JULIAN ENRIQUE MARTINEZ SOLIS

BS 0	A0
BS 9	A2
BS10	A3
BS12	A4
BS18	A5
BS19	A6
BS20	A7
BS21	A8
BS22	A9
BS23	A10
BS25	A11
BS26	A12
BS27	A13
BS33	A14
BS34	A15
BS35	A16
BS36	A17
BS37	A18
BS38	A19
BS39	A20
IR0	A0
NMI	A1
R/W	A2
SYNC	A3
RDY	A4
D0	A5
D1	A6
D2	A7
D3	A8
D4	A9
D5	A10
D6	A11
D7	A12
CP	A13
D0	A14
D1	A15
D2	A16
D3	A17
D4	A18
D5	A19
D6	A20
D7	A21
CP	A22
D0	A23
D1	A24
D2	A25
D3	A26
D4	A27
D5	A28
D6	A29
D7	A30
CP	A31
D0	A32
D1	A33
D2	A34
D3	A35
D4	A36
D5	A37
D6	A38
D7	A39
CP	A40
D0	A41
D1	A42
D2	A43
D3	A44
D4	A45
D5	A46
D6	A47
D7	A48
CP	A49
D0	A50
D1	A51
D2	A52
D3	A53
D4	A54
D5	A55
D6	A56
D7	A57
CP	A58
D0	A59
D1	A60
D2	A61
D3	A62
D4	A63
D5	A64
D6	A65
D7	A66
CP	A67
D0	A68
D1	A69
D2	A70
D3	A71
D4	A72
D5	A73
D6	A74
D7	A75
CP	A76
D0	A77
D1	A78
D2	A79
D3	A80
D4	A81
D5	A82
D6	A83
D7	A84
CP	A85
D0	A86
D1	A87
D2	A88
D3	A89
D4	A90
D5	A91
D6	A92
D7	A93
CP	A94
D0	A95
D1	A96
D2	A97
D3	A98
D4	A99
D5	A100
D6	A101
D7	A102
CP	A103
D0	A104
D1	A105
D2	A106
D3	A107
D4	A108
D5	A109
D6	A110
D7	A111
CP	A112
D0	A113
D1	A114
D2	A115
D3	A116
D4	A117
D5	A118
D6	A119
D7	A120
CP	A121
D0	A122
D1	A123
D2	A124
D3	A125
D4	A126
D5	A127
D6	A128
D7	A129
CP	A130
D0	A131
D1	A132
D2	A133
D3	A134
D4	A135
D5	A136
D6	A137
D7	A138
CP	A139
D0	A140
D1	A141
D2	A142
D3	A143
D4	A144
D5	A145
D6	A146
D7	A147
CP	A148
D0	A149
D1	A150
D2	A151
D3	A152
D4	A153
D5	A154
D6	A155
D7	A156
CP	A157
D0	A158
D1	A159
D2	A160
D3	A161
D4	A162
D5	A163
D6	A164
D7	A165
CP	A166
D0	A167
D1	A168
D2	A169
D3	A170
D4	A171
D5	A172
D6	A173
D7	A174
CP	A175
D0	A176
D1	A177
D2	A178
D3	A179
D4	A180
D5	A181
D6	A182
D7	A183
CP	A184
D0	A185
D1	A186
D2	A187
D3	A188
D4	A189
D5	A190
D6	A191
D7	A192
CP	A193
D0	A194
D1	A195
D2	A196
D3	A197
D4	A198
D5	A199
D6	A200
D7	A201
CP	A202
D0	A203
D1	A204
D2	A205
D3	A206
D4	A207
D5	A208
D6	A209
D7	A210
CP	A211
D0	A212
D1	A213
D2	A214
D3	A215
D4	A216
D5	A217
D6	A218
D7	A219
CP	A220
D0	A221
D1	A222
D2	A223
D3	A224
D4	A225
D5	A226
D6	A227
D7	A228
CP	A229
D0	A230
D1	A231
D2	A232
D3	A233
D4	A234
D5	A235
D6	A236
D7	A237
CP	A238
D0	A239
D1	A240
D2	A241
D3	A242
D4	A243
D5	A244
D6	A245
D7	A246
CP	A247
D0	A248
D1	A249
D2	A250
D3	A251
D4	A252
D5	A253
D6	A254
D7	A255
CP	A256
D0	A257
D1	A258
D2	A259
D3	A260
D4	A261
D5	A262
D6	A263
D7	A264
CP	A265
D0	A266
D1	A267
D2	A268
D3	A269
D4	A270
D5	A271
D6	A272
D7	A273
CP	A274
D0	A275
D1	A276
D2	A277
D3	A278
D4	A279
D5	A280
D6	A281
D7	A282
CP	A283
D0	A284
D1	A285
D2	A286
D3	A287
D4	A288
D5	A289
D6	A290
D7	A291
CP	A292
D0	A293
D1	A294
D2	A295
D3	A296
D4	A297
D5	A298
D6	A299
D7	A300
CP	A301
D0	A302
D1	A303
D2	A304
D3	A305
D4	A306
D5	A307
D6	A308
D7	A309
CP	A310
D0	A311
D1	A312
D2	A313
D3	A314
D4	A315
D5	A316
D6	A317
D7	A318
CP	A319
D0	A320
D1	A321
D2	A322
D3	A323
D4	A324
D5	A325
D6	A326
D7	A327
CP	A328
D0	A329
D1	A330
D2	A331
D3	A332
D4	A333
D5	A334
D6	A335
D7	A336
CP	A337
D0	A338
D1	A339
D2	A340
D3	A341
D4	A342
D5	A343
D6	A344
D7	A345
CP	A346
D0	A347
D1	A348
D2	A349
D3	A350
D4	A351
D5	A352
D6	A353
D7	A354
CP	A355
D0	A356
D1	A357
D2	A358
D3	A359
D4	A360
D5	A361
D6	A362
D7	A363
CP	A364
D0	A365
D1	A366
D2	A367
D3	A368
D4	A369
D5	A370
D6	A371
D7	A372
CP	A373
D0	A374
D1	A375
D2	A376
D3	A377
D4	A378
D5	A379
D6	A380
D7	A381
CP	A382
D0	A383
D1	A384
D2	A385
D3	A386
D4	A387
D5	A388
D6	A389
D7	A390
CP	A391
D0	A392
D1	A393
D2	A394
D3	A395
D4	A396
D5	A397
D6	A398
D7	A399
CP	A400

APENDICE C

## APENDICE C

### EL PROGRAMA DEL SISTEMA

Este apéndice contiene el listado y los diagramas de flujo del programa del sistema, así como su mapa en memoria. Los diagramas y el mapa constituyen una guía para el análisis del programa, por lo que se recomienda estudiar dicha guía antes de leer el listado del programa.

C.1 LISTADO DEL PROGRAMA

C.2 DIAGRAMAS DE FLUJO

C.3 MAPA DE MEMORIA

C.1 LISTADO DEL PROGRAMA

```

SOURCE FILE: PROGRAMADOR DE EPROM
0000: 1 *****
0000: 2 **
0000: 3 ** SEMINARIO DISEÑO Y CONSTRUCCION
0000: 4 ** DE UN PROGRAMADOR DE MEMORIAS
0000: 5 **
0000: 6 ** INSTITUTO DE INGENIERIA
0000: 7 ** LABORATORIO DE AUTOMATIZACION
0000: 8 ** 3/V11/81
0000: 9 **
0000: 10 ** SERGIO FERNANDO LOPEZ CALOCA
0000: 11 **
0000: 12 ** Y
0000: 13 **
0000: 14 ** JULIAN ENRIQUE MARTINEZ SOLIS
0000: 15 **
0000: 16 *****
----- NEXT OBJECT FILE NAME IS PROGRAMADOR DE EPROM.OBJO
F000: 17 ORG $F000
0000: 18 OBJ $2000
F000: 19 *****
00FF: 20 ADRH EQU $FF
00FE: 21 ADRL EQU $FE
00FD: 22 DATO EQU $FD
00FC: 23 BDE7 EQU $FC
00FB: 24 BDE6 EQU $FB
00FA: 25 BDE5 EQU $FA
00F9: 26 BDE4 EQU $F9
00F8: 27 BDE3 EQU $F8
00F7: 28 BDE2 EQU $F7
00F6: 29 BDE1 EQU $F6
00F5: 30 BDE0 EQU $F5
00F4: 31 TTEC EQU $F4
00F3: 32 STEM EQU $F3
00F2: 33 STEC EQU $F2
00F1: 34 NTEC EQU $F1
00EF: 35 INIC EQU $EF
00ED: 36 FINA EQU $ED
00EB: 37 DEST EQU $EB
00E9: 38 RINI EQU $E9
00E7: 39 RFIN EQU $E7
00E4: 40 THEX EQU $E4
00E3: 41 SUIN EQU $E3
00E2: 42 DPAR EQU $E2
00E1: 43 IPAR EQU $E1
00E0: 44 PMEM EQU $E0
00DF: 45 TAMA EQU $DF
00DE: 46 ALIM EQU $DE
00DD: 47 GALI EQU $DD
00DC: 48 LECT EQU $DC
00DB: 49 PREP EQU $DB
00DA: 50 PULS EQU $DA
00D9: 51 PERT EQU $D9
00D8: 52 LOOP EQU $D8
00D7: 53 LI23 EQU $D7
00D6: 54 NBYT EQU $D6
00D5: 55 SBYT EQU $D5
00D4: 56 CDLI EQU $D4
00D3: 57 CBLO EQU $D3
00D2: 58 CDAT EQU $D2
00D1: 59 MASC EQU $D1
00D0: 60 NLOP EQU $D0
0000: 61 CERO EQU $00
C000: 62 TCLA EQU $C000
C000: 63 DESP EQU $C000
C008: 64 FUEN EQU $C008
C009: 65 LCPR EQU $C009
C00F: 66 BOCI EQU $C00F
C016: 67 ACIA EQU $C016
F000: 68 *****
F000: 69 ;
F000: 70 ; PROGRAMA PRINCIPAL
F000: 71 ;
F000: A9 0F 72 RESET LDA #$0F ; INICIALIZACION
F002: 8D 09 CO 73 STA LCPR ; ACCESO POR TECLADO HEX.
F005: A9 00 74 LDA #$00
F007: 85 E4 75 STA THEX
F009: 8D 08 CO 76 STA FUEN
F00C: 8D 0F CO 77 STA BOCI
F00F: A4 E0 78 LDY PMEM ; VERIFICA QUE ESTE DEFINIDA

```

F011: B9	E0	F6	79	LDA	CAPA	; LA MEMORIA
F014: C5	DF		80	CNF	TAMA	
F016: D0	0E		81	BNE	NDEF	
F018: B9	04	F7	82	LDA	TFRU.Y	
F01B: C5	D9		83	CMP	PERI	
F01D: D0	07		84	BNE	NDEF	
F01F: B9	FE	F6	85	LDA	PUR.Y	
F022: C5	DA		86	CMP	PUR.S	
F024: F0	03		87	BEQ	LCLE	
F026: 4C	E4	F1	88	JMP	DEME	; NO ESTA DELIBIDA
F029: A5	DD		89	LDA	QALI	
F02E: 8D	08	C0	90	STA	FUEN	
F02E: A5	DC		91	LDA	LECT	
F030: 8D	09	C0	92	STA	LCPR	
F033: A9	8E		93	LDA	##8E	; COMENTARIO DE INICIALIZACION
F035: 85	FC		94	STA	BDE7	; "FUNCION."
F037: A9	E3		95	LDA	##E3	
F039: 85	FB		96	STA	BDE6	
F03B: A9	AB		97	LDA	##AB	
F03D: 85	FA		98	STA	BDE5	
F03F: 85	F6		99	STA	BDE1	
F041: A9	A7		100	LDA	##A7	
F043: 85	F9		101	STA	BDE4	
F045: A9	FB		102	LDA	##FB	
F047: 85	F8		103	STA	BDE3	
F049: A9	A3		104	LDA	##A3	
F04B: 85	F7		105	STA	BDE2	
F04D: A9	7F		106	LDA	##7F	
F04F: 85	F5		107	STA	BDE0	
F051: 20	62	FA	108	JSR	TECL	; ESPERA UNA FUNCION
F054: C9	0E		109	CMP	##0E	; EXAMINAR?
F056: D0	03		110	BNE	NEXA	
F059: 4C	A0	F0	111	JMP	EXAM	; SI
F05B: C9	0A		112	CMP	##0A	; AUTOCARGAR?
F05D: D0	03		113	BNE	NAUT	
F05F: 4C	4E	F1	114	JMP	AUTO	; SI
F062: C9	08		115	CMP	##08	; COPIAR EN MODO INICIAL?
F064: F0	04		116	BEQ	RRMI	
F066: 30	05		117	BMI	NRMI	
F068: 10	C9		118	BPL	RET3	
F06A: 4C	6E	F1	119	JMP	CMOI	; SI
F06D: C9	07		120	CMP	##07	; COPIAR EN MODO FINAL?
F06F: D0	03		121	BNE	NRMF	
F071: 4C	7F	F1	122	JMP	CMOF	; SI
F074: C9	06		123	CMP	##06	; COMPARAR?
F076: D0	03		124	BNE	NCOM	
F078: 4C	90	F1	125	JMP	CMPR	; SI
F07B: C9	05		126	CMP	##05	; REPRODUCIR?
F07D: D0	03		127	BNE	NTRA	
F07F: 4C	9E	F1	128	JMP	RPRD	; SI
F082: C9	04		129	CMP	##04	; VERIFICAR?
F084: D0	03		130	BNE	NVER	
F086: 4C	86	F2	131	JMP	VERI	; SI
F089: C9	03		132	CMP	##03	; PROGRAMAR?
F08B: D0	03		133	BNE	NPRO	
F08D: 4C	A9	F1	134	JMP	PRGR	; SI
F090: C9	02		135	CMP	##02	; ES EL ACOPLADOR SERIE?
F092: D0	03		136	BNE	NTTY	
F094: 4C	10	F3	137	JMP	TTY	; SI
F097: 4A			138	LSR	A	
F09B: 90	03		139	BCC	NPAR	; PROGRAMAR EL ACOPLADOR SERIE?
F09A: 4C	B4	F1	140	JMP	PAGE	; SI
F09D: 4C	E4	F1	141	JMP	DEME	; NO
FOA0:			142			
FOA0:			143			; EXAMINAR CON EL TECLADO HEX.
FOA0:			144			
FOA0: A2	05		145	LDX	##05	; INICIAR EL AREA DE DESPLIE-
FOA2: 20	F8	FA	146	JSR	GUIO	; QUE CON 6 GUIONES Y "E."
FOA5: A0	01		147	LDY	##01	
FOA7: 20	FF	F9	148	JSR	FORO	
FOAA: A2	05		149	LDX	##05	; ESPERA DIRECCION
FOAC: A0	03		150	LDY	##03	
FOAE: A9	02		151	LDA	##02	
FOB0: 20	9D	FA	152	JSR	RTEC	
FOB3: A0	00		153	LDY	##00	
FOB5: B1	FE		154	LDA	(ADRL),Y	; MUESTRA DATO
FOB7: A2	01		155	LDX	##01	
FOB9: 20	E0	FA	156	JSR	DECO	
FOBC: 20	62	FA	157	JSR	TECL	; ESPERA FUNCION
FOBF: C9	0F		158	CMP	##0F	; AVANZAR?
FOC1: F0	21		159	BEQ	ADEL	; SI
FOC3: C9	0C		160	CMP	##0C	; CAMBIAR?

F0C5:F0	OF	161	BEQ	CMEM	; SI
F0C7:C9	0B	162	CMP	#00B	; REGRESAR?
F0C9:F0	2D	163	BEQ	ATRA	; SI
F0CB:C9	0D	164	CMP	#00D	; SUPRIMIR?
F0CD:F0	47	165	BEQ	SUPR	; SI
F0CF:C9	09	166	CMP	#009	; INSERTAR?
F0D1:F0	5D	167	BEQ	INSE	; SI
F0D3:4C	54	168	JMP	RETI	
F0D6:A0	03	169	LDY	#003	; PON "CA." EN EL AREA DE D.
F0D8:20	FF	170	JSR	PORO	
F0DB:20	D1	171	JSR	CAMB	; ESPERA DATO SUSTITUTO
F0DE:A0	00	172	LDY	#000	
F0E0:91	FE	173	STA	(ADRL),Y	; CAMBIA DATO VIEJO
F0E2:F0	D8	174	BEQ	RETS	
F0E4:A0	01	175	LDY	#001	; PON "E." EN EL AREA DE D.
F0E6:20	FF	176	JSR	PORO	
F0E9:20	EA	177	JSR	INDR	; INCREMENTA DIRECCION
F0EC:A0	00	178	LDY	#000	
F0EE:B1	FE	179	LDA	(ADRL),Y	; MUESTRA DATO
F0F0:A2	01	180	LDX	#001	
F0F2:20	E0	181	JSR	DECO	
F0F5:4C	BC	182	JMP	RETS	
F0F8:A0	01	183	LDY	#001	; PON "E." EN EL AREA DE D.
F0FA:20	FF	184	JSR	PORO	
F0FD:A2	03	185	LDX	#003	; DECREMENTA DIRECCION
F0FF:C6	FE	186	DEC	ADRL	
F101:A5	FE	187	LDA	ADRL	
F103:C9	FF	188	CMP	#0FF	
F105:20	E0	189	JSR	DECO	
F108:D0	E2	190	BNE	MDAT	
F10A:C6	FF	191	DEC	ADRH	
F10C:A2	05	192	LDX	#005	
F10E:A5	FF	193	LDA	ADRH	
F110:20	E0	194	JSR	DECO	
F113:4C	EC	195	JMP	MDAT	
F116:A9	00	196	LDA	#000	; INDICA SUPRESION
F118:85	E3	197	STA	SUIN	
F11A:20	A2	198	JSR	VALD	
F11D:D0	06	199	BNE	PUSU	; ESTA EN EL AREA DE TRABAJO?
F11F:20	DC	200	JSR	BELL	; NO. ERROR
F122:4C	BC	201	JMP	RETS	
F125:20	92	202	JSR	SUBV	; REALIZA SUPRESION
F128:A0	07	203	LDY	#007	
F12A:20	FF	204	JSR	PORO	; PON "SU." EN EL AREA DE D.
F12D:4C	EC	205	JMP	MDAT	
F130:85	E3	206	STA	SUIN	; INDICA INSERCCION
F132:20	A2	207	JSR	VALD	
F135:D0	03	208	BNE	PUN	; ESTA EN EL AREA DE TRABAJO?
F137:4C	1F	209	JMP	NPIN	
F13A:A0	09	210	LDY	#009	; PON "IN." EN EL AREA DE D.
F13C:20	FF	211	JSR	PORO	
F13F:20	D1	212	JSR	CAMB	; ESPERA DATO
F142:48		213	PHA		
F143:20	31	214	JSR	RMFI	; MUEVE BLOQUE
F146:68		215	PLA		
F147:A0	00	216	LDY	#000	
F149:91	FE	217	STA	(ADRL),Y	; INSERTA DATO
F14B:4C	E9	218	JMP	MDDA	
F14E:		219			
F14E:		220			; AUTOCARGAR
F14E:		221			
F14E:	A2	222			
F150:20	F8	223	LDX	#005	; INICIA AREA DE DESPLIE-
F153:A0	05	224	JSR	GUIO	; GUE CON 6 GUIONES Y "AU."
F155:20	FF	225	LDY	#005	
F158:A2	03	226	JSR	PORO	
F15A:A0	05	227	LDX	#005	
F15C:A9	02	228	LDY	#005	
F15E:20	9D	229	LDA	#002	
F161:A0	00	230	JSR	RTEC	; ESPERA DIRECCION DE
F163:91	FE	231	LDY	#000	; INICIO Y DATO
F165:20	EA	232	STA	(ADRL),Y	; DEPOSITA DATO
F168:20	D1	233	JSR	INDR	; INCREMENTA DIRECCION
F16B:4C	61	234	JSR	CAMB	; ESPERA DATO NUEVO
F16E:		235	JMP	RECI	
F16E:		236			; COPIAR EN MODO INICIAL CON EL
F16E:		237			; TECLADO HEX.
F16E:		238			
F16E:A0	0B	239	LDY	#00B	; PON "CI." EN EL AREA DE
F170:20	FF	240	JSR	PORO	; DESPLIEGUE
F173:20	3D	241	JSR	TBLO	; ESPERA DIRECCION DE INI-
F176:20	6E	242	JSR	DDES	; CIO, FINAL Y DESTINO



```

F179:20 05 F9 243 JSR RMIN ;REALIZA MOVIMIENTO 64
F17C:4C 33 F0 244 JMP RET3
F17F: 245 ;
F17F: 246 ; COPIA EN MODO FINAL CON EL
F17F: 247 ; TECLADO HEX.
F17F: 248 ;
F17F:A0 0D 249 CMOF LDY #0D ;PON "CF." EN AREA DE
F181:20 FF F9 250 JSR PORO ;DESPLIEGUE
F184:20 3D F9 251 JSR TBLO ;ESPERA DIRECCION DE INI-
F187:20 6E F9 252 JSR DDES ;CIO, FINAL Y DESTINO
F18A:20 31 F9 253 JSR RMFI ;REALIZA MOVIMIENTO
F18D:4C 33 F0 254 JMP RET3
F190: 255 ;
F190: 256 ; COMPARA CON EL TECLADO HEX.
F190: 257 ;
F190:A0 0F 258 CMFR LDY #0F ;PON "CO." EN AREA DE
F192:20 FF F9 259 JSR PORO ;DESPLIEGUE
F195:20 3D F9 260 JSR TBLO ;ESPERA DIRECCION DE INI-
F198:20 6E F9 261 JSR DDES ;CIO, FINAL Y DESTINO
F19B:4C 68 F2 262 JMP COMP
F19E: 263 ;
F19E: 264 ; REPRODUCE CON EL TECLADO HEX.
F19E: 265 ;
F19E:A0 11 266 RPRD LDY #11 ;PON "RE." EN AREA DE
F1A0:20 FF F9 267 JSR PORO ;DESPLIEGUE
F1A3:20 3D F9 268 JSR TBLO ;ESPERA TAMANO BLOQUE
F1A6:4C B3 F2 269 JMP REPR
F1A9: 270 ;
F1A9: 271 ; PROGRAMA CON EL TECLADO HEX.
F1A9: 272 ;
F1A9:A0 13 273 PRGR LDY #13 ;PON "PR." EN AREA
F1AB:20 FF F9 274 JSR PORO ;DESPLIEGUE
F1AE:20 3D F9 275 JSR TBLO ;ESPERA TAMANO BLOQUE
F1B1:4C 08 F5 276 JMP PROG
F1B4: 277 ;
F1B4: 278 ; PROGRAMACION DEL ACOPLADOR SERIE
F1B4: 279 ;
F1B4:20 18 FB 280 PASE JSR BORR ;PON "PASE. --" EN
F1B7:A9 3C 281 LDA #8C ;DESPLIEGUE L.
F1B9:85 FC 282 STA BDE7
F1BB:A9 88 283 LDA #88
F1BD:85 FB 284 STA BDE6
F1BF:A9 92 285 LDA #92
F1C1:85 FA 286 STA BDE5
F1C3:A9 06 287 LDA #06
F1C5:85 F9 288 STA BDE4
F1C7:A9 F7 289 LDA #F7
F1C9:85 F6 290 STA BDE1
F1CB:20 62 FA 291 NCPA JSR TECL ;ESPERA PROGRAMACION
F1CE:C9 07 292 CMP #07 ;PROGRAMACION CORRECTA?
F1D0:F0 02 293 BEQ ESTC
F1D2:10 F7 294 BPL NCPA
F1D4:A9 295 ESTC TAY
F1D5:84 E2 296 STY IPAR ;GUARDA IDENTIFICACION
F1D7:B9 D3 F6 297 LDA IPAR,Y ;EN "RAM"
F1DA:85 E1 298 STA IPAR
F1DC:B9 36 F7 299 LDA TAB1,Y ;CODIFICA PROGRAMACION
F1DE:85 F6 300 STA BDE1 ;Y DESPLIEGA
F1E1:4C 51 F0 301 JMP RET2
F1E4: 302 ;
F1E4: 303 ; DEFINICION DE MEMORIA
F1E4: 304 ;
F1E4:20 18 FB 305 DEME JSR BORR ;PON "EPRO. --" EN EL
F1E7:A9 86 306 LDA #86 ;DESPLIEGUE L.
F1E9:85 FC 307 STA BDE7
F1EB:A9 9C 308 LDA #9C
F1ED:85 FB 309 STA BDE6
F1EF:A9 AF 310 LDA #AF
F1F1:85 FA 311 STA BDE5
F1F3:A9 23 312 LDA #23
F1F5:85 F9 313 STA BDE4
F1F7:A9 F7 314 NEPR LDA #F7
F1F9:85 F8 315 STA BDE3
F1FB:85 F7 316 STA BDE2
F1FD:A2 03 317 LDX #03 ;ESPERA TIPO DE MEMORIA
F1FF:A0 01 318 LDY #01
F201:A9 00 319 LDA #00
F203:20 9D FA 320 JSR RTEC
F206:A0 00 321 LDY #00
F208:D9 DB F6 322 SVER CMP #00,Y ;DEFINICION CORRECTA?
F20B:84 E0 323 STY PMEM
F20D:F0 07 324 BEQ MEDE

```

F20F:	C8		325	INY		
F210:	C0	05	326	CPY	#*05	
F212:	D0	F4	327	BNE	SVER	
F214:	F0	E1	328	BEQ	NEPR	
F216:	C9	16	329	CMP	#*16	; MEMORIA "16"?
F218:	D0	1B	330	BNE	NE16	
F21A:	A9	BF	331	LDA	#*BF	
F21C:	85	F6	332	STA	BDE1	
F21E:	A9	F7	333	LDA	#*F7	
F220:	85	F5	334	STA	BDE0	; PON GUITON Y
F222:	30	62	335	JSR	TECL	; ESPERA VERSION
F225:	C9	01	336	CMP	#*01	
F227:	F0	06	337	BEQ	ES01	
F229:	C9	03	338	CMP	#*03	
F22B:	D0	F5	339	BNE	NEVE	; VERSION CORRECTA?
F22D:	E6	E0	340	INC	PMEM	
F22F:	A8		341	TAY		
F230:	B9	36	342	LDA	TAB1, Y	; CODIFICA VERSION
F233:	85	F5	343	STA	BDE0	
F235:	A4	E0	344	LDY	PMEM	; TOMA DE TABLAS PARAMETROS RELACIONADOS CON LA MEMORIA, PONLOS EN "RAM"
F237:	B9	E0	345	LDA	CAPA, Y	
F23A:	85	DF	346	STA	TAMA	
F23C:	B9	EC	347	LDA	QFAL, Y	
F23F:	85	DD	348	STA	QALI	
F241:	8D	08	349	STA	FUEN	; PRENDE EL DIODO DE LA BASE
F244:	B9	E6	350	LDA	PFUE, Y	
F247:	85	DE	351	STA	ALIM	
F249:	B9	F2	352	LDA	LECM, Y	
F24C:	85	DC	353	STA	LECT	
F24E:	8D	09	354	STA	LCPR	; PON MEMORIA EN MODO LECTURA
F251:	B9	F8	355	LDA	PRPR, Y	
F254:	85	DB	356	STA	PREP	
F256:	B9	FE	357	LDA	PUPR, Y	
F259:	85	DA	358	STA	PULS	
F25B:	B9	04	359	LDA	TPRO, Y	
F25E:	85	D9	360	STA	PERI	
F260:	B9	0A	361	LDA	LPRO, Y	
F263:	85	D8	362	STA	LOOP	
F265:	4C	51	363	JMP	RET2	
F268:			364			
F268:			365			; COMPARA
F268:			366			
F268:	A9	FF	367	COMP	LDA	#*FF
F26A:	85	D1	368	STA	MASC	
F26C:	A0	00	369	CMPT	LDY	#*00
F26E:	84	00	370	STY	CERO	; INDICA COMPARACION
F270:	84	D7	371	STY	L123	; Y LIMPIA CONTADOR DE LINEAS
F272:	20	4E	372	SCOM	JSR	COVE
F275:	90	FB	373	BCC	SCOM	; TERMINO DE COMPARAR?
F277:	A9	DD	374	ALTC	LDA	QALI
F279:	8D	08	375	STA	FUEN	; QUITA ALIMENTACION
F27C:	A5	E4	376	LDA	THEX	
F27E:	D0	03	377	BNE	NTHE	; UTILIZA ACOPLADOR SERIE?
F280:	4C	33	378	JMP	RET3	
F283:	4C	29	379	JMP	DELT	
F286:			380			
F286:			381			; VERIFICA
F286:			382			
F286:	20	66	383	VERI	JSR	PFAL
F289:	A9	00	384	LDA	#*00	; PON ALIMENTACION
F28B:	85	EF	385	STA	INIC	; PON LA DIRECCION INICIAL
F28D:	A9	D0	386	LDA	#*D0	
F28F:	85	F0	387	STA	INIC+01	
F291:	A9	FF	388	LDA	#*FF	; PON LA DIRECCION FINAL
F293:	85	ED	389	STA	FINA	
F295:	A5	DF	390	LDA	TAMA	
F297:	85	EE	391	STA	FINA+01	
F299:	A9	0F	392	LDA	#*0F	
F29B:	85	D1	393	STA	MASC	
F29D:	A0	00	394	LDY	#*00	; INICIA NUMERO DE
F29F:	84	D7	395	STY	L123	; LINEAS
F2A1:	A0	00	396	CVER	LDY	#*00
F2A3:	88		397	DEY		
F2A4:	84	00	398	STY	CERO	; INDICA VERIFICACION
F2A6:	C8		399	INY		
F2A7:	84	EB	400	STY	DEST	; PON DIRECCION DE
F2A9:	84	EC	401	STY	DEST+01	; DESTINO
F2AB:	20	4E	402	JSR	COVE	
F2AE:	90	F1	403	BCC	CVER	
F2B0:	4C	77	404	JMP	ALTC	; TERMINO VERIFICACION?
F2B3:			405			
F2B3:			406			; REPRODUCE

```

F2B3: 407 ;
F2B3: 20 66 F7 408 REPR
F2B6: A5 DF 409
F2B8: 29 0F 410
F2BA: C5 F0 411
F2BC: B0 03 412
F2BE: 4C 2D F5 413
F2C1: C5 EE 414 FDIR
F2C3: B0 03 415
F2C5: 4C 2D F5 416
F2C8: D8 417 EDRA
F2C9: A5 ED 418
F2CB: C5 EF 419
F2CD: A5 EE 420
F2CF: E5 F0 421
F2D1: B0 03 422
F2D3: 4C 2D F5 423
F2D6: A9 0F 424 NEMA
F2D8: 85 D1 425
F2DA: A5 F0 426
F2DC: 09 D0 427
F2DE: 85 F0 428
F2E0: 85 EA 429
F2E2: A5 EE 430
F2E4: 09 D0 431
F2E6: 85 EE 432
F2E8: 85 E9 433
F2EA: A9 10 434
F2EC: 85 EC 435
F2EE: A9 10 436
F2F0: 85 EB 437
F2F2: 20 05 F9 438
F2F3: A9 10 439 RPRD
F2F7: 85 EC 440
F2F9: A9 00 441
F2FB: 85 EB 442
F2FD: A5 EA 443
F2FF: 85 F0 444
F301: A5 E9 445
F303: 85 EF 446
F305: A5 EB 447
F307: 85 EE 448
F309: A5 E7 449
F30B: 85 ED 450
F30D: 4C 6C F2 451
F310: 452 ;
F310: 453 ; ACOPLADOR SERIE
F310: 454 ;
F310: A9 03 455 TTY
F312: 85 E4 456
F314: 8D 16 C0 457
F317: A4 E2 458
F319: B9 D3 F6 459
F31C: C6 E1 460
F31E: F0 06 461
F320: A9 00 462
F322: 85 E2 463
F324: A9 01 464
F326: 8D 16 C0 465 PARD
F329: A2 0D 466 DELT
F32B: 20 EE F7 467
F32E: A2 2A ALFA 468
F330: 20 EE F7 469
F333: 20 08 F8 470 ESPA
F336: D0 25 471
F338: C9 20 472
F33A: F0 F7 473
F33C: C9 0D 474
F33E: F0 EE 475
F340: C9 56 476
F342: D0 03 477
F344: 4C 86 F2 478
F347: C9 01 479 NVEF
F349: D0 03 480
F34B: 4C 00 F0 481
F34E: C9 00 482 NIST
F350: D0 03 483
F352: 4C 4L F6 484
F355: A2 3F 485 GAMA
F357: 20 EE F7 486
F35A: 4C 29 F3 487
F35D: 20 73 F7 488 ESHE

```

```

; PONE LA DIRECCION
; DE LOS BLOQUES INICIAL
; Y FINAL EN LA GAMA
; DE FINALES

; INICIO Y FINALES

; PON DIRECCION INICIAL
; Y FINAL

; PON DIRECCION DE
; DESTINO

; MUEVE BLOQUE
; PREPARA CONDICIONES PARA
; COMPARAR

; VERIFICA EL BLOQUE REPR.

; ACCESO POR TERMINAL
; RESET AL "ACIA"
; PROGRAMACION DEL "ACIA"
; DEFINIDA?

; NO, UTILIZA PARIDAD PAR
; Y DOS BITS DE STOP

; MANDA "CR" Y "LF"

; MANDA "ASTERISCO"

; ESPACIO

; "CR"?

; VERIFICAR?

; SI
; "CTRL A"?

; TRANSMISION?

; NO, PON "2"

; ESPERA UNA DIRECCION Y UNA F.

```

F360:09	0D		489		CMF	#00D	:"CR"?
F362:00	03		490		BNE	NEXC	
F364:4C	09	F3	491		JMP	ETTY	:EXAMINAR EN MEMORIA
F367:09	02		492	NEXC	CMF	#02	:"CTRL-D"?
F369:00	03		493		BNE	NPER	
F36B:4C	0F	F6	494		JMP	PERE	:PERFORA
F36E:09	2D		495	NPER	CMF	#2D	:GITION?
F370:00	E3		496		BNE	GAMA	
F372:A5	FE		497		LDA	ADRL	:PON DIRECCION EN DESTINO
F374:85	EF		498		STA	INIC	:Y RESPALDO DE INICIO
F376:85	E9		499		STA	RINI	
F378:A5	FF		500		LDA	ADRI	
F37A:85	F0		501		STA	INIC+01	
F37C:85	EA		502		STA	RINI+01	
F37E:20	71	F7	503		JSR	DTT1	:ESPERA UNA DIRECCION Y DATO
F381:A4	FE		504		LDY	ADRL	:PON DIRECCION FINAL
F383:84	ED		505		STY	FINA	:Y RESPALDO DE FINAL
F385:84	E7		506		STY	REFIN	
F387:A4	FF		507		LDY	ADRH	
F389:84	EE		508		STY	FINA+01	
F38B:84	E8		509		STY	REFIN+01	
F38D:09	0D		510		CMF	#00D	:"CR"?
F38F:00	03		511		BNE	NMBL	
F391:4C	C1	F4	512		JMP	MBLQ	:MUESTRA UN BLOQUE
F394:09	50		513	NMBL	CMF	#50	:"P"?
F396:00	03		514		BNE	NOPR	
F398:4C	08	F5	515		JMP	PROG	:PROGRAMA
F39B:09	52		516	NOPR	CMF	#52	:"R"?
F39D:00	03		517		BNE	NOTR	
F39F:4C	B3	F2	518		JMP	REPR	:REPRODUCE
F3A2:09	3A		519	NOTR	CMF	#3A	:""?
F3A4:00	AF		520		BNE	GAMA	
F3A6:20	71	F7	521		JSR	DTT1	:ESPERA UNA DIRECCION Y UNA F.
F3A9:A4	FE		522		LDY	ADRL	:PON DIRECCION EN DESTINO
F3AB:84	EB		523		STY	DEST	
F3AD:A4	FF		524		LDY	ADRH	
F3AF:84	EC		525		STY	DEST+01	
F3B1:09	03		526		CMF	#03	:"CTRL-C"?
F3B3:00	03		527		BNE	NOCO	
F3B5:4C	68	F2	528		JMP	COMP	:COMPARA
F3B8:09	09		529	NOCO	CMF	#09	:"CTRL-I"?
F3BA:00	03		530		BNE	NORI	
F3BC:4C	8C	F4	531		JMP	CEMI	:COPIA EN MODO INICIAL
F3BF:09	06		532	NORI	CMF	#06	:"CTRL-F"?
F3C1:00	03		533		BNE	NORF	
F3C3:4C	92	F4	534		JMP	CEMF	:COPIA EN MODO FINAL
F3C6:4C	55	F3	535	NORF	JMP	GAMA	
F3C9:			536		:		
F3C9:			537		:	EXAMINAR CON EL ACOPLADOR SERIE	
F3C9:			538		:		
F3C9:EA			539	ETTY	NOF		
F3CA:20	B7	F7	540	MODR	JSR	DRPU	:MUESTRA DIRECCION Y DATO
F3CD:A0	00		541		LDY	#00	:INICIA CONTADOR DE
F3CF:84	D4		542		STY	CDLI	:DATOS POR LINEA
F3D1:20	93	F7	543	SEXA	JSR	ESBY	:ESPERA BYTE
F3D4:F0	00		544		CPX	#00	
F3D6:F0	25		545		BEQ	NFBY	:SE FORMO UN BYTE?
F3D8:A0	00		546		LDY	#00	
F3DA:91	FE		547		STA	(ADRL).Y	:SI. CAMBIA EL DATO
F3DC:E6	D4		548		INC	CDLI	
F3DE:A2	20		549		LDX	#20	
F3E0:20	EE	F7	550	FBAR	JSR	SCAR	
F3E3:20	EE	F7	551		JSR	SCAR	
F3E6:20	EA	F9	552		JSR	INDR	:INCREMENTA DIRECCION
F3E9:A9	08		553		LDA	#03	
F3EB:C5	D4		554		CMF	CDLI	
F3ED:F0	06		555		BEQ	ESOC	:OCTAVO DATO?
F3EF:20	CA	F7	556		JSR	EDAT	:MUESTRA EL SIGUIENTE DATO
F3F2:4C	D1	F3	557		JMP	SEXA	
F3F5:A2	0D		558	ESOC	LDX	#0D	:MANDA "CR" Y "LF"
F3F7:20	EE	F7	559		JSR	SCAR	
F3FA:4C	CA	F3	560		JMP	MODR	
F3FD:09	20		561	NFBY	CMF	#20	:BARRA?
F3FF:F0	2A		562		BEQ	BARR	
F401:09	52		563		CMF	#52	
F403:00	0E		564		BNE	NERE	:"R"?
F405:A6	FE		565		LDX	ADRL	:REGRESA
F407:CA			566		DEX		
F409:E0	FF		567		CPX	#FF	
F40A:00	02		568		BNE	NDRE	
F40C:C6	FF		569		DEC	ADRH	
F40E:86	FE		570	NDRE	STX	ADRL	

```

F410:4C F5 F3 571      JMP  ES00
F413:C9 49          572 NERE   CMP  #*49      ; INSERTAR?
F415:D0 03          573      BNE  NOEI
F417:4C 34 F4      574      JMP  ITTY      ; SI
F41A:C9 53          575 NDEI   CMP  #*53      ; SUPRIMIR?
F41C:D0 03          576      BNE  PRCR
F41E:4C 64 F4      577      JMP  STTY      ; SI
F421:C9 0D          578 PRCR   CMP  #*0D
F423:D0 03          579      BNE  NECR      ; "CR"?
F425:4C 2E F3      580      JMP  ALFA
F428:4C 55 F3      581 NECR   JMP  GAMA
F42B:E6 D4          582 BARR   INC  COLI
F42D:AA            583      TAX
F42E:20 EE F7      584      JSR  SCAR
F431:4C E0 F3      585      JMP  FBAR
F434:            586      ;
F434:            587 ; INSERTAR CON EL ACOPLADOR SERIE
F434:            588 ;
F434:85 E3          589 ITTY   STA  SUIN      ; INDICA QUE SE INSERTA
F436:A2 0D          590      LDX  #*0D      ; MANDA "CR" Y "LF"
F438:20 EE F7      591      JSR  SCAR
F43B:20 A2 F9      592      JSR  VALD      ; EN AREA DE TRABAJO?
F43E:D0 03          593      BNE  VITT
F440:4C 55 F3      594      JMP  GAMA
F443:20 B7 F7      595 VITT   JSR  DRPU      ; MUESTRA DIRECCION Y DATO
F446:20 93 F7      596      JSR  ESBY      ; ESPERA BYTE
F449:E0 00          597      CPX  #*00
F44B:D0 03          598      BNE  IBYT      ; FORMO UN BYTE?
F44D:4C 21 F4      599      JMP  PRCR
F450:48            600 IBYT   PHA
F451:20 31 F9      601      JSR  RMFI      ; MUEVE BLOQUE
F454:A0 00          602      LDY  #*00
F456:68            603      PLA
F457:91 FE          604      STA  (ADRL),Y ; INSERTA DATO
F459:20 EA F9      605      JSR  INDR
F45C:A2 0D          606 REXA   LDX  #*0D
F45E:20 EE F7      607      JSR  SCAR
F461:4C C9 F3      608      JMP  ETTY      ; REGRESA A EXAMINAR
F464:            609 ;
F464:            610 ; SUPRIMIR CON EL ACOPLADOR SERIE
F464:            611 ;
F464:A9 00          612 STTY   LDA  #*00      ; INDICA QUE SE ESTA
F466:85 E3          613      STA  SUIN      ; SUPRIMIENDO
F468:A2 0D          614      LDX  #*0D      ; MANDA "CR" Y "LF"
F46A:20 EE F7      615      JSR  SCAR
F46D:20 A2 F9      616      JSR  VALD      ; ESTA EN EL AREA DE TRABAJO?
F470:D0 03          617      BNE  SVAL
F472:4C 55 F3      618      JMP  GAMA
F475:20 B7 F7      619 SVAL   JSR  DRPU      ; MUESTRA DIRECCION
F478:A2 20          620      LDX  #*20      ; Y DATO
F47A:20 EE F7      621      JSR  SCAR
F47D:20 EE F7      622      JSR  SCAR
F480:20 EE F7      623      JSR  SCAR
F483:20 92 F9      624      JSR  SUBY      ; REALIZA LA SUPRESION
F486:20 CA F7      625      JSR  EDAT      ; MUESTRA NUEVO DATO
F489:4C 5C F4      626      JMP  REXA      ; REGRESA A EXAMINAR
F48C:            627 ;
F48C:            628 ; COPIA EN MODO INICIAL CON
F48C:            629 ; EL ACOPLADOR SERIE
F48C:            630 ;
F48C:20 05 F9      631 CEMI   JSR  RMIN
F48F:4C 29 F3      632      JMP  DELT
F492:            633 ;
F492:            634 ; COPIA EN MODO FINAL CON
F492:            635 ; EL ACOPLADOR SERIE
F492:            636 ;
F492:20 31 F9      637 CEMF   JSR  RMFI
F495:4C 29 F3      638      JMP  DELT
F498:20 18 FB      639 ERPA   JSR  BORR      ; PONE "ER.PARI.*" EN EL
F49B:A0 15          640      LDY  #*15      ; DESPLIEGUE L.
F49D:20 FF F9      641      JSR  PORO
F4A0:A9 8C          642      LDA  #*8C
F4A2:85 F9          643      STA  BDE4
F4A4:A9 A0          644      LDA  #*A0
F4A6:85 F8          645      STA  BDE3
F4A8:A9 AF          646      LDA  #*AF
F4AA:85 F7          647      STA  BDE2
F4AC:A9 7B          648      LDA  #*7B
F4AE:85 F6          649      STA  BDE1
F4B0:A4 E2          650      LDY  DPAR
F4B2:B9 36 F7      651      LDA  TAB1,Y
F4B5:85 F5          652      STA  BDE0

```

```

F4B7:A9 00      653      LDA    #000
F4B9:85 E4      654      STA    THEX
F4BB:20 DC F9   655      JSR    LUBL
F4BE:4E 51 F0   656      JMP    REFL
F4C1:      657      ;
F4C1:      658      ; MOSTRAR UN BLOQUE
F4C1:      659      ;
F4C1:A5 F0      660      MBL0   LDA    INIC+01
F4C3:85 FF      661      STA    ADRH
F4C5:A5 E1      662      LDA    INIC
F4C7:85 FE      663      STA    ADRL
F4C9:A0 00      664      CUBL   LDY    #000      ; INICIA CONTADORES DE
F4CB:84 D3      665      STY    CBLD      ; BLOQUES Y DATOS
F4CD:84 D2      666      STY    CDAT
F4CF:20 B7 F7   667      JSR    ORPU      ; MUESTRA DIRECCION
F4D2:20 EF F8   668      JSR    INFI      ; Y DATO
F4D5:80 2E      669      BCS    TDBL      ; SE MOSTRO TODO EL BLOQUE?
F4D7:20 EA F9   670      JSR    INDR
F4DA:E6 D2      671      INC    CDAT
F4DC:A2 04      672      LDX    #04
F4DE:E4 D2      673      CPX    CDAT      ; CUATRO DATOS FUERON ENVIADOS?
F4E0:D0 1D      674      BNE    NECA
F4E2:A0 00      675      LDY    #000      ; INICIA CONTADOR CUATRO
F4E4:84 D2      676      STY    CDAT      ; DATOS
F4E6:E6 D3      677      INC    CBLD
F4E8:E4 D3      678      CPX    CBLD      ; CUATRO BLOQUES FUERON
F4EA:D0 08      679      BNE    NCBL      ; ENVIADOS?
F4EC:A2 0D      680      LDX    #0D      ; MANDA "CR" Y "LF"
F4EE:20 EE F7   681      JSR    SCAR
F4F1:4C C9 F4   682      JMP    LUBL
F4F4:A2 20      683      LDX    #20      NCBL
F4F6:20 EE F7   684      JSR    SCAR
F4F9:20 EE F7   685      JSR    SCAR
F4FC:20 EE F7   686      JSR    SCAR
F4FF:20 CA F7   687      JSR    EDAT      ; MUESTRA DATO
F502:4C D2 F4   688      JMP    RVBL
F505:4C 29 F3   689      JMP    DELT
F508:      690      ;
F508:      691      ; PROGRAMA
F508:      692      ;
F508:20 66 F7   693      PROG   JSR    PFAL
F50B:A5 DF      694      LDA    TAMA
F50D:29 0F      695      AND    #0F      ; LAS DIRECCIONES ESTAN EN LA
F50F:C5 F0      696      CMP    INIC+01   ; GAMA DEFINIDA?
F511:B0 02      697      BCS    ESRI
F513:90 13      698      BCC    NERA
F515:C5 EE      699      CMF    FINA+01   ESRI
F517:B0 02      700      BCS    ESRA
F519:90 12      701      BCC    NERA
F51B:A9 0F      702      LDA    #0F      ESRA
F51D:95 D1      703      STA    MASC
F51F:D3      704      CLD
F520:38      705      SEC
F521:A5 ED      706      LDA    FINA      ; CALCULA EL REMANENTE
F523:E5 EF      707      SBC    INIC
F525:85 ED      708      STA    FINA
F527:A3 EE      709      LDA    FINA+01
F529:E5 F0      710      SBC    INIC+01   ; CALCULA EL NUMERO DE BLOQUES
F52B:B0 17      711      BCS    ESBL      ; INICIO > FINAL ?
F52D:A5 E4      712      LDA    THEX      ; SI, INDICA ERROR
F52F:D0 06 F9   713      BNE    ESTY
F531:20 DC F2   714      JSR    BELL
F534:4C 77 F2   715      JMP    ALTC
F537:A2 0D      716      LDX    #0D      ; MANDA "CR", "LF" Y FON "?"
F539:20 EE F7   717      JSR    SCAR
F53C:A2 3F      718      LDX    #3F
F53E:20 EE F7   719      JSR    SCAR
F541:4C 77 F2   720      JMP    ALTC
F544:09 10      721      DRA    #10      ;
F546:85 EE      722      STA    FINA+01   ; FON EL INICIO Y EL FINAL DEL
F548:A9 00      723      LDA    #00      ; BLOQUE DE PROGRAMACION
F54A:85 EF      724      STA    INIC
F54C:A9 10      725      LDA    #10
F54E:85 F0      726      STA    INIC+01
F550:A5 D3      727      LDA    LOOP
F552:C9 64      728      CMP    #64      ; LA MEMORIA ES DE UNA FUENTE?
F554:F0 10      729      BEQ    FUE3
F556:A5 E9      730      LDA    RINI      ; PON CONDICIONES PARA
F558:85 EB      731      STA    DEST      ; PROGRAMAR MEMORIAS DE
F55A:A5 EA      732      LDA    RINI+01   ; UNA FUENTE
F55C:09 DO      733      DRA    #DO
F55E:85 EC      734      STA    DEST+01   ; PON EL DESTINO

```

```

F560:20 46 F7 735
F563:4C FB F5 736
F566:85 DO F5 737 FUE3
F568:A5 E7 738
F56A:85 EB 739
F56C:A5 E8 740
F56E:09 10 741
F570:85 EC F9 742
F572:20 31 F9 743
F575:A9 00 744
F577:85 EF 745
F579:A9 D0 746
F57B:85 F0 747
F57D:A6 E9 748
F57F:A4 EA 749
F581:CA 750
F582:86 ED 751
F584:E0 FF 752
F586:D0 05 753
F588:88 754
F589:C0 FF 755
F58B:F0 10 756
F58D:98 757 AJFI
F58E:09 D0 758
F590:85 EE 759
F592:A9 00 760
F594:85 EB 761
F596:A9 10 762
F598:85 EC F9 763
F59A:20 05 F9 764
F59D:A9 FF 765 NMBI
F59F:85 ED 766
F5A1:A5 DF 767
F5A3:85 EE 768
F5A5:A6 E7 769
F5A7:A4 E8 770
F5A9:E8 771
F5AA:D0 01 772
F5AC:C8 773
F5AD:86 EF 774 NINC
F5AF:86 EB 775
F5B1:98 776
F5B2:09 10 777
F5B4:85 EC 778
F5B6:09 D0 779
F5B8:85 F0 780
F5BA:20 05 F9 781
F5BD:A9 00 F9 782 NTPR
F5BF:85 EF 783
F5C1:85 EB 784
F5C3:A9 10 785
F5C5:85 F0 786
F5C7:A9 FF 787
F5C9:85 ED 788
F5CB:A5 DF 789
F5CD:29 1F 790
F5CF:85 EE 791
F5D1:A9 D0 792
F5D3:85 EC F7 793
F5D5:20 46 F7 794
F5D8:C6 D0 795
F5DA:10 E1 796
F5DC:A5 EA 797
F5DE:09 10 798
F5E0:85 F0 799
F5E2:A5 E9 800
F5E4:85 EF 801
F5E6:A5 EB 802
F5E8:09 10 803
F5EA:85 EE 804
F5EC:A5 E7 805
F5EE:85 ED 806
F5F0:A9 10 807
F5F2:85 EC 808
F5F4:A9 00 809
F5F6:85 EB F9 810
F5F8:20 05 F9 811
F5FB:A5 DC CO 812 TPV1
F5FD:8D 09 813
F600:A5 EA 814
F602:09 D0 815
F604:85 EA 816

```

```

JSR PRMA
JMP TPV1
STA NLOP
LDA RFIN
STA DEST
LDA RFIN+01
ORA ##10
STA DEST+01
JSR RMFI
LDA ##00
STA INIC
LDA ##D0
STA INIC+01
LDX RINI
LDY RINI+01
DEX
STX FINA
CPY ##FF
BNE AJFI
DEY
CPY ##FF
BEQ NMBI
TYA
ORA ##D0
STA FINA+01
LDA ##00
STA DEST
LDA ##10
STA DEST+01
JSR RMIN
LDA ##FF
STA FINA
LDA TAMA
STA FINA+01
LDX RFIN
LDY RFIN+01
INX
BNE NINC
INX
STX INIC
STX DEST
TYA
ORA ##10
STA DEST+01
ORA ##D0
STA INIC+01
JSR RMIN
LDA ##00
STA INIC
STA DEST
LDA ##10
STA INIC+01
LDA ##FF
STA FINA
LDA TAMA
AND ##1F
STA FINA+01
LDA ##D0
STA DEST+01
JSR PRMA
DEC NLOP
BPL NTPR
LDA RINI+01
ORA ##10
STA INIC+01
LDA RINI
STA INIC
LDA RFIN+01
ORA ##10
STA FINA+01
LDA RFIN
STA FINA
LDA ##10
STA DEST+01
LDA ##00
STA DEST
STA DEST
JSR RMIN
LDA LECT
STA LCPR
LDA RINI+01
ORA ##D0
STA RINI+01

```

```

; PROGRAMA 70
; PON CONDICIONES PARA PROGRA-
; MAR MEMORIAS DE TRES FUENTES
; ACOMODA EL BLOQUE A PROGRAMAR
; EN "RAM"

; COPIA DEL "EPROM" LAS PARTES
; QUE NO SERAN MODIFICADAS

; NO MOVER EL BLOQUE INFERIOR

; MOVER EL BLOQUE SUPERIOR

; PROGRAMA TODA LA MEMORIA

; RETORNA EL BLOQUE

; PON EN MODO LECTURA
; LA MEMORIA

```

```

F606:A5 E8 817 LDA RFIN+01
F608:09 00 818 ORA #*00
F60A:85 E8 819 STA RFIN+01
F60C:4C F5 F2 820 JMP RPRO
F60F: 821 ;
F60F: 822 ; TRASMITIR UN BLOQUE DE DATOS
F60F: 823 ;
F60F:A9 00 824 PERF LDA #*00 ; DEFINE EL APUNTAOR DE
F611:85 EF 825 STA INIC ; DATOS
F613:85 F0 826 STA INIC+01
F615:85 EB 827 STA DEST
F617:A9 10 828 LDA #*10
F619:85 EC 829 STA DEST+01
F61B:A0 80 830 LDY #*80 ; MANDA 128 "NULOS"
F61D:A2 00 831 LDX #*00
F61F:20 EE F7 832 SCAX JSR SCAR
F622:88 833 DEY
F623:10 FA 834 BPL SCAX
F625:A9 FF 835 LDA ADRH ; MANDA NUMERO DE
F627:85 EE 836 STA FINA+01 ; BYTES
F629:20 1D F8 837 JSR HEAS
F62B:A9 FF 838 LDA ADRL
F62E:85 ED 839 STA FINA
F630:20 1D F8 840 JSR HEAS
F633:A0 00 841 CSCU LDY #*00 ; TRASMITE BLOQUE
F635:B1 EB 842 LDA (DEST),Y
F637:20 1D F8 843 JSR HEAS ; MANDA DATO
F63A:20 EF F8 844 JSR INFI
F63D:70 F4 845 BCC CSCU ; TERMINO DE TRASMITIR?
F63F:A0 14 846 LDY #*14 ; MANDA 20 "NULOS"
F641:A2 00 847 LDX #*00
F643:20 EE F7 848 SCAN JSR SCAR
F646:88 849 DEY
F647:10 FA 850 BPL SCAN
F649:4C 29 F3 851 JMP DELT
F64C: 852 ;
F64C: 853 ; RECIBIR UN BLOQUE DE DATOS
F64C: 854 ;
F64C:A9 00 855 TRMS LDA #*00 ; DEFINE APUNTAOR
F64E:85 EF 856 STA INIC ; DE DEPOSITO EN LA 1000H
F650:A9 10 857 LDA #*10
F652:85 F0 858 STA INIC+01
F654:20 08 F8 859 ESUX JSR ASHE ; ESPERA CARACTER
F657:D0 06 860 BNE FUEH
F659:C9 00 861 CMP #*00 ; "NULO"?
F65B:F0 F7 862 BEQ ESUX
F65D:D0 4E 863 BNE ERNB ; NO "NULO", NI HEX.
F65F:A0 00 864 FUEH LDY #*00
F661:84 D6 865 STY NBYT
F663:20 A1 F7 866 JSR FBTA
F666:E0 00 867 CPX #*00
F668:D0 02 868 BNE SFOB ; SE FORMO UN BYTE?
F66A:F0 41 869 BEQ ERNB
F66C:09 10 870 SFOB ORA #*10
F66E:85 EE 871 STA FINA+01 ; DEPOSITA LA PARTE "ADH"
F670:20 98 F7 872 JSR REBY
F673:E0 00 873 CPX #*00
F675:D0 02 874 BNE NERB ; SE FORMO UN BYTE?
F677:F0 34 875 BEQ ERNB ; NO
F679:85 ED 876 NERB STA FINA ; DEPOSITA LA PARTE "ADL"
F67B:20 98 F7 877 CESB JSR REBY
F67E:E0 00 878 CPX #*00
F680:D0 02 879 BNE CUER ; SE FORMO UN BYTE?
F682:F0 0D 880 BEQ TCUE ; TERMINO TRASMISION
F684:A0 00 881 CUER LDY #*00
F686:21 EF 882 STA (INIC),Y ; DEPOSITA DATO
F688:E6 EF 883 INC INIC ; INCREMENTA APUNTAOR
F68A:D0 EF 884 BNE CESB
F68C:E6 F0 885 INC INIC+01
F68E:4C 7B F6 886 JMP CESB
F691:C9 00 887 TCUE CMP #*00
F693:D0 0A 888 BNE NFNU ; "NULO"?
F695:A2 3C 889 LDX #*3C ; RETARDO DE 3 SEG.
F697:A9 98 F8 890 RISE LDA #*98
F699:20 42 891 JSR TRET
F69C:CA 892 DEX
F69D:10 F8 893 BPL RISE
F69F:1D 894 NFNU CLD
F6A0:A5 EF 895 LDA INIC
F6A2:C5 ED 896 CMP FINA
F6A4:A5 F0 897 LDA INIC+01
F6A6:E5 EE 898 SBC FINA+01 ; NUMERO DE BYTES

```



F6A8: D0	03	899	BNE	ERNB:	:CORNET TOP
F6AA: 4C	10	900	JMP	TTY	
F6AD: 20	18	901	JSR	BORR	:PUN "ER. TRAS." EN
F6B0: A0	15	902	LDY	#15	:DESPL LEGUE L.
F6B2: 20	FF	903	JSR	PORC	
F6B5: A9	87	904	LDA	#87	
F6B7: 85	F9	905	STA	BDE4	
F6B9: A9	AF	906	LDA	#AF	
F6BB: 85	F8	907	STA	BDE3	
F6BD: A9	A0	908	LDA	#A0	
F6BF: 85	F7	909	STA	BDE2	
F6C1: A9	AB	910	LDA	#AB	
F6C3: 85	F6	911	STA	BDE1	
F6C5: A9	22	912	LDA	#22	
F6C7: 85	F5	913	STA	BDE0	
F6C9: A9	00	914	LDA	#00	
F6CB: 85	F4	915	STA	THEX	
F6CD: 20	DC	916	JSR	BELL	
F6D0: 4C	51	917	JMP	RET2	
F6D3:		918			
F6D3:		919			
F6D3:		920	TABLA DE PARIDAD		
F6D3: 01		921	DFB	\$01	
F6D4: 03		922	DFB	\$03	
F6D5: 09		923	DFB	\$09	
F6D6: 0D		924	DFB	\$0D	
F6D7: 11		925	DFB	\$11	
F6D8: 15		926	DFB	\$15	
F6D9: 19		927	DFB	\$19	
F6DA: 1D		928	DFB	\$1D	
F6DB:		929	PARAMETROS DE LAS MEMORIAS		
F6DB: 04		930	MEMO. DFB	\$04	
F6DC: 08		931	DFB	\$08	
F6DD: 58		932	DFB	\$58	
F6DE: 32		933	DFB	\$32	
F6DF: 16		934	DFB	\$16	
F6E0: D1		935	CAPA DFB	\$D1	
F6E1: D3		936	DFB	\$D3	
F6E2: D3		937	DFB	\$D3	
F6E3: DF		938	DFB	\$DF	
F6E4: D7		939	DFB	\$D7	
F6E5: D7		940	DFB	\$D7	
F6E6: 0D		941	PFUE DFB	\$0D	
F6E7: 0D		942	DFB	\$0D	
F6E8: 0E		943	DRB	\$0E	
F6E9: 0E		944	DFB	\$0E	
F6EA: 0E		945	DFB	\$0E	
F6EB: 0D		946	DFB	\$0D	
F6EC: 01		947	GFAL DFB	\$01	
F6ED: 01		948	DFB	\$01	
F6EE: 02		949	DFB	\$02	
F6EF: 02		950	DFB	\$02	
F6F0: 02		951	DFB	\$02	
F6F1: 01		952	DFB	\$01	
F6F2: 0C		953	LECM DFB	\$0C	
F6F3: 0C		954	DFB	\$0C	
F6F4: 1C		955	DFB	\$1C	
F6F5: 1F		956	DFB	\$1F	
F6F6: 1C		957	DFB	\$1C	
F6F7: 0D		958	DFB	\$0D	
F6F8: 38		959	PRPR DFB	\$38	
F6F9: 38		960	DFB	\$38	
F6FA: B0		961	DFB	\$B0	
F6FB: 73		962	DFB	\$73	
F6FC: B0		963	DFB	\$B0	
F6FD: 38		964	DFB	\$38	
F6FE: 30		965	PUPR DFB	\$30	
F6FF: 30		966	DFB	\$30	
F700: F0		967	DFB	\$F0	
F701: 33		968	DFB	\$33	
F702: F0		969	DFB	\$F0	
F703: 33		970	DFB	\$33	
F704: 11		971	TPRO DFB	\$11	
F705: 11		972	DFB	\$11	
F706: 8B		973	DFB	\$8B	
F707: 8B		974	DFB	\$8B	
F708: 8B		975	DFB	\$8B	
F709: 11		976	DFB	\$11	
F70A: 64		977	LPRO DFB	\$64	
F70B: 64		978	DFB	\$64	
F70C: 01		979	DFB	\$01	
F70D: 01		980	DFB	\$01	

```

F70E:01          981          DFB $01
F70F:04          982          DFB $04
F710:            983 ;TABLAS EN ASCII
F710:30          984 TASC      DFB $30
F711:31          985          DFB $31
F712:32          986          DFB $32
F713:33          987          DFB $33
F714:34          988          DFB $34
F715:35          989          DFB $35
F716:36          990          DFB $36
F717:37          991          DFB $37
F718:38          992          DFB $38
F719:39          993          DFB $39
F71A:41          994          DFB $41
F71B:42          995          DFB $42
F71C:43          996          DFB $43
F71D:44          997          DFB $44
F71E:45          998          DFB $45
F71F:46          999          DFB $46
F720:            1000 ;TABLA DE CODIGOS DE FUNCIONES
F720:7F          1001 FUNC      DFB $7F
F721:36          1002          DFB $86
F722:08          1003          DFB $08
F723:06          1004          DFB $06
F724:41          1005          DFB $41
F725:33          1006          DFB $33
F726:41          1007          DFB $41
F727:92          1008          DFB $92
F728:2B          1009          DFB $2B
F729:F9          1010          DFB $F9
F72A:79          1011          DFB $79
F72B:06          1012          DFB $06
F72C:0E          1013          DFB $0E
F72D:06          1014          DFB $06
F72E:40          1015          DFB $40
F72F:06          1016          DFB $06
F730:06          1017          DFB $06
F731:AF          1018          DFB $AF
F732:2F          1019          DFB $2F
F733:8C          1020          DFB $8C
F734:2F          1021          DFB $2F
F735:86          1022          DFB $86
F736:            1023 ;TABLA CODIFICADORA DEL DESPLIEGUE
F736:C0          1024 TAB1      DFB $C0
F737:F9          1025          DFB $F9
F738:A4          1026          DFB $A4
F739:80          1027          DFB $80
F73A:99          1028          DFB $99
F73B:92          1029          DFB $92
F73C:82          1030          DFB $82
F73D:F8          1031          DFB $F8
F73E:80          1032          DFB $80
F73F:90          1033          DFB $90
F740:88          1034          DFB $88
F741:83          1035          DFB $83
F742:06          1036          DFB $06
F743:A1          1037          DFB $A1
F744:86          1038          DFB $86
F745:8E          1039          DFB $8E
F746:            1040 ;
F746:            1041 ; SUBROUTINA PROGRAMA
F746:            1042 ;
F746:A5 DB          1043 PRNA      LDA PREP
F748:8D 09 CO      1044          STA LCPR
F74B:A0 00          1045 LOPR      LDY #00
F74D:B1 EF          1046          LDA (IND),Y ;TOMA EL DATO A PROGRAMAR
F74F:91 EB          1047          STA (DEST),Y
F751:A5 DA          1048          LDA PULS ;INICIA PROGRAMACION
F753:8D 09 CO      1049          STA LCPR
F756:A5 D9          1050          LDA PERI ;REALIZA EL RETARDO DE PROGRAMAL...
F758:20 42 FB      1051          JSR TRET
F75B:A5 DB          1052          LIA PREP
F75D:8D 09 CO      1053          STA LCPR
F760:20 EF FB      1054          JSR INFI
F763:90 E6          1055          BCC LOPR ;TERMINO DE PROGRAMAR?
F765:60            1056          RTS
F766:A5 DE          1057 PFAL      LDA ALIM
F768:8D 09 CO      1058          STA FUEN
F76B:A9 3D          1059          LDA #3D
F76D:20 42 FB      1060          JSR TRET
F770:60            1061          RTS
F771:            1062 ;

```

```

F771:      1063 ; SUBROUTINA ESPERA UNA DIRECCION POR
F771:      1064 ; EL ACOPLADOR SERIE
F771:      1065 ;
F771:A9 00 1066 DTT1 LDA #000 ;CAMBIA EL CARACTER POR CERO
F773:A2 03 1067 DTTY LDX #003
F775:A0 00 1068 LDY #000 ;LIMPIA AREA DE
F777:84 FE 1069 STY ADRL ;DIRECCIONES
F779:84 FF 1070 STY ADRH
F77B:18 1071 CLC ;METE EL DATO EN EL AREA DE
F77C:26 FE 1072 ROL ADRL ;DIRECCIONES
F77E:26 FF 1073 ROL ADRH
F780:CA 1074 DEX
F781:10 F9 1075 BPL NPMI
F783:D8 1076 CLD
F784:18 1077 CLC
F785:65 FE 1078 ADC ADRL
F787:85 FE 1079 STA ADRL
F789:20 08 F8 1080 JSR ASHE ; ESPERA UN CARACTER
F78C:D0 ED 1081 BNE MARE ; HEXA.?
F78E:C9 20 1082 CMP #20 ; "ESPACIO"?
F790:F0 DF 1083 BEQ DTT1
F792:60 1084 RTS
F793:      1085 ;
F793:      1086 ; SUBROUTINA ESPERA UN BYTE POR
F793:      1087 ; EL ACOPLADOR SERIE
F793:      1088 ;
F793:A2 2E 1089 ESBY LDX #2E
F795:20 EE F7 1090 JSR SCAR
F798:A0 00 1091 REBY LDY #00
F79A:84 D6 1092 STY NBYT
F79C:20 08 F8 1093 UNBY JSR ASHE ; ESPERA CARACTER
F79F:F0 0C 1094 BEQ NHEX ; HEXA.?
F7A1:E6 D6 1095 PBTA INC NBYT
F7A3:A0 02 1096 LDY #02
F7A5:C4 D6 1097 CPY NBYT
F7A7:D0 05 1098 BNE FBYT ; SEGUNDO CARACTER?
F7A9:D8 1099 CLD
F7AA:18 1100 CLC
F7AB:65 D5 1101 ADC SBYT ; FORMA EL BYTE
F7AD:60 1102 NHEX RTS
F7AE:0A 1103 FBYT ASL A
F7AF:0A 1104 ASL A
F7B0:0A 1105 ASL A
F7B1:0A 1106 ASL A ; LO GUARDA EN SITIO
F7B2:85 D5 1107 STA SBYT ; RESERVADO PARA EL BYTE
F7B4:4C 9C F7 1108 JMP UNBY
F7B7:A5 FF 1109 DRPU LDA ADRH ; MUESTRA DIRECCION
F7B9:20 1D F8 1110 JSR HEAS
F7BC:A5 FE 1111 LDA ADRL
F7BE:20 1D F8 1112 JSR HEAS
F7C1:A2 3A 1113 LDX #03A ; PON DOS PUNTOS
F7C3:20 EE F7 1114 JSR SCAR
F7C6:20 CA F7 1115 JSR EDAT ; MUESTRA DATO
F7C9:60 1116 RTS
F7CA:A2 20 1117 EDAT LDX #20 ; DA ESPACIO
F7CC:20 EE F7 1118 JSR SCAR
F7CF:A0 00 1119 LDY #00
F7D1:B1 FE 1120 LDA (ADRL),Y ; MUESTRA DATO
F7D3:20 1D F8 1121 JSR HEAS
F7D6:60 1122 RTS
F7D7:      1123 ;
F7D7:      1124 ; SUBROUTINA TRAER UN CARACTER POR EL
F7D7:      1125 ; ACOPLADOR SERIE
F7D7:      1126 ;
F7D7:AD 16 C0 1127 TRAC LDA ACIA ; LLEGO CARACTER?
F7DA:4A 1128 LSR A
F7DB:90 FA 1129 BCC TRAC
F7DD:29 20 1130 AND #20 ; ERROR DE PARIDAD?
F7DF:F0 03 1131 BEQ NERP
F7E1:4C 98 F4 1132 JMP ERPA ; INDICA EL ERROR DE PARIDAD
F7E4:AD 17 C0 1133 NERP LDA ACIA+01 ; NO HAY ERROR
F7E7:29 7F 1134 AND #7F ; REALIZA "ECO"
F7E9:AA 1135 TAX
F7EA:20 EE F7 1136 JSR SCAR
F7ED:60 1137 RTS
F7EE:      1138 ;
F7EE:      1139 ; SUBROUTINA SACAR UN CARACTER POR EL
F7EE:      1140 ; ACOPLADOR SERIE
F7EE:      1141 ;
F7EE:EO 0D 1142 SCAR CPX #0D ; "CR"?
F7F0:D0 0B 1143 BNE NSCA
F7F2:20 FD F7 1144 JSR NSCA ; SI, MANDA "CR" Y "LF"

```

```

      A 1145 LDX TROA
      A2 F7 1146 JSR NACA
      OD 1147 LDX #A00
      C:60 1148 RTS
      7FD:AD 16 CO 1149 NSCA LDA ACIA :PUEDE MANDAR UN CARACTER
      800:4A 1150 LSR A
      801:4A 1151 LSR A
      802:90 19 1152 BCC NSCA
      804:8E 17 CO 1153 SIX ACIA101 :MANDA CARACTER
      807:60 1154 RTS
      808: 1155 ;
      808: 1156 ; SUBROUTINA CONVERSORA DE ASCII A
      808: 1157 ; HEXADECIMAL
      808: 1158 ;
      808:20 D7 F7 1159 ASHE JSR TRAC :SEPARA CARACTER
      808:8A 1160 TXA
      80C:A0 0F 1161 LDY #0F
      80E:D9 10 F7 1162 CAHE CMP TASC,Y :BUSCA EL VALOR HEXA EN
      811:F0 06 1163 BEW ENCA :TABLA
      813:88 1164 DEY
      814:10 F8 1165 BPL CAHE
      816:A2 00 1166 LDX #00 :NO EXISTE, REGORNA EL CARACTER
      818:60 1167 RTS :INDICANDO ERROR EN "RX"
      819:98 1168 ENCA TYA
      81A:A2 03 1169 LDX #03 :EXISTE Y LO INDICA EN "RX"
      81C:60 1170 RTS
      81D: 1171 ;
      81D: 1172 ; SUBROUTINA CONVERSORA DE HEXADECIMAL
      81D: 1173 ; A ASCII
      81D: 1174 ;
      81D:D8 1175 HEAS CLD
      81E:48 1176 PHA :SEPARA PARTE "MSD"
      81F:4A 1177 LSR A
      820:4A 1178 LSR A
      821:4A 1179 LSR A
      822:4A 1180 LSR A
      823:20 2D F8 1181 JSR CONV :REALIZA CONVERSION
      826:68 1182 FLA :ASCII
      827:29 0F 1183 AND #0F :SEPARA PARTE "LSD"
      829:20 2D F8 1184 JSR CONV
      82C:60 1185 RTS
      82D:C9 0A 1186 CONV CMP #0A :DATO NUMERICO?
      82F:18 1187 CLC
      830:30 0C 1188 ENI ENUM
      832:29 07 1189 AND #07 :CONVIERTE EN ASCII LOS VALORES
      834:A8 1190 TAY :A,B,C,D,E Y F
      835:88 1191 DEY
      836:98 1192 TYA
      837:69 40 1193 ADC #40
      839:AA 1194 SACA TAX
      83A:20 EE F7 1195 JSR SCAR
      83D:60 1196 RTS
      83E:69 30 1197 ENUM ADC #30 :CONVIERTE EN ASCII DEL 0-9
      840:10 F7 1198 BPL SACA
      842:38 1199 TRET SEC
      843:48 1200 TRE1 PHA
      844:E9 01 1201 TRE2 SEC #01 :EC: T=ACC(5(ACC+01)/240B)107
      846:D0 FC 1202 BNE TRE2 :T ES HEXA,
      848:68 1203 FLA :ACC ACUMULADOR
      849:E9 01 1204 SBC #01
      84B:D0 F6 1205 BNE TRE1
      84D:60 1206 RTS
      84E: 1207 ;
      84E: 1208 ; SUBROUTINA QUE SE UTILIZA PARA COMPARAR
      84E: 1209 ; Y VERIFICAR
      84E: 1210 ;
      84E:A0 00 1211 COVE LTY #00 :COMPARA
      850:B1 EF 1212 LDA (INIC),Y
      852:D1 EB 1213 CMP (DEST),Y
      854:D0 03 1214 BNE IDER :IGUAL ES?
      856:4C EB F8 1215 JMP NI23
      859:A5 E4 1216 LDA THEX
      85B:D0 36 1217 BNE LTTY :UTILIZA TERMINAL ?
      85D:20 DC F9 1218 JSR BELL :NO, INDICA EL ERROR EN EL
      860:A2 07 1219 LDX #07 :DIFERENCIA
      862:A5 F0 1220 LDA INIC101
      864:25 D1 1221 AND MASC
      866:20 E0 FA 1222 JSR DECO
      869:A5 EF 1223 LDA INIC
      86B:CA 1224 DEY
      86C:20 E0 FA 1225 JSR DECO
      86F:A0 00 1226 LDY #00

```

```

F7F5:A2 0A      1145      LDX  #00A
F7F7:20 F7     1146      JSR  NACA
F7FA:A2 0D     1147      LDX  #00D
F7FC:60        1148      RTS
F7FL:AD 16 CO  1149      NSCA  LDA  ACIA      :PUEDE MANDAR UN CARACTER
F800:4A        1150      LSR  A
F801:4A        1151      LSR  A
F802:20 19     1152      BCC  NSCA
F804:8E 17 CO  1153      SIX  ACIA#01      :MANDA CARACTER
F807:60        1154      RTS
F808:        1155      ;
F808:        1156      ; SUBROUTINA CONVERSION DE ASCII A
F808:        1157      ; HEXADECIMAL
F808:        1158      ;
F808:20 D7 F7  1159      ASHE  JSR  TRAC      :ESPERA CARACTER
F80B:8A        1160      TXA
F80C:A0 0F     1161      LDY  #00F
F80E:D9 10 F7  1162      CAHE  CMP  TASC,Y      :BUSCA EL VALOR HEXA. EN
F811:F0 06     1163      BEQ  ENCA          :TABLAS
F813:88        1164      DEY
F814:10 F8     1165      BPL  CAHE
F816:A2 00     1166      LDX  #000          :NO EXISTE, REGORNA EL CARACTER
F818:60        1167      RTS                :INDICANDO ERROR EN "RX"
F819:98        1168      ENCA  TYA
F81A:A2 03     1169      LDX  #003          :EXISTE Y LO INDICA EN "RX"
F81C:60        1170      RTS
F81D:        1171      ;
F81D:        1172      ; SUBROUTINA CONVERSION DE HEXADECIMAL
F81D:        1173      ; A ASCII
F81D:        1174      ;
F81D:D8        1175      HEAS  CLD
F81E:48        1176      PHA
F81F:4A        1177      LSR  A
F820:4A        1178      LSR  A
F821:4A        1179      LSR  A
F822:4A        1180      LSR  A
F823:20 2D F8  1181      JSR  CONV          :REALIZA CONVERSION
F826:68        1182      PLA
F827:29 0F     1183      AND  #00F          :ASCII
F829:20 2D F8  1184      JSR  CONV          :SEPARA PARTE "LSD"
F82C:60        1185      RTS
F82D:C9 0A     1186      CONV  CMP  #00A          :DATO NUMERICO?
F82F:18        1187      CLC
F830:30 0C     1188      ENI  ENUM
F832:29 07     1189      AND  #007          :CONVIERTE EN ASCII LOS VALORES
F834:A8        1190      TAY
F835:88        1191      DEY
F836:98        1192      TYA
F837:69 40     1193      ADC  #040
F839:AA        1194      SACA  TAX
F83A:20 EE F7  1195      JSR  SCAR
F83D:60        1196      RTS
F83E:69 30     1197      ENUM  ADC  #030          :CONVIERTE EN ASCII DEL 0-9
F840:10 F7     1198      BPL  SACA
F842:38        1199      TRET
F843:48        1200      TRES  PHA
F844:E9 01     1201      TRES  SBC  #001          :EC: T=ACC(5(ACC+01)/2+0B)07
F846:D0 FC     1202      BNE  TRES2        :T ES HEXA.
F848:68        1203      PLA
F849:E9 01     1204      SBC  #001          :ACC=ACUMULADOR
F84B:D0 F6     1205      BNE  TRES1
F84D:60        1206      RTS
F84E:        1207      ;
F84E:        1208      ; SUBROUTINA QUE SE UTILIZA PARA COMPARAR
F84E:        1209      ; Y VERIFICAR
F84E:        1210      ;
F84E:A0 00     1211      COVE  LDY  #000          :COMPARA
F850:B1 EF     1212      LDA  (INIC),Y
F852:D1 EB     1213      CMP  (DEST),Y
F854:D0 03     1214      BNE  IDER          :IGUALES?
F856:4C EB F8  1215      JMP  NL23
F859:A5 E4     1216      IDER  LDA  TRES
F85B:D0 36     1217      BNE  UTTY          :UTILIZA TERMINAL?
F85D:20 DC F9  1218      JSR  BELL
F860:A2 07     1219      LDX  #007
F862:A5 F0     1220      LDA  INIC#01
F864:25 D1     1221      AND  MASC
F866:20 E0 FA  1222      JSR  DECO
F869:A5 EF     1223      LDA  INIC
F86B:CA        1224      DEX
F86C:20 E0 FA  1225      JSR  DECO
F86F:A0 00     1226      LDY  #000

```

71: B1	EB	1227	LTA	(DEST),Y	
73: 48		1228	PHA		
74: B1	EF	1229	LDA	(INIC),Y	
76: CA		1230	DEX		
77: 20	EO FA	1231	JSR	DECO	; MUESTRA CONTENIDO DE
7A: 69		1232	PLA		; DIRECCION DE INICIO
7B: CA		1233	DEX		
7C: A4	00	1234	LDY	CERO	
7E: F0	08	1235	BEQ	RECO	
80: A0	8E	1236	LDY	#08E	
82: 84	F6	1237	STY	BDE1	
84: 84	F5	1238	STY	BDE0	
86: D0	03	1239	BNE	ESTV	
88: 20	EO FA	1240	JSR	DECO	; MUESTRA CONTENIDO DE DEST.
8B: A5	DD	1241	LDA	QALI	; QUITA ALIMENTACION
8D: 8D	03	1242	STA	FUEN	
90: 4C	51 FO	1243	JMP	RET2	
93: A2	0D	1244	LDX	#00D	; MANDA "CR" Y "LF"
95: 20	EE F7	1245	JSR	SCAR	
98: A5	FO	1246	LDA	INIC+01	; MUESTRA DIRECCION
9A: 25	D1	1247	AND	MASC	; Y DATO
9C: 20	1D F8	1248	JSR	HEAS	
9F: A3	EF	1249	LDA	INIC	
A1: 20	1D F8	1250	JSR	HEAS	
A4: A2	3A	1251	LDX	#03A	
A6: 20	EE F7	1252	JSR	SCAR	
A9: A2	20	1253	LDX	#020	
AB: 20	EE F7	1254	JSR	SCAR	
AE: A0	00	1255	LDY	#000	
B0: B1	EF	1256	LDA	(INIC),Y	
B2: 20	1D F8	1257	JSR	HEAS	
B5: A5	00	1258	LDA	CERO	
B7: D0	16	1259	BNE	FVER	; VERIFICANDO?
B9: A2	20	1260	LDX	#020	
BB: 20	EE F7	1261	JSR	SCAR	
BE: 20	EE F7	1262	JSR	SCAR	
C1: 20	EE F7	1263	JSR	SCAR	
C4: A5	EE	1264	LDA	DEST+01	
C6: 85	FF	1265	STA	ADRH	
C8: A5	EE	1266	LDA	DEST	
CA: 85	FF	1267	STA	ADRL	
CC: 20	B7 F7	1268	JSR	DRPU	; MUESTRA DIRECCION DE
CE: E6	D7	1269	INC	LI23	; DESTINO Y DATO
D1: A9	17	1270	LDA	#017	
D3: C5	D7	1271	CMF	LI23	; 23 LINEAS?
D5: D0	14	1272	BNE	NL23	
D7: A9	00	1273	LDA	#000	
D9: 85	D7	1274	STA	LI23	; LIMPIA NUMERO DE LINEAS
DB: 20	D7 F7	1275	JSR	TRAC	; ESPERA CARACTER
DE: E0	20	1276	CPX	#020	; "ESPACIO"?
E0: F0	09	1277	BEQ	NL23	
E2: A4	DD	1278	LDY	QALI	; QUITA ALIMENTACION
E4: 8C	08 CO	1279	STY	FUEN	
E7: 8A		1280	TXA		
E8: 4C	21 F4	1281	JMP	PRCR	
EB: 20	EF F8	1282	JSR	INFI	
EE: 60		1283	RTS		
EF: E6	EB	1284	INC	DEST	; INCREMENTA DESTINO
F1: D0	02	1285	BNE	NIDE	
F3: E6	EC	1286	INC	DEST+01	
F5: D8		1287	CLD		
F6: A5	EE	1288	LDA	INIC	; COMPARA INICIO Y FINAL
F8: C8	FF	1289	CMF	FINA	
FA: A5	FO	1290	LDA	INIC+01	
FC: E3	EE	1291	SBC	FINA+01	
FE: E6	EE	1292	INC	INIC	; INCREMENTA INICIO
X0: D0	02	1293	BNE	SRTS	
X2: E6	FO	1294	INC	INIC+01	
X4: 60		1295	RTS		
X5:		1296			
X5:		1297			
X5:		1298			
X5:		1299			
X5: A0	00	1300	RMIN	LDY	#000
X7: B1	EF	1301	CRMF	LDA	(INIC),Y
X9: 91	EB	1302		STA	(DEST),Y
XB: 20	EF F8	1303		JSR	INFI
XD: 90	F7	1304		BCC	CRMF
X0: 60		1305		RTS	
X1: C6	EB	1306	FIIN	DEC	DEST
X3: A5	EB	1307		LDA	DEST
X5: C9	FF	1308		CMF	#0FF

F917:00	02	1309	LINE	NDES	
F918:08	ED	1310	DEL	DEST+01	
F91B:D3		1311	FLD		
F91C:A5	EF	1312	LDA	INIC	:COMPAREA INICIO + FINA
F91E:C5	FO	1313	CMF	FINA	
F920:A5	FO	1314	LDA	INIC+01	
F922:E5	EE	1315	SEC	FINA+01	
F924:08		1316	PHF		
F925:C6	ED	1317	DEC	FINA	:DECREMENTA FINA
F927:A5	ED	1318	LDA	FINA	
F929:C9	FF	1319	CMF	#B-F	
F92B:D0	O2	1320	BNE	NFIN	
F92D:C6	EE	1321	DEC	FINA+01	
F92F:38		1322	NFIN		
F930:80		1323	RTS		
F931:		1324	:		
F931:		1325	:	SUBROUTINA DE RELOCALIZACION EN	
F931:		1326	:	MODD FINAL	
F931:		1327	:		
F931:A0	00	1328	RMF I	LTY	##00
F933:B1	ED	1329	VRMF	LDA	(FINA),Y
F935:91	EB	1330		STA	(DEST),Y
F937:20	11	F9 1331		JSR	FIIN
F93A:90	F7	1332		BCC	VRMF
F93C:60		1333		RTS	
F93D:A9	F9	1334	TBLO	LDA	##F9
F93F:85	FA	1335		STA	BDES
F941:A9	2B	1336		LDA	##2B
F943:85	F9	1337		STA	BDE4
F945:20	83	F9 1338		JSR	DREC
F948:85	EF	1339		STA	INIC
F94A:85	E9	1340		STA	RINI
F94C:A5	FF	1341		LDA	ADRH
F94E:85	FO	1342		STA	INIC+01
F950:85	EA	1343		STA	RINI+01
F952:20	0B	FA 1344		JSR	RETA
F955:A9	8E	1345		LDA	##8E
F957:85	FA	1346		STA	BDES
F959:A9	79	1347		LDA	##79
F95B:85	F9	1348		STA	BDE4
F95D:20	83	F9 1349		JSR	DREC
F960:85	ED	1350		STA	FINA
F962:85	E7	1351		STA	RFIN
F964:A5	FF	1352		LDA	ADRH
F966:85	EE	1353		STA	FINA+01
F968:85	E8	1354		STA	RFIN+01
F96A:20	0B	FA 1355		JSR	RETA
F96D:60		1356		RTS	
F96E:A9	A1	1357	DDES	LDA	##A1
F970:85	FA	1358		STA	BDES
F972:A9	06	1359		LDA	##06
F974:85	F9	1360		STA	BDE4
F976:20	83	F9 1361		JSR	DREC
F979:85	EB	1362		STA	DEST
F97B:A5	FF	1363		LDA	ADRH
F97D:85	EC	1364		STA	DEST+01
F97F:20	0B	FA 1365		JSR	RETA
F982:60		1366		RTS	
F983:A2	03	1367	DREC	LTX	##03
F985:20	F8	FA 1368		JSR	GU10
F988:A2	03	1369		LTX	##03
F98A:A0	03	1370		LDY	##03
F98C:A9	02	1371		LDA	##02
F98E:20	9D	FA 1372		JSR	RTEC
F991:60		1373		RTS	
F992:A0	00	1374	SUBY	LDY	##00
F994:B1	EB	1375		LDA	(DEST),Y
F996:91	EF	1376		STA	(INIC),Y
F998:20	EF	F8 1377		JSR	INFI
F99B:90	F5	1378		BCC	SUBY
F99D:A9	FF	1379		LDA	##FF
F99F:91	ED	1380		STA	(FINA),Y
F9A1:60		1381		RTS	
F9A2:A5	FF	1382	VALD	LDA	ADRH
F9A4:C9	10	1383		CMF	##10
F9A6:30	06	1384		NVAL	
F9A8:C9	1F	1385		CMF	##1F
F9AA:FO	05	1386		BEQ	AVAL
F9AC:30	03	1387		BNI	AVAL
F9AE:A9	00	1388	NVAL	LDA	##00
F9B0:60		1389		RTS	
F9B1:85	FO	1390	AVAI	STA	INIC+01

F9B3:A5	FE	1391		LDA	ADRL	
F9B5:85	EF	1392		STA	INIC	
F9B7:A9	1F	1393		LDA	#01F	
F9B9:85	EE	1394		STA	FINA+01	;PON DIRECCION FINAL Y
F9BB:85	EC	1395		STA	DEST+01	;DESTINO
F9BD:A9	FF	1396		LDA	#0FF	
F9BF:85	ED	1397		STA	FINA	
F9C1:85	EB	1398		STA	DEST	
F9C3:A5	E3	1399		LDA	SUIN	
F9C5:F0	O4	1400		BEQ	RSUP	;SUPRIMIENDO?
F9C7:C6	ED	1401		DEC	FINA	;PON CONDICIONES PARA INSERTAR
F9C9:30	OE	1402		BMI	FIDE	
F9CB:A5	FF	1403	RSUP	LDA	ADRH	;PON CONDICIONES PARA SUPRIMIR
F9CD:85	EC	1404		STA	DEST+01	
F9CF:A5	FE	1405		LDA	ADRL	
F9D1:85	EB	1406		STA	DEST	
F9D3:E6	EB	1407		INC	DEST	
F9D5:D0	O2	1408		BNE	FIDE	
F9D7:E6	EC	1409		INC	DEST+01	
F9D9:A9	O1	1410	PIDE	LDA	#01	
F9DB:60		1411		RTS		
F9DC:A2	O0	1412	BELL	LDX	#00	
F9DE:A0	A0	1413		LDY	#0A0	
F9E0:CA		1414	TONO	DEX		
F9E1:D0	FD	1415		BNE	TONO	
F9E3:C8		1416		INY		
F9E4:8C	OF	CO		STY	B0C1	
F9E7:30	F7	1418		BMI	TONO	
F9E9:60		1419		RTS		
F9EA:A2	O3	1420	INDR	LDX	#03	
F9EC:E6	FE	1421		INC	ADRL	
F9EE:A5	FE	1422		LDA	ADRL	
F9F0:20	EO	FA		JSR	DECO	
F9F3:D0	O9	1424		BNE	NCAR	
F9F5:E6	FF	1425		INC	ADRH	
F9F7:A2	O5	1426		LDX	#05	
F9F9:A5	FF	1427		LDA	ADRH	
F9FB:20	EO	FA		JSR	DECO	
F9FE:60		1429	NCAR	RTS		
F9FF:B9	20	F7	1430	LDA	FUNC,Y	
FA02:85	FC		1431	STA	BDE7	
FA04:88			1432	DEY		
FA05:B9	20	F7	1433	LDA	FUNC,Y	
FA08:85	FB		1434	STA	BDE6	
FA0A:60			1435	RTS		
FA0B:A2	O0		1436	LDX	#00	
FA0D:20	O0	FB	1437	JSR	REFR	
FA10:CA			1438	DEX		
FA11:D0	FA		1439	BNE	CRET	
FA13:60			1440	RTS		
FA14:			1441			
FA14:			1442			; SUBROUTINA QUE BUSCA UNA TECLA OPRIMIDA
FA14:			1443			
FA14:A2	O0		1444	LDX	#00	
FA16:A0	OE		1445	LDY	#0E	
FA18:B9	O0	CO	1446	LDA	TCLA,Y	
FA1B:29	OF		1447	AND	#0F	; INICIA REVISION DE
FA1D:C9	OF		1448	CMP	#0F	;LA MATRIZ DEL TECLADO
FA1F:30	OD		1449	BMI	OPRI	
FA21:98			1450	TYA		; TECLA OPRIMIDA?
FA22:38			1451	SEC		
FA23:2A			1452	ROL	A	
FA24:C9	OF		1453	CMP	#0F	
FA26:F0	39		1454	BEQ	TERM	; TERMINO DE REVISAR?
FA28:29	OF		1455	AND	#0F	
FA2A:A8			1456	TAY		
FA2B:4C	18	FA	1457	JMP	SBUS	
FA2E:20	OB	FA	1458	JSR	RETA	; RETARDO PARA
FA31:B9	O0	CO	1459	LDA	TCLA,Y	; ESTABILIZACION
FA34:29	OF		1460	AND	#0F	
FA36:C9	OE		1461	CMP	#0E	
FA38:F0	OC		1462	BEQ	UNAT	; ERROR DE LECTURA?
FA3A:C9	OD		1463	CMP	#0D	
FA3C:F0	OB		1464	BEQ	UNAT	
FA3E:C9	OB		1465	CMP	#0B	
FA40:F0	O4		1466	BEQ	UNAT	
FA42:C9	O7		1467	CMP	#07	
FA44:D0	1B		1468	BNE	TERM	
FA46:E8			1469	INX		; INDICA TECLA
FA47:48			1470	PHA		; OPRIMIDA
FA48:98			1471	TYA		; GUARDA PUNTO CRUCE DE
FA49:48			1472	PHA		; MATRIZ



FA4A:93		1473	REVI	TYA			
FA4B:33		1474		SEI			
FA4C:2A		1475		ROL	A		
FA4D:C9	OF	1476		CMF	#*OF		
FA4F:FC	OD	1477		BEQ	RECU		
FA51:29	OF	1478		AND	#*OF		
FA53:A8		1479		TAY			
FA54:B9	00 CO	1480		LDA	TCLA,Y		
FA57:29	OF	1481		AND	#*OF		
FA59:C9	OF	1482		CMF	#*OF		
FA5B:FC	ED	1483		BEQ	REVI		: MAS DE UNA TECLA
FA5D:E8		1484		INX			: OPRIMIDA?
FA5E:68		1485	RECU	PLA			: INDICA MAS DE UNA TECLA
FA5F:A8		1486		TAY			: OPRIMIDA
FA60:68		1487		PLA			: RECUPERA EL PUNTO DE RUPTIURA
FA61:60		1488	TERM	RTS			
FA62:		1489					
FA62:		1490					: SUBROUTINA DE LECTURA DEL TECLADO
FA62:		1491					: HEXADECIMAL
FA62:		1492					
FA62:8A		1493	TECL	TXA			
FA63:48		1494		PHA			
FA64:20	00 FB	1495	ESPE	JSR	REFR		: DESPLIEGA
FA67:20	14 FA	1496		JSR	BUSQ		: BUSCA TECLA OPRIMIDA
FA6A:EO	01	1497		CPX	#*01		
FA6C:DO	F6	1498		BNE	ESPE		: SE OPRIMIO UNA TECLA?
FA6E:AA		1499		TAX			
FA6F:98		1500		TYA			
FA70:48		1501		PHA			
FA71:8A		1502		TXA			
FA72:A0	00	1503		LDY	#*00		
FA74:4A		1504	RENG	LSR	A		: LOCALIZA RENGLON DE
FA75:C8		1505		INY			: MATRIZ
FA76:80	FC	1506		BCS	RENG		
FA78:88		1507		DEY			
FA79:68		1508		PLA			
FA7A:48		1509		PHA			
FA7B:4A		1510	COLU	LSR	A		: LOCALIZA COLUMNA
FA7C:90	07	1511		BCC	LOCA		
FA7E:C8		1512		INY			
FA7F:C8		1513		INY			
FA80:C8		1514		INY			
FA81:C8		1515		INY			
FA82:4C	7B FA	1516		JMP	COLU		
FA85:84	F4	1517	LOCA	STY	TTEC		: ALMACENA VALOR HEX. DE
FA87:68		1518		FLA			: TECLA OPRIMIDA. TEMPORAL-
FA88:A8		1519		TAY			: MENTE
FA89:20	00 FB	1520	SOPR	JSR	REFR		: DESPLIEGA
FA8C:B9	00 CO	1521		LDA	TCLA,Y		
FA8F:29	OF	1522		AND	#*OF		
FA91:C9	OF	1523		CMF	#*OF		: TECLA SIGUE OPRIMIDA?
FA93:DO	F4	1524		BNE	SOPR		
FA95:20	0B FA	1525		JSR	RETA		: RETARDO PARA
FA98:68		1526		PLA			: ESTABILIZACION DE TECLA
FA99:AA		1527		TAX			
FA9A:A5	F4	1528		LDA	TTEC		: RECUPERA VALOR TECLA
FA9C:60		1529		RTS			
FA9D:85	F2	1530	RTEC	STA	STEC		
FA9F:84	F1	1531		STY	NTEC		
FAA1:20	62 FA	1532	MDOS	JSR	TECL		: MANIA RECIBIR UNA TECLA
FAA4:48		1533		PHA			
FAA5:A8		1534		TAY			
FAA6:B9	36 F7	1535		LDA	TABL,Y		: DECODIFICA DE TABLAS
FAA9:95	F5	1536		STA	BDEO,X		: DEPOSITA EN AREA DE D.
FAAB:8A		1537		TXA			
FAAC:CA		1538		DEX			
FAAD:4A		1539		LSR	A		
FAAE:80	F1	1540		BCS	MDOS		: SON DOS TECLAS?
FAB0:68		1541		FLA			
FAB1:85	F3	1542		STA	STEM		
FAB3:68		1543		PLA			
FAB4:0A		1544		ASL	A		
FAB5:0A		1545		ASL	A		
FAB6:0A		1546		ASL	A		
FAB7:0A		1547		ASL	A		
FAB8:08		1548		CLD			
FAB9:65	F3	1549		ADC	STEM		: FORMA BYTE
FABB:A4	F2	1550		LDY	STEC		
FABD:99	F1 00	1551		STA	DATC,Y		: ALMACENA BYTE
FAC0:C6	F2	1552		DEC	STEC		
FAC2:C6	F1	1553		DEC	NTEC		
FAC4:C6	F1	1554		DEC	NTEC		

```

FAC6:10 D9 1555 BPL MDOS ;VERIFICA NO HAY MAS 80
FAC8:A0 4F 1556 LDY #04F ;TECLAS
FACA:20 00 FB 1557 REFS JSR REFR ;MUESTRA ULTIMA TECLA
FACD:88 1558 DEY ;OPRIMIDA
FACE:D0 FA 1559 BNE REFS
FAD0:60 1560 RTS
FAD1:A2 01 1561 CAMB LDX #001 ;PON DOS GUIONES PARA INDICAR
FAD3:20 F8 FA 1562 JSR GUIO ;QUE ESPERA DOS TECLAS
FAD6:A2 01 1563 LDY #001
FAD8:A0 01 1564 LDY #001
FADA:A9 00 1565 LDA #000
FADC:20 9D FA 1566 JSR RTEC ;LAS MUESTRA EN EL DESPLIEGUE
FADF:60 1567 RTS
FAE0:08 1568 DECO PHP
FAE1:48 1569 PHA
FAE2:4A 1570 LSR A ;SALVA BYTE
FAE3:4A 1571 LSR A ;SEPARA PARTE MSD
FAE4:4A 1572 LSR A
FAE5:4A 1573 LSR A
FAE6:A8 1574 TAY
FAE7:B9 36 F7 1575 LDA TAB1,Y ;CODIFICA DE TABLAS
FAEA:95 F5 1576 STA BDE0,X ;ALMACENA EN EL AREA DE
FAEC:CA 1577 DEX ;DESPLIEGUE
FAED:68 1578 PLA ;RECUPERA BYTE
FAEE:29 0F 1579 AND #00F ;SEPARA LA PARTE LSD.
FAF0:A8 1580 TAY
FAF1:B9 36 F7 1581 LDA TAB1,Y
FAF4:95 F5 1582 STA BDE0,X
FAF6:28 1583 PLP
FAF7:60 1584 RTS
FAF8:A9 F7 1585 LDA #0F7 ;CARGA CODIGO PARA GUION
FAFA:95 F5 1586 STA BDE0,X ;ALMACENA EN EL AREA
FAFC:CA 1587 DEX ;DESPLIEGUE
FAFD:10 FB 1588 BPL GUIN ;TERMINO?
FAFF:60 1589 RTS
FB00: 1590 ;
FB00: 1591 ; SUBROUTINA DESPLIEGUE DEL COMENTARIO
FB00: 1592 ;
FB00:48 1593 REFR PHA ;SALVA REGISTROS UTILIZADOS
FB01:98 1594 TYA
FB02:48 1595 PHA
FB03:A0 07 1596 LDY #007 ;TOMA NUMERO DE LOCALIDADES
FB05:B9 F5 00 1597 ACTU LDA BDE0,Y ;TOMA CONTENIDO DEL A. DE D.
FB08:99 00 CO 1598 STA DESP,Y ;DEPOSITA CONTENIDO EN
FB0B:88 1599 DEY ;DESPLIEGUE
FB0C:10 F7 1600 BPL ACTU
FB0E:C8 1601 INY
FB0F:A9 FF 1602 LDA #0FF ;BORRA ULTIMO DESPLIEGUE
FB11:99 00 CO 1603 STA DESP,Y
FB14:68 1604 PLA ;RECUPERA CONTENIDO DE
FB15:A8 1605 TAY ;REGISTROS
FB16:68 1606 PLA
FB17:60 1607 RTS
FB18:A2 07 1608 BORR LDX #007 ;TOMA NUMERO DE LOCALIDADES
FB1A:A9 FF 1609 LDA #0FF ;CARGA CODIGO PARA BORRAR
FB1C:95 F5 1610 LIMP STA BDE0,X ;ALMACENA EN AREA
FB1E:CA 1611 DEX ;DE DESPLIEGUE
FB1F:10 FB 1612 BPL LIMP
FB21:60 1613 RTS
----- NEXT OBJECT FILE NAME IS PROGRAMADOR DE EPROM.OBJ1
FFFA: 1614 ORG $FFFA
FFFA:00 F0 1615 DW RESET
FFFC:00 F0 1616 DW RESET
FFFE:00 F0 1617 DW RESET

```

\*\*\* SUCCESSFUL ASSEMBLY: NO ERRORS

00 CERD	D0 NLOP	D1 MASC	D2 CDAT
D3 CBLO	D4 CDLI	D5 SBYT	D6 NBYT
D7 LI23	D8 LOOP	D9 PERI	DA PULS
DB PREP	DC LECT	DD GALI	DE ALIM
DF TAMA	E0 PMEM	E1 IPAR	E2 DPAR
E3 SUIN	E4 THEX	E7 RFIN	E9 RINI
EB DEST	ED FINA	EF INIC	F1 NTEC
F2 STEC	F3 STEM	F4 TTEC	F5 BDE0
F6 BDE1	F7 BDE2	F8 BDE3	F9 BDE4
FA BDE5	FB BDE6	FC BDE7	FD DATO
FE ADRL	FF ADRH	C000 TCLA	C000 DESP
C008 FUEN	C009 LCPR	C00F BOCI	C016 ACIA
F000 RESET	F026 NDEF	F029 LCLE	F033 RET3
F051 RET2	F054 RET1	F05B NEXA	F062 NAUT
F06A RRMI	F06D NRMI	F074 NRMF	F07B NCOM
F082 NTRA	F089 NVER	F090 NPRO	F097 NTTY
F09D NPAR	F0A0 EXAM	F0BC RET5	F0D6 CMEM
F0E4 ADEL	F0E9 MDDA	F0EC MDAT	F0F8 ATRA
F116 SUPR	F11F NPIN	F125 PUSU	F130 INSE
F13A PUIN	F14E AUTO	F161 RECI	F16E CMOI
F17F CMOF	F190 CMPR	F19E RPRD	F1A9 PRGR
F1B4 PASE	F1CB NCPA	F1D4 ESTC	F1E4 DEME
F1F7 NEPR	F208 SVER	F216 MEDE	F222 NEVE
F22F ES01	F235 NE16	F268 COMP	F26C CMPT
F272 SCOM	F277 ALTC	F283 NTHE	F286 VERI
F2A1 CVER	F2B3 REPR	F2C1 EDR1	F2C8 EDRA
F2D6 NEMA	F2F5 RPRD	F310 TTY	F326 PARD
F329 DELT	F32E ALFA	F333 ESPA	F347 NVEF
F34E NRST	F355 GAMA	F35D ESHE	F367 NEXC
F36E NPER	F394 NMBL	F39B NOPR	F3A2 NOTR
F3B8 NOCO	F3BF NORI	F3C6 NORF	F3C9 ETTY
F3CA MODR	F3D1 SEXA	F3E0 FBAR	F3F5 ESOC
F3FD NFBY	F40E NDRE	F413 NERE	F41A NOEI
F421 PROR	F428 NECR	F42B BARR	F434 ITTY
F443 VITT	F450 IBYT	F45C REXA	F464 STTY
F475 SVAL	F48C CEMI	F492 CEMF	F498 ERPA
F4C1 MBLO	F4C9 CUBL	F4D2 RVBL	F4F4 NCBL
F4FF NECA	F505 TDBL	F508 PROG	F515 ESR1
F51B ESRA	F52D NERA	F537 ESTY	F544 ESBL
F566 FUE3	F58D AJFI	F59D NMBI	F5AD NINC
F5BD NTPR	F5FB TPV1	F60F PERF	F61F SCAX

F633 CSCU  
F65F FUEH  
F684 CUER  
F6AD ERNB  
F6E6 PFUE  
F6FE FUJR  
F720 FUNC  
F766 PFAL  
F77C NPD1  
F7A1 PBTA  
F7CA EDAT  
F7FD NSCA  
F81D HEAS  
F842 TRET  
F859 IDER  
F8CF FVER  
F904 SRTS  
F91B NDES  
F93D TBLO  
F9A2 VALD  
F9D9 PIDE  
F9FE NCAR  
FA14 BUSQ  
FA4A REVI  
FA64 ESPE  
FA89 SOFR  
FAD1 CAMB  
FB00 REFR

F643 SCAN  
F65C SPOB  
F691 TCUF  
F6D3 IPAR  
F6EC QFAL  
F704 IPRD  
F736 TAB1  
F771 DITI  
F793 ESBY  
F7AD NHEX  
F7D7 TRAC  
F808 ASHE  
F82D CONV  
F843 TRE1  
F888 RECO  
F8EB NL23  
F905 RMIN  
F92F NFIN  
F96E DDES  
F9AE NVAL  
F9DC BELL  
F9FF PORO  
FA18 SBUS  
FA5E RECU  
FA74 RENG  
FA9D RTEC  
FAE0 DECO  
FB05 ACTU

F641 TRND  
F679 NERR  
F697 RIFA  
F6DB MEID  
F6E2 LECH  
F70A LPRD  
F746 FRMA  
F773 DITY  
F798 REBY  
F7AE FBYT  
F7E4 NERP  
F80E CAHE  
F839 SACA  
F844 TRE2  
F88B ESTV  
F8EF INFI  
F907 CRMF  
F931 RMFI  
F933 DRFC  
F9B1 AVAL  
F9E0 TOND  
FA0B RE1A  
FA2E OPRI  
FA61 TERM  
FA7B COLU  
FAA1 MDOS  
FAF3 GUIO  
FB18 BORR

82  
F651 ESUX  
F67D UFSB  
F69E NENU  
F705 CAPA  
F748 FRFR  
F71G CASG  
F74D LDFR  
F77B HARE  
F79L UNBY  
F7B7 DRFU  
F7E1 SCAR  
F819 ENCA  
F83F ENUM  
F84E COVE  
F893 UTTY  
F8F5 NIDE  
F911 FIIN  
F933 VRMF  
F992 SUBY  
F9CB RSUP  
F9EA INDR  
FA0D CRET  
FA46 UNAT  
FA62 TECL  
FAB5 LOCA  
FACA REFS  
FAFA GUIN  
FB1C LTMP

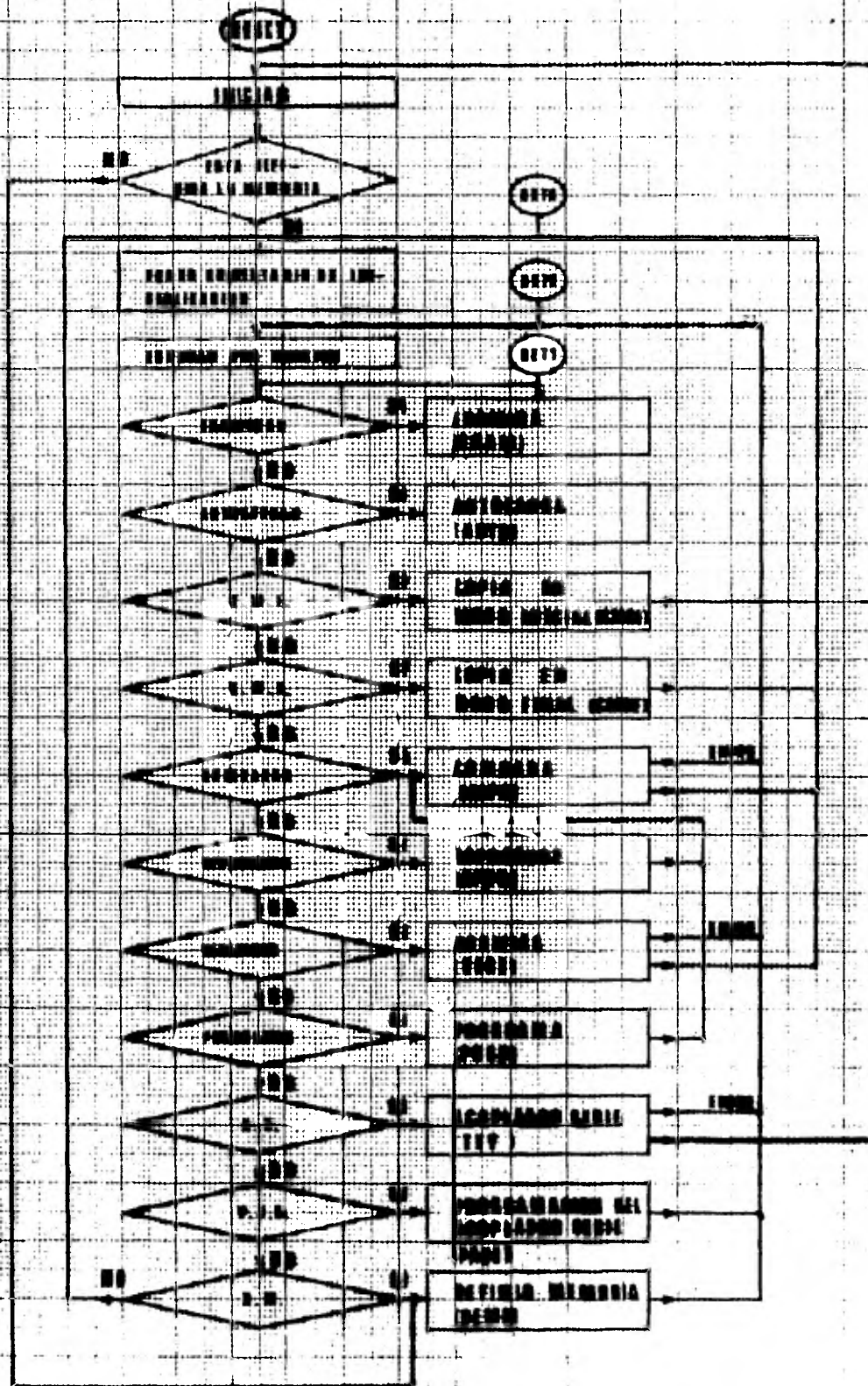
C018 ACIA	FB05 ACTU	F0E4 ADEL	FF ADRH
FE ADRL	F58D AJFI	F32E ALFA	DE ALIM
F277 ALTC	F808 ASHE	F0F8 ATRA	F14E AUTO
F9B1 AVAL	F42B BARR	F5 BDE0	F6 BDE1
F7 BDE2	F8 BDE3	F9 BDE4	FA BDE5
FB BDE6	FC BDE7	F9DC BELL	C00F BOCI
FB18 BORR	FA14 BUSQ	F80E CAHE	FAD1 CAMB
F6E0 CAPA	D3 CBLO	D2 CDAT	D4 CDLI
F492 CEMF	F48C CEMI	00 CERO	F67B CESB
F0D6 CMEM	F17F CMDF	F16E CMOI	F190 CMPR
F26C CMPT	FA7B COLU	F268 COMP	F82D CONV
F84E COVE	FA0D CRET	F907 CRMF	F633 CSCU
F4C9 CUBL	F684 CUER	F2A1 CVER	FD DATO
F96E DDES	FAE0 DECO	F329 DELT	F1E4 DEME
C000 DESP	EB DEST	E2 DPAR	F983 DREC
F7B7 DRPU	F771 DTT1	F773 DITY	F7CA EDAT
F2C1 EDR1	F2C8 EDRA	F819 ENCA	F83E ENUM
F6AD ERNB	F498 ERPA	F22F ES01	F544 ESBL
F793 ESBY	F35D ESHE	F3F5 ESOC	F333 ESPA
FA64 ESPE	F515 ESRI	F51B ESRA	F1D4 ESTC
F88B ESTV	F537 ESTY	F654 ESUX	F3C9 ETTY
F0A0 EXAM	F3E0 FBAR	F7AE FBYT	F911 FIIN
ED FINA	F566 FUE3	F65F FUEH	C00B FUEN
F720 FUNC	F8CF FVER	F355 GAMA	FAFA GUIN
FAF8 GUIO	F81D HEAS	F450 IBYT	F859 IDER
F9EA INDR	F8EF INFI	EF INIC	F130 INSE
E1 IPAR	F434 ITTY	F029 LCLE	C009 LCPR
F6F2 LECH	DC LECT	D7 LI23	FB1C LIMP
FA85 LOCA	D8 LOOP	F74B LOPR	F70A LPRO
F77B MARE	D1 MASC	F4C1 MBLO	F0EC MDAT
F0E9 MDDA	FAA1 MDOS	F216 MEDE	F6DB MEMO
F3CA MODR	F062 NAUT	D6 NBYT	F9FE NCAR
F4F4 NCBL	F07B NCOM	F1CB NCPA	F026 NDEF
F91B NDES	F40E NDRE	F235 NE16	F4FF NECA
F428 NECR	F2D6 NEMA	F1F7 NEPR	F52D NERA
F679 NERB	F413 NERE	F7E4 NERP	F222 NEVE
F05B NEXA	F367 NEXC	F3FD NFBY	F92F NFIN
F69F NFNU	F7AD NHEX	F8F5 NIDE	F5AD NINC
F8EB NL23	DO NLOP	F59D NMBI	F394 NMBL
F3B8 NOCO	F41A NOEI	F39B NOPR	F3C6 NORF
F3BF NORI	F3A2 NOTR	F09D NPAR	F77C NPDI

F36E NPER	F11F NPIN	F090 NPRD	F074 NRMF
F06D NRMI	F34E NRST	F7FD NSCA	F1 NTEC
F283 NTHE	F5BD NTPR	F082 NTRA	F097 NTTY
F9AE NVAL	F347 NVEF	F089 NVER	FA2E OPRI
F326 PARD	F1B4 PASE	F7A1 PBTA	F60F PERF
D9 PERI	F766 PFAL	F6E6 PFUE	F9D9 PIDE
EO FMEM	F9FF PORO	F421 PROCR	DB PREP
F1A9 PRGR	F746 PRMA	F508 PROG	F6F8 PRPR
F13A PUIN	DA PULS	F6FE PUPR	F125 PIJSU
DD QALI	F6EC QFAL	F697 R1SE	F798 REBY
F161 RECI	F898 RECO	FA5E RECU	FB00 REFR
FACA REFS	FA74 RENG	F2B3 REPR	F000 RESET
F054 RET1	F051 RET2	F033 RET3	F0BC RETS
FA0B RETA	FA4A REVI	F45C REXA	E7 RFIN
E9 RINI	F931 RMFI	F905 RMIN	F19E RPRD
F2F5 RPRO	F06A RRFI	F9CB RSLP	FA9D RTEC
F4D2 RVBL	F839 SACA	FA18 SBUS	D5 SBYT
F643 SCAN	F7EE SCAR	F61F SCAX	F272 SCOM
F3D1 SEXA	F66C SF0B	FA89 SOPR	F904 SRTS
F2 STEC	F3 STEM	F464 STTY	F992 SUBY
E3 SUIN	F116 SUPR	F475 SVAL	F208 SVER
F736 TAB1	DF TAMA	F710 TASC	F93D TBLO
C000 TCLA	F691 TCUE	F505 TDBL	FA62 TECL
FA61 TERM	E4 THEX	F9E0 TONO	F6D3 TPAR
F704 TPRO	F5FB TPV1	F7D7 TRAC	F843 TRE1
F844 TRE2	F842 TRET	F64C TRMS	F4 TTEC
F310 TTY	FA46 UNAT	F79C UNBY	F893 UTTY
F9A2 VALD	F286 VERI	F443 VITT	F933 VRMF

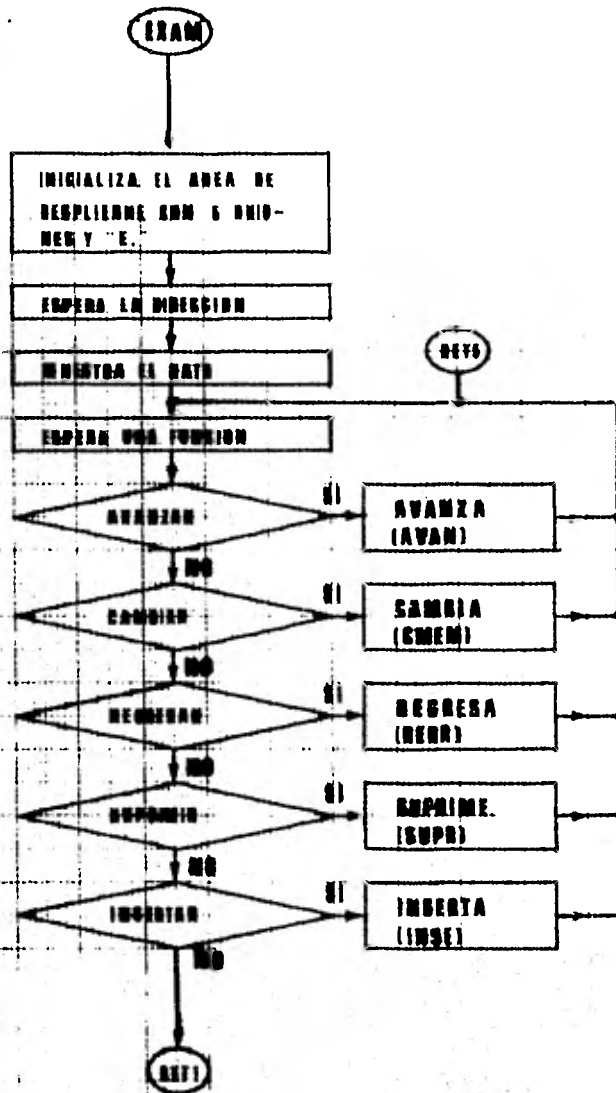
## C.2 DIAGRAMAS DE FLUJO

- C.2.1 Programa principal
- C.2.2 Examinar con teclado hexadecimal
- C.2.3 Avanzar con teclado hexadecimal
- C.2.4 Cambiar con teclado hexadecimal
- C.2.5 Regresar con teclado hexadecimal
- C.2.6 Suprimir con teclado hexadecimal
- C.2.7 Insertar con teclado hexadecimal
- C.2.8 Autocargar
- C.2.9 Copiar en modo inicial con teclado hexadecimal
- C.2.10 Copiar en modo final con teclado hexadecimal
- C.2.11 Comparar con teclado hexadecimal
- C.2.12 Reproducir con teclado hexadecimal
- C.2.13 Programar con teclado hexadecimal
- C.2.14 Programación del acoplador serie
- C.2.15 Definición de memoria
- C.2.16 Acoplador serie
- C.2.17 Examinar con acoplador serie
- C.2.18 Insertar con acoplador serie
- C.2.19 Suprimir con acoplador serie
- C.2.20 Copiar en modo inicial con acoplador serie
- C.2.21 Copiar en modo final con acoplador serie
- C.2.22 Mostrar un bloque de datos
- C.2.23 Recibir un bloque de datos
- C.2.24 Transmitir un bloque de datos
- C.2.25 Comparar
- C.2.26 Reproducir
- C.2.27 Verificar
- C.2.28 Programar
- C.2.29 Subrutina que compara y verifica
- C.2.30 Subrutina compara final con inicio
- C.2.31 Subrutina compara inicio con final
- C.2.32 Subrutina relocalizamiento en modo final
- C.2.33 Subrutina relocalizamiento en modo inicial
- C.2.34 Subrutina lectura de una tecla
- C.2.35 Subrutina busqueda
- C.2.36 Subrutina traer un caracter por acoplador serie
- C.2.37 Subrutina sacar un caracter por acoplador serie
- C.2.38 Subrutina conversora de hexadecimal a ASCII
- C.2.39 Subrutina conversión
- C.2.40 Subrutina conversora de ASCII a hexadecimal
- C.2.41 Subrutina esperar una dirección por el A.S.
- C.2.42 Subrutina esperar un caracter por A.S.

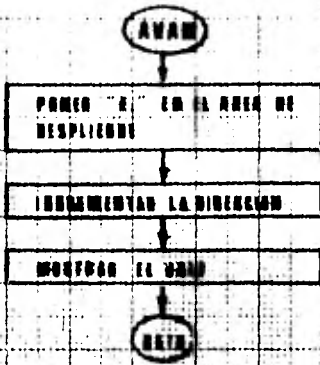




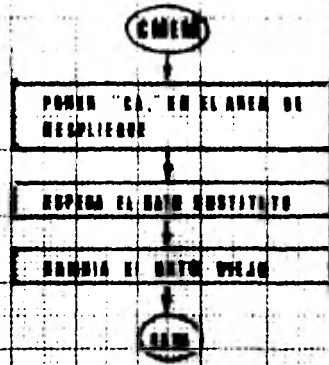
C.2.1 PROGRAMA PRINCIPAL



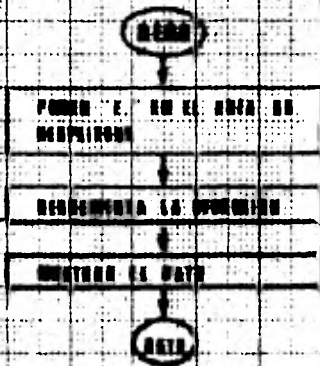
C.2.2 EXAMINAR CON TECLADO HEXADECIMAL



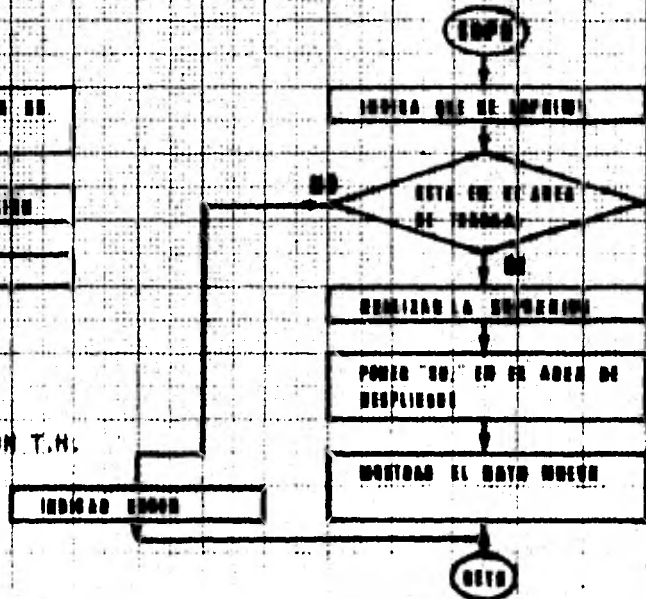
C.2.3 AVANZAR CON T.H.



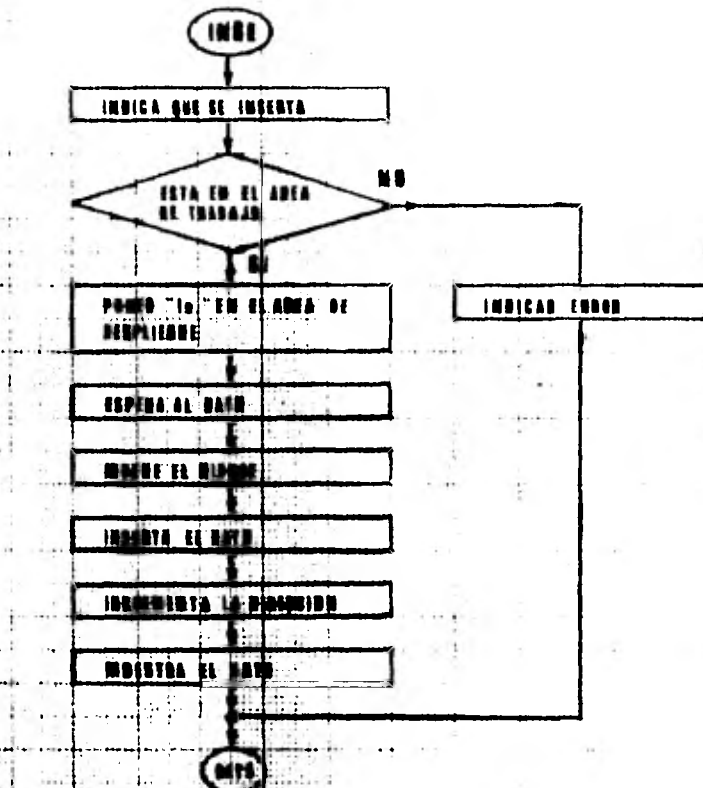
C.2.4 CAMBIAR CON T.H.



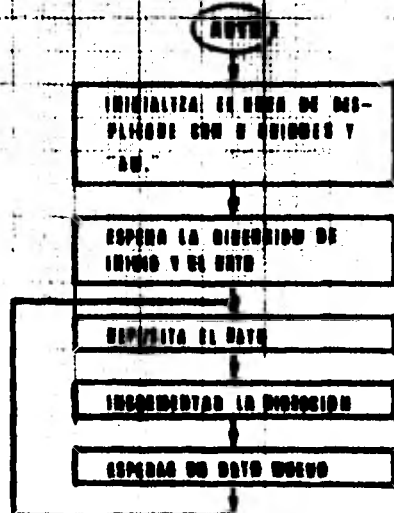
C.2.5 REGRESAR CON T.H.



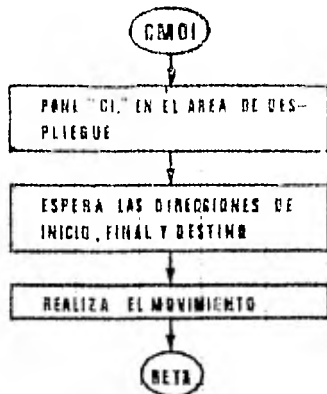
C.2.6 SUPRIMIR CON T.H.



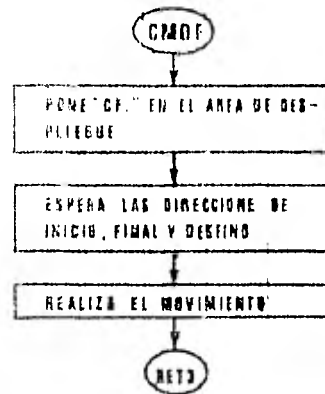
C.2.7 INSERTAR CON T.H.



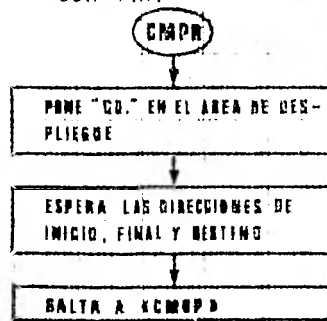
C.2.8 AUTOCARGAR



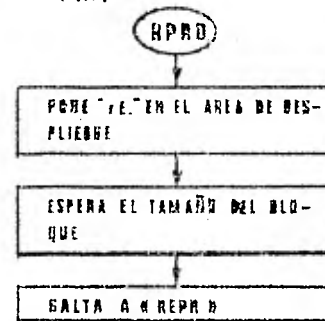
C.2.9 COPIAR EN MODO INICIAL CON T.H.



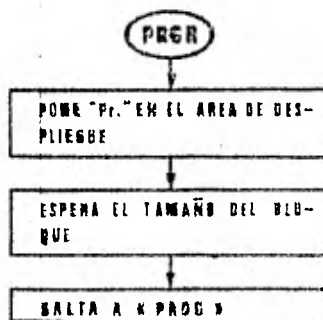
C.2.10 COPIAR EN MODO FINAL CON T.H.



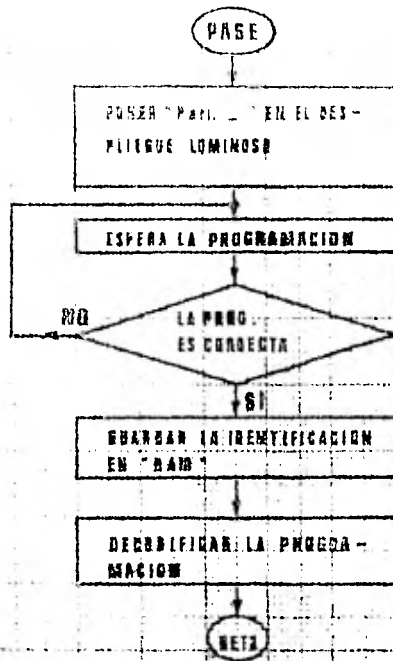
C.2.11 COMPARAR CON T. H.



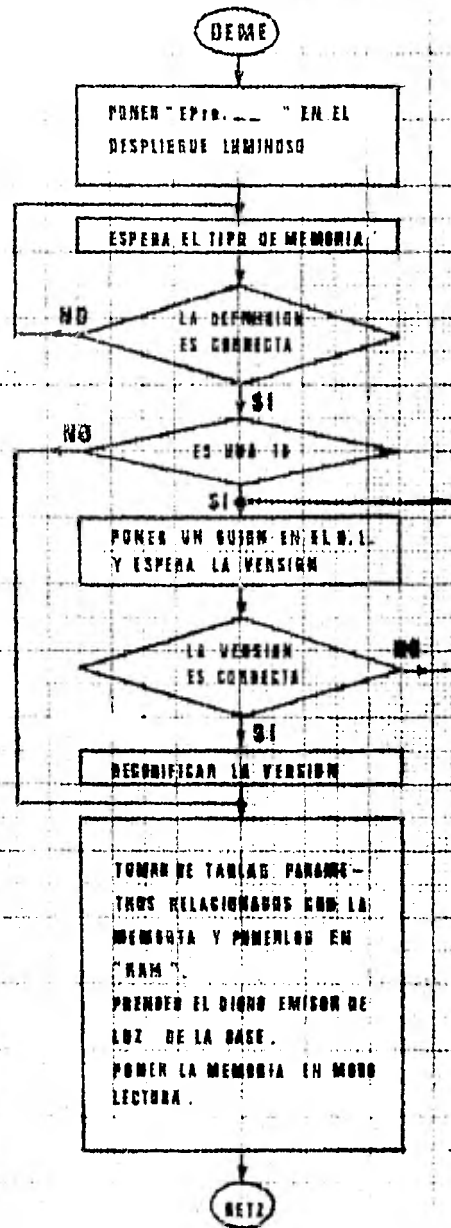
C.2.12 REPRODUCIR CON T.H.



C.2.13 PROGRAMAR CON T.H.



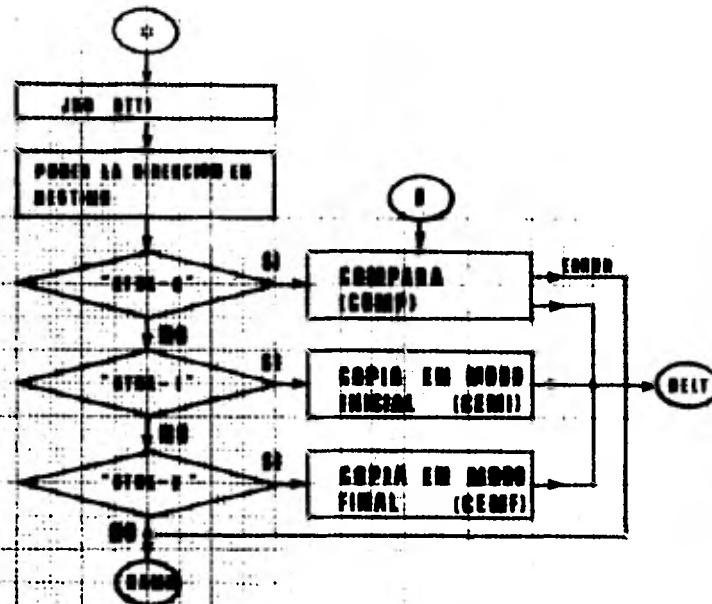
C.2.14 PROGRAMACION DEL ACOPLADOR SERIE



C.2.15 DEFINICION DE MEMORIA

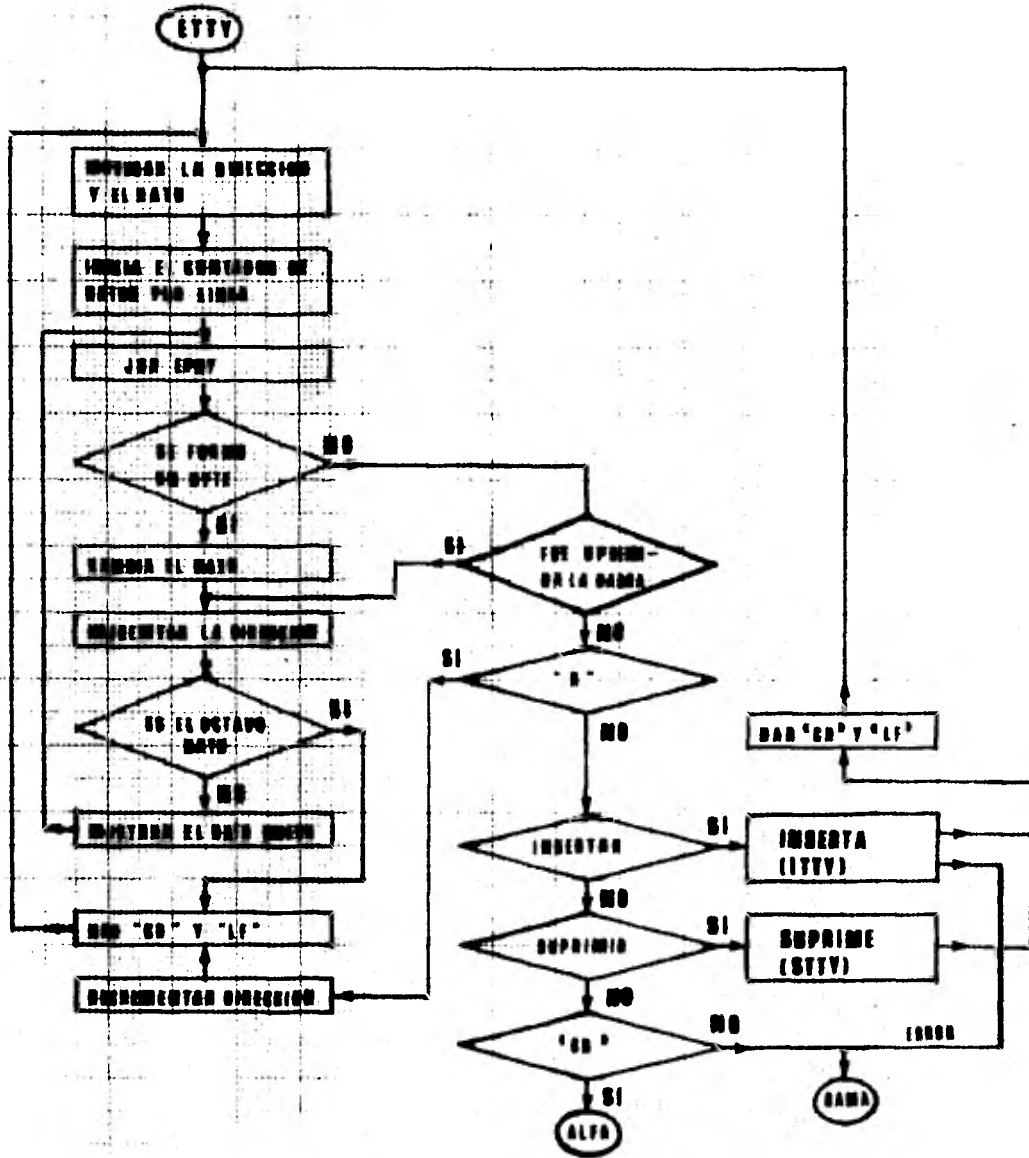




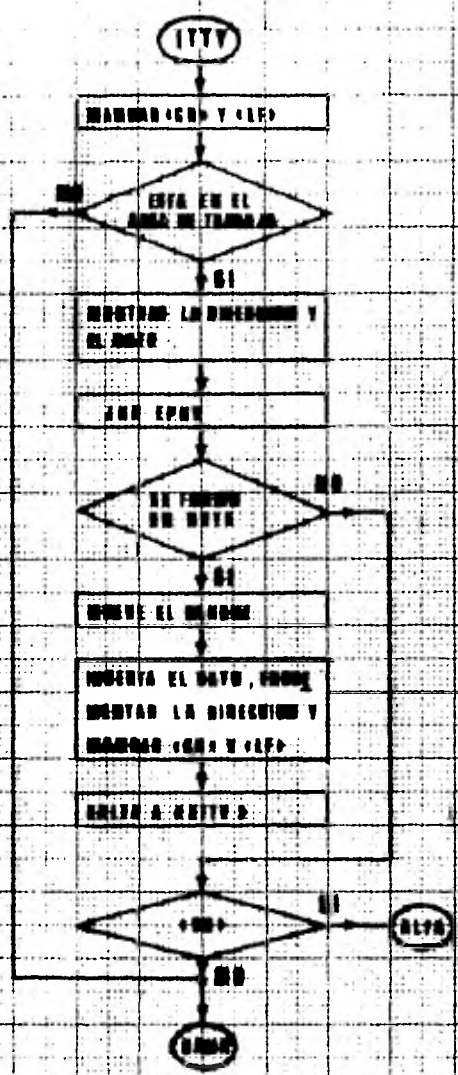


C. 2.16: ACOPLADOR SERIE (Continuación)

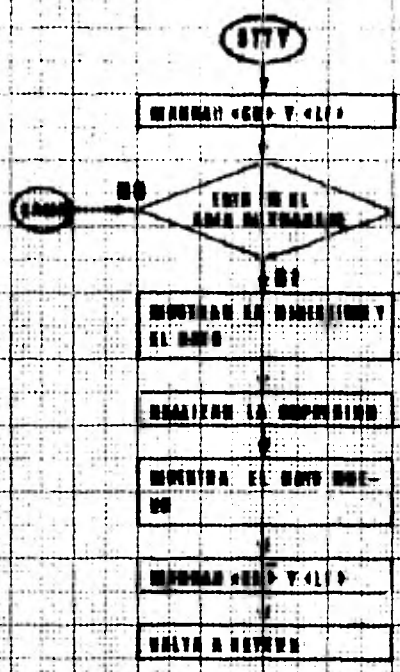




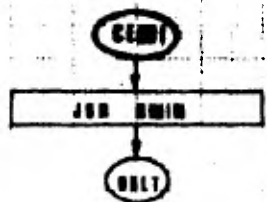
C.2.17 EXAMINAR CON ACOPLADOR SERIE



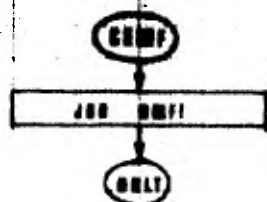
C.2.18 INSERTAR CON A.S.



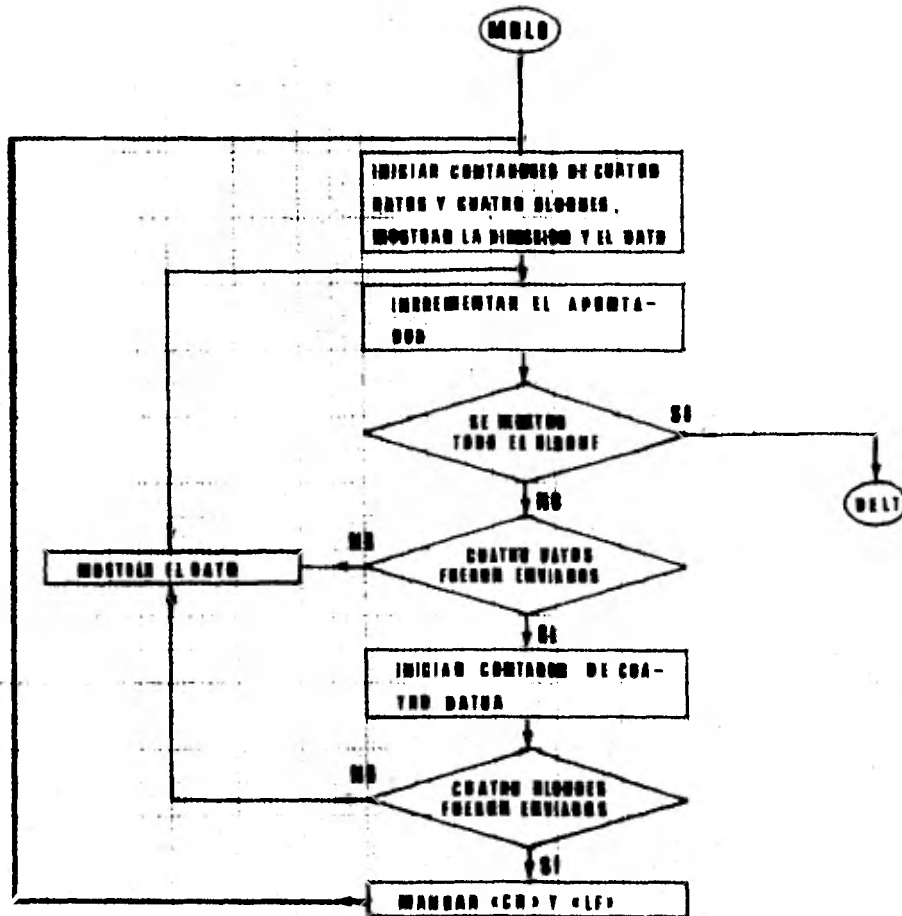
C.2.19 SUPRIMIR CON A.S.



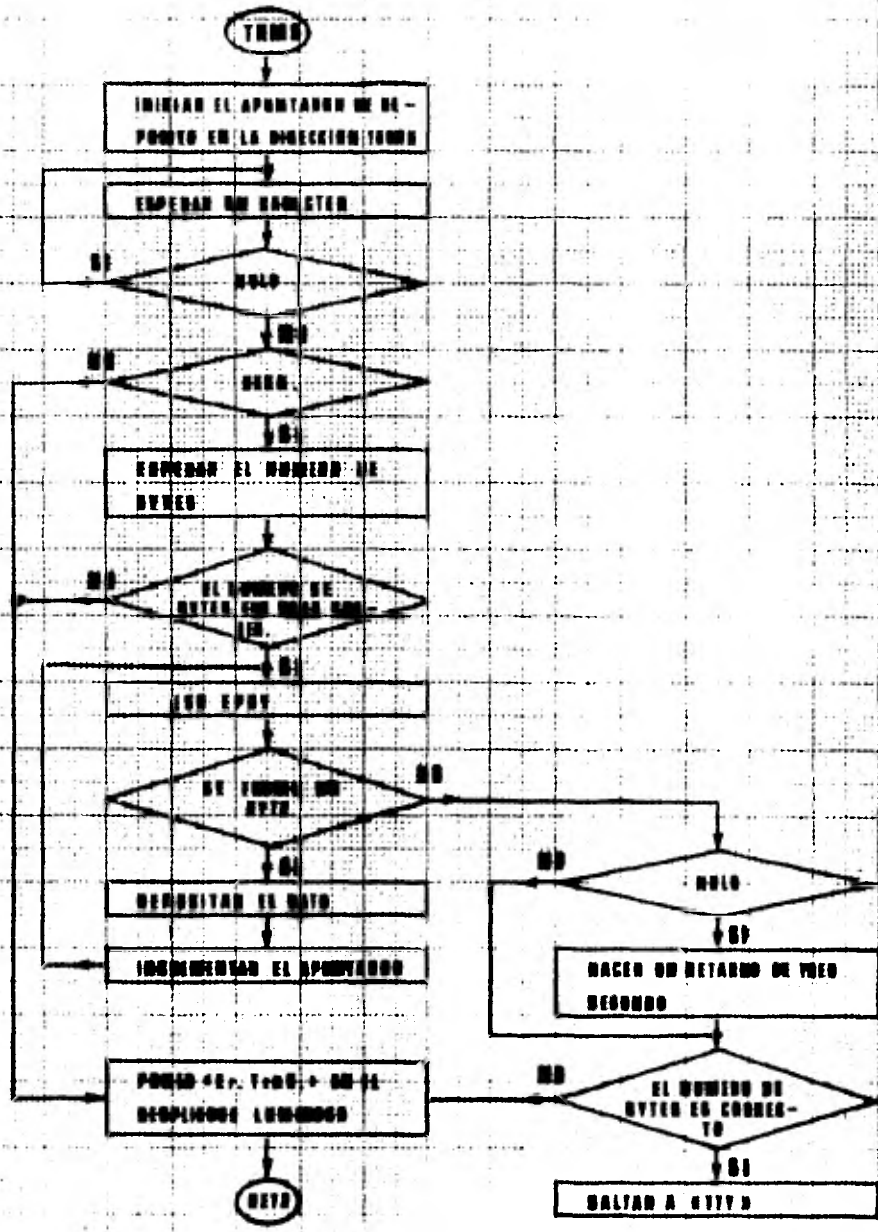
C.2.20 COPIAR EN MODO INICIAL CON A.S.



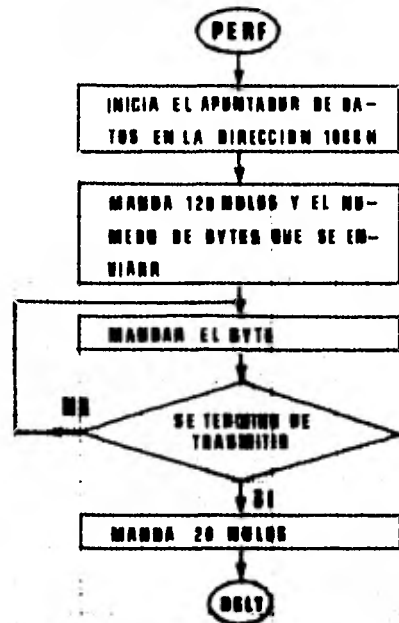
C.2.21 COPIAR EN MODO FINAL CON A.S.



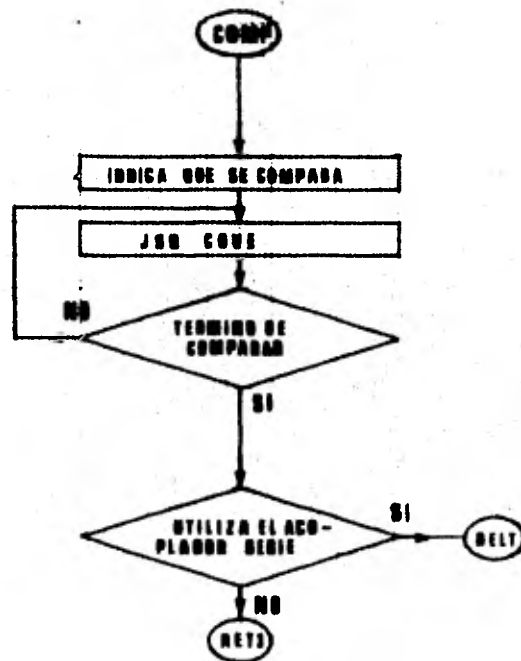
C.2.2.2 MOSTRAR UN BLOQUE DE DATOS



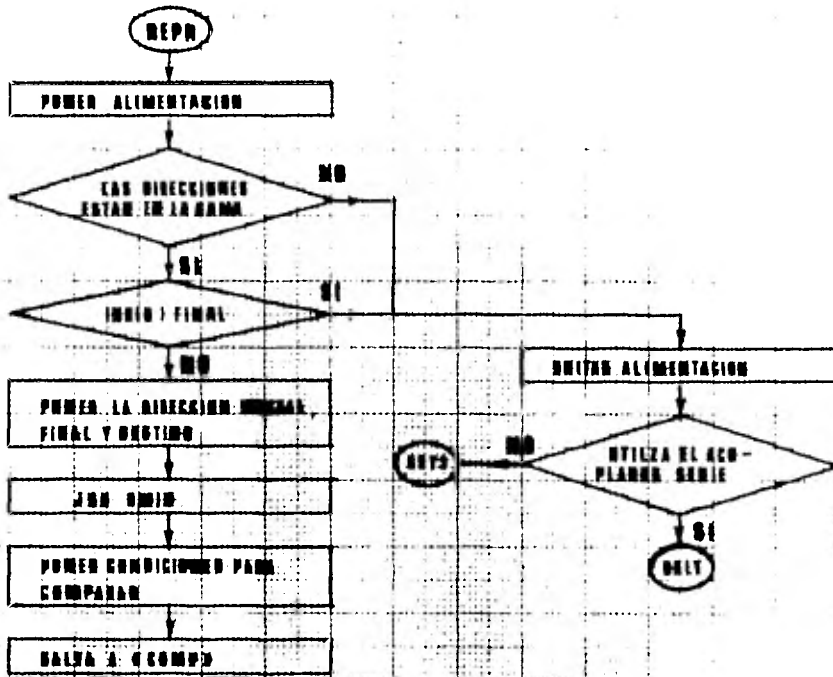
C.2.23 RECIBIR UN BLOQUE DE DATOS



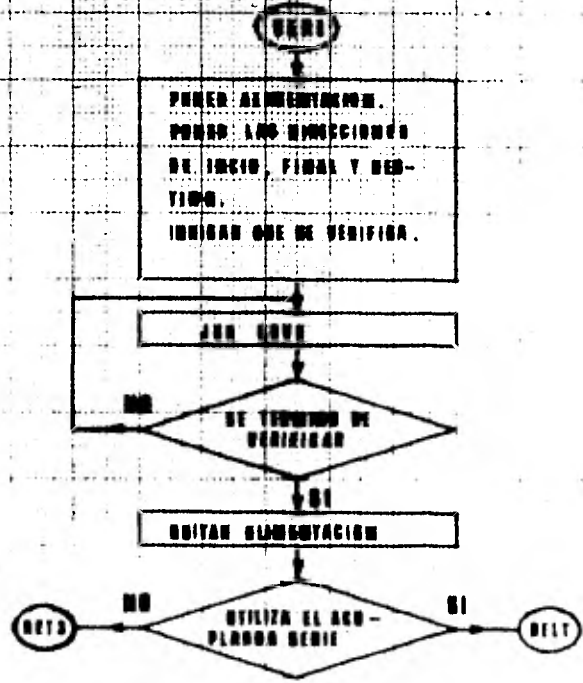
C.2.24 TRANSMITIR UN BLOQUE DE DATOS



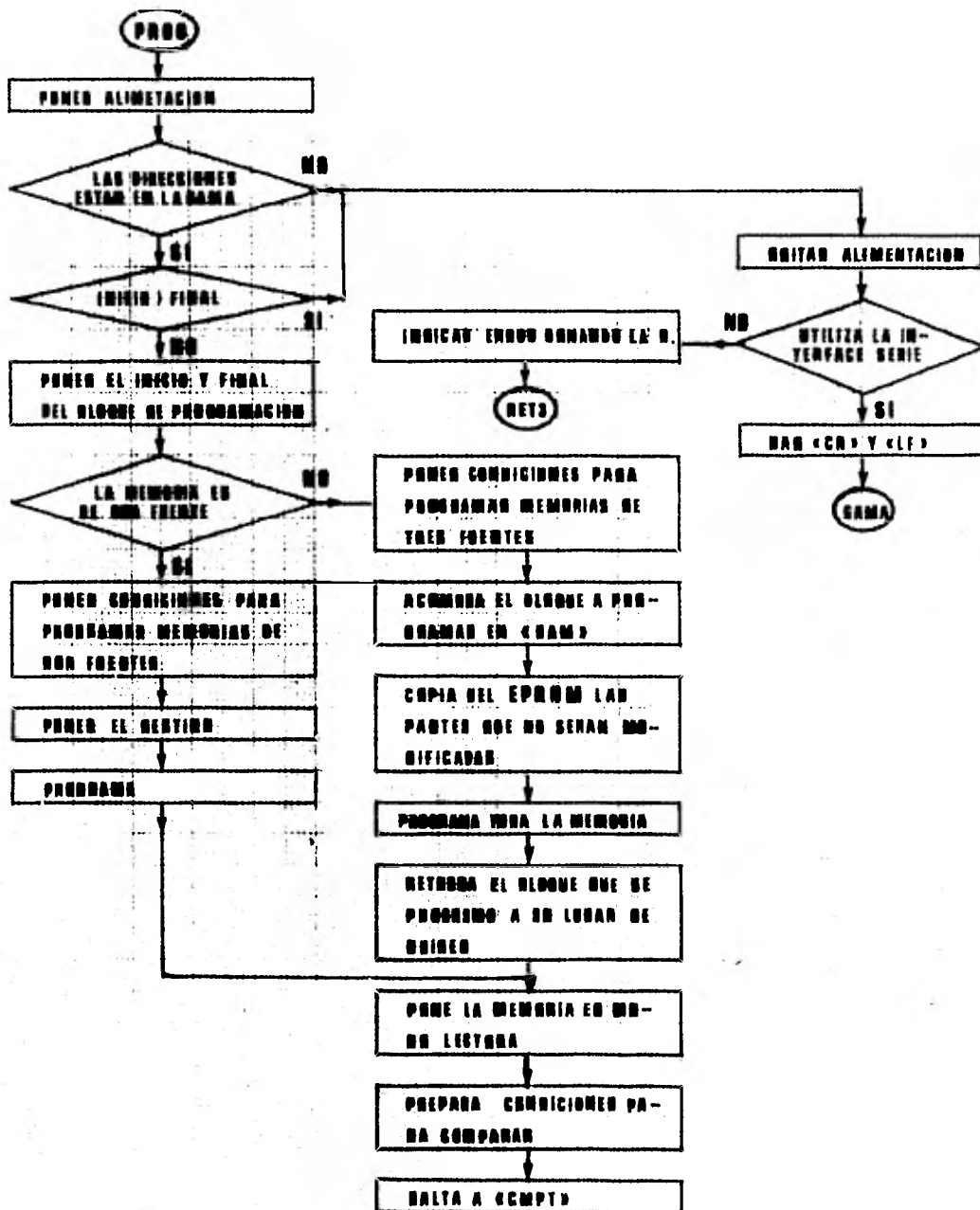
C.2.25 COMPARAR

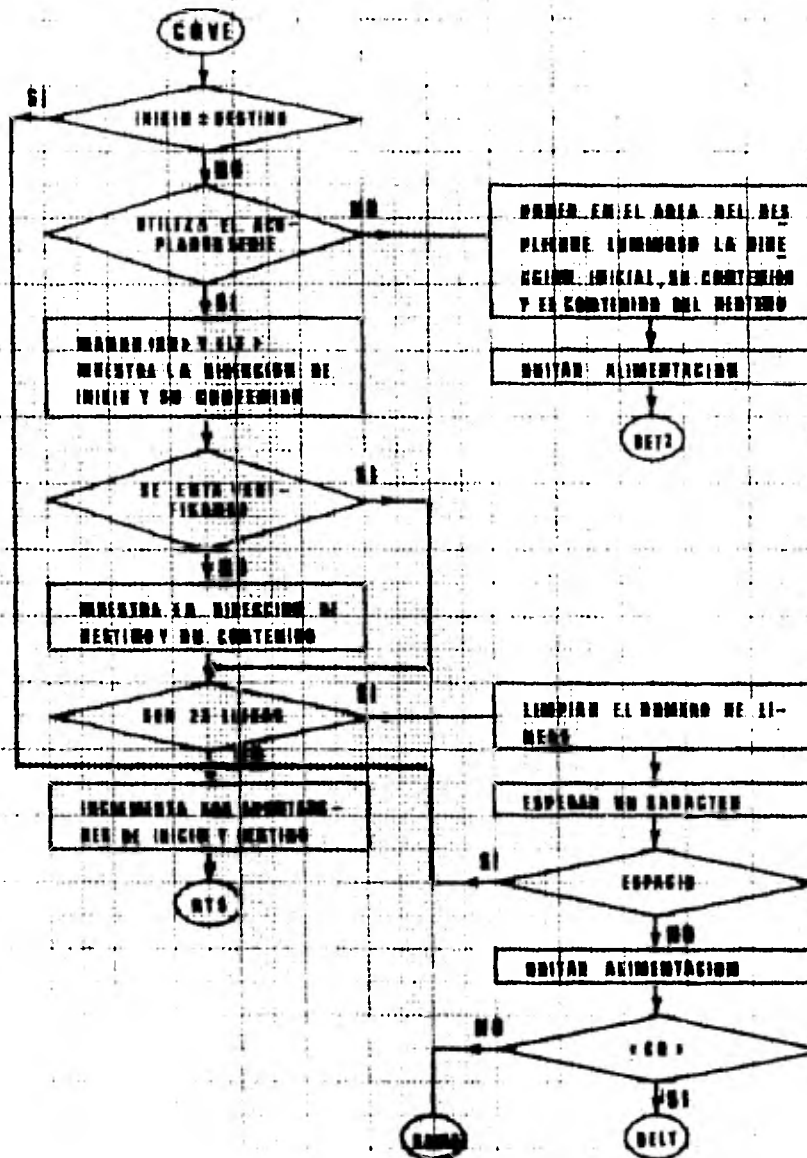


C.2.26 REPRODUCIR



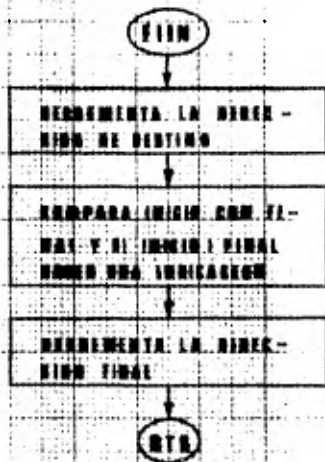
C.2.27 VERIFICAR



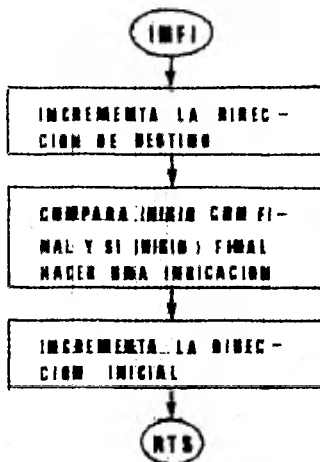


C.2.29 SUBROUTINA QUE COMPARA Y VERIFICA

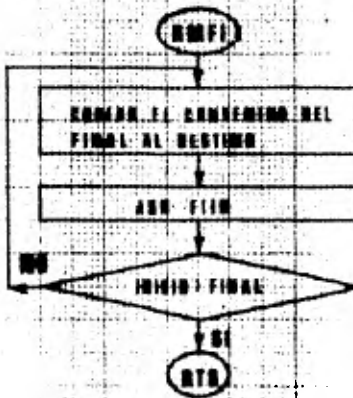




C.2.30 SUBROUTINA COMPARA FINAL CON INICIO



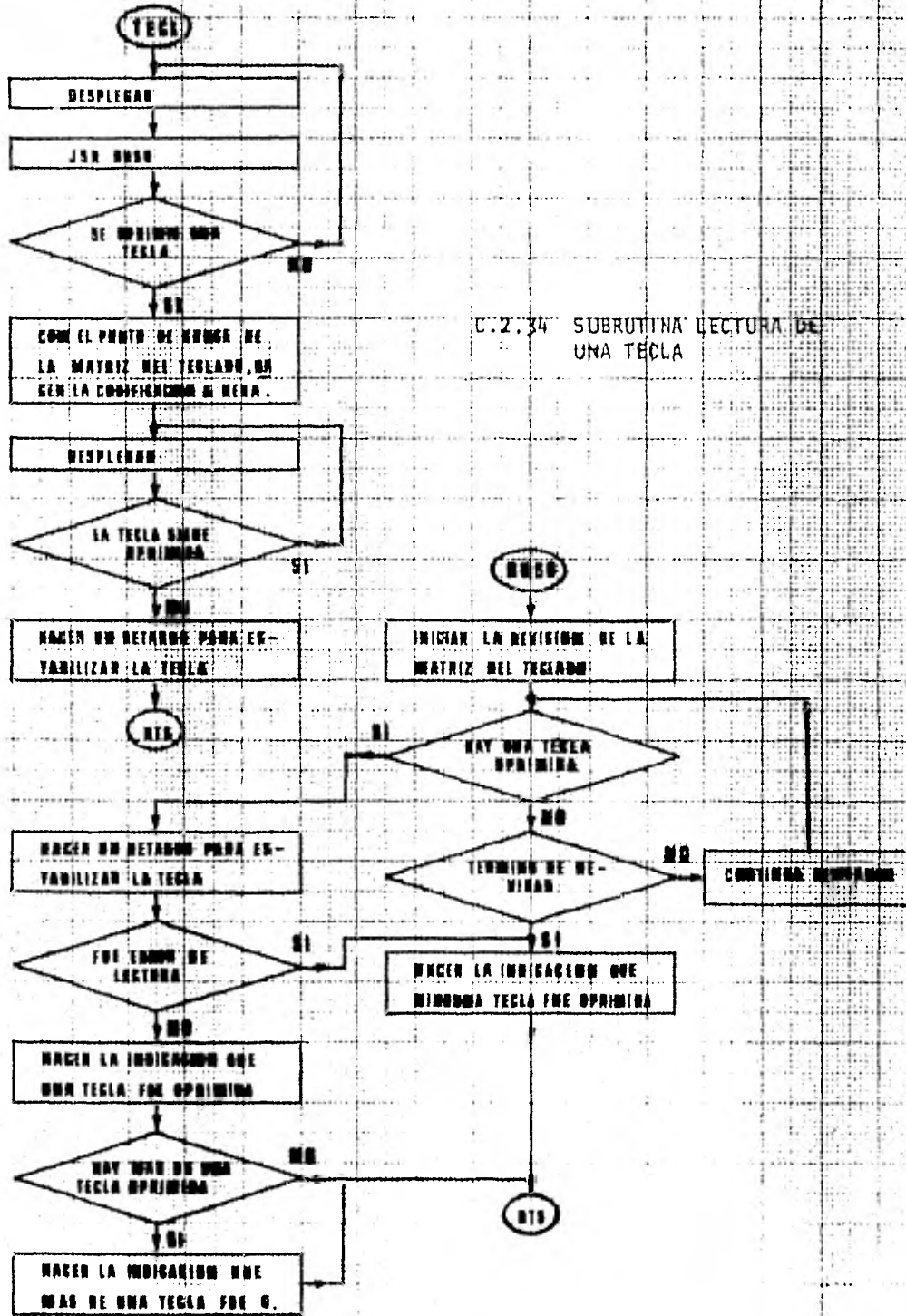
C.2.31 SUBROUTINA COMPARA INICIO CON FINAL



C.2.32 SUBROUTINA RELOCALIZACION EN MODO FINAL

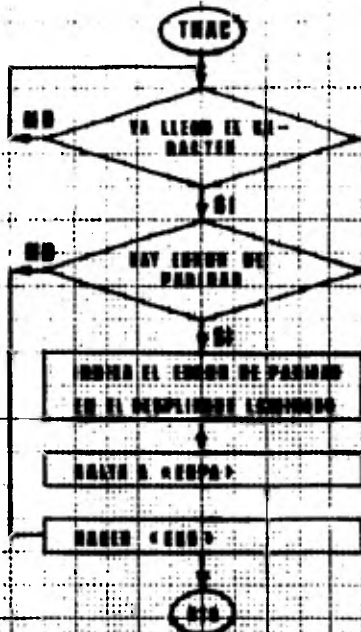


C.2.33 SUBROUTINA RELOCALIZACION EN MODO INICIAL

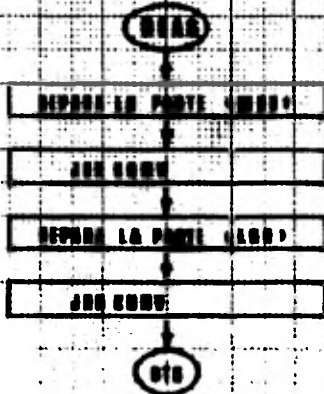


C.2.34 SUBROUTINA LECTURA DE UNA TECLA

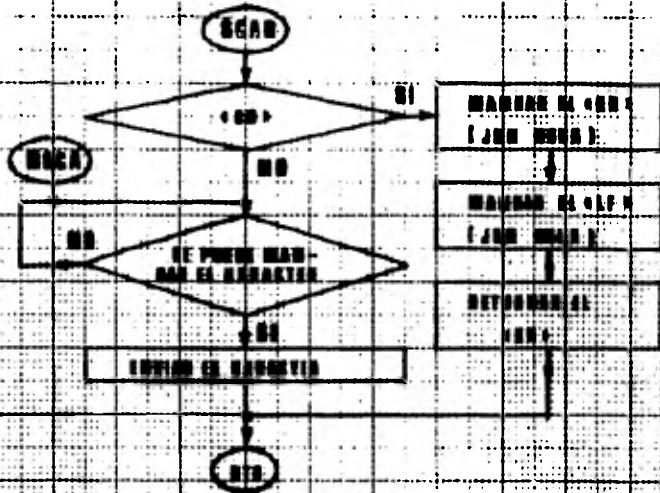
C.2.35 SUBROUTINA BUSQUEDA



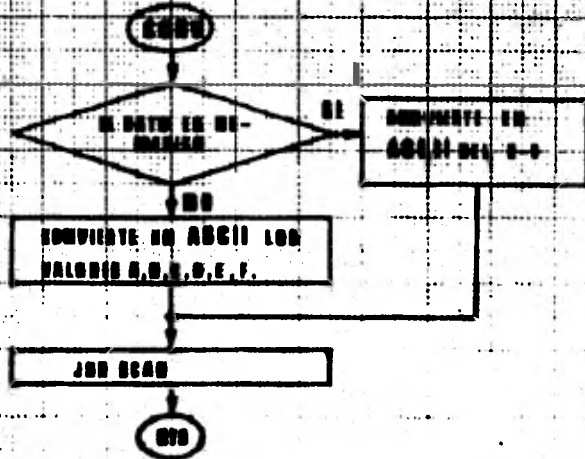
C.2.36 SUBROUTINA TRAE UN CARACTER POR A. S.



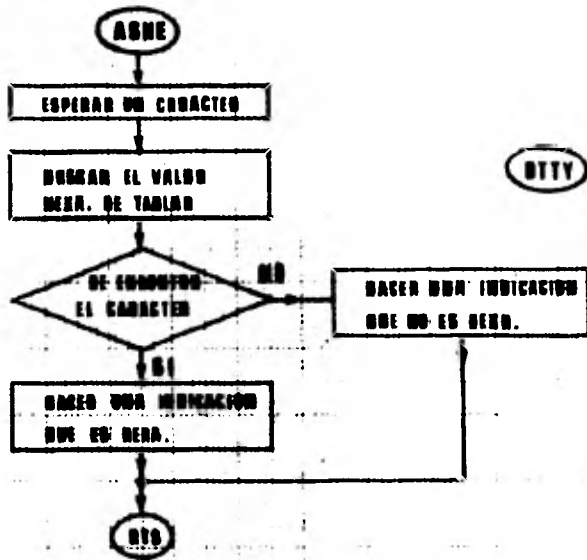
C.2.38 SUBROUTINA CONVERSORA DE HEXADECIMAL A ASCII



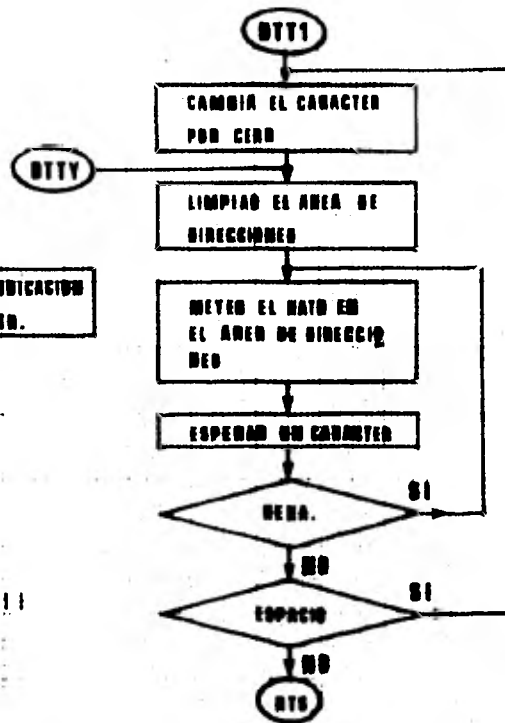
C.2.37 SUBROUTINA SACAR UN CARACTER POR A. S.



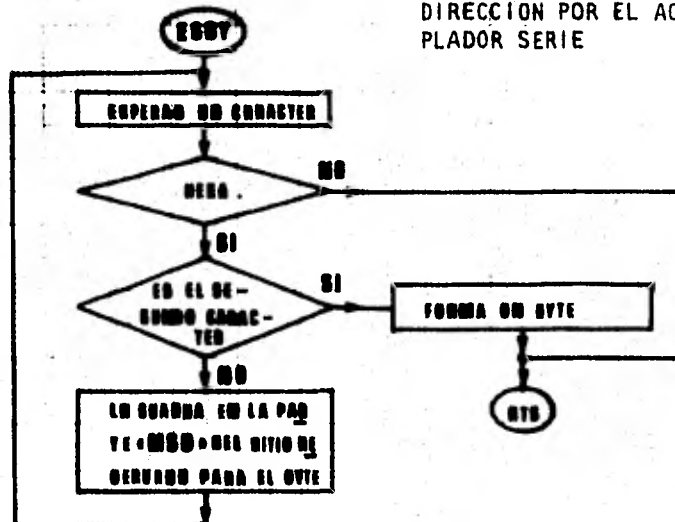
C.2.39 SUBROUTINA CONVERSION



C.2.40 SUBROUTINA CONVERSORA DE ASCII A HEXADECIMAL

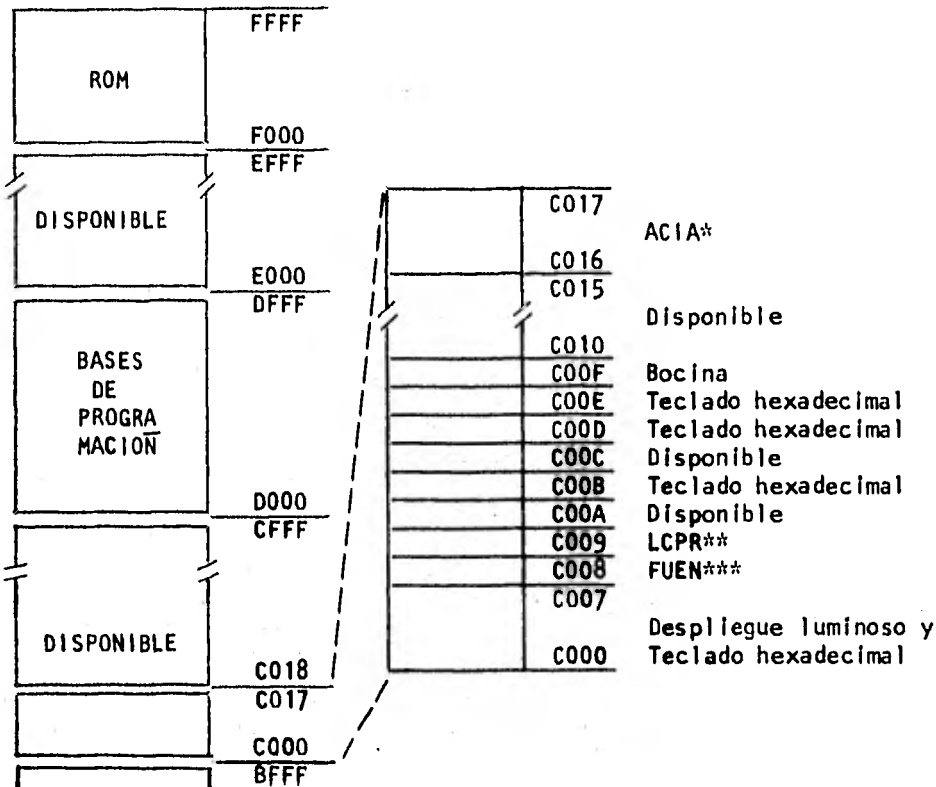


C.2.41 SUBROUTINA ESPERAR UNA DIRECCION POR EL ACOPLADOR SERIE

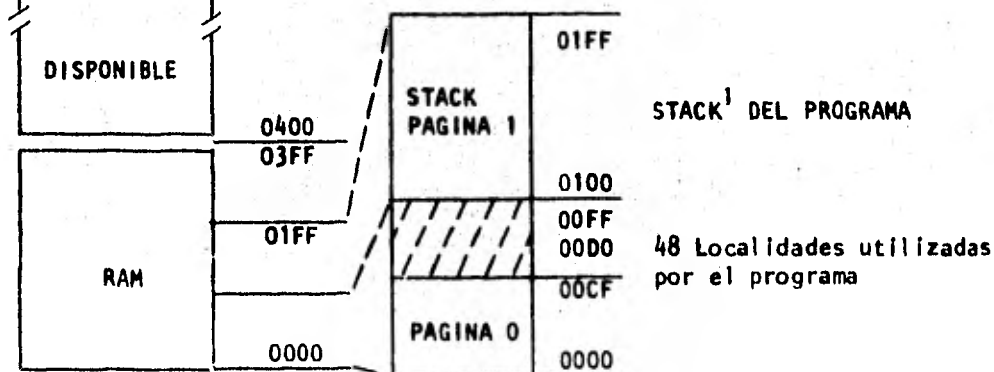


C.2.42 SUBROUTINA ESPERA UN CARACTER POR EL ACOPLADOR SERIE

### C.3 MAPA DE MEMORIA



\* ACIA (Acoplador Serie)  
 \*\* LCPR (Registro Control P. Programación)  
 \*\*\* FUEN (Registro Control P. Programación)



<sup>1</sup> STACK: Es una área reservada en memoria que puede ser usada para almacenar información temporalmente. La información en un STACK se referencia no por dirección, sino en el orden en que fue almacenada. El último dato almacenado es el primero que será sacado. (Ref. 23)

APENDICE D

## APENDICE D

### INSTRUCTIVO DE OPERACION

Este apéndice está formado por cuatro secciones que contienen la información necesaria para la operación del sistema. La primera describe las instrucciones relativas al manejo de las EPROM en las bases alojadoras. La segunda describe las funciones ejecutables con teclado hexadecimal y despliegue luminoso. La tercera describe las funciones ejecutables a través del acoplador serie, ejemplificando para terminal de video o teletipo; sin embargo, lo descrito es válido para cualquier dispositivo que satisfaga la norma de comunicación RS-232C y los formatos ahí establecidos. La última sección describe, en forma tabular, los mensajes emitidos cuando el sistema detecta errores en la operación.



**D.1 MANEJO DE LAS EPROM****D.2 OPERACION CON TECLADO HEXADECIMAL Y DESPLIEGUE LUMINOSO**

D.2.1 Examinar memoria

D.2.2 Autocargar

D.2.3 Definir memoria

D.2.4 Programar

D.2.5 Verificar

D.2.6 Reproducir

D.2.7 Comparar

D.2.8 Copiar en modo inicial

D.2.9 Copiar en modo final

D.2.10 Programación del acoplador serie

D.2.11 Transferir a dispositivo externo

**D.3 OPERACION CON TERMINAL DE VIDEO O TELETIPO**

D.3.1 Examinar memoria

D.3.2 Mostrar un bloque

D.3.3 Programar

D.3.4 Verificar

D.3.5 Reproducir

D.3.6 Comparar

D.3.7 Copiar en modo inicial

D.3.8 Copiar en modo final

D.3.9 Transmitir un bloque de datos

D.3.10 Recibir un bloque de datos

D.3.11 Transferir a teclado hexadecimal

**D.4 DESCRIPCION DE LOS ERRORES**

## D.1 MANEJO DE LAS EPROM

Al encender el sistema, el despliegue luminoso mostrará el mensaje:

EPro. \_\_\_\_\_

y espera que el usuario defina el tipo de memoria que se va a programar (sección D.2.).

Una vez que el tipo de memoria ha sido definido, se enciende un diodo emisor de luz que indica la base alojadora en donde debe insertarse la memoria declarada, dejando vacía la base no indicada.

Al realizar algunas de las funciones se enciende un diodo emisor de luz (NO INSERTAR/NO EXTRAER) indicando que ambas bases alojadoras están polarizadas.

Al realizar la función PROGRAMA, se enciende un diodo emisor de luz (PROGRAMANDO) para indicar que se efectúa esta función.

## D.2 OPERACION TECLADO HEXADECIMAL Y DESPLIEGUE LUMINOSO

En la operación mediante teclado hexadecimal y despliegue luminoso, la información se maneja en notación hexadecimal. Las direcciones se representan con cuatro dígitos hexadecimales y los valores o datos, con dos.

## D.2.1 Examinar memoria.

Al oprimir la tecla EXAM, el sistema desplegará el mensaje:

E. \_\_\_\_\_

donde E. identifica a la función y los seis guiones serán sustituidos con la dirección dada por el operador y el dato leído en esa localidad.

Ejemplo: Para examinar el contenido de la localidad 1000H, siga estos pasos:

P A S O	D E S P L E G A D O
- Oprimir la tecla 1	E.1 _____
- " " " 0	E.1 0 _____
- " " " 0	E.1 0 0 _____
- " " " 0	E.1 0 0 0 X X

donde XX representa el dato contenido en la localidad desplegada.

La función EXAMINAR permite utilizar las siguientes funciones:

- Cambiar el contenido de la localidad desplegada, usando la tecla CAMB.
- Examinar el contenido de la siguiente localidad de memoria a la desplegada, usando la tecla AVAN.

## D.2.1 Examinar memoria.

Al oprimir la tecla EXAM, el sistema desplegará el mensaje:

E. \_\_\_\_\_

donde E. identifica a la función y los seis guiones serán sustituidos con la dirección dada por el operador y el dato leído en esa localidad.

Ejemplo: Para examinar el contenido de la localidad 1000H, siga estos pasos:

P A S O	D E S P L E G A D O
- Oprimir la tecla 1	E.1 _____
- " " " 0	E.1 0 _____
- " " " 0	E.1 0 0 _____
- " " " 0	E.1 0 0 0 X X

donde XX representa el dato contenido en la localidad desplegada.

La función EXAMINAR permite utilizar las siguientes funciones:

- Cambiar el contenido de la localidad desplegada, usando la tecla CAMB.
- Examinar el contenido de la siguiente localidad de memoria a la desplegada, usando la tecla AVAN.

- Examinar el contenido de la localidad anterior a la desplegada, usando la tecla REGR.
- Suprimir el dato contenido en la localidad de memoria examinada (dentro del área de trabajo), usando la tecla SUPR.
- Insertar un dato en la localidad de memoria desplegada (dentro del área de trabajo), usando la tecla INSE.

#### D.2.2 Autocargar.

Al oprimir la tecla AUTO, el sistema desplegará el mensaje:

AU. \_\_\_\_\_

donde AU. identifica a la función. Los cuatro guiones iniciales serán sustituidos con la dirección inicial dada por el operador y los dos últimos con el dato que se desee almacenar.

Ejemplo: Supóngase que se pretende cargar un bloque de datos, empezando en la dirección 1000 H. Proceda como sigue:

- a) Oprima sucesivamente las teclas 1, 0, 0, 0; el despliegue luminoso mostrará:

AU. 1 0 0 0 \_\_\_\_\_

- b) Oprima los dos dígitos hexadecimales del dato correspondiente a esta localidad.
- c) El despliegue luminoso mostrará la siguiente dirección (1001H) y esperará el dato respectivo.
- d) Repita lo indicado en los incisos b y c hasta que el bloque haya sido almacenado.

e) Oprima la tecla INICIAR; el sistema desplegará el mensaje:

F u n c i o n

### D.2.3 Definir memoria

Al oprimir la tecla DMEM, el sistema desplegará el mensaje:

EPro. \_\_\_\_\_

donde EPro. identifica a la función y los dos guiones se sustituyen con los dígitos finales del tipo de memoria deseado.

Ejemplo: Para definir una memoria 2708 se procede como sigue:

- Oprima sucesivamente las teclas 0 y 8; el despliegue luminoso mostrará:

EPro. 0 8

En el caso de las EPROM 2716 que pueden ser de una o tres fuentes, se procede como sigue:

- Al oprimir sucesivamente las teclas 1 y 6; el despliegue luminoso mostrará:

EPro. 1 6 \_\_\_\_\_

y esperará que se le indique la información complementaria.

- Oprima la tecla 1 en el caso de 2716 de una fuente.
- Oprima la tecla 3 en el caso de 2716 de tres fuentes.

El error que puede cometerse al ejecutar esta función, es el indicado con el número 4 en la tabla D.4.1.

## D.2.4 Programar

Al oprimir la tecla PROG, el sistema desplegará el mensaje:

Pr. In. \_\_\_\_\_

donde Pr. identifica a la función e In. indica que el sistema espera la dirección inicial.

Ejemplo: Supóngase que se desea programar entre las localidades 50H y 100 H.

- a) Oprima sucesivamente las teclas 0, 0, 5, 0; el despliegue luminoso mostrará:

Pr. FI. \_\_\_\_\_

donde FI. indica que el sistema espera la dirección final.

- b) Oprima sucesivamente las teclas 0, 1, 0, 0. El despliegue luminoso se apaga, lo cual indica el inicio del proceso.

Si la programación fue correcta, el sistema desplegará el mensaje:

F u n c i o n .

En caso contrario, ver el error número 3 (tabla D.4.1).

Para programar una sola localidad, el dato deberá estar almacenado en la localidad 1000H. Cuando el sistema solicite las direcciones inicial y final del bloque de programación, declarar en ambos casos la dirección de la localidad deseada.

Esta función enciende los indicadores: PROGRAMANDO y NO INSERTAR/NO EXTRAER.

Los errores que pueden cometerse al ejecutar esta función, son los indicados con los números 1 y 2 (tabla D.4.1).



## D.2.5 Verificar

Esta función se activa al oprimir la tecla VERI. El despliegue luminoso se apaga, lo cual indica el inicio del proceso. Si la verificación fue correcta, el sistema desplegará el mensaje:

F u n c i o n

En caso contrario, ver el error número 3 (tabla D.4.1).

Esta función enciende el indicador NO INSERTAR/NO EXTRAER.

## D.2.6 Reproducir

Al oprimir la tecla REPR, el sistema desplegará el mensaje:

rE.In. \_\_\_\_\_

donde rE. identifica a la función e In. indica que el sistema espera la dirección inicial.

Ejemplo: Supóngase que se desea reproducir entre las localidades 50H y 100H.

- a) Oprima sucesivamente las teclas 0, 0, 5, 0; el despliegue luminoso mostrará:

rE.FI. \_\_\_\_\_

donde FI. indica que el sistema espera la dirección final.

- b) Oprima sucesivamente las teclas 0, 1, 0, 0. El despliegue luminoso se apaga, lo cual indica el inicio del proceso.

Si la reproducción fué correcta, el sistema desplegará el mensaje:

F u n c i o n

En caso contrario ver el error número 3 (tabla D.4.1).

Esta función enciende el indicador NO INSERTAR/NO EXTRAER.

Los errores que pueden cometerse al ejecutar esta función, son los indicados con los números 1 y 2 (tabla D.4.1).

#### D.2.7 Comparar.

Al oprimir la tecla COMP, el sistema desplegará el mensaje:

CO.In. \_\_\_\_\_

donde CO. identifica a la función e In. indica que el sistema espera la dirección inicial.

Ejemplo: Supóngase que se desea comparar un bloque que inicia y termina en las localidades 1000H y 1050H, con otro que incia en la 1100H.

- a) Oprima sucesivamente las teclas 1, 0, 0, 0; el despliegue luminoso mostrará:

CO.FI. \_\_\_\_\_

donde FI. indica que el sistema espera la dirección final.

- b) Oprima sucesivamente las teclas 1, 0, 5, 0; el despliegue luminoso mostrará:

CO.dE. \_\_\_\_\_

donde dE. indica que el sistema espera la dirección inicial del bloque de comparación.

- c) Oprima sucesivamente las teclas 1, 1, 0, 0. El despliegue luminoso se apaga, lo cual indica el inicio del proceso.

Si la comparación fue correcta, el sistema desplegará el mensaje:

F u n c i o n .

En caso contrario ver el error 3 (tabla D.4.1).

#### D.2.8 Copiar en modo inicial

Al oprimir la tecla COMI, el sistema desplegará el mensaje:

CI.In. \_\_\_\_\_

donde CI. identifica a la función e In. indica que el sistema espera la dirección inicial.

Ejemplo: Supóngase que se desea copiar un bloque que inicia y termina en las localidades 1000H y 1050H, poniéndolo a partir de la localidad 1100H.

- a) Oprima sucesivamente las teclas 1, 0, 0, 0; el despliegue luminoso mostrará:

CI.FI. \_\_\_\_\_

donde FI. indica que el sistema espera la dirección final.

- b) Oprima sucesivamente las teclas 1, 0, 5, 0; el despliegue luminoso mostrará:

CI.dE. \_\_\_\_\_

donde dE. indica que el sistema espera la dirección inicial del destino.

- c) Oprima sucesivamente las teclas 1, 1, 0, 0. El despliegue luminoso se apaga, lo cual indica el inicio del proceso; una vez que dicho proceso ha concluido, el sistema desplegará el mensaje:

F u n c i o n

## D.2.9 Copiar en modo final

Al oprimir la tecla COMF, el sistema desplegará el mensaje:

CF.In. \_\_\_\_\_

donde CF. identifica la función.

El procedimiento descrito en el ejemplo del inciso D.2.8. es aplicable a esta función.

## D.2.10 Programación del acoplador serie.

Al oprimir la tecla PASE el sistema desplegará el mensaje:

PASE. \_\_\_\_\_

donde PASE. identifica a la función y el guión será sustituido por uno de los códigos listados a continuación:

TECLA	Longitud de palabra ("bits")	CODIGO SELECCIONADO	
		Paridad	"bits" indicadores de final
0	7	Par	2
1	7	Impar	2
2	7	Par	1
3	7	Impar	1
4	8	Ninguna	2
5	8	Ninguna	1
6	8	Par	1
7	8	Impar	1

El error que puede cometerse al ejecutar esta función es el indicado con el número 5 (tabla D.4.1).

#### D.2.11 Transferir a dispositivo externo.

Antes de ejecutar esta función, debe seleccionarse la velocidad de comunicación, activando un interruptor a la vez, de acuerdo con lo siguiente:

Interruptor Activado	Velocidad de comunicación seleccionada (Baudios)
1	110
2	150
3	300
4	600
5	1,200
6	2,400
7	4,800
8	9,600

Una vez seleccionada la velocidad de comunicación, oprimir la tecla ASER; el despliegue luminoso se apaga y en lo sucesivo la comunicación se efectuará a través del acoplador serie, de acuerdo al código seleccionado en el inciso D.2.10. Esto se confirma con la recepción de un carácter asterisco en el periférico usado. Si no se declaró ningún código, el sistema utiliza el correspondiente a la tecla 0.

### D.3 OPERACION CON TERMINAL DE VIDEO O TELETIPO

En la comunicación con terminal de video o teletipo se utiliza el código ASCII. La selección de las funciones se realiza utilizando la primera letra de la función y en algunos casos caracteres de control y signos de puntuación adicionales.

Cuando el sistema recibe una dirección desde la terminal de video o el teletipo, toma un grupo de hasta cuatro dígitos hexadecimales. Si se forma un grupo menor de cuatro dígitos, la representación se completará con los ceros iniciales requeridos; si hay más de cuatro dígitos, el sistema retendrá los últimos cuatro.

Si al declarar direcciones se oprime en forma accidental o deliberada la tecla espacio, el sistema desecha lo declarado y espera una nueva dirección.

### D.3.1 Examinar memoria

Ejemplo: Supóngase que se desea examinar el contenido de la localidad 1000H.

Oprima sucesivamente las teclas: 1, 0, 0, 0 y RETURN, con lo cual el periférico mostrará el mensaje:

1000: XX.

donde 1000 es la dirección de la localidad examinada; XX representa el dato almacenado.

El punto a la derecha del dato mostrado indica que esta función permite utilizar las siguientes funciones:

- Cambiar el contenido de la localidad de memoria examinada, usando las teclas correspondientes al dato deseado.
- Examinar el contenido de la siguiente localidad de memoria a la desplegada, usando la tecla espacio.
- Examinar el contenido de la localidad anterior a la desplegada, utilizando la tecla R.
- Suprimir el dato contenido en la localidad de memoria examinada (dentro del área de trabajo), usando la tecla S.

- Insertar un dato en la localidad de memoria examinada (dentro del área de trabajo), usando la tecla I.

Al oprimir la tecla RETURN el periférico mostrará un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar.

#### D.3.2 Mostrar un bloque.

Ejemplo: Supóngase que se desea examinar un bloque de datos que inicia y termina en las localidades 1000H y 1010H.

Oprima sucesivamente las teclas: 1, 0, 0, 0, -, 1, 0, 1, 0 y RETURN, y el bloque aparecerá. Al finalizar el proceso el periférico mostrará un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar.

#### D.3.3 Programar.

Ejemplo: Supóngase que se desea programar entre las localidades 50H y 100H.

Oprima sucesivamente las teclas: 5, 0, 1, -, 0, 0, y P. El inicio del proceso se confirma al encender los indicadores: PROGRAMANDO y NO INSERTAR/NO EXTRAER.

Si la programación fue correcta el periférico mostrará un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar. En caso contrario ver el error número 3. (tabla D.4.1).

Los errores que pueden cometerse al ejecutar esta función, son los indicados con los números 1 y 2 (tabla D.4.1).



#### D.3.4. Verificar

Esta función se activa al oprimir la tecla V. El inicio del proceso se confirma al encender el indicador NO INSERTAR/NO EXTRAER.

Si la verificación fue correcta el periférico mostrará un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar. En caso contrario ver el error número 3 (tabla D.4.1).

#### D.3.5 Reproducir

Ejemplo: Supóngase que se desea reproducir la información contenida entre las localidades 50H y 100H.

Oprima sucesivamente las teclas: 5, 0, -, 1, 0, 0, y R. El inicio del proceso se confirma al encender el indicador NO INSERTAR/NO EXTRAER.

Si la reproducción fue correcta el periférico mostrará un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar. En caso contrario ver el error número 3 (tabla D.4.1).

Los errores que pueden cometerse al ejecutar esta función son los indicados con los números 1 y 2 (Tabla D.4.1.).

#### D.3.6 Comparar

Ejemplo: Supóngase que se desea comparar un bloque que inicia y termina en las localidades 1000H y 1050H, con otro que inicia en la 1100H.

Oprima sucesivamente las teclas: 1, 0, 0, 0, -, 1, 0, 5, 0, :, 1, 1, 0 y 0, y simultáneamente las teclas CTRL y C (CTRL-C). El inicio del proceso se confirma al encender el indicador NO INSERTAR/NO EXTRAER.

Si la comparación fué correcta el periférico mostrará un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar. En caso contrario ver el error número 3 (tabla D.4.1).

#### D.3.7 Copiar en modo inicial.

Ejemplo: Supóngase que se desea copiar a partir de la localidad 1100H, el bloque de información contenido entre las localidades 1000H y 1050H.

Oprima sucesivamente las teclas: 1, 0, 0, 0, -, 1, 0, 5, 0, :, 1, 1, 0 y 0, y simultáneamente las teclas CTRL e I (CTRL-I). Al finalizar el proceso el periférico mostrará un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar.

#### D.3.8 Copiar en modo final.

Ejemplo: Supóngase que se desea copiar a partir de la localidad 1100H, el bloque de información contenido entre las localidades 1000H y 1050H.

Oprima sucesivamente las teclas: 1, 0, 0, 0, -, 1, 0, 5, 0, :, 1, 1, 0 y 0, y simultáneamente las teclas CTRL y F(CTRL-F). Al finalizar el proceso el periférico mostrará un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar.

#### D.3.9 Transmitir un bloque de datos.

Oprimir sucesivamente las teclas correspondientes a la cantidad de datos que se deseen grabar y simultáneamente las teclas CTRL y B(CTRL-B).

Al terminar la operación el periférico muestra un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar.

#### D.3.10. Recibir un bloque de datos.

En esta función el sistema reconoce el siguiente formato:

/caracteres nulo/Cantidad de datos que se va a transmitir/información/caracter final/

La cantidad de datos que se va a transmitir consta de cuatro caracteres hexadecimales que se expresan en código ASCII.

Cada dato del bloque información consta de dos caracteres hexadecimales que se expresan en código ASCII.

El sistema identifica como final cualquier carácter en código ASCII que no sea hexadecimal.

Si la lectura fue correcta el periférico muestra un asterisco, lo cual indica que el sistema espera la declaración de la siguiente función que se desea utilizar. En caso contrario ver el error número 7 (tabla D.4.1).

#### D.3.11 Transferir a teclado hexadecimal

Esta función se ejecuta al oprimir simultáneamente las teclas CTRL A (CTRL-A). El despliegue luminoso mostrará el mensaje:

F u n c i o n .

lo cual indica que en lo sucesivo la comunicación se efectuará mediante teclado hexadecimal y despliegue luminoso.

#### D.4 DESCRIPCION DE LOS ERRORES

Esta sección describe en forma tabular los mensajes que el sistema envía al detectar errores.

La tabla D.4.1 muestra:

- el número de identificación
- la procedencia
- la clave del mensaje
- la situación inválida.

La tabla D.4.2 describe los mensajes correspondientes a las claves de la tabla D.4.1

ERROR	PROCEDENCIA	CLAVE	DESCRIPCION
1	Programar o Reproducir	11/E1	Las direcciones de inicio o final son mayores que la capacidad del EPROM definido.
2	Programar o Reproducir	11/E1	La dirección inicial es mayor que la final.
3	Comparar, Programar, Reproducir, o Verificar	12/E2	Error inherente a la función.
4	Definir memoria	13	Los dígitos de identificación del EPROM son invalidos.
5	Programación del acoplador serie o Definir memoria	14	Declaración inválida.
6	Comunicación con el acoplador serie	15	Incongruencia en la paridad.
7	Declaración de funciones con terminal de video o teletipo	E1	Caracter no hexadecimal o función inválida.
8	Leer un bloque de datos	16	La cantidad de datos recibidos no corresponde con la indicada al inicio de la transmisión.

TABLA D.4.1.

CLAVE	MENSAJE EMITIDO
11	La bocina emite un sonido y el despliegue luminoso muestra el mensaje: F u n c i o n .
12	La bocina emite un sonido y el despliegue luminoso muestra el mensaje: # # # # * * X X donde ##### indica la dirección de la localidad del primer error detectado, ** representa el dato contenido y XX el dato que debería tener.
13	El despliegue luminoso muestra el mensaje: EPro. _____ para indicar que el sistema espera una definición válida.
14	El despliegue luminoso no muestra completo el mensaje, para indicar que el sistema espera un código válido.
15	La bocina emite un sonido y el despliegue luminoso muestra el mensaje: Er. Parl.X para indicar error en la paridad; X es la clave con la que fue programado el acoplador serie.
16	La bocina emite un sonido y el despliegue luminoso muestra el mensaje: Er. traS. para indicar errores durante la lectura de un bloque de datos.
E1	Aparece el carácter ?.
E2	Aparecen 24 líneas mostrando los errores detectados. Cada vez que se oprime la tecla espacio, el sistema mostrará 24 líneas adicionales. Al oprimir la tecla RETURN, el periférico mostrará un asterisco, para indicar que el sistema espera la declaración de la siguiente función que se desea utilizar.

TABLA D.4.2

APENDICE E

## APENDICE E

### CLASIFICACION DE LAS MEMORIAS ROM Y ESPECIFICACIONES DE LAS EPROM SELECCIONADAS

Este apéndice no trata de sustituir la literatura especializada sobre los temas aquí expuestos; sólo intenta familiarizar al lector con la tecnología y características de los dispositivos EPROM.

La parte inicial presenta una clasificación de los diferentes tipos de memorias ROM, a fin de establecer el origen tecnológico y las propiedades generales de los dispositivos EPROM. A continuación se describe brevemente la tecnología FAMOS<sup>1</sup>, así como las técnicas desarrolladas para programar memorias (EPROM) fabricadas con este tipo de tecnología. Al final se presentan las especificaciones de las EPROM que maneja el prototipo definitivo, y dos tablas que relacionan estos dispositivos, con memorias EPROM equivalentes, elaboradas por diversos fabricantes.

---

<sup>1</sup>FAMOS (Floating gate Avalanche-injection MOS): Tipo de transistor desarrollado originalmente por Intel Co., utilizado como elemento básico en memorias programables eléctricamente (Ref. 3).



- E.1 CLASIFICACION DE LAS MEMORIAS ROM
- E.2 TECNOLOGIA FAMOS
- E.3 TECNICAS DE PROGRAMACION
- E.4 ESPECIFICACIONES DE LAS EPROM QUE UTILIZAN TRES FUENTES  
DE ALIMENTACION
- E.5 ESPECIFICACIONES DE LAS EPROM QUE UTILIZAN UNA FUENTE  
DE ALIMENTACION
- E.6 DISPOSITIVOS EPROM EQUIVALENTES

## E.1 CLASIFICACION DE LAS MEMORIAS ROM

En forma simplificada puede considerarse que una memoria ROM es un arreglo de contactos unidireccionales cuyo estado (abierto o cerrado) se define al fabricarse, o bien puede ser alterado por el usuario.

La diferencia fundamental entre los diferentes tipos de ROM es la forma en que se define el estado de sus contactos; en otras palabras, en el diseño de sus celdas. Existen tres tipos principales, a saber:

- a) Memoria que sólo permite lectura mascarillada (ROM)
- b) Memoria que sólo permite lectura programable (PROM)
- c) Memoria que sólo permite lectura programable y borrrable (EPROM)

En las memorias ROM mascarilladas, el estado de las celdas se determina al incluir o excluir pequeñas trayectorias conductoras durante el proceso de fabricación.

En las memorias PROM todos los contactos se hacen depositando material fusible durante la fabricación, a fin de que puedan ser abiertos posteriormente, permitiendo al usuario configurar el estado final de las celdas.

Las memorias EPROM tienen la propiedad de permitir que sus celdas programadas sean reestablecidas a su estado original, de tal forma que el proceso se puede repetir varias veces.

Tal como se muestra en la figura E.1.1., existen dos tecnologías básicas para fabricar memorias ROM: Bipolar y MOS<sup>1</sup>. La principal diferencia entre ambas

---

<sup>1</sup>MOS (Metal Oxide Semiconductor): Estructura de un tipo de transistor de efecto de campo (Ref. 21).

es el tiempo de acceso, siendo en el caso de las bipolares de 50 - 90 nanosegundos y en el de las de tecnología "MOS" de 150 - 500 nanosegundos.

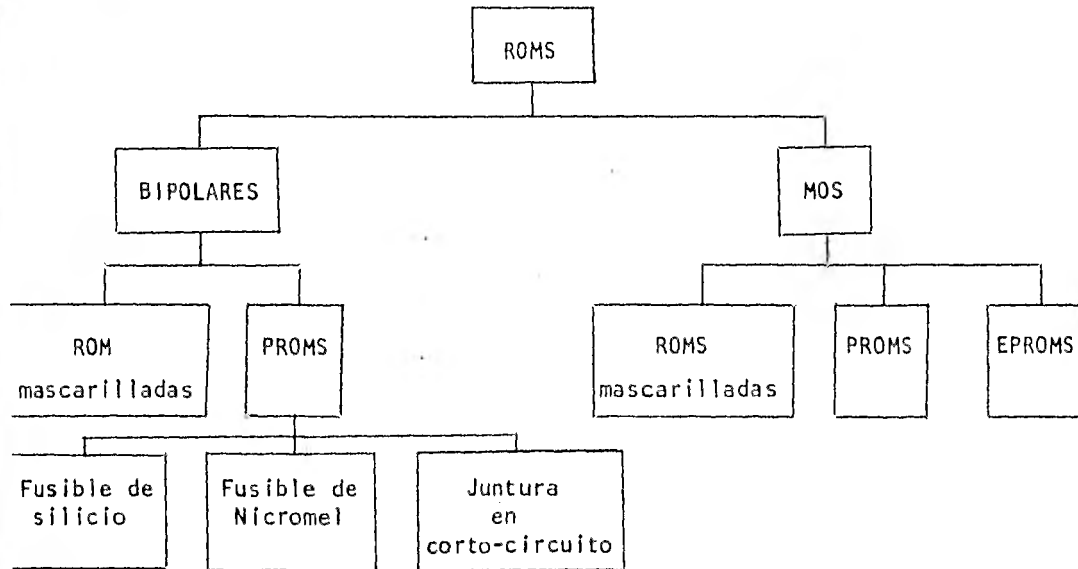


FIGURA E.1.1

#### CLASIFICACION DE LAS MEMORIAS ROM

La figura anterior muestra también que hay memorias PROM y ROM mascarilladas, fabricadas con ambas tecnologías; sin embargo, sólo hay memorias EPROM fabricadas con tecnología "MOS".

## E.2 TECNOLOGIA "FAMOS"

La celda de memoria en un dispositivo fabricado con tecnología "MOS", es un transistor de efecto de campo (FET), cuya compuerta de control (gate) se aísla mediante una capa de dióxido de silicio ( $\text{SiO}_2$ ), tal como se muestra en la figura E.2.1.

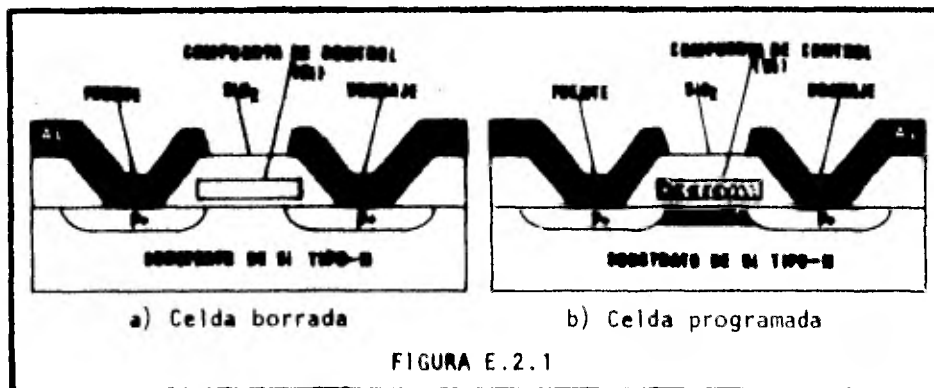


FIGURA E.2.1

Intel Co. introdujo este elemento de memoria en 1971 y lo llamó celda "FAMOS". Su funcionamiento puede explicarse de la siguiente forma:

Cuando la celda no está programada o ha sido borrada, no hay carga acumulada en la compuerta de control, y en consecuencia, la resistividad eléctrica ( $R_{SD}$ ) entre las terminales fuente (Source) y drenaje (drain) es extremadamente alta. Después de que la celda ha sido programada, hay una carga ( $Q$ ) en la compuerta de control que induce la formación de un canal-P entre fuente y drenaje; consecuentemente,  $R_{SD}$  disminuye en relación inversamente proporcional al valor de  $Q$ .

Para programar una celda, es necesario aplicar una tensión de aproximadamente -30 Voltios entre fuente y drenaje, durante un lapso breve. Esta tensión hace que el efecto de rompimiento no destructivo (Avalanche breakdown) se presente en la unión polarizada inversamente, entre el drenaje y el material del sustrato. Ocurre

arrastre de electrones a través de la unión bajo ruptura no destructiva, y aquellos que reciben suficiente energía, penetran por el aislador de silicio ( $\text{SiO}_2$ ) y se acumulan en la compuerta de control.

La cantidad de carga transferida a la compuerta de control es función de la amplitud y duración de la tensión aplicada a la unión, tal como se muestra en la figura E.2.2. La presencia o ausencia de carga se puede determinar, cuantificando el grado de conductividad entre la fuente y el drenaje.

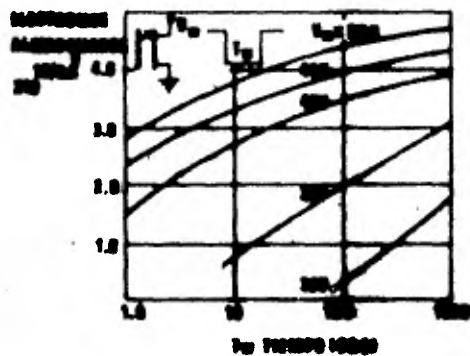


FIGURA E.2.2

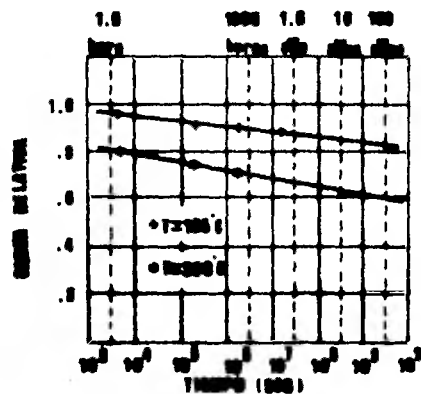


FIGURA E.2.3

La carga acumulada disminuye en función del tiempo, entre las temperaturas de  $125^\circ\text{C}$  a  $300^\circ\text{C}$ , tal como se muestra en la figura E.2.3. La extrapolación de los resultados de la disminución de carga a  $300^\circ\text{C}$ , indica que el 70 por ciento de la carga inducida originalmente, puede ser retenida, a  $125^\circ\text{C}$ , por un período de diez años.

Debido a que la compuerta de control no tiene conexión eléctrica disponible, la carga acumulada no puede removerse por medio de un pulso eléctrico. Sin embargo, la condición inicial (compuerta de control sin carga) puede lograrse iluminando la celda con luz ultravioleta. Lo anterior produce un flujo de foto-corriente de la compuerta de control al sustrato de silicio.

### E.3 TECNICAS DE PROGRAMACION

Una técnica de programación es la secuencia de pasos que un equipo programador deberá ejecutar, para condicionar el estado de las celdas de una memoria EPROM; dicha secuencia está determinada por las características físicas del tipo de EPROM que se va a programar.

Las memorias EPROM que utilizan tres fuentes de alimentación se programan utilizando la técnica denominada ciclos (looping). Esta técnica consiste en aplicar pulsos de programación en forma secuencial a cada una de las localidades del EPROM, requiriéndose varios ciclos a través de todo el dispositivo. No se permite la programación de localidades aisladas o de pequeños grupos de ellas (sección E.4).

Las memorias EPROM que utilizan una fuente de alimentación se programan aplicando a las localidades requeridas, un pulso de programación de 50 m seg. de duración. Este procedimiento puede realizarse en forma individual o secuencial (sección E.5.).

Una vez que una memoria EPROM ha sido programada, tienen lugar los siguientes fenómenos: neutralización de carga, corrientes de fuga y en general efectos térmicos que tienden a reducir la conductividad de las celdas programadas. Por tanto, cuando las celdas no tienen suficiente carga pueden regresar al estado no-programado. Se dice que un procedimiento de programación es confiable cuando todas las celdas se cargan hasta un nivel seguro.

E.4 ESPECIFICACIONES DE LAS EPROM QUE UTILIZAN TRES FUENTES DE ALIMENTACION.



## 2708/8708\* 8K AND 4K UV ERASABLE PROM

	Max. Power	Max. Access	Organization
2708	800 mW	450 ns	1K x 8
2708L	425 mW	450 ns	1K x 8
2708-1	800 mW	350 ns	1K x 8
2704	800 mW	450 ns	512 x 8

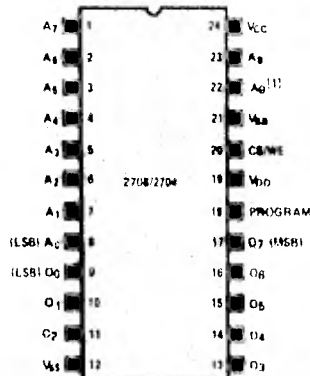
- Low Power Dissipation — 425 mW Max. (2708L)
- Fast Access Time — 350 ns Max. (2708-1)
- Static — No Clocks Required
- Data Inputs and Outputs TTL Compatible during both Read and Program Modes
- Three-State Outputs — OR-Tie Capability

The Intel® 2708 is a 8192-bit ultraviolet light erasable and electrically reprogrammable EPROM, ideally suited where fast turnaround and pattern experimentation are important requirements. All data inputs and outputs are TTL compatible during both the read and program modes. The outputs are three-state, allowing direct interface with common system bus structures.

The 2708L at 425 mW is available for systems requiring lower power dissipation than from the 2708. A power dissipation savings of over 50%, without any sacrifice in speed, is obtained with the 2708L. The 2708L has high input noise immunity and is specified at 10% power supply tolerance. A high-speed 2708-1 is also available at 350 ns for microprocessors requiring fast access times. For smaller size systems there is the 4096-bit 2704 which is organized as 512 words by 8 bits. All these devices have the same programming and erasing specifications of the 2708. The 2704 electrical specifications are the same as the 2708.

The 2708 family is fabricated with the N-channel silicon gate FAMOS technology and is available in a 24-pin dual in-line package.

### PIN CONFIGURATION

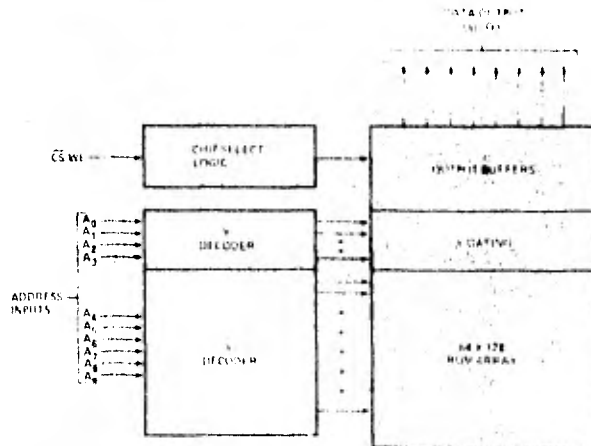


NOTE 1: PIN 22 MUST BE CONNECTED TO VSS FOR THE 2704

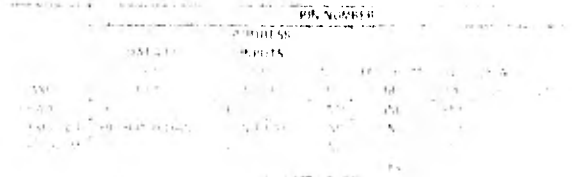
### PIN NAMES

- A<sub>0</sub>-A<sub>9</sub> ADDRESS INPUTS
- O<sub>0</sub>-O<sub>7</sub> DATA OUTPUTS (INPUTS)
- CS/WE CHIP SELECT/WRITE ENABLE INPUT

### BLOCK DIAGRAM



### PIN CONNECTION DURING READ OR PROGRAM



\*All 8708 specifications are identical to the 2708 specifications



## 2708 FAMILY

### PROGRAMMING

The programming specifications are described in the Data Catalog PROMiROM Programming Instructions Section

#### Absolute Maximum Ratings\*

Temperature Under Bias	-25°C to +85°C	*COMMENT
Storage Temperature	-65°C to +125°C	Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.
V <sub>DD</sub> With Respect to V <sub>BB</sub>	+20V to -0.3V	
V <sub>CC</sub> and V <sub>SS</sub> With Respect to V <sub>BB</sub>	+15V to -0.3V	
All Input or Output Voltages With Respect to V <sub>BB</sub> During Read	+15V to -0.3V	
CS/WE Input With Respect to V <sub>BB</sub> During Programming	+20V to -0.3V	
Program Input With Respect to V <sub>BB</sub>	+35V to -0.3V	
Power Dissipation	1.5W	

2708-1-10

#### DC and AC Operating Conditions During Read

	2708	2708-1	2708L
Temperature Range	0°C - 70°C	0°C - 70°C	0°C - 70°C
V <sub>CC</sub> Power Supply	5V ± 5%	5V ± 5%	5V ± 10%
V <sub>DD</sub> Power Supply	12V ± 5%	12V ± 5%	12V ± 10%
V <sub>BB</sub> Power Supply	-5V ± 5%	-5V ± 5%	-5V ± 10%

### READ OPERATION

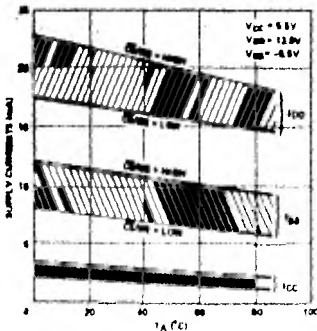
#### D.C. and Operating Characteristics

Symbol	Parameter	2708, 2708-1 Limits			2708L Limits			Units	Test Conditions
		Min.	Typ. [2]	Max.	Min.	Typ. [2]	Max.		
I <sub>LI</sub>	Address and Chip Select Input Sink Current	1		10	1		10	μA	V <sub>IN</sub> = 5.25V or V <sub>IN</sub> = V <sub>IL</sub>
I <sub>LO</sub>	Output Leakage Current	1		10	1		10	μA	V <sub>OUT</sub> = 5.5V, CS/WE = 5V
I <sub>DD</sub> (3)	V <sub>DD</sub> Supply Current	50		65	21		28	mA	Worst Case Supply Currents <sup>(4)</sup>
I <sub>CC</sub> (3)	V <sub>CC</sub> Supply Current	6		10	2		4	mA	All Inputs High
I <sub>BB</sub> (3)	V <sub>BB</sub> Supply Current	30		45	10		14	mA	CS/WE = 5V; T <sub>A</sub> = 0°C
V <sub>IL</sub>	Input Low Voltage	V <sub>SS</sub>		0.65 V <sub>SS</sub>	V <sub>SS</sub>		0.65 V <sub>SS</sub>	V	
V <sub>IH</sub>	Input High Voltage	3.0		V <sub>CC</sub> +1	2.2		V <sub>CC</sub> +1	V	
V <sub>OL</sub>	Output Low Voltage			0.45			0.4	V	I <sub>OL</sub> = 1.6mA (2708, 2708-1) I <sub>OL</sub> = 2mA (2708L)
V <sub>OH1</sub>	Output High Voltage	3.7			3.1			V	I <sub>OH</sub> = -100 μA
V <sub>OH2</sub>	Output High Voltage	2.4			2.4			V	I <sub>OH</sub> = -1 mA
PD	Power Dissipation			800			325	mW	T <sub>A</sub> = 70°C
							475	mW	T <sub>A</sub> = 0°C

- NOTES:**
- V<sub>BB</sub> must be applied prior to V<sub>CC</sub> and V<sub>DD</sub>. V<sub>BB</sub> must also be the last power supply switched off.
  - Typical values are for T<sub>A</sub> = 25°C and nominal supply voltages.
  - The total power dissipation is not calculated by summing the various currents (I<sub>DD</sub>, I<sub>CC</sub>, and I<sub>BB</sub>) multiplied by their respective voltages since current paths exist between the various power supplies and V<sub>SS</sub>. The I<sub>DD</sub>, I<sub>CC</sub>, and I<sub>BB</sub> currents should be used to determine power supply capacity only.
  - I<sub>BB</sub> for the 2708L is specified in the programmed state and is 18 mA maximum in the unprogrammed state.

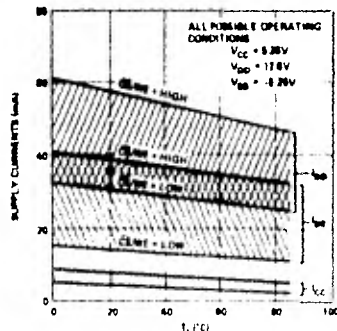
#### 2708L

##### RANGE OF SUPPLY CURRENTS VS. TEMPERATURE

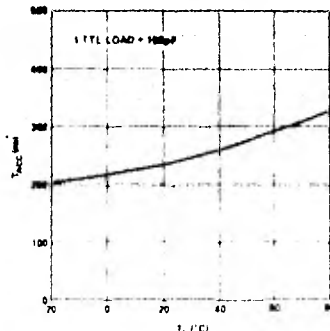


#### 2708 AND 2708-1

##### RANGE OF SUPPLY CURRENTS VS. TEMPERATURE



##### ACCESS TIME VS. TEMPERATURE



## 2708 FAMILY

### A. C. Characteristics

Symbol	Parameter	2708-1 Limits			2708, 2708L, Limits			Units
		Min.	Typ.	Max.	Min.	Typ.	Max.	
$t_{ACC}$	Address to Output Delay		280	350		280	450	ns
$t_{CO}$	Chip Select to Output Delay		60	120		60	120	ns
$t_{DF}$	Chip Oselect to Output Float	0		120	0		120	ns
$t_{OH}$	Address to Output Hold	0			0			ns

CAPACITANCE<sup>(1)</sup>  $T_A = 25^\circ\text{C}$ ,  $f = 1\text{ MHz}$

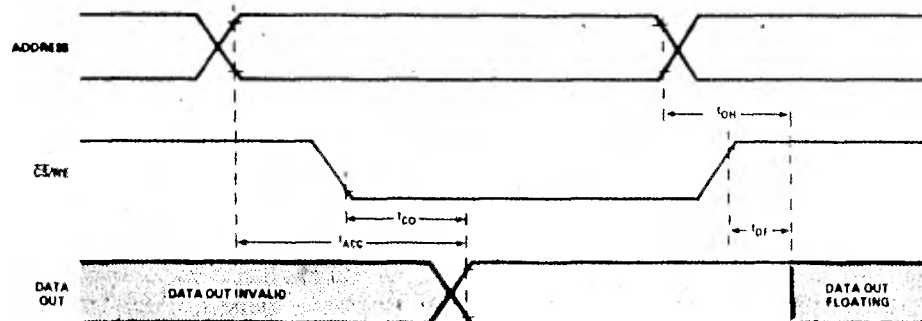
Symbol	Parameter	Typ.	Max.	Unit.	Conditions
$C_{IN}$	Input Capacitance	4	8	pF	$V_{IN} = 0V$
$C_{OUT}$	Output Capacitance	8	12	pF	$V_{OUT} = 0V$

Note: 1. This parameter is periodically sampled and is not 100% tested.

#### A.C. TEST CONDITIONS:

Output Load: 1 TTL gate and  $C_L = 100\text{ pF}$   
 Input Rise and Fall Times:  $\leq 20\text{ ns}$   
 Timing Measurement Reference Levels: 0.8V and 2.8V for inputs; 0.8V and 2.4V for outputs.  
 Input Pulse Levels: 0.65V to 3.0V

### Waveforms



### ERASURE CHARACTERISTICS

The erasure characteristics of the 2708 family are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical device in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2708 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels are available

form Intel which should be placed over the 2708 window to prevent unintentional erasure.

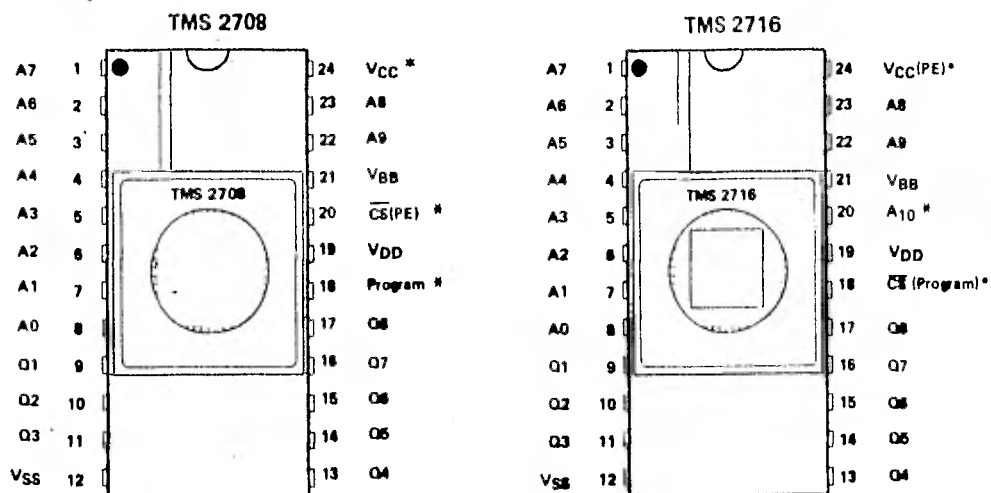
The recommended erasure procedure (see Data Catalog PROM/ROM Programming Instructions Section) for the 2708 family is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm<sup>2</sup>. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000  $\mu\text{W}/\text{cm}^2$  power rating. The device should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure.

## TMS 2716 JL, JDL 2048-WORD BY 8-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

### APPLICATIONS INFORMATION

#### Ease of Conversion From TMS 2708 To TMS 2716

- A. The TMS 2716 and TMS 2708 have compatible timing, voltage and current parameters in both modes.
- B. The TMS 2716 requires less power than the TMS 2708.
- C. The pinouts are compatible. (See below.)



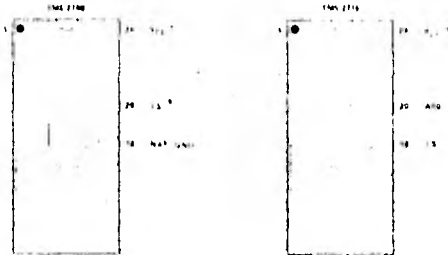
As can be seen from the above diagrams, only three pins\* are modified in going from TMS 2708 to TMS 2716:

1. The additional address pin required for the 16K EPROM is located on pin 20 which displaces the  $\overline{CS}/PE$  functions on the TMS 2708.
2. Since the VCC is not required during programming, the PE function shares pin 24 with VCC on the TMS 2716.
3. The  $\overline{CS}$  function and program function are mutually exclusive during normal read mode (and are self-actuated complementary during the program/verify mode) and share pin 18 on the TMS 2716.

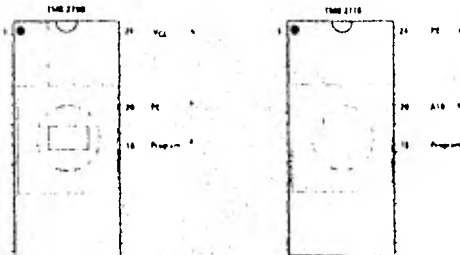
The diagrams below show how these three pins are actually utilized in the read mode and in the program mode. Only pins 18, 20, and 24 need to be shown, as all other pin connections are identical.

# TMS 2716 JL, JDL 2048-WORD BY 8-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

## Read Mode



## Program (Write) Mode



### TMS 2716 — Easy Programmability On Existing 2708 Programmers

#### Existing EPROM Programmers — Upgrading To The TMS 2716

Most of the EPROM manufacturers have implemented field upgrade modifications to allow TMS 2716 programming on current EPROM programmers. This is greatly simplified because the TMS 2716 and the TMS 2708 are programmed in an identical manner. A slight modification to the socket card, an additional 1K x 8 of RAM, and an extra address signal (A10) are all that is required. All timing and voltage parameters are identical, so the upgrade is easily accomplished. Programmer manufacturers contacted to date on the TMS 2716 include: Data I/O, PRO LOG, Texas Instruments, Technico, CramerKit, Sheperdon Micro Systems, Cromenco, MicroPro, Ramtek, Oliver Audio, Inc., etc. Ultraviolet Erasure lights and fixtures are available from Ultraviolet Products, Turner Designs, and others.

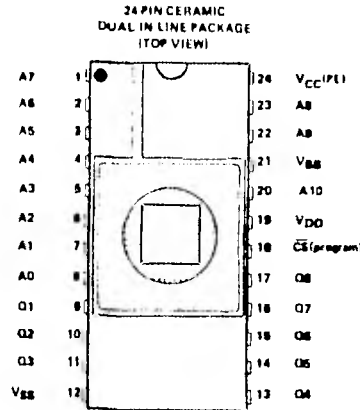
NOTE: Information on EPROM programmers and erasers are provided only for user convenience and do not indicate any preference by TI.

MOS  
LSI

TMS 2716 JL, JDL  
2048-WORD BY 8-BIT ERASABLE  
PROGRAMMABLE READ-ONLY MEMORY

NOVEMBER 1978

- 2048 × 8 Organization
- All Inputs and Outputs Fully TTL-Compatible
- Static Operation (No Clocks, No Refresh)
- Maximum Access Time . . . 450 ns
- Minimum Cycle Time . . . 450 ns
- 3-State Outputs for OR-Ties
- N-Channel Silicon-Gate Technology
- 8-Bit Output for Use in Microprocessor-Based Systems
- Low Power . . . 315 mW (Typical)



**description**

The TMS 2716 JL, JDL is an ultra-violet light-erasable, electrically programmable read only memory. It has 16,384 bits organized as 2048 words of 8-bit length. The device is fabricated using N-channel silicon-gate technology for high speed and simple interface with MOS and bipolar circuits. All inputs (including program data inputs) can be driven by Series 74 circuits without the use of external pull-up resistors and each output can drive one Series 74 or 74LS TTL circuit without external resistors. The TMS 2716 guarantees 250 mV dc noise immunity in the low state. Data outputs are three-state for OR-tying multiple devices on a common bus. The TMS 2716 is plug-in compatible with the TMS 2708 and the TMS 27L08. Pin compatible mask programmed ROMs are available for large volume requirements.

This EPROM is designed for high-density fixed-memory applications where fast turn arounds and/or program changes are required. It is supplied in 24-pin dual-in-line cerdip (JL suffix) and sidebrazed (JDL suffix) packages designed for insertion in mounting-hole rows on 600-mil (15.2 mm) centers. It is designed for operation from 0°C to 70°C.

**operation (read mode)**

**address (A0-A10)**

The address-valid interval determines the device cycle time. The 11-bit positive-logic address is decoded on-chip to select one of 2048 words of 8-bit length in the memory array. A0 is the least-significant bit and A10 most-significant bit of the word address.

**chip select, program ( $\overline{CS}$  (Program))**

When the chip select is low, all eight outputs are enabled and the eight-bit addressed word can be read. When the chip select is high, all eight outputs are in a high-impedance state.

**program**

In the program mode, the chip select feature does not function as pin 18 inputs only the program pulse. The program mode is selected by the V<sub>CC</sub>(PE) pin. Either 0V or +12V on this pin will cause the TMS 2716 to assume program cycle.

**data out (O1-O8)**

The chip must be selected before the eight-bit output word can be read. Data will remain valid until the address is changed or the chip is deselected. When deselected, the three-state outputs are in a high-impedance state. The outputs will drive TTL circuits without external components.

132 PRELIMINARY DATA SHEET:  
Supplementary data will be  
published at a later date.

TEXAS INSTRUMENTS  
INCORPORATED

POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

## TMS 2716 JL, JDL 2048-WORD BY 8-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

### operation (program mode)

#### erase

Before programming, the TMS 2716 is erased by exposing the chip through the transparent lid to high intensity ultraviolet light (wavelength 2537 angstroms). The recommended minimum exposure dose ( $= \text{UV intensity} \times \text{exposure time}$ ) is fifteen watt-seconds per square centimeter. Thus, a typical 12 milliwatt per square centimeter, filterless UV lamp will erase the device in a minimum of 21 minutes. The lamp should be located about 2.5 centimeters above the chip during erasure. After erasure, all bits are in the "1" state.

#### programming

Programming consists of successively depositing a small amount of charge to a selected memory cell that is to be changed from the erased high state to the low state. A low can be changed to a high only by erasure. Programming is normally accomplished on a PROM or EPROM Programmer, an example of which is TI's Universal PROM Programming Module in conjunction with the 990 prototyping system. Programming must be done at room temperature (25°C) only.

#### to start programming (see program cycle timing diagram)

First bring the V<sub>CC</sub>(PE) pin to +12 V or 0 V to disable the outputs and convert them to inputs. This pin is held high for the duration of the programming sequence. The first word to be programmed is addressed (it is customary to begin with the "0" address) and the data to be stored is placed on the Q1-Q8 program inputs. Then a +26V program pulse is applied to the program pin. After 0.1 to 1.0 milliseconds the program pin is brought back to 0 V. After at least one microsecond the word address is sequentially changed to the next location, the new data is set up and the program pulse is applied.

Programming continues in this manner until all words have been programmed. This constitutes one of N program loops. The entire sequence is then repeated N times with  $N \times t_{w(PR)} \cdot 100 \text{ ms}$ . Thus, if  $t_{w(PR)} = 1 \text{ ms}$ ; then  $N = 100$ , the minimum number of program loops required to program the EPROM.

#### to stop programming

After cycling through the N program loops, the last program pulse is brought to 0 V, then Program Enable V<sub>CC</sub>(PE) is brought back to  $\pm 5$  volts which takes the device out of the program mode. The data supplied by the programmer must be removed before the address is changed since the program inputs are now data outputs and a change of address could cause a voltage conflict on the output buffer. Q1-Q8 outputs are invalid up to 10 microseconds after the program enable pin is brought from V<sub>IH</sub>(PE) to V<sub>IL</sub>(PE).

### absolute maximum ratings over operating free-air temperature range (unless otherwise noted)\*

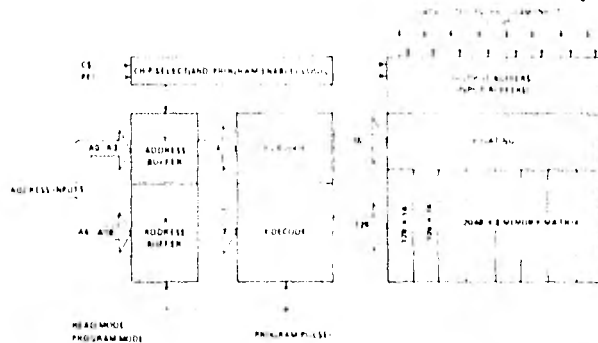
Supply voltage, V <sub>CC</sub> (see Note 1)	-0.3 to 15 V
Supply voltage, V <sub>DD</sub> (see Note 1)	-0.3 to 20 V
Supply voltage, V <sub>SS</sub> (see Note 1)	-0.3 to 15 V
All input voltage (except program) (see Note 1)	-0.3 to 20 V
Program Input (see Note 1)	-0.3 to 35 V
Output voltage (operating, with respect to V <sub>SS</sub> )	-2 to 7 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	-55°C to 125°C

NOTE 1: Under absolute maximum ratings, voltage values are with respect to the most negative supply voltage (V<sub>BB</sub> substrate), unless otherwise noted. Throughout the remainder of this data sheet, voltage values are with respect to V<sub>SS</sub>.

\*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the Recommended Operating Conditions section of this specification is not implied. Exposure to absolute maximum rated conditions for extended periods may affect device reliability.

# TMS 2716 JL, JDL 2048-WORD BY 8-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

functional block diagram



## recommended operating conditions

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, $V_{BB}$	-4.75	5	5.25	V
Supply voltage, $V_{CC}$	4.75	5	5.25	V
Supply voltage, $V_{DD}$	11.4	12	12.6	V
Supply voltage, $V_{SS}$	0			V
High-level input voltage, $V_{IH}$ (except program and program enable)	2.4		$V_{CC} \cdot 1$	V
High-level program enable input voltage, $V_{IH}(PE)$	11.4	12	12.6	V
High-level program input voltage, $V_{IH}(PR)$	25	26	27	V
Low-level input voltage, $V_{IL}$ (except program)	$V_{SS}$		0.65	V
Low-level program input voltage, $V_{IL}(PR)$	$V_{SS}$		1	V
Note: $V_{IL}(PR) \text{ max} \cdot V_{IH}(PR) = 25 \text{ V}$				
High-level program pulse input current (sink), $I_{IH}(PR)$			40	mA
Low-level program pulse input current (source), $I_{IL}(PR)$			3	mA
Operating free-air temperature, $T_A$	0		70	C

## electrical characteristics over full ranges of recommended operating conditions (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNITS
$V_{OH}$ High-level output voltage	$I_{OH} = -100 \mu\text{A}$	3.7			V
	$I_{OH} = -1 \text{ mA}$	2.4			
$V_{OL}$ Low-level output voltage	$I_{OL} = 1.6 \text{ mA}$		0.45		V
$I_I$ Input current (leakage)	$V_I = 0 \text{ V to } 5.25 \text{ V}$		1	10	$\mu\text{A}$
$I_O$ Output current (leakage)	$\overline{CS}$ (Program) 5 V		1	10	$\mu\text{A}$
$I_{BB}$ Supply current from $V_{BB}$	All inputs high		10	20	mA
$I_{CC}$ Supply current from $V_{CC}$	$\overline{CS}$ (Program) 5 V		1	8	mA
$I_{DD}$ Supply current from $V_{DD}$	For $I_{DD} \text{ MAX}$ , $T_A = 0 \text{ C}$ (worst case)		26	45	mA
$I_{PE}$ Supply current from PE on $V_{CC}$ Pin	$V_{PE} = V_{DD}$		2	4	mA
$P_{D(AV)}$ Power Dissipation	$T_A = 70 \text{ C}$			540	mW
	$T_A = 0 \text{ C}$ $CS = 0 \text{ V}$		315	595	
	$T_A = 0 \text{ C}$ $CS = 5 \text{ V}$		375	720	

†All typical values are at  $T_A = 25 \text{ C}$  and nominal voltages.

**TMS 2716 JL, JDL**  
**2048-WORD BY 8-BIT ERASABLE**  
**PROGRAMMABLE READ-ONLY MEMORY**

capacitance over recommended supply voltage range and operating free-air temperature range,  
 $f = 1 \text{ MHz}$

PARAMETER	TYP†	MAX	UNIT
$C_i$ Input capacitance (except CS (Program))	4	6	pF
$C_i(\text{CS})$ CS (Program) input capacitance	20	30	pF
$C_o$ Output capacitance	8	12	pF

†All typical values are at  $T_A = 25^\circ\text{C}$  and nominal voltages.

switching characteristics over recommended supply voltage range and operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$t_{a(\text{ad})}$ Access time from address	$C_L = 100 \text{ pF}$ 1 Series 74 TTL Load $t_f(\text{CS}), t_f(\text{ad}) = 20 \text{ ns}$		450	ns
$t_{a(\text{CS})}$ Access time from CS			120	ns
$t_{\text{PVX}}$ Output invalid from address change		0		ns
$t_{\text{PXZ}}$ Output disable time		0	120	ns
$t_{c(\text{rd})}$ Read Cycle time		450		ns

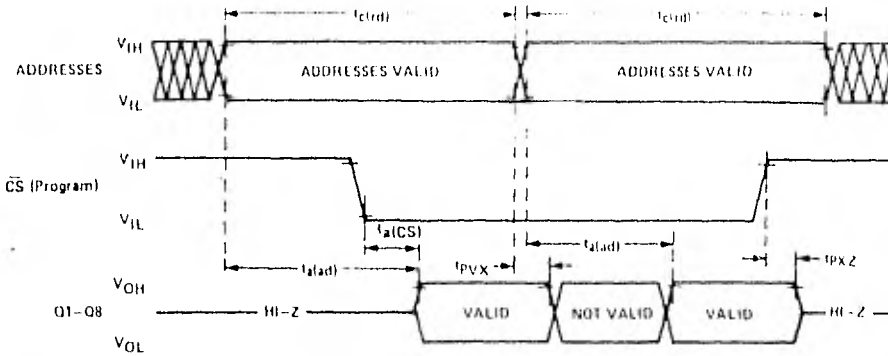
$T_A = 25^\circ\text{C}$  program characteristics over recommended supply voltage range

PARAMETER	MIN	MAX	UNIT
$t_w(\text{PR})$ Pulse width, program pulse	0.1	1	ms
$t_T$ Transition times (except program pulse)		20	ns
$t_T(\text{PR})$ Transition times, program pulse	50	2000	ns
$t_{su(\text{ad})}$ Address setup time	10		$\mu\text{s}$
$t_{su(\text{da})}$ Data setup time	10		$\mu\text{s}$
$t_{su}(\text{PE})$ Program enable setup time	10		$\mu\text{s}$
$t_h(\text{ad})$ Address hold time	1000		ns
$t_h(\text{ad, da R})$ Address hold time after program input data stopped	0		ns
$t_h(\text{da})$ Data hold time	1000		ns
$t_h(\text{PE})$ Program enable hold time	500		ns
$t_{\text{CL, adX}}$ Delay time, CS (Program) low to address change	0		ns

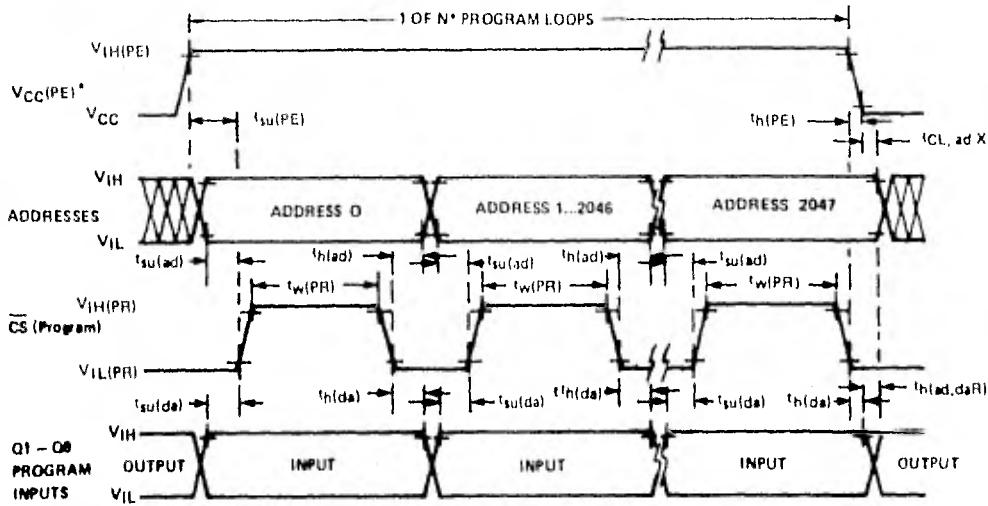


# TMS 2716 JL, JDL 2048-WORD BY 8-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

## read cycle timing



## program cycle timing



\* $V_{CC}(PE)$  is at 0 V or +12 V through N program loops where  $N \geq 100 \text{ ms}/t_w(PR)$ .

NOTE: Q1-Q8 outputs are invalid up to 10  $\mu\text{s}$  after programming ( $V_{CC}(PE)$  goes low).

All timing reference points in this data sheet (inputs and outputs) are 90% points

E.5 ESPECIFICACIONES DE LAS EPROM QUE UTILIZAN UNA FUENTE DE ALIMENTACION.



## 2758 8K (1K × 8) UV ERASABLE LOW POWER PROM

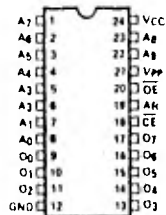
- Single +5V Power Supply
- Simple Programming Requirements  
Single Location Programming  
Programs with One 50 ms Pulse
- Low Power Dissipation  
525 mW Max. Active Power  
132 mW Max. Standby Power
- Fast Access Time: 450 ns Max. in  
Active and Standby Power Modes
- Inputs and Outputs TTL Compatible  
during Read and Program
- Completely Static
- Three-State Outputs for OR-Ties

The Intel® 2758 is a 8192-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2758 operates from a single 5-volt power supply, has a static standby mode, and features fast single address location programming. It makes designing with EPROMs faster, easier and more economical. The total programming time for all 8192 bits is 50 seconds.

The 2758 has a static standby mode which reduces the power dissipation without increasing access time. The maximum active power dissipation is 525 mW, while the maximum standby power dissipation is only 132 mW, a 75% savings. Power-down is achieved by applying a TTL-high signal to the  $\overline{CE}$  input.

A 2758 system may be designed for total upwards compatibility with Intel's 16K 2716 EPROM (see Applications Note 30). The 2758 maintains the simplest and fastest method yet devised for programming EPROMs — single pulse TTL-level programming. There is no need for high voltage pulsing because all programming controls are handled by TTL signals. Program any location at any time — either individually, sequentially, or at random, with the single address location programming.

### PIN CONFIGURATION



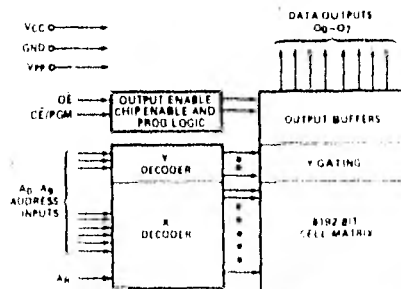
### PIN NAMES

$A_0-A_9$	ADDRESSES
$\overline{CE}/PGM$	CHIP ENABLE/PROGRAM
$\overline{OE}$	OUTPUT ENABLE
$O_0-O_7$	OUTPUTS
$A_R$	SELECT REFERENCE INPUT LEVEL

### MODE SELECTION

MODE	PINS					
	$\overline{CE}/PGM$ (18)	$A_R$ (19)	$\overline{OE}$ (20)	$V_{PP}$ (21)	$V_{CC}$ (24)	OUTPUTS (9-11, 13-17)
Read	$V_{IL}$	$V_{IL}$	$V_{IL}$	+5	+5	$O_{OUT}$
Standby	$V_{IH}$	$V_L$	Don't Care	+5	+5	High Z
Program	Pulsed $V_{IL}$ to $V_{IH}$	$V_{IL}$	$V_{IH}$	+25	+5	$D_{IH}$
Program Verify	$V_{IL}$	$V_{IL}$	$V_{IL}$	+25	+5	$D_{OUT}$
Program Inhibit	$V_{IL}$	$V_{IL}$	$V_{IH}$	+25	+5	High Z

### BLOCK DIAGRAM



**PROGRAMMING**

The programming specifications are described in the Data Catalog PROM/ROM Programming Instructions section  
**Absolute Maximum Ratings\***

Temperature Under Bias . . . . . -10°C to +80°C  
 Storage Temperature . . . . . -65°C to +125°C  
 All Input or Output Voltages with Respect to Ground . . . . . +6V to -0.3V  
 V<sub>pp</sub> Supply Voltage with Respect to Ground During Programming . . . . +26.5V to -0.3V

*\*COMMENT.* Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**READ OPERATION**

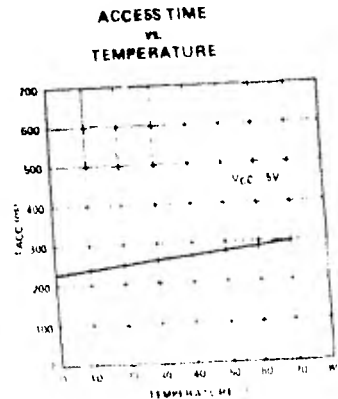
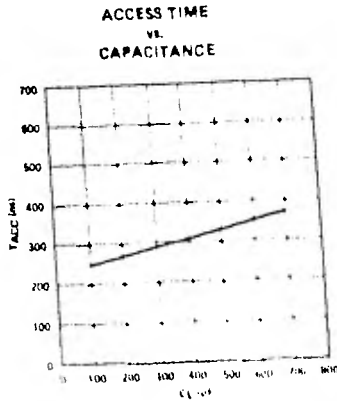
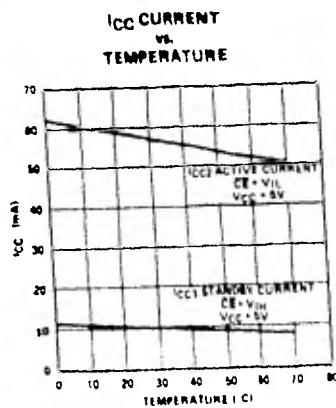
**D.C. and Operating Characteristics**

T<sub>A</sub> = 0°C to 70°C, V<sub>CC</sub><sup>[1,2]</sup> = +5V ±5%, V<sub>pp</sub><sup>[2]</sup> = V<sub>CC</sub>

Symbol	Parameter	Limits			Unit	Conditions
		Min.	Typ. <sup>[3]</sup>	Max.		
I <sub>LI</sub>	Input Load Current			10	μA	V <sub>IN</sub> = 5.25V
I <sub>LO</sub>	Output Leakage Current			10	μA	V <sub>OUT</sub> = 5.25V
I <sub>pp1</sub> <sup>[2]</sup>	V <sub>pp</sub> Current			5	mA	V <sub>pp</sub> = 5.25V
I <sub>CC1</sub> <sup>[2]</sup>	V <sub>CC</sub> Current (Standby)		10	25	mA	CE = V <sub>IH</sub> , OE = V <sub>IL</sub>
I <sub>CC2</sub> <sup>[2]</sup>	V <sub>CC</sub> Current (Active)		57	100	mA	OE = CE = V <sub>IL</sub>
A <sub>ref</sub> <sup>[4]</sup>	Select Reference Input Level	-0.1		0.8	V	I <sub>IN</sub> = 10 μA
V <sub>IL</sub>	Input Low Voltage	-0.1		0.8	V	
V <sub>IH</sub>	Input High Voltage	2.0		V <sub>CC</sub> + 1	V	
V <sub>OL</sub>	Output Low Voltage			0.4E	V	I <sub>OH</sub> = -400 μA
V <sub>OH</sub>	Output High Voltage	2.4			V	

- NOTES: 1. V<sub>CC</sub> must be applied simultaneously or before V<sub>pp</sub> and removed simultaneously or after V<sub>pp</sub>  
 2. V<sub>pp</sub> may be connected directly to V<sub>CC</sub> except during programming. The supply current would then be the sum of I<sub>CC</sub> and I<sub>pp1</sub>  
 3. Typical values are for T<sub>A</sub> = 25°C and nominal supply voltages  
 4. A<sub>ref</sub> is a reference voltage level which requires an input current of only 10 μA. The 2758 S1865 is also available which has a reference voltage level of V<sub>IH</sub> instead of V<sub>IL</sub>.

**Typical Characteristics**



**PROGRAMMING**

The programming specifications are described in the Data Catalog PROM/ROM Programming Instructions section

**Absolute Maximum Ratings\***

Temperature Under Bias	-10°C to +80°C
Storage Temperature	-65°C to +125°C
All Input or Output Voltages with Respect to Ground	+6V to -0.3V
V <sub>pp</sub> Supply Voltage with Respect to Ground During Programming	+26.5V to -0.3V

\*COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**READ OPERATION**

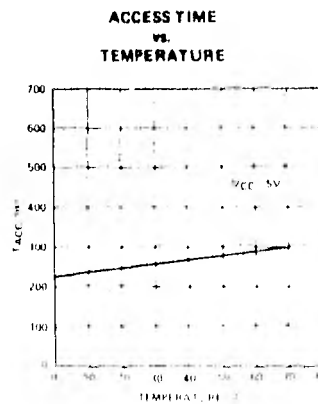
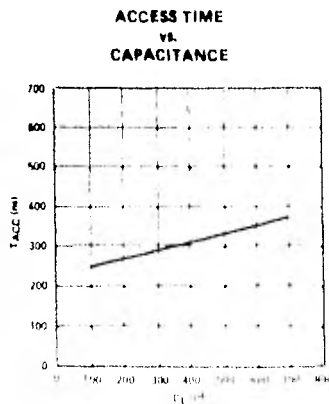
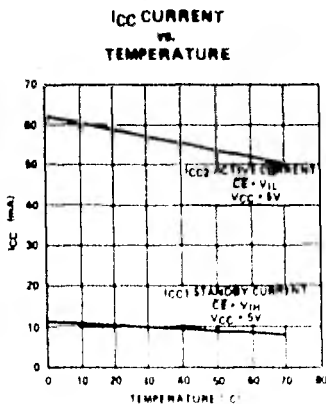
**D.C. and Operating Characteristics**

T<sub>A</sub> = 0°C to 70°C, V<sub>CC</sub><sup>[1,2]</sup> = +5V ±5%, V<sub>pp</sub><sup>[2]</sup> = V<sub>CC</sub>

Symbol	Parameter	Limits			Unit	Conditions
		Min.	Typ. <sup>[3]</sup>	Max.		
I <sub>LI</sub>	Input Load Current			10	μA	V <sub>IN</sub> = 5.25V
I <sub>LO</sub>	Output Leakage Current			10	μA	V <sub>OUT</sub> = 5.25V
I <sub>pp1</sub> <sup>[2]</sup>	V <sub>pp</sub> Current			5	mA	V <sub>pp</sub> = 5.25V
I <sub>CC1</sub> <sup>[2]</sup>	V <sub>CC</sub> Current (Standby)		10	25	mA	C <sub>E</sub> = V <sub>IH</sub> , O <sub>E</sub> = V <sub>IL</sub>
I <sub>CC2</sub> <sup>[2]</sup>	V <sub>CC</sub> Current (Active)		57	100	mA	O <sub>E</sub> = C <sub>E</sub> = V <sub>IL</sub>
A <sub>R</sub> <sup>[4]</sup>	Select Reference Input Level	-0.1		0.8	V	I <sub>IN</sub> = 10 μA
V <sub>IL</sub>	Input Low Voltage	-0.1		0.8	V	
V <sub>IH</sub>	Input High Voltage	2.0		V <sub>CC</sub> + 1	V	
V <sub>OL</sub>	Output Low Voltage			0.45	V	I <sub>OL</sub> = 2.1 mA
V <sub>OH</sub>	Output High Voltage	2.4			V	I <sub>OH</sub> = -400 μA

- NOTES: 1. V<sub>CC</sub> must be applied simultaneously or before V<sub>pp</sub> and removed simultaneously or after V<sub>pp</sub>  
 2. V<sub>pp</sub> may be connected directly to V<sub>CC</sub> except during programming. The supply current would then be the sum of I<sub>CC</sub> and I<sub>pp1</sub>  
 3. Typical values are for T<sub>A</sub> = 25°C and nominal supply voltages.  
 4. A<sub>R</sub> is a reference voltage level which requires an input current of only 10 μA. The 2758 S1865 is also available which has a reference voltage level of V<sub>IH</sub> instead of V<sub>IL</sub>.

**Typical Characteristics**



## 2758

### A.C. Characteristics

$T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC}^{(1)} = +5\text{V} \pm 5\%$ ,  $V_{pp}^{(2)} = V_{CC}$

Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ. <sup>(3)</sup>	Max.		
$t_{ACC}$	Address to Output Delay		250	450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
$t_{CE}$	$\overline{CE}$ to Output Delay		280	450	ns	$\overline{OE} = V_{IL}$
$t_{OE}$	Output Enable to Output Delay			120	ns	$\overline{CE} = V_{IL}$
$t_{DF}$	Output Enable High to Output Float	0		100	ns	$\overline{CE} = V_{IL}$
$t_{OH}$	Output Hold From Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0			ns	$\overline{CE} = \overline{OE} = V_{IL}$

Capacitance<sup>(4)</sup>  $T_A = 25^\circ\text{C}$ ,  $f = 1\text{ MHz}$

Symbol	Parameter	Typ.	Max.	Unit	Conditions
$C_{IN}$	Input Capacitance	4	6	pF	$V_{IN} = 0\text{V}$
$C_{OUT}$	Output Capacitance	8	12	pF	$V_{OUT} = 0\text{V}$

NOTE: Please refer to page 2 for notes.

### A.C. Test Conditions:

Output Load: 1 TTL gate and  $C_L = 100\text{ pF}$

Input Rise and Fall Times:  $\leq 20\text{ ns}$

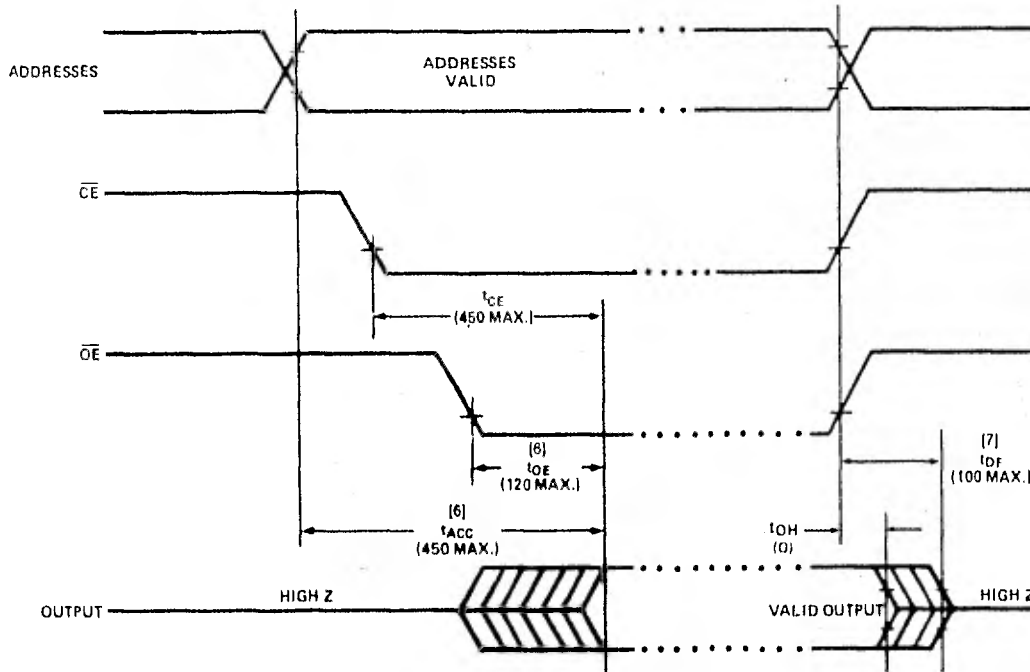
Input Pulse Levels: 0.8V to 2.2V

Timing Measurement Reference Level:

Inputs 1V and 2V

Outputs 0.8V and 2V

### A.C. Waveforms<sup>(5)</sup>



- NOTES:
- $V_{CC}$  must be applied simultaneously or before  $V_{pp}$  and removed simultaneously or after  $V_{pp}$ .
  - $V_{pp}$  may be connected directly to  $V_{CC}$  except during programming. The supply current would then be the sum of  $I_{CC}$  and  $I_{pp}$ .
  - Typical values are for  $T_A = 25^\circ\text{C}$  and nominal supply voltages.
  - This parameter is only sampled and is not 100% tested.
  - All times shown in parentheses are minimum times and are used unless otherwise specified.
  - $\overline{OE}$  may be delayed up to 330 ns after the falling edge of  $\overline{CE}$  without impact on  $t_{ACC}$ .
  - $t_{DF}$  is specified from  $\overline{OE}$  or  $\overline{CE}$ , whichever occurs first.

## 2758

### ERASURE CHARACTERISTICS

The erasure characteristics of the 2758 are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2758 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2758 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels are available from Intel which should be placed over the 2758 window to prevent unintentional erasure.

The recommended erasure procedure (see Data Catalog Programming Section) for the 2758 is exposure to short-wave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm<sup>2</sup>. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12,000 μW/cm<sup>2</sup> power rating. The 2758 should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure.

### DEVICE OPERATION

The five modes of operation of the 2758 are listed in Table 1. It should be noted that all inputs for the five modes are at TTL levels. The power supplied required are a +5V V<sub>CC</sub> and a V<sub>pp</sub>. The V<sub>pp</sub> power supply must be at 25V during the two programming modes, and must be at 5V in the other three modes. In all operational modes, A<sub>R</sub> must be at V<sub>IL</sub> (except for the 2758 S1865 which has A<sub>R</sub> at V<sub>IH</sub>).

TABLE 1. MODE SELECTION

MODE \ PINS	CE/PGM (18)	A <sub>R</sub> (19)	OE (20)	V <sub>pp</sub> (21)	V <sub>CC</sub> (24)	OUTPUTS (8-11, 13-17)
Read	V <sub>IL</sub>	V <sub>IL</sub>	V <sub>IL</sub>	+5	+5	O <sub>OUT</sub>
Standby	V <sub>IH</sub>	V <sub>IL</sub>	Don't Care	+5	+5	High Z
Program	Pulsed V <sub>IL</sub> to V <sub>IH</sub>	V <sub>IL</sub>	V <sub>IH</sub>	+25	+5	D <sub>IN</sub>
Program Verify	V <sub>IL</sub>	V <sub>IL</sub>	V <sub>IL</sub>	+25	+5	O <sub>OUT</sub>
Program Inhibit	V <sub>IL</sub>	V <sub>IL</sub>	V <sub>IH</sub>	+25	+5	High Z

### READ MODE

The 2758 has two control functions, both of which must be logically satisfied in order to obtain data at the outputs. Chip Enable (CE) is the power control and should be used for device selection. Output Enable (OE) is the output control and should be used to gate data to the output pins, independent of device selection. Assuming that addresses are stable, address access time (t<sub>ACC</sub>) is equal to the delay from CE to output (t<sub>CE</sub>). Data is available at

the outputs 120 ns (t<sub>OE</sub>) after the falling edge of OE, assuming that CE has been low and addresses have been stable for at least t<sub>ACC</sub> - t<sub>OE</sub>.

### STANDBY MODE

The 2758 has a standby mode which reduces the active power dissipation by 75%, from 525 mW to 132 mW. The 2758 is placed in the standby mode by applying a TTL high signal to CE input. When in standby mode, the outputs are in a high impedance state, independent of the OE input.

### OUTPUT OR-TIEING

Because EPROMs are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connections. The two line control function allows for:

- the lowest possible memory Power dissipation, and
- complete assurance that output bus contention will not occur.

To most efficiently use these two control lines, it is recommended that CE (pin 18) be decoded and used as the primary device selecting function, while OE (pin 20) be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is desired from a particular memory device.

### PROGRAMMING

Initially, and after each erasure, all bits of the 2758 are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be presented in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2758 is in the programming mode when the V<sub>pp</sub> power supply is at 25V and OE is at V<sub>IH</sub>. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec, active high, TTL program pulse is applied to the CE/PGM input. A program pulse must be applied at each address location to be programmed. You can program any location at any time - either individually, sequentially, or at random. The program pulse has a maximum width of 56 msec.

The 2758 must be programmed with a DC signal applied to the CE/PGM input.

Programming of multiple 2758s in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the parallelled 2758s may be connected together when they are programmed with the same data. A high level TTL pulse applied to the CE/PGM input programs the parallelled 2758s.

## 2758

### PROGRAM INHIBIT

Programming of multiple 2758s in parallel with different data is also easily accomplished. Except for  $\overline{CE}/PGM$ , all like inputs (including  $\overline{OE}$ ) of the parallel 2758s may be common. A TTL level program pulse applied to a 2758's  $\overline{CE}/PGM$  input with  $V_{pp}$  at 25V will program that 2758. A low level  $\overline{CE}/PGM$  input inhibits the other 2758 from being programmed.

### PROGRAM VERIFY

A verify should be performed on the programmed bits to determine that they were correctly programmed. The verify may be performed with  $V_{pp}$  at 25V. Except during programming and program verify,  $V_{pp}$  must be at 5V.

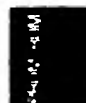
PROGRAM





## 2716<sup>†</sup> 16K (2K × 8) UV ERASABLE PROM

- **Fast Access Time**
  - 350 ns Max. 2716-1
  - 390 ns Max. 2716-2
  - 450 ns Max. 2716
- **Single +5V Power Supply**
- **Low Power Dissipation**
  - 525 mW Max. Active Power
  - 132 mW Max. Standby Power
- **Pin Compatible to intel<sup>®</sup> 5V ROMs**  
(2316E, 2332A, and 2364A) and 2732 EPROM
- **Simple Programming Requirements**  
Single Location Programming Programs with One 50 ms Pulse
- **Inputs and Outputs TTL Compatible**  
during Read and Program
- **Completely Static**

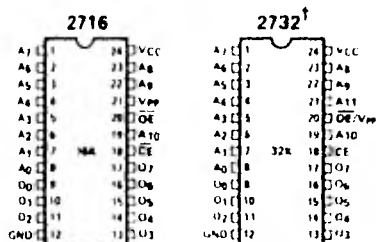


The Intel<sup>™</sup> 2716 is a 16,384 bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2716 operates from a single 5-volt power supply, has a static standby mode, and features fast single address location programming. It makes designing with EPROMs faster, easier and more economical. For production quantities, the 2716 user can convert rapidly to Intel's pin-for-pin compatible 16K ROM (the 2316E) or the new 32K and 64K ROMs (the 2332A and 2364A respectively).

The 2716, with its single 5-volt supply and with an access time up to 350 ns, is ideal for use with the newer high performance +5V microprocessors such as Intel's 8085 and 8086. The 2716 is also the first EPROM with a static standby mode which reduces the power dissipation without increasing access time. The maximum active power dissipation is 525 mW while the maximum standby power dissipation is only 132 mW, a 75% savings.

The 2716 has the simplest and fastest method yet devised for programming EPROMs — single pulse TTL level programming. No need for high voltage pulsing because all programming controls are handled by TTL signals. Program any location at any time—either individually, sequentially or at random, with the 2716's single address location programming. Total programming time for all 16,384 bits is only 100 seconds.

### PIN CONFIGURATION



<sup>†</sup>Refer to 2732 data sheet for specifications

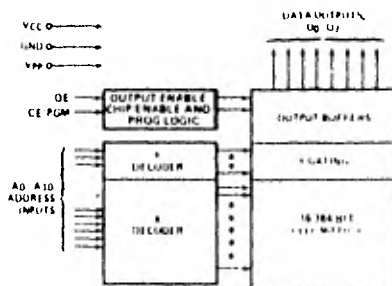
### PIN NAMES

A <sub>0</sub> -A <sub>10</sub>	ADDRESSES
CE/PGM	CHIP ENABLE/PROGRAM
OE	OUTPUT ENABLE
O <sub>0</sub> -O <sub>7</sub>	OUTPUTS

### MODE SELECTION

MODE	PINS	CE/PGM (18)	OE (20)	V <sub>pp</sub> (21)	V <sub>CC</sub> (24)	OUTPUTS (0-7, 13-17)
Read		V <sub>IL</sub>	V <sub>IL</sub>	+5	+5	D <sub>OUT</sub>
Standby		V <sub>IH</sub>	Don't Care	+5	+5	High Z
Program		Pulsed V <sub>IL</sub> to V <sub>IH</sub>	V <sub>IH</sub>	+25	+5	D <sub>IN</sub>
Program Verify		V <sub>IL</sub>	V <sub>IL</sub>	+25	+5	D <sub>OUT</sub>
Program Inhibit		V <sub>IL</sub>	V <sub>IH</sub>	+25	+5	High Z

### BLOCK DIAGRAM



**PROGRAMMING**

The programming specifications are described in the Data Catalog PROM/ROM Programming Instructions Section.

**Absolute Maximum Ratings\***

Temperature Under Bias	-10°C to +80°C
Storage Temperature	-65°C to +125°C
All Input or Output Voltages with Respect to Ground	+6V to -0.3V
V <sub>pp</sub> Supply Voltage with Respect to Ground During Program	+26.5V to -0.3V

\*COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**DC and AC Operating Conditions During Read**

	2716	2716-1	2716-2
Temperature Range	0°C - 70°C	0°C - 70°C	0°C - 70°C
V <sub>CC</sub> Power Supply <sup>[1,2]</sup>	5V ± 5%	5V ± 10%	5V ± 5%
V <sub>pp</sub> Power Supply <sup>[2]</sup>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>

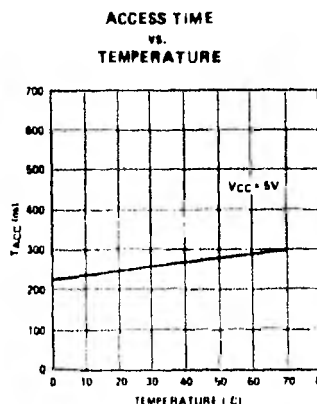
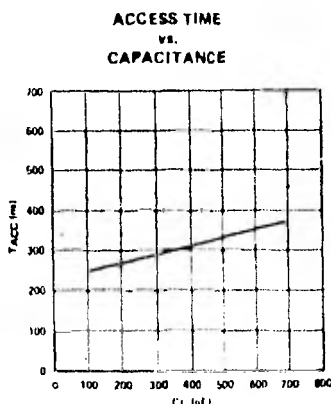
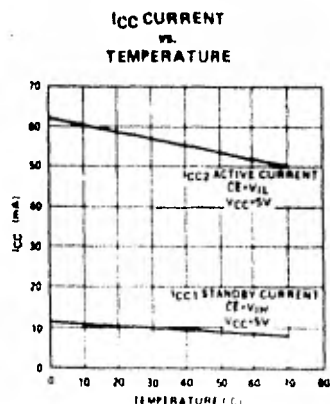
**READ OPERATION**

**D.C. and Operating Characteristics**

Symbol	Parameter	Limits			Unit	Conditions
		Min.	Typ. <sup>[3]</sup>	Max.		
I <sub>LI</sub>	Input Load Current			10	μA	V <sub>IN</sub> = 5.25V
I <sub>LO</sub>	Output Leakage Current			10	μA	V <sub>OUT</sub> = 5.25V
I <sub>PP1</sub> <sup>[2]</sup>	V <sub>pp</sub> Current			5	mA	V <sub>pp</sub> = 5.25V
I <sub>CC1</sub> <sup>[2]</sup>	V <sub>CC</sub> Current (Standby)		10	25	mA	$\overline{CE} = V_{IH}, \overline{OE} = V_{IL}$
I <sub>CC2</sub> <sup>[2]</sup>	V <sub>CC</sub> Current (Active)		57	100	mA	$\overline{OE} = \overline{CE} = V_{IL}$
V <sub>IL</sub>	Input Low Voltage	-0.1		0.8	V	
V <sub>IH</sub>	Input High Voltage	2.0		V <sub>CC</sub> +1	V	
V <sub>OL</sub>	Output Low Voltage			0.45	V	I <sub>OL</sub> = 2.1 mA
V <sub>OH</sub>	Output High Voltage	2.4			V	I <sub>OH</sub> = -400 μA

- NOTES: 1. V<sub>CC</sub> must be applied simultaneously or before V<sub>pp</sub> and removed simultaneously or after V<sub>pp</sub>.  
 2. V<sub>pp</sub> may be connected directly to V<sub>CC</sub> except during programming. The supply current would then be the sum of I<sub>CC</sub> and I<sub>pp1</sub>.  
 3. Typical values are for T<sub>A</sub> = 25°C and nominal supply voltages.  
 4. This parameter is only sampled and is not 100% tested.

**Typical Characteristics**



## 2716

### A.C. Characteristics

Symbol	Parameter	2716 Limits			2716-1 Limits			2716-2 Limits			Unit	Test Conditions
		Min	Typ <sup>[3]</sup>	Max	Min	Typ <sup>[3]</sup>	Max	Min	Typ <sup>[3]</sup>	Max		
$t_{ACC}$	Address to Output Delay			450			350			390	ns	$\overline{CE}$ $\overline{OE}$ $V_{IL}$
$t_{CE}$	$\overline{CE}$ to Output Delay			450			350			390	ns	$\overline{OE}$ $V_{IL}$
$t_{OE}$	Output Enable to Output Delay			120			120			120	ns	$\overline{CE}$ $V_{IL}$
$t_{DF}$	Output Enable High to Output Float	0		100	0		100	0		100	ns	$\overline{CE}$ $V_{IL}$
$t_{OH}$	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0			0			0			ns	$\overline{CE}$ $\overline{OE}$ $V_{IL}$

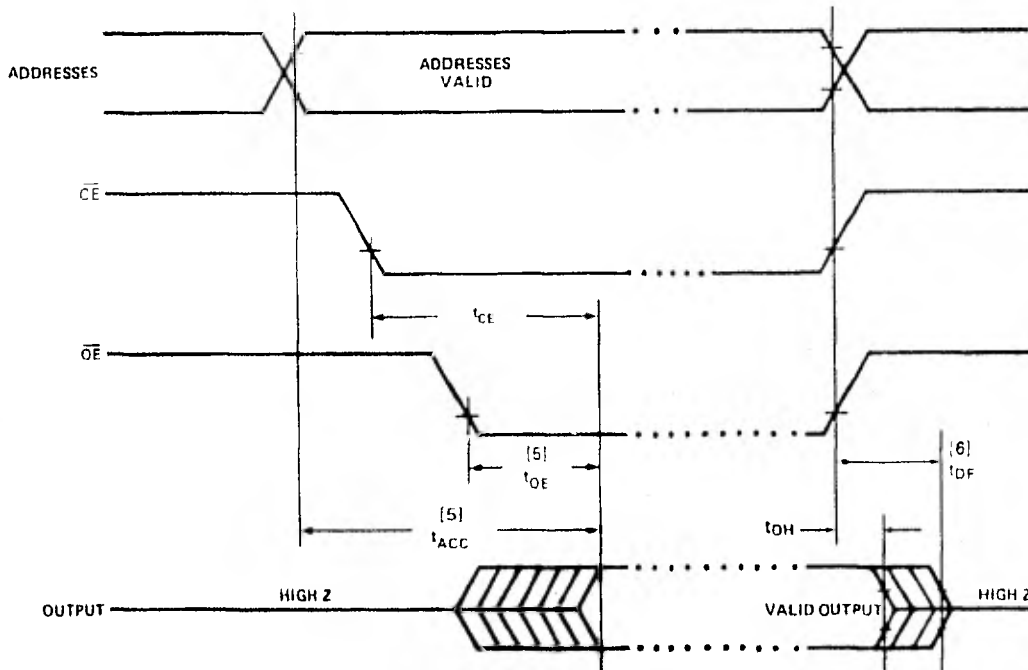
Capacitance<sup>[4]</sup>  $T_A = 25^\circ\text{C}$ ,  $f = 1\text{ MHz}$

Symbol	Parameter	Typ.	Max.	Unit	Conditions
$C_{IN}$	Input Capacitance	4	6	pF	$V_{IN} = 0V$
$C_{OUT}$	Output Capacitance	8	12	pF	$V_{OUT} = 0V$

### A.C. Test Conditions:

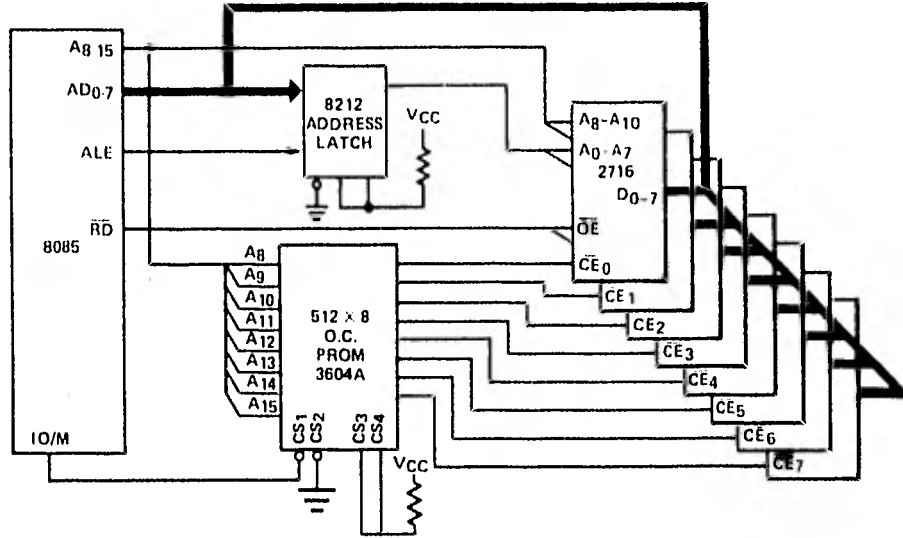
Output Load: 1 TTL gate and  $C_L = 100\text{ pF}$   
 Input Rise and Fall Times:  $\leq 20\text{ ns}$   
 Input Pulse Levels: 0.8V to 2.2V  
 Timing Measurement Reference Level:  
 Inputs 1V and 2V  
 Outputs 0.8V and 2V

### A. C. Waveforms [1]



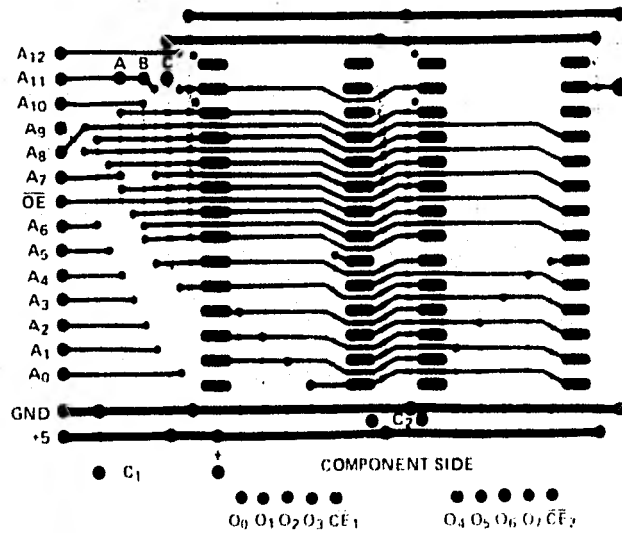
- NOTE: 1.  $V_{CC}$  must be applied simultaneously or before  $V_{pp}$  and removed simultaneously or after  $V_{pp}$ .  
 2.  $V_{pp}$  may be connected directly to  $V_{CC}$  except during programming. The supply current would then be the sum of  $I_{CC}$  and  $I_{pp1}$ .  
 3. Typical values are for  $T_A = 25^\circ\text{C}$  and nominal supply voltages.  
 4. This parameter is only sampled and is not 100% tested.  
 5.  $\overline{OE}$  may be delayed up to  $t_{ACC} - t_{OE}$  after the falling edge of  $\overline{CE}$  without impact on  $t_{ACC}$ .  
 6.  $t_{DF}$  is specified from  $\overline{OE}$  or  $\overline{CE}$ , whichever occurs first.

TYPICAL 16K EPROM SYSTEM



- This scheme accomplished by using  $\overline{CE}$  (PD) as the primary decode.  $\overline{OE}$  (CS) is now controlled by previously unused signal. RD now controls data on and off the bus by way of  $\overline{OE}$ .
- A selected 2716 is available for systems which require  $\overline{CE}$  access of less than 450 ns for decode network operation.
- The use of a PROM as a decoder allows for:
  - a) Compatibility with upward (and downward) memory expansion.
  - b) Easy assignment of ROM memory modules, compatible with PL/M modular software concepts.

8K, 16K, 32K, 64K 5V EPROM/ROM FAMILY  
PRINTED CIRCUIT BOARD LAYOUT



## ERASURE CHARACTERISTICS

The erasure characteristics of the 2716 are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2716 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2716 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels are available from Intel which should be placed over the 2716 window to prevent unintentional erasure.

The recommended erasure procedure (see Data Catalog PROM/ROM Programming Instruction Section) for the 2716 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm<sup>2</sup>. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 µW/cm<sup>2</sup> power rating. The 2716 should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure.

## DEVICE OPERATION

The five modes of operation of the 2716 are listed in Table I. It should be noted that all inputs for the five modes are at TTL levels. The power supplies required are a +5V V<sub>CC</sub> and a V<sub>pp</sub>. The V<sub>pp</sub> power supply must be at 25V during the three programming modes, and must be at 5V in the other two modes.

TABLE I. MODE SELECTION

MODE	CE/PGM (18)	OE (20)	V <sub>pp</sub> (21)	V <sub>CC</sub> (24)	OUTPUTS (9-11, 13-17)
Read	V <sub>IL</sub>	V <sub>IL</sub>	+5	+5	Q <sub>OUT</sub>
Standby	V <sub>IH</sub>	Don't Care	+5	+5	High Z
Program	Pulsed V <sub>IL</sub> to V <sub>IH</sub>	V <sub>IH</sub>	+25	+5	D <sub>IN</sub>
Program Verify	V <sub>IL</sub>	V <sub>IL</sub>	+25	+5	Q <sub>OUT</sub>
Program Inhibit	V <sub>IL</sub>	V <sub>IH</sub>	+25	+5	High Z

### READ MODE

The 2716 has two control functions, both of which must be logically satisfied in order to obtain data at the outputs. Chip Enable (CE) is the power control and should be used for device selection. Output Enable (OE) is the output control and should be used to gate data to the output pins, independent of device selection. Assuming that addresses are stable, address access time (t<sub>ACC</sub>) is equal to the delay from CE to output (t<sub>CE</sub>). Data is available at the outputs 120 ns (t<sub>OE</sub>) after the falling edge of OE, assuming that CE has been low and addresses have been stable for at least t<sub>ACC</sub> - t<sub>OE</sub>.

### STANDBY MODE

The 2716 has a standby mode which reduces the active power dissipation by 75%, from 525 mW to 132 mW. The 2716 is placed in the standby mode by applying a TTL high signal to the CE input. When in standby mode, the outputs are in a high impedance state, independent of the OE input.

### OUTPUT OR-TIEING

Because 2716's are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connections. The two line control function allows for:

- the lowest possible memory power dissipation, and
- complete assurance that output bus contention will not occur.

To most efficiently use these two control lines, it is recommended that CE (pin 18) be decoded and used as the primary device selecting function, while OE (pin 20) be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is desired from a particular memory device.

### PROGRAMMING

Initially, and after each erasure, all bits of the 2716 are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be presented in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2716 is in the programming mode when the V<sub>pp</sub> power supply is at 25V and OE is at V<sub>IH</sub>. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec, active high, TTL program pulse is applied to the CE/PGM input. A program pulse must be applied at each address location to be programmed. You can program any location at any time — either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2716 must not be programmed with a DC signal applied to the CE/PGM input.

Programming of multiple 2716s in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2716s may be connected together when they are programmed with the same data. A high level TTL pulse applied to the CE/PGM input programs the paralleled 2716s.

### PROGRAM INHIBIT

Programming of multiple 2716s in parallel with different data is also easily accomplished. Except for CE/PGM, all like inputs (including OE) of the paralleled 2716s may be common. A TTL level program pulse applied to a 2716's CE/PGM input with V<sub>pp</sub> at 25V will program that 2716. A low level CE/PGM input inhibits the other 2716 from being programmed.

### PROGRAM VERIFY

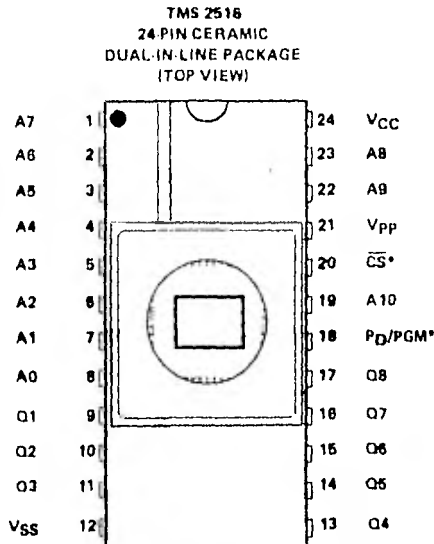
A verify should be performed on the programmed bits to determine that they were correctly programmed. The verify may be performed with V<sub>pp</sub> at 25V. Except during programming and program verify, V<sub>pp</sub> must be at 5V.

**MOS  
LSI**

**TMS 2516 JL, JDL AND TMS 2532 JL, JDL  
16K and 32K EPROMs**

APRIL 1978

- Organization:
  - TMS 2516 . . . 2K X 8
  - TMS 2532 . . . 4K X 8
- Single +5 V Power Supply
- Pin Compatible with Existing ROMs and EPROMs (8 K, 16 K, 32 K, and 64 K)
- JEDEC Standard Pinouts
- All Inputs/Outputs Fully TTL Compatible
- Static Operation (No Clocks, No Refresh)
- Max Access/Min Cycle Time . . . 450 ns
- 8-Bit Output for Use in Microprocessor-Based Systems
- N-Channel Silicon-Gate Technology
- 3-State Output Buffers
- Low Power
  - Active:
    - TMS 2516 . . . 285 mW Typical
    - TMS 2532 . . . 400 mW Typical
  - Standby . . . 50 mW Typical
- Guaranteed dc Noise Immunity with Standard TTL Loads
- No Pull-Up Resistors Required



\*FOR TMS 2532:  
PIN 18 . . . A11  
PIN 20 . . . PD\*/PGM

PIN NOMENCLATURE	
A(N)	Address inputs
CS	Chip Select
PD*/PGM, PD*/PGM	Power Down/Program
Q(N)	Input/Output
VCC	+5 V Power Supply
Vpp	+25 V Power Supply
VSS	0 V Ground

**description**

The TMS 2516 JL and TMS 2532 JL are 16,384-bit and 32,768-bit, ultraviolet light erasable, electrically programmable read-only memories. These devices are fabricated using N-channel silicon-gate technology for high speed and simple interface with MOS and Bipolar circuits. All inputs (including program data inputs) can be driven by Series 74 TTL circuits without the use of external pull-up resistors, and each output can drive one Series 74 TTL circuit without external resistors. The data outputs are three-state for OR-tying multiple devices on a common bus. The TMS 2516 is upward pin-compatible with the TMS 2532 and the TMS 2532 is plug-in compatible with the TMS 4732 32K ROM.

Since these EPROMs operate from a single +5 V supply (in the read mode), they are ideal for use in microprocessor systems. One other (+25 V) supply is needed for programming but all programming signals are TTL level, requiring a single 50 ms pulse. For programming outside of the system, existing EPROM programmers can be used. Locations may be programmed singly, in blocks, or at random. Total programming time for all bits for the TMS 2516 is 100 seconds; 200 seconds for the TMS 2532.

PRELIMINARY DATA SHEET:  
Supplementary data will be  
published at a later date.

**TEXAS INSTRUMENTS**  
INCORPORATED

POST OFFICE BOX 225017 • DALLAS, TEXAS 75265

## TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

operation

DEVICE		MODE										
FUNCTION (PINS)		Read		Output Disable		Power Down		Start Programming		Inhibit Programming		Program Verification
TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516	TMS 2532	TMS 2516
PD/PGM (18)	PD/PGM (20)	V <sub>IL</sub>	V <sub>IL</sub>	Don't Care	V <sub>IH</sub>	V <sub>IH</sub>	V <sub>IH</sub>	Pulsed V <sub>IL</sub> to V <sub>IH</sub>	Pulsed V <sub>IH</sub> to V <sub>IL</sub>	V <sub>IL</sub>	V <sub>IH</sub>	V <sub>IL</sub>
$\overline{CS}$ (20)	Use PD/PGM as chip select	V <sub>IL</sub>	N/A	V <sub>IH</sub>	N/A	Don't Care	N/A	V <sub>IH</sub>	N/A	V <sub>IH</sub>	N/A	V <sub>IL</sub>
V <sub>PP</sub> (21)	V <sub>PP</sub> (21)	+5	+5	+5	+5	+5	+5	+25	+25	+25	+25	+25 (or +5)
V <sub>CC</sub> (24)	V <sub>CC</sub> (24)	+5	+5	+5	+5	+5	+5	+5	+5	+5	+5	+5
Q (9 to 11, 13 to 17)	Q (9 to 11, 13 to 17)	0	0	HI-Z	HI-Z	HI-Z	HI-Z	0	0	HI-Z	HI-Z	0

### read/output disable

When the outputs of two or more TMS 2516's and/or TMS 2532's are commoned on the same bus, the output of any particular device in the circuit can be read with no interference from the competing outputs of the other devices. If the device whose output is to be read is a TMS 2516, it should have a low-level TTL signal applied to the  $\overline{CS}$  and PD/PGM pins. If it is a TMS 2532, the low-level signal is applied to the PD/PGM pin. All other devices in the circuit should have their outputs disabled by applying a high-level signal to these same pins. (PD/PGM on the TMS 2516, can be left low, but it may be advantageous to power down the device during output disable.) Output data is accessed at pins Q1 to Q8. Data can be accessed in  $450 \text{ ns} = t_{\text{a}}(\text{A})$ . (On the TMS 2516 access time from  $\overline{CS}$  is  $150 \text{ ns} = t_{\text{a}}(\overline{CS})$ , once the addresses are stable.)

### power down

Active power dissipation can be cut by 80% by applying a high TTL signal to the PD/PGM (PD/PGM for the TMS 2532) pin. In this mode all outputs are in a high-impedance state.

### erasure

Before programming, the TMS 2516 or TMS 2532 is erased by exposing the chip through the transparent lid to high intensity ultraviolet light (wavelength 2537 angstroms). The recommended minimum exposure dose (= UV intensity X exposure time) is fifteen watt-seconds per square centimeter. Thus, a typical 12 milliwatt per square centimeter, filterless UV lamp will erase the device in a minimum of 21 minutes. The lamp should be located about 2.5 centimeters above the chip during erasure. After erasure, all bits are in the "1" state.

### start programming

After erasure (all bits in logic "1" state), logic "0's" are programmed into the desired locations. A "0" can be erased only by ultraviolet light. The programming mode is achieved when V<sub>PP</sub> is 25 V and  $\overline{CS}$  (for TMS 2516 only) is at V<sub>IL</sub>. Data is presented in parallel (8 bits) on pins Q1 to Q8. Once addresses and data are stable, a 50 millisecond high TTL pulse (low for the TMS 2532) should be applied to the PGM pin at each address location to be programmed. Maximum pulse width is 55 milliseconds. Locations can be programmed in any order. More than one TMS 2516 or TMS 2532 can be programmed when the devices are connected in parallel.

# TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

### inhibit programming

When two or more devices (either TMS 2516 or TMS 2532) are connected to a common data bus, data can be programmed into all devices or only chosen devices. TMS 2516s not intended to be programmed (i.e., inhibited) should have a low level applied to the PD PGM pin and a high level applied to the CS pin. TMS 2532s not intended to be programmed should have a high level applied to PD PGM.

### program verification

A verify is done to see if the device was programmed correctly. A verify can be done at any time. It can be done on each location immediately after that location is programmed. To do a verify on the TMS 2516 Vpp may be kept at +25 V. (Verify on the TMS 2532 is the read operation.)

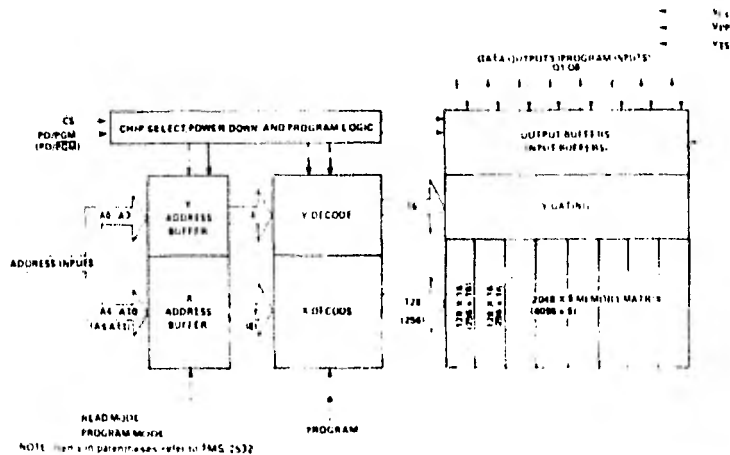
### absolute maximum ratings over operating free-air temperature range (unless otherwise noted)\*

Supply voltage, VCC (see Note 1)	0.3 to 6 V
Supply voltage, Vpp (see Note 1)	0.3 to 28 V
All input voltages (see Note 1)	0.3 to 6 V
Output voltage (operating with respect to VSS)	0.3 to 6 V
Operating free-air temperature range	0 °C to 70 °C
Storage temperature range	55 °C to 125 °C

NOTE 1: Under absolute maximum ratings, voltage values are with respect to the most negative supply voltage (V<sub>SS</sub> substrate).

\*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute maximum rated conditions for extended periods may affect device reliability.

### functional block diagram





## TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

### recommended operating conditions

PARAMETER	TMS 2516			TMS 2532			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$ (see Note 2)	4.75	5	5.25	4.75	5	5.25	V
Supply voltage, $V_{pp}$ (see Note 3)	$V_{CC} - 0.6$	$V_{CC}$	$V_{CC} + 0.6$	$V_{CC} - 0.6$	$V_{CC}$	$V_{CC} + 0.6$	V
Supply voltage, $V_{SS}$	0			0			V
High-level input voltage, $V_{IH}$	2.0			$V_{CC} + 1$			V
Low-level input voltage, $V_{IL}$	-0.1			0.65			V
Read cycle time, $t_{c(rd)}$	450			450			ns
Operating free-air temperature, $T_A$	0			70			$^{\circ}$ C

- NOTES
- $V_{CC}$  must be applied before or at the same time as  $V_{pp}$  and removed after or at the same time as  $V_{pp}$ . The device must not be inserted into or removed from the board when  $V_{pp}$  is applied so that the device is not damaged.
  - $V_{pp}$  can be connected to  $V_{CC}$  directly (except in the program mode).  $V_{CC}$  supply current in this case would be  $I_{CC1} + I_{pp}$ . Tolerance of  $\pm 6$  volts enables the  $V_{pp}$  pin to be switched from  $V_{CC}$  (read) to 25 volts (programming) using a drive circuit. During programming,  $V_{pp}$  must be maintained at 25V ( $\pm 1V$ ).

### electrical characteristics over full ranges of recommended operating conditions

PARAMETER	TEST CONDITIONS	TMS 2516		TMS 2532		UNIT
		MIN	TYP†	MAX	MIN	
$V_{OH}$ High-level output voltage	$I_{OH} = -400 \mu A$	2.4		2.4		V
$V_{OL}$ Low-level output voltage	$I_{OL} = 2.1 mA$	0.45		0.45		V
$I_I$ Input current (leakage)	$V_I = 5.25V$	10		10		$\mu A$
$I_O$ Output current (leakage)	$V_O = 5.25V$	10		10		$\mu A$
$I_{pp1}$ $V_{pp}$ supply current	TMS 2516 $V_{pp} = 5.85V$ , PD/PGM = $V_{IL}$	6		12		mA
	TMS 2532 $V_{pp} = 5.85V$ , PD/PGM = $V_{IL}$	6		12		mA
$I_{pp2}$ $V_{pp}$ supply current (during program pulse)	TMS 2516 PD/PGM = $V_{IH}$	30		30		mA
	TMS 2532 PD/PGM = $V_{IL}$	30		30		mA
$I_{CC1}$ $V_{CC}$ supply current (standby)	TMS 2516 PD/PGM = $V_{IH}$	10		10		mA
	TMS 2532 PD/PGM = $V_{IH}$	25		25		mA
$I_{CC2}$ $V_{CC}$ supply current (active)	TMS 2516 CS = PD/PGM = $V_{IL}$	57		80		mA
	TMS 2532 PD/PGM = $V_{IL}$	100		160		mA

†Typical values are at  $T_A = 25^{\circ}C$  and nominal voltages

### capacitance over recommended supply voltage and operating free-air temperature range $f = 1 MHz$

PARAMETER	TEST CONDITIONS	TYP†	MAX	UNIT
$C_I$ Input capacitance	$V_I = 0V$ , $f = 1 MHz$	4	6	pF
$C_O$ Output capacitance	$V_O = 0V$ , $f = 1 MHz$	8	12	pF

†All typical values are  $T_A = 25^{\circ}C$  and nominal voltage

## TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

switching characteristics over full ranges of recommended operating conditions, (unless otherwise noted)

PARAMETER	TEST CONDITIONS (SEE NOTES 4 AND 5)	MIN	TYP <sup>1</sup>	MAX	UNIT
$t_{\text{A}}(\text{A})$ Access time from address	$C_L = 100 \text{ pF}$ , 1 Series 74 TTL load, $t_r \leq 20 \text{ ns}$ , $t_f \leq 20 \text{ ns}$		280	450	ns
$t_{\text{A}}(\overline{\text{CS}})$ Access time from chip select (TMS 2516 only)				120	ns
$t_{\text{A}}(\text{PR})$ Access time from PD/PGM (PD/PGM for TMS 2532)			280	450	ns
$t_{\text{PVX}}$ Output not valid from address change			0		ns
$t_{\text{PXZ}}$ Output disable time from chip deselect during read only			0	100	ns
$t_{\text{PXZ}}$ Output disable time from chip deselect during program and program verify				120	ns
$t_{\text{PXZ}}$ Output disable time from PD/PGM (PD/PGM for TMS 2532) during standby		0	100	ns	

<sup>1</sup>All typical values are at  $T_A = 25^\circ\text{C}$  and nominal voltages.

recommended timing requirements for programming  $T_A = 25^\circ\text{C}$  (see Note 4)

PARAMETER	MIN	TYP <sup>1</sup>	MAX	UNIT
$t_{\text{W}}(\text{PR})$ Pulse width, program pulse	45	50	55	ns
$t_{\text{r}}(\text{PR})$ Rise time, program pulse	5			ns
$t_{\text{f}}(\text{PR})$ Fall time, program pulse	5			ns
$t_{\text{su}}(\text{A})$ Address setup time	2			$\mu\text{s}$
$t_{\text{su}}(\overline{\text{CS}})$ Chip select setup time	2			$\mu\text{s}$
$t_{\text{su}}(\text{D})$ Data setup time	2			$\mu\text{s}$
$t_{\text{su}}(\text{Vpp})$ Setup time from $V_{\text{pp}}$	0			ns
$t_{\text{h}}(\text{A})$ Address hold time	2			$\mu\text{s}$
$t_{\text{h}}(\overline{\text{CS}})$ Chip select hold time (TMS 2516 only)	2			$\mu\text{s}$
$t_{\text{h}}(\text{D})$ Data hold time	2			$\mu\text{s}$
$t_{\text{h}}(\text{PR})$ Program pulse hold time (TMS 2532 only)	0			ns
$t_{\text{h}}(\text{Vpp})$ $V_{\text{pp}}$ hold time (TMS 2532 only)	0			ns

<sup>1</sup>Typical values are at nominal voltages.

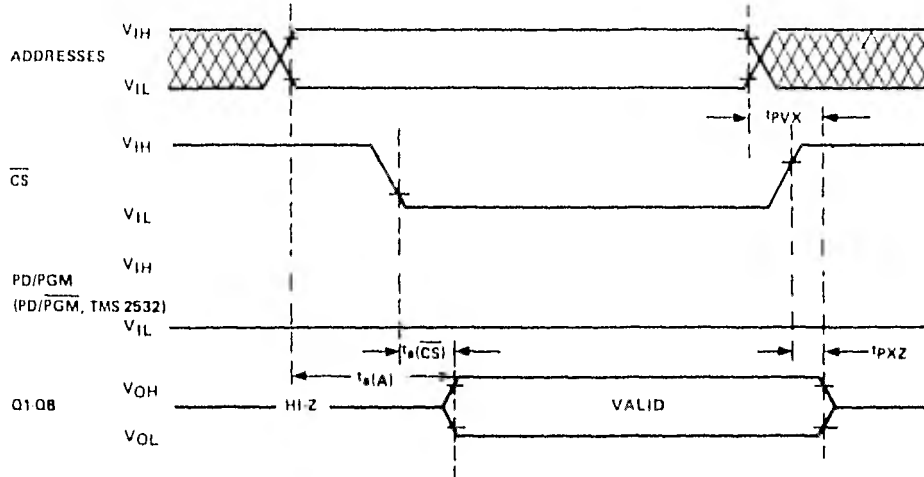
- NOTES: 4. For all switching characteristics and timing measurements, input pulse levels are 0.65 V to 2.2 V and  $V_{\text{pp}} = 25 \text{ V} \pm 1 \text{ V}$  during programming.
5. Common test conditions apply for  $t_{\text{PXZ}}$  except during programming. For  $t_{\text{A}}(\text{A})$ ,  $t_{\text{A}}(\overline{\text{CS}})$ , and  $t_{\text{PXZ}}$ ,  $\text{PD/PGM} = \overline{\text{CS}} = V_{\text{IL}}$  for the TMS 2516 and  $\text{PD/PGM} = V_{\text{IL}}$  for the TMS 2532.

**TEXAS INSTRUMENTS**  
INCORPORATED

POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

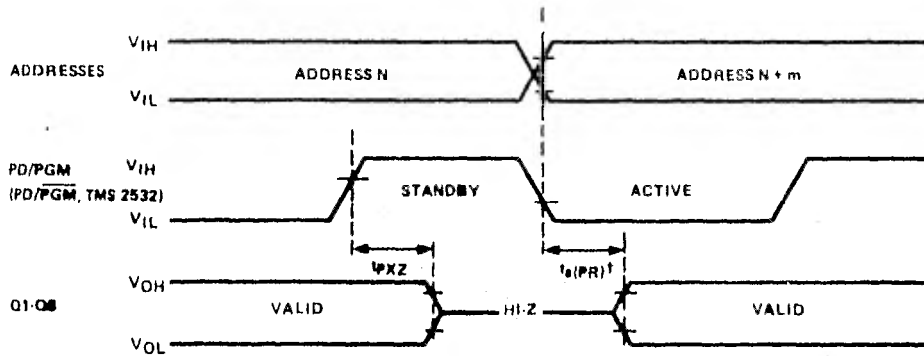
# TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

## read cycle timing



NOTE: There is no chip select pin on the TMS 2532.  
The chip select function is incorporated in the power-down mode.

## standby mode

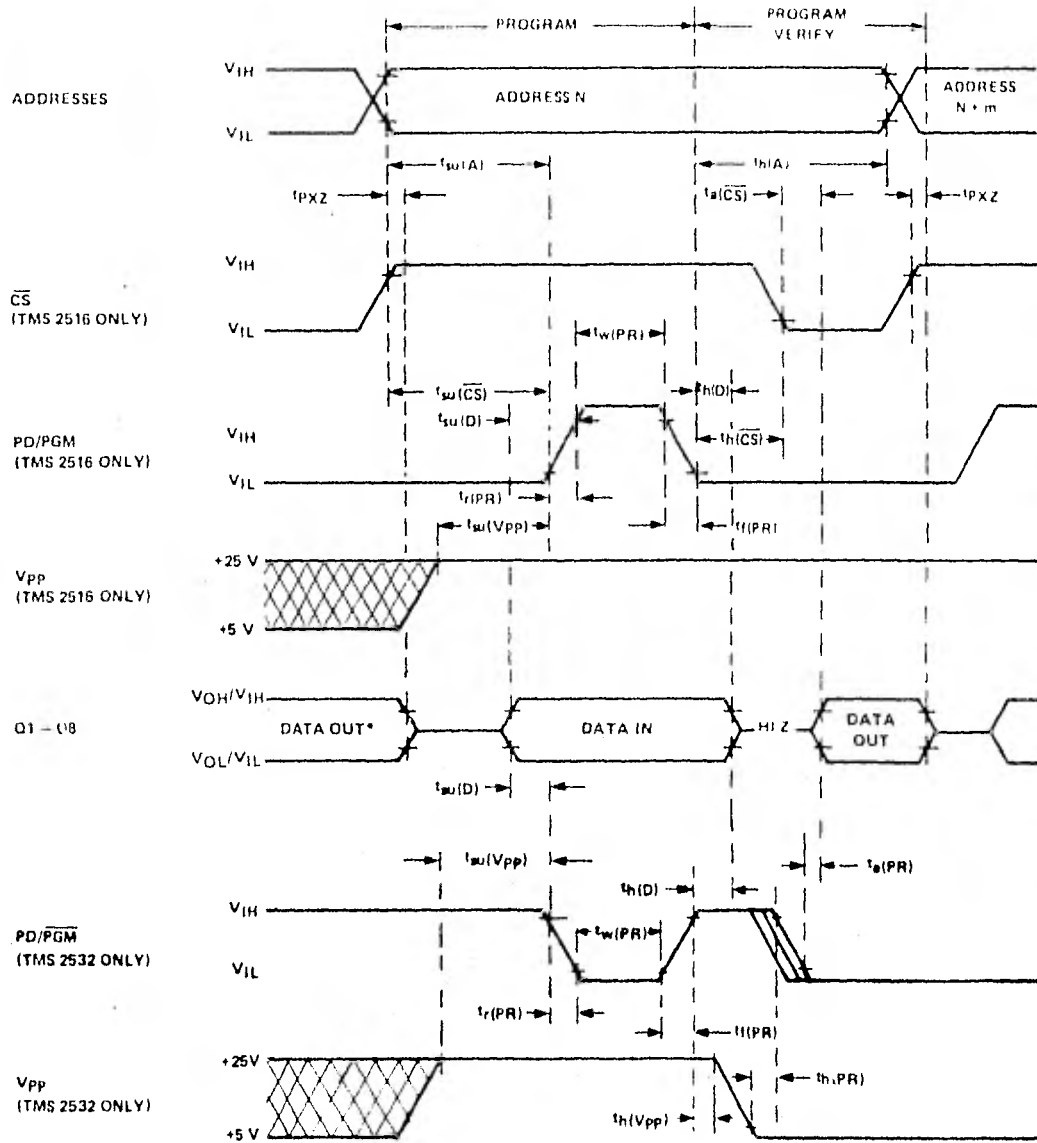


NOTE:  $\overline{CS}$  (TMS 2516) must be in low state during Active Mode, "Don't Care" otherwise.  
 $t_{A(PR)}$  referenced to PD/PGM (PD/PGM for TMS 2532) or the address, whichever occurs last.

All timing reference points in this data sheet (inputs and outputs) are 90% points.

## TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

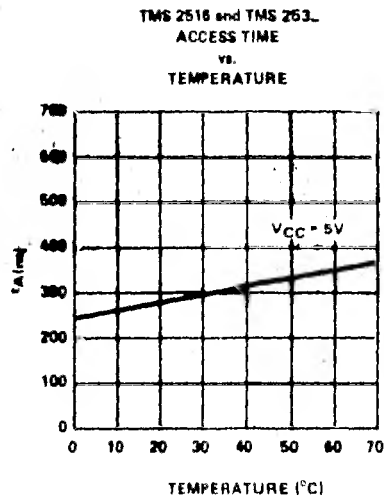
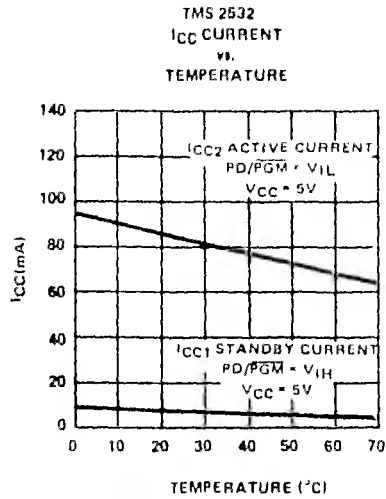
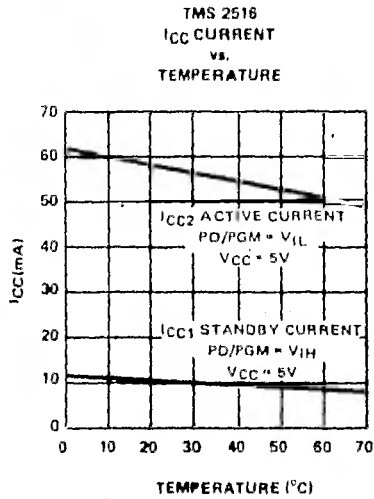
program cycle timing



NOTE: There is no chip select pin on the TMS 2532. Chip select is incorporated in the slower down mode CS (TMS 2516) as an "don't care" state.  
\*Hi Z for the TMS 2532.

# TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

typical device characteristics (read mode)



## E.6 DISPOSITIVOS EPROM EQUIVALENTES

FABRICANTE	EPROMS QUE UTILIZAN TRES FUENTES ( $\pm 5V$ y $+ 12V$ )		
	512 x 8	1024 x 8	2048 x 8
Advanced Micro Devices		2708	
Electronic Arrays	EA2704	EA2708	
Fairchild Semiconductor		F2708	
Fujitsu		8518	
Intel	2704/8704	2708/8708	
Mitsubishi		58732S	
Mostek		MK2708	
Motorola		68708/2708	TMS2716/27A16
National Semiconductor	MM5204	MM2708	
Nippon Electric			
Texas Instruments		TMS2708	TMS2716

TABLA E.6.1

FABRICANTE	EPROMS QUE UTILIZAN UNA FUENTE (+ 5V)		
	1024 x 8	2048 x 8	4096 x 8
Advanced Micro Devices		4716	
Electronic Arrays		EA2716	
Fairchild Semiconductor		F2716	
Fujitsu		8516	
Intel	2758	2716	
Mitsubishi		2716	
Mostek		MK2716	
Motorola		MCM2716/27A16	MCM2532
National Semiconductor		NM2716	2532
Nippon Electric	DA58D	2716/8716	
Texas Instruments		TMS2516	TMS2532

TABLA E.6.2



**BIBLIOGRAFIA**

1. **FAMOS READ-ONLY MEMORY**  
Frohman-Bentchkowsky  
IEEE Journal of solid-state circuits. SC-6, No. 5  
October 1971.
2. **HOW TO USE 1702 MOS PROMS RELIABLY**  
Edwin Lee  
Pro-Log Corporation  
August 1975.
3. **Memory Design Handbook**  
Intel Corporation  
1977.
4. **Component Data Catalog**  
Intel Corporation  
1979.
5. **The Mos Memory Data Book for Design Engineers**  
Texas Instruments  
1979.
6. **Apple 6502 Assembler/Editor**  
Apple Computer Inc.  
1980.
7. **R6500 Microcomputer System Hardware Manual**  
Rockwell International  
August 1978.
8. **R6500 Microcomputer System Programing Manual**  
Rockwell International  
February 1980.
9. **Programing the 6502**  
Rodnay Zaks  
Sybex 1980 (Third edition).
10. **Interface Between Data terminal Equipment  
and Data Communication Equipment Employing  
Serial Binary Data Interchange.**  
  
The EIA Engineering Department  
Electronic Industries Association  
August 1969.

11. Microprocessor Applications Manual  
Motorola Semiconductor Products Inc.  
1975.
12. CMOS Integrated Circuits  
Motorola Semiconductor Products Inc.  
1978.
13. Semiconductor Data Library  
Vol. 1 (Discrete Products Series A)  
Motorola Semiconductor Products Inc.  
1974.
14. CMOS Data Book  
National Semiconductor Co.  
1978.
15. Linear Data Book  
National Semiconductor Co.  
1978.
16. The Optoelectronics Data Book for Design Engineers  
Texas Instruments Inc.  
1978.
17. Manual de semiconductores de silicio  
Texas Instruments Inc.  
Edición 72/73
18. Signetics Logic-TTL Data Manual  
Pat Kawakami and Rick Mc Carthy  
Signetics Corporation  
1978.
19. The Power Supply Handbook  
The editors of 23 magazine  
TAB Books 1979.
20. Catálogo general de productos APESA  
Electrónica, S. A. de C. V.  
78-79.
21. Diccionario Enciclopédico de términos técnicos (Vols. 1 y 2)  
Javier L. Collazo  
Mc Graw Hill 1980.

22. Electronics Dictionary  
John Markus  
Mc Graw Hill 1978 (Fourth edition)
  
23. Apple II Reference Manual  
Apple Co-puter Inc.  
1979.