

28 No 147



**UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO**  
**FACULTAD DE INGENIERIA**

**TEORIA Y DISEÑO DE MODULADORES**  
**PSK DE NIVEL MULTIPLE**



**TESIS PROFESIONAL**  
**QUE PARA OBTENER EL TITULO DE:**

**INGENIERO MECANICO ELECTRICO**

**P R E S E N T A**  
**ROBERTO SUAREZ GOMEZ**

**MEXICO, D. F. 1983**



Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

# I N D I C E

	INTRODUCCION . . . . .	ii
I	MODULACION DIGITAL ASK, FSK, PSK . . . . .	1
I.1	Modulación ASK . . . . .	2
I.2	Modulación FSK . . . . .	4
I.3	Modulación PSK . . . . .	5
I.4	Detección asincrona . . . . .	8
I.5	Detección sincrona . . . . .	8
II	MOD. DIGITAL DE NIVEL MULTIPLE . . . . .	12
II.1	Modulación M-ASK . . . . .	14
II.2	Modulación M-FSK . . . . .	15
II.3	Modulación M-PSK . . . . .	16
II.4	Modulación QAM . . . . .	21
III	COMPARACION DE LOS SISTEMAS MULTISIMBOLOS . . . . .	26
III.1	Requerimientos del ancho de banda . . . . .	26
III.2	Requerimientos de potencia . . . . .	27
III.3	Características espectrales . . . . .	31
III.4	Efectos de interferencia . . . . .	32
III.5	Complejidad . . . . .	34
IV	DISEÑO Y CONSTRUCCION . . . . .	38
V	CONDICIONES DE DISEÑO . . . . .	80
	CONCLUSIONES . . . . .	83
	BIBLIOGRAFIA . . . . .	85
	APÉNDICE . . . . .	87

## I N T R O D U C C I O N

El objetivo fundamental de esta investigación es - desarrollar un sistema de modulación de nivel multiple o MODEM para el laboratorio de comunicaciones digitales, ya que actualmente solo existen sistemas de las técnicas de modulación digital de dos fases.

Este trabajo se inicia analizando los sistemas de modulación digital para comprender el como se puede llevar a cabo la modulación y las diferentes maneras de -- detección conocidas.

Posteriormente se pasa al estudio de los sistemas de nivel multiple basándose en las técnicas de modula-- ción para así poder hacer un análisis un poco más pro-- fundo, y mencionando sólo los sistemas más usuales para poder realizar una comparación de todos ellos y luego - justificar en forma implícita el empleo del MODEM que - se diseñará aquí.

Se establece el diseño y construcción del sistema de tal manera que se da una explicación somera del funcionamiento de cada dispositivo y de la selección de -- las componentes adecuadas al sistema.

Al final de toda la investigación se habla de las condiciones de diseño para futuras implementaciones de MODEMS.

## I MODULACION DIGITAL ASK, FSK, PSK.

Desde los inicios de las comunicaciones, alrededor de los cincuentas, se tenia una única transmisión que era la analógica, siendo así la única en la industria de las comunicaciones a excepción del telégrafo y del teletipo. Teniendo en cuenta que ahora se ha presentado un crecimiento tecnológico muy acelerado en la automatización y en las computadoras y siendo que hoy en día -- hay que manejar grandes cantidades de datos en forma digital, se requiere de una optimización en los sistemas de enlaces, creandose así nuevos sistemas de transmisión.

Estos nuevos sistemas de transmisión son los digitales, los cuales pueden transmitir en forma binaria un código alfanumérico. La señal binaria se puede transmitir con modulación o sin modulación. Pero si se transmite sin modular se debe tener presente que existen un -- gran número de factores que nos alteran la información transmitida, estos factores son: la interferencia del medio, efectos capacitivos y resistivos del canal de -- comunicación, adición de ruido, por lo que se requiere una minimización del rango de error, con esto se hace -- necesario el efectuar una modulación a la señal binaria

para así minimizar los factores anteriormente mencionados.

El efectuar la modulación es como procesar una señal binaria que contiene información, siendo que a la señal binaria se le llamará moduladora y a una señal senoidal se le llamará portadora, procesando de una cierta manera a la moduladora y a la portadora se obtendrá como resultado la modulación, que puede ser en amplitud, en frecuencia, en fase o una combinación de éstas.

A continuación se explicará más claramente el como se procesan las señales para obtener la modulación.

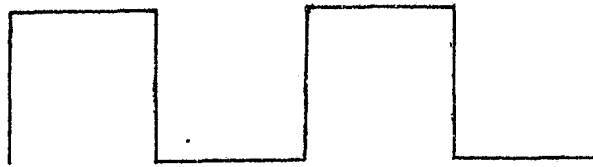
#### I.1 MODULACION ASK

Para este tipo de modulación tenemos una secuencia de pulsos binarios como los mostrados en la figura 1.a, de donde se observa que con un "uno" se tiene una senoidal con amplitud A y para un "cero" se tiene una señal nula, siendo así que se tiene una señal "on-off" (OOK), la cual se representa por la siguiente función:

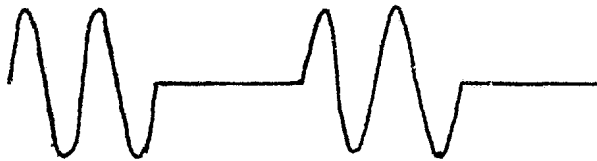
$$f_c(t) = A f(t) \cos(\omega_c t)$$

donde

$$f(t) = \begin{cases} 1 \\ 0 \end{cases} \text{ sobre un intervalo de T seg.}$$



(a)



(b)

figura 1

La señal ya modulada se muestra en la figura 1.b.-  
 Es evidente que el espectro del tren de pulsos se encuentra recorrido a la frecuencia central  $f_c$  de la portadora ya que se están multiplicando ambas señales quedando el espectro como sigue:

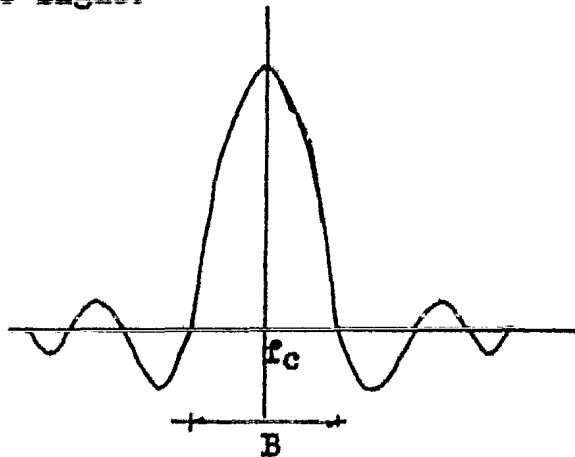


figura 2



## I.2 MODULACION FSK

Considerando de nuevo una secuencia de pulsos binarios, en donde al modular un "uno" tendremos una frecuencia  $f_1$ , y para un "cero" una frecuencia  $f_2$ , pero manteniendo siempre la misma amplitud de la señal portadora (figura 3).

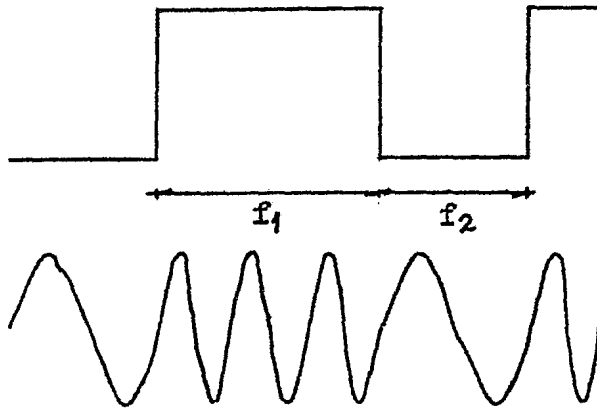


figura 3

En otras palabras para la representación de la señal FSK tendremos que  $f_1 = f_c + \Delta f$  y  $f_2 = f_c - \Delta f$  donde la  $f_c$  es la frecuencia central de la portadora y  $\Delta f$  es la variación de la frecuencia central, teniéndose así una diferencia de frecuencias de  $2\Delta f$  Hz totales, la función queda representada por:

$$f_c(t) = A \cos(\omega_c - \Delta\omega)t$$

El espectro de un sistema FSK representa el mismo problema que para un sistema FM. Pero se puede representar considerando que sólo es para frecuencias positivas (figura 4)

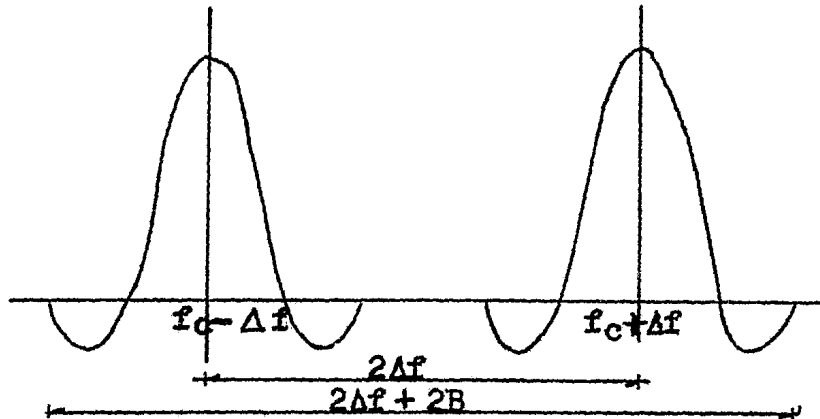


figura 4

### I.3 MODULACION PSK

Al igual que las anteriores modulaciones tenemos un tren de pulsos binarios, teniendo así que para un "uno" se tiene una polaridad positiva, mientras que para un "cero" se tiene una polaridad negativa en la señal portadora. La función que representa esta modulación es la siguiente:

$$f_c(t) = - \cos w_c t \quad - \frac{\pi}{2} \leq t \leq \frac{\pi}{2}$$

En la figura 5 se muestra realmente como cambia de polaridad de acuerdo a la información binaria, el cambio se marca con la fase de la señal portadora que para

este caso es una senoidal.

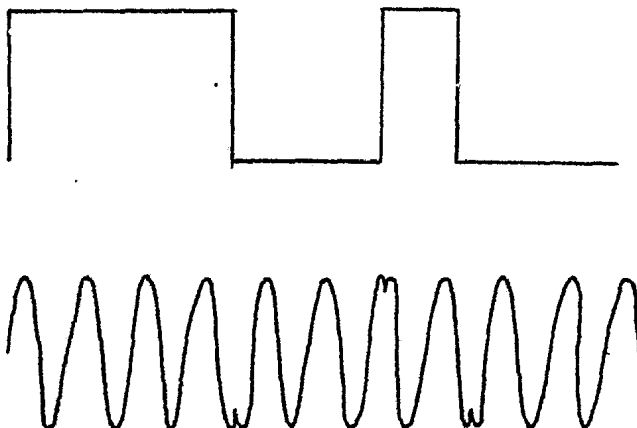


figura 5

El espectro de la señal modulada en PSK es como se muestra a continuación:

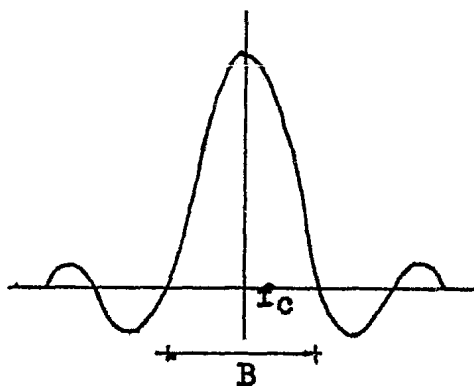


figura 6

Los siguientes diagramas de bloques muestran como se puede llevar a cabo la modulación de acuerdo a lo -- anteriormente explicado.

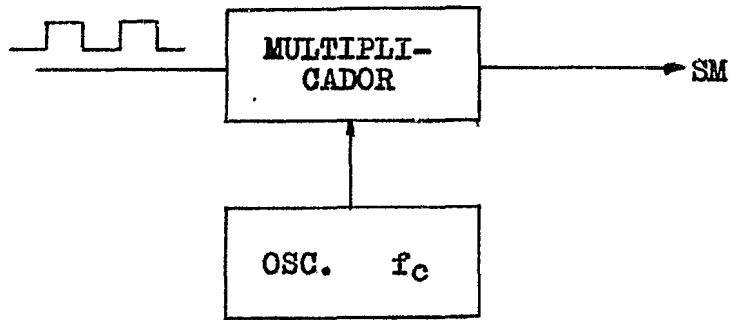


figura 7 ASK

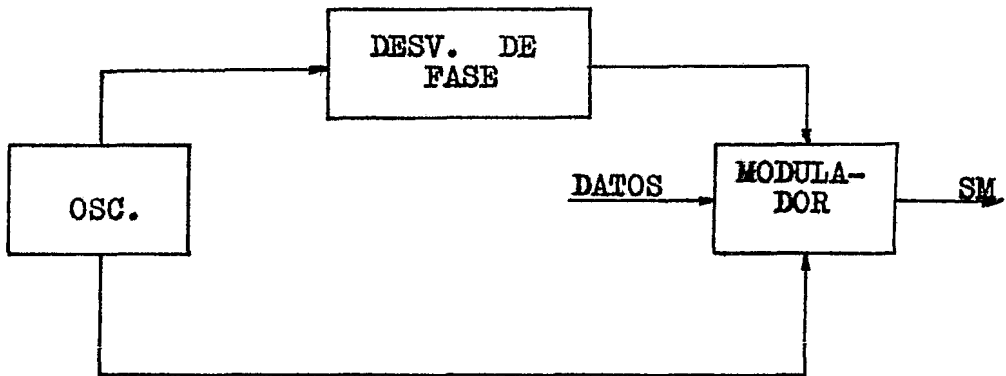


figura 8 FSK



figura 9 PSK

Después de efectuada la modulación y transmisión -- del mensaje por medio de un canal de comunicación se -- llega al detector o demodulador para recuperar en este caso el mensaje transmitido. Para poder efectuar la detección hay que determinar que tipo de modulación se -- efectuó, ya determinado se procede a determinar que tipo de detección o demodulación es la más conveniente -- ya sea la síncrona (coherente) o asíncrona (no coherente), a continuación se explica en que consisten estos -- dos tipos de detección.

#### I.4 DETECCION ASINCRONA

La detección no coherente es aquella en la cual la señal de entrada pasa por un filtro paso banda, después pasa por un detector de envolvente y luego por un convertidor analógico- digital obteniendose así los datos binarios.

#### I.5 DETECCION SINCRONA

Una detección coherente consiste en que en el receptor se reproduzca una portadora modulada exactamente igual a la señal que se tiene en la entrada del receptor para que así se multipliquen estas en el receptor -- para luego obtener los datos binarios transmitidos.

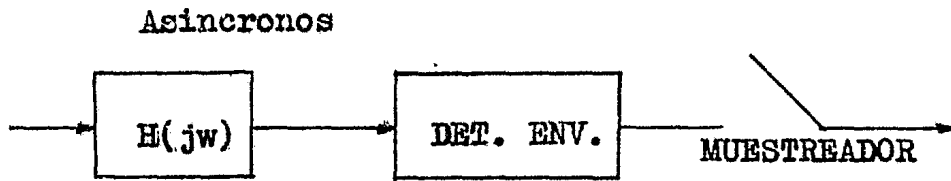


figura 10 OOK

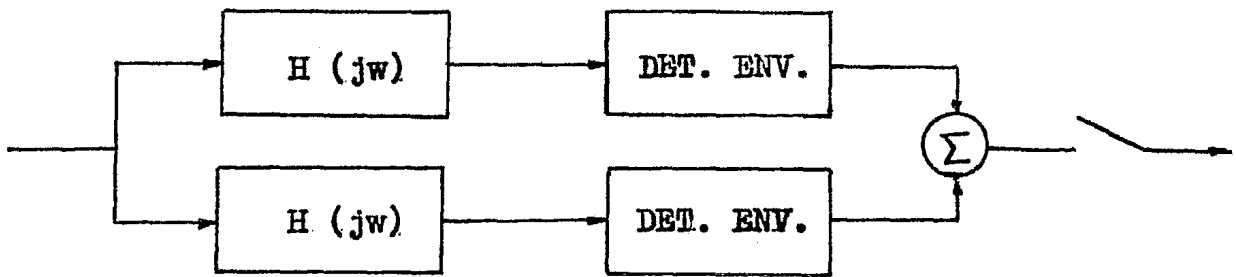


figura 11 FSK

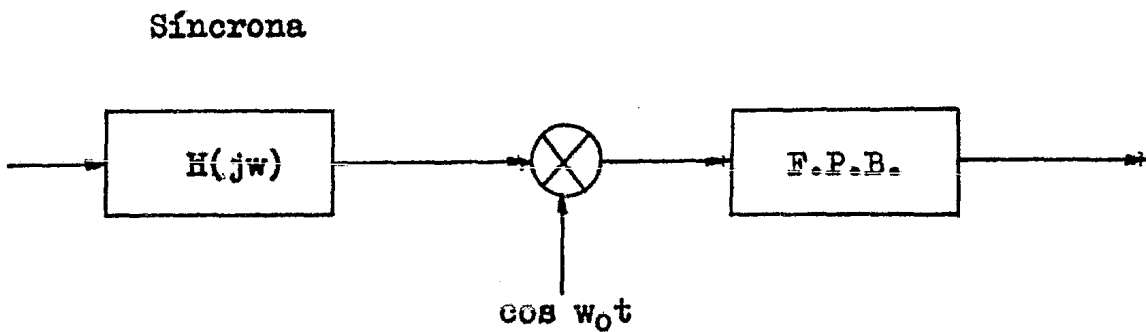


figura 12 OOK y PSK

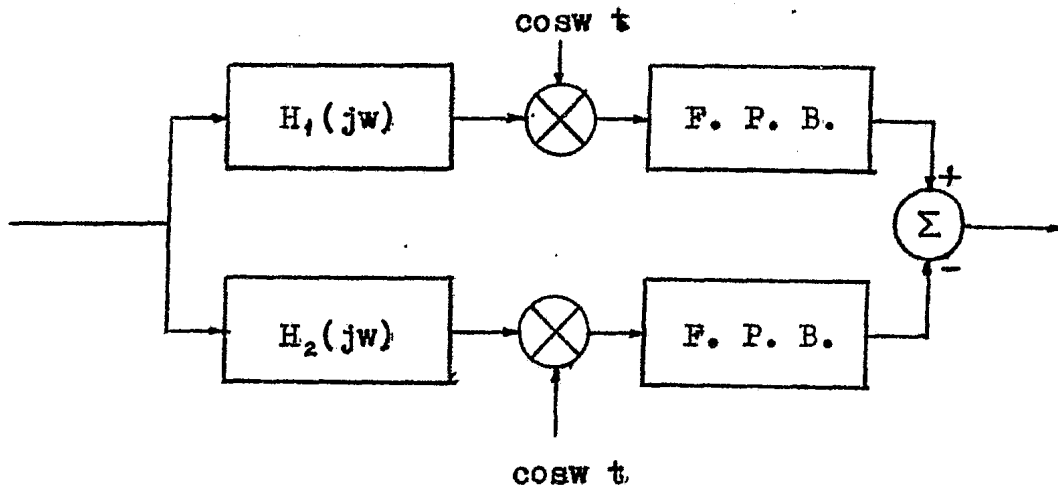


figura 13 FSK

Las dos formas de detección o demodulación pueden ser aplicadas para los sistemas OOK, FSK y PSK. La detección no coherente es la más económica y fácil de implementar siendo la más aplicada para sistemas ASK y FSK, mientras que para un sistema PSK la detección más adecuada es la síncrona, siendo así los sistemas más convenientes de detección.

Resumiendo todo lo anteriormente explicado, se tiene un conjunto modulador-demodulador bien conocido como MODEM. Estos tienen como principal función la transmisión y recepción de datos, así como de coordinar funciones adyacentes dentro del mismo sistema, tales como el control del flujo de datos entre las fuentes y la modulación y demodulación de señales.

El transmisor se encarga de efectuar la modulación de la señal binaria de la fuente de datos, con el

propósito de lograr su transmisión a través del canal. En el receptor se demodula la señal analógica recibida que lleva la información y se recupera la información original.

Un diagrama de bloques de un MODEM es como sigue:

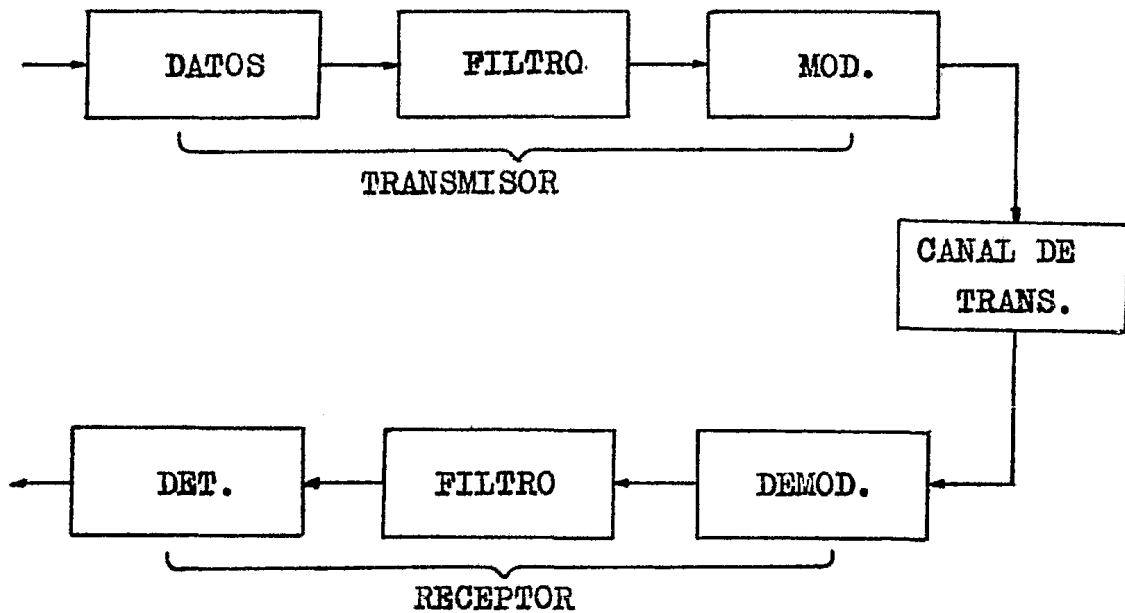


figura 14



## II MODULACION DIGITAL DE NIVEL MULTIPLE

En el capítulo anterior se hizo mención de las diferentes técnicas de modulación digital, mientras que ahora se explicarán los sistemas de modulación multisím-bola existentes.

Las señales M-ary pueden ser usadas para reducir el ancho de banda de los sistemas de transmisión, las cuales pueden ser empleadas con las técnicas de modulación existentes. Uno de los M niveles ( $M > 2$ ) de las señales  $S_1(t)$ ,  $S_2(t)$ , ...,  $S_M(t)$ , son transmitidas durante cada intervalo de señal de duración  $T_s$ . Estas señales son generadas por cambios de amplitud, fase o frecuencia de una portadora con M pasos discretos, de tal manera que se tienen M-ASK, M-PSK o M-FSK esquemas de modulación digital. Los esquemas de modulación multisím-bola son preferidos sobre los esquemas de modulación digital para transmisión de información digital sobre canales de comunicación paso bandas, ya que se requiere conservar el ancho de banda o la energía.

En la práctica es raro que se encuentre un canal de comunicación digital que tenga el ancho de banda exacto al requerido para la transmisión usando los

esquemas de señalización digital mencionados en el capítulo anterior. Por lo tanto el ancho de banda del canal es menor, mientras que para los esquemas de modulación digital multisímbola puede usarse un ancho de banda adicional y son empleados para transmitir la información sobre un canal paso banda.

Si el canal tiene un ancho de banda mucho más grande que el ancho de banda requerido para la transmisión usando técnicas de modulación digital, pueden ser usados esquemas multisímbolos empleando el ancho de banda adicional para proporcionar un incremento a la inmunidad del ruido del canal. Se puede observar que los sistemas M-PSK son usados para la conservación del ancho de banda y los sistemas M-FSK de banda ancha pueden ser usados para la conservación de la potencia en modulación digital.

En este capítulo serán estudiadas las señales multisímbolas como pueden ser en multifase, multiamplitud y combinaciones de estas. Son comunmente empleadas en telefonía y comunicación vía satélite.

Los esquemas de multifrecuencia son empleados en la práctica, pero para un propósito diferente: Ellos generalmente resultan en rangos más grandes que reducen el ancho de banda, ya que el requerimiento de espacio -

entre frecuencias de portadoras multiples es que deben estar lo suficientemente separadas. Ello provee como -- resultado un mejoramiento de inmunidad al ruido.

## II.1 MODULACION M-ASK

La modulación ASK mencionada en el capítulo ante-- rior corresponde a una modulación en amplitud de dos -- fases. Ahora se amplian los conceptos a más niveles, -- con el propósito de aumentar la cantidad de información contenida en un intervalo, presentandose sin embargo -- algunas desventajas.

Por ejemplo consideremos un sistema ASK de cuatro niveles (4-ASK), en donde cada nivel puede representar un par de bits o dibits (figura 1). Este proceso da un menor margen para los errores en el umbral de decisio-- nes del regenerador. Teóricamente el número de bits -- sencillos que lleva la señal puede ser doblado, sin -- embargo la susceptibilidad al ruido es mayor. La razón -- de diferencia en niveles que deben detectarse respecto al ruido, es mucho menor.

De la misma manera, ocho niveles permitirán que se transporten tres bits por nivel y proporcionar de esta forma tres veces la velocidad del sistema de dos nive-- les, pero las diferencias de niveles que deben detectar se son menores.

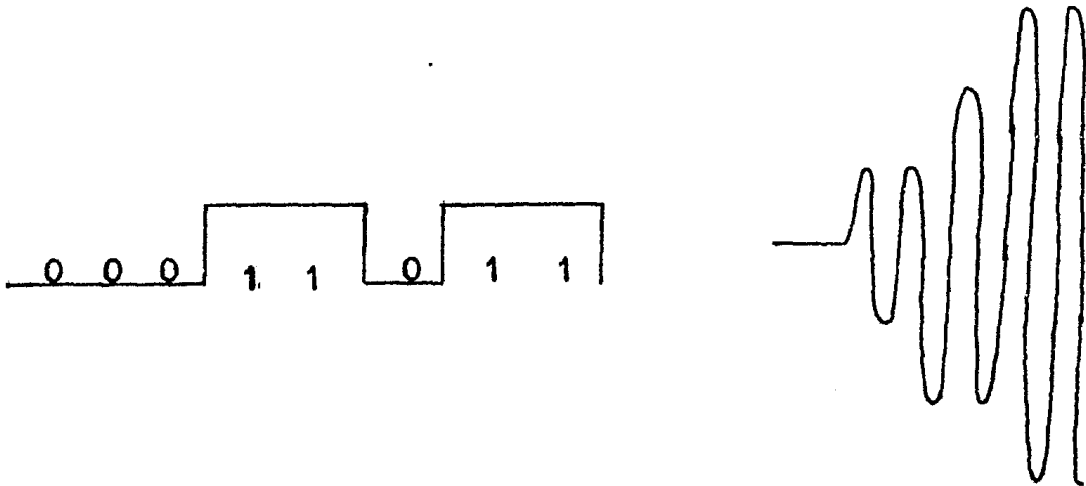


figura 1

## II.2 MODULACION M-FSK

Se puede usar la transmisión de niveles múltiples en una manera similar a lo tratado en el capítulo anterior, solo que comprimiendo más información en un ancho de banda dado, pero incrementando la susceptibilidad a los errores.

Los bits mencionados en AM pueden modular a una portadora para que esta presente cuatro frecuencias diferentes (figura 2). Esto doblaría la velocidad de transmisión, pero la SNR requerida para alcanzar la misma probabilidad de error será mucho menor, para la misma potencia en la señal, ocurriendo más errores.

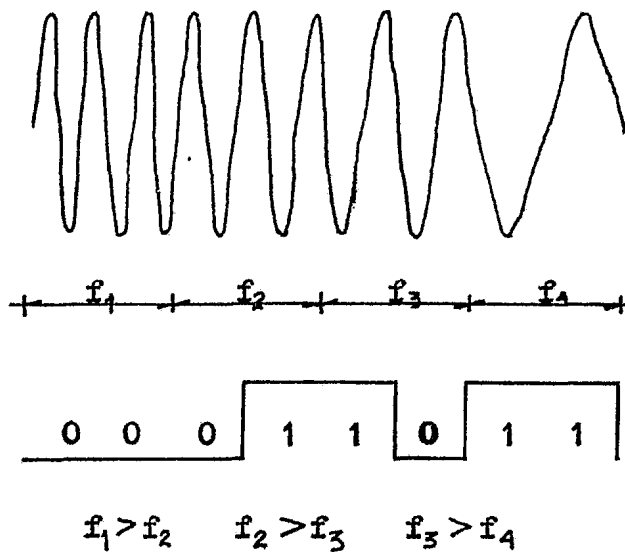


figura 2

### II.3 MODULACION M-PSK

La información está dividida en pares de bits, y - el primer par de cada bit modula una senoide, el segundo bit modula con la misma senoide sólo que retardada  $90^\circ$ . En forma similar, se emplean dos ondas senoidales para la detección, una defasada  $90^\circ$  de la otra.

El sistema M-PSK la fase de la portadora es seleccionada sobre uno de los M posibles valores  $\phi_k = k2\pi/M$ . Así las M posibles señales que podrán ser transmitidas durante un intervalo de duración  $T_S$  de señalización es:

$$S_k(t) = A \cos (\omega_c t + \phi_k) \quad 0 \leq t < T_S$$

donde

$$k = 0, 1, 2, \dots, M-1.$$

Si se sabe que  $w_c$  es la frecuencia de la portadora y es un múltiplo de  $r_s$  ( $r_s = 1/T_s$ ). La forma de onda -- M-PSK puede ser representada como:

$$Z(t) = A \sum_{k=-\infty}^{\infty} G(t - kT_s) \cos(w_c t + \phi_k)$$

donde:

$G(t)$ : es un pulso rectangular de amplitud uno con una duración de  $T_s$ .

$\phi_k$ : Los angulos de fase de la portadora.

De la ecuación anterior se obtiene la siguiente:

$$Z(t) = A \cos w_c t \sum_{k=-\infty}^{\infty} (\cos \phi_k) G(t - kT_s) - A \sin w_c t \sum_{k=-\infty}^{\infty} (\sin \phi_k) G(t - kT_s)$$

Esta ecuación nos muestra que la forma de onda  $Z(t)$  es la diferencia de dos señales de AM usando  $\cos w_c t$  y  $-\sin w_c t$  como portadoras. Tambien se puede observar que hay una separación entre fases de  $\pi/2$  rad.

Si la información a ser transmitida es una secuencia binaria aleatoria con un rango de  $r_b$  bits, entonces el ancho de banda requerido para la transmisión de ésta secuencia usando esquemas de señalización PSK es del -- orden de  $2r_b$ .

Ahora si se toman bloques de  $n$  bits y se usa un -- esquema M-PSK con  $M=2^n$  simbolos y  $r_s = r_b/n$ , el ancho de banda que se requiere es del orden de  $2r_s = 2r_b/n$ .

De tal manera que el esquema de señalización M-PSK ofrece una reducción del ancho de banda por un factor de  $n$  sobre el esquema de señalización binaria PSK,

La demodulación M-PSK usa un tipo de detección coherente, si es que una fase de referencia es aprovechable en el receptor. Para propósitos de ilustración se mencionará la demodulación de un sistema 4-PSK (bien conocido como cuadratura PSK) o Q-PSK.

Para Q-PSK es necesaria una de las cuatro posibles formas de onda transmitida durante cada intervalo señalado  $T_s$ . Estas formas de onda están representadas por la siguiente ecuación:

$$S_i(t) = \cos(\omega_c t + \theta_i) \quad 0 \leq t \leq T_s$$

donde

$$i = 1, 2, 3, 4.$$

La señal representada por la ecuación anteriormente mostrada, puede ser representada por una expresión trigonométrica, como la siguiente ecuación:

$$S_i(t) = a_i \cos \omega_c t + b_i \sen \omega_c t \quad 0 \leq t \leq T_s$$

Siendo que los términos  $(a_i, b_i)$  pueden ser representados en una constelación dependiendo de los ángulos, si estos son:

$$\theta_i = 0, -\pi/2, \pi.$$

se tiene que

$$(a_i, b_i) = (1, 0), (0, 1), (-1, 0), (0, -1)$$

Pero si se emplean los siguientes ángulos:

$$\theta_i = -\pi/4, -3\pi/4$$

se tiene que

$$(a_i, b_i) = (1, 1), (-1, 1), (-1, -1), (1, -1)$$

Con esto se deduce que es muy útil el representar las señales en un diagrama bidimensional para la localización de los puntos  $(a_i, b_i)$ . En el eje horizontal se localiza  $a_i$  y es llamado eje en fase, mientras que el eje vertical a través del cual es localizado  $b_i$  es conocido con el nombre de eje en cuadratura. Las cuatro señales representadas para ángulos de  $-\pi/4$  y  $-3\pi/4$  son mostradas en la figura 3.

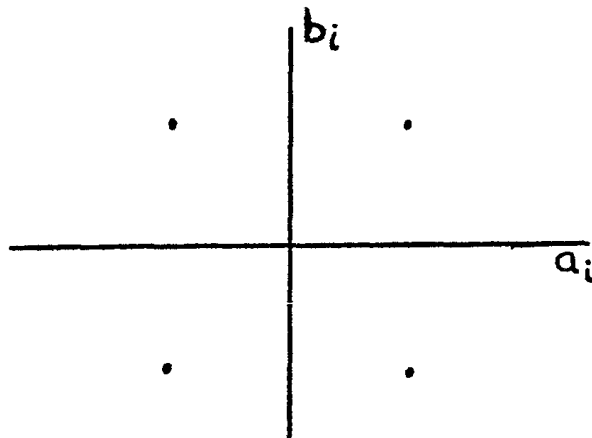


figura 3



El receptor requiere de dos formas de onda locales de referencia  $A \cos(\omega_c t + 45^\circ)$  y  $A \cos(\omega_c t - 45^\circ)$  que son derivadas de una portadora local coherente de referencia  $A \cos \omega_c t$ .

Para propósito de análisis tenemos que considerar la operación del receptor durante el intervalo de la señal  $(0, T_s)$ . Se tendrá que denotar la componente de la señal a la salida del correlacionador por  $S_{01}$  y  $S_{02}$  respectivamente y la componente de ruido por  $n_0(t)$ .

Los niveles de la señal de salida mostrados en la tabla I indican que la señal transmitida puede ser reconocida de las polaridades de las salidas de ambos correlacionadores.

Dibits		$\text{sen}(\phi_k - \phi_{k'})$	$\text{cos}(\phi_k - \phi_{k'})$
0 0	$45^\circ$	+	+
0 1	$135^\circ$	+	-
1 0	$-45^\circ$	-	+
1 1	$-135^\circ$	-	-

TABLA I

Para la detección diferencial no se genera una referencia fija de la fase en el receptor sino que la información es codificada por medio de los cambios de fase.

Por lo tanto el receptor no necesita una referencia fija ya que identifica los cambios de fase. Sin embargo se requiere del retardo de un símbolo de la señal recibida para poder compararla con la otra entrante.

El receptor para un Q-PSK diferencial consiste esencialmente de la comparación de dos bifases, como el mostrado en el diagrama de bloques de la figura 5 y en la figura 4 se muestra el modulador.

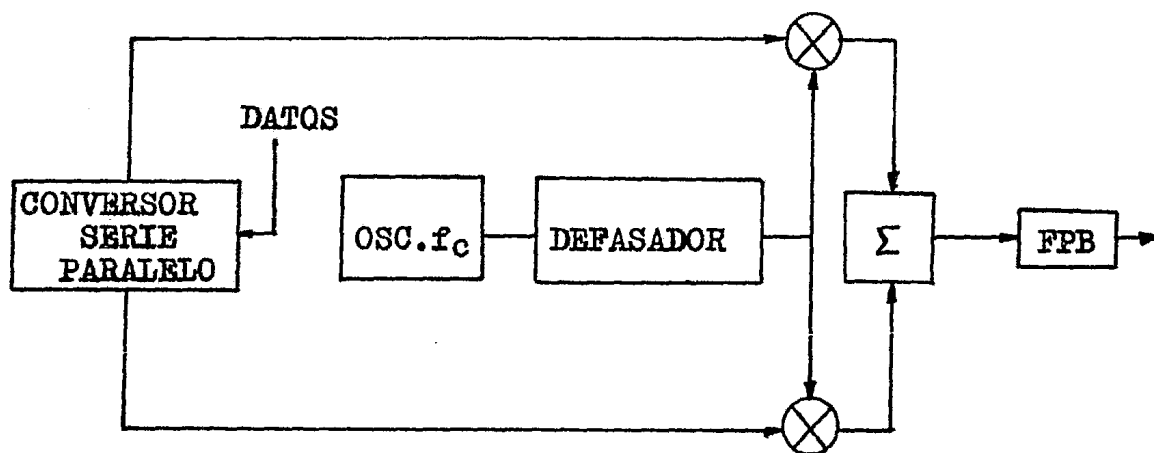


figura 4

#### II.4 MODULACION QAM

La técnica de modulación AM en cuadratura consiste de una combinación de dos sistemas AM, los cuales tienen el mismo valor en su frecuencia portadora pero defasada  $90^\circ$  entre códigos.

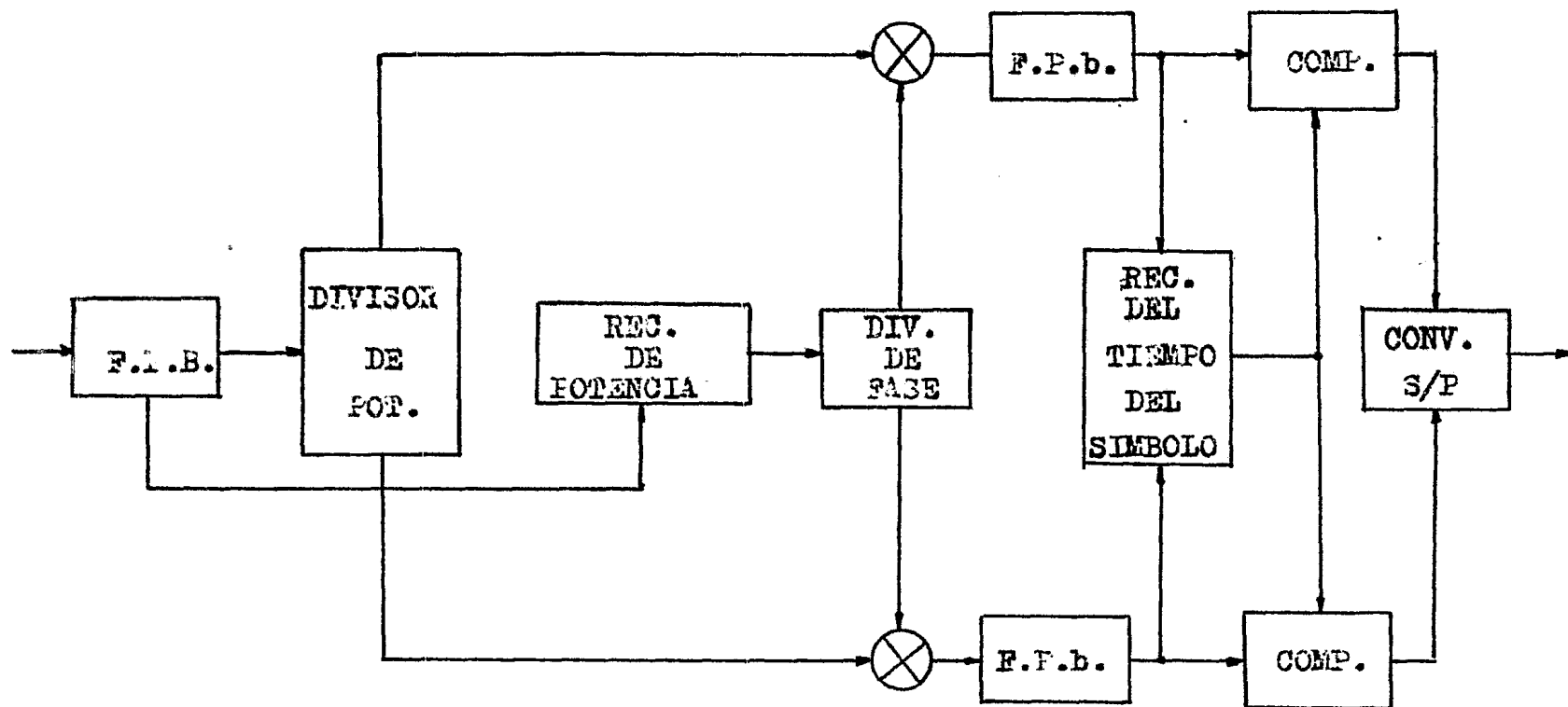


figura 5

Los tipos más generales de señalización multisímbola pueden ser generados a partir de la constelación, -- tomando de ella valores múltiples. Las señales resultantes son llamadas modulación de amplitud en cuadratura -- (QAM). Estas señales pueden ser interpretadas como ya -- se mencionó en AM de nivel múltiple aplicada independientemente en cada una de las portadoras en cuadratura.

El demodulador de la figura 6 con un detector de -- nivel aplicado a la salida de cada detector síncrono -- podría entonces ser usado para recobrar la información digital deseada.

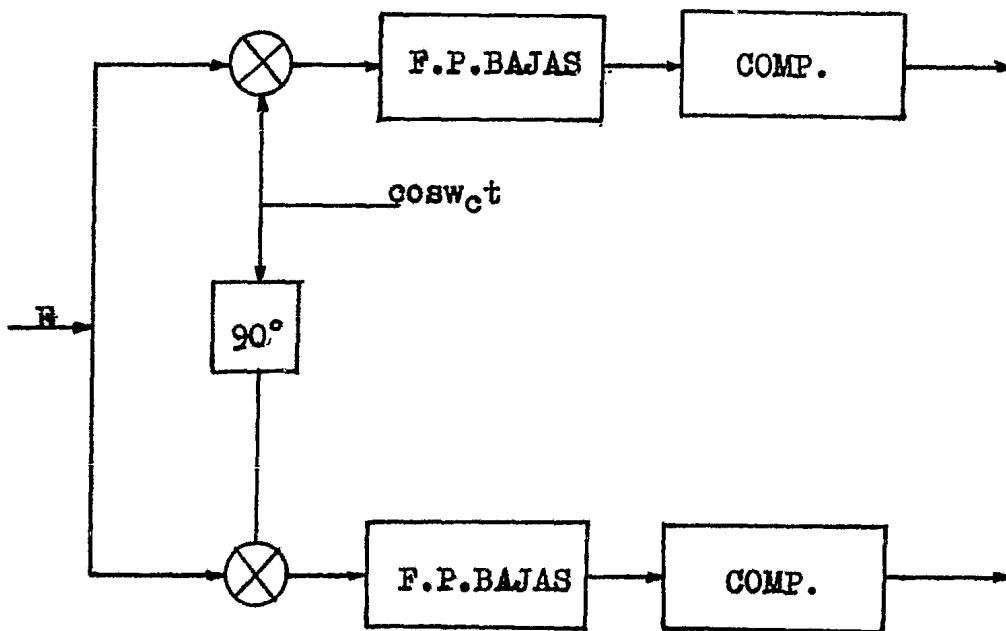


figura 6

La constelación para un 16-QAM aparece en la fig. 7

Hay que hacer notar que la señal puede ser considerada como la generada por dos señales AM en cuadratura. De aquí que sus cuatro niveles de amplitud son usados en cada una de las portadoras, esta señal en ocasiones es referida como una de 4-QAM.

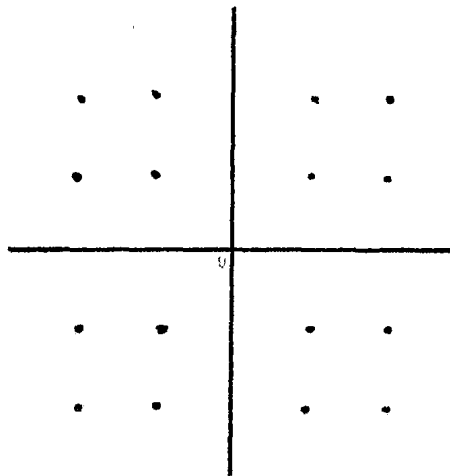


figura 7

Es evidente que la señal rectangular de entrada y la forma de fase discontinua mostrada en la señal de la salida modulada (figura 8), es particularmente importante para una señalización multinivel. Un modulador real podría así tener la entrada de pulsos binarios antes de la modulación. Alternativamente, las señales sucesivas de salida podrian cada una ser pasada a través de un filtro paso banda apropiado antes de iniciar la transmisión.

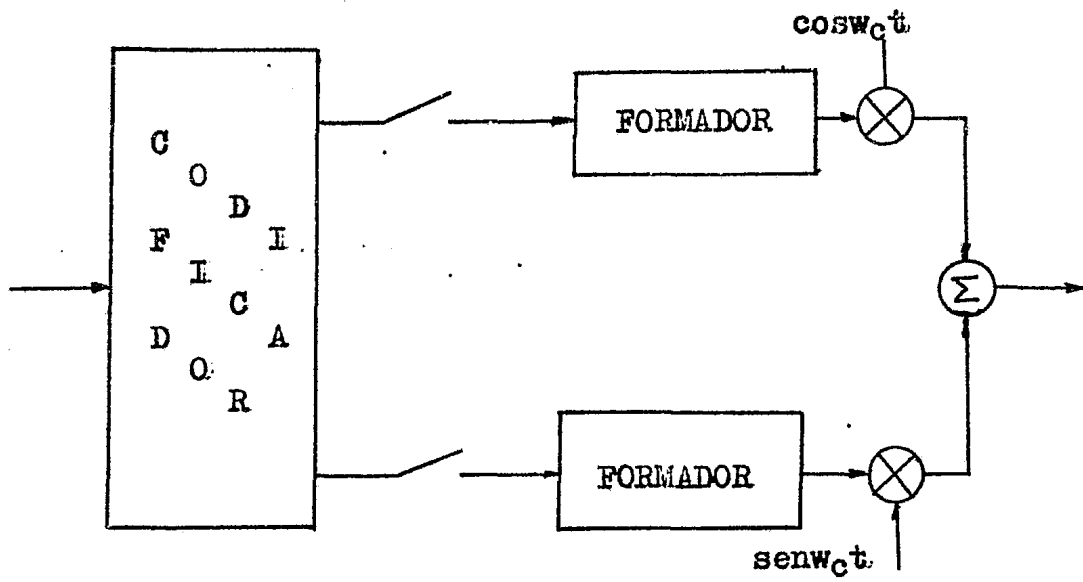


figura 8

### III COMPARACION DE LOS SIST. MULTISIMBOLOS

En los capítulos anteriores se han mencionado las características de cada uno de los tipos de modulación existentes, en este capítulo se llevará a cabo una comparación de los esquemas de modulación. Esto se logrará apoyandose en los parámetros del sistema como son: la probabilidad de error, rangos de señalización, potencia del ruido, densidad espectral y potencia de la señal.

La discusión abarcará también la complejidad del equipo requerido para generar, transmitir y demodular en los diferentes tipos de modulación.

Se iniciará la comparación enfatizando en que la selección de un método de modulación digital depende de la aplicación que se vaya a dar. La selección puede ser basada en la inmunidad que tenga al ruido, deterioro del canal (como las no linealidades, fase variable, etc.), en la simplicidad del equipo y la compatibilidad con otro ya existente en el sistema.

#### III.1 REQUERIMIENTOS DEL ANCHO DE BANDA

Los anchos de banda de las señales ASK y PSK son del orden de  $2r_b$ , mientras que para FSK es algo mayor a  $2r_b$ .

El ancho de banda que se requiere para una señal - multisímbola PSK es del orden de  $2r_b/n$ , por lo que se - puede decir que se tiene un ahorro en el ancho de banda.

La siguiente tabla nos compara los sistemas multi- símbolos el ancho de banda con respecto a la capacidad de velocidad de transmisión.

TIPO DE MODULACION	bits/seg	ANCHO DE BANDA		
		4800	7200	9600 bps
2 niveles QAM	2	2400		
QPSK	2	2400		
3 niveles QAM	3	1600	2400	
8-PSK	3	1600	2400	
4 niveles QAM	4	1800		2400
6 niveles QAM	5	1920		
8 niveles QAM	6	1600		

TABLA

### III.2 REQUERIMIENTOS DE POTENCIA

Los requerimientos de potencia de los diversos es- quemas de modulación pueden ser comparados empleando -- las relaciones mostradas en la tabla II, así como una - gráfica que relaciona la probabilidad de error ( $P_e$ ) -- contra la relación señal a ruido ( $SNR = A T_b/2n$ ) y se - muestran en la figura 1.



TIPO DE MODULACION	$S_n(t)$	BW	$P_e$	dB(S/N, $P_e=10^{-4}$ )
ASK COHERENTE	$S_1(t) = A \cos \omega_c t$ $S_2(t) = 0$	$2r_b$	$Q \sqrt{\frac{A^2 T_b}{4n}}$	14.14
ASK NO-COHERENTE	$S_1(t) = A \cos \omega_c t$ $S_2(t) = 0$	$2r_b$	$\frac{1}{2} \exp\left(-\frac{A^2 T_b}{16n}\right)$	18.33
FSK COHERENTE	$S_1(t) = A \cos(\omega_c - \omega_d)t$ $S_2(t) = A \cos(\omega_c + \omega_d)t$	$> 2r_b$	$Q \sqrt{\frac{0.61 A^2 T_b}{n}}$	10.6
FSK NO-COHERENTE	$S_1(t) = A \cos(\omega_c - \omega_d)t$ $S_2(t) = A \cos(\omega_c + \omega_d)t$	$> 2r_b$	$\frac{1}{2} \exp\left(-\frac{A^2 T_b}{8n}\right)$	15.33
ESK COHERENTE	$S_1(t) = A \cos \omega_c t$ $S_2(t) = -A \cos \omega_c t$	$2r_b$	$Q \sqrt{\frac{A^2 T_b}{n}}$	8.45
D-PSK	$S_1(t) = A \cos \omega_c t$ $S_2(t) = -A \cos \omega_c t$	$2r_b$	$\frac{1}{2} \exp\left(-\frac{A^2 T_b}{2n}\right)$	9.3
M-PSK $M \geq 4$	$S_i(t) = \cos(\omega_c t + \theta_i)$	$\frac{2r_b}{n}$	$2Q \sqrt{\frac{A^2 T_b}{n}} \sin \frac{\pi}{M}$	9.3
M-DPSK	$S_i(t) = \cos(\omega_c t + \theta_i)$	$\frac{2r_b}{n}$	$2Q \sqrt{\frac{A^2 T_b}{n}} 2 \sin^2 \frac{\pi}{2M}$	9.3

TABLA I

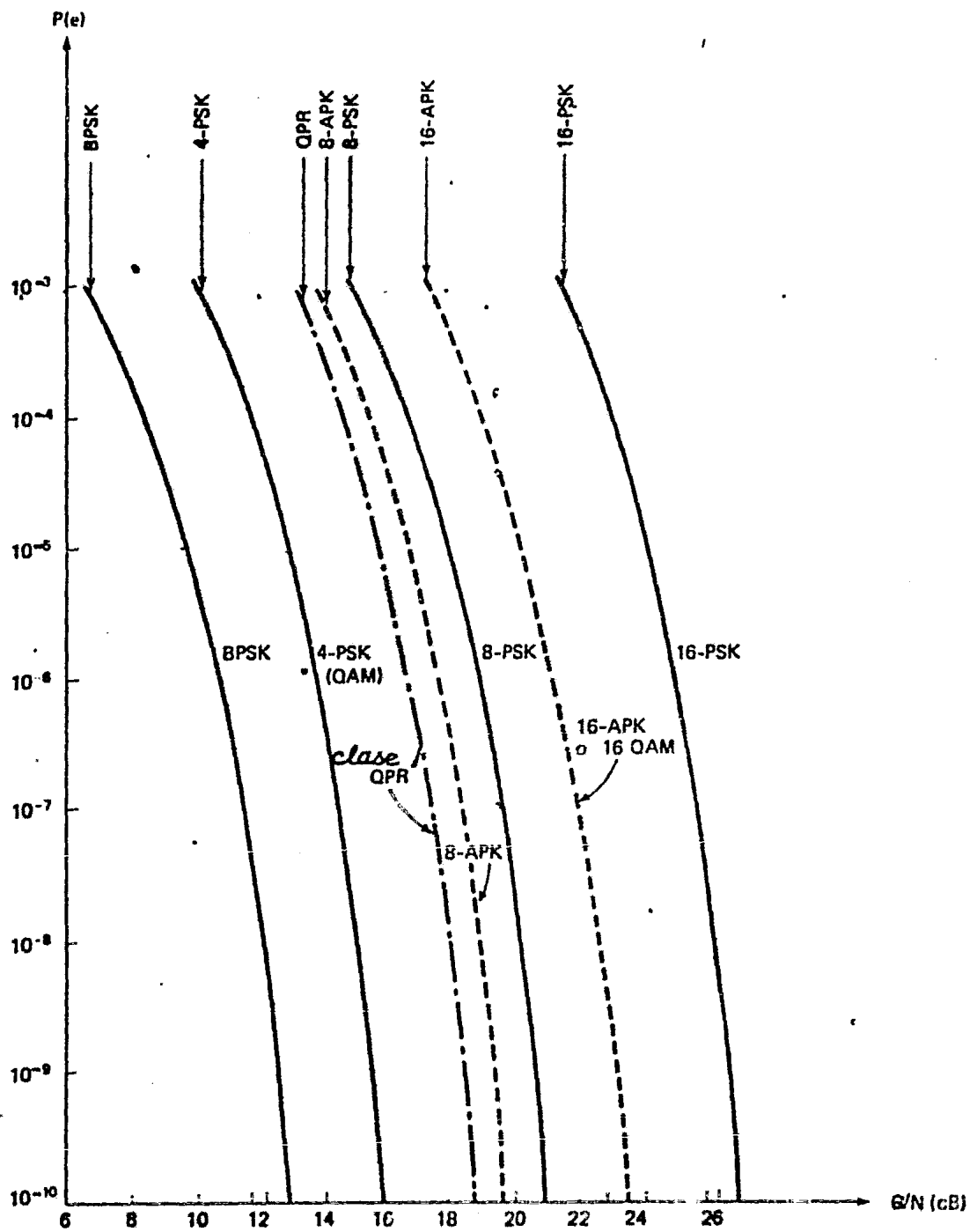


figura 1

Una manera de medirla es utilizando la banda base - equivalente  $E_b/N_0$  (definida como una relación del promedio de energía por un bit a ruido con una densidad espectral de potencia, como el medio a la entrada del receptor).

Siempre hay que establecer una base de comparación; la tabla III presenta el funcionamiento ideal de la modulación representativa en la presencia de ruido Gaussiano aditivo. El funcionamiento idéntico que tienen las modulaciones QAM, MSK y QPSK confirman sus fundamentos similares.

TIPO DE MODULACION	$E_b/N_0$ (dB)
OOK coherente	11.4
OOK det. de env.	11.9
QAM	8.4
FSK no coherente	12.5
BPSK coherente	8.4
DPSK	9.3
QPSK	8.4
DQPSK	10.7
8-PSK	11.8
16-PSK	16.2
16-APK	12.4

TABLA II

### III. 3 CARACTERÍSTICAS ESPECTRALES

Las características espectrales de los esquemas de modulación pueden ser comparados en formas diferentes. Es de interés particular el límite en el cual una señal interferirá con otras señales en canales adyacentes. -- Una medida de ésta calidad es la atenuación que sufre -- el espectro de potencia de la señal, a una distancia -- específica de la frecuencia central. Si por ejemplo --- examinamos la atenuación a una distancia arbitraria de  $8/T$  Hz, de la frecuencia central (donde T es la dura--- ción del símbolo), se encontrará que para AM los lóbulos laterales son por debajo de los 25 dB, con PM será de -- 33 dB y para FM de 60 dB o más.

Mientras estos números aparentan indicar una ventaja significativa para FM, esto podría ser puesto en su propia perspectiva. Como se mencionó que para sistemas -- PM ocurre una transición abrupta de fase, si la transición de fase ocurriera más suavemente, se perfecciona--- rían las características espectrales. Además se tiene -- que los lobulos laterales pueden ser reducidos frecuente--- mente por un pos-filtrado de modulación.

Una propiedad espectral de interés es el ancho de banda requerido para transmitir un rango específico de información. Siendo esto llamado velocidad de transmi--- sión de una técnica de modulación y es igual a  $R/w$  ---

(donde R es el rango del dato y w es el ancho de banda en FI).

En la tabla IV se enlista la velocidad de cada una de las técnicas junto con el requerimiento  $E_b/N_0$  para una probabilidad de error de  $10^{-4}$ , entonces la señal es filtrada al ancho de banda requerido. Los resultados de la tabla IV fueron derivados de diferentes fuentes, por lo tanto de diferentes filtros, pero estos valores son parecidos a los resultados esperados.

TIPO DE MODULACION	b/s/Hz	$E_b/N_0$ (dB)
Ook coherente	0.8	12.5
Ook no-coherente	-	-
QAM	1.7	9.5
FSK no-coherente	0.8	11.8
BPSK	0.8	9.4
DPSK	0.8	10.6
QPSK	1.9	9.9
DQPSK	1.8	11.8
8-PSK	2.6	12.8
16-PSK	2.9	17.2
16-APK	3.1	13.4

TABLA IV

### III.4 EFECTOS DE INTERFERENCIA

Otro factor importante en evaluación potencial de

esquemas de modulación en comunicaciones digitales es - el efecto de interferencia en canales adyacentes.

Con lo anteriormente mencionado se puede iniciar - la discusión de un aspecto de la interferencia en canales adyacentes. Como fue expresado anteriormente se sabe que MSK disfruta de una gran ventaja sobre los esquemas AM y PM, siendo así innecesario un pos-filtrado de modulación.

Un aspecto de la interferencia en canales adyacentes es la cantidad de degradación causada por un nivel específico de interferencia. La tabla V ilustra el efecto de interferencia en banda CW (10 dB o 15 dB abajo de la potencia de la señal deseada), en SNR requerido para una probabilidad de error de  $10^{-4}$ . Esta situación puede ser también un modelo de interferencia de lóbulos laterales en canales adyacentes o para el lóbulo principal de una interferencia de canal.

Del esquema para el cual los datos son aconsejables, FSK no coherente y BPSK muestran la mínima deformación de su funcionamiento ideal, mientras los esquemas 8-ary y 16-ary muestran la máxima deformación (comparados con la tabla II). Desafortunadamente los resultados no analíticos o de simulación son aconsejables -- para cualquiera de los esquemas FSK o para QPSK.

TIPO DE MODULACION	$E_b/N_0$ req. 10 dB
OOK no-coherente	20
FSK	14.7
BPSK	10.5
DPSK	12
QPSK	12.2
8-PSK	20

TABLA V

### III.5 COMPLEJIDAD.

Una comparación final podría ser la complejidad y el costo de los esquemas de modulación, siendo quizá -- una de las más importantes.

Es difícil una evaluación profunda del costo de un esquema de modulación en particular sin una escala completa de comparación entre ellos, cambiando lo involucrado con algunas opciones de implementación alternativa.

Sin embargo los métodos de modulación pueden ser -- jerarquizados de acuerdo a su inherente complejidad, -- los resultados de la comparación son graficados en la -- figura 2.

Como se observa de todo lo anterior se puede decir que el esquema QPSK es uno de los más aconsejables ya --

que se encuentra en el punto óptimo de todos los requerimientos.

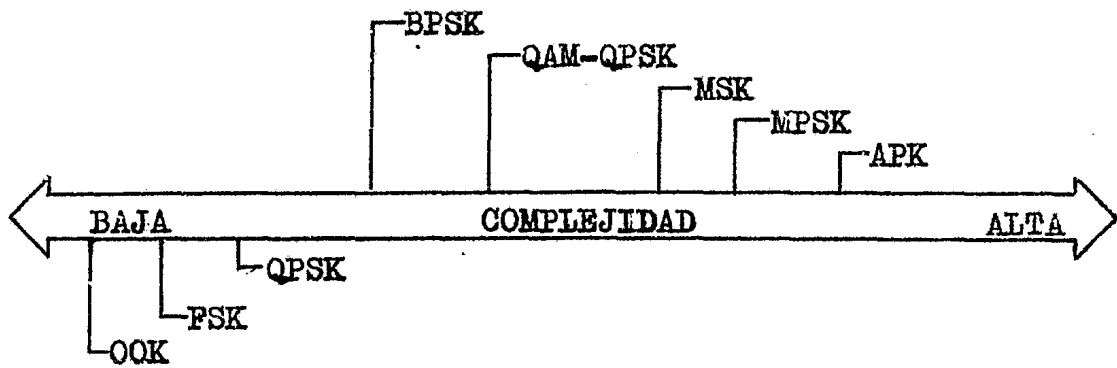


figura 2



#### IV DISEÑO Y CONSTRUCCION

La modulación en fase seleccionada es el sistema - que se muestra en el diagrama de bloques de la figura 1.

Los circuitos que componen el modulador son:

Generador de funciones.

Circuitos defasadores.

Circuitos de acoplamiento, sumadores e inversores.

Convertor serie-paralelo.

Circuito lógico digital.

Interruptores analógicos.

Existen diversas formas para efectuar la demodulación y fué seleccionado el sistema que se muestra en el diagrama de bloques de la figura 2.

Los circuitos que lo componen son:

Filtro paso banda.

Circuito de retardo y multiplicador.

Circuito defasador de  $90^\circ$ .

Circuito de detección diferencial

Filtros paso bajas.

PLL

Circuito de recuperación del tiempo del símbolo.

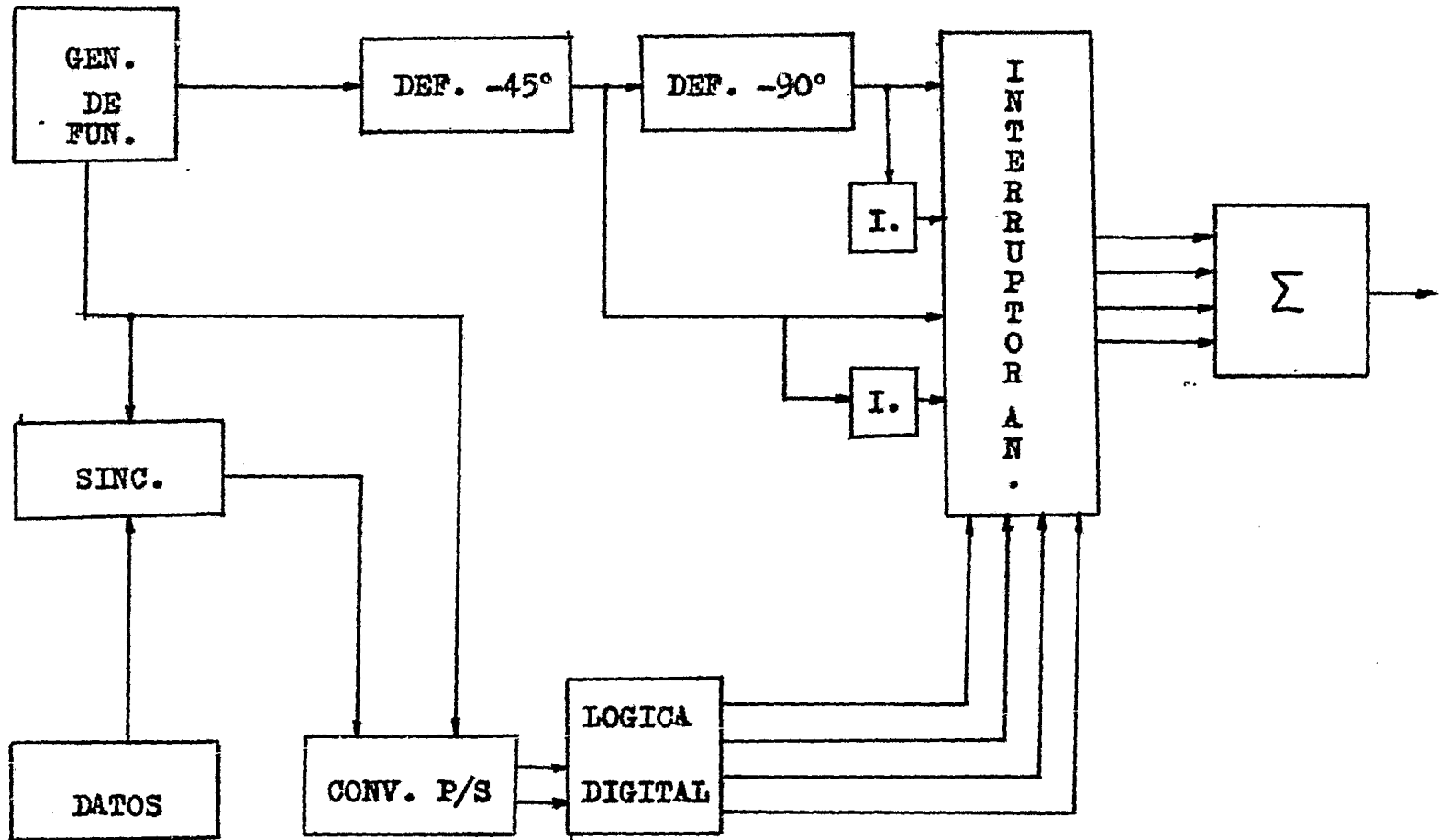


figura 1

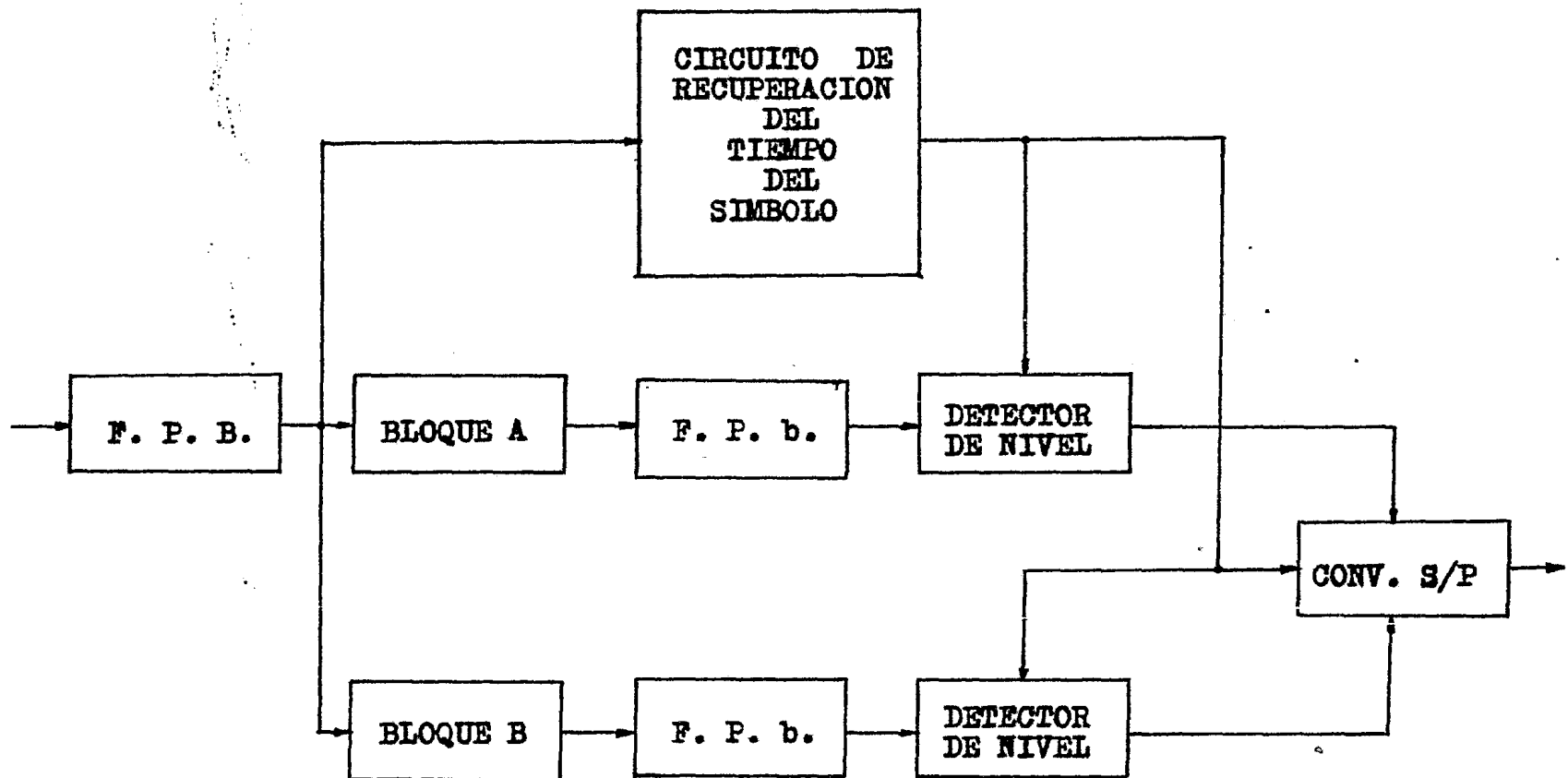


figura 2

Detectores de nivel de voltaje.

Circuitos formadores de onda.

Conversor paralelo-serie.

A continuación se iniciará el estudio de cada uno de los circuitos mencionandolos de una manera general - ya que como se puede observar hay circuitos que se repiten tanto en el modulador como en el demodulador, de -- tal manera que al final se conjuntan cada uno en su lugar de acuerdo al diagrama del circuito de cada uno.

#### GENERADOR DE FUNCIONES

El objetivo de este circuito (8038) es el de generar la portadora y el reloj requeridos en la operación del modulador. El circuito generador de las formas de - onda senoidal (portadora) y cuadrada (reloj) es mostrado en la figura 3.

Análisis para el cálculo de las componentes.

Para obtener un funcionamiento óptimo del circuito, se consideran corrientes de carga del orden de  $10\ \mu\text{A}$  a  $1\ \text{mA}$ . Siempre y cuando las patas 7 y 8 del circuito --- sean puenteadas, por lo que la magnitud de la corriente de carga debido a  $R_a$  puede calcularse a partir de:

$$I = \frac{V_{CC} (1)}{5 (R_a)} \quad (1)$$

El generador de funciones puede operar a partir de

una fuente sencilla o una fuente de alimentación doble. Con una fuente sencilla se tiene que los niveles de voltaje de las ondas triangular y senoidal son simétricas con respecto al nivel cero de voltaje. Mientras que una fuente dual tiene la ventaja de que sus formas de onda se mueven simétricamente con respecto a la referencia.

De la ecuación (1) se tiene

$$R_a = \frac{V_{cc}}{5} \quad (2)$$

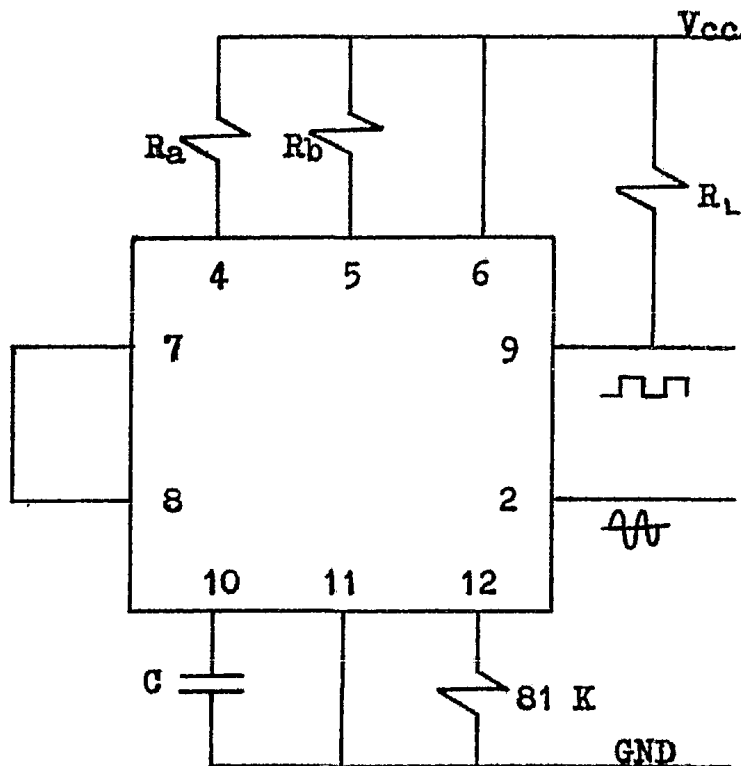


figura 3

Como se requiere de ondas simétricas, el ciclo de trabajo deberá ser del 50% por lo que  $R_a = R_b = R$ .

Para  $V_{CC} = 15v$  de (2) se tiene que:

$$R_a = \frac{15}{5} = 3K\Omega$$

De la hoja de datos correspondiente al 8038 se encuentra que la ecuación que define a la frecuencia está dada por:

$$f = \frac{1}{t_1 + t_2} = \frac{1}{\frac{3}{5} R_a C \left( 1 + \frac{R_b}{2R_a - R_b} \right)} \quad (3)$$

Si  $R_a = R_b = R$

$$f = \frac{0.3}{R C} \quad (4)$$

Considerando que la frecuencia de la portadora es de 9600 Hz. se obtiene que para las condiciones especificadas, el valor del capacitor correspondiente es de:

Para  $V_{CC} = 15v$  y  $R = 3K\Omega$  de la ecuación (4) se tiene:

$$C = 10.42 \times 10^{-9} f$$

De los valores seleccionados de capacitor comercial se tiene que el valor de resistencia es de:

$$R = 3.3K\Omega$$

$$C = 10nf.$$

Para poder minimizar la distorsión de la forma de onda senoidal, se coloca entre las terminales 11 y 12 -

una resistencia de  $82K\Omega$ . Si la resistencia fuera variable se lograría una distorsión menor del 1%. Para reducir más la distorsión, se pueden conectar dos presets -- como se muestra en la figura 3 de la hoja de datos del 8038. Con esta configuración se puede lograr una reducción de la distorsión de la onda senoidal cercana al -- 0.5%.

### CIRCUITOS DEFASADORES

Estos circuitos son necesarios debido fundamentalmente a que la señal senoidal requiere de un cierto acondicionamiento para que posteriormente sea procesada.

La onda senoidal obtenida del generador tiene un -- defasamiento en retardo de  $90^\circ$  con respecto a la onda -- cuadrada. La finalidad del defasador de  $45^\circ$  es la de -- tener fuera de fase a las ondas senoidal y cuadrada, lo cual se logra mediante el circuito representado en la -- figura 4.

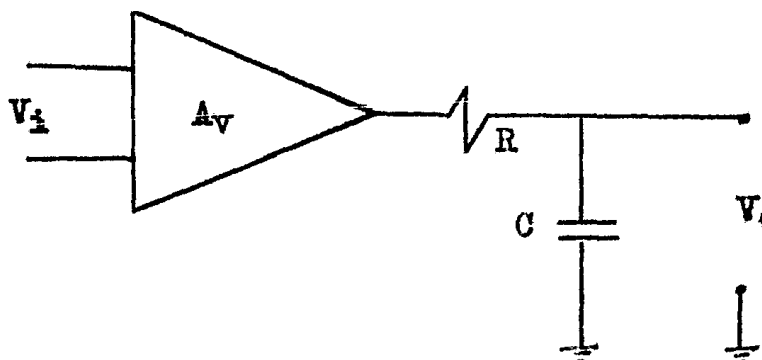


figura 4

Posteriormente se emplea un defasador de  $90^\circ$  para así poder tener las fases correspondientes para el demodulador, el defasador de  $90^\circ$  se ilustra en la figura 5.

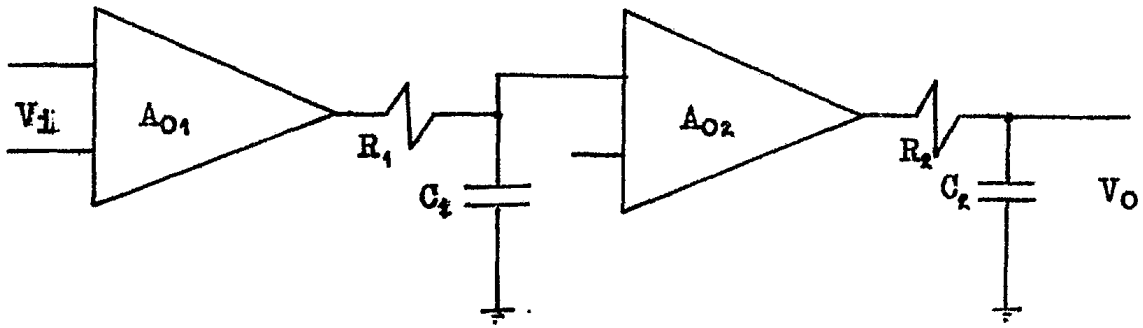


figura 5

Como se puede observar, el circuito de la figura 5 tiene una configuración de seguidor en el cual a la salida de los amplificadores operacionales se han introducido circuitos RC. Estos circuitos limitan el ancho de banda del amplificador además de que a frecuencias altas, el capacitor se comporta como un corto circuito a tierra con lo que se tendría que  $V_o = 0v$ .

El objeto de conectar amplificadores operacionales entre los arreglos, es para asegurar la no interacción entre los dos circuitos, con el propósito de no cargar un circuito al otro.

El circuito mostrado en la figura 5 esta compuesto por dos circuitos de la forma mostrada en la figura 4.



Si analizamos el circuito de la figura 4 y posteriormente se extiende el concepto a los resultados del circuito de la figura 5 obtendremos las ecuaciones que caracterizan a cada uno de ellos.

Análisis del circuito de la figura 4.

La relación entrada salida del circuito esta dada por:

$$V_o = \frac{A V_i (1/j\omega C)}{Z} \quad (5)$$

donde

$$Z = R - j \frac{1}{\omega C} \quad (6)$$

$$\frac{V_o}{V_i} = \frac{A (1/j\omega C)}{R - j \frac{1}{\omega C}} \quad (7)$$

$$H(j\omega) = \frac{A}{j\omega RC + 1} \quad (8)$$

De la ecuación anterior se tiene que:

$$|H(j\omega)| = \frac{|A|}{\sqrt{1 + \left(\frac{\omega}{\omega_1}\right)^2}} \quad (9)$$

$$\angle H(j\omega) = - \tan^{-1} \frac{\omega}{\omega_1} \quad (10)$$

Como se puede observar que tanto la magnitud como la fase de la ganancia de un amplificador real en malla

abierta son función de la frecuencia.

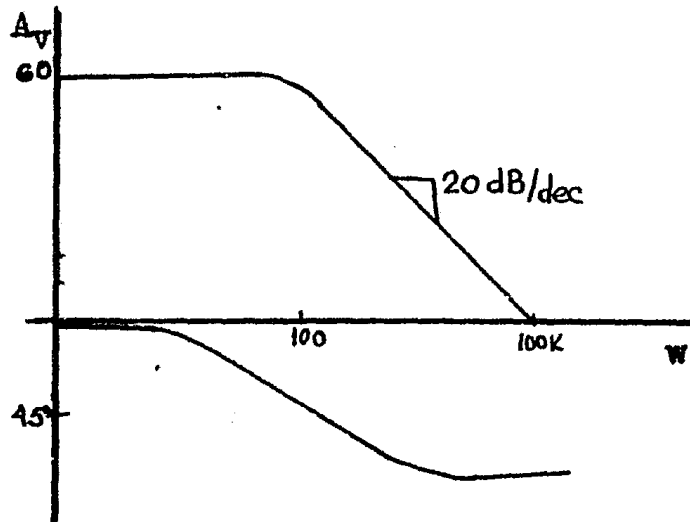


Diagrama de Bode

Como se mencionó anteriormente, si ahora los resultados se hacen extensivos para el circuito de la figura 5 se tiene:

$$H(j\omega) = \frac{V_1}{V_i} \times \frac{V_o}{V_1} = \frac{V_o}{V_i} \quad (11)$$

donde

$$\frac{V_1}{V_i} = \frac{A_{O1}}{1 + j\frac{\omega}{\omega_1}} \quad (12)$$

$$\frac{V_o}{V_1} = \frac{A_{O2}}{1 + j\frac{\omega}{\omega_2}} \quad (13)$$

$$H(j\omega) = \frac{A_o}{\left[1 + j\frac{\omega}{\omega_1}\right] \left[1 + j\frac{\omega}{\omega_2}\right]} \quad (14)$$

donde

$$A_0 = A_{01} \times A_{02} \quad (15)$$

$$w_1 = \frac{1}{R_1 C_1} \quad (16)$$

$$w_2 = \frac{1}{R_2 C_2} \quad (17)$$

suponiendo

$$w_2 > w_1$$

Expresando la ecuación 14 en terminos de magnitud y ángulo se tiene:

$$|H_1(jw)| = \sqrt{\left(1 - \frac{w^2}{w_1 w_2}\right)^2 + \left(\frac{1}{w_1} + \frac{1}{w_2}\right)^2 w^2} \quad (18)$$

$$\angle H_1(jw) = \tan^{-1} \frac{w(w_2 + w_1)}{w_1 w_2 - w^2} \quad (19)$$

El circuito mostrado en la figura 5 es conocido -- como un sistema de dos polos. Por lo que este sistema -- posee dos frecuencias críticas, con una pendiente máxima de -40 dB/decada, con un ángulo de fase de -180° y -- ángulos de fase para cada frecuencia crítica de -45° y de -135°.

Del diagrama de Bode se obtienen las siguientes -- conclusiones generales para sistemas RC en cascada, sin interacciones mutuas en las frecuencias críticas.

- a) Cada polo contribuye con -20 dB/dec.
- b) La máxima fase es de  $N(90^\circ)$  donde  $N$  es el número de polos.

c) El ángulo de fase de la primera frecuencia es de  $-45^\circ$ , Cada una de las frecuencias de corte contribuye con  $-45^\circ$  de corrimiento de fase.

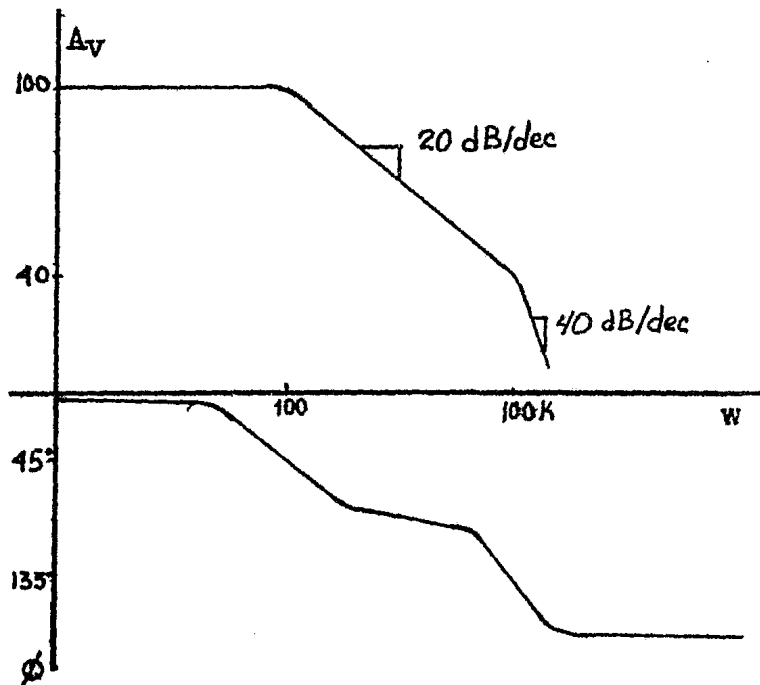


Diagrama de Bode

De las ecuaciones 16 y 17 que son las frecuencias de corte del circuito de la figura 5, se tienen los siguientes resultados:

Si las frecuencias de corte son de:

$$f_1 = f_2 = 9600 \text{ Hz.}$$

se tiene

$$w_1 = w_2 = 60318.58 \text{ rad}$$

Dando los valores a los capacitores de:

$$C_1 = C_2 = 0.01 \mu f$$

se tiene que

$$R_1 = R_2 = 1.65 K \Omega$$

Como ya se mencionó en el inciso c, cada etapa con tribuye con  $45^\circ$  de fase en atraso, con lo cual se pueden obtener dos fases de las cuatro que se requieren para la modulación. Pero antes del defasador de  $90^\circ$  en atraso se tiene otro defasador de  $45^\circ$  en atraso, para que las ondas cuadrada y senoidal esten fuera de fase, con el propósito de tener un mejor cambio de fase.

Para el demodulador se requiere de un retardo de  $90^\circ$ , siendo así requerido el circuito de la figura 5 -- para la recuperación de los bits en paralelo. Se sigue el mismo procedimiento de diseño ya que se tiene la misma frecuencia de portadora.

#### CIRCUITOS DE ACOPLAMIENTO, SUMADORES E INVERSORES

Las características principales de un amplificador operacional ideal son: una amplificación casi infinita de la señal de entrada, una impedancia de entrada infinita, una impedancia de salida de cero, un ancho de banda infinito, aislamiento entre la salida y la entrada, un tiempo de retardo nulo, etc.

Sin embargo se sabe que los operacionales tienen -

restricciones, el amplificador operacional empleado fué el 741, sus características se encuentran en la hoja de datos del circuito.

### CIRCUITOS DE ACOPLAMIENTO

Los amplificadores operacionales que se emplearon como etapas de acoplamiento se encuentran en cada uno de los defasamientos de  $-45^\circ$ , así como para iniciar los defasamientos de las cuatro fases que se requieren y en el acoplamiento de las cuatro fases al "switch" analógico.

La configuración empleada para efectuar el acoplamiento de impedancias con ganancia unitaria, el circuito se muestra en la figura 6.

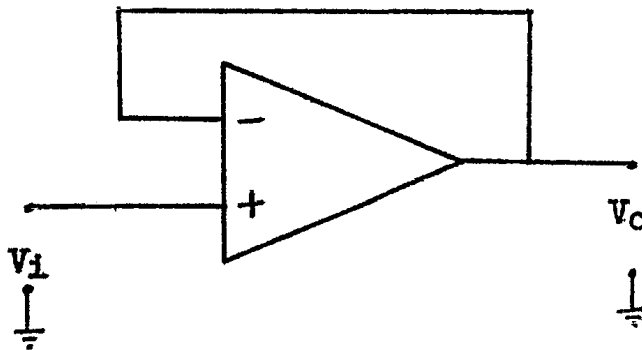


figura 6

Análisis del circuito de la figura 6.

$$V_s + V_i = V_o \quad (20)$$

$$V_o = -A_v V_i \quad (21)$$

$$\frac{V_o}{V_i} = -A_v \quad (22)$$

Para un amplificador operacional ideal  $A_v \rightarrow \infty$   
por lo tanto

$$V_i = 0 \quad (23)$$

Sustituyendo la ecuación 23 en 20 se tiene que:

$$V_S = V_O \quad (24)$$

Los circuitos de ganancia unitaria son empleados -  
como etapas de aislamiento, con el fin de acoplar dos -  
circuitos o dispositivos diferentes, evitando las posi-  
bles interacciones indeseadas.

#### SUMADORES INVERSORES.

La figura 7 muestra la configuración del circuito  
sumador.

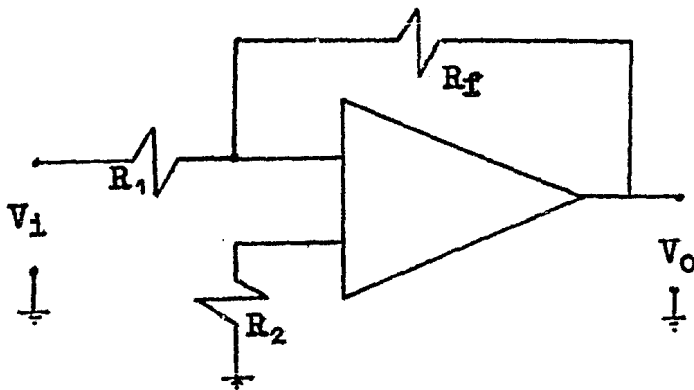


figura 7

Esta configuración tiene la característica princi-  
pal de que la señal de salida del amplificador operacio-  
nal se encuentra defasada  $180^\circ$  con respecto a la señal -  
de entrada y con una posible amplificación en amplitud.

El análisis del circuito de la figura 7 es como sigue:

Un amplificador operacional ideal tiene un  $V_1 = 0v$  además de que su entrada no inversora se encuentra conectada a tierra, el voltaje de entrada en la terminal inversora es cero, por lo que la señal de entrada ( $V_S$ ) se encuentra reflejada en  $R$  y la señal de salida ( $V_O$ ) está en  $R_f$ . La ecuación que lo representa queda:

$$\frac{V_S}{R} = - \frac{V_O}{R_f} \quad (25)$$

$$\frac{V_O}{V_S} = - \frac{R_f}{R} \quad (26)$$

Pero un amplificador operacional real tiene un error de "offset" debido a sus corrientes de polarización, este error se reduce mediante una resistencia  $R_2$  conectada entre la terminal no inversora de entrada y tierra,  $R_2$  es del orden de:

$$R_2 = R_1 // R_f \quad (27)$$

El objetivo del circuito de la figura 7 es la de obtener los defasamientos que se requieren para el modulador.

El cálculo del circuito CI-4 se tiene:

como

$$V_1 = 1.7v \quad y \quad V_O = 4v$$



se tiene que

$$\text{si } R_1 = 1\text{K}\Omega$$

$$R_f = 2.35\text{K}\Omega$$

Para los circuitos CI-5, CI-6, CI-7 se tiene resistencias iguales para una ganancia unitaria y un desfase de  $180^\circ$ .

El circuito de la figura 8 se emplea como un sumador de ganancia unitaria para conectarse a la salida -- del interruptor analógico.

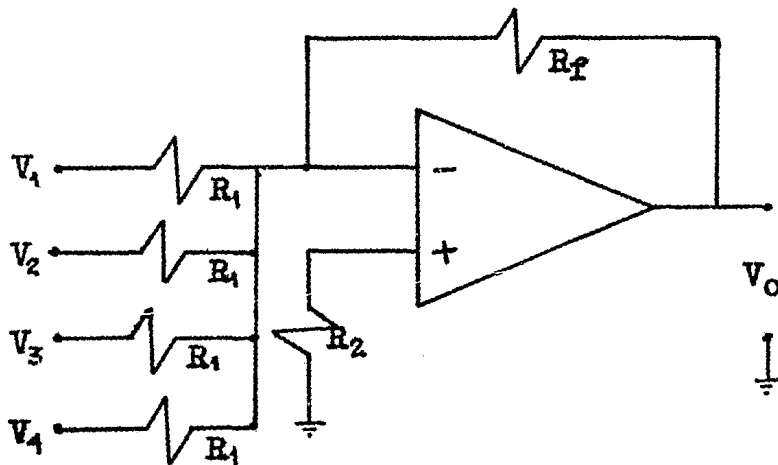


figura 8

La ecuación para el circuito de la figura 8 queda:

$$V_o = - \frac{R_f}{R} \cdot (V_1 + V_2 + V_3 + V_4) \quad (28)$$

CONFIGURACIONES PARA CORREGIR EL VOLTAJE DE  
"OFFSET" DE LOS AMPLIFICADORES  
OPERACIONALES

Los amplificadores operacionales están provistos -

de técnicas para la compensación del nivel de "offset". Sin embargo, estas técnicas producen una caída de voltaje significativo, existen otros problemas pero el más importante es la sensibilidad a la temperatura que produce como consecuencia una caída de voltaje de "offset" que sumado al ya existente crea un desajuste.

Para evitar el voltaje de "offset" mencionado anteriormente, se emplea un circuito corrector del "offset" que proporciona un coeficiente de compensación de temperatura como el mostrado en la figura 9.

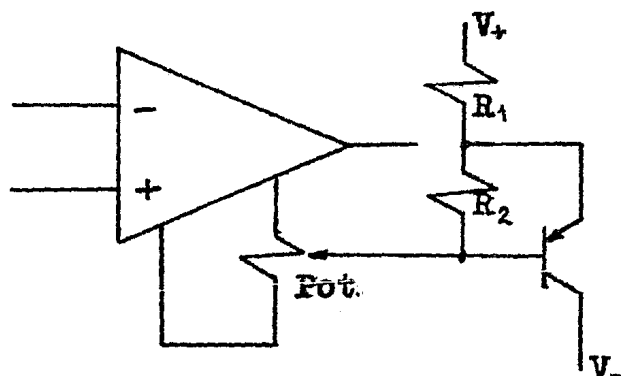


figura 9

El circuito mostrado proporciona una corriente de compensación de nivel de "offset" producido por variaciones de temperatura, esta corriente se obtiene mediante la unión base-emisor realimentada por medio de una resistencia.

Pero como se emplearon circuitos integrados de

cuatro amplificadores, no se tienen las terminales de compensación, por lo que se seleccionó el circuito mostrado en la figura 10.

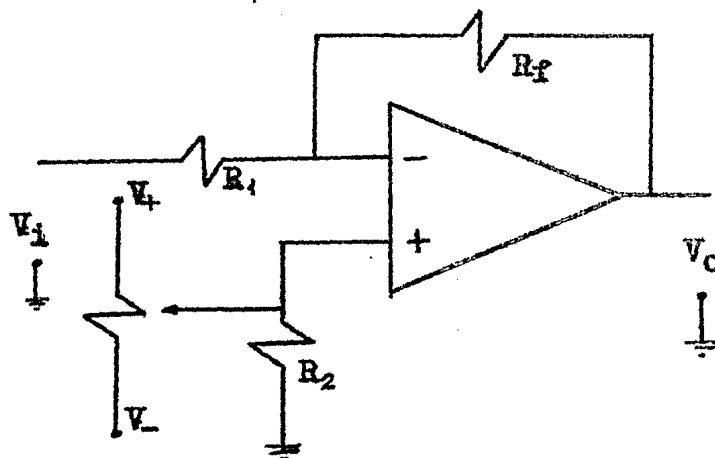


figura 10

En este método se tiene que para lograr la compensación del nivel de "offset", se suministra a la entrada una señal de corriente directa.

La entrada no inversora es polarizada por un voltaje igual y opuesto al voltaje de "offset". Teniéndose - que la entrada inversora se encuentra a un nivel de voltaje cero, al no haber corrientes de entrada, ni de realimentación generada por  $V_{OS}$ .

#### CONVERSOR SERIE-PARALELO

Como fué mencionado, el circuito 8038 genera ondas senoidal y cuadrada, esta última se utiliza como señal de reloj para el convertor serie-paralelo.

Ya que la señal cuadrada tiene una frecuencia de 9600 Hz. y se requiere una frecuencia de muestreo de 4800 Hz. en el conversor, es necesario disminuir la frecuencia generada mediante un divisor de frecuencia.

Para obtener la frecuencia de 4800 Hz bastaría con dividir la frecuencia generada de 9600 Hz entre dos. Pero como se debe tomar en consideración que el muestreo debe realizarse con un mínimo de error en la parte central de cada uno de los datos, por lo que la señal de 9600 Hz se empleará como reloj de sincronización de los datos de entrada y se logra por medio de un "flip-flop".

Una vez efectuada la sincronía se pasa a través de un "flip-flop" J-K para que realice la división de la frecuencia entre dos, de tal manera que se acondiciona para proporcionar la frecuencia de muestreo necesaria.

El conversor serie-paralelo recibe la información en serie de una línea de datos. Mediante los pulsos de muestreo 1 y 2 se realiza el proceso de conversión serie-paralelo. Estos pulsos pasan a través de un contador, el cual activa a un circuito diferenciador, cuya finalidad es la de permitir la salida de los datos en paralelo.

Como se puede observar en la figura 11 el conversor serie-paralelo es implementado por un registro de corrimiento, implementado con dos "flip-flops".

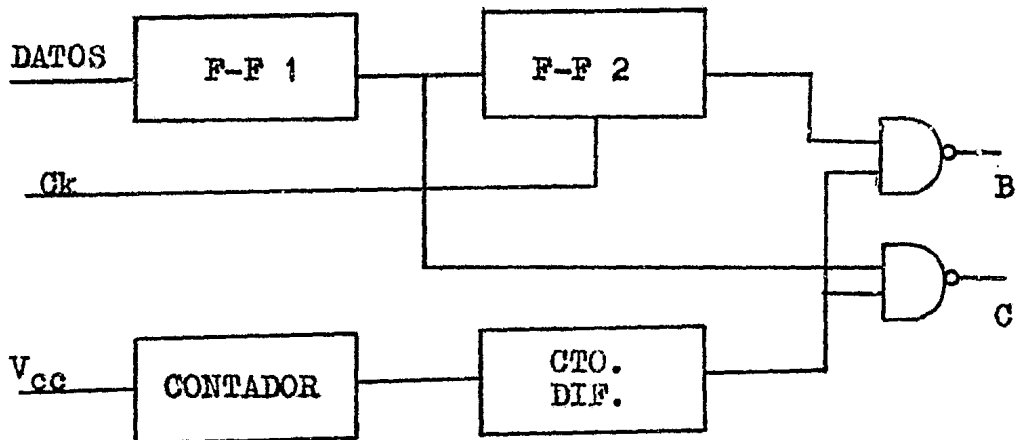


figura 11

El circuito de la figura 12 está constituido por un filtro paso altas RC, en cuya salida  $V_B$  se presenta un "uno" lógico en cada transición y un "cero" durante los regímenes estacionarios de A. Cuando se opera el sistema con un pulso negativo en  $V_B$ , es ignorado por el inversor CI-I, mientras que para el pulso positivo que ocurre en A cambia de "cero" a "uno", por lo que ahora se es tomado en cuenta, ya que después de salir de CI-II se recupera un pulso el cual permite la salida de los datos del conversor serie-paralelo.

El ancho del pulso de la señal  $V_B$  es el tiempo durante el cual la señal permanece mayor a 3 volts, que es el voltaje mínimo considerado como un "uno" lógico por el inversor.

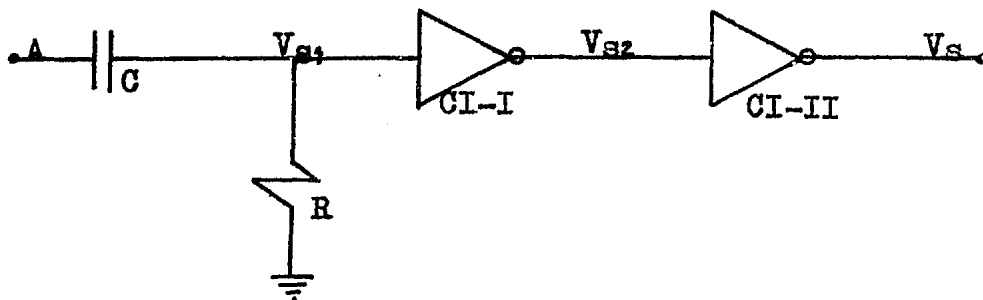


figura 12

Para que  $V_{s1}$  descienda de  $V_C$  a 3 volts, el capacitor se carga a 2 volts con una constante de tiempo igual a  $RC$ , esta constante es definida por la siguiente ecuación.

$$V_C = E (1 - \exp \delta t / \tau) \quad (29)$$

por lo tanto

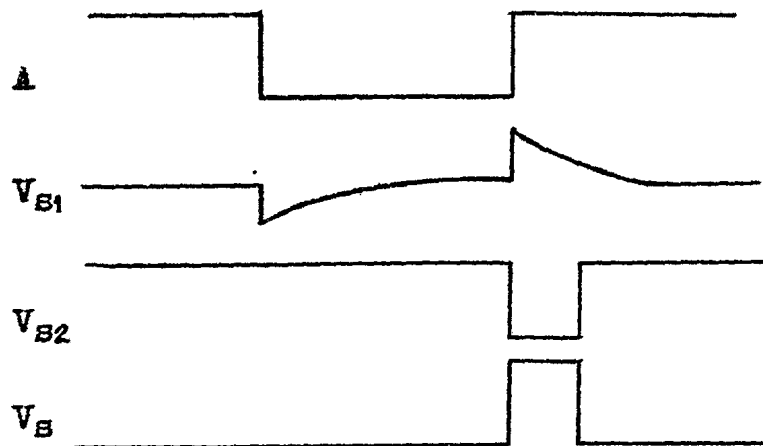
$$\delta t = - RC \ln (3/5) \quad (30)$$

De acuerdo a la duración del pulso requerido y la ecuación 30 se obtienen los valores correspondientes de  $R$  y  $C$  que son los siguientes:

$$t = 15 \times 10^{-6} \text{ seg} \quad C = 10 \text{ nf}$$

$$R = 2.93 \text{ K}\Omega$$

A continuación se presentan las formas de onda --- resultantes del diferenciador.



### CIRCUITO LOGICO DIGITAL

La finalidad principal de este circuito es la de determinar la relación existente entre las señales de entrada B y C, con el fin de seleccionar la adecuada fase para la modulación. A continuación se muestra la tabla de verdadera adecuada:

B	C	X	Y	Z	W	
0	0	1	0	0	0	45°
0	1	0	1	0	0	135°
1	0	0	0	1	0	-45°
1	1	0	0	0	1	-135°

A continuación se muestra la solución correspondiente a los mapas de Karnaugh para la tabla de verdad anteriormente mostrada:

$$X = \bar{B} \cdot \bar{C}$$

$$Y = \bar{B} \cdot C$$

$$Z = B \bar{C}$$

$$W = B C$$

El circuito que realiza las anteriores funciones lógicas se muestra en la figura 13.

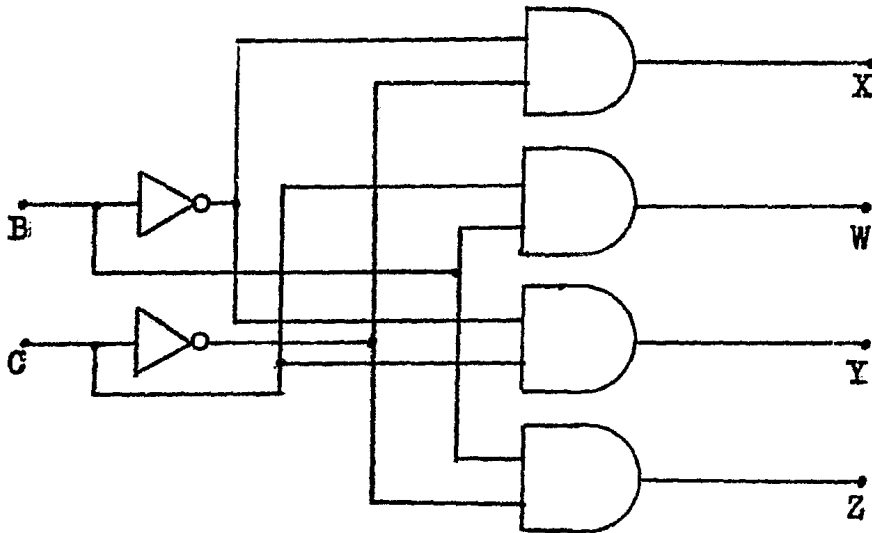


figura 13

#### INTERRUPTORES ANALOGICOS

El circuito integrado 4016 consta de cuatro interruptores analógicos, cuyo objetivo es permitir o impedir el paso de las señales senoidales. A continuación a cada uno de los interruptores se les asigna una señal senoidal, defasada una cierta cantidad de grados (los anteriormente expresados en la tabla de verdad), siendo controlados por las señales a la salida del circuito lógico digital diseñado.



## FILTRO PASO BANDA

Una de las partes más importantes del demodulador es la etapa del filtrado, ya que de la calidad de diseño dependerá la buena o mala demodulación de la señal portadora.

La etapa de filtrado es empleada con el fin de restringir la señal modulada dentro de un ancho de banda específico, minimizando así la influencia de ruido y controlando la interferencia entre símbolos.

Como se observa en la figura 14 el circuito de filtrado está compuesto de dos filtros Chebyshev de cuarto orden cada uno, uno de ellos corresponde a un filtro paso altas con una frecuencia de corte de  $f_c = 8000$  Hz y otro filtro paso bajas conectado en cascada con una frecuencia de corte de  $f_c = 10400$  Hz. La acción conjunta de los filtros determina las condiciones necesarias para un filtro paso banda.

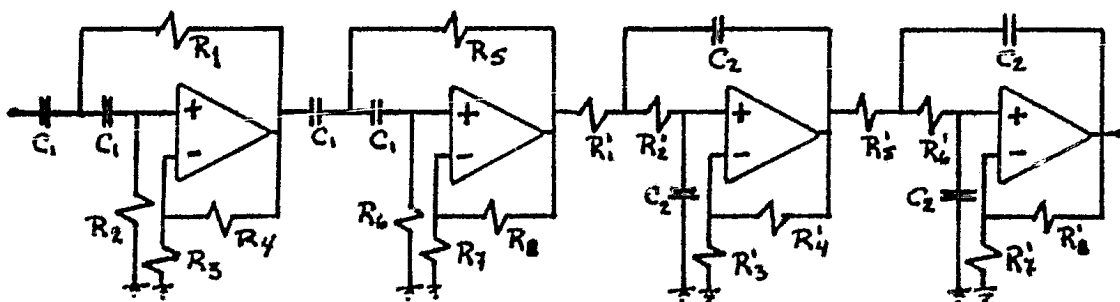


figura 14

Con el objeto de facilitar el diseño del filtro --  
paso banda para cada una de sus componentes, se consul-  
tó un manual para el diseño de filtros activos (ref. 6).

A continuación se muestran los resultados obteni-  
dos de la consulta del manual para los filtros corres-  
pondientes:

Filtro paso altas

para

$$f_{c1} = 8000 \text{ Hz} \quad G = 4 \quad 1/2 \text{ dB}$$

$$K = 5.6 \quad C_1 = 0.01 \mu\text{F}$$

se obtiene

$$R_1 = 7.5 \text{ K}\Omega$$

$$R_2 = 11 \text{ K}\Omega$$

$$R_3 = R_4 = 22 \text{ K}$$

$$R_5 = 6 \text{ K}\Omega$$

$$R_6 = 13 \text{ K}\Omega$$

$$R_7 = R_8 = 26 \text{ K}\Omega$$

Filtro paso bajas

para

$$f_{c2} = 10000 \text{ Hz} \quad G = 4 \quad 1/2 \text{ dB}$$

$$K = 3.35 \quad C_2 = 2.7 \text{ nf}$$

se obtiene

$$R'_1 = 15 \text{ K}\Omega$$

$$R'_2 = 1.75 \text{ K}\Omega$$

$$R'_3 = R'_4 = 34 \text{ K}\Omega$$

$$R'_5 = 6.25 \text{ K}\Omega$$

$$R'_6 = 12.5 \text{ K}\Omega$$

$$R'_7 = R'_8 = 38 \text{ K}\Omega$$

#### FILTROS PASO BAJAS

A la salida de los multiplicadores correspondientes

a los bloques A y B y del circuito de recuperación del tiempo del símbolo, donde se obtienen señales que se componen básicamente por la información y componentes de alta frecuencia, estas últimas junto con las armónicas de segundo orden en adelante, son eliminadas por filtros paso bajas, los cuales reducen en forma considerable el ruido producido por los circuitos de retardo.

Con el fin de facilitar el diseño de los filtros paso bajas, se emplearon los filtros diseñados para el filtro paso banda, con la misma frecuencia de corte de  $f_{c2} = 10000$  Hz. La figura 15 muestra el filtro paso bajas.

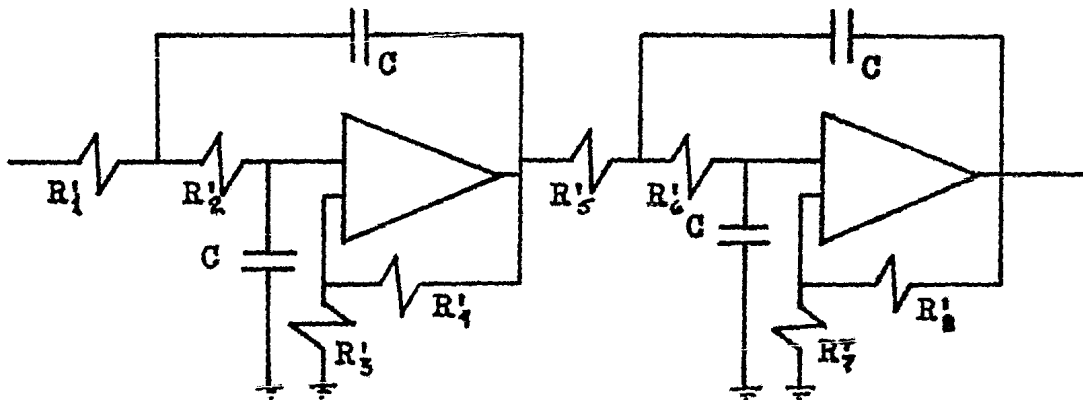


figura 15

#### CIRCUITO DE RETARDO Y MULTIPLICADOR

El objetivo de obtener un retardo  $T_B$  de la señal para que posteriormente se efectue el proceso de detec-

ción diferencial es que se requiere de una línea de ---  
retardo que es el SAD 1024. Este circuito integrado ---  
posee dos líneas de retardo independientes, cada una de  
ellas contiene 512 etapas de retardo distribuidas en ---  
serie. El circuito integrado SAD 1024 requiere para su  
operación de una señal cuadrada de muestreo de dos fases.

#### Operación del circuito de retardo.

A la entrada del circuito retardador se tiene una -  
señal senoidal que es muestreada a intervalos fijos, ---  
iniciándose en el primero de los transistores MOS de ---  
los 512 que se encuentran conectados en serie. El mues-  
treo se realiza cuando la señal del reloj se encuentra  
en un nivel alto, mientras que cuando se presenta el ---  
nivel bajo de la señal de reloj se efectúa el corrímien  
to de la señal a la otra etapa, en otras palabras, exig  
te una transferencia de carga entre los capacitores, y  
los MOSFET se comportan como interruptores.

Para mayor información del SAD 1024 consultar la -  
hoja de datos.

En la figura 16 se muestra la configuración del ---  
circuito generador de la señal de reloj de muestreo, ---  
necesaria para el funcionamiento del SAD 1024.

#### Análisis del circuito de retardo.

El retardo para cada una de las etapas está defini

da por:

$$T_r = \frac{1}{f_r} \quad (31)$$

siendo el retardo total:

$$T_{rt} = 512 \times T_r \quad (32)$$

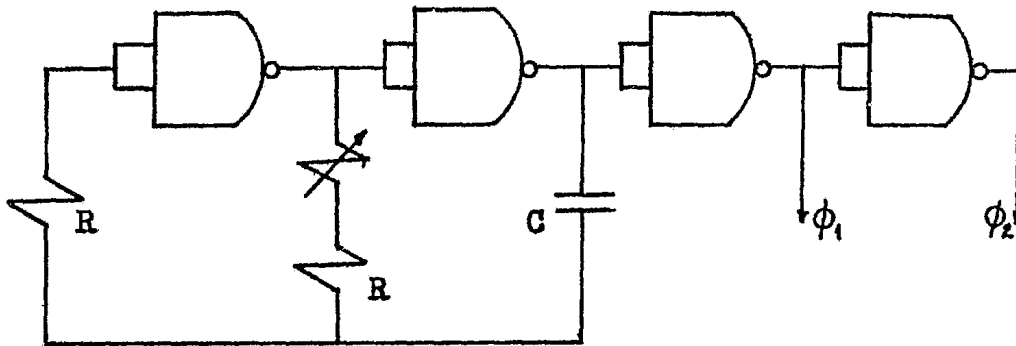


figura 16

Para obtener una salida óptima del circuito de retardo se propone la configuración mostrada en la figura 17.

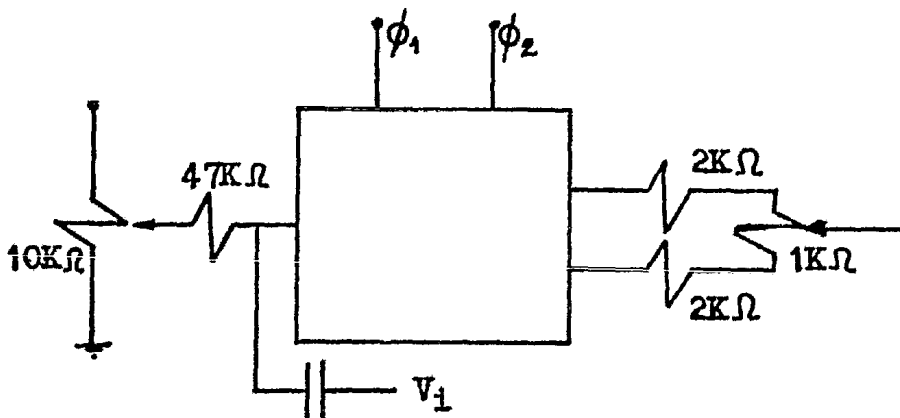


figura 17

El retardo total esta definido por:

$$T_s = 2T_b \quad (33)$$

se tiene además que:

$$f_b = \frac{1}{T_b} = \frac{2}{T_s} \quad (34)$$

donde

$f_b$  : frecuencia de los bits.

$T_b$  ; intervalo de tiempo de los bits.

$T_s$  : intervalo de tiempo del símbolo.

de la ecuación 34 se tiene:

$$T_s = \frac{2}{4800} = 4.17 \times 10^{-4} \text{ seg}$$

de las ecuaciones 32 y  $T_s = T_{rt}$  se obtiene:

$$T_r = \frac{T_s}{512}$$

Para poder obtener el retardo  $T_s$ , se requiere de la configuración mostrada en la figura 18, la cual genera la señal de reloj requerida para el circuito de retardo para así obtener la frecuencia de muestreo de  $f_{r_1}$  que se requiere.

La frecuencia de muestreo es del orden de:

$$f_{r_1} = \frac{1}{T_r} = 1.23 \text{ MHz}$$

El circuito de la figura 18 esta constituido fundamentalmente de dos partes, una de las cuales corresponde

a la generación de la frecuencia de muestreo  $f_e$  y la otra duplica la frecuencia de muestreo siendo esta del orden de  $f_{r1}$ .

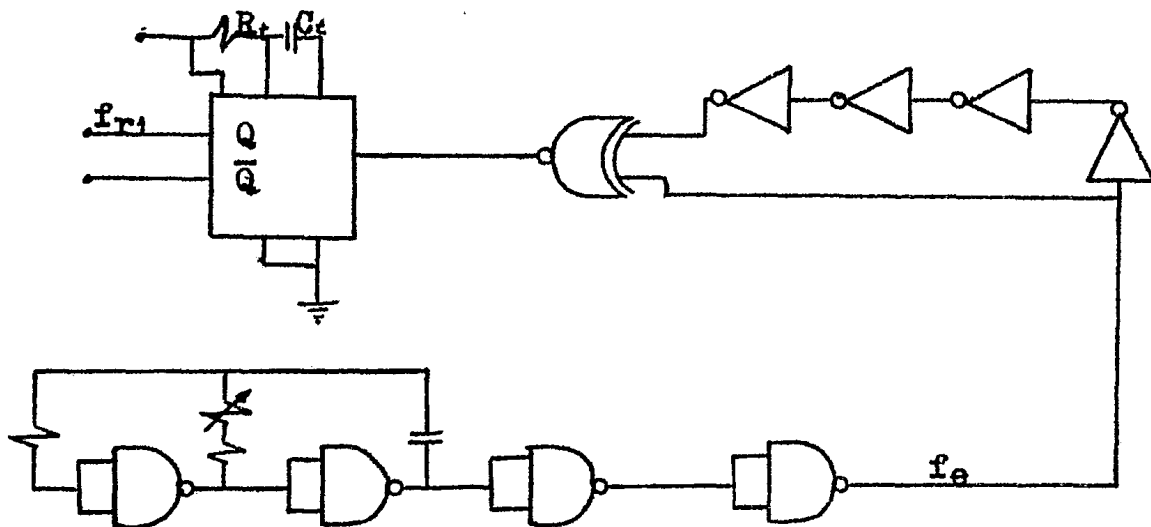


figura 18

Como se requiere que  $f_e$  sea menor que  $f_{r1}$  se tiene que:

$$f_{r1} = f_e \times 2 \quad (35)$$

$$f_e = \frac{1}{2.2 RC} \quad (36)$$

$$f_{r1} = \frac{1}{2R_t C_t} \quad (37)$$

De donde los parámetros  $R$ ,  $C$  y  $R_t$ ,  $C_t$  nos sirven para generar las frecuencias del reloj de muestreo que se requieren:

como

$$f_e = \frac{f_{r1}}{2} = 614.4 \text{ KHz}$$

se tiene que:

$$T_e = 1.62 \times 10^{-6} \text{ seg}$$

donde

$T_e$ : es el ancho del pulso de la frec. de entrada.

si consideramos que:

$$C = 470 \text{ pf}$$

de la ecuación 36 se tiene:

$$R = \frac{1}{2.2(470p)(614.4K)} = 1.5 \text{ K}\Omega$$

si consideramos que:

$$C_t = 10 \text{ pf}$$

de la ecuación 37 se tiene:

$$R_t = \frac{1}{2(1.23M)(10p)} = 40.65 \text{ K}\Omega$$

#### Descripción del circuito multiplicador

El proceso de multiplicación se lleva a cabo mediante el circuito XR 2208, que es requerido tanto en el bloque A como en el B. Este circuito es necesario para la demodulación en cualquiera de las técnicas moduladas en fase.

Para efectuar la multiplicación del circuito XR 2208, se tienen dos entradas que son X y Y, existiendo una terminal que es común para las dos entradas, conocida como tierra.



El voltaje de salida  $V_o$  que se obtiene a la salida del operacional es un voltaje diferencial que se obtiene a la salida del multiplicador, el cual es proporcional al producto lineal de los voltajes de entrada  $V_x$  y  $V_y$ . El voltaje se expresa de la siguiente manera:

$$V_o = \frac{25}{R_x R_y} (V_x)(V_y) \quad (38)$$

donde

$V$ : esta en volts

$R_x$  y  $R_y$ : estan en kilohms.

Las resistencias  $R_x$  y  $R_y$  controlan la ganancia del multiplicador.

La ganancia de conversión puede expresarse como:

$$K_m = \frac{25}{R_x R_y} \text{ volts} \quad (39)$$

Las terminales 7 y 8 del control de ganancia son usadas tambien para el ajuste de la compensación en X y Y. En la figura 19 se muestra la configuración típica del multiplicador XR 2208 con sus ajustes de compensación.

El amplificador operacional puede ser compensado con un capacitor de 22pf, esto se hace conectandolo entre las terminales 11 y 12 con el fin de evitar la inestabilidad.

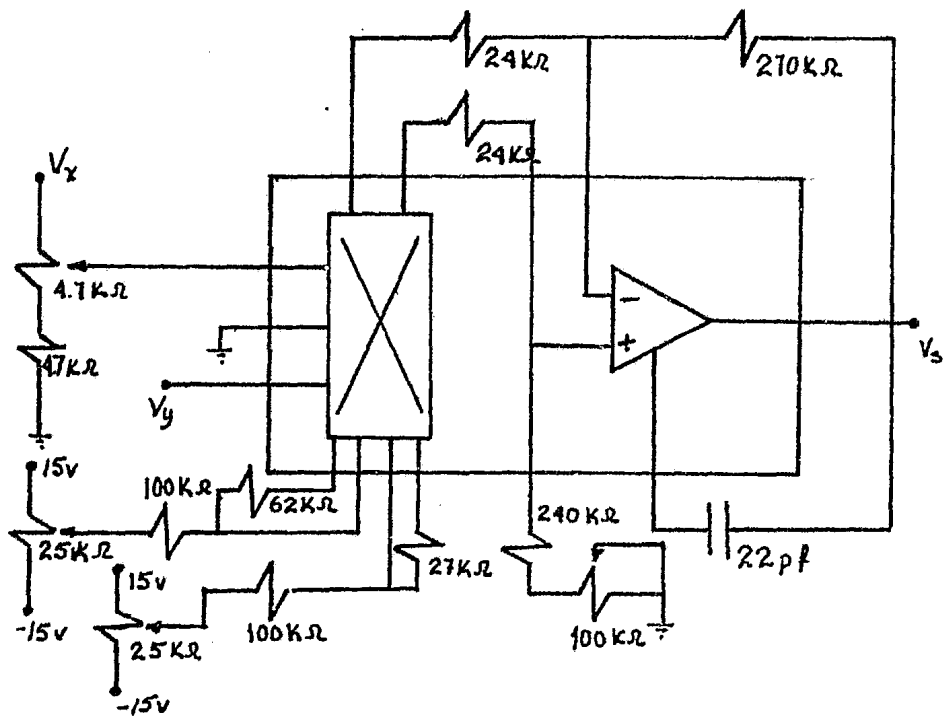


figura 19

### Análisis del circuito multiplicador

La ecuación que define la salida del amplificador operacional es:

$$V_S = \frac{R_2}{R_1} (V_2 - V_1) \quad (40)$$

Para el cálculo de los parámetros correspondientes al multiplicador se tiene que:

$$K_m = \frac{25}{27(56)} = 0.0165$$

como

$$V_O = V_2 - V_1 = K_m V_x V_y \quad (41)$$

sustituyendo 41 en 40 se tiene:

$$V_s = \frac{R_2}{R_1}(V_x)(V_y)K_m \quad (42)$$

considerando que  $R_1 = 24 \text{ K}\Omega$  y  $R_2 = 270 \text{ K}\Omega$ .

$$V_s = 0.185(V_x)(V_y)$$

A la entrada que corresponde a  $V_y$  se le conecta un divisor de voltaje, con el objeto de ajustar el factor de escala. El circuito de la figura 20 es el correspondiente al factor de escala y este será de aproximadamente 0.1, los factores de dicho circuito son:

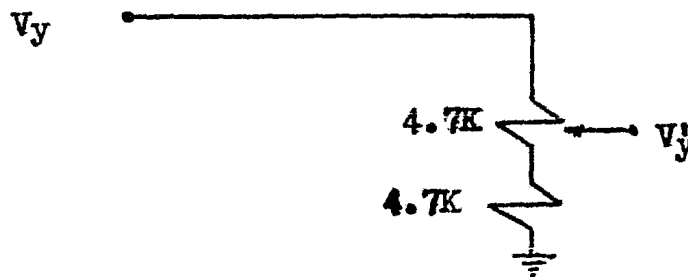


figura 20

#### CIRCUITO PLL

Para la recuperación del reloj del tiempo del símbolo es necesario un circuito integrado que contenga un PLL como es el CD 4046.

El PLL es un circuito realimentado que se compone fundamentalmente por cuatro bloques, como los mostrados en la figura 21. Contiene un comparador de fase, un filtro paso bajas, un amplificador de error y en la --

realimentación se tiene un oscilador controlado por voltaje (VCO).

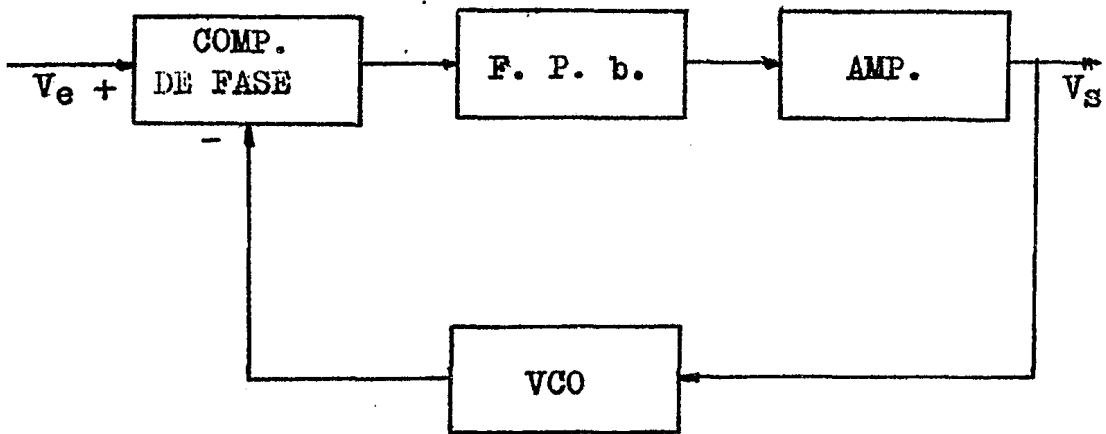


figura 21

Si el voltaje de error  $V_s(t)$  es cero, en el VCO se tendrá una frecuencia fija  $f_0$ , que es conocida como la frecuencia libre de oscilación.

Ahora, si se le aplica a la entrada del PLL una señal, el comparador de fase genera un voltaje de error  $V_s(t)$  que se filtra, se amplifica y se aplica a la entrada del VCO, teniéndose así que oscilará de tal manera que el error se reduce a cero. Si la frecuencia de entrada está lo suficientemente cerca de la frecuencia del VCO, por medio de la realimentación el VCO se sincroniza o amarra a la frecuencia de la señal de entrada excepto por una diferencia de fase tan pequeña a la

salida del comparador de fase, que al pasar por el filtro paso bajas solo queda una componente de CD debido a la diferencia de fase.

La propiedad de autocorrección del sistema permite al PLL rastrear los cambios de frecuencia de la señal de entrada una vez sincronizado. El rango de amarre se define como el intervalo de frecuencias en el cual el PLL puede mantener la condición de amarre con la señal de entrada. El rango de frecuencias siempre va a ser mayor que la banda de frecuencias a través de las cuales el PLL puede conseguir la sincronización con la señal de entrada, a este rango de frecuencias se le conoce como rango de captura.

Como el voltaje a la salida del comparador de fase es proporcional a la diferencia de fases, se tiene que la función de transferencia del comparador de fase queda

$$V_c = K_c (\phi_e - \phi_o) \quad (43)$$

Puesto que el VCO convierte voltaje a frecuencia y se tiene que la fase es la integral de la frecuencia, entonces la fase a la salida del VCO será proporcional a la integral del voltaje de control.

La función de transferencia del VCO es:

$$\phi = K_o V_s \quad (44)$$

Tomando la transformada de Laplace.

$$\phi_o(s) = K_o/s (V_s) \quad (45)$$

Conjuntando la función de transferencia del filtro paso bajas y el amplificador de error se tiene:

$$V_S = A_V V_E F(s) \quad (46)$$

Combinando las ecuaciones 43, 44, 45, 46, se tiene:

$$\frac{\phi_o(s)}{\phi_e(s)} = \frac{K_o K_c A_V F(s)}{s + K_o K_c A_V F(s)} \quad (47)$$

Siendo esta la función de transferencia en malla cerrada del PLL.

donde

$K_c$ : factor de ganancia del comparador.

$K_o$ : ganancia del VCO.

$F(s)$ ; función de transferencia del filtro paso bajas.

$A_V$ : ganancia del amplificador de error.

El rango de amarre en el cual el PLL puede rastrear a la entrada, esta definido por la siguiente ecuación:

$$\omega_L = - K_c K_o A_V \phi_c \quad (48)$$

donde

$\phi_c$ : es el máximo error en fase con el cual aún el PLL permanece en amarre.

El rango de captura esta dado por:

$$\omega_C = \pm \sqrt{\frac{\omega_L}{T}} \quad T = RC \quad (49)$$

donde

$T$ : es la constante de tiempo del filtro.

El PLL empleado fué el 4046 para el cual el fabricante especifica que:

$$\text{Rango de amarre} \quad 2f_c = f_{\max} - f_{\min}$$

$$\text{Rango de captura} \quad f_c = \frac{1}{2\pi} \sqrt{\frac{2\pi f_c}{T_1}}$$

El diagrama de bloques del circuito 4046 es el mostrado a continuación.

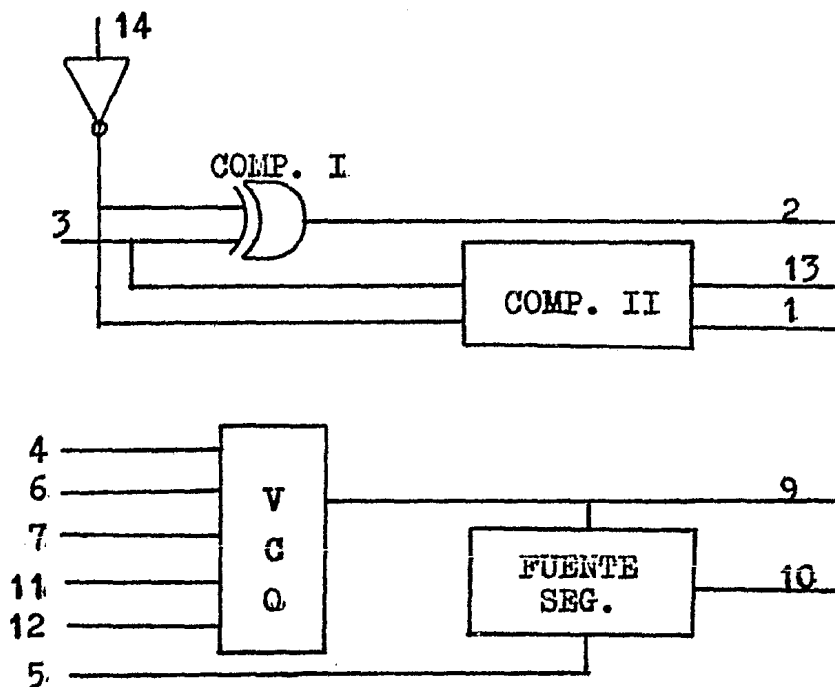


figura 22

### Análisis del circuito PLL

$R_0$  y  $C_0$  son las componentes que determinan la frecuencia libre de oscilación del VCO, los valores se obtienen de las curvas de las hojas de datos del 4046.

para

$$f_0 = 9600 \text{ Hz} \quad \text{y} \quad V_{cc} = 5v$$

se tiene

$$R_0 = 100 \text{ K} \quad \text{y} \quad C_0 = 470 \text{ pf}$$

$R_3$  y  $C_2$  forman el filtro paso bajas con un polo,--- definiendo un rango de captura de  $\pm 0.4$  KHz se obtienen los valores de:

$$R_3 = 100 \text{ K} \quad \text{y} \quad C_2 = 0.1 \mu\text{f}$$

Otros parámetros de importancia son  $R_8$  y  $R_2$ , que - de acuerdo a la hoja de datos se tiene que

$$R_8 = 10 \text{ K}\Omega \quad R_2 = \infty$$

#### CIRCUITO DE RECUPERACION DEL TIEMPO DEL SIMBOLO

Es de vital importancia la recuperación del tiempo del símbolo, ya que se emplea en el modem para muestrear la señal demodulada y así determinar su estado, obte--- niéndose un flujo de bits en serie a la salida del demodulador.

El circuito de recuperación del tiempo del símbolo consiste de los siguientes bloques: un circuito de re--- tardo, un filtro paso bajas, un PLL y un circuito forma--- dor de onda. El circuito de retardo es el empleado en - el anterior análisis.

El retardo definido aquí es el que se obtuvo en el circuito de retardo para una frecuencia de muestreo  $f_s$ , empleándose la primera parte del circuito de la figura 18.



## DETECTORES DE NIVEL DE VOLTAJE

Como se observa de la figura 2, a la salida de los filtros paso bajas se tienen unos bloques denominados - detectores de nivel de voltaje. Los detectores de nivel tienen dos entradas una de ellas es la que se obtiene - del filtro paso bajas, mientras que la otra viene del - circuito de recuperación del tiempo del símbolo.

Los detectores de nivel toman una decisión durante cada intervalo del símbolo. La posición del reloj de -- muestreo es el que controla el muestreo. El circuito -- empleado es un par de "flip-flops".

## CIRCUITOS FORMADORES DE ONDA

Estos circuitos se requieren a la salida del PLL - para recuperar el reloj de muestreo como pulsos, para - el buen funcionamiento de los demás circuitos, los cir- cuitos formadores de onda están constituidos por com--- puertas NAND con "Schmitt trigger".

## CONVERTIDOR PARALELO-SERIE

La finalidad de este circuito es la conversión de las señales obtenidas a las salidas de los circuitos de detectores del nivel de voltaje. A la salida del conver-- sor se tiene el flujo de bits idéntico al transmitido - al inicio del proceso del MODEM (figura 23).

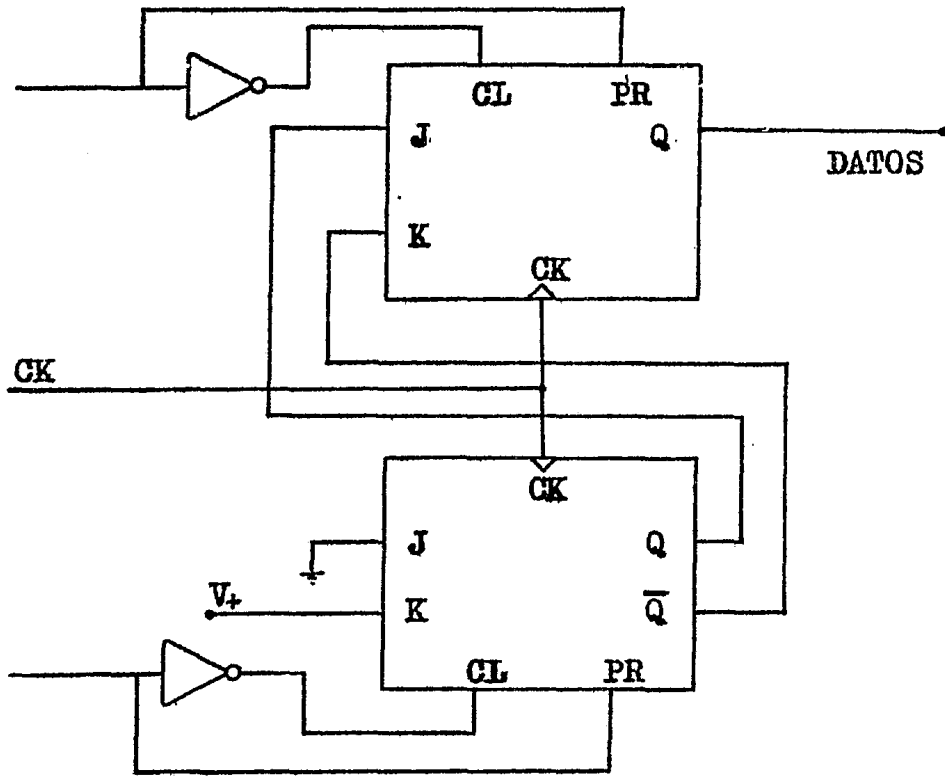
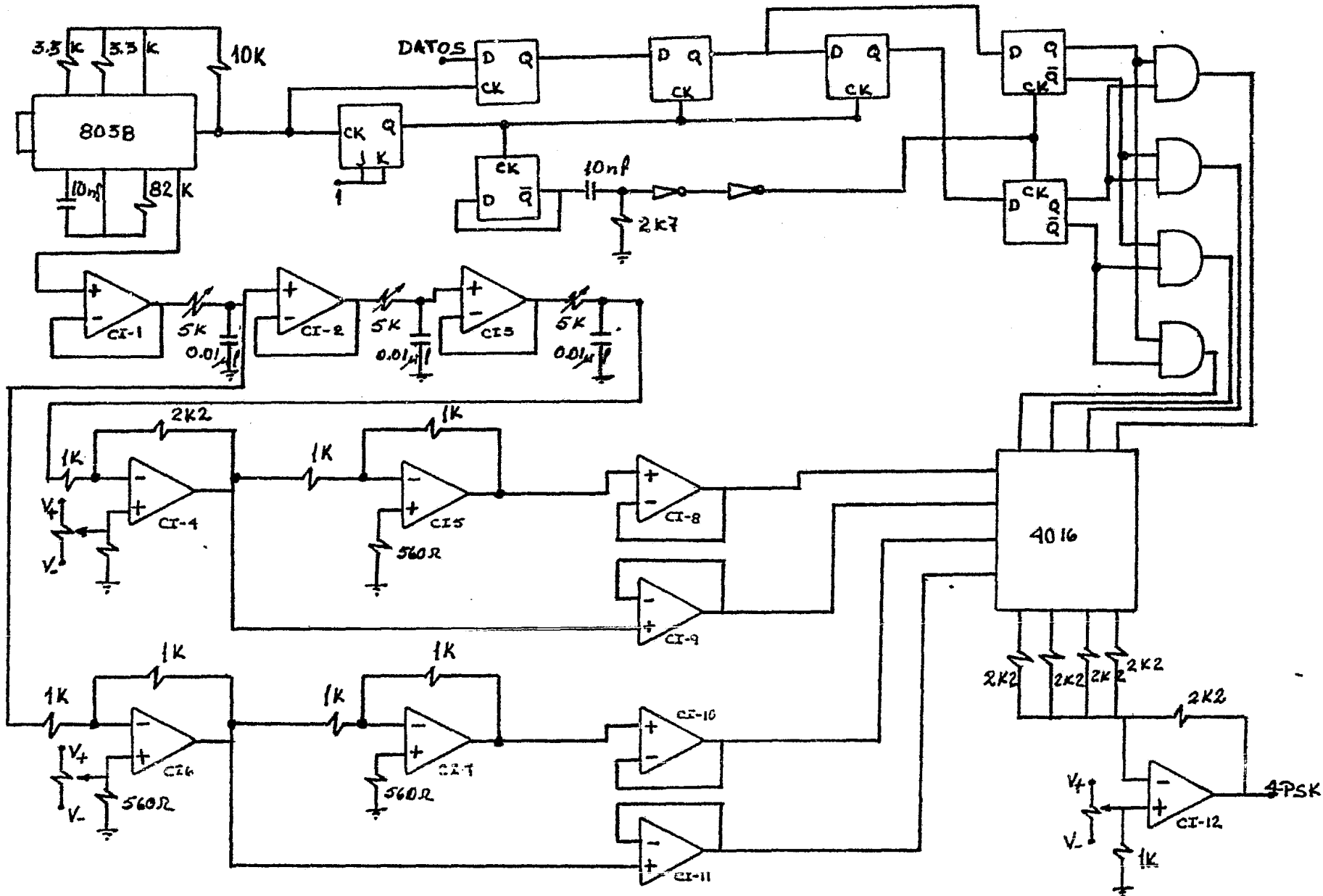
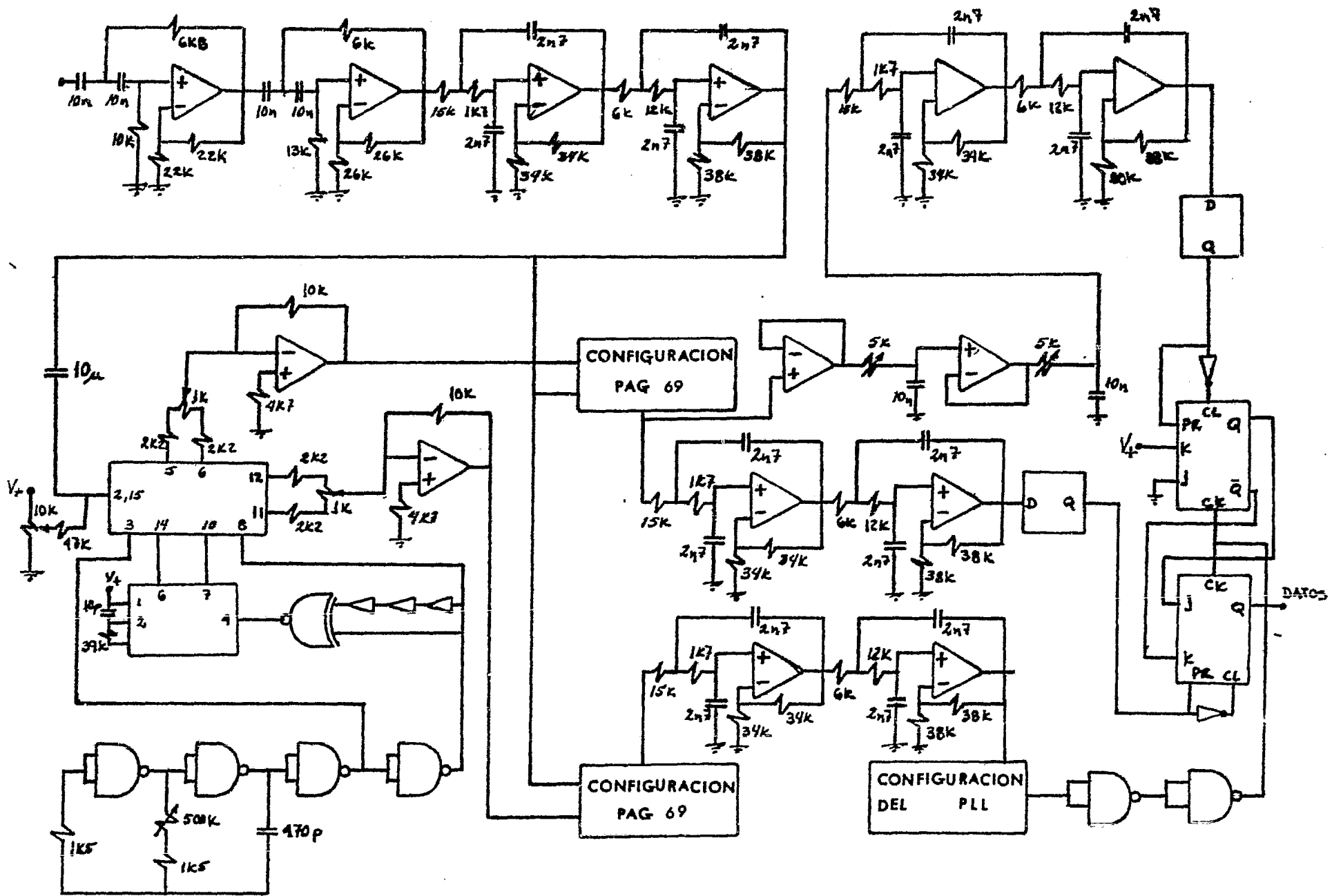


figura 23



MODULADOR



## V CONDICIONES DE DISEÑO

En este capítulo se darán las condiciones a seguir para futuros diseños de cualquier tipo de MODEM, ya -- sean analógicos o digirales. Estas condiciones son:

a) Determinar claramente el tipo de modulación que se requiere de acuerdo a las necesidades.

b) Seleccionar el diagrama de bloques que más se -- acerque a nuestras condiciones del sistema.

c) Del diagrama de bloques se procede a investigar que tipo de dispositivos pueden efectuar la operación -- que se requiere de acuerdo al bloque que se seleccionó.

d) Se procede al cálculo de las componentes que se requieren para la implementación del MODEM.

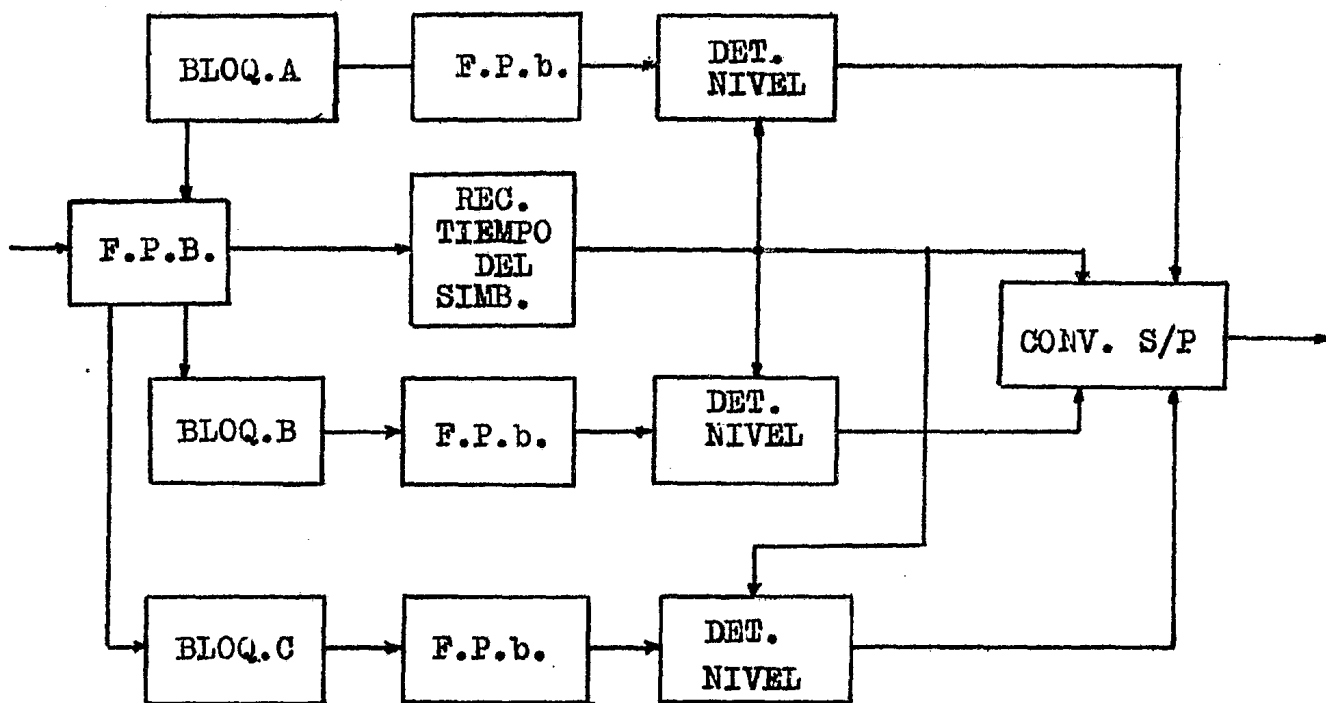
e) Iniciar el proceso de acoplamiento de acuerdo a la secuencia que se requiere en el diagrama de bloques.

f) Acoplado el sistema, se prueba cada una de las etapas para confirmar que funcionan de acuerdo a los -- requerimientos.

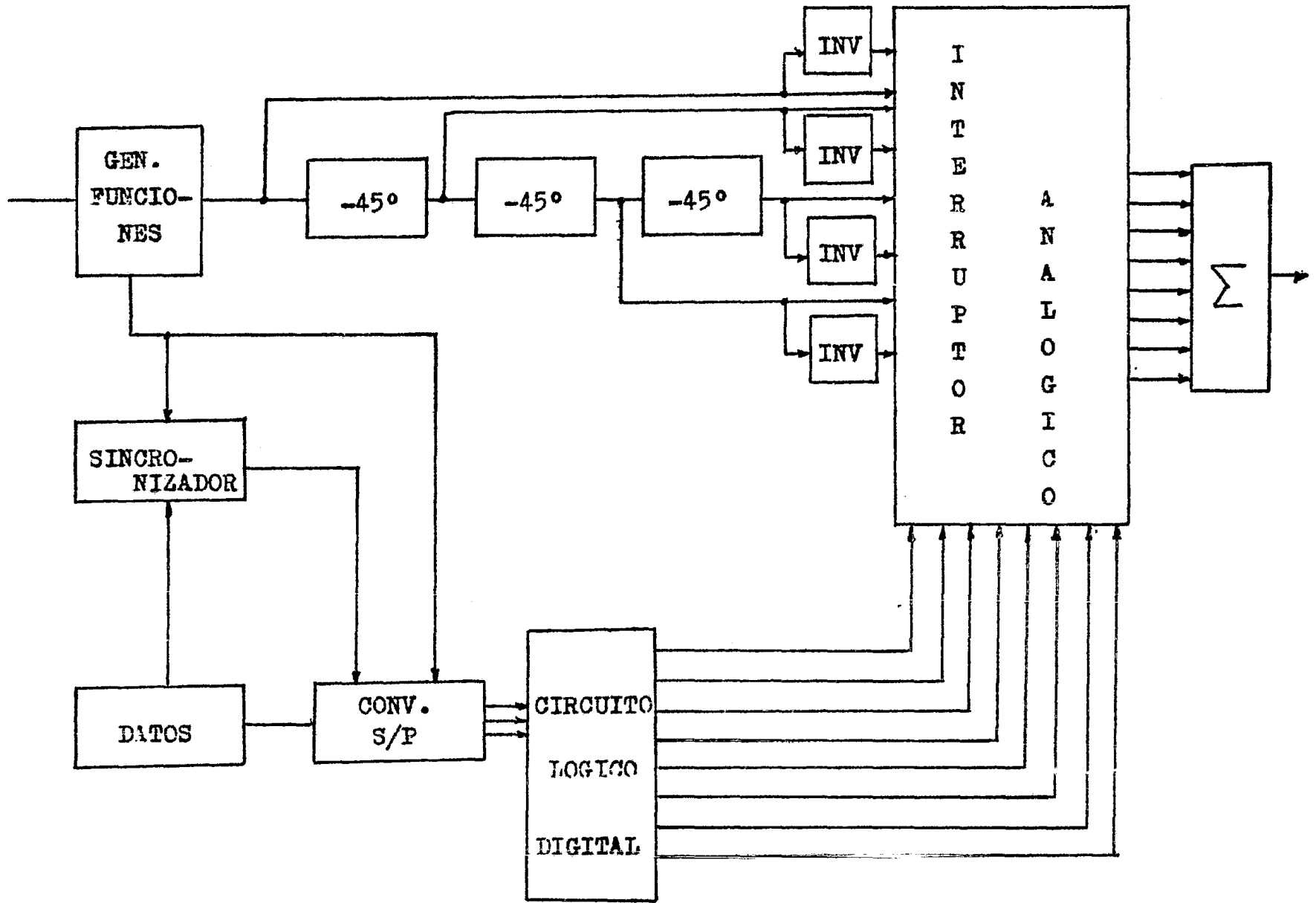
g) Una vez funcionando el MODEM se acopla al siste -- ma para el cual fué implementado y se inicia su proceso de transmisión y recepción.

A continuación se muestran las figuras de los dia -- gramas de bloques desarrollado para un MODEM de ocho --

fases o el correspondiente a un 8-PSK.



DEMODULADOR



MODULADOR

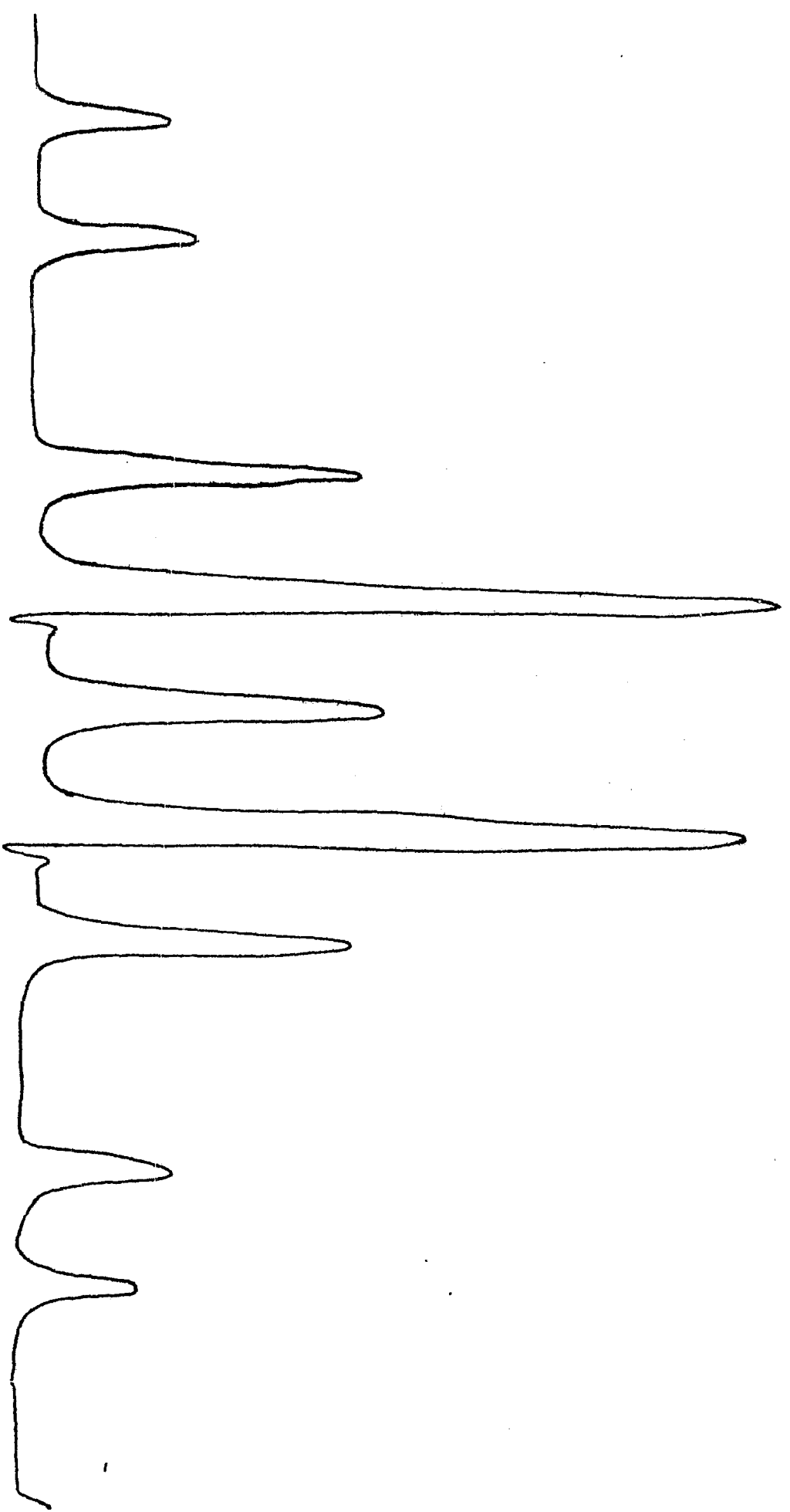
## CONCLUSIONES

Como se puede observar, se dió un ligero bosquejo de lo que es y en que consiste la modulación digital -- para después hacer mención de todas las posibles modulaciones. Se profundizó más sobre los sistemas de nivel múltiple ya que son los más empleados para sistemas de microondas, ya sea vía satélite o vía terrestre con sus variantes, además son empleados par enlaces de computadoras ya que tienen una buena SNR.

Posteriormente se hicieron las comparaciones entre los sistemas más comunes en una forma muy somera ya que se podría hacer un estudio tan profundo que no es el -- objetivo de esta investigación. Con este objeto se dieron las bases fundamentales de las comparaciones, te--- niendo así una ligera ventaja el sistema aquí diseñado.

Al final se tiene el desarrollo del diseño y la -- construcción del MODEM aquí empleado, haciendo las pruebas pertinentes como la de transmitir datos por medio -- del MODEM para recuperarlos al final, de tal manera que se recuperan los datos. Es espectro del MODEM QPSK es -- el que se muestra en la figura anexa a continuación. -- Con lo anterior se puede demostrar que el funcionamiento





del MODEM tiene una implementación sencilla.

Se tuvo problemas con el "slew-rate", ya que se --  
empleó el 741 debido a que en el mercado no se encuen--  
tran amplificadores más rápidos. Además se tuvo proble--  
mas de acoplamiento con el interruptor analógico por lo  
que fué necesario utilizar capacitores de acoplamiento  
para eliminar la componente de directa que se presenta--  
ba a la salida del interruptor.

## BIBLIOGRAFIA

- (1) INFORMATION TRANSMISSION, MODULATION  
AND NOISE.  
Misha Schwartz  
McGraw-Hill
- (2) COMMUNICATION SYSTEMS AND TECHNIQUES  
Misha Schwartz  
McGraw-Hill
- (3) DIGITAL AND ANALOG COMMUNICATION SYSTEMS  
K Sam Schanmugan  
Wiley
- (4) A COMPARISON OF MODULATION TECHNIQUES  
FOR DIGITAL RADIO.  
IEEE Trans. on Comm. Vol.27 Dec 1979 No.12
- (5) MODEMS  
Proceedings of the IEEE Vol 60 No 11 1972
- (6) MANUAL OF ACTIVE FILTER DESIGN  
Hilburn and Johnson
- (7) MICROELECTRONICS: DIGITAL AND ANALOG CIR  
CUITS AND SYSTEMS  
Millman  
McGraw-Hill

(8) DIGITAL INTEGRATED CIRCUITS  
Taub and Schilling  
McGraw-Hill

(9) ACTIVE FILTER DESIGN  
Hulsman

A P E N D I C E

# XR-8038

## Precision Waveform Generator

### GENERAL DESCRIPTION

The XR-8038 is a precision waveform generator IC capable of producing sine, square, triangular, sawtooth and pulse waveforms with a minimum number of external components and adjustments. Its operating frequency can be selected over nine decades of frequency, from 0.001 Hz to 1 MHz, by the choice of external R-C components. The frequency of oscillation is highly stable over a wide range of temperature and supply voltage changes. The frequency control, sweep and modulation can be accomplished with an external control voltage, without effecting the quality of the output waveforms. Each of the three basic waveforms, i.e. sinewave, triangle and square wave outputs are available simultaneously, from independent output terminals.

The XR-8038 monolithic waveform generator uses advanced processing technology and Schottky-barrier diodes to enhance its frequency performance. It can be readily interfaced with a monolithic phase-detector circuit, such as the XR-2208, to form stable phase-locked loop circuits.

### FEATURES

- Direct Replacement for Intersil 8038
- Low Frequency Drift - 50 ppm/°C Max.
- Simultaneous Sine, Triangle and Square-Wave Outputs
- Low Distortion - THD  $\approx$  1%
- High FM and Triangle Linearity
- Wide Frequency Range - 0.001 Hz to 1 MHz
- Variable Duty-Cycle - 2% to 98%

### APPLICATIONS

- Precision Waveform Generation Sine, Triangle, Square, Pulse
- Sweep and FM Generation
- Tone Generation
- Instrumentation and Test Equipment Design
- Precision PLL Design

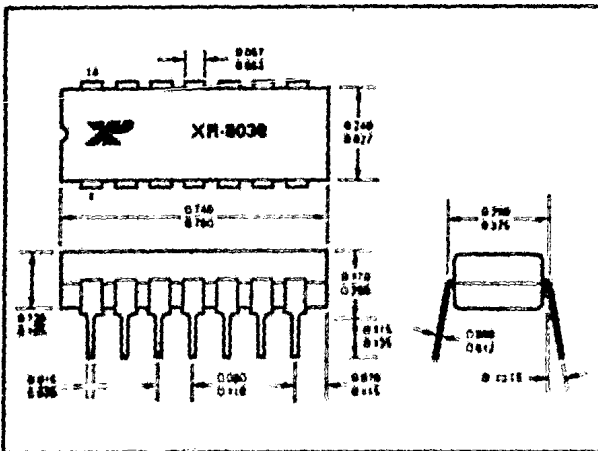
### ABSOLUTE MAXIMUM RATINGS

Power Supply	36V
Power Dissipation (package limitation)	
Ceramic package	750 mW
Derate above +25°C	6.0 mW/°C
Plastic package	625 mW
Derate above +25°C	5 mW/°C
Storage Temperature Range	65°C to +150°C

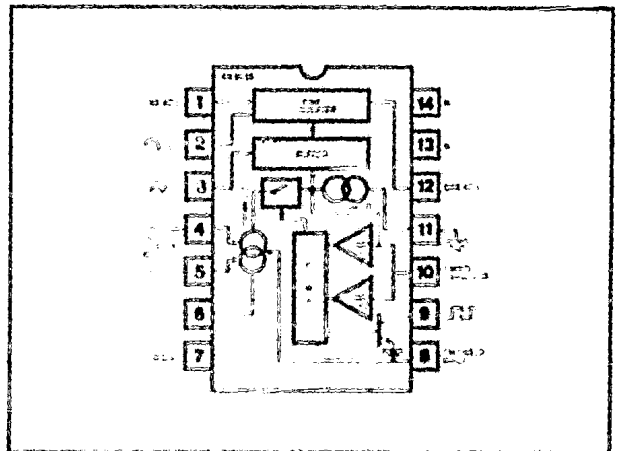
### AVAILABLE TYPES

Part Number	Package	Operating Temperature
XR-8038M	Ceramic	55°C to +125°C
XR-8038N	Ceramic	0°C to +75°C
XR-8038P	Plastic	0°C to +75°C
XR-8038CN	Ceramic	0°C to +75°C
XR-8038CP	Plastic	0°C to +75°C

### PACKAGE INFORMATION



### FUNCTIONAL BLOCK DIAGRAM



## ELECTRICAL CHARACTERISTICS

Test Conditions:  $V_S = \pm 5V$  to  $\pm 15V$ ,  $T_A = 25^\circ C$ ,  $R_L = 1 M\Omega$ ,  $R_A = R_B = 10k\Omega$ ,  $C_1 = 3300 pF$ ,  $S_1$  closed, unless otherwise specified. See Test Circuit of Figure 1.

CHARACTERISTICS	XR-8038M/XR-8038			XR-8038C			UNITS	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
<b>GENERAL CHARACTERISTICS</b>								
Supply Voltage, $V_S$								
Single Supply	10		30	10		30	V	
Dual Supplies	$\pm 5$		$\pm 15$	$\pm 5$		$\pm 15$	V	
Supply Current		12	15		12	20	mA	$V_S = \pm 10V$ . See Note 1.
<b>FREQUENCY CHARACTERISTICS (Measured at Pin 9)</b>								
Range of Adjustment		1			1		MHz	$R_A = R_B = 500\Omega$ , $C_1 = 0$ , $R_L = 15 k\Omega$
Max. Operating Frequency							Hz	$R_A = R_B = 1 M\Omega$ , $C_1 = 500 \mu F$
Lowest Practical Frequency		0.001			0.001		kHz	
Max. FM Sweep Frequency		100			100			
FM Sweep Range		1000:1			1000:1			$S_1$ Open. See Notes 2 and 3.
FM Linearity		0.1			0.2		%	$S_1$ Open. See Note 3.
Range of Timing Resistors	0.5		1000	0.5		1000	k $\Omega$	Values of $R_A$ and $R_B$ .
Temperature Stability							ppm/ $^\circ C$	
XR-8038M		20	50	--	--	--	ppm/ $^\circ C$	
XR-8038		50	100	--	--	--	ppm/ $^\circ C$	
XR-8038C	--	--	--		50		ppm/ $^\circ C$	
Power Supply Stability		0.05			0.05		%/V	See Note 4.
<b>OUTPUT CHARACTERISTICS</b>								
Square-Wave								Measured at Pin 9.
Amplitude	0.9	0.98		0.9	0.98		$\times V_S$	$R_L = 100 k\Omega$
Saturation Voltage		0.2	0.4		0.2	0.5	V	$I_{sink} = 2 mA$
Rise Time		100			100		nsec	$R_L = 4.7 k\Omega$
Fall Time		40			40		nsec	$R_L = 4.7 k\Omega$
Duty Cycle Adj.	2		98	2		98	%	
Triangle/Sawtooth/Ramp								Measured at Pin 3.
Amplitude	0.3	0.33		0.3	0.33		$\times V_S$	$R_L = 100 k\Omega$
Linearity		0.05			0.1		%	
Output Impedance		200			200			$I_{out} = 5 mA$
Sine-Wave Amplitude	0.2	0.22		0.2	0.22		$\times V_S$	$R_L = 100 k\Omega$
Distortion								
Unadjusted		0.7	1.5		0.8	3	%	$R_L = 1 M\Omega$ . See Note 5.
Adjusted		0.5			0.5		%	$R_L = 1 M\Omega$

Note 1: Currents through  $R_A$  and  $R_B$  not included.

Note 2:  $V_S = 20V$ ,  $f = 10 kHz$ ,  $R_A = R_B = 10k\Omega$ .

Note 3: Apply sweep voltage at Pin 8.

$$(2/3 V_S + 2V) < V_{sweep} < V_S$$

Note 4:  $10V < V_S < 30V$  or  $\pm 5V < V_S < \pm 15V$ .

Note 5:  $81 k\Omega$  resistor connected between Pins 11 and 12.

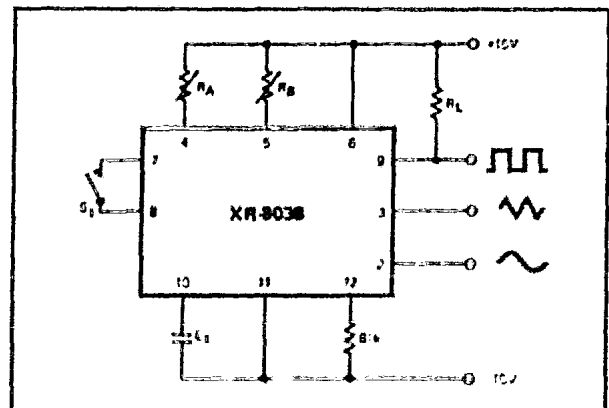
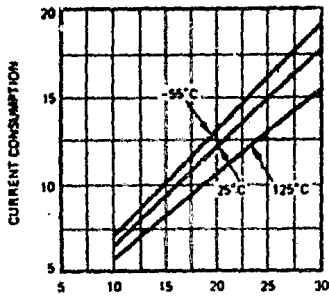
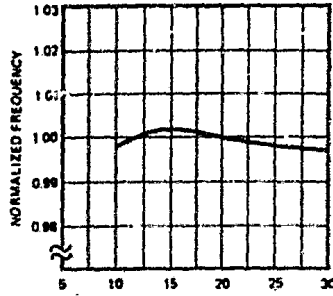


Figure 1. Generalized Test Circuit.

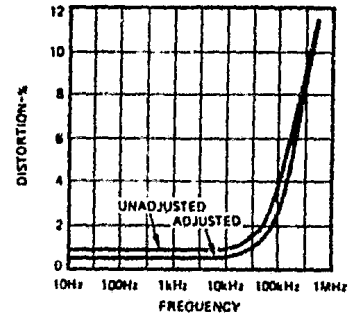
## CHARACTERISTIC CURVES



Supply Voltage  
Power Dissipation vs. Supply Voltage



Supply Voltage  
Frequency Drift vs. Power Supply



Sinewave THD vs. Frequency

### WAVEFORM ADJUSTMENT

The *symmetry* of all waveforms can be adjusted with the external timing resistors. Two possible ways to accomplish this are shown in Figure 2. Best results are obtained by keeping the timing resistors  $R_A$  and  $R_B$  separate (a).  $R_A$  controls the rising portion of the triangle and sine-wave and the "Low" state of the square wave.

The magnitude of the triangle waveform is set at  $1/3 V_{CC}$ ; therefore, the duration of the rising portion of the triangle is:

$$t_1 = \frac{C \times V}{I} = \frac{C \times 1/3 \times V_{CC} \times R_A}{1/5 \times V_{CC}} = \frac{5}{3} R_A \times C$$

The duration of the falling portion of the triangle and the sine-wave, and the "High" state of the square-wave is:

$$t_2 = \frac{C \times V}{I} = \frac{C \times 1/3 V_{CC}}{\frac{2}{5} \times \frac{V_{CC}}{R_B} - \frac{1}{5} \times \frac{V_{CC}}{R_A}} = \frac{5}{3} \times \frac{R_A R_B C}{2R_A - R_B}$$

Thus a 50% duty cycle is achieved when  $R_A = R_B$ .

If the duty-cycle is to be varied over a small range about 50% only, the connection shown in Figure 2b is slightly more convenient. If no adjustment of the duty cycle is desired, terminals

4 and 5 can be shorted together, as shown in Figure 2c. This connection, however, carries an inherently larger variation of the duty-cycle.

With two separate timing resistors, the *frequency* is given by

$$f = \frac{1}{t_1 + t_2} = \frac{1}{\frac{5}{3} R_A C \left( 1 + \frac{R_B}{2R_A - R_B} \right)}$$

or, if  $R_A = R_B = R$

$$f = 0.3/RC \quad (\text{for Figure 2a})$$

If a single timing resistor is used (Figures 2b and c), the frequency is

$$f = 0.15/RC$$

The frequency of oscillation is independent of supply voltage, even though none of the voltages are regulated inside the integrated circuit. This is due to the fact that both currents and thresholds are direct, linear function of the supply voltage and thus their effects cancel.

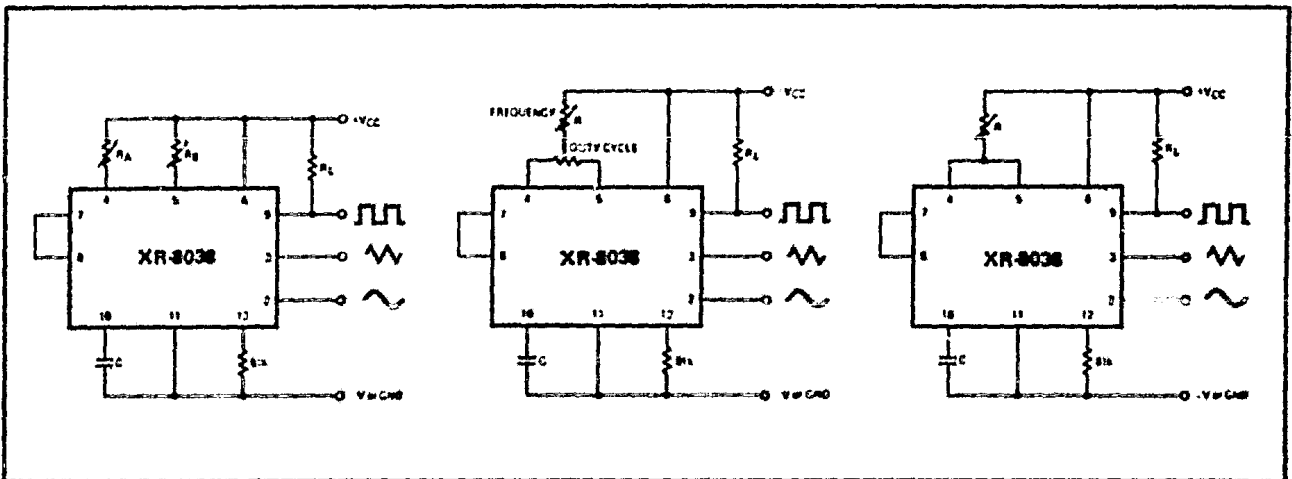


Figure 2. Possible Connections for the External Timing Resistors.



### DISTORTION ADJUSTMENT

To minimize *sine-wave* distortion the 81 kΩ resistor between pins 11 and 12 is best made a variable one. With this arrangement distortion of less than 1% is achievable. To reduce this even further, two potentiometers can be connected as shown in Figure 3. This configuration allows a reduction of sine-wave distortion close to 0.5%.

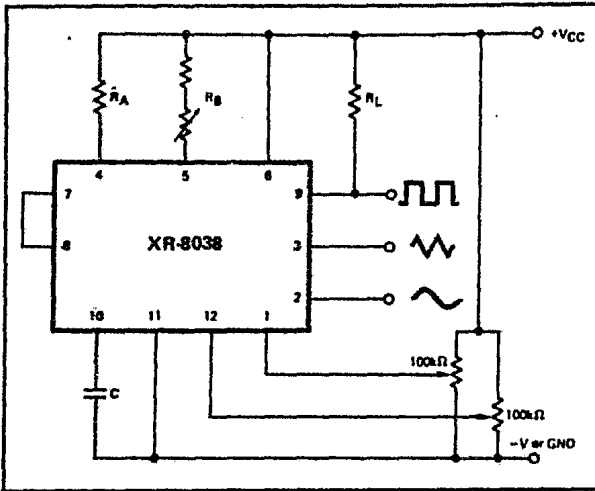


Figure 3. Connection to Achieve Minimum Sine-Wave Distortion.

### SELECTING TIMING COMPONENTS

For any given output frequency, there is a wide range of RC combinations that will work. However certain constraints are placed upon the magnitude of the charging current for optimum performance. At the low end, currents of less than 0.1 μA are undesirable because circuit leakages will contribute significant errors at high temperatures. At higher currents ( $I > 5$  mA), transistor betas and saturation voltages will contribute increasingly larger errors. Optimum performance will be obtained for charging currents of 1 μ to 1 mA. If pins 7 and 8 are shorted together the magnitude of the charging current due to  $R_A$  can be calculated from:

$$I = \frac{R_1 \times V_{CC}}{(R_1 + R_2)} \times \frac{1}{R_A} = \frac{V_{CC}}{5R_A}$$

A similar calculation holds for  $R_B$ .

### SINGLE-SUPPLY AND SPLIT-SUPPLY OPERATION

The waveform generator can be operated either from a single power-supply (10 to 30 Volts) or a dual power-supply ( $\pm 5$  to  $\pm 15$  Volts). With a single power-supply the average levels of the triangle and sine-wave are at exactly one-half of the supply voltage, while the square-wave alternates between +VCC and ground. A split power supply has the advantage that all waveforms move symmetrically about ground.

The square-wave output is not committed. A load resistor can be connected to a different power-supply, as long as the applied voltage remains within the breakdown capability of the waveform generator (30V). In this way, the square wave output will be TTL compatible (load resistor connected to +5 Volts) while the waveform generator itself is powered from a higher supply voltage.

### FREQUENCY MODULATION AND SWEEP

The frequency of the waveform generator is a direct function of the DC voltage at terminal 8 (measured from +VCC). By altering this voltage, frequency modulation is performed.

For small deviations (e.g.  $\pm 10\%$ ) the modulating signal can be applied directly to pin 8 by merely providing ac coupling with a capacitor, as shown in Figure 4a. An external resistor between pins 7 and 8 is not necessary, but it can be used to increase input impedance. Without it (i.e. terminals 7 and 8 connected together), the input impedance is 8kΩ; with it, this impedance increases to  $(R + 8k\Omega)$ .

For larger FM deviations or for frequency sweeping, the modulating signal is applied between the positive supply voltage and pin 8 (Figure 4b). In this way the entire bias for the current sources is created by the modulating signal and a very large (e.g., 1000:1) sweep range is obtained ( $f = 0$  at  $V_{\text{sweep}} = 0$ ). Care must be taken, however, to regulate the supply voltage; in this configuration the charge current is no longer a function of the supply voltage (yet the trigger thresholds still are) and thus the frequency becomes dependent on the supply voltage. The potential on Pin 8 may be swept from VCC to  $2/3 V_{CC} + 2V$ .

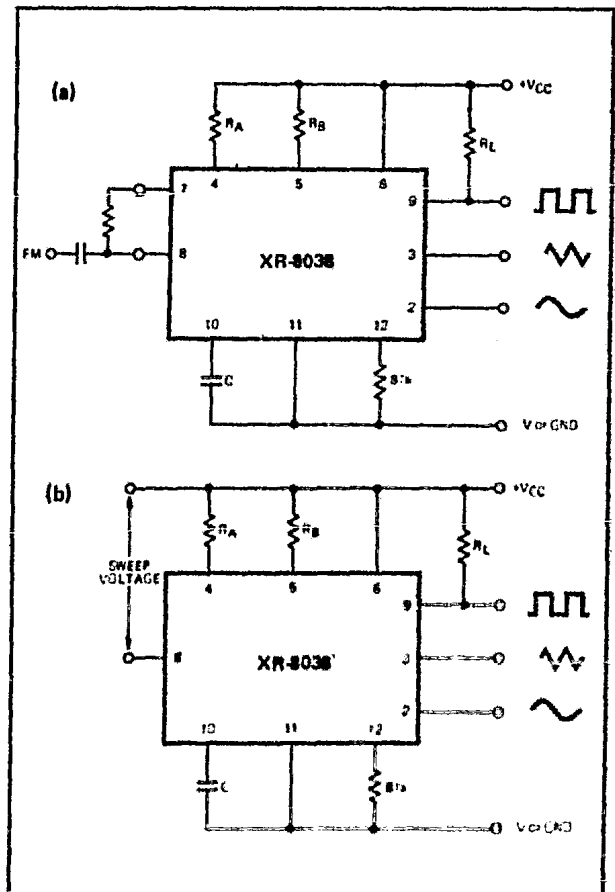


Figure 4. Connections for Frequency Modulation (a) and Sweep (b).

# CD4046A Types

## DESIGN INFORMATION

This information is a guide for approximating values of external components for the CD4046A in a Phase-Locked-Loop system. Selected external components must be in the following ranges:

$10\text{ k}\Omega < R_1, R_2, R_S < 1\text{ M}\Omega$   
 $C_1 > 100\text{ pF}$  at  $V_{DD} > 5\text{ V}$ ;  
 $C_1 > 50\text{ pF}$  at  $V_{DD} > 10\text{ V}$

In addition to the given design information refer to Fig.5 for  $R_1, R_2$ , and  $C_1$  component selections.

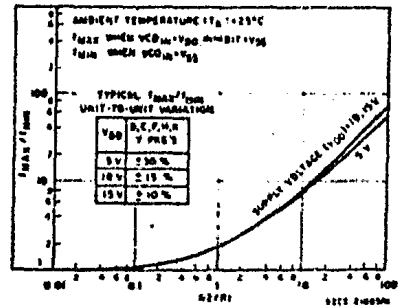


Fig.5(c) - Typical  $f_{max}/f_{min}$  vs  $R_2/R_1$ .

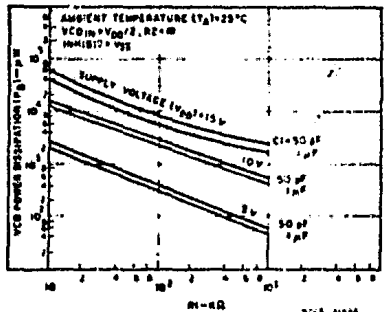


Fig.6(a) - Typical VCO power dissipation at center frequency vs  $R_1$ .

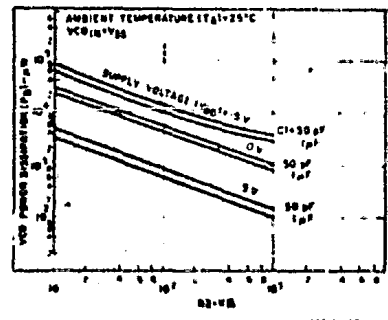


Fig.6(b) - Typical VCO power dissipation at  $f_{min}$  vs  $R_2$ .

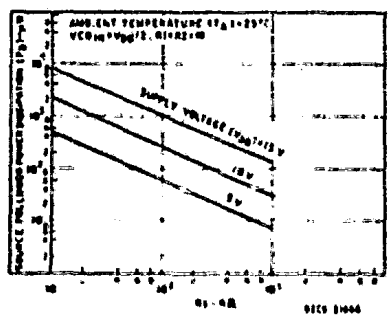


Fig.6(c) - Typical source follower power dissipation vs  $R_g$ .

Characteristics	Phase Comparator Used	Design Information	
		VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency	1		
	2	Same as for No. 1	
For No Signal Input	1	VCO will adjust to center frequency, $f_0$	
	2	VCO will adjust to lowest operating frequency, $f_{min}$	
Frequency Lock Range, $2f_L$	1	$2f_L = \text{full VCO frequency range}$ $2f_L = f_{max} - f_{min}$	
	2	Same as for No. 1	
Frequency Capture Range, $2f_C$	1	$2f_C \approx \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{r_1}}$	
	2	For $2f_C$ , see Ref. [2]	
Loop Filter Component Selection	1	$f_C = f_L$	
	2	$f_C = f_L$	
Phase Angle Between Signal and Comparator	1	$90^\circ$ at center frequency ( $f_0$ ) approximating $0^\circ$ and $180^\circ$ at ends of lock range ( $2f_L$ )	
	2	Always $0^\circ$ in lock	

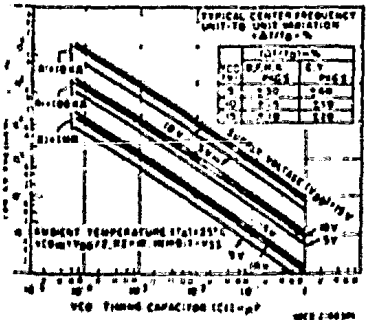


Fig.5(a) - Typical center frequency vs  $C_1$  for  $R_1 = 10\text{ k}\Omega$ , and  $1\text{ M}\Omega$  and  $f_0 \sim 1/R_1 C_1$ .

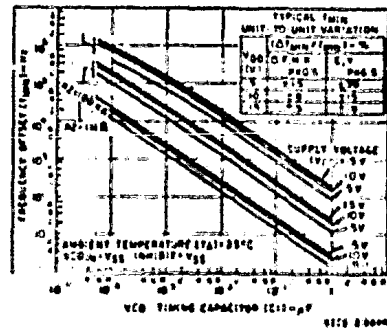


Fig.5(b) - Typical frequency offset vs  $C_1$  for  $R_2 = 10\text{ k}\Omega$ ,  $100\text{ k}\Omega$ , and  $1\text{ M}\Omega$ .

NOTE: Lower frequency values are obtainable if larger values of  $C_1$  than shown in Figs.5(a) and 5(b) are used

NOTE: To obtain approximate total power dissipation of PLL system for no signal input  
 $P_D(\text{Total}) = P_D(f_0) + P_D(f_{MIN}) + P_D(R_g)$  - Phase Comparator I  
 $P_D(\text{Total}) = P_D(f_{MIN})$  - Phase Comparator II

# CD4000B, CD4001B, CD4002B, CD4025B Types

## COS/MOS NOR Gates

### Features:

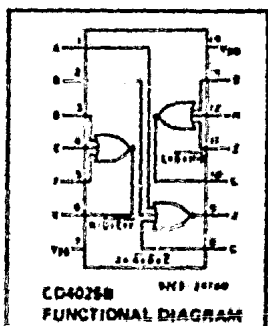
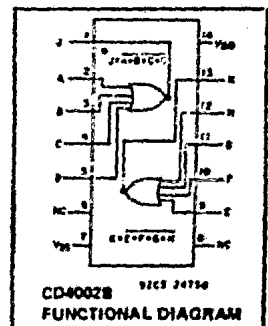
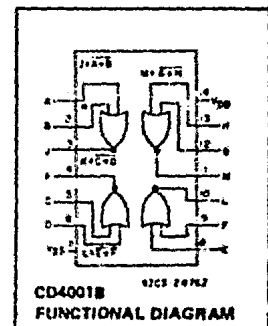
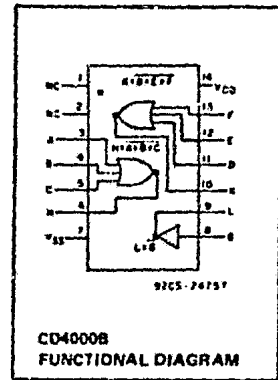
- Propagation delay time = 60 ns (typ.) at  $C_L = 50 \text{ pF}$ ,  $V_{DD} = 10 \text{ V}$
- Buffered inputs and outputs
- Standardized symmetrical output characteristics
- 100% tested for maximum quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Maximum input current of  $1 \mu\text{A}$  at 18 V over full package-temperature range;  $100 \text{ nA}$  at 18 V and  $25^\circ\text{C}$
- Noise margin (over full package temperature range):
  - 1 V at  $V_{DD} = 5 \text{ V}$
  - 2 V at  $V_{DD} = 10 \text{ V}$
  - 2.5 V at  $V_{DD} = 15 \text{ V}$

High-Voltage Types (20-Volt Rating)

- Dual 3 Input plus Inverter — CD4000B
- Quad 2 Input — CD4001B
- Dual 4 Input — CD4002B
- Triple 3 Input — CD4025B

RCA-CD4000B, CD4001B, CD4002B, and CD4025B NOR gates provide the system designer with direct implementation of the NOR function and supplement the existing family of COS/MOS gates. All inputs and outputs are buffered.

The CD4000B, CD4001B, CD4002B, and CD4025B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).



### STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES ( $^\circ\text{C}$ )							UNITS
	$V_O$ (V)	$V_{IN}$ (V)	$V_{DD}$ (V)	Values at $-55, +25, +125$ Apply to D, F, H Packages				Values at $-40, +25, +85$ Apply to E Package			
				$-55$	$-40$	$+85$	$+125$	$+25$			
								Min.	Typ.	Max.	
Quiescent Device Current, $I_{DD}$ Max	-	0.5	5	0.25	0.25	7.5	7.5	-	0.01	0.25	$\mu\text{A}$
	-	0.10	10	0.5	0.5	15	15	-	0.01	0.5	
	-	0.15	15	1	1	30	30	-	0.01	1	
	-	0.20	20	5	5	150	150	-	0.02	5	
Output Low (Sink) Current, $I_{OL}$ Min	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1		$\text{mA}$
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6		
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8		
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8		
Output High (Source) Current, $I_{OH}$ Min	4.6	0.5	5	-0.64	0.61	0.42	0.36	0.51	1		$\text{mA}$
	2.5	0.5	5	2	1.8	1.3	1.15	1.6	3.2		
	4.5	0.10	10	-1.6	1.5	1.1	0.9	1.3	2.6		
	13.5	0.15	15	-4.2	4	2.8	2.4	3.4	6.8		
Output Voltage Low Level, $V_{OL}$ Max		0.5	5			0.05			0	0.05	V
		0.10	10			0.05			0	0.05	
		0.15	15			0.05			0	0.05	
Output Voltage High Level, $V_{OH}$ Min		0.5	5			4.95		4.95	5		V
		0.10	10			9.95		9.95	10		
		0.15	15			14.95		14.95	15		
Input Low Voltage, $V_{IL}$ Max	0.5	5			1.5					1.5	V
	1.0	10			3					3	
	1.5	15			4					4	
Input High Voltage, $V_{IH}$ Min	0.5	5			3.5		3.5				V
	1	10			7		7				
	1.5	15			11		11				
Input Current $I_{IN}$ Max		0.18	18	-0.1	-0.1	-1	-1		-10	-0.1	$\mu\text{A}$

## COS/MOS Dual 'D'-Type Flip-Flop

High-Voltage Types (20-Volt Rating)

The RCA CD4013B consists of two identical independent data type flip-flops. Each flip-flop has independent data, set, reset, and clock inputs and Q and  $\bar{Q}$  outputs. These devices can be used for shift register applications, and, by connecting  $\bar{Q}$  output to the data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line, respectively.

The CD4013B types are supplied in 14-lead hermetic dual in-line ceramic packages (D and F suffixes), 14-lead dual in line plastic packages (E suffix), and in chip form (H suffix).

### Features:

- Set-Reset capability
- Static flip-flop operation — retains state indefinitely with clock level either "high" or "low"
- Medium-speed operation — 16 MHz (typ.) clock toggle rate at 10V
- Standardized symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu$ A at 18 V over full package temperature range; 100 nA at 18 V and 25°C
- Noise margin (over full package temperature range): 1 V at  $V_{DD}=5$  V  
2 V at  $V_{DD}=10$  V  
2.5 V at  $V_{DD}=15$  V
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

### Applications:

- Registers, counters, control circuits

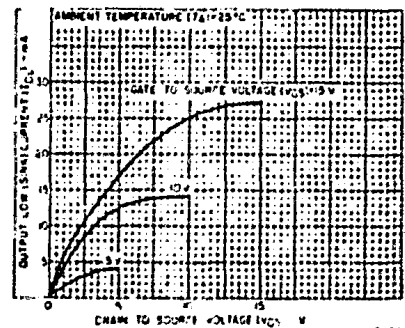
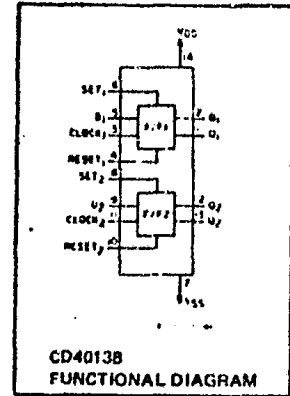


Fig. 1 — Typical output low (sink) current characteristics.

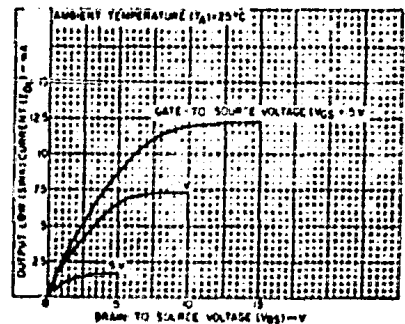


Fig. 2 — Minimum output low (sink) current characteristics.

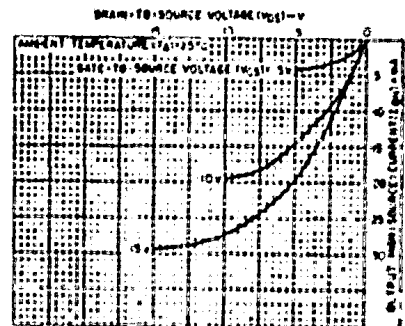


Fig. 3 — Typical output high (source) current characteristics.

### RECOMMENDED OPERATING CONDITIONS

At  $T_A = 25^\circ\text{C}$ , Except as Noted. For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	$V_{DD}$ (V)	LIMITS		UNITS
		MIN.	MAX.	
Supply-Voltage Range (For $T_A =$ Full Package Temperature Range)	—	3	18	V
Data Setup Time $t_S$	5	40	—	ns
	10	20	—	
Clock Pulse Width $t_W$	15	15	—	ns
	5	140	—	
Clock Input Frequency $f_{CL}$	10	60	—	ns
	15	40	—	
Clock Rise or Fall Time $t_{r,CL}, t_{f,CL}$	5	—	35	MHz
	10	—	8	
Set or Reset Pulse Width $t_W$	15	—	16	$\mu$ s
	5	—	4	
Set or Reset Pulse Width $t_W$	10	180	—	ns
	15	80	—	
Set or Reset Pulse Width $t_W$	5	—	1	ns
	10	—	50	

\*If more than one unit is cascaded in a parallel clocked operation,  $t_{r,CL}$  should be made less than or equal to the sum of the fixed propagation delay time at 15 pF and the transition time of the output driving stage for the estimated capacitive load.

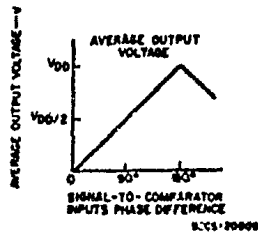


Fig 2 - Phase-comparator I characteristics at low-pass filter output.

Phase-comparator I. Typical waveforms for a COS/MOS phase-locked-loop employing phase comparator I in locked condition  $f_o$  is shown in Fig. 3.

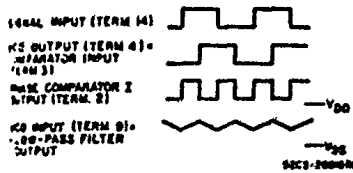


Fig 3 - Typical waveforms for COS/MOS phase-locked loop employing phase comparator I in locked condition of  $f_o$ .

Phase-comparator II is an edge-controlled digital memory network. It consists of four flip-flop stages, control gating, and a three-state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON they pull the output up to V<sub>DD</sub> or down to V<sub>SS</sub>, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal-input frequency is higher than the comparator-input frequency, the p-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder of the time. If the signal-input frequency is lower than the comparator-input frequency, the n-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder of the time. If the signal- and comparator-input frequencies are the same, but the signal input lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the signal- and comparator-input frequencies are the same, but the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point both p and n type output drivers remain OFF and the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low pass filter constant.

## RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following range:

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply Voltage Range (For T <sub>A</sub> = Full Package)	3	12	V
Temperature Range			

## ELECTRICAL CHARACTERISTICS at T<sub>A</sub> = 25°C

Characteristic	Test Conditions	Limits			Units		
		All Package Types D,E,F,H					
		Min.	Typ.	Max.			
<b>Phase Comparator Section</b>							
Operating Supply Voltage, V <sub>DD</sub> -V <sub>SS</sub>	VCO Operation	-	5	-	15	V	
	Comparators only	-	3	-	15		
Total Quiescent Device Current, I <sub>Q</sub> : Term 14 Open	Term 15 open Term 5 at V <sub>DD</sub> Terms 3 & 9 at V <sub>SS</sub>	5	-	25	55	μA	
		10	-	200	410		
		5	-	5	15		
		10	-	25	60		
Term 14 at V <sub>SS</sub> or V <sub>DD</sub>		15	-	50	500		
		5	1	2	-	MΩ	
		10	0.2	0.4	-		
15	-	0.2	-				
Term 14 (SIGNAL IN) Input Impedance, Z <sub>I4</sub>		5	1	2	-		
AC-Coupled Signal Input Voltage Sensitivity* (peak to peak)	See Fig.7	10	-	400	800	mV	
		15	-	700	-		
		5	1.5	2.25	-		V
DC Coupled Signal Input and Comparator Input Voltage Sensitivity Low Level		10	3	4.5	-		
		15	4.5	6.75	-		
		5	-	2.75	3.5		
High Level	V <sub>O</sub> Volts	10	-	5.5	7		
		15	-	8.25	-		
		0.5	5	0.43	0.86	-	mA
Output Drive Current: n Channel (Sink), I <sub>DN</sub>	Phase Comparator I & II Term 2 & 13	0.5	10	1.3	2.5	-	
		0.5	10	0.23	0.47	-	
p Channel (Source), I <sub>DP</sub>	Phase Comparator I & II Term 2 & 13	4.5	5	-0.3	-0.6	-	
		9.5	10	-0.9	1.8	-	
	Phase Pulses	4.5	5	-0.08	0.16	-	
		9.5	10	-0.25	0.5	-	
Input Leakage Current, I <sub>IL</sub> , I <sub>IH</sub> Max	Any Input		15		10 <sup>-5</sup>	±1	μA

\* For sine wave, the frequency must be greater than 1 kHz for Phase Comparator II

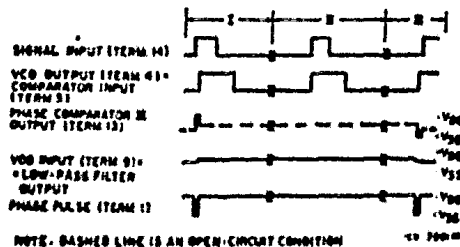


Fig 4 - Typical waveforms for COS/MOS phase-locked loop employing phase comparator II in locked condition

# CD4046A Types

## ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$

Characteristic	Test Conditions		Limits			Units		
			All Package Types D,E,F,H					
			V <sub>O</sub> Volts	V <sub>DD</sub> Volts	Min.		Typ.	Max.
<b>VCO Section</b>								
Operating Supply Voltage V <sub>DD</sub> -V <sub>SS</sub>	As fixed oscillator only			3	-	15	V	
	Phase-lock-loop operation			5	-	15		
Operating Power Dissipation, P <sub>D</sub>	$f_0 = 10 \text{ kHz}$ $R_1 = 1 \text{ M}\Omega$ $R_2 = \infty$ $V_{COIN} = \frac{V_{DD}}{2}$		5	-	70	-	$\mu\text{W}$	
			10	-	600	-		
			15	-	2400	-		
Maximum Operating Frequency, f <sub>max</sub>	$R_1 = 10 \text{ k}\Omega$ $R_2 = \infty$ $V_{COIN} = V_{DD}$	$C_1 = 100 \text{ pF}$	5	0.25	0.5	-	MHz	
		$C_1 = 50 \text{ pF}$	10	0.6	1.2	-		
			15	-	1.5	-		
Center Frequency (f <sub>0</sub> ) and Frequency Range, f <sub>max</sub> -f <sub>min</sub>	Programmable with external components R <sub>1</sub> , R <sub>2</sub> , and C <sub>1</sub> See Design Information							
Linearity	$V_{COIN} = 2.5 \text{ V} \pm 0.3 \text{ V}, R_1 > 10 \text{ k}\Omega$		5	-	1	-	%	
	$= 5 \text{ V} \pm 2.5 \text{ V}, R_1 > 400 \text{ k}\Omega$		10	-	1	-		
	$= 7.5 \text{ V} \pm 5 \text{ V}, R_1 = 1 \text{ M}\Omega$		15	-	1	-		
Temperature-Frequency Stability*: No Frequency Offset f <sub>MIN</sub> = 0	$\%/\text{C} \propto \frac{1}{f \cdot V_{DD}}$ $R_2 = \infty$		5	-	0.12-0.24	-	$\%/\text{C}$	
			10	-	0.04-0.08	-		
			15	-	0.015-0.03	-		
Frequency Offset f <sub>MIN</sub> ≠ 0	$\%/\text{C} \propto \frac{1}{f \cdot V_{DD}}$		5	-	0.08-0.12	-	$\%/\text{C}$	
			10	-	0.05-0.1	-		
			15	-	0.03-0.06	-		
Input Resistance of V <sub>COIN</sub> (Term 9), R <sub>I</sub>			5,10,15	-	10 <sup>12</sup>	-	$\Omega$	
VCO Output Voltage (Term 4) Low Level, V <sub>OL</sub>	Driving COS/MOS-Type Load (e.g. Term 3 Phase Comparator Input)		5,10,15	-	-	0.01	V	
High Level, V <sub>OH</sub>			5	4.99	-	-		
			10	9.99	-	-		
	15	14.99	-	-				
VCO Output Duty Cycle			5,10,15	-	50	-	%	
VCO Output Transition Times, t <sub>THL</sub> , t <sub>TLH</sub>			V <sub>O</sub> Volts	5	-	75	150	ns
				10	-	50	100	
				15	-	40	-	
VCO Output Drive Current: n-Channel (Sink), I <sub>DN</sub>			0.5	5	0.43	0.86	-	mA
			0.5	10	1.3	2.6	-	
			4.5	5	-0.3	-0.6	-	
			9.5	10	-0.9	-1.8	-	
Source Follower Output (Demodulated Output): Offset Voltage (V <sub>COIN</sub> -V <sub>DEM</sub> )	$R_S > 10 \text{ k}\Omega$		5,10	-	1.5	2.2	V	
			15	-	1.5	-		
Linearity	$R_S > 50 \Omega$	$V_{COIN} = 2.5 \pm 0.3 \text{ V}$	5	-	0.1	-	%	
		$= 5 \pm 2.5 \text{ V}$	10	-	0.6	-		
		$= 7.5 \pm 5 \text{ V}$	15	-	0.8	-		
Zener Diode Voltage (V <sub>Z</sub> ) CD4046AD, AF, AK CD4046AE, AY	$I_Z = 50 \mu\text{A}$			47	52	57	V	
				45	52	61		
Zener Dynamic Resistance, R <sub>Z</sub>	$I_Z = 1 \text{ mA}$			-	100	-	$\Omega$	

\* Positive coefficient.

Moreover the signal at the "phase comparator II" output is a high level which can be used to indicate a locked condition. Thus, if the phase comparator II, no phase difference exists between signal and comparator output over the full VCO frequency range. However, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p-n and n-type output drivers are OFF for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Fig. 4 shows typical waveforms for a COS/MOS PLL employing phase comparator II in a locked condition.

# CD4011B, CD4012B, CD4023B Types

## COS/MOS NAND Gates

### High-Voltage Types (20-Volt Rating)

Quad 2 Input — CD4011B  
Dual 4 Input — CD4012B  
Triple 3 Input — CD4023B

RCA-CD4011B, CD4012B, and CD4023B NAND gates provide the system designer with direct implementation of the NAND function and supplement the existing family of COS/MOS gates. All inputs and outputs are buffered.

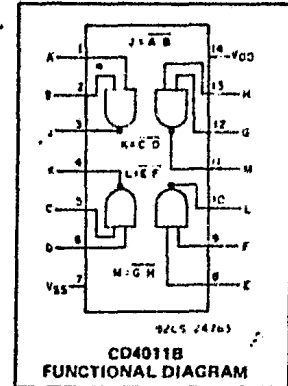
The CD4011B, CD4012B, and CD4023B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix) and in chip form (H suffix).

### Features:

- Propagation delay time = 60 ns (typ.) at  $C_L = 50$  pF,  $V_{DD} = 10$  V
- Buffered inputs and outputs
- Standardized symmetrical output characteristics
- Maximum input current of  $1 \mu\text{A}$  at 18 V over full package temperature range; 100 nA at 18 V and 25°C
- 100% tested for quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Noise margin (over full package temperature range):

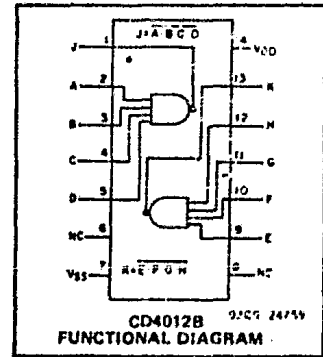
1 V at  $V_{DD} = 5$  V  
2 V at  $V_{DD} = 10$  V  
2.5 V at  $V_{DD} = 15$  V

- Meets all requirements of JEDEC Tentative Standard No.13A, "Standard Specifications for Description of "B" Series CMOS Devices"



### MAXIMUM RATINGS, Absolute-Maximum Values

DC SUPPLY VOLTAGE RANGE, ( $V_{DD}$ ) (Voltage referenced to $V_{SS}$ Terminal)	0.5 to +20 V
INPUT VOLTAGE RANGE, ALL INPUTS (Voltage referenced to $V_{SS}$ Terminal)	0.5 to $V_{DD} + 0.5$ V
DC INPUT CURRENT, ANY ONE INPUT	+10 mA
POWER DISSIPATION PER PACKAGE ( $P_D$ )	500 mW
For $T_A = 40$ to +60°C (PACKAGE TYPE E)	500 mW
For $T_A = +60$ to +85°C (PACKAGE TYPE E)	Dense Leads only at 12 mW/°C to 200 mW
For $T_A = 55$ to +100°C (PACKAGE TYPES D, F)	500 mW
For $T_A = +100$ to +125°C (PACKAGE TYPES D, F)	Dense Leads only at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR (For $T_A =$ FULL PACKAGE TEMPERATURE RANGE (All Package Types))	100 mW
OPERATING TEMPERATURE RANGE ( $T_A$ )	
PACKAGE TYPES D, F, H	55 to +125°C
PACKAGE TYPE E	40 to +85°C
STORAGE TEMPERATURE RANGE ( $T_{stg}$ )	65 to +150°C
LEAD TEMPERATURE (during soldering)	+265°C
At distance 1.27 to 1.52 mm (0.05 to 0.06 inch) from case for 10 s max.	

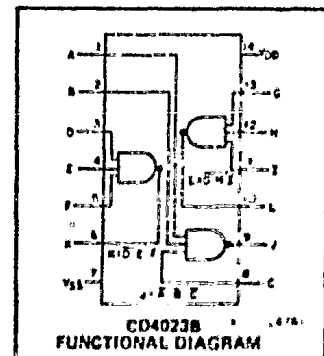
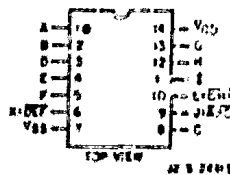
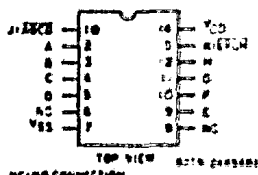
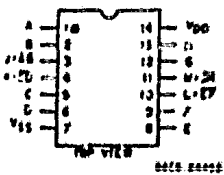


### RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply Voltage Range (For $T_A =$ Full Package Temperature Range)	3	18	V

### TERMINAL ASSIGNMENTS



# CD4046A Types

## COS/MOS Micropower Phase-Locked Loop

The RCA-CD4046A COS/MOS Micropower Phase-Locked Loop (PLL) consists of a low-power, linear voltage-controlled oscillator (VCO) and two different phase comparators having a common signal-input amplifier and a common comparator input. A 5.2-V zener diode is provided for supply regulation if necessary.

These types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic package (E suffix), and in chip form (H suffix).

### VCO Section

The VCO requires one external capacitor C1 and one or two external resistors (R1 or R2 and R3). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ( $10^{12}\Omega$ ) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATED OUTPUT). If this terminal is used, a load resistor (R5) of 10 k $\Omega$  or more should be connected from this terminal to V<sub>SS</sub>. If unused this terminal should be left open. The VCO can be connected either directly or through frequency dividers to the comparator input of the phase comparators. A full COS/MOS logic swing is available at the output of the VCO and allows direct coupling to COS/MOS frequency dividers such as the RCA-CD4024, CD4018, CD4020, CD4022, CD4029, and CD4059. One or more CD4018 (Presettable Divide-by-N Counter) or CD4029 (Presettable Up/Down Counter), or CD4059A (Programmable Divide-by-"N" Counter), together with the CD4046A (Phase-Locked Loop) can be used to build a micropower low-frequency synthesizer. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

### Phase Comparators

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within COS/MOS logic levels (logic "0"  $\leq 30\%$  (V<sub>DD</sub> - V<sub>SS</sub>), logic "1"  $\geq 70\%$  (V<sub>DD</sub> - V<sub>SS</sub>)). For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network, it operates analogously to an overdriven balanced mixer. To maximize the lock range, the signal and comparator input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to V<sub>DD</sub>/2. The low-pass filter connected to the output of phase comparator I supplies the average voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f<sub>0</sub>).

The frequency range of input signals on which the PLL will lock if it was initially

### Features:

- Very low power consumption: 70  $\mu$ W (typ.) at VCO f<sub>0</sub> = 10 kHz, V<sub>DD</sub> = 5 V
- Operating frequency range up to 1.2 MHz (typ.) at V<sub>DD</sub> = 10 V
- Wide supply-voltage range: V<sub>DD</sub> - V<sub>SS</sub> = 5 to 15 V
- Low frequency drift: 0.05%/°C (typ.) at V<sub>DD</sub> = 10 V

- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indicator
- High VCO linearity: 1% (typ.)
- VCO inhibit control for ON-OFF keying and ultra-low standby power consumption
- Source-follower output of VCO control (Demod. output)
- Zener diode to assist supply regulation
- Quiescent current specified to 15 V
- Maximum input leakage current of 1  $\mu$ A at 15 V (full package-temperature range)

### Applications:

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK - Modems
- Signal conditioning
- (See ICAN-6101) "RCA COS/MOS Phase-Locked Loop - A Versatile Building Block for Micropower Digital and Analog Applications"

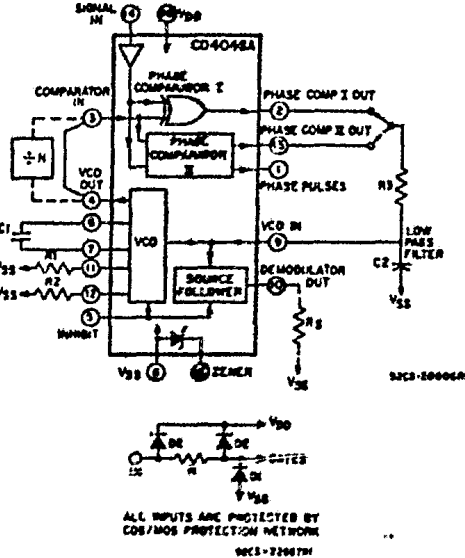


Fig. 1 - COS/MOS phase-locked loop block diagram.

### MAXIMUM RATINGS, Absolute Maximum Values:

STORAGE TEMPERATURE RANGE (T <sub>stg</sub> )	-65 to +150°C
OPERATING TEMPERATURE RANGE (T <sub>A</sub> )	
PACKAGE TYPES D, F, H	-55 to +125°C
PACKAGE TYPE E	-40 to +85°C
DC SUPPLY VOLTAGE RANGE (V <sub>DD</sub> )	
(Voltages referenced to V <sub>SS</sub> Terminal)	-0.5 to +15 V
POWER DISSIPATION PER PACKAGE (P <sub>D</sub> )	
FOR T <sub>A</sub> = -40 to +80°C (PACKAGE TYPE E)	500 mW
FOR T <sub>A</sub> = +60 to +85°C (PACKAGE TYPE E)	Derate linearly at 12 mW/°C to 200 mW
FOR T <sub>A</sub> = -55 to +100°C (PACKAGE TYPES D, F)	500 mW
FOR T <sub>A</sub> = +100 to +125°C (PACKAGE TYPES D, F)	Derate linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T <sub>A</sub> = FULL PACKAGE TEMPERATURE RANGE (ALL PACKAGE TYPES)	100 mW
INPUT VOLTAGE RANGE ALL INPUTS	-0.5 to V <sub>DD</sub> + 0.5 V
LEAD TEMPERATURE (DURING SOLDERING)	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max	+260°C

cut of lock is defined as the frequency capture range (2f<sub>c</sub>).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range (2f<sub>L</sub>). The capture range is  $\leq$  the lock range.

With phase comparator I the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass filter characteristics and can be made as large as the lock range. Phase com-

parator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto frequencies that are close to harmonics of VCO center frequency. A second characteristic is that the phase angle between signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Fig. 2 shows the typical signal phase-to-output response charac-



ELECTRICAL CHARACTERISTICS

Characteristic	Test Conditions	LIMITS AT INDICATED TEMPERATURE (°C)						U N I T S		
		V <sub>IN</sub> (V)		V <sub>DD</sub> (V)		+25				
		-55	-40	+85	+125	Typ.	Max.			
Quiescent Device Current, I <sub>DD</sub>	V <sub>IN</sub> = 0.5, 1.0, 1.5, 2.0 V V <sub>DD</sub> = 5, 10, 15, 20 V	0.5	5	0.25	0.25	7.5	7.5	0.01	0.25	μA
		1.0	10	0.5	0.5	15	15	0.01	0.5	
		1.5	15	1	1	30	30	0.01	1	
		2.0	20	5	5	150	150	0.02	5	
Signal Inputs (V <sub>is</sub> ) and Output (V <sub>os</sub> )										
On-State Resistance, r <sub>on</sub> Max.	V <sub>C</sub> = V <sub>DD</sub> R <sub>L</sub> = 10kΩ Returned to V <sub>DD</sub> -V <sub>SS</sub> 2	V <sub>is</sub> = V <sub>DD</sub> or V <sub>SS</sub>	10	600	610	840	960	-	660	Ω
		V <sub>is</sub> = 4.75 to 5.75 V	10	1870	1900	2380	2600	-	2000	
ΔOn-State Resistance Between Any 2 Switches, Δr <sub>on</sub>	R <sub>L</sub> = 10kΩ, V <sub>C</sub> = V <sub>DD</sub>	V <sub>is</sub> = V <sub>DD</sub> or V <sub>SS</sub>	15	360	370	520	600	-	400	Ω
		V <sub>is</sub> = 7.25 to 7.75 V	15	775	790	1080	1230	-	850	
Total Harmonic Distortion, THD	V <sub>C</sub> = V <sub>DD</sub> = 5V, V <sub>SS</sub> = -5V, V <sub>is</sub> (p-p) = 5V (Sine wave centered on 0V) R <sub>L</sub> = 10 kΩ, f <sub>is</sub> = 1 kHz sine wave		-	-	-	-	0.4	-	%	
-3dB Cutoff Frequency (Switch on)	V <sub>C</sub> = V <sub>DD</sub> = 5V, V <sub>SS</sub> = -5V, V <sub>is</sub> (p-p) = 5V (Sine wave centered on 0V) R <sub>L</sub> = 1 kΩ,		-	-	-	-	40	-	MHz	
-50dB Feed-through Frequency (Switch off)	V <sub>C</sub> = V <sub>SS</sub> = -5V, V <sub>is</sub> (p-p) = 5V (Sine wave centered on 0V) R <sub>L</sub> = 1 kΩ		-	-	-	-	1.25	-	MHz	
Input/Output Leakage Current (Switch off) I <sub>is</sub> Max.	V <sub>C</sub> = 0V V <sub>is</sub> = 18V, V <sub>os</sub> = 0V; V <sub>is</sub> = 0V, V <sub>os</sub> = 18V	15	±0.1	±0.1	±1	±1	10 <sup>-6</sup>	±0.1	μA	
-50 dB Crosstalk Frequency	V <sub>C</sub> (A) = V <sub>DD</sub> = +5V, V <sub>C</sub> (B) = V <sub>SS</sub> = -5V, V <sub>is</sub> (A) = 5V p-p, 50Ω source R <sub>L</sub> = 1 kΩ		-	-	-	-	0.9	-	MHz	
Propagation Delay (Signal Input to Signal Output) t <sub>pd</sub>	R <sub>L</sub> = 200 kΩ V <sub>C</sub> = V <sub>DD</sub> , V <sub>SS</sub> = GND, C <sub>L</sub> = 50 pF V <sub>is</sub> = 10 V (Square wave centered on 5V) t <sub>r</sub> , t <sub>f</sub> = 20 ns	5	-	-	-	-	40	100	ns	
		10	-	-	-	-	20	40		
		15	-	-	-	-	15	30		
Capacitance: Input, C <sub>is</sub> Output, C <sub>os</sub> Feedthrough, C <sub>ios</sub>	V <sub>DD</sub> = +5V V <sub>C</sub> = V <sub>SS</sub> = -6V		-	-	-	-	4	-	pF	
			-	-	-	-	4	-		
			-	-	-	-	0.2	-		

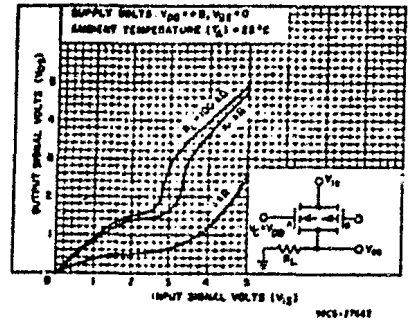


Fig. 3—Typ. on-state characteristics for 1 of 4 switches with V<sub>DD</sub> = +5V, V<sub>SS</sub> = 0V.

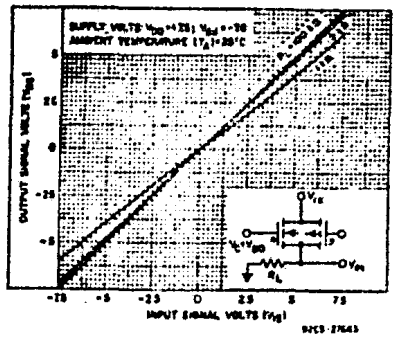


Fig. 4—Typ. on-state characteristics for 1 of 4 switches with V<sub>DD</sub> = +7.5V, V<sub>SS</sub> = -7.5V.

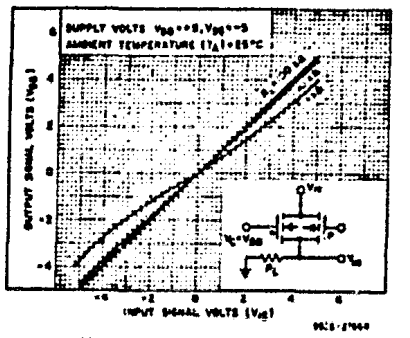


Fig. 5—Typ. on-state characteristics for 1 of 4 switches with V<sub>DD</sub> = +5V, V<sub>SS</sub> = -5V.

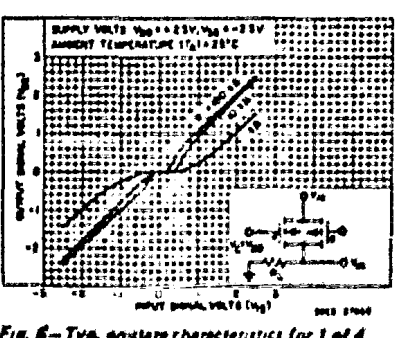


Fig. 6—Typ. on-state characteristics for 1 of 4 switches with V<sub>DD</sub> = +2.5V, V<sub>SS</sub> = -2.5V.

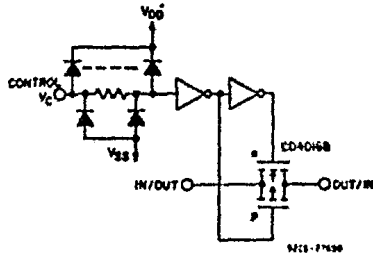
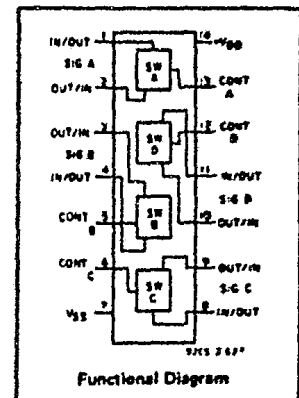
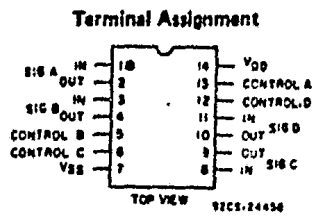
# CD4016B Types

## COS/MOS Quad Bilateral Switch

For Transmission or Multiplexing of Analog or Digital Signals

High-Voltage Types (20-Volt Rating)

The RCA-CD4016B Series types are quad bilateral switches intended for the transmission or multiplexing of analog or digital signals. Each of the four independent bilateral switches has a single control input which simultaneously biases both the p and n device in a given switch on or off. The CD4016 "B" Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).



Schematic diagram - 1 of 4 identical sections.

### Features:

- 20-V digital or  $\pm 10$ -V peak-to-peak switching
- 280- $\Omega$  typical on-state resistance for 15-V operation
- Switch on-state resistance matched to within 10  $\Omega$  typ. over 15-V signal-input range
- High on/off output-voltage ratio: 65 dB typ. @  $f_{is} = 10$  kHz,  $R_L = 10$  k $\Omega$
- High degree of linearity: <0.5% distortion typ. @  $f_{is} = 1$  kHz,  $V_{is} = 5$  V<sub>p-p</sub>,  $V_{DD} - V_{SS} > 10$  V,  $R_L = 10$  k $\Omega$
- Extremely low off-state switch leakage resulting in very low offset current and high effective off-state resistance: 100 pA typ. @  $V_{DD} - V_{SS} = 18$  V,  $T_A = 25^\circ\text{C}$
- Extremely high control input impedance (control circuit isolated from signal circuit): 10<sup>12</sup>  $\Omega$  typ.
- Low crosstalk between switches: -50 dB typ. @  $f_{is} = 0.9$  MHz,  $R_L = 1$  k $\Omega$
- Matched control-input to signal-output capacitance: Reduces output signal transients
- Frequency response, switch on = 40 MHz (typ.)
- 100% tested for quiescent current at 20 V
- Maximum control input current of 1  $\mu$ A at 18 V over full package temperature range; 100 nA at 18 V at 25 $^\circ\text{C}$
- 5-V, 10-V, and 15-V parametric ratings

### Applications:

- Analog signal switching/multiplexing
  - Signal gating                      ■ Modulator
  - Squelch control                   ■ Demodulator
  - Chopper                            ■ Commutating switch
- Digital signal switching/multiplexing
- COS/MOS logic implementation
- Analog-to-digital & digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

### RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following range:

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply Voltage Range (For $T_A$ = Full Package Temperature Range)	3	18	V

### MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V <sub>DD</sub> ) (Voltages referenced to V <sub>SS</sub> Terminal)			-0.5 to +20 V
INPUT VOLTAGE RANGE, ALL INPUTS			-0.5 to V <sub>DD</sub> + 0.5 V
DC INPUT CURRENT, ANY ONE INPUT			$\pm 10$ mA
POWER DISSIPATION PER PACKAGE (P <sub>D</sub> ):			
For $T_A = -40$ to $+85^\circ\text{C}$ (PACKAGE TYPE E)			500 mW
For $T_A = +60$ to $+85^\circ\text{C}$ (PACKAGE TYPE E)	Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW		
For $T_A = -55$ to $+100^\circ\text{C}$ (PACKAGE TYPES D, F)			500 mW
For $T_A = +100$ to $+125^\circ\text{C}$ (PACKAGE TYPES D, F)	Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW		
DEVICE DISSIPATION PER OUTPUT TRANSISTOR			
FOR $T_A$ = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)			100 mW
OPERATING-TEMPERATURE RANGE (T <sub>A</sub> )			
PACKAGE TYPES D, F, H			-55 to +125 $^\circ\text{C}$
PACKAGE TYPE E			-40 to +85 $^\circ\text{C}$
STORAGE TEMPERATURE RANGE (T <sub>stg</sub> )			-65 to +150 $^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING):			
At distance 1/16 $\pm$ 1/32 inch (1.59 $\pm$ 0.79 mm) from case for 10 s max.			+285 $^\circ\text{C}$

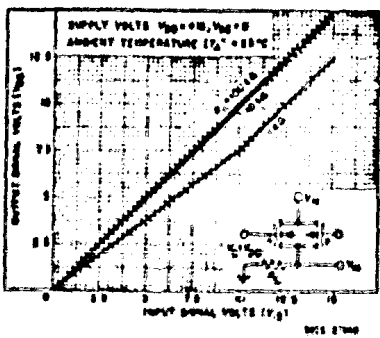


Fig. 1 - Typ. on state characteristics for 1 of 4 switches with  $V_{DD} = +15$  V,  $V_{SS} = 0$  V.

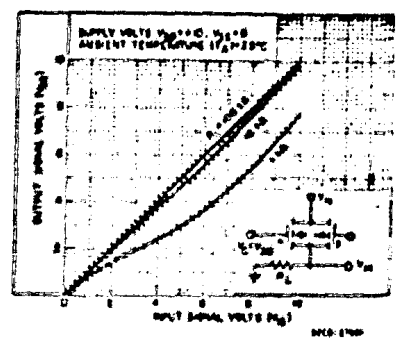


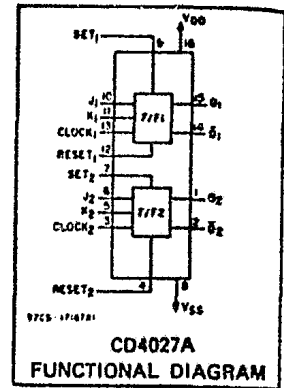
Fig. 2 - Typ. on state characteristics for 1 of 4 switches with  $V_{DD} = +18$  V,  $V_{SS} = 0$  V.

# CD4027A Types

## COS/MOS Dual J-K Master-Slave Flip-Flop

The RCA-CD4027A is a single monolithic chip integrated circuit containing two identical complementary-symmetry J-K master-slave flip-flops. Each flip-flop has provisions for individual J, K, Set, Reset, and Clock input signals. Buffered Q and  $\bar{Q}$  signals are provided as outputs. This input-output arrangement provides for compatible operation with the RCA-CD4013A dual D-type flip-flop.

The CD4027A is useful in performing control, register, and toggle functions. Logic levels present at the J and K inputs along with internal self-steering control the state of each flip-flop; changes in the flip-flop state are synchronous with the positive-going transition of the clock pulse. Set and reset functions are independent of the clock and are initiated when a high level signal is present at either the Set or Reset input.



### MAXIMUM RATINGS, Absolute-Maximum Values:

STORAGE-TEMPERATURE RANGE ( $T_{stg}$ )	-65 to +150°C
OPERATING-TEMPERATURE RANGE ( $T_A$ ):	
PACKAGE TYPES D, F, H	-55 to +125°C
PACKAGE TYPE E	-40 to +85°C
DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ )	
(Voltages referenced to $V_{SS}$ Terminal):	-0.5 to +15 V
POWER DISSIPATION PER PACKAGE ( $P_D$ ):	
FOR $T_A = -40$ to +80°C (PACKAGE TYPE E)	500 mW
FOR $T_A = +60$ to +85°C (PACKAGE TYPE E)	Derate Linearly at 12 mW/°C to 200 mW
FOR $T_A = -55$ to +100°C (PACKAGE TYPES D, F)	500 mW
FOR $T_A = +100$ to +125°C (PACKAGE TYPES D, F)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR $T_A =$ FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES)	100 mW
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD} + 0.5$ V
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.58 ± 0.79 mm) from case for 10 s max.	+265°C

RECOMMENDED OPERATING CONDITIONS at  $T_A = 25^\circ\text{C}$ , Except as Noted.  
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

CHARACTERISTIC	$V_{DD}$ (V)	LIMITS				UNITS
		D, F, H PACKAGES		E PACKAGE		
		MIN.	MAX.	MIN.	MAX.	
Supply-Voltage Range (For $T_A =$ Full Package-Temperature Range)		3	12	3	12	V
Data Setup Time, $t_S$	5 10	150 50	--	200 75	--	ns
Clock Pulse Width, $t_{PW}$	5 10	330 110	--	500 165	--	ns
Clock Input Frequency (Toggle Mode) $f_{CL}$	5 10	dc	1.5 4.5	dc	1 3	MHz
Clock Rise or Fall Time, $t_{r,CL}$ , $t_{f,CL}$	5 10	--	15 5	--	15 5	$\mu\text{s}$
Set or Reset Pulse Width, $t_{PW}$	5 10	200 80	--	300 120	--	ns

\*If more than one unit is cascaded in a parallel clocked operation,  $t_{r,CL}$  should be made less than or equal to the sum of the  $t_{r,CL}$  propagation delay time at 15 pF and the transition time of the output driving stage for the estimated capacitive load.

These types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and suffixes), 16-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

### Features:

- Set-Reset capability
- Static flip-flop operation—retains state indefinitely with clock level either "high" or "low"
- Medium-speed operation—10 MHz (typ clock toggle rate at 10V)
- Quiescent current specified to 15 V
- Maximum input leakage of 1  $\mu\text{A}$  at 15 V (full package-temperature range)
- 1-V noise margin (full package-temperature range)

### Applications

- Registers, counters, control circuits

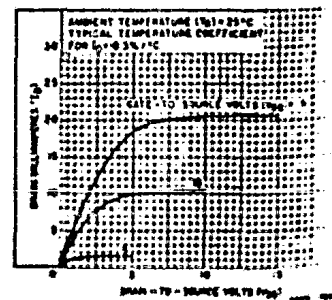


Fig. 1 - Typical n-channel drain characteristics

## TECHNICAL DATA

AN EXCLUSIVE RADIO SHACK SERVICE TO THE EXPERIMENTER

### SAD-1024 DUAL ANALOG DELAY LINE

#### DESCRIPTION:

The SAD-1024 is a general-purpose dual 512-stage Bucket-Brigade Device (BBD) fabricated using N-channel silicon-gate technology to obtain flexible performance at low cost. Each 512-stage section is independent as to input, output, and clock. The sections may be used independently, may be multiplexed to give an increased effective sample rate, may be connected in series to give increased delay, or may be operated in a differential mode for reduced even-harmonic distortion and reduced clocking noise. Each section has its output split into two channels so that in normal operation output is provided over each full clock period. The SAD-1024 is packaged in a standard 16-lead dual-in-line package. Only V<sub>DD</sub> and GND are common to the two separate delay sections.

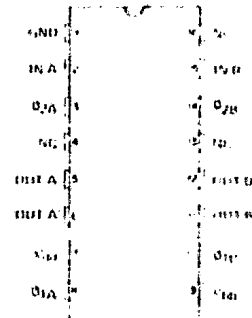


Figure 1. Pin Configuration, SAD-1024. Note: Unused outputs should be connected to V<sub>DD</sub>; all other unused pins should be connected to GND (pin 1), including those marked N.C.

#### KEY FEATURES:

- Two independent 512-stage delay sections.
- Clock-controlled delay: 0.5 sec to less than 200μsec.
- N-channel silicon-gate bucket-brigade technology.
- Designed for self-cancellation of clocking modulation.
- Wide signal-frequency range: 0 to more than 200kHz.
- Wide sampling clock frequency range: 1.5kHz to more than 1.5MHz.
- Wide dynamic range: S/N > 70db.
- Low distortion: less than 1%.
- Low noise: typically limited by output amplifier.
- Single 15 volt power supply.

#### TYPICAL APPLICATIONS:

- Voice control of tape recorders.
- Variable signal control of amplitude or of equalization filters.
- Reverberation effects in stereo equipment.
- Tremolo, vibrato, or chorus effects in electronic musical instruments.
- Variable or fixed delay of analog signals.
- Time compression of telephone conversations or other analog signals.
- Voice scrambling systems.

#### DEVICE CHARACTERISTICS AND OPERATING PARAMETERS

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Clock Voltage <sup>1</sup>	$\phi_1, \phi_2$	10	15	17	Volts
Drain Supply Voltage <sup>1</sup>	V <sub>DD</sub>	10	15	17	Volts
Bias Voltage <sup>1</sup>	V <sub>BB</sub>		V <sub>DD</sub> <sup>1</sup>	V <sub>DD</sub>	Volts
Sampling Freq.	$f_{01}, f_{02}$	0.0015	—	1.5	MHz
Clock Rise Time	t <sub>cr</sub>		30		nsec
Clock Fall Time	t <sub>cf</sub>		50		nsec
Clock Line Capacitance	C <sub>c</sub>		110		pf
Signal Freq. Bandwidth (3db point)		See Fig. 2	200		kHz
Gain <sup>2</sup>			1.2		
Input Capacitance	C <sub>in</sub>		7		pf
Input Shunt Resistance <sup>3</sup>	R <sub>in</sub>			200	Kohms
Optimum Input Bias <sup>4</sup>			+6		Volts
Maximum Input Signal Amplitude		1	2		Volts p-p
Average Temp. Coefficient of Gain <sup>6</sup>			-0.1		db/°C
Average Temp. Coefficient of Optimum Input Bias <sup>6</sup>			.8		mv/°C

#### Notes:

1. All voltages measured with respect to GND (pin 1).
2. The value of gain depends on the output termination resistance. See Figure 4.
3. Effective a.c. shunt resistance measured at 1MHz.
4. The input bias voltage varies slightly with the magnitude of the clock voltage (and V<sub>DD</sub>) and may be adjusted for optimum linearity at maximum signal level. The value shown is nominal for 15 volt clocks.
5. The device may be operated at clock voltages down to 5 volts (to facilitate use in battery operated portable equipment) but with reduced input bias and reduced input signal amplitude.
6. Measured at sample frequency of 10kHz, audio input of 1V p-p at 1kHz in SC-1024A circuit for temperature range of 0° to 70°C.

#### ABSOLUTE MAXIMUM VOLTAGES

TERMINAL	LIMITS	UNITS
Any terminal <sup>1</sup>	+20 to -0.4	Volts

#### CAUTION:

Static discharge to any lead of this device may cause permanent damage. Store in aluminum film or inserted in conductive foam. Use grounded soldering irons, tools, and personnel when handling devices. Avoid synthetic fabrics. It is recommended that the device be inserted into socket before applying power.

## SUMMARY OF OPERATION

The SAD-1024 is an analog-sampled data device which lies between linear and digital in its applications and method of use. The input data is handled in analog form in discrete time, controlled by an external clock. Internally, the data is handled in samples at fixed intervals, much as in any digital system. The input analog signal is connected to the first of the 512 MOS transistors while the clock frequency is high and is transmitted to the next section when the clock goes low. The amplitude of the input signal remains constant between sections. The clock signals appear at the output as part of the "mix" and must be filtered out.

## DRIVE AND VOLTAGE REQUIREMENTS

Voltage levels and limits are given in the specifications table on page 1. The clock inputs are two-phase square waves. For convenience in use,  $V_{bb} = V_{dd}$ . However, for optimum performance,  $V_{bb}$  should be one volt less than  $V_{dd}$ . All unused outputs should be connected to  $V_{dd}$ . All unused terminals (including the ones marked NC) should be connected to ground. The bandwidth of the input should be limited to less than one-half of the clock frequency.

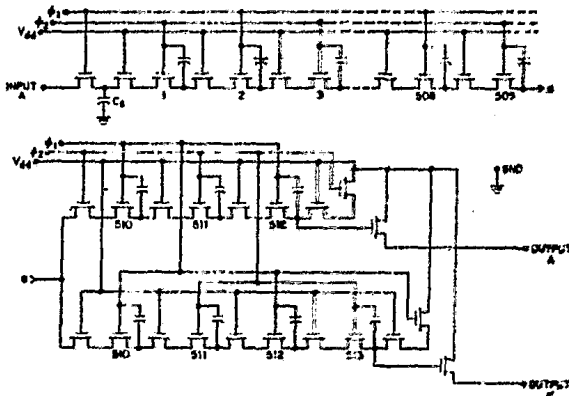


Figure 2. Equivalent Circuit Diagram for One Section SAD-1024

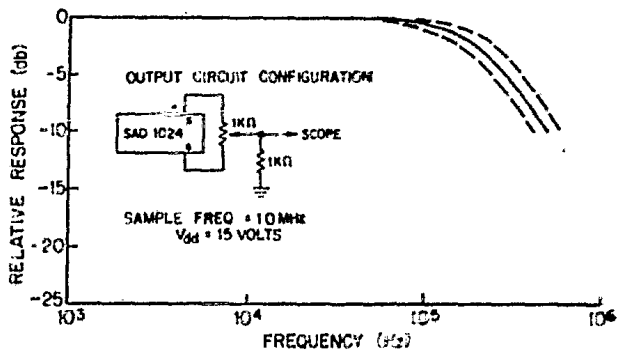


Figure 3. Frequency Response showing Typical Variation Device to Device.

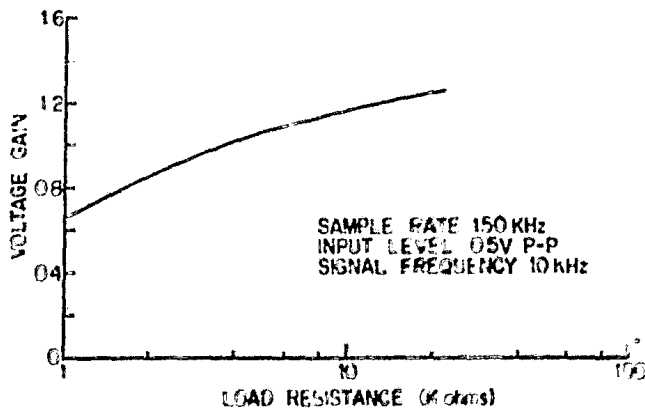


Figure 4. Dependence of Gain on Load Resistance.

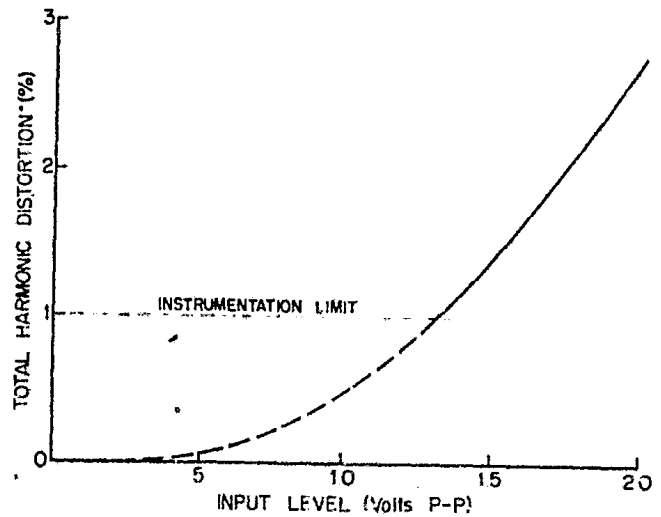


Figure 5. SAD-1024 Distortion vs. Input Level.

## CLOCKING

Schematics for two types of variable-frequency clock generators are shown in Figure 6. Both are easy-to-build and provide a wide range of clock frequencies.

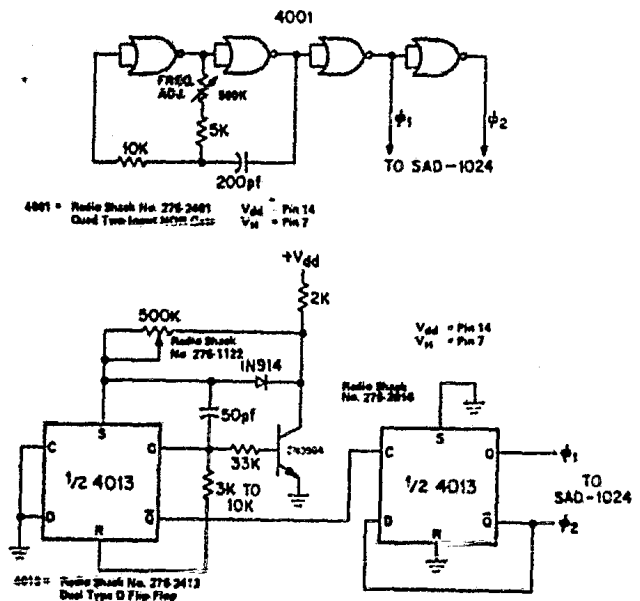


Figure 6. Two Examples of a Simple Variable-Frequency Clock Generator.

## CIRCUIT CONFIGURATIONS

The SAD-1024 consists of two 512-element delay sections which, except for common grounds and power input, are electrically independent. The sections may be used in the following configurations:

1. Single-section
2. Serial
3. Parallel-multiplex
4. Differential
5. Multiple-device