

# UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA



---

## SISTEMA DE PROCESAMIENTO DE IMAGENES A COLOR.

**T E S I S**

Que para obtener el Título de:  
**INGENIERO MECANICO ELECTRICISTA**  
P r e s e n t a:

**JUAN LOPEZ FRAGOSO**

1983



Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

C O N T E N I D O

OBJETIVO GENERAL.....	i
INTRODUCCION.....	ii
CAPITULO 1. BOSQUEJO HISTORICO.	
1.1 Evolución de los sistemas de despliegue.....	1
1.2 Sistemas comerciales de despliegue.....	1
1.3 Aplicaciones.....	5
CAPITULO 2. ALTERNATIVAS DE DISEÑO PARA UN SISTEMA DE DESPLIEGUE	
2.1 Evaluación de los sistemas de despliegue.....	7
2.2 Elección del sistema objeto de este trabajo .....	9
2.3 Descripción del sistema de despliegue por barrido.....	9
2.4 Objetivos de diseño .....	12
2.5 Tecnología disponible para la implementación .....	13
CAPITULO 3. DESCRIPCION FUNCIONAL DEL SISTEMA.	
3.1 Especificaciones.....	14
3.2 Relación funcional entre módulos .....	16
3.3 Diagrama de módulos.....	19
CAPITULO 4. FUNCIONES DE LOS MODULOS	
4.1 Memoria de video .....	20
4.1.1 Generador de las señales de control de la memoria.....	23
4.1.2 Refrescamiento de la memoria y multiplexaje de direcciones.....	27

4.1.3	Arbitro de acceso .....	28
4.1.4	Control de flujo de datos.....	31
4.2	Módulo de control del sistema .....	32
4.2.1	Generador de las direcciones para video .....	32
4.2.2	Interfaz para adquisición de imágenes con una cámara de T.V. ....	40
4.2.3	Interfaz para despliegue .....	41
4.2.4	Interfaz con la microcomputadora .....	42
4.2.5	Arbitro de acceso microcomputadora/VIDEO .....	50
4.2.6	Multiplexor de direcciones (Microcomputadora/VIDEO)..	51
4.3	Generador de las señales de sincronía .....	53
4.4	Convertidores Analógico-Digital y Digital-Analógico .....	54
4.5	Demodulador.....	58
CAPITULO 5. CONCLUSIONES .....		61
Apéndice A. Diagramas. ....		62
A.1	Controlador .....	63
A.2	Memoria .....	69
A.3	Demodulador .....	75
A.4	Convertidores A/D y D/A.....	76
Apéndice B. Mejoras del sistema.....		90
B.1	Implementación del ZOOM.....	90
B.2	Diagramas .....	95
Apéndice C.		
C.1	Costo del sistema .....	98
Bibliografía .....		100

Objetivo General.- Diseño e implementación de un sistema que almacene una imagen captada por medio de una cámara de televisión, utilizando técnicas de digitalización; despliegue de la imagen en un monitor de t.v. y la interfaz del sistema con una microcomputadora para procesar la imagen digitalizada.

## I N T R O D U C C I O N

En la actualidad los sistemas de despliegue de imágenes tienen un desenvolvimiento rápido, sobre todo gracias a la influencia de las computadoras. La producción y reproducción de imágenes en los sistemas de despliegue controlados por medio de una computadora, se han vuelto más flexibles y económicos, a la vez que han encontrado un número mayor de aplicaciones, con mayor complejidad y calidad; así tenemos por ejemplo, desde las funciones gráficas sencillas de dos dimensiones hasta las representaciones tridimensionales con un mayor grado de complejidad. Desde las representaciones de imágenes fijas hasta las representaciones de imágenes en movimiento; desde las imágenes en blanco y negro con unas cuantas tonalidades de gris hasta reproducciones de imágenes con sus colores reales.

Atendiendo a las necesidades en el procesamiento de imágenes por medio de computadora que actualmente se tienen en el IIMAS y dada la gran utilidad en aplicaciones como son: El análisis de fotografías de satélite y de avión para obtener información importante sobre los recursos terrestres. El trabajo que se presenta es un sistema de despliegue de imágenes por barrido tipo bit-map, el cual pretende cubrir algunas de estas necesidades.

El contenido de este trabajo está repartido de la siguiente manera: En el capítulo 1 se presenta la clasificación de los sistemas de despliegue de imágenes, basados en los rayos catódicos y algunas de sus aplicaciones más importantes.

En el capítulo 2 se describe el funcionamiento de los sistemas de

despliegue de imágenes, comparando sus ventajas y desventajas desde un punto de vista aplicativo. Posteriormente se describen los sistemas de despliegue por barrido y la tecnología que se utilizó para la implementación.

En el capítulo 2 se presenta una descripción funcional del sistema de despliegue por barrido tipo bit-map que se desarrolla en esta tesis, se incluye también la interfaz necesaria con un sistema de cómputo. En el capítulo 4 se describe la implementación de los módulos del sistema en forma detallada. Por último en el capítulo 5, las conclusiones. Se incluyen 3 apéndices, los diagramas del trabajo final y las posibles mejoras en un trabajo posterior.

## CAPITULO 1. BOSQUEJO HISTORICO

### 1.1 Evolución de los sistemas de despliegue.

Los sistemas de despliegue visual como la televisión tienen su origen con el descubrimiento de los rayos catódicos (1), acontecido a fines de 1840 por Williams Crookes. Sin embargo, no fueron utilizados hasta que Thompson esclareció la naturaleza de dichos rayos. Thompson demostró que éstos eran grupos de partículas subatómicas cargadas negativamente con velocidades del orden de una tercera parte de la velocidad de la luz. Fue Michael Faraday en 1865 quien construyó el primer módulo de despliegue electrónico a partir del conocimiento de los rayos catódicos usando un tubo de descarga de gas, el cual contenía un cátodo de donde tomó el nombre de tubo de rayos catódicos.

El moderno tubo de rayos catódicos, ha evolucionado desde esa época hasta la fecha con diferentes aplicaciones, cambiando en sus formas, dimensiones y características eléctricas. En la década de los sesentas, se desarrollan los sistemas de despliegue visual para computadora; conjuntamente con los tubos de rayos catódicos.

Otra aplicación más reciente de los rayos catódicos, se encuentra en los sistemas de despliegue por plasma (inciso iv) los que han tenido un rápido desarrollo debido al advenimiento de nuevas tecnologías que les han servido como soporte.

### 1.2 Sistemas comerciales para despliegue.

Los sistemas comerciales, desarrollados con base en el uso de los



rayos catódicos, se pueden clasificar en la siguiente forma:

- i) Posición directa.
- ii) Despliegue por barrido.
- iii) Tubos de almacenamiento.
- iv) Despliegue por plasma.

i) Posición directa.- En los sistemas de despliegue por posición directa, se "dibujan" las partes de la figura en cualquier secuencia, mediante el trazo de los segmentos de líneas (vectores) que la componen. Para lograr la permanencia de la imagen en la pantalla, se dibujan continuamente los segmentos de línea que forman la imagen, mediante un procesador especial conectado al sistema de despliegue, el cual ejecuta una y otra vez las instrucciones que definen el trazo de los segmentos de línea que componen la imagen.

Si se desea borrar alguna parte de la imagen basta con eliminar las instrucciones que definen el trazado de esos segmentos.

Este tipo de sistemas se usa en

- a) Presentación gráfica de datos provenientes de computadora (graficación por vectores).

ii) Despliegue por barrido.- En los sistemas de despliegue por barrido, se forma la figura con una secuencia fija de exploración (barrido) de un haz de electrones sobre la pantalla, usualmente de derecha a izquierda y de arriba hacia abajo, variándose simultáneamente la intensidad del haz de escritura.

Estos sistemas de acuerdo a su aplicación se pueden clasificar en:

- a) Representación de imágenes de t.v.
- b) Despliegue de datos provenientes de computadora.

A su vez los sistemas de despliegue provenientes de computadora se pueden clasificar en:

- Terminales de caracteres prefijos.

En los sistemas de despliegue para presentación de caracteres prefijos, el patrón de puntos de los caracteres se encuentra almacenado en una memoria PROM, la cual se encuentra conectada a un generador de direcciones que se encarga de explorarla y que permite se desplieguen los caracteres previamente indicados

- Terminales de bit map.

En los sistemas de terminales tipo bit map, cada punto de la pantalla "pixel", tiene una correspondencia biunívoca con una memoria de tal forma que el número de puntos de la pantalla, es igual al número de localidades direccionables de la memoria. La formación de la imagen, se hace explorando la memoria en una secuencia determinada y mapeando su contenido al tubo de rayos catódicos de la pantalla.

iii) Tubos de almacenamiento.- En los sistemas de tubos de almacenamiento, se forma la figura igual que en los sistemas de posición directa, la diferencia principal de éstos con respecto a los tipos de sistemas anteriores, es que aquí no se requiere retrazar la imagen para lograr la permanencia en la pantalla. Estos sistemas logran la permanencia de la

imagen, escribiendo ésta en la pantalla con un haz de electrones de velocidad determinada, que ocasiona que el fósforo en donde inciden en la pantalla se excite (emite una descarga de luz) y se cargue positivamente. Con un flujo de electrones de baja velocidad, bañando toda la pantalla, se volverá a excitar el fósforo en donde esté cargada la pantalla positivamente (esta grabada la imagen) ya que los electrones de baja velocidad se aceleran y así logran que se ilumine nuevamente la imagen grabada.

iv) Despliegue por plasma.- En los sistemas de despliegue por plasma, la formación de la imagen se debe a la ionización de un gas, el cual produce una descarga de luz; a diferencia de los sistemas anteriores en donde la iluminación de la pantalla se debe a la incidencia de los rayos catódicos en el fósforo de la pantalla.

Un sistema convencional de despliegue por plasma, de  $M \times N$  elementos de imagen requiere de  $M+N$  electrodos arreglados tanto en la dirección horizontal de la pantalla como en la dirección vertical, en cada intersección de los electrodos hay una celda de despliegue con memoria que corresponde a un punto de la pantalla.

Estas celdas de memoria sólo son accesadas cuando se quiere cambiar la imagen. Este cambio se realiza direccionando con los electrodos la celda de memoria que se quiere alterar; actuando uno de los electrodos horizontales como ánodo y uno de los verticales como cátodo. Este último emite un flujo de electrones que se almacena en la celda direccionada y dependiente de la carga, que en ésta se almacene, se escribirá ó se borrará este punto en la pantalla. En caso de que se realice una escritura, la carga almacenada en la celda de memoria excede el voltaje de

ionización del gas que se encuentra sobre la celda, por lo que se produce una emisión de luz en este punto.

En la figura 1, se muestra en forma esquemática un resumen de la clasificación de los sistemas de despliegue.

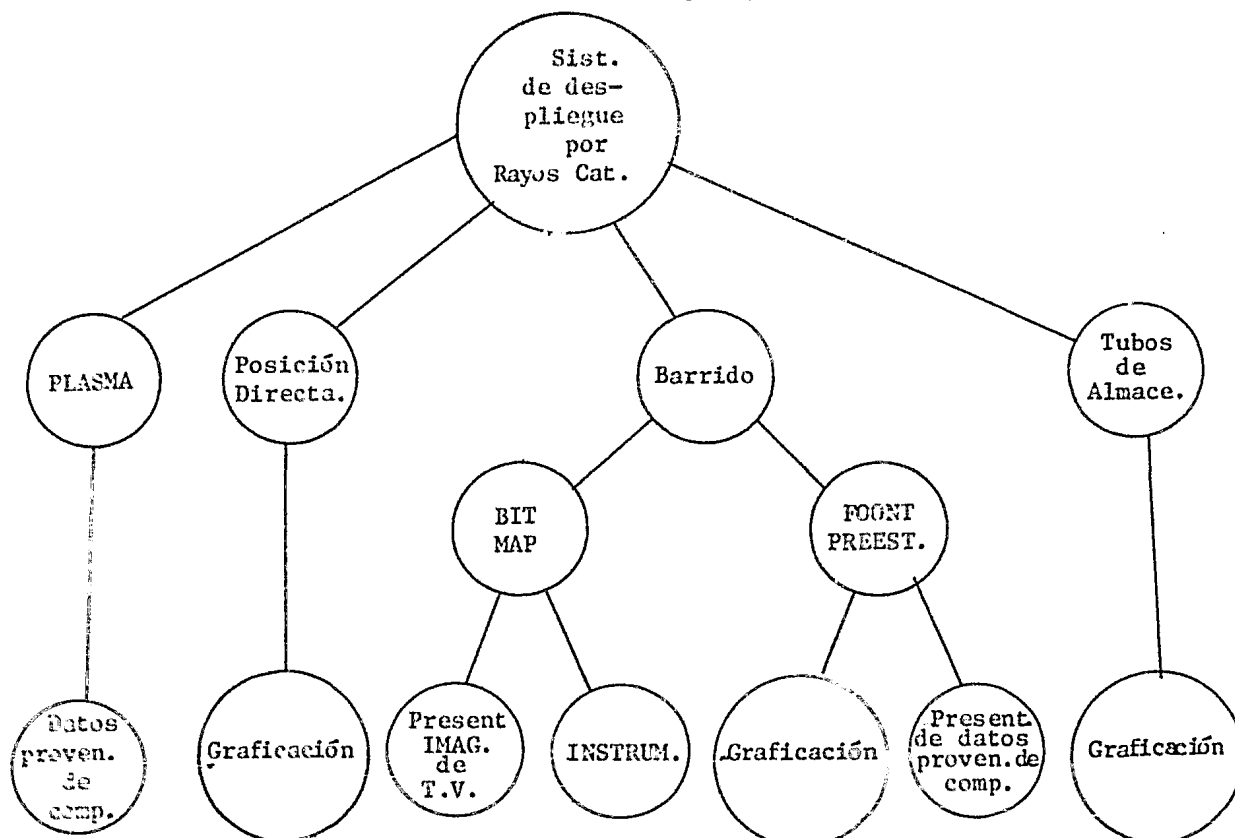


FIGURA 1. Clasificación de los Sistemas de Despliegue.

### 1.3 Aplicaciones.

A continuación se describen las relaciones que existen entre los tipos de sistema de despliegue y algunas de sus aplicaciones.

- Tipo posición directa y tubos de almacenamiento.

Sistemas para graficación.

- a) Manejo de información para diseño industrial.
- b) Industria de la construcción.
- c) Diseño electrónico (Diseño de máscaras de circuitos integrados).
- d) Construcción de tarjetas de circuitos impresos.

Sistemas para instrumentación.

- a) Osciloscopios.
- b) Analizadores de espectros.

- Tipo de despliegue por barrido.

Sistemas de caracteres prefijos.

- a) Despliegue de caracteres a la salida de la computadora.

Graficación.

- a) Representación de imágenes reales T.V.
- b) Manejo de información para diseño industrial.
- c) Industria de la construcción.
- d) Diseño electrónico.

- Tipo de despliegue por plasma.

- a) Despliegue de caracteres a la salida de la computadora
- b) Terminales para procesamiento de palabra.

Al final del texto en el apéndice B se da una lista de algunos fabricantes que producen sistemas de despliegue.

## CAPITULO 2. ALTERNATIVAS DE DISEÑO PARA UN SISTEMA DE DESPLIEGUE.

### 2.1 Evaluación de los sistemas de despliegue.

En forma breve se presentan a continuación las ventajas y desventajas de los sistemas de despliegue hasta ahora descritos:

#### - Sistemas de posición directa:

Estos sistemas debido a la alta resolución que alcanzan (hasta 4096x4096), resultan muy útiles en el despliegue de la información gráfica y en dibujos formados por segmentos de línea.

La desventaja de este sistema, es que requiere del retraso de la imagen para lograr la permanencia de ésta en la pantalla, además de la complejidad del procesador, que generalmente, se traduce en un incremento en el precio de éste, en particular y del sistema en general. Solamente se pueden conseguir sistemas monocromáticos.

#### - Tubos de almacenamiento.

Estos sistemas tienen ventajas similares al tipo de sistema anterior, sólo que éstos no requieren refrescamiento de la pantalla para lograr la permanencia de la imagen. La desventaja, es que la imagen no se puede borrar por segmentos, únicamente es posible borrar la imagen completa y para esto toma cerca de un segundo. Esto hace que resulten poco adecuados en aplicaciones como son: imágenes reales (imágenes de televisión) y gráficas en movimiento.

#### - Sistemas de barrido.

Estos sistemas tienen aplicaciones tanto en gráficas como en presentación de imágenes con semitonos de gris. Estos sistemas presentan

ventajas para interfasear con un procesador, dado que cada elemento de imagen tiene su representación binaria en memoria.

Debido a la correspondencia que existe en este tipo de sistema entre la imagen y memoria, resulta que el costo de los sistemas de despliegue por barrido, va en proporción directa con la cantidad de memoria que se va a utilizar. Sin embargo, como los precios de las memorias han tendido hacia una baja en el costo, debido al advenimiento de nuevas tecnologías, resulta viable la implementación de estos sistemas con una mayor resolución y con una disminución significativa en el costo. Estos sistemas se pueden obtener en color y en blanco y negro.

Aún con las ventajas en el costo de las memorias, la resolución de estos sistemas se encuentra por abajo de los dos tipos de sistemas anteriores; lo que ocasiona que tengan limitaciones en la presentación de imágenes formadas por segmentos de línea.

Estos también requieren del retraso de imagen para lograr la permanencia de la misma.

- Despliegue por plasma.

Las ventajas de este sistema con respecto a los anteriores, es que no requiere refrescamiento para lograr la permanencia de la imagen y es menos costoso para producir que los sistemas anteriores, compacto, brillante, tiene la pantalla plana, libre de parpadeo y permite borrado selectivo. Estos sistemas tienen limitaciones en la resolución ya que ésta es proporcional al número de manejadores que se requieren para los electrodos (2).

## 2.2 Elección del sistema objeto de este trabajo.

Los motivos por los cuales se optó por la implementación de un sistema de despliegue por barrido tipo bit-map son: Las ventajas propias de los sistemas de despliegue por barrido, sobre los otros sistemas, para el procesamiento de imágenes en color y con semitonos de gris que se discutieron en el capítulo anterior, por un lado y por el otro, es obtener utilidades similares al sistema GRINNEL GMR-27 (el cual se encuentra actualmente funcionando en el IIMAS y se usa para el procesamiento de imágenes de satélite (LANDSAT) y de avión). Además de que se puede conseguir una disminución significativa en el costo ya que se cuenta con el equipo necesario y el costo en componentes resulta muy bajo (ver Apéndice C).

## 2.3 Descripción del sistema de despliegue por barrido.

Un sistema de despliegue por barrido, llena la pantalla en una secuencia serial de líneas horizontales, una debajo de la otra como se muestra en la figura 2.

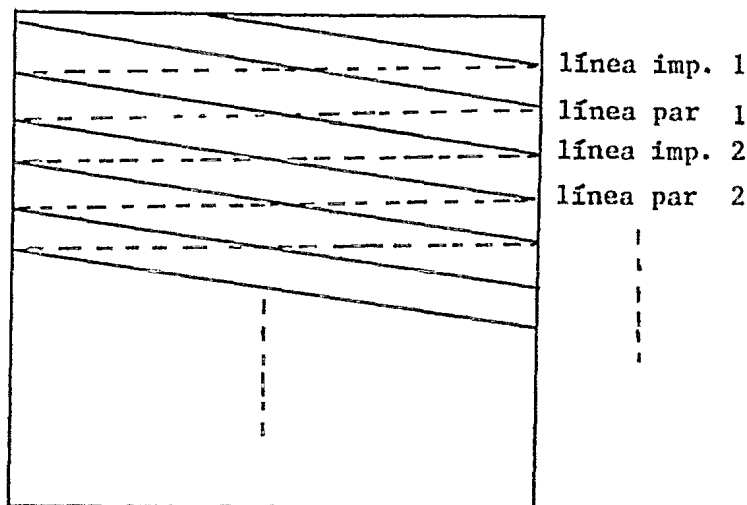


FIGURA 2. Trazo de líneas en un sistema de barrido.



Este barrido escribe todos los elementos de la imagen completa en la pantalla. La secuencia para explorar todos los elementos de la imagen se da como sigue:

- 1) El haz de electrones, barre la pantalla siguiendo un patrón de líneas horizontales que cubre todos los elementos de la imagen en esa línea, al tiempo que cambia la intensidad del haz.
- 2) Al final de la línea el haz es regresado rápidamente (en  $1 \times 10^{-20}$  seg) al lado izquierdo de la pantalla, para barrer la siguiente línea horizontal.
- 3) Cuando el flujo, es regresado a la parte izquierda de la pantalla su posición vertical es bajada de tal forma que el haz de electrones barrerá la siguiente línea, lo cual se logra combinando el barrido horizontal con el barrido vertical.

En la figura 3 se aprecia el procedimiento de entrelazado.

La utilización de memoria en los sistemas de despliegue por barrido tipo bit map, es alta pues de hecho a cada elemento de resolución en la pantalla denominando 'PIXEL', va a corresponder uno ó varios bits de memoria, en la figura 18 se aprecia la asignación de memoria por pixel de pantalla, se nota que la asignación de memoria se hace en forma ordenada para que al explorar la memoria se forme la imagen deseada.

\* PIXEL - Es el elemento más pequeño de la imagen, que tiene características propias, como intensidad, color y posición.

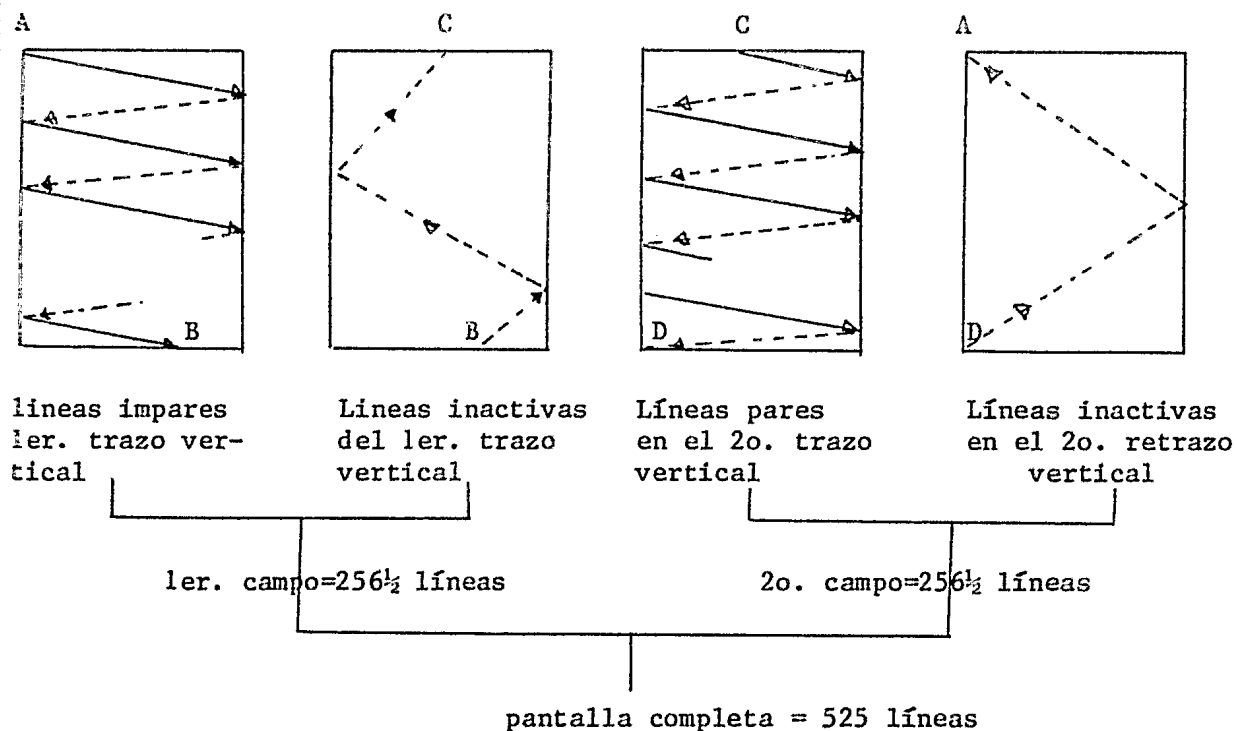


FIGURA 3. ENTRELAZADO

La forma en que se reproducen los colores de la imagen en un sistema de barrido cromático es, combinando las tres señales que se obtienen de la cámara de t.v. (las cuales poseen la información de rojo, verde y azul de la imagen que en ese momento se ha captado) en el monitor de t.v.

Un monitor para imágenes en color presenta tres tipos de fósforo en la pantalla arreglados en forma de delta (figura 4). La forma en que cada

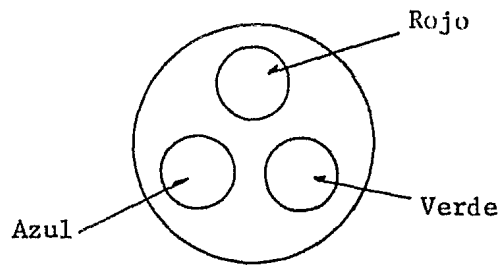


FIGURA 4. Arreglo del fósforo en una pantalla de Televisión en color.

uno de estos píxeles se ilumina en la pantalla, es debido a tres cañones que tiene en el monitor de t.v. y cada uno de éstos es comandado por una de las tres señales que se obtienen al demodular la señal de video de la cámara de t.v., el haz electrónico producido por cada uno de estos cañones, incide en un punto de los tres de cada pixel en la pantalla, que iluminará con mayor o menor intensidad dependiendo del color de la imagen. La combinación de los colores de cada pixel, da el color de la imagen en ese punto de la pantalla y la combinación de color de todos los píxeles, da el color de la imagen captada.

#### 2.4 Objetivos de diseño

Se establecieron las siguientes metas con respecto al desarrollo del sistema:

- Bajo costo
- De fácil implementación.
- Forma simple y directa en la manipulación de la imagen por medio de programas.

## 2.5 Tecnología disponible para la implementación.

Con respecto a la implementación del sistema, el diseño hace uso de diversas familias lógicas, entre las que se encuentran:

TTL (transistor transistor logic).

PMOS (canal "p" metal oxide semiconductor).

NMOS (canal "n" metal oxide semiconductor).

De estos tres tipos de tecnología la familia lógica TTL fué la que más se utilizó; como fue el caso de la implementación del controlador, multiplexor de direcciones, selectores de datos para despliegue; en circuitos integrados lineales de propósito específico, como fue el demodulador; para la construcción del convertidor Analógico-Digital, etc.

Se utilizaron dispositivos PMOS de bajo consumo de potencia para la generación de las señales de sincronía y en el arreglo de memoria.

De la familia TTL existen dispositivos bastante rápidos serie "S" (el tiempo respuesta a la salida a una entrada dada es del orden de 6 nseg), pero con un alto consumo de potencia. Este problema se resolvió utilizando circuitos serie "LS" (low schottky), de menor potencia y velocidad pero acorde con los requerimientos del sistema.

## CAPITULO 3. DESCRIPCION FUNCIONAL DEL SISTEMA.

### 3.1 Especificaciones

El sistema que nos ocupa en este trabajo tiene las siguientes especificaciones:

- 1) Sistema de barrido para despliegue de imagenes en color y en blanco y negro.
- 2) Resolución de 512 x 512 pixels (pixel = 6 bits)
- 3) Memoria RAM, MOS - 300 nseg acceso (ver capítulo 4)
- 4) Conexión con una microcomputadora ZDS 1/25  
(Microprocesador: Z-80 con 64k bytes de memoria)

La memoria del sistema está organizada en planos de bits (plano 512 x 512 x 1 bit) para este sistema en particular el número de planos es de 6, por lo que se requirió una memoria con capacidad de 256Kx6bits (que equivale a tener un arreglo de pixeles en la pantalla de 512 x 512 y a cada pixel equivale 6 bits), donde el tamaño de la palabra da el número de planos del sistema. El grupo de planos puede asignarse en forma arbitraria a un monitor de blanco y negro ó color, para desplegar la información que contiene cada uno de ellos ó todos a la vez, así en el sistema puede ser configurable la relación entre un grupo de planos de memoria y una señal de video particular, por ejemplo:

- Una señal de video asociada a un solo plano de memoria puede controlar un monitor de blanco y negro, en donde cada pixel simplemente es encendido ó apagado, dependiendo del valor del bit correspondiente.

- Un grupo de 3 planos puede controlar un monitor de color, asignándose un plano para cada señal de video de las 3 que controlan al monitor de color, quedando la asignación de 3 bits por pixel; así a cada pixel puede hacerse corresponder 8 posibles colores.
- Un grupo de 6 planos puede controlar un monitor de blanco y negro determinando 64 posibles valores de gris por pixel, y con este mismo número de planos para un sistema en color puede hacerse corresponder 64 posibles colores por pixel, asignando a cada señal de video del monitor de color 2 planos, en esta forma queda la asignación de bits por pixel igual a 6 con el siguiente formato:

(2 bits rojo, 2 bits verde, 2 bits azul)

Lo anterior se refiere a la forma de accesar los planos y afecta fundamentalmente a la escritura de información de la memoria, ya que normalmente se deseará controlar un plano ó grupos de planos para procesarlos.

El sistema de despliegue, se encuentra conectado a un micro-sistema de desarrollo (MSD) ZDS 1/25 (con un CPU Z80). El MSD viendo la memoria de video (donde se guardan las imágenes) como si fuera propia (que ésta se encuentre en su espacio de direccionamiento), para esto utiliza el método de ventana el cual es descrito ampliamente en el siguiente capítulo.

El MSD está diseñado para respaldar todas las actividades de circuitería y programación para el microprocesador Z80. Este tiene la capacidad de emular al microprocesador, lo que permite que el usuario detecte

fallas en la circuitería y en la programación de algún sistema prototipo que involucre al microprocesador Z80.

El microprocesador Z80 es una unidad procesadora central (CPU) completa de 8 bits en paralelo, usada en sistemas de computación digital de propósito general, desarrolla operaciones lógicas y aritméticas y acepta señales de control (por ejemplo: inicializar el sistema, interrumpir la operación del procesador INT, etc.), algunas de sus características más importantes se listan a continuación.

- Unidad aritmética y lógica
- 16 líneas de direcciones (capacidad de direccionamiento de 64K bytes)
- Reloj de 4 MHz
- 2 grupos de 8 registros de 8 bits de propósito general y 4 registros de 16 bits de propósito específico.
- Capacidad para manejar 256 puertos de entrada y 256 puertos de salida.
- Capacidad para el manejo de interrupciones.

Ya que la microcomputadora tiene un bus de datos de 8 bits, esto hace que sea lo suficientemente adecuada para conectarse con el sistema de despliegue y procesar la imagen contenida en la memoria de video (puede acceder una palabra de 6 bits que es la forma en que se encuentran en memoria, dejando los 2 bits más significantes sin utilizar).

### 3.2 Relación funcional entre módulos.

De acuerdo con la figura 5, en seguida se da una breve reseña de la interconexión entre los módulos del sistema.

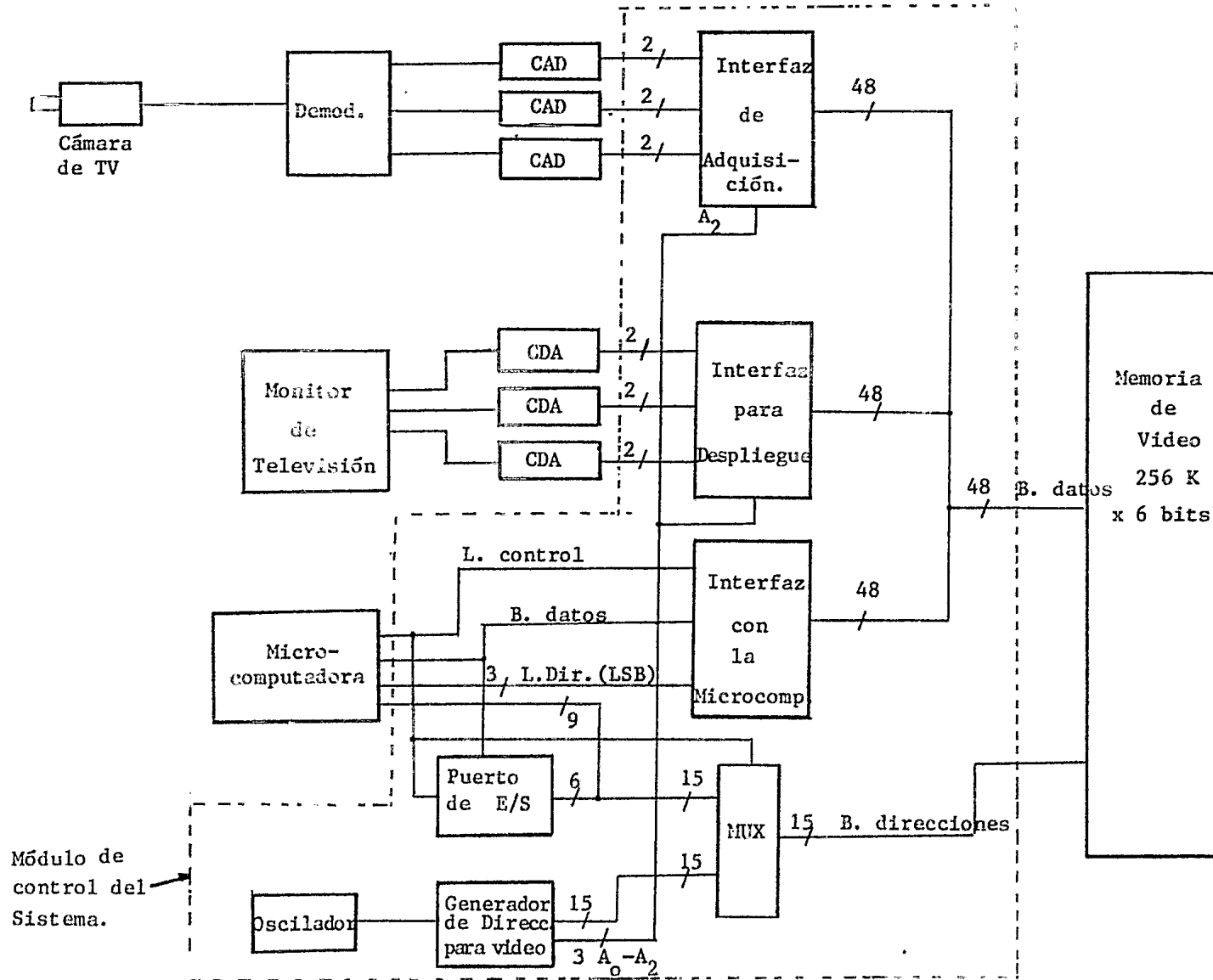


Fig. 5. Diagrama de Bloques del Sistema en General.



La imagen captada por la cámara de t.v. genera una señal de voltaje, la cual sale en forma analógica (video). Esta señal al ser pasada por un demodulador, la separa en tres señales que llevan la información del color de la imagen (rojo, verde, azul), cada una de estas tres señales pasa a través de un convertidor analógico digital de 2 bits (para el sistema de despliegue operando en blanco y negro la señal de video pasa a través de un convertidor de 6 bits) que las transforma en formato digital. La información de la imagen contenida en estas tres señales digitales después que es pasada a través del módulo de la interfaz de adquisición (en el cual se forman grupos de palabras de seis bits), es transferida por el bus de datos a la memoria en donde quedarán almacenadas.

Ya que el sistema tiene una resolución de 512 x 512 pixel, el arreglo de la memoria de video debe mantener una capacidad de 256K byte (K=1026) palabras direccionables.

Para desplegar la imagen (previamente almacenada en la memoria), se hace en la pantalla un procedimiento inverso al de la escritura de la imagen: La interfaz de despliegue adapta la información de la memoria para que ésta pueda ser utilizada por los convertidores digital-analógico y ésta puede ser transformada a formato analógico, las señales así obtenidas entran al monitor de t.v. donde comandarán a los tres cañones que barren la pantalla para formar la imagen.

El controlador establece los modos de operación del sistema en cada momento (cambiar direcciones, control del bus de datos, etc.) sin que se genere ningún conflicto, cuando éstos se presenten al mismo tiempo (presentar la imagen en el monitor de t.v. y los accesos por medio de la microcomputadora).

### 3.3 Diagrama de módulos.

El diagrama de módulos del sistema en general de la figura 5 está compuesto por:

- 1) Cámara de t.v.
- 2) Demodulador
- 3) Convertidor analógico-digital
- 4) Interfaz de adquisición
- 5) Memoria de video.
- 6) Interfaz de despliegue
- 7) Convertidor digital-analógico
- 8) Monitor de t.v.
- 9) Interfaz para microcomputadora
- 10) Microcomputadora.
- 11) Controlador
- 12) Generadore de direcciones
- 13) Multiplexor de direcciones.

En el siguiente capítulo se tratarán ampliamente cada uno de estos módulos.

## CAPITULO 4. FUNCIONES DE LOS MODULOS

En este capítulo se describen los módulos que se utilizaron para la implementación del sistema.

### 4.1 Memoria de video.

El tipo de circuito integrado que se utilizó, para la implementación de arreglo de memoria, es de la familia RAM NMOS dinámica con las siguientes características:

- 16K x 1 bit
- Disipación de potencia 400 Mw cuando se encuentra activa; 20 Mw cuando sólo está efectuando ciclos de refrescamiento.
- Tiempo de acceso de 300 nseg.
- Todas sus entradas y salidas compatibles con TTL.
- Salidas tres estados.
- Únicamente 7 patas para el direccionamiento (14 líneas multiplexadas).

En un principio, se pensó en la implementación del arreglo de la memoria de video para uso general (los accesos se presentarán en forma aleatoria), por lo cual se desarrolló junto con el generador de  $\overline{\text{RAS}}$  y  $\overline{\text{CAS}}$ , el árbitro entre las peticiones del dispositivo que quisiera leer ó escribir ( $\overline{\text{MRQ}}$ ) y el dispositivo de refrescamiento ( $\overline{\text{RFSH}}$ ), éste último junto con el generador de direcciones y el multiplexor de direcciones del refrescamiento y de acceso.

Como memoria para despliegue (guardar la información digital de una imagen), que es el uso que se le da en este trabajo, se tuvieron que desechar tanto el árbitro como el generador de direcciones para refrescamiento; ya que por hacerse los accesos continuamente (uno cada

microsegundo) y en forma secuencial al desplegar<sup>\*</sup> la imagen en el monitor de televisión, no se requirió el refrescamiento de la memoria, ya que se satisfacía el tiempo para el cual se tenían que efectuar los 128 ciclos de refrescamiento de dos milisegundos especificados por el fabricante (un ciclo para cada dirección de renglón, que dan las 7 líneas de direcciones menos significantes, de las 14 que entran multiplexadas a la memoria).

A pesar de que se desecharon el árbitro y el generador de refrescamiento, en este trabajo se incluye la implementación de estos dispositivos, para su comprensión en aplicaciones posteriores de la memoria.

El arreglo de memoria, está formado por ocho bloques de 32K x 8 bits (los dos bits más significantes no se utilizan), con su respectiva señal de escritura ( $\bar{w}$ ) y con dos señales de  $\overline{CAS}$ , de tal forma que para el acceso de los primeros 16K de cada bloque se activa  $\overline{CAS} 1$  y para el acceso de los otros 16K se activa  $\overline{CAS} 2$ . En el inciso (4.2.1) se justifica el porqué de la adopción de este arreglo de memoria.

Para el caso en que se accese la memoria por video (se escribe de la cámara), las ocho señales de escritura ( $\overline{W}^i S$ ) se activan simultáneamente (se escriben palabras de 48 bits ó sea, ocho palabras de 6 bits a la vez), mientras que en el acceso por la microcomputadora, sólo una de las señales de escritura se activa (como las palabras en memoria de video son de 6 bits, los 2 bits más significantes del bus de datos de la microcomputadora no se utilizan).

<sup>\*</sup> Para despliegue, sólo se efectúan ciclos de 2 para refrescar la dirección que apuntan las 7 líneas de direcciones menos significantes.

Así los arreglos de memoria para video y el que ve la microcomputadora se muestra en la figura 6.

Aparte del generador de refrescamiento y del árbitro  $\overline{RFSH}/\overline{MRQ}$  [ $\overline{MRQ}$  se refiere al acceso de la memoria por parte de la microcomputadora ya sea para leerla ó escribirla ó para que se escriba de la cámara de t.v. (se grabe una imagen) ó se lea (se despliegue en la pantalla); estos dos últimos casos se denominan VIDEO)], para el funcionamiento de la memoria, se requiere de un generador de las señales de control ( $\overline{RAS}$  y  $\overline{CAS}$ ).

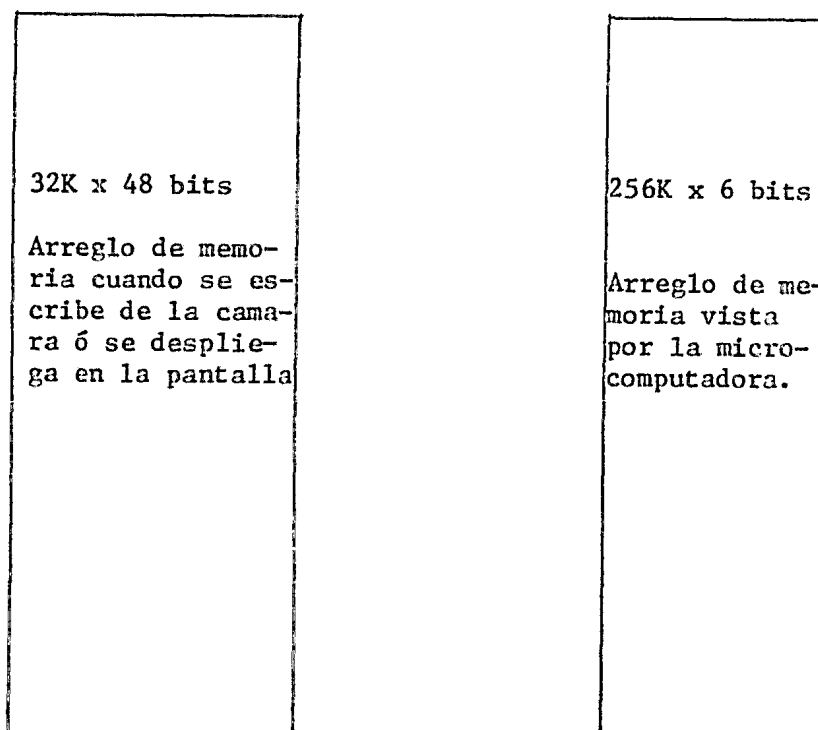


FIGURA 6. Memoria de video.

#### 4.1.1 Generador de las señales de control de la memoria ( $\overline{\text{RAS}}$ y $\overline{\text{CAS}}$ ).

Para que se puedan realizar las funciones de lectura y escritura en la memoria, se requiere de dos señales de control  $\overline{\text{RAS}}$  y  $\overline{\text{CAS}}$  (activas en nivel bajo), las cuales se deben presentar en una secuencia que especifica el fabricante (ver la figura 7), junto con la señal de escritura ( $\overline{\text{W}}$ ) y las direcciones de renglón y de columna.

$\overline{\text{RAS}}$  - pulso de direcciones de renglón.

$\overline{\text{CAS}}$  - pulso de direcciones de columna.

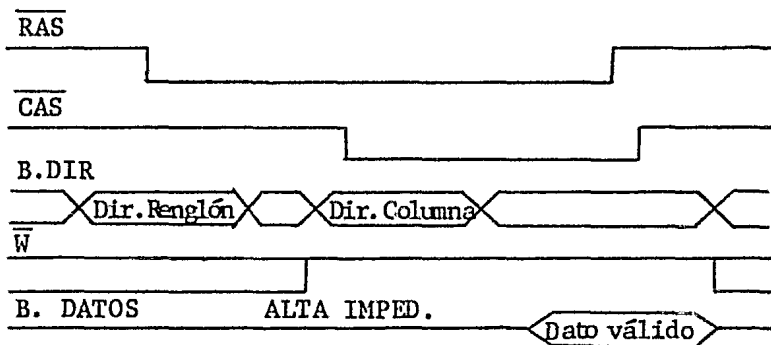


FIGURA 7. Secuencia de  $\overline{\text{RAS}}$  y  $\overline{\text{CAS}}$ .

Los generadores de  $\overline{\text{RAS}}$  y  $\overline{\text{CAS}}$  así como el árbitro de  $\overline{\text{RFSH/MRQ}}$  aún no existen como soporte de las memorias. De aquí que el diseñador recurra a los métodos convencionales de diseño lógico, para realizar la implementación de dichos dispositivos (ver figura 8).

La secuencia de tiempos que especifica el fabricante para lectura

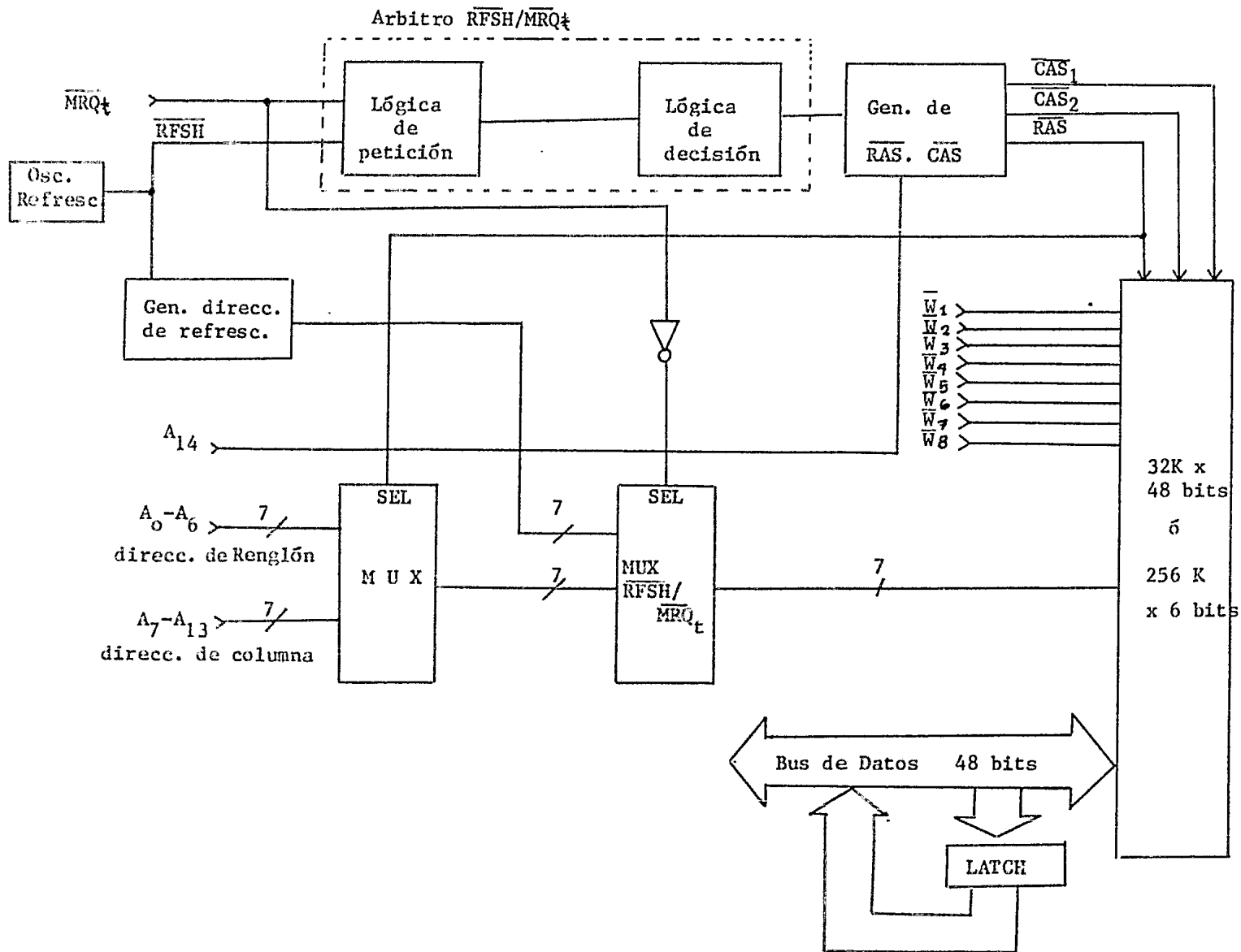


FIGURA 8. Diagrama de bloques de la memoria de video.

y escritura mínimos de la memoria es la siguiente:

- Antes de que se atienda a cualquier ciclo de acceso,  $\overline{\text{RAS}}$  debe estar 120 nseg en alto (figura 9) antes de que se active  $\overline{\text{CAS}}$ ; para entonces en el bus de direcciones ya deben de estar activas las direcciones de renglón.
- Ya que se activó  $\overline{\text{RAS}}$  éste debe permanecer 200 nses en ese estado.
- 25 nses después de que se activó  $\overline{\text{RAS}}$  se debe de activar  $\overline{\text{CAS}}$ , permaneciendo 120 nses en ese estado; y en la misma forma que  $\overline{\text{RAS}}$ , un tiempo antes de que se active  $\overline{\text{CAS}}$  ya deben de estar estables las direcciones de columna en el bus de direcciones.

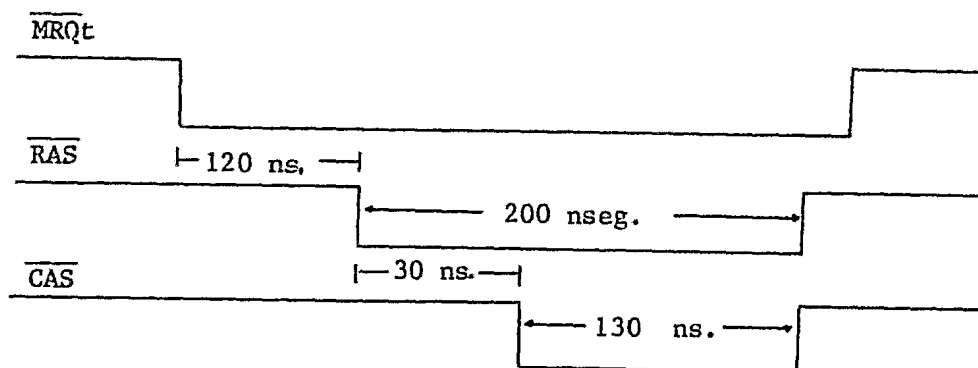


FIGURA 9. Duración de las Señales de Control.

En la figura 10 se muestra con más detalle el diagrama que genera las señales de  $\overline{\text{RAS}}$  y  $\overline{\text{CAS}}$ , sin introducir el árbitro  $\overline{\text{MRQ}}/\overline{\text{RFSH}}$ .



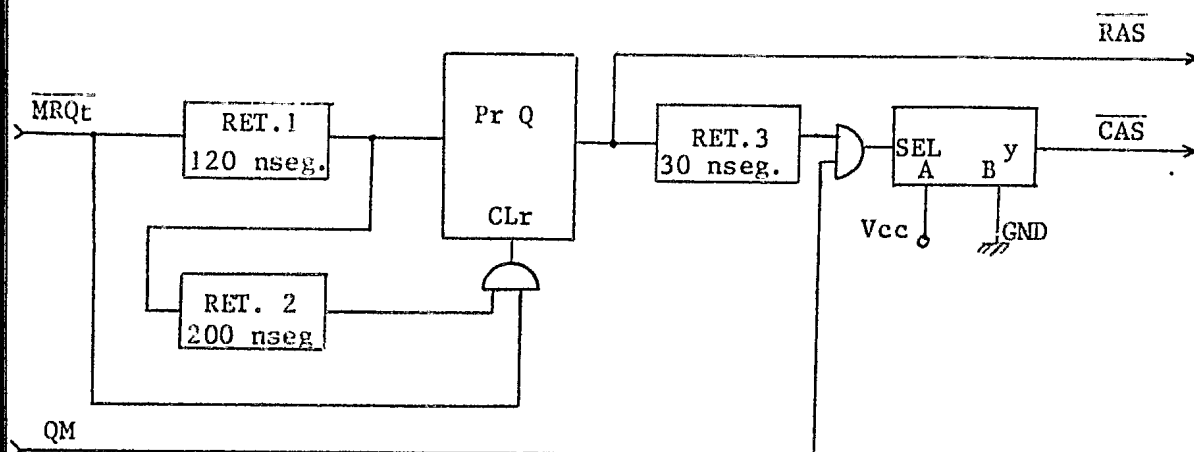


FIGURA 10. Generador de  $\overline{\text{RAS}}$  y  $\overline{\text{CAS}}$ .

- 1.- Las señales de petición de acceso,  $\overline{\text{MRQ}}$  ó  $\overline{\text{RFSH}}$ , mantienen en estado alto a la señal de  $\overline{\text{RAS}}$  antes de activarla actuando directamente sobre un flip-flop (figura 10).
- 2.- La señal  $\overline{\text{MRQ}}$  ó  $\overline{\text{RFSH}}$  después de que es retardada 120 nseg, activa la señal de  $\overline{\text{RAS}}$  (la pone en estado bajo).
- 3.- La señal de  $\overline{\text{RAS}}$  retardada 25 nseg activa la señal de  $\overline{\text{CAS}}$ , (solo se activa si QM está en alto; la señal QM es de control y se activa sólo si un ciclo de  $\overline{\text{RFSH}}$  está en progreso), actuando sobre un multiplexor que selecciona entre  $v+(5 \text{ volts})$  ó  $\overline{\text{GND}}$ , al mismo tiempo que selecciona entre las direcciones de renglón y las direcciones de columna.
- 4.- La señal de  $\overline{\text{MRQ}}$  pasada a través de los retardos de 120 y 200 nseg desactiva ambas señales (las pone en alto), actuando sobre el F.F., y también indica que ya se terminó un ciclo de acceso ó un ciclo de refrescamiento.

#### 4.1.2 Refrescamiento ( $\overline{RFSH}$ ) y multiplexaje de direcciones $\overline{MRQ}/\overline{RFSH}$ .

Ya que la memoria utiliza técnicas de almacenamiento dinámico, se requiere de ciclos de refrescamiento para retener la información que de no hacerlos, se perdería.

Para efectuar el refrescamiento, se requiere que las líneas de dirección menos significantes que entran a la memoria de A0-A6, exploren las 128 direcciones de renglón en dos miliseg, lo cual quiere decir que cada dirección que generen éstos debe de cambiar en 15 microseg, con su respectivo pulso de  $\overline{RAS}$ . (figura 11).

Estas 7 líneas de dirección, se obtienen de unos contadores, los cuales tienen un reloj de 66 Khz ( $T=15 \mu\text{seg}$ ); un diagrama de bloques que muestra la generación de las direcciones de refrescamiento y el multiplexaje de direcciones de  $\overline{RFSH}/\overline{MRQ}$  se muestra en la figura 12.

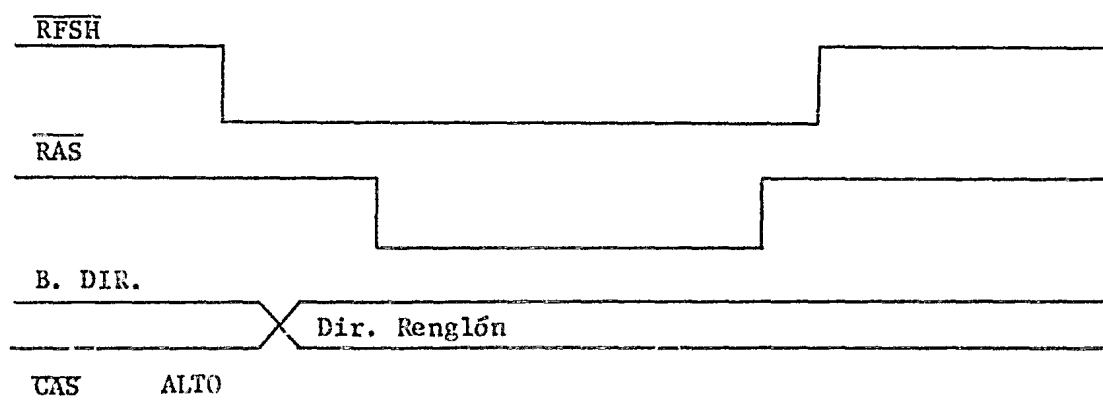


FIGURA 11. Ciclo de Refrescamiento.

El refrescamiento en la memoria también se realiza cada vez que se efectúa un ciclo de lectura ó de escritura, refrescando el renglón al que apuntan las direcciones menos significantes (como antes se dijo, a través de 7 líneas de entrada a la memoria, se multiplexan 14 líneas de direcciones y de esas 14 líneas, las 7 menos significantes nos dan la dirección de renglón que se va a refrescar), de este renglón, no se refresca la dirección a la que apuntan las direcciones de columna, cuando se realiza un ciclo de escritura, ya que en este caso se puede cambiar el contenido de esta localidad.

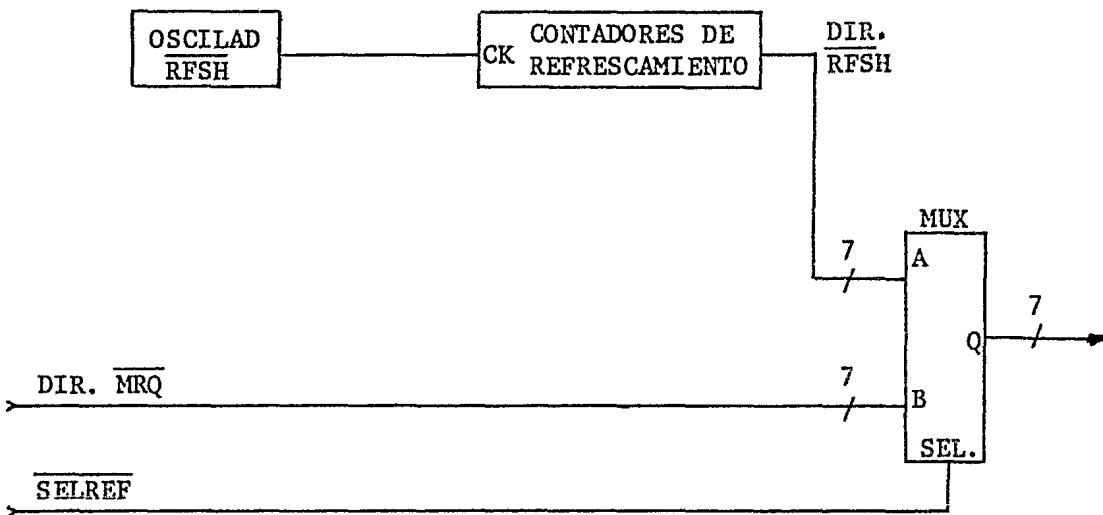


FIGURA 12. Generador de Direcciones de Refrescamiento.

#### 4.1.3. Arbitro de acceso $\overline{RFSH}/\overline{MRQ}$ .

La memoria de video, está sujeta a las peticiones de acceso que se le hagan, ya sea por el  $\overline{RFSH}$  ó por  $\overline{MRQ}$ ; por lo que se debe tener un dispositivo (árbitro), que esté muestreando ambas peticiones, para evitar los conflictos que se puedan generar cuando ambas señales

requieran atención al mismo tiempo ó, cuando se esté atendiendo a una de ellas y en ese momento requiere atención la otra.

Las funciones que realiza el árbitro son las siguientes;

- 1).- Si no hay ninguna petición por parte de  $\overline{\text{MRQ}}$ , que le de atención inmediata al  $\overline{\text{RFSH}}$  (ver los diagramas de tiempo de la figura 11 que ilustran la generación de las señales de control).
- 2).- Si cuando se está atendiendo una petición de  $\overline{\text{MRQ}}$ , no se hace ninguna petición por parte del  $\overline{\text{RFSH}}$ ; que se atienda  $\overline{\text{MRQ}}$  inmediatamente (figura 13).

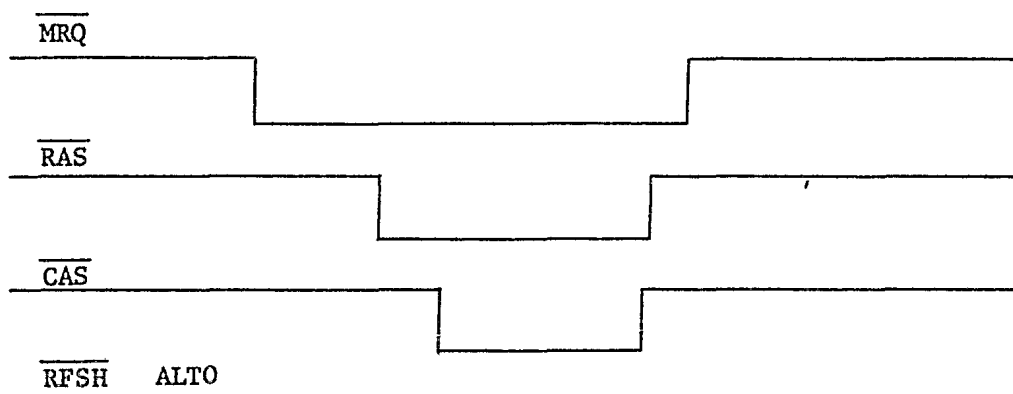


FIGURA 13. Ciclo de  $\overline{\text{MRQ}}$ .

- 3).- Si se está atendiendo una petición de  $\overline{\text{RFSH}}$  y en ese momento hace una petición  $\overline{\text{MRQ}}$ , que se interrumpa el ciclo de refresh y que se atienda inmediatamente a  $\overline{\text{MRQ}}$ . Ya que haya terminado de atender a  $\overline{\text{MRQ}}$ , que termine el ciclo de refresh que interrumpió (figura 14).

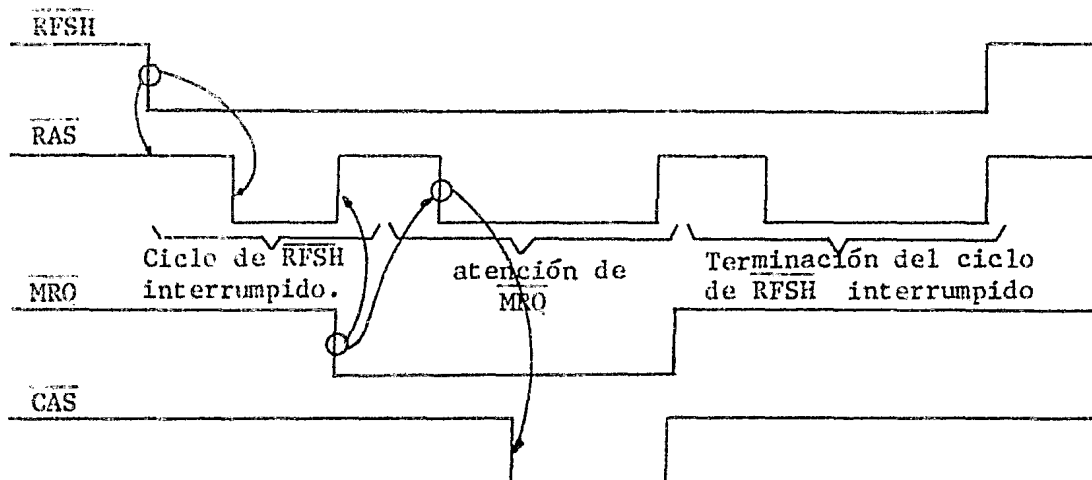


FIGURA 14. Ciclo de  $\overline{\text{RFSH}}$  con interrupción

- 4).- Si se está atendiendo una petición de  $\overline{\text{MRQ}}$  y en ese momento se hace una petición de  $\overline{\text{RFSH}}$ , que siga atendiendo a  $\overline{\text{MRQ}}$  y que deje pendiente el  $\overline{\text{RFSH}}$  para cuando haya terminado de atender a  $\overline{\text{MRQ}}$  (figura 15).

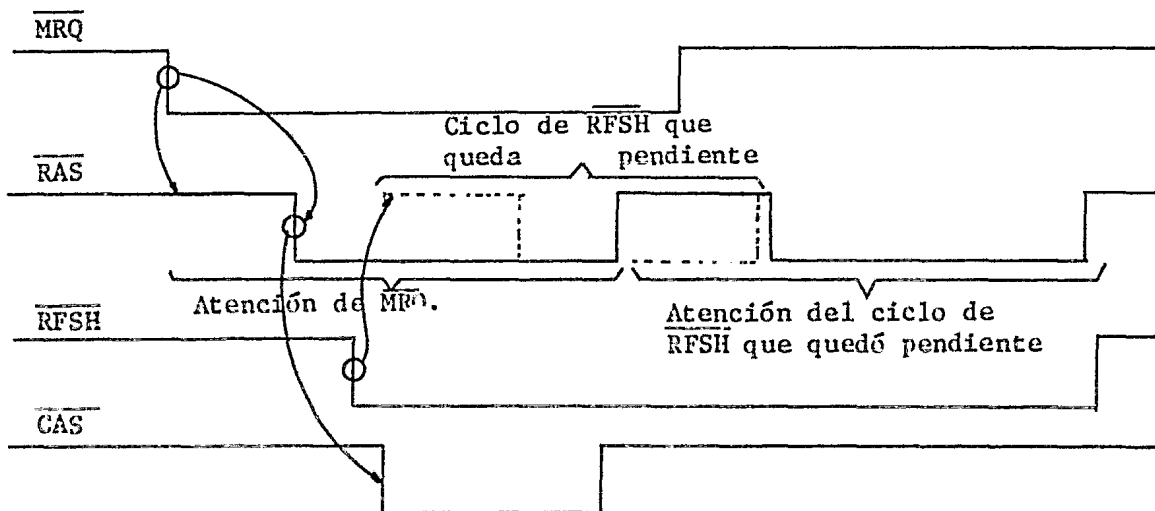


FIGURA 15. Ciclo de  $\overline{\text{MRQ}}$  con Interrupción.

Un diagrama de bloques de la implementación del árbitro se ve en la figura 8.

#### 4.1.4 Control de flujo de datos.

El bus de datos, es bidireccional y es usado por varios dispositivos: Interfaz de despliegue, interfaz de adquisición y la computadora; por tanto se requiere establecer un control a la entrada y salida de los datos en la memoria a fin de evitar conflictos (que entren y salgan datos al mismo tiempo, lo que ocasiona que se produzcan cortocircuitos), así como la captura de los datos para que éstos no se pierdan. Ya que al hacer un ciclo de lectura, los datos no permanecen a la salida de la memoria válidos durante mucho tiempo (50 nseg después de que sube la señal de  $\overline{\text{CAS}}$ ), por lo tanto, se requiere de un dispositivo que los capture en el momento en que éstos aparecen a la salida y que los retenga hasta que el dispositivo que los solicitó los atrape. En las figuras 16 y 17, se muestran un diagrama de bloques del dispositivo de captura y el diagrama de tiempos respectivamente del momento en que ésta se realiza.

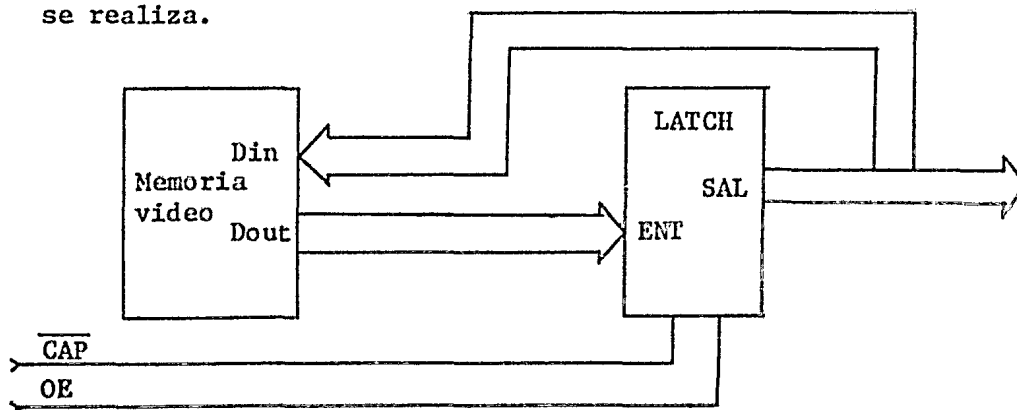


FIGURA 16. Control de Datos.

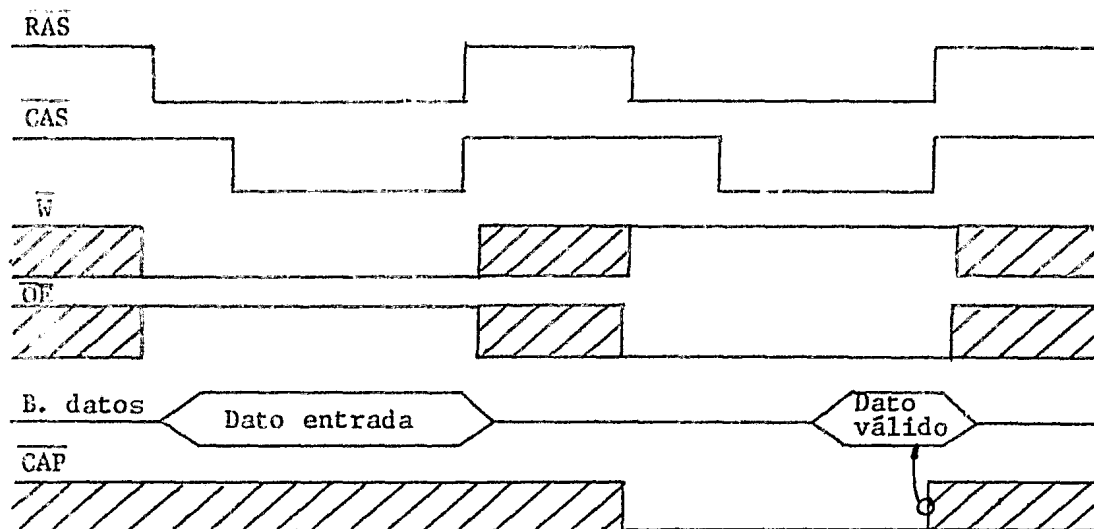


FIGURA 17. Control de Datos.

El circuito de captura (LATCH), es habilitado por la señal  $\overline{OE}$  cuando se realiza un ciclo de lectura; mientras que la señal de  $\overline{CAP}$ , la cual, es controlada por  $\overline{CAS}$ , pasa los datos que se encuentran a la entrada del circuito de captura, a la salida del mismo con la transición positiva de  $\overline{OE}$ .

En caso de que no haya datos a la salida de la memoria, el circuito de captura se deshabilita con la señal  $\overline{OE}$  (se ponen sus salidas en alta impedancia), para que otro dispositivo de acceso, haga uso del bus de datos (interfaz de adquisición de la cámara de t.v. ó la microcomputadora). En la figura 17, se presenta la secuencia de las señales  $\overline{OE}$  y  $\overline{CAP}$ , para un ciclo de lectura y uno de escritura.

#### 4.2 Módulo de control del sistema.

##### 4.2.1 Generador de direcciones para video.

La generación de las direcciones para grabar (escribir) la imagen

captada en memoria en un sistema de despliegue por barrido tipo bit-map, se realiza en forma secuencial (ver figura 18); o sea que para el pixel 1 en la pantalla corresponde la localidad de memoria 1, para el pixel 2 corresponde la localidad 2, y así sucesivamente. Ya que el sistema utiliza entrelazado, la información de la imagen del primer barrido (líneas impares), se encuentra en distinta área de memoria del segundo barrido (líneas pares) (ver la fig. 18).

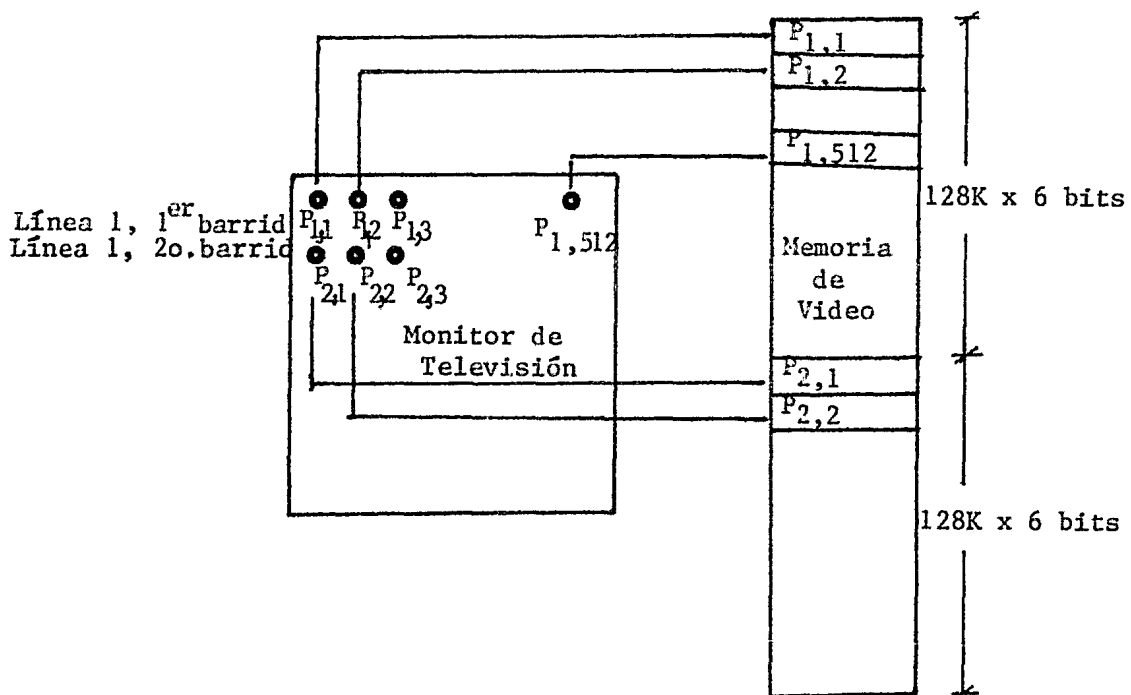


FIGURA 18. Asignación de Memoria - Imagen.

Las especificaciones para el trazo de la imagen en la pantalla son las siguientes:

- líneas horizontales por barrido: 256. (pantalla completa 512)
- Trazo de una línea horizontal en 64 micro-segundos.
- 512 píxel por cada línea horizontal.



Para cumplir con las especificaciones anteriores en la generación de las direcciones del primer barrido (almacenar las líneas impares), se utilizan unos contadores ('X'), que dan las direcciones de memoria de los puntos de la imagen en la pantalla de cada línea horizontal, otros contadores ('Y'), para las direcciones que incrementan las líneas horizontales (posición vertical de la pantalla) y un contador (I), de un bit, para generar la dirección más significativa para almacenar el siguiente campo (líneas pares) en otra área de memoria.

La forma como operan los contadores es la siguiente:

- Las direcciones de los 512 puntos de cada línea horizontal, generadas por los contadores 'X' (a través de 9 líneas), se genera cada 125 nseg. por lo cual el reloj de éstos debe tener una frecuencia de 8MHz; en el momento en que éstos llegan a la cuenta de 512, se inicializan, se ponen en cero con la señal de sincronía horizontal ( $\overline{H}$ ) (en el inciso 4.3, se explica la forma en que se generan las señales de sincronía horizontal ( $\overline{H}$ ) y vertical ( $\overline{V}$ )), a la vez que indica que va a comenzar a generarse las direcciones de la siguiente línea (figura 19).
- La señal ( $\overline{H}$ ) también funge como reloj de los contadores 'Y', que generan las direcciones en la posición vertical de la pantalla (8 líneas de dirección), cuando éstos llegan a la cuenta de 256, se inicializan con la señal ( $\overline{V}$ ), para comenzar a generar las direcciones del siguiente barrido.
- Cuando se presenta la señal ( $\overline{V}$ ), ésta incrementa el contador (I), que da la dirección más significativa, para cambiar de barrido, comenzando los contadores en la dirección horizontal y vertical a generar las direcciones en la misma secuencia que en el primer barrido, hasta completar una pantalla.

El procedimiento para la generación de direcciones de despliegue es el mismo que para grabar.

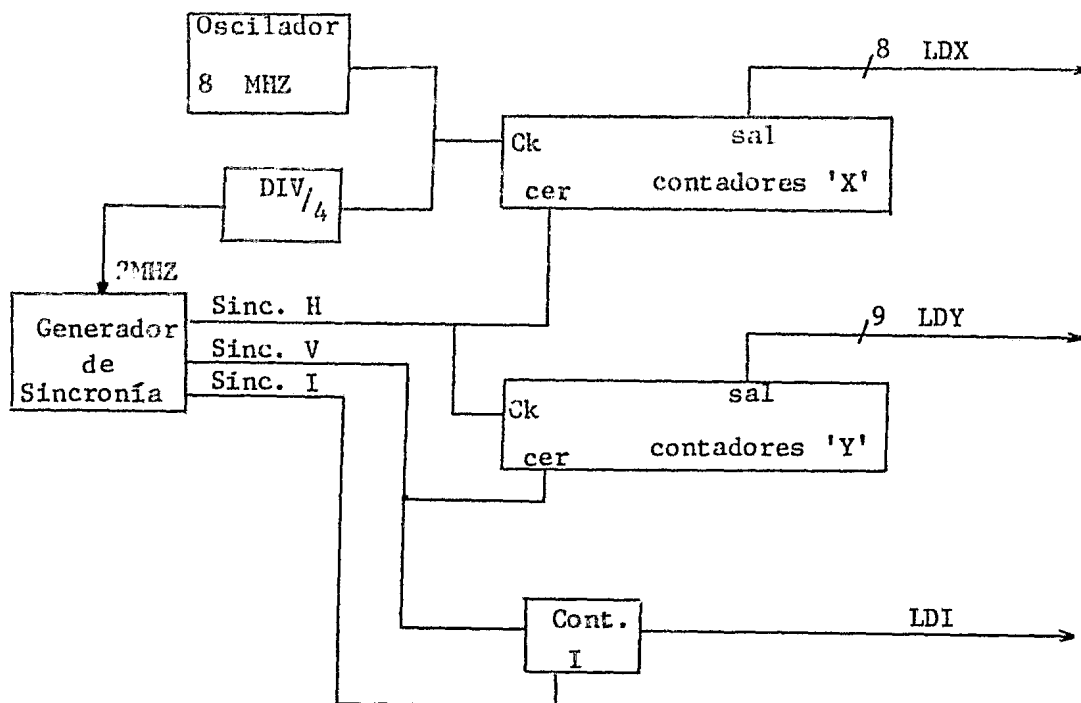


FIGURA 19. Generador de Direcciones para Video.

La forma en que queda almacenada la imagen en la memoria, no es exactamente la que se muestra en la figura 18, ya que el utilizarlo acarrea problemas con los tiempos de acceso al momento de seleccionar el tipo de integrado para realizar el arreglo de memoria. Debido a que sí se requería hacer una correspondencia memoria-imagen, de localidad direccionable de memoria-píxel y cada píxel, se despliega en la pantalla en 125 nseg, entonces, se requería que el tiempo de acceso de la memoria, también tendría que ser de 125 nseg. Las memorias con este tiempo de acceso, generalmente se consiguen a precios más elevados que una memoria con tiempos de acceso de 300 nseg ó mas, lo cual ya no hace al sistema viable en su construcción (se pasa por alto uno

de los objetivos que se plantearon al comienzo del trabajo).

Las alternativas que se estudiaron para resolver este problema son las siguientes:

- 1) Método de Pipe-Line.- Consiste en utilizar tres relojes que se encuentran defasados tantas unidades de tiempo, como tiempo de acceso se desee, y cada uno de ellos, se encuentre haciendo accesos a bloques de memoria diferentes, de tal forma que al hacer la suma de los datos (por medio de multiplexaje), a la salida de cada uno de estos bloques, se obtenga el tiempo de acceso requerido.

En la figura 20 se muestra un diagrama esquemático de este método.

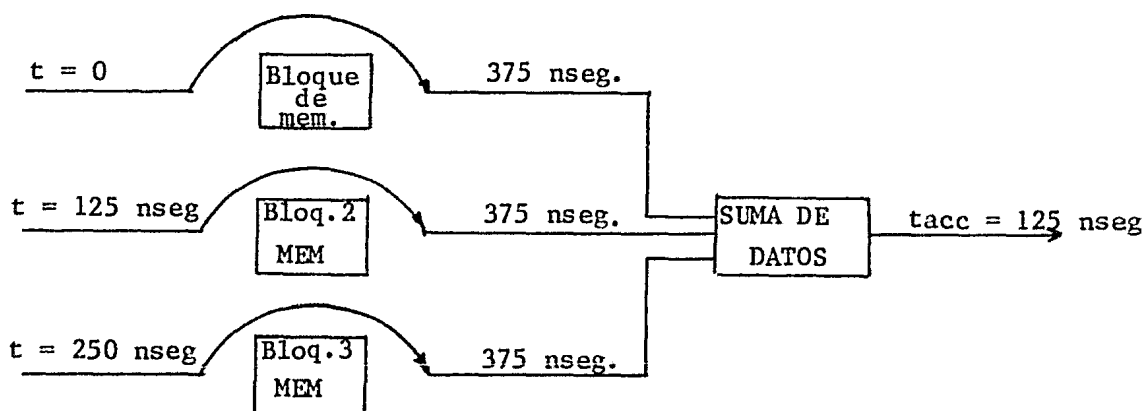


FIGURA 20. Pipe-Line.

La desventaja de este método, es que debido a las características físicas de los circuitos integrados (en este caso las memorias), los tiempos no son exactamente los especificados por el fabricante (éstos también pueden variar debido a los cambios en el medio ambiente, como son: la presión, temperatura, humedad, etc.), lo cual ocasiona que los

datos salgan defasados a la salida de la memoria y al sumarlos éstos se puedan perder.

2) Multiplexaje más incremento en el ancho de la palabra.- Este método, consiste en hacer el tamaño de la palabra de la memoria más grande ó lo que es lo mismo, escribir más de una palabra a la vez con una sola dirección de memoria, haciendo para esto un multiplexaje en el bus de datos, para sacar ó meter una a una las palabras que están en la misma dirección de memoria.

El tiempo de acceso resultante queda dado por:

$$t_{acc} = t_{acc} \text{ requerido} \times \text{no. de palabras que se accesan a la vez.}$$

Este esquema de acceso, se utilizó, no obstante que la memoria se hace más lenta, lo cual no es significativo si se toma en cuenta que ningún dispositivo (Interfaz de escritura, microcomputadora) va a realizar accesos menores, al que en este trabajo se obtuvo. En este caso, se incrementó la palabra de 6 bits a 48 bits ó lo que es lo mismo, en vez de acceder una palabra se accedaban 8 y el tiempo de acceso quedó finalmente como:

$$\begin{aligned} t_{acc} &= 125 \text{ nseg} \times (8 \text{ palabras}) \\ &= 1 \text{ microseg.} \end{aligned}$$

En la figura 21 se muestra un diagrama esquemático de este método.

Las memorias con este tiempo de acceso resultan más costeables y confiables, ya que en el momento de la implementación, se tienen márgenes superiores al mínimo permisible de las señales de control, para realizar los ciclos de lectura y escritura.

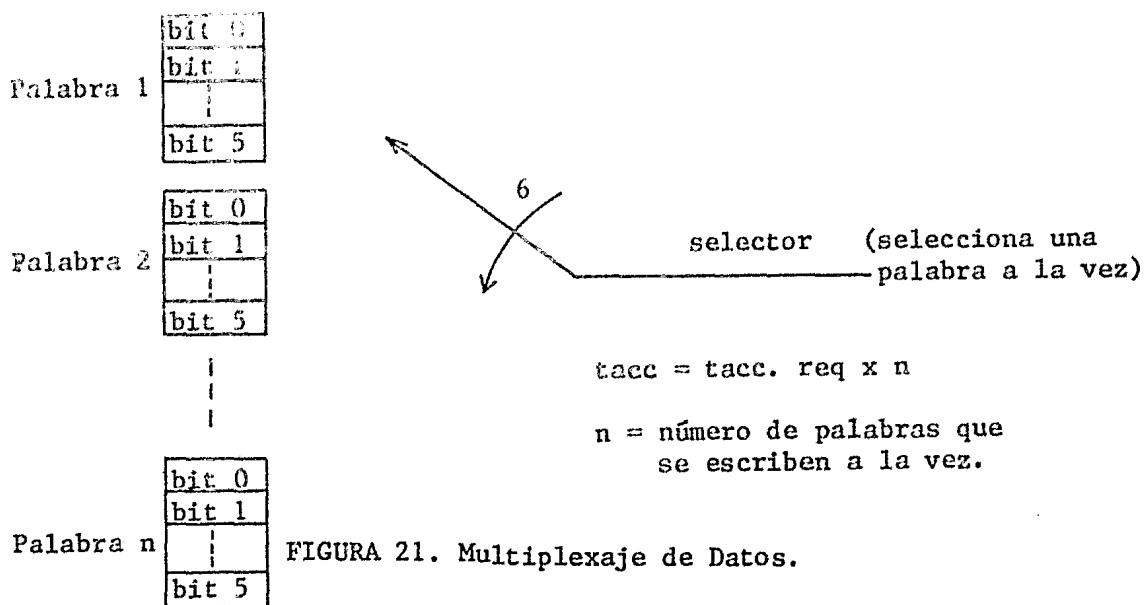


FIGURA 21. Multiplexaje de Datos.

Con la adopción de este método el espacio de direcciones que se utilizó fue el siguiente:

- Las 3 líneas de direcciones menos significantes, de los contadores en la dirección 'X', seleccionan una a una las ocho palabras (píxeles), que aparecen a la entrada de la interfaz para despliegue, en el momento en que se hace una lectura a la memoria. La línea más significativa de estas tres indica el momento en que se debe escribir la palabra de 48 bits, cuando se está grabando una imagen que se está adquiriendo de la cámara de t.v. (figuras 23 y 24).
- Las 6 líneas más significantes (LD'X'), de los contadores en 'X', forman parte de las 14 direcciones que entran multiplexadas (a través de siete líneas) a la memoria, pasando antes por el multiplexor de direcciones VIDEO/MICROCOMPUTADORA.

- Las ocho líneas de direcciones, de los contadores en 'Y' sumadas a las 6 anteriores, forman las catorce líneas que direccionan los 16K x 48 bits de memoria de un campo (par ó impar) (LD'Y').
- La línea de dirección (mas significativa), que se obtiene del contador (I) de entrelazado, selecciona el bloque de memoria (16K x 48 bits)\* para almacenar el siguiente campo (LD'I').

En esta forma la correspondencia entre la memoria y la imagen de la pantalla se presenta en la figura 22.

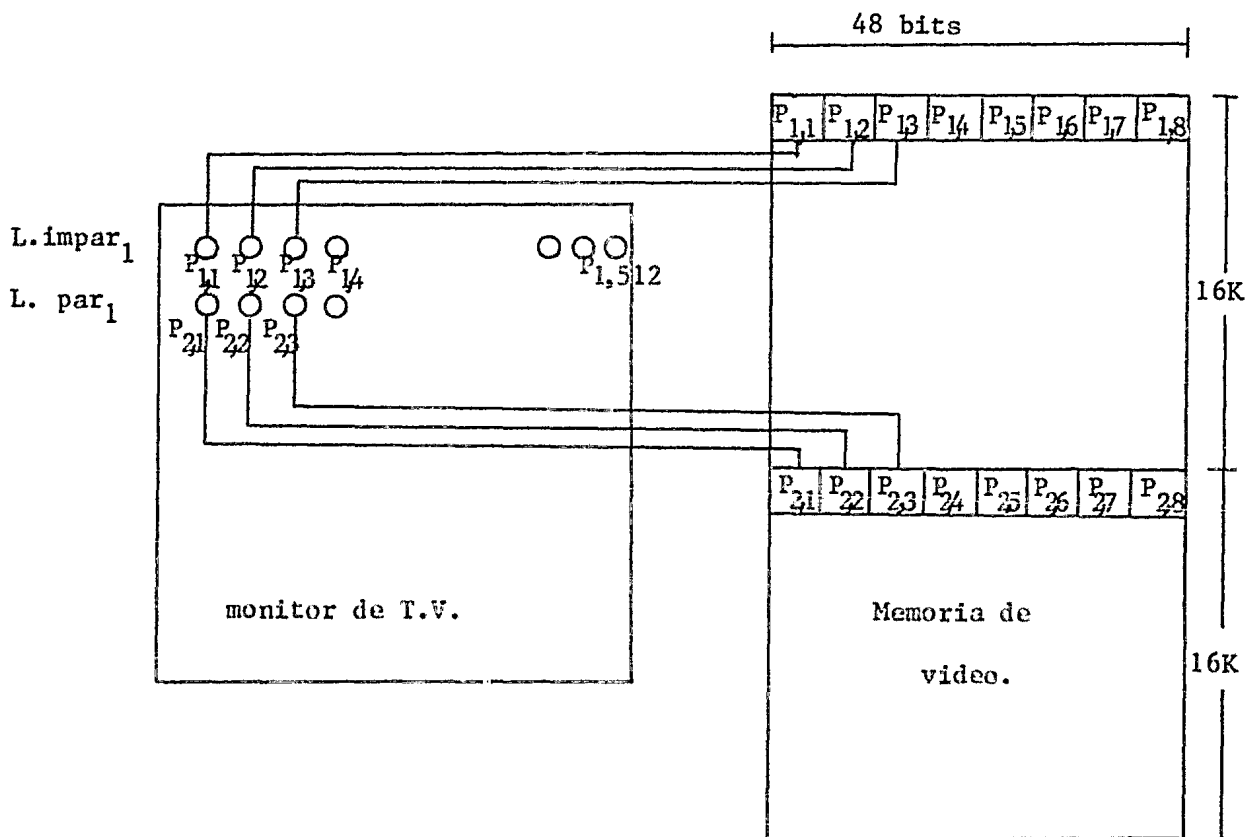


FIGURA 22. Asignación de Memoria-Imagen utilizando Multiplexaje.

\*Arreglo diferente al que se ve la microcomputadora (256K x 8 bits)

#### 4.2.2 Interfaz para adquisición de imágenes con una cámara de T.V.

La señal de video analógica, que se obtiene de la cámara de televisión para un sistema cromático, al ser pasada a través del demodulador (ver el inciso 4.5), es separada en tres señales, cada una de las cuales porta la información de uno de los colores primarios (rojo, verde y azul), de los que esta formada la imagen; cada una de estas señales, es pasada por un convertidor analógico-digital de dos bits, donde la información analógica que llevan estas señales, es pasada a formato digital. Cada una de las seis líneas de información digital, que se obtiene a la salida de los convertidores, entran a un registro de corrimiento de entrada serie salida paralelo (una entrada ocho salidas), los cuales tienen un reloj de 8 MHz, en el momento en que cada uno de estos completa ocho bits en su salida, estos son transferidos al bus de datos por medio de un circuito LATCH a una frecuencia de 1 MHz. Los 48 bits que son transferidos en este punto al bus de datos son rearrreglados, para que se escriban en memoria 8 palabras con el siguiente formato: [dos bits rojo, dos bits verde y dos bits azul]\*. En el momento en que ya se formó la palabra de 48 bits, en el bus de direcciones ya deben de estar estables las direcciones de la localidad de memoria en donde se va a almacenar. En la figura 23 se muestra un diagrama de bloques de la escritura de la imagen.

\* Con este formato, la microcomputadora accesa los pixeles de la imagen ( en el inciso 4.2.4. se trata más ampliamente el acceso por medio de la microcomputadora).

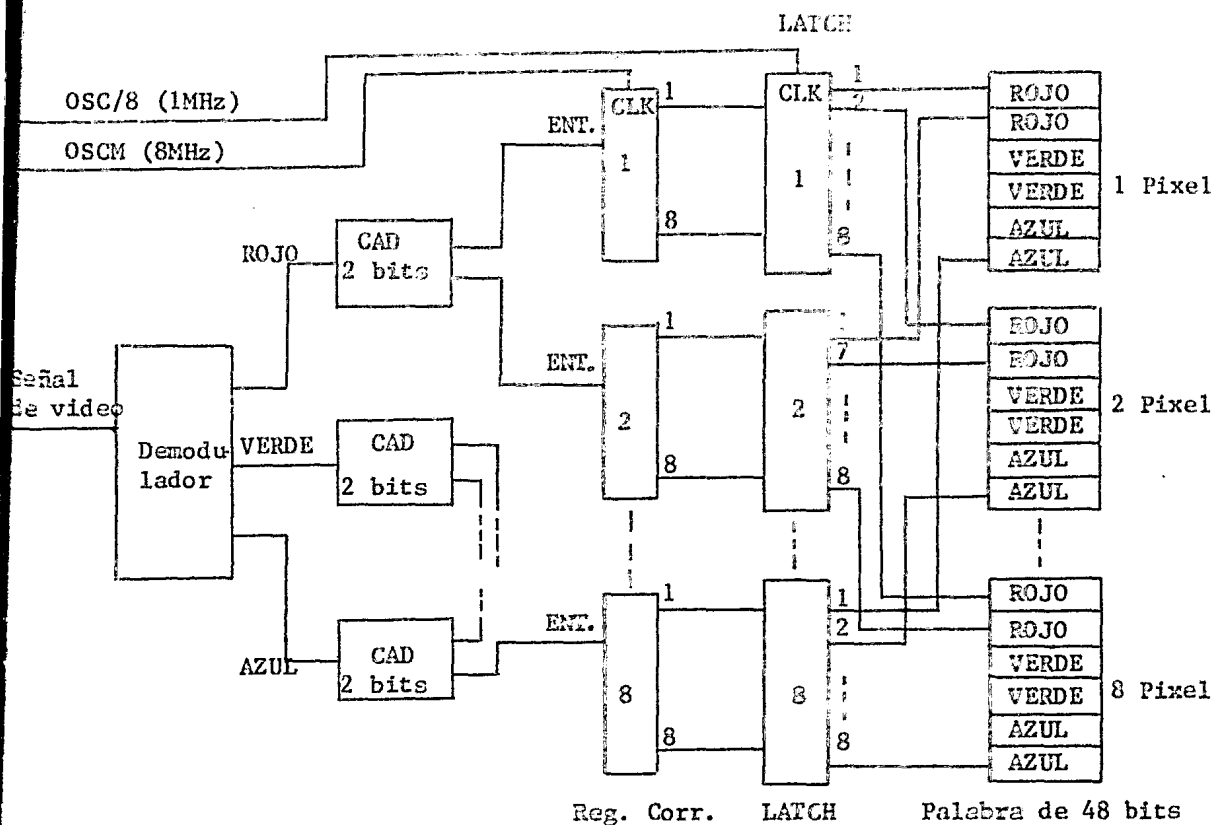


FIGURA 23. Interfaz de adquisición.

#### 4.2.3 Interfaz para despliegue

En el inciso anterior se vió como se escriben las palabras (48 bits ó 8 palabras de 6 bits a la vez), que contienen la información de la imagen que se adquirió en memoria. Cada una de estas palabras corresponde a 8 pixeles de la imagen en la pantalla de televisión.

En la misma forma en que se escriben las palabras en memoria, son sacadas al hacer un ciclo de lectura; ó sea que aparecen ocho palabras



de 6 bits cada una, a la salida de memoria con el mismo formato (2 bits rojo, 2 bits verde y 2 bits azul).

Los primeros bits de rojo de las 8 palabras, entran a un selector (8 entradas- 1 salida) que selecciona cada bit en 125 nseg. sacándolos a través de una línea (figura 24). En la misma forma es sacada la información de los siguientes bits de rojo de cada una de las 8 palabras. Estas dos líneas, obtenidas a la salida de los selectores con la información digital del color rojo de la imagen, entran a un convertidor digital-analógico (D/A) de 2 bits, el cual pasa la información digital a formato analógico. Esta señal del convertidor (D/A) es la que comandará el cañón de rojo del monitor de televisión.

El mismo procedimiento que se siguió para obtener la señal de rojo se utiliza para la obtención de las otras dos señales (verde, azul).

#### 4.2.4 Interfaz con la microcomputadora.

La microcomputadora que se acopló al sistema de despliegue objeto de este trabajo, es una ZILOG ZDS-1/25 basada en un microprocesador Z-80, con las siguientes características de memoria:

- 16 líneas de direcciones (capacidad de direccionamiento de 64K palabras).
- Palabra de 8 bits.

Este sistema, permitió la elaboración de los programas de prueba del sistema de despliegue (chechar la lógica de la circuitería) y en la generación de programas para el procesamiento de imágenes.

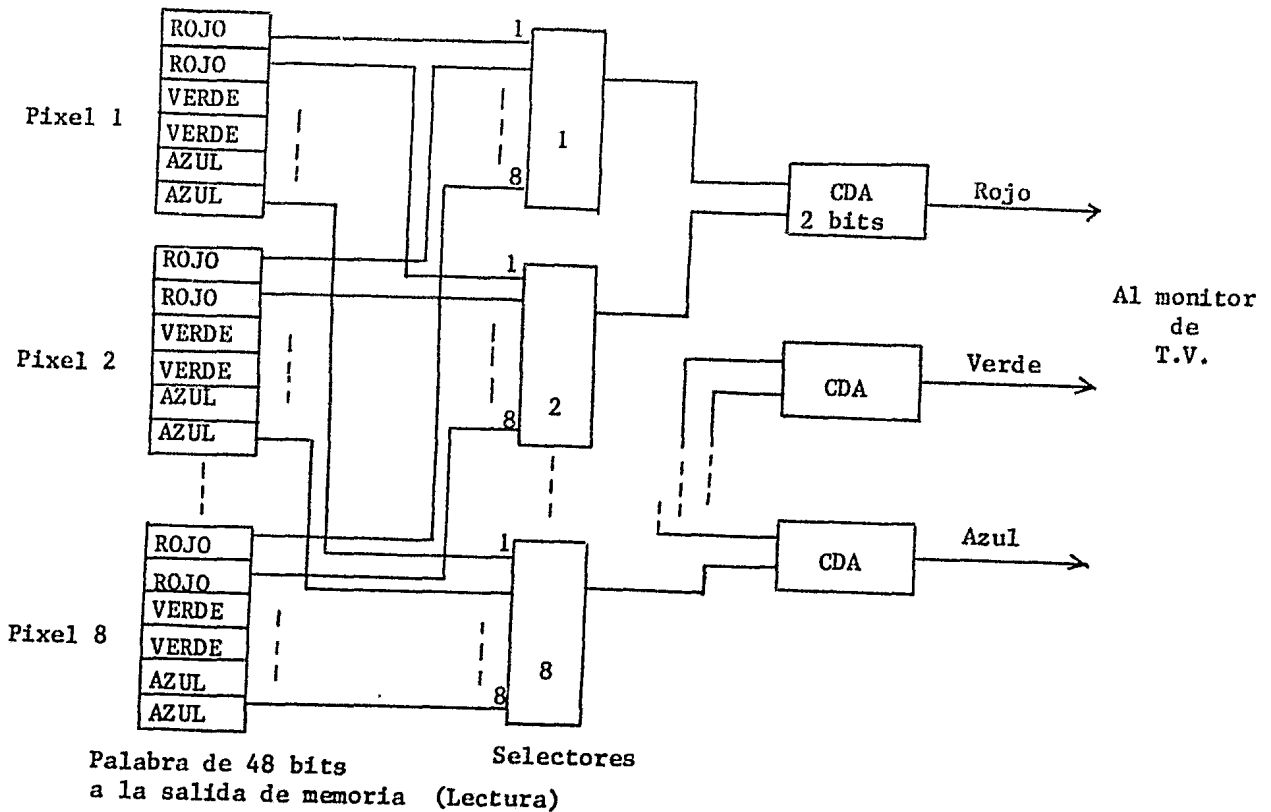


FIGURA 24. Interfaz para despliegue.

De las características de la microcomputadora se puede observar que la memoria de video es más grande (4 veces), que la memoria que ésta puede direccionar. Esta es la causa que motivó el uso del método de VENTANA para la comunicación, entre la memoria de video y la microcomputadora.

El método de VENTANA consiste en que la memoria de video dividida en segmentos, sea vista por la microcomputadora como propia (que quede en su espacio de direccionamiento) (figura 25). Para esto la microcomputadora deja bloques de memoria (2, 4, 6K etc, según el tamaño de la ventana)

en su espacio de direccionamiento (en este bloque no debe de existir memoria física y si existe ésta debe de estar desconectada), de tal forma que este bloque de memoria (ventana) se posicione en cualquier área de la memoria de video. (256 K x 6 bits).

El tamaño del bloque de memoria que se abrió es de 4K, por tanto el número de segmentos en donde la microcomputadora podrá posicionar la ventana para acceder la memoria de video será de 64 (64 x 4K = 256K x 6 bits).

Con dicho método se establece una correspondencia biunívoca entre el área de memoria (los 4K) de la microcomputadora, la memoria de video y la pantalla como se muestra en la figura 25.

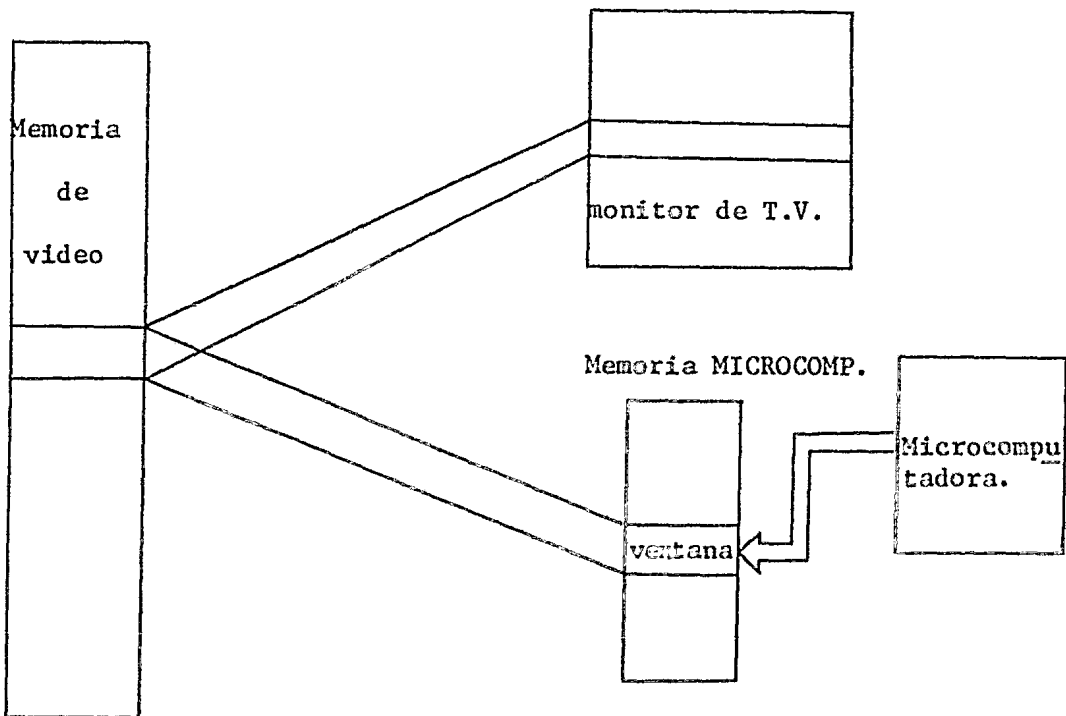


FIGURA 25. Método de Ventana.

Debido al esquema de video empleado (accesar palabras de 48 bits u 8 palabras de 6 bits a la vez) y ya que la microcomputadora solo puede acceder una palabra de 6 bits (La configuración de la memoria paso a ser vista ahora por la microcomputadora como un arreglo de 256K x 6 bits con lo cual se utiliza el siguiente espacio de direccionamiento:

- Las 3 líneas de direcciones menos significativas de la microcomputadora ( $A_0-A_2$ ) seleccionan un bloque de memoria de 32 K x 6 bits de 8 posibles (generan las señales de escritura de cada uno de estos bloques calificados con la señal de escritura ( $W$ ) de la microcomputadora (fig. 26) y las señales que habilitan a los multiplexores de datos que se encuentran a la salida de cada uno de los bloques de memoria (se habilita uno a la vez).

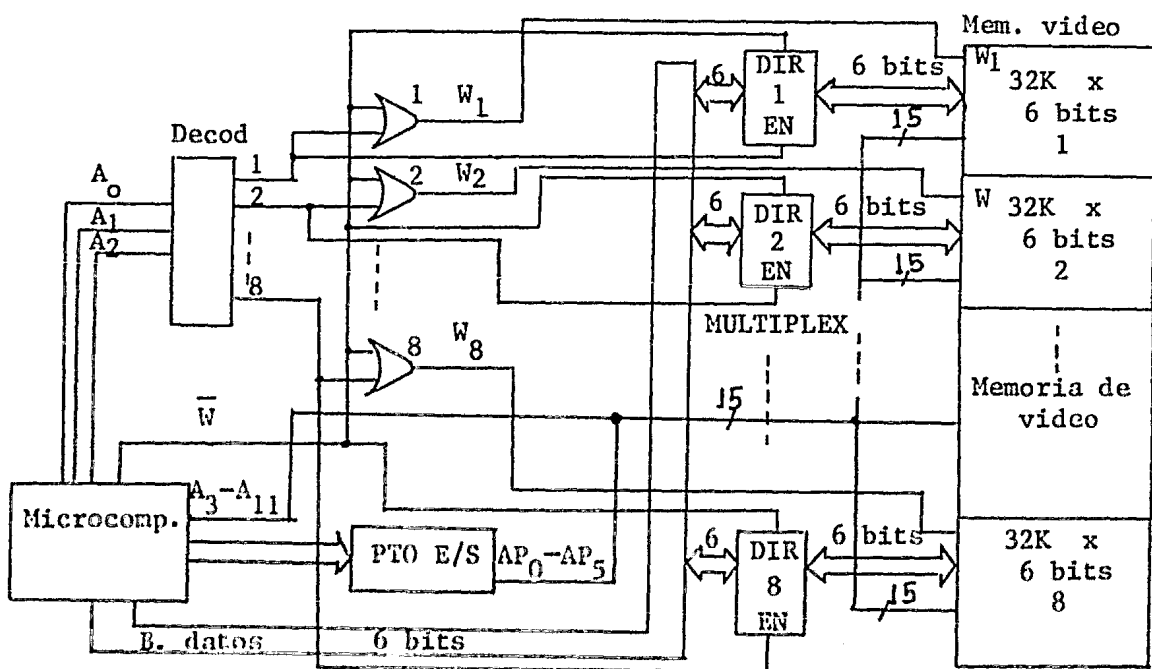


FIGURA 26. Acceso de la microcomputadora a la memoria de video.

- Las nueve líneas siguientes ( $A_3-A_4, \dots, A_{11}$ ) sumadas a las tres anteriores dan el tamaño del bloque de memoria (4K- de la ventana) con que se establece la correspondencia, con la memoria de video y la pantalla.
- Las seis líneas de un puerto de entrada/salida ( $AP_0-AP_5$ ) sirven para posicionar la ventana en cualquiera de 64 posibles áreas de 4K de la memoria de video (figura 27).
- Las cuatro líneas más significantes ( $A_{12}, A_{13}, A_{14},$  y  $A_{15}$ ) de la microcomputadora posicionan la ventana en cualquiera de 16 posibles lugares de su espacio de memoria (Figura 27).

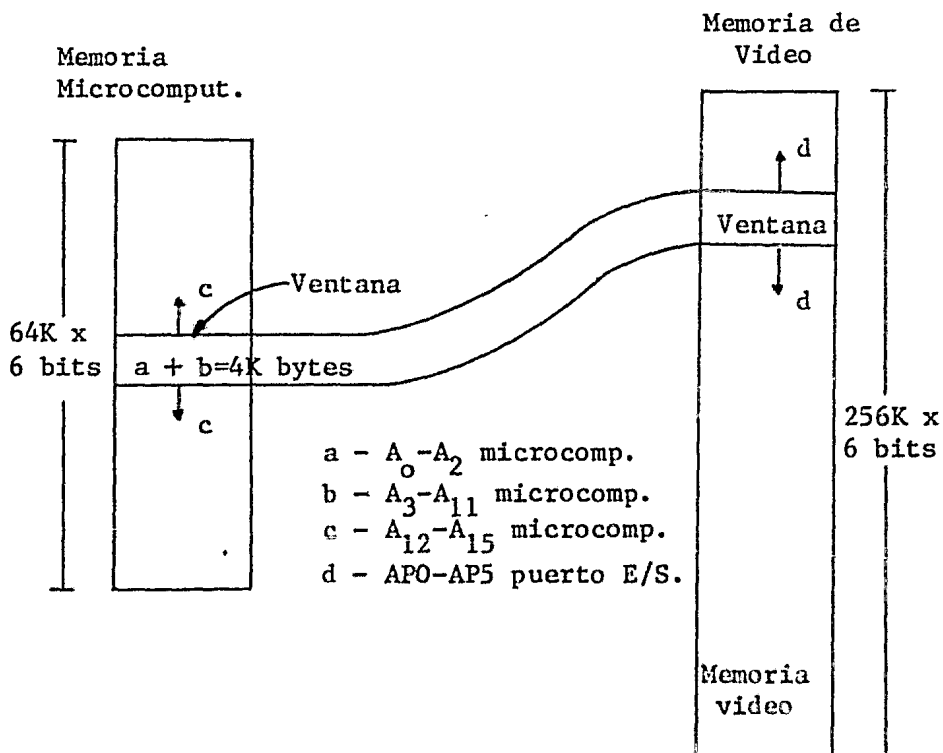


FIGURA 27. ESPACIO DE DIRECCIONAMIENTO

El puerto de entrada/salida (Z-80 PIO), a través del cual se obtienen las 6 líneas de direcciones con que se posiciona la ventana en la memoria de video, es programado por el CPU cada vez que quiere cambiar

de área de memoria de video a la ventana; el puerto tiene diferentes modos de operación (modo salida, entrada bidireccional y control), los cuales son seleccionados dependiendo de la aplicación que se quiera dar al puerto y son programados a través del CPU. En este trabajo solo se requería sacar datos por lo que se utilizó el modo salida (ver el manual del Z80-P10).

El siguiente programa en lenguaje de ensamblador, muestra la forma en que se posiciona la ventana en la memoria de video, así como la forma en que el CPU accesa cada byte (pixel) de ésta al procesar la imagen (obtiene el gradiente de la imagen que se encuentra almacenada en la memoria de video).

CODIGO OBJETO		CODIGO FUENTE	
3EOF	PROG.	LD A,0FH	; Carga el acumulador con 0FH.
D3C2		OUT (0C2H),A	; Programa puerto de cont. con sal.
AF		XOR A	; Pon ceros en el acumulador.
D3C0		OUT (0C0H),A	; Pon la direcc. de la primera posición de la ventana.
DD210080		LD IX,8000 H	; Dirección en donde se encuentra la ventana en la memoria de microcomputadora.
010010		LD BC,4096	; Contador de los 4K de la ventana.
3E02	NEXT	LD A,02H	; Retardo para permitir el refrescamiento por video antes de que
3D	R1	DEC A.	se realice otro acceso por la microc.
20FD		JR NZ,R1	
DD7E00		LD A,(IX)	; Carga el acumulador con el contenido de la direcc. apuntada por IX.
E606		AND 06	; Habilita los 6 bits menos signif.
57		LD D,A	; Guarda el primer dato de memoria.
DD 7E01		LD A,(IX+1)	; Carga el acumulador con el contenido de la direcc. apuntada por IX+1.

CODIGO OBJETO		CODIGO FUENTE	
E606		AND 06	; Habilita los 6 primeros bits de la segunda palabra de memoria apuntada por IX+1.
BA		CP D	; Compara el byte apuntado por IX con el byte apuntado por IX+1.
202D		JR NZ,EFES	; Pregunte si el byte apuntado por IX es (=) ó diferente a la palabra apuntada por IX+1.
3E00		LD A,00	; Carga el acumulador con ceros.
DD7700		LD (IX), A	; Si la comparación fue diferente pon ceros en el byte de memoria apuntado por IX.
DD23		INC IX	; Incrementa el apuntador IX de memoria.
OB		DEC BC	; Decrementa el contador de la vent.
AF		XOR A	; Pon ceros en el acumulador.
B8		CP B	; Pregunta si ya se procesaron los 4K de la ventana.
2802		JR Z, YC?	
18DF		JR NEXT	; Si no que procese el sig. byte de la memoria.
B9	YC?	CP C	
20DC		JR NZ,NEXT	
01 4000		LD BC,40H	; Retardo para refrescar la memoria de video antes de procesar el sig. byte.
OB	RET	DEC BC	
AF		XOR A	
B8		CP B	
20FB		JR NZ,RET	
B9		CP C	
20F8		JR NZ,RET	
DBCO		IN A,(COCH)	; Pon en el acumulador el contenido del puerto de datos, con que se selecciona el área de memoria en donde se posiciona la ventana.

CODIGO OBJETO	CODIGO FUENTE	
010010	LD BC,4096H	; Pon el tamaño de la ventana.
DD210080	LD IX,8000H	; Carga la dirección a partir de donde se encuentra la ventana en la memoria de la microcomputadora.
3C	INC A	; Incrementa el dato que cambia la posición de la ventana en la memoria de video.
D3C0	OUT (COH),A	; Saca la dirección donde esta la nueva ventana por el puerto de datos.
FE40	CP 40H	; Compara la dirección de la ventana en la memoria de video con 40H (40H=64 - decimal).
20C1	JR NZ,NEXT	; Si no es la última posición de la ventana en la memoria de video, que regrese a procesar la nueva ventana
76	HALT	; Si es la última que se detenga.
3EFF	EFES	LDA, OFFH ; Pon FF en el byte de memoria apuntado por IX.
	LD (IX), A	
	JR INC	; Regresa a procesar el siguiente byte (pixel).



#### 4.2.5. Arbitro de acceso microcomputadora/video.

Con anterioridad se dijo que el sistema puede desplegar una imagen en la pantalla, a la vez que la microcomputadora puede acceder la memoria de video, de tal forma que se vean los cambios que sufre la imagen debido a esta última. Para hacer ambas funciones sin que se genere ningún conflicto, se requiere de un dispositivo (árbitro) que controle ambos modos de operación. La función de éste debe ser la siguiente:

- Si cuando se está atendiendo una petición de video ( $\overline{\text{MRQV}}$ ) (desplegar ó escribir la imagen) en ese mismo momento se hace una petición de la microcomputadora ( $\overline{\text{MRQC}}$ ), que se genere una señal de espera ( $\overline{\text{wait}}$ ), que haga que la microcomputadora se espere el tiempo suficiente hasta que se haya acabado de atender el video ( $\overline{\text{MRQV}}$ ), y entonces pueda ser atendida (Figura 28).
- Si no se está atendiendo el video en el momento en que la microcomputadora solicita atención que ésta sea atendida inmediatamente (Figura 28).
- Si se está atendiendo una petición de la microcomputadora y en ese momento se hace una petición de video, el árbitro atiende a la microcomputadora sin importar que se pierda la petición de video.

Se pensaría que la información de las localidades que no se accesan por video se pierden, sin embargo esto se resuelve permitiendo que los accesos que realice la microcomputadora, se hagan cada 128  $\mu\text{seg}$ , ya que en esa forma se da tiempo para realizar accesos por video y se exploren las 128 direcciones de renglón para hacer el refrescamiento (con ante-

rioridad se dijo que los accesos por video se realizaban en 1 microseg.). Debido a esta forma de acceso, el proceso de la imagen se vuelve lento, pero se permite ver como se procesa la imagen por medio de la computadora en el monitor de televisión.

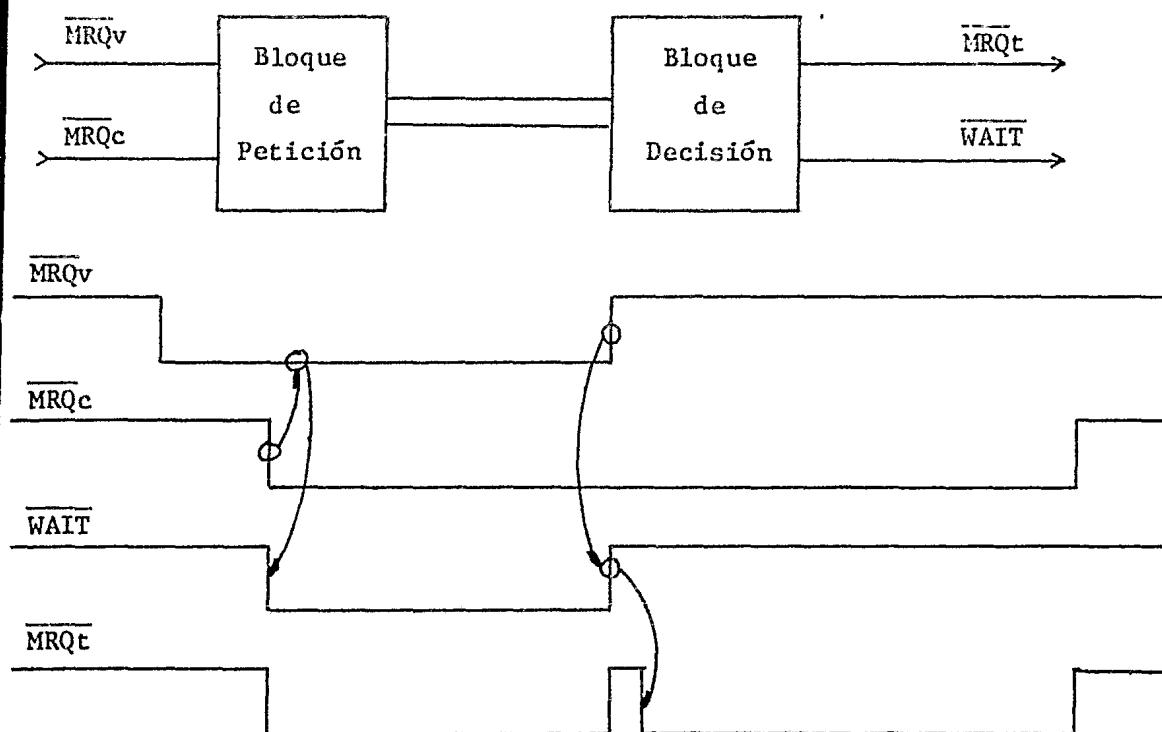


FIGURA 28. Arbitro Microcomputadora/video.

#### 4.2.6 Multiplexaje de direcciones (CPU/VIDEO).

La generación de direcciones en los dos modos de operación, se hace en forma diferente, para video, ésta se realiza en forma secuencial, mientras que para accesos por medio de la microcomputadora en forma aleatoria. Es por esto que las direcciones cambian en la misma forma en que

se cambia de modo de operación.

En la figura 29 se muestra un diagrama esquemático del multiplexaje, entre las líneas de direcciones de la microcomputadora y las líneas de direcciones para despliegue.

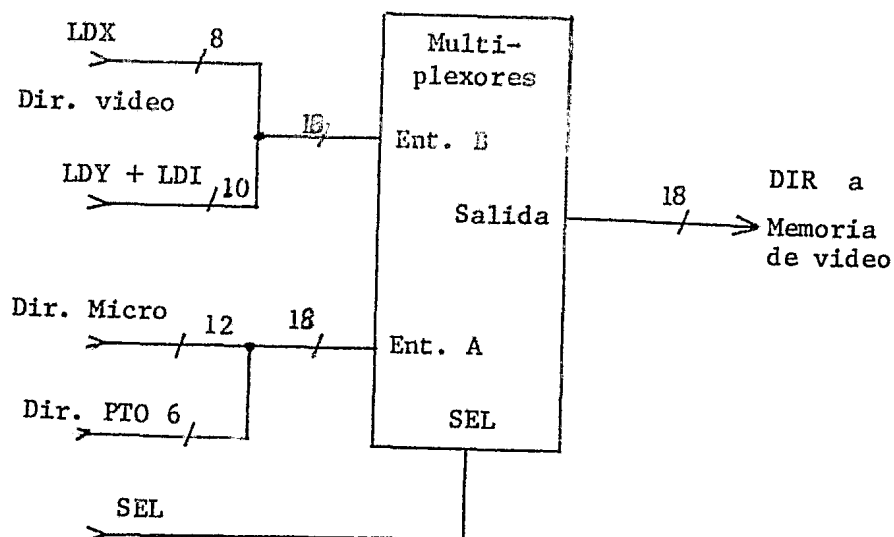


FIGURA 29 Multiplexaje Microcomp-Video

La línea de SEL\* de la figura indica quién está haciendo uso de la memoria, si está en bajo la microcomputadora está accedando la memoria, si está en alto la imagen se está desplegando ó bien se está escribiendo de la cámara de televisión en memoria.

\* (Esta es controlada por el usuario a través de un puerto de entrada salida, junto con la condición de  $\overline{MR}$  para cambiar los multiplexores hacia la microcomputadora).

#### 4.3 Generador de las señales de sincronía.

El proceso de adquisición de la imagen para almacenarla en la memoria y despliegue en un monitor de televisión, se debe de realizar en una secuencia determinada, la cual, es establecida por las señales de sincronía, que indican el momento en que se debe de comenzar a almacenar en memoria o a desplegar en la pantalla una línea horizontal, que porta la información de la imagen captada en esa línea (señal de sincronía horizontal H), el momento en que se debe de comenzar a almacenar y a desplegar las líneas del siguiente campo para realizar el entrelazado (señal de sincronía vertical V) y de una señal que indique cuando ya se almacenó o desplegó una imagen completa (sincronía de índice I).

La generación de estas señales se dió a través de un circuito integrado de propósito específico (MM5320) fabricado con tecnología CMOS, obteniéndose a la salida de éste las señales H, V e I en la siguiente secuencia de tiempos (figura 30).

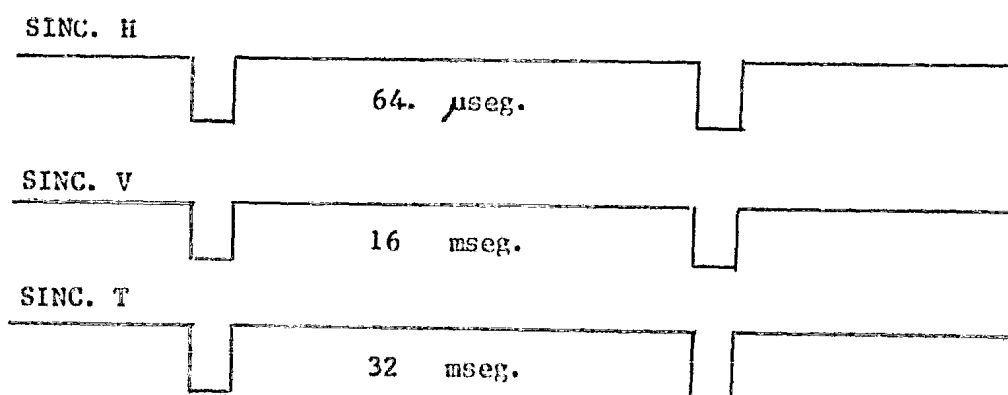


FIGURA 30 Señales de Sincronía.

#### 4.4 Convertidores Analógico-Digital y Digital-Analógico.

##### CONVERTIDORES A/D

Existen disponibles en el mercado una gran cantidad de tipos diferentes de convertidores entre los más conocidos se encuentran:

- Tipo de aproximaciones sucesivas
- Tipo de integración
- Tipo de contadores y servo
- Tipo paralelo
- Tipo Flash.

Como el sistema de despliegue de este trabajo utiliza técnicas digitales para almacenar la información de la imagen (la cual sale de la cámara de t.v. en forma de una señal de voltaje analógica) en memoria y debido al ancho de banda de la señal, se requiere un convertidor analógico-digital de alta velocidad (velocidad de conversión arriba de 1MHZ). Es por este hecho que los convertidores del tipo de aproximaciones sucesivas, integración, contadores y servo se desechan.

Los tipos de convertidor paralelo y flash resultan adecuados para esta aplicación. Estos consisten de  $2^{*n}-1$  comparadores, en donde 'n' es el número de bits de resolución (figura 31).

El funcionamiento es el siguiente:

Para cada comparador, cada una de sus entradas es conectada a una señal de voltaje conocida de entrada A<sub>in</sub> y las otras entradas conectadas a un voltaje de referencia, el cual se encuentra derivado a través de una red de resistencias.

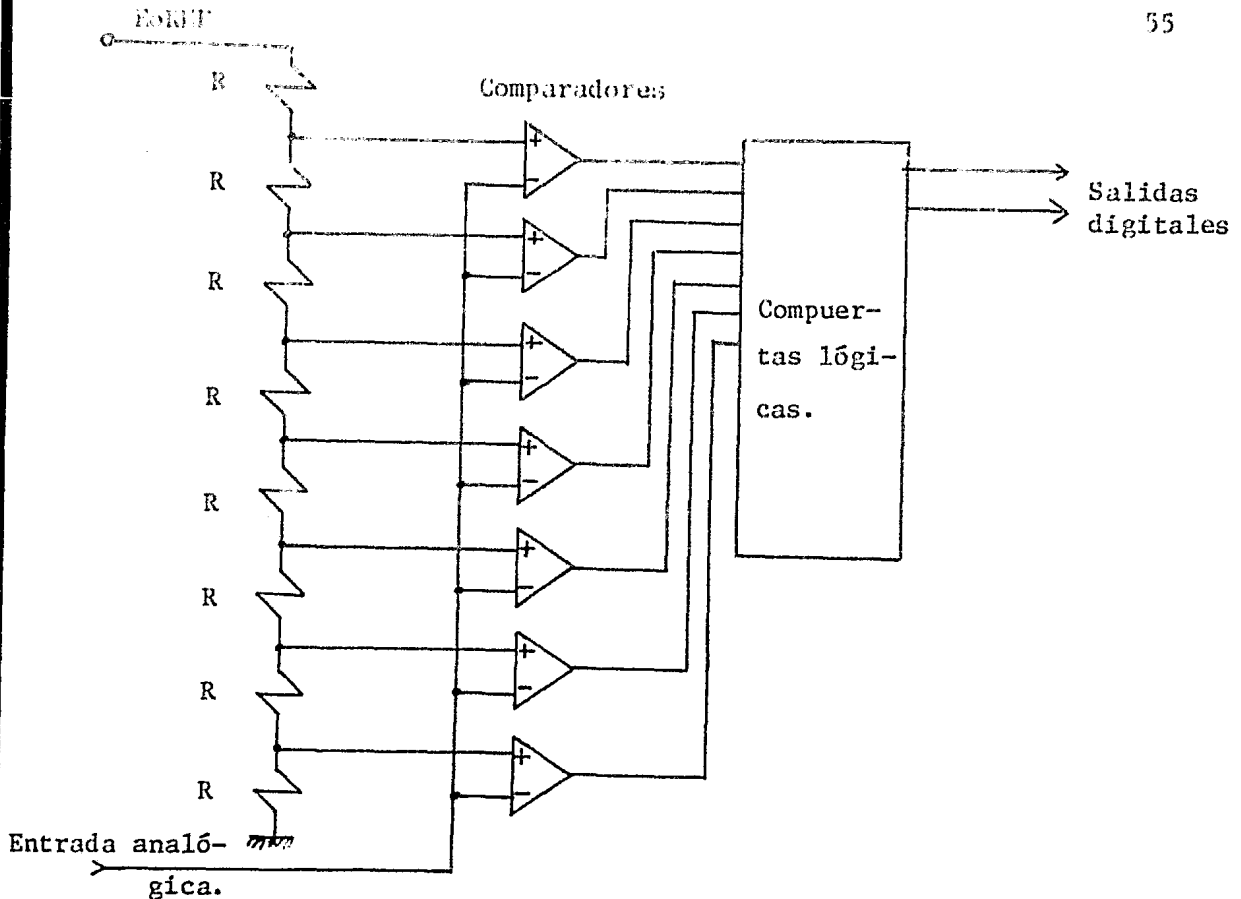


FIGURA 31. CONVERTIDOR A/D.

El voltaje de referencia,  $V_{ref}$ , es igual al máximo rango de la entrada analógica y es aplicado a través de la red de resistencias, para establecer un único voltaje de umbral para cada comparador. El voltaje de umbral se convierte en el punto de corte de la cuantización. Los convertidores responden de acuerdo al siguiente código: Aquellos con voltaje de umbral abajo de  $A_{in}$  se encenderán, mientras que aquellos con umbral arriba de  $A_{in}$  permanecerán apagados.

Las salidas de todos los comparadores son aplicadas a un codificador de  $(2^n - 1)/n$  que producen una salida digital de 'n' bits de resolución.

La ventaja de este tipo de convertidores, es que la conversión ocurre en paralelo, y la velocidad es limitada únicamente por el tiempo de cambio de comparadores y las componentes lógicas (compuertas AND, OR, NOR, etc.)

La desventaja es que conforme incrementamos la resolución del convertidor aumenta el número de comparadores y por consiguiente el costo y el tamaño físico también aumenta.

Los convertidores que se utilizaron en este trabajo son del tipo que se muestra en la figura 31.

#### CONVERTIDORES D/A

Un convertidor básico consiste, de una referencia, un grupo de resistencias de precisión de diferente peso binario y un grupo de interruptores (ver figura 32) el funcionamiento es el siguiente:

Cuando todos los bits están en cero, la salida se mantiene en cero, los interruptores son operados con la lógica digital "0" abierto y "1" cerrado, cada interruptor que es cerrado suma un incremento de corriente de peso binario  $E_{ref}/R_i$ , por medio de la línea que lo conecta, la salida de voltaje negativo a la salida de amplificador operacional es proporcional a la

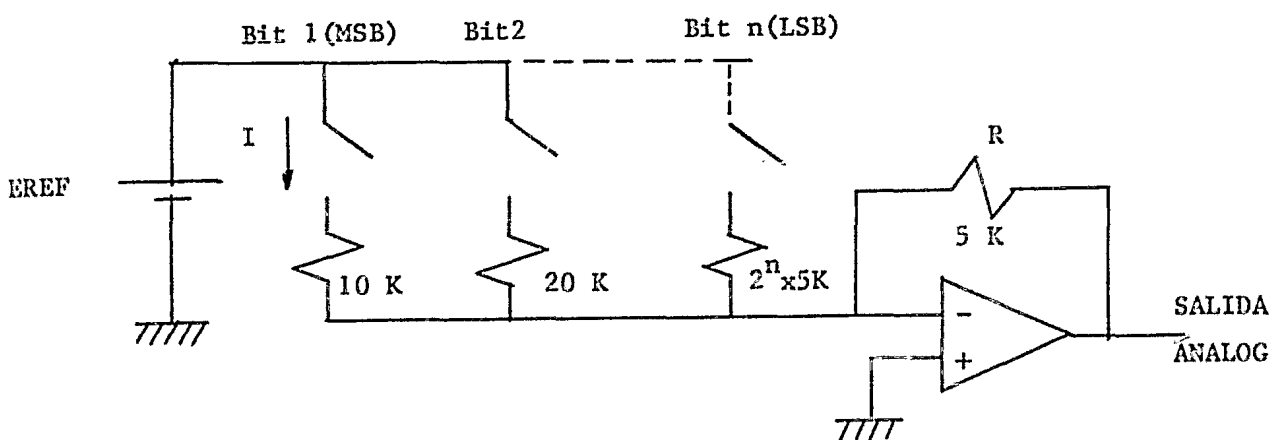


FIGURA 32. CONVERTIDOR D/A.

corriente total y así el valor del número binario. Este tipo de convertidores acarrea un problema ya que para un convertidor de 12 bits el rango de valores de las resistencias puede ser 409 ó 40 Mohms para el bit menos significativo, este circuito al fabricarse resulta impráctico. Si se realiza en forma discreta el costo y tamaño aumenta.

Una forma de reducir el rango de valores de las resistencias es usando un número limitado de resistencias con una atenuación conveniente (ver figura 33).

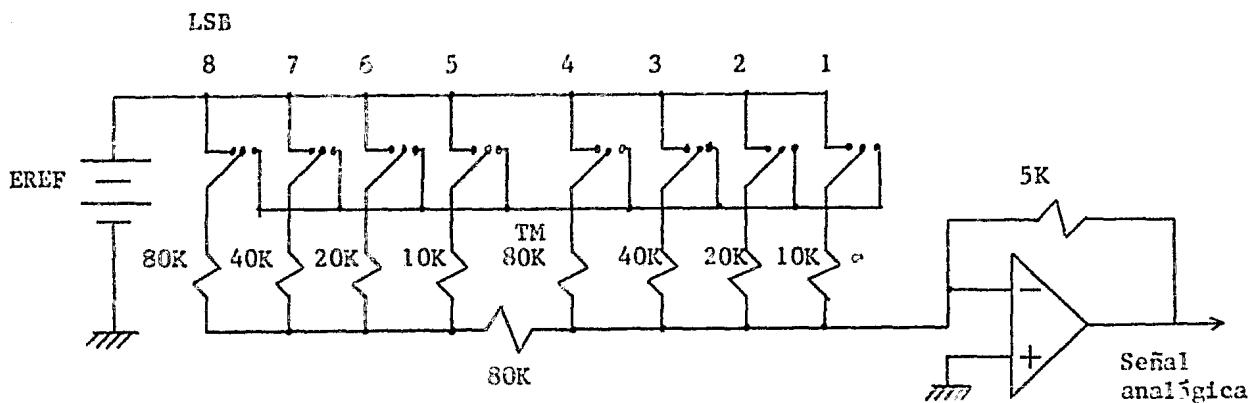


FIGURA 33. CONVERTIDOR D/A con atenuación.

En el apéndice A(Diagramas), se muestra como se conectan los convertidores A/D y D/A en el sistema, para blanco y negro, y color.



#### 4.5 Demodulador

El proceso de modulación que se realiza en la cámara de televisión a color, es el que se muestra en la figura 34. La entrada de luz de los 3 colores primarios de la imagen captada, es transformada en 3 señales con niveles de voltaje por medio de la cámara propiamente dicha. Estas tres señales entran a la sección de matriz en donde se forman nuevas señales de voltaje, combinando las entradas en proporciones específicas. Una de las señales (Y) tiene la información de brillo, mientras las otras dos (Q,I) tienen la información de color.

La salida del oscilador de la subportadora de 3.58 MHz, es acoplada a los moduladores Q e I, a los cuales también entran las señales de video Q e I. Combinando las salidas de los demoduladores Q e I se obtiene la señal de crominancia (C) modulada a 3.58 MHz.

La señal C con la información de color y la señal de luminancia Y son ambas sumadas en el multiplexor de color para formar la señal de video T, señal que porta la información de la imagen captada y que será procesada en el sistema aquí descrito.

Con anterioridad se dijo que el sistema puede ser configurado en planos de bits, en donde un plano es una pantalla de 512 x 512 x 1 bit. Estos planos pueden ser asignados tanto en monitores en blanco y negro como en color, para desplegar la información que contiene cada uno de ellos ó desplegar todos al mismo tiempo.

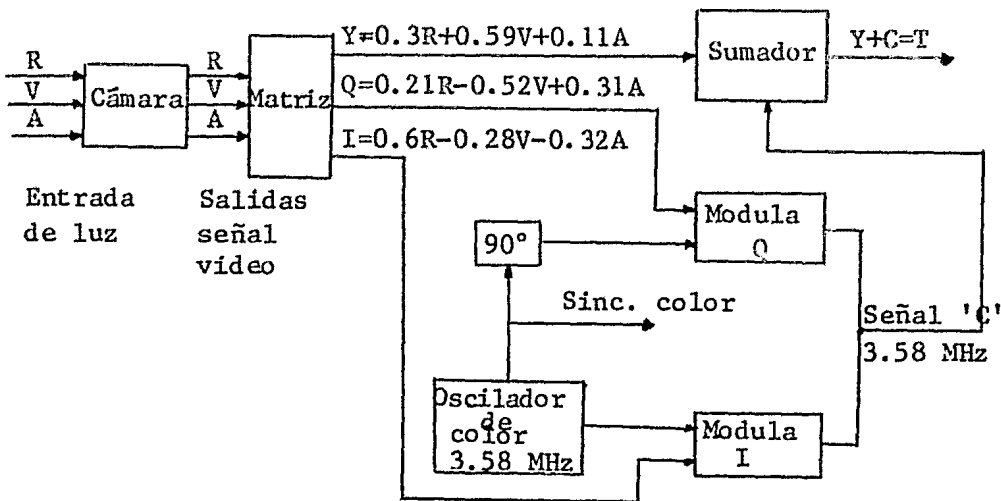


FIGURA 34. Modulación en la cámara de T.V.

Para el sistema que concierne a este trabajo el número de planos que se utilizó fue de 6, y la asignación de los 6 planos para cada color se hizo de 2 ó sea, que 2 de ellos, contienen la información de rojo, 2 la información del verde y 2 la de azul. Para poder hacer dicha asignación, se requería que la señal de video total "T", que se obtenía de la cámara fuese demodulada, para obtener las 3 señales de video de los colores principales (rojo, verde y azul), asociándole posteriormente a cada

una de estas señales 2 planos de memoria.

Para la implementación del circuito demodulador, se utilizaron 2 circuitos integrados lineales de propósito específico, con las siguientes características:

Para el MC1324:

- Sensitividad de la señal de chroma- con 0.36 Vpp a la entrada da 5 Vpp. a la salida.
- Voltaje diferencial de offset a la salida bajo (0.6 Vmax)
- Estabilidad a cambios en la temperatura (3mV/°C)
- Cambios despreciables en el swing del voltaje de salida y de variaciones en la señal de referencia de entrada (3.58 MHz)
- Rechazo de rizo alto, alcanzado en capacitores de filtrado MOS.
- Swing de voltaje de salida del azul alto 10 Vpp tip.
- Salidas protegidas contra corto circuitos.

Para el MC1398:

- Control de DC de ambas, amplitud de chroma y corrimiento de matiz.
- Cristal-controlado internamente por un oscilador realimentado.
- Fabricado con inmunidad al ruido.
- Supresor de color con Schmitt Trigger.
- Control automático de chroma.

Al final del texto, en los diagramas, se muestra la forma en que se conectan ambos circuitos obtenida de una nota de aplicación del fabricante.

## CAPITULO 5. CONCLUSIONES

De los resultados obtenidos, tanto en la fase de diseño como en la fase operativa del Sistema de procesamiento de imágenes a color, se pudo observar que la implementación de este tipo de sistemas es posible puesto que se tienen los conocimientos, la experiencia suficiente y el respaldo de tecnología para la construcción de dichos sistemas. Cabe aclarar que la tecnología básica (circuitos integrados), es de importación lo cual resulta determinante en el momento de implementar el sistema, ya que en caso de que no se cuente con recursos (divisas) para adquirirla ó la existencia de ésta en el mercado, los trabajos se pueden retrasar ó inclusive cancelar.

Además, dada la gran cantidad de aplicaciones que estos sistemas tienen, el sistema aquí implementado puede servir como punto de referencia para sistemas que se deseen implementar posteriormente.

FABRICA Y MODELO	DISPOSITIVOS DE ALMACENAMIENTO	INTERFACES	PRECIO TIPICO (DOLARES)
Adage IGS/300 4100.	Controlador disco 81 R1 byte, controlador de cinta magnética de 7 ó 9 pistas.	RS 232 síncrono a velocidades tan altas como 9600 bauds.	\$42,920.00 a \$133,000.00
Aplicon AGS Ser	Controlador de disco 800M bytes 4 controladores de cintas.	Emuladores IBM2780 Estación de trabajo HASP, CDC UT 200 ó terminal UNIVAC 1004	\$192,500.00 a \$280,500.00
Californ Compute ducts I IGS-300 400, IG	Controlador de disco duro 800M bytes, 2 controladores de cinta.	Asíncrono a velocidades tan altas como 9600 bauds, Emulador IBM 2780.	\$71,700.00 a \$84,000.00
Cambridge Development Laboratory mic Bla	Controlador de floppy disk. opcional el control de disco duro.	Serial.	\$9,950.00 a \$14,500.00
Control Corp. ries.	Controlador de cinta magnética.	Con velocidades tan altas como 50K bauds para CDC Cyber 70, Cyber 170 ó series de comp. 6000.	\$110,000.00 a \$115,000.00
Data Technology, I	Controlador de disco de 5M bytes.	RS 232	
DC Anza Inc. V 23.	Controlador de diskette.	RS 232 paralelo Q-BUS.	\$39,000.00
Decisions, PEAC me PEAC me	Controlador de cinta magnética, controlador de disco de 20M byte	Vía líneas telefónicas para anfitriónes remotos.	\$190,760.00 a \$217,940.00

FABRICA Y MODELO	CARACTERISTICAS DE LA TERMINAL	FUNCIONES GRAFICAS	MEDIO DE SALIDA	CARACTERISTICAS DE CPU	DISPOSITIVOS DE ALMACENAMIENTO	INTERFACES	PRECIO TIPICO (DOLARES)
Adage Inc. GS/300 modelo 4100.	4 terminales por sistema, vector, 21 in monocromático CRT trackball, pluma de luz, joystick digitalizador, 26000 vectores, 256 caracteres.	Zoom, 2D,3D, generador de círculo y arco, rotación, traslación y ventana.	Copiadora electrofotográfica, impresora/graficadora.	Minicomputadora 30 bit,3K a 32K palabras, display micro programado por separado, procesador con 64Kx64K puntos direccionables.	Controlador disco 81 R1 byte, controlador de cinta magnética de 7 ó 9 pistas.	RS 232 síncrono a velocidades tan altas como 9600 bauds.	\$42,920.00 a \$133,000.00
Aplicon Inc. AGS Series.	Barrido y tubo de almacenamiento, 4 terminales por sistema 19 ó 21 in, monocromático, CRT, 34x44 in digitalizador.	Diseño de circuitos integrados, dibujo eléctrico y mecánico zoom 2D, 3D, rotación, traslación, ventana, proyección en perspectiva.	Fotograficadora graficadora en color, unidad de copiadora de video.	DEC FDP-11/34,48K a 256K x 16 bit palabras de memoria.	Controlador de disco 800M bytes 4 controladores de cintas.	Emuladores IBM2780 Estación de trabajo HASP, CDC UT 200 ó terminal UNIVAC 1004	\$192,500.00 a \$280,500.00
California Computer Products Inc. IGS-300, IGS-400, IGS500.	Barrido, CRT, resolución 1024x768, monocromática 15 ó 20 in, CRT, Joystick, digitalizador.	Mapeo, dibujo ingenieril.	Impresora/graficadora, graficadora, microfilm, graficadora de tambor, otros.	C C 16/40 minicomputadora, con 96K a 256K x 16 bits palabras de memoria principal.	Controlador de disco duro 800M bytes, 2 controladores de cinta.	Asíncrono a velocidades tan altas como 9600 bauds, Emulador IBM 2780.	\$71,700.00 a \$84,000.00
Cambridge Development Laboratory Dynamic Blackboard	Resolución 640x512, color ó monocromática.	Giro, rotación.	Impresora de gráficas, opcional.	S-100 MC; con 64 K bytes de RAM.	Controlador de floppy disk. opcional el control de disco duro.	Serial.	\$9,950.00 a \$14,500.00
Control Data Corp. 777 series.	Vector, dos terminales por sistema, monocromática 20 in, CRT, pluma de luz, dibujo a velocidades tan altas como 670,000 ips.	Zoom 2D, 3D ventana, traslación, rotación, proyección en perspectiva.	Graficadora, copiadora de video.	Cyber 18-17B con 24K o 64K x 13 bit palabra de memoria.	Controlador de cinta magnética.	Con velocidades tan altas como 50K bauds para CDC Cyber 70, Cyber 170 ó series de comp. 6000.	\$110,000.00 a \$115,000.00
Data technology, Inc. CDA	Vector, monocromática, digitalizador	Aplicaciones en dibujo, escala, rotación, reflejo de imagen, interpolación de curvas.	Graficadora 40x60 in.	DEC FDP-11 con 28 K bytes de memoria.	Controlador de disco de 5M bytes.	RS 232	
DC Anza Systems Inc. Visacom/23.	4 colores, barrido, CRT, 4 terminales por sistema, resolución 512x480, Joystick, trackball.	Zoom, traslape, ventana, separador. Generador de cónicas	Vía computadora. Anfitrión.	DECLS1-11 con 512K bytes de memoria.	Controlador de diskette.	RS 232 paralelo Q-BUS.	\$39,000.00
Decisión Graphics, Inc. PEAC mode/100 PEAC mode/200	Monocromática 21 in, CRT, digitalizador.	2D, 3D, traslape, aplicaciones de diseño con ayuda de computadora, dib.	36 in de ancho graficadora.	DEC FDP-11-34 ó FDP/11/44 con 256 K bytes de memoria.	Controlador de cinta magnética, controlador de disco de 20M byte	Vía líneas telefónicas para anfitriones remotos.	\$190,760.00 a \$217,940.00

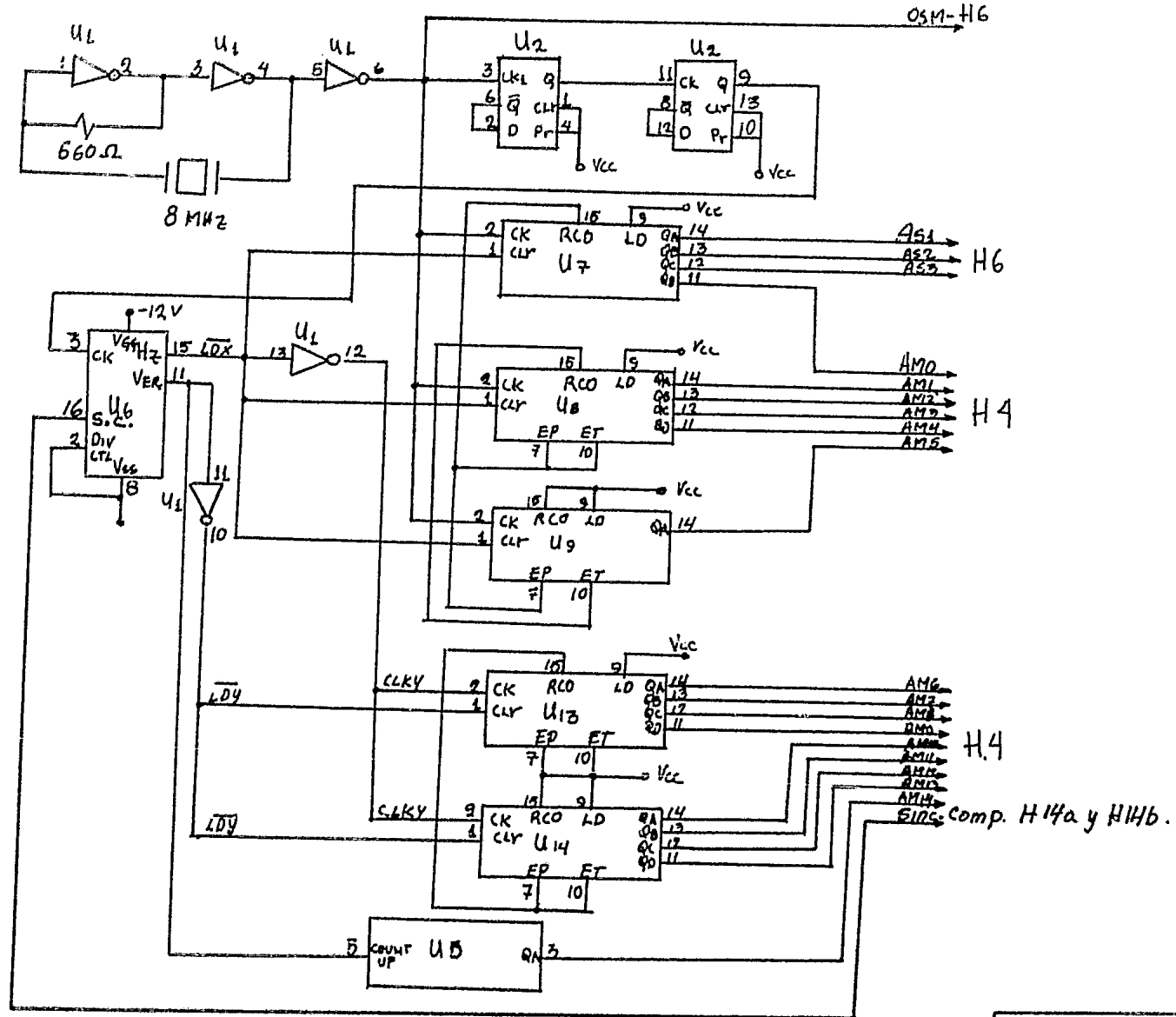
FABRICA Y MODELO	CARACTERISTICAS DE LA TERMINAL	FUNCIÓNES GRAFICAS	MEDIO DE SALIDA	CARACTERÍSTICAS DE CPU	DISPOSITIVO DE ALMACENAMIENTO	INTERFACES	PRECIO TÍPICO (DOLARES)
Huges Air-Craft Co. c-9	Monocromática de 17 in, vector, CRT, 16 niveles de gris, joystick, digitalizador.	Zoom, generador de arc./circ., ventana rotación, 2D.	Vía computadora-anfitrión.			Asíncrono RS 232 a velocidades tan altas como 9600 bauds, paralelo con data general DEC HP y computadoras varias.	\$ 9,950.00 a \$17,000.00
IBM Corp. 2250	Monocromática, vector, CRT, pluma de luz.		Graficadora.			Computadoras IEM	\$ 64,000.00
Lundy Electronics and Systems, Inc. Hypergraf 2600	Monocromática de 21 in, vector, CRT, 16 terminales por sistema, pluma de luz-digitalizador, joystick, trackball.	rotación, escalador, ventana, recortador, zoom, generador de círculo y elipse.	Graficadora/impresora, Graficadora.	24K a 128K x 16 bit palabras de memoria.		A. comp. DEC PDP-11 6 CDC Cyber 17.	\$56,000.00
Megatek Corp. Whizzard 7250	Barrido, CRT, 16 colores, resolución 512x512, joystick.	3D, zoom, recortador, rotación, escala, traslación.	Impresora/Graficadora.	64K a 192K bytes de memoria.	Controlador de diskette, controlador de cinta.	RS232 a velocidades tan altas como 9600 bauds paralelo.	\$20,000.00
Planning System spaceman	Tubo de almacenamiento 19 in, digitalizador.	3D, otras.	Graficadora	Tektronix 4054	Controlador de floppy disk.		\$50,000.00 a \$75,000.00
Summagraphics Corp. Data-grid 11	Monocromática de 11 in, tubo de almacenamiento 6 19 in en color de barrido CRT, digitalizador.	Aplicaciones, tarjetas de circuitos impresos, dibujo y mapeo.	Graficadora de tambor.	Minicomputadora de 64K a 96K bytes de memoria.	Controlador de disco duro de 25M bytes, controlador de cinta magnética, controlador de diskette.	Asíncrono RS 232	
Tektronix Inc. 4054	Monocromática, tubo de almacenamiento, joystick, digitalizador.	Ventana, escala y rotación.	Graficadora, graficadora/impresora, copiadora de CRT.		Cartucho de 300K bytes.	RS 232 a velocidades tan altas como 9600 bauds, GPIB.	\$16,500.00
Telecasters-MED 4001 B	8 colores CRT de barrido, resolución 912x356, 3 terminales por sistema, pluma de luz, joystick, trackball.	traslape, generador de círculo.	Graficadora/Impresora.	4K a 64K bytes de memoria.	Controlador de diskette.	RS232 a velocidades tan altas como 9600 bauds paralelo.	\$12,000.00
Vector automatic Graphics 90.	Vector CRT, pluma de luz, digitalizador, joystick, trackball.	2D, 3D, traslación, rotación, zoom, ventana, generador	Graficadora, impresora de vídeo, etc.	32K a 256K x 16 bits palabras de memoria.		RS 232 paralelo	\$24,500.00
Vector general, inc. vector-aposico	Monocromática de 21 in, CRT vector, 8 terminales por sistema, pluma de luz, joystick, trackball.	3D, zoom, traslación, rotación, zoom, ventana, generador	Graficadora.	DEC PDP-11	Controlador de disco controlador de cinta magnética.	RS 232 a velocidades tan altas como 9600 bauds paralelo.	\$ 40,000.00 a \$130,000.00

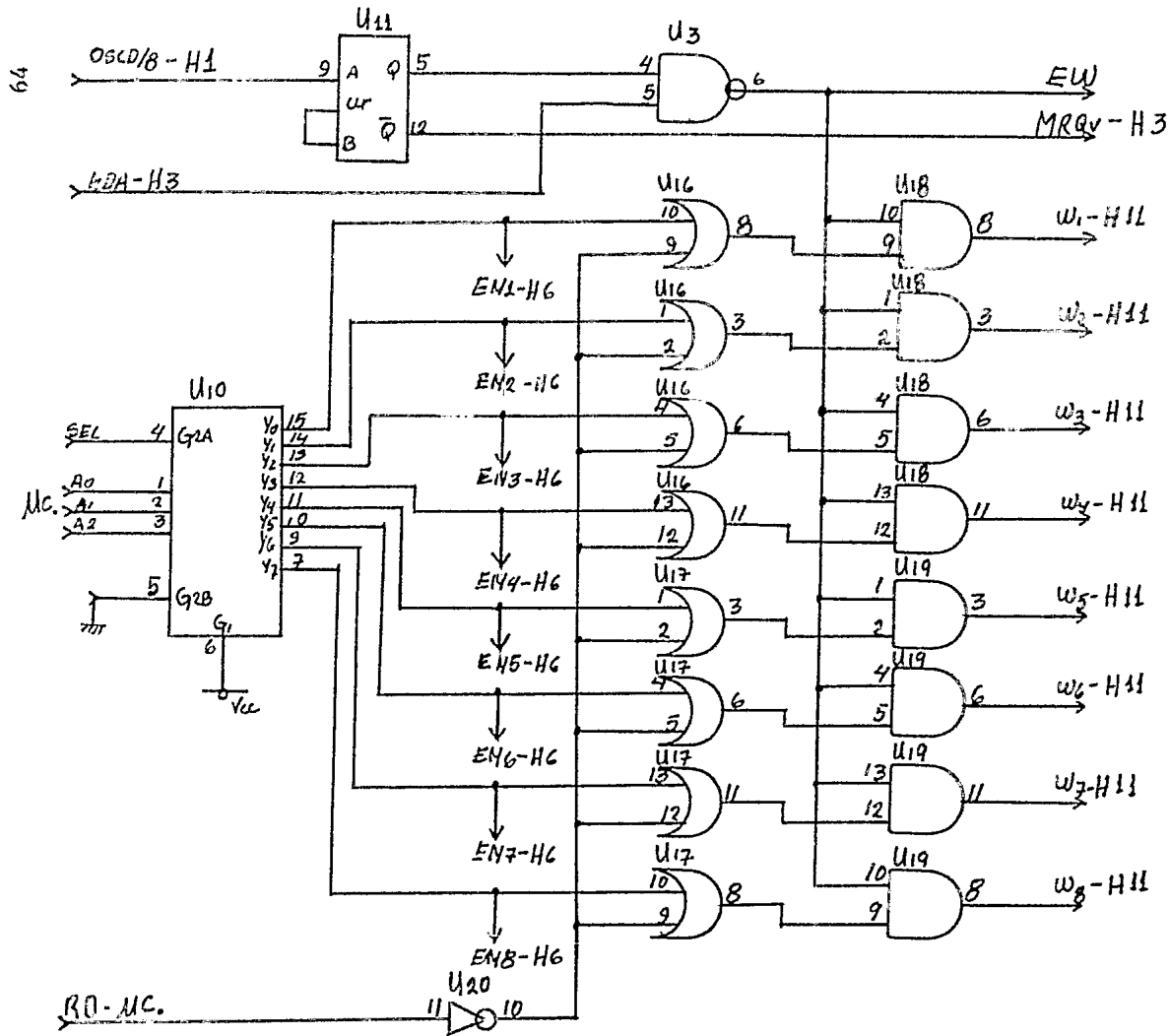
## APENDICE A

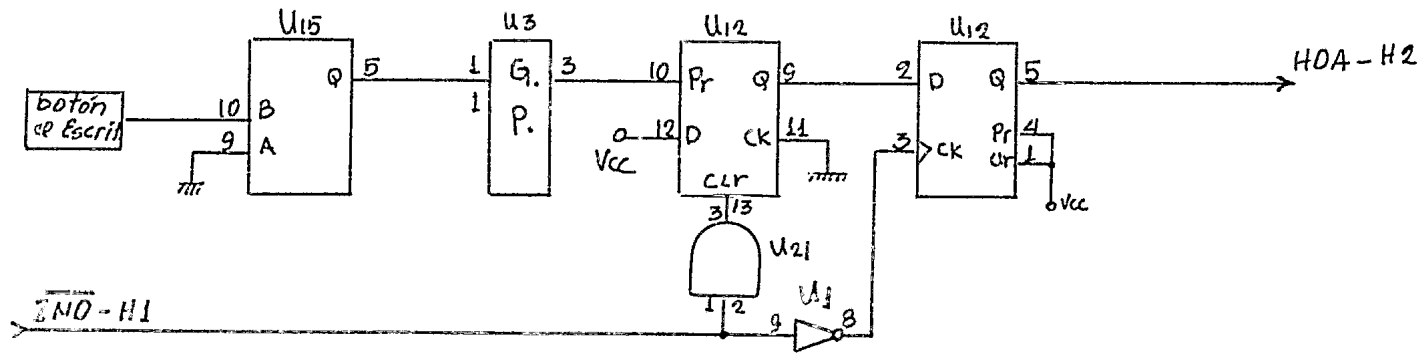
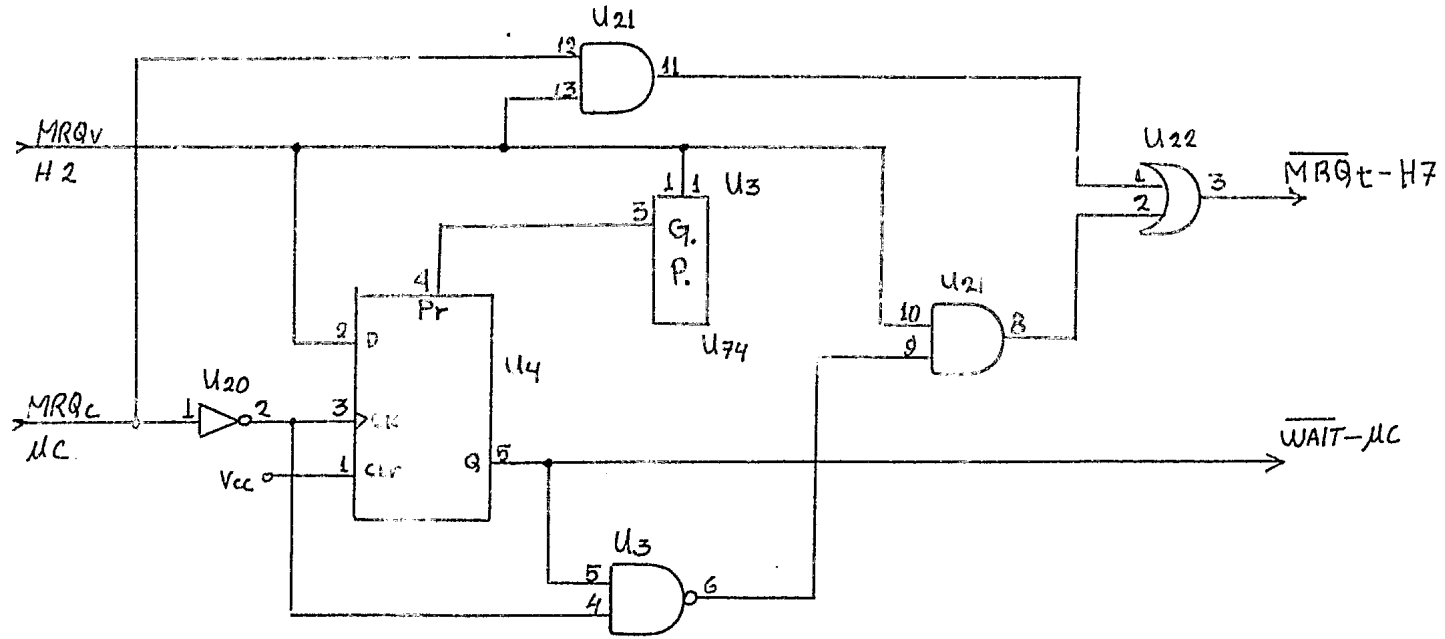
### Diagramas

A continuación se muestran los diagramas lógicos y de tiempos del sistema, así como la descripción de las señales más importantes del sistema.



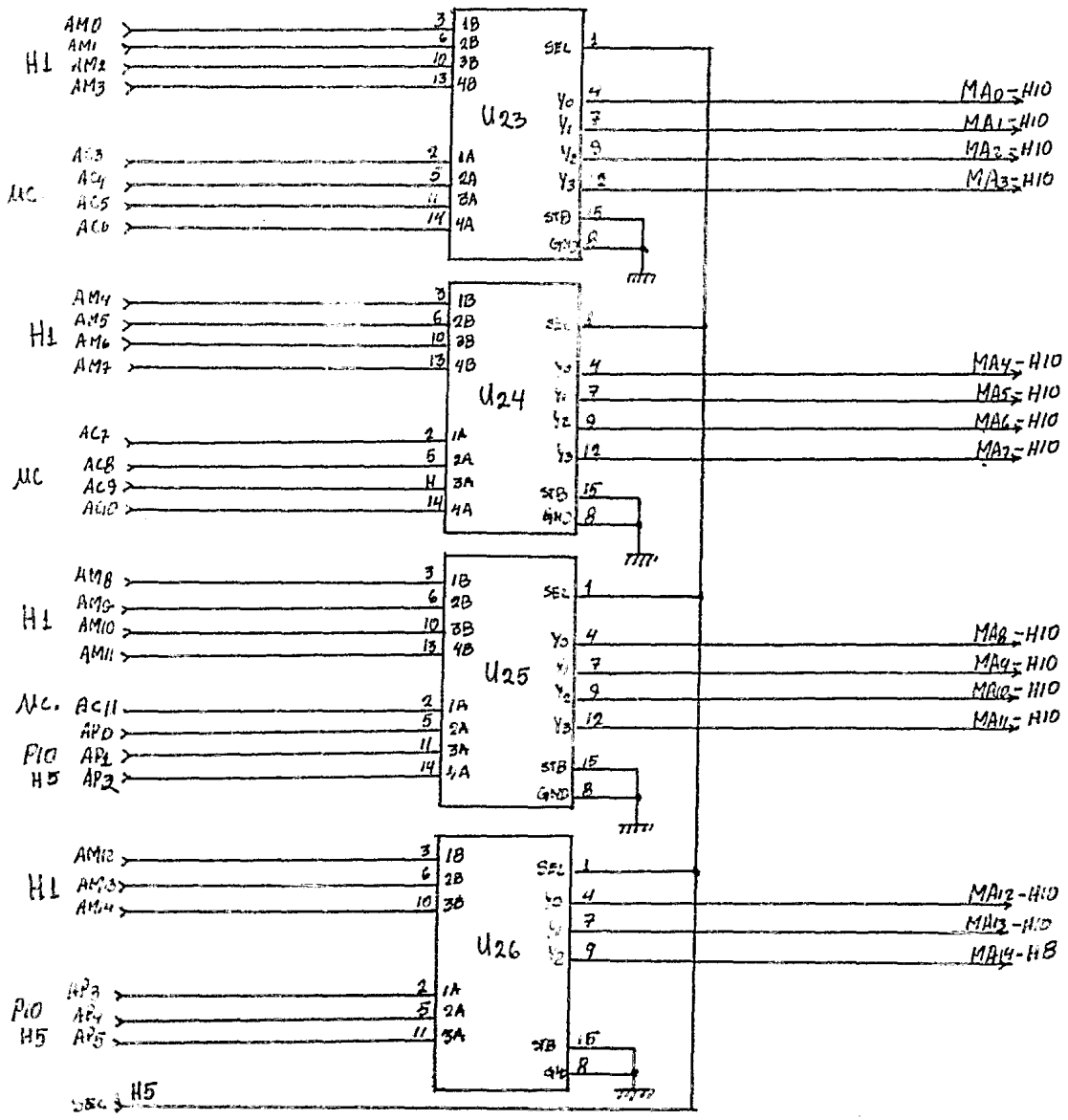




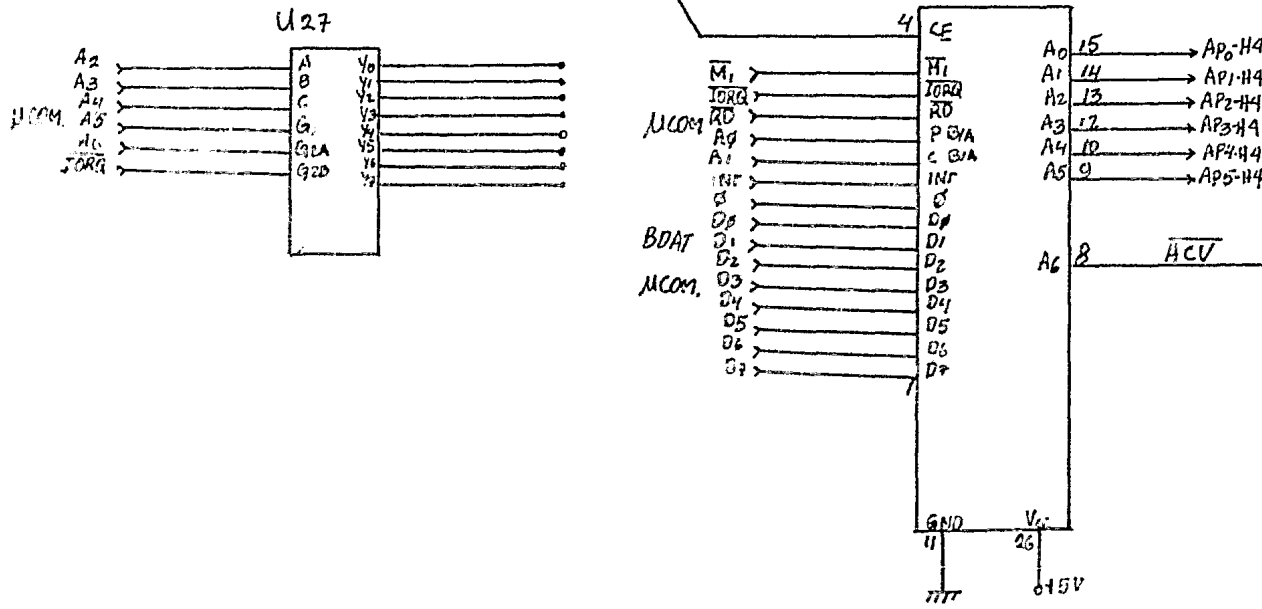
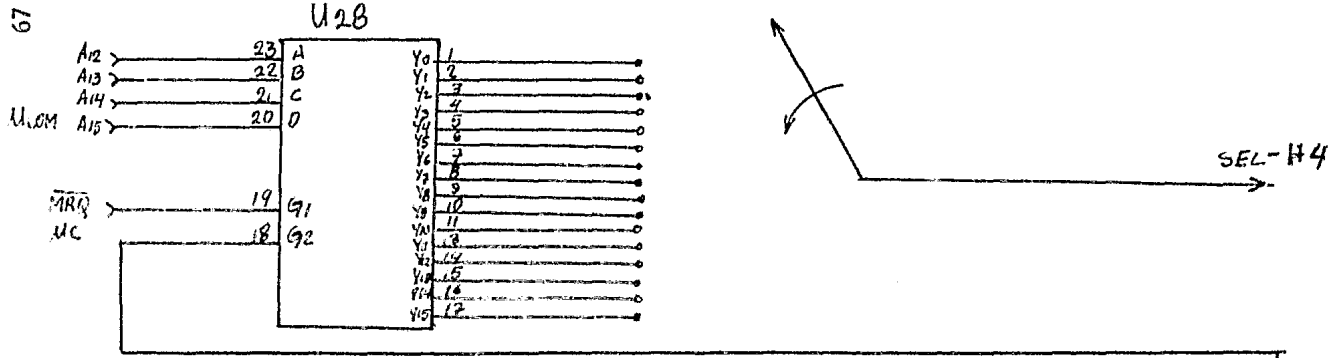


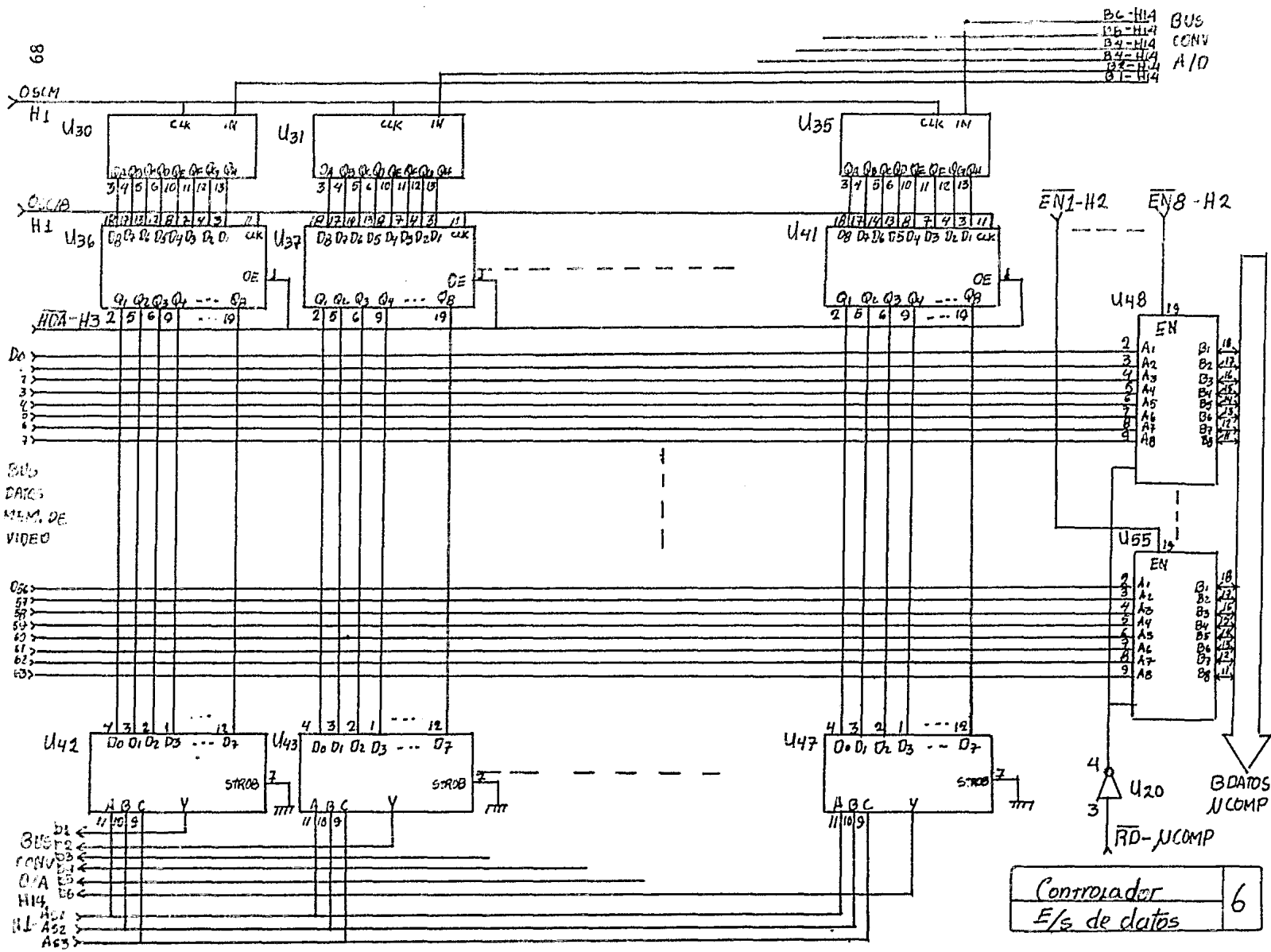
Controlador	3
Arbitro Microcomp/Via.	

56



Controlador	4
Multiplexores VID/mic.	





B6-H14 BUS  
 B5-H14 CONV  
 B4-H14 A/D  
 B3-H14  
 B2-H14  
 B1-H14

68

OSC/M  
H1

CLK/A  
H1

HDA-H3

D0  
D1  
D2  
D3  
D4  
D5  
D6  
D7

SUB  
DATA  
MEM. DE  
VIDEO

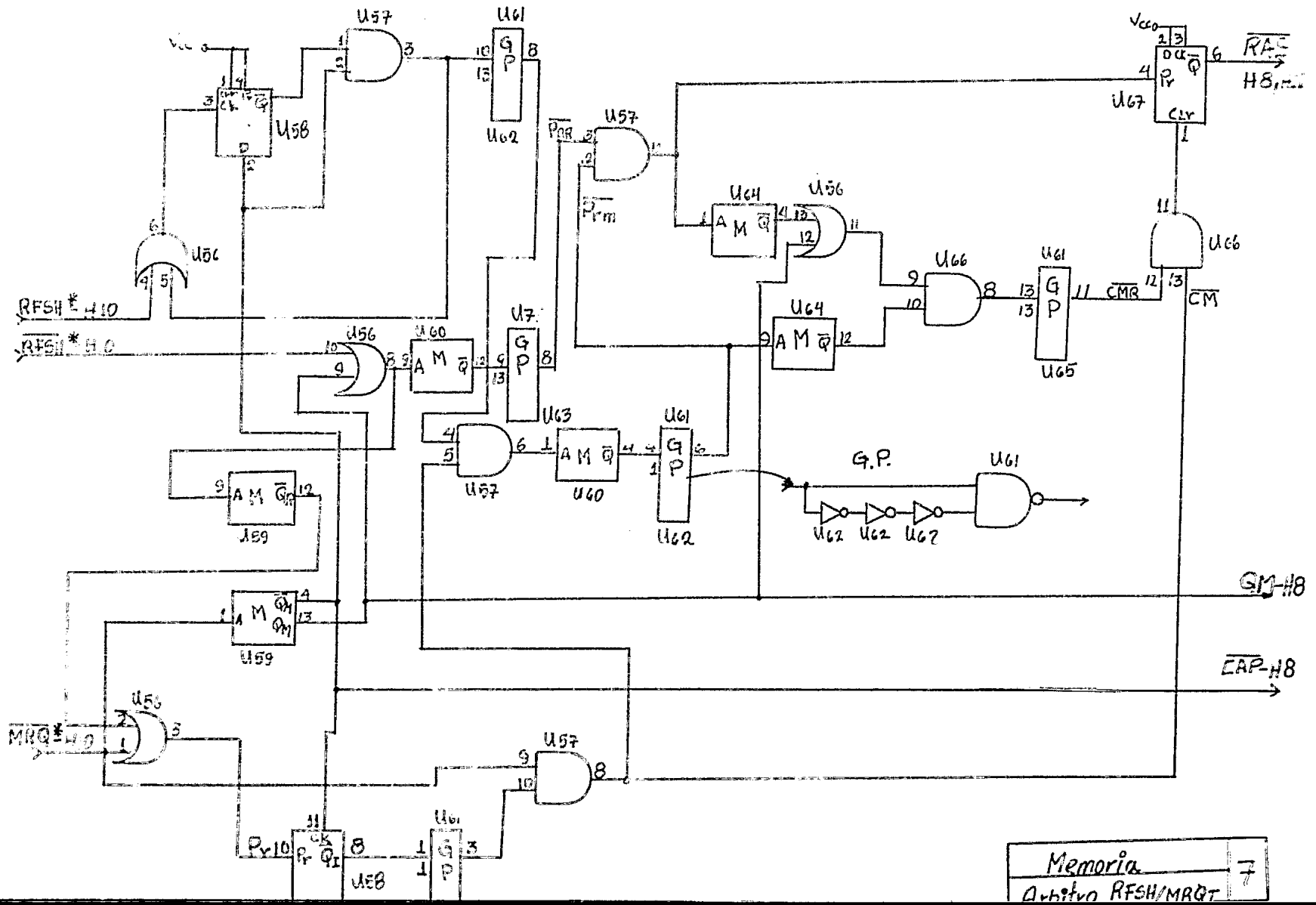
D0  
D1  
D2  
D3  
D4  
D5  
D6  
D7

U42  
D0 D1 D2 D3 ... D7  
A B C Y  
11 10 9

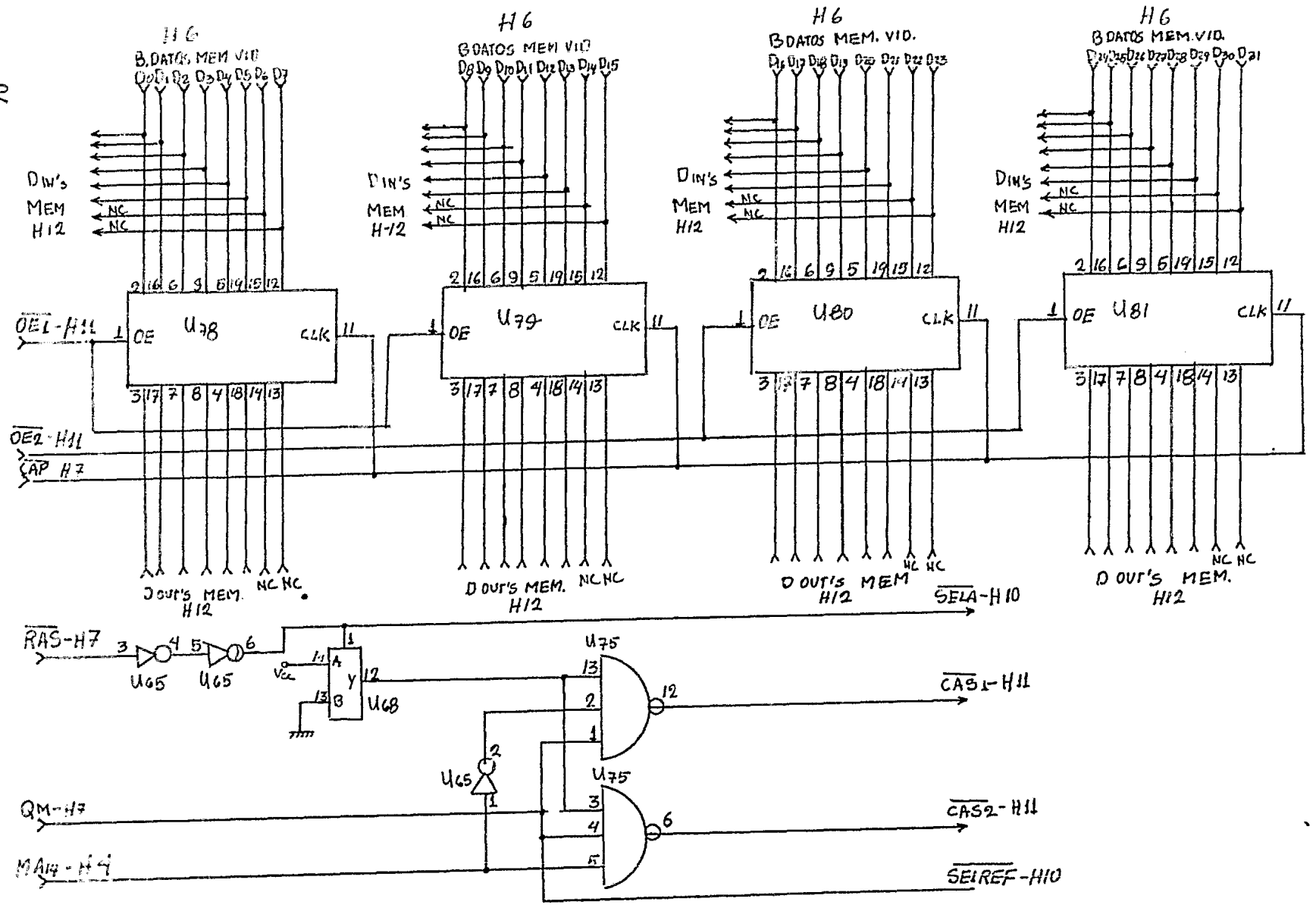
U43  
D0 D1 D2 D3 ... D7  
A B C Y  
11 10 9

U47  
D0 D1 D2 D3 ... D7  
A B C Y  
11 10 9

Controlador	6
E/s de datos	

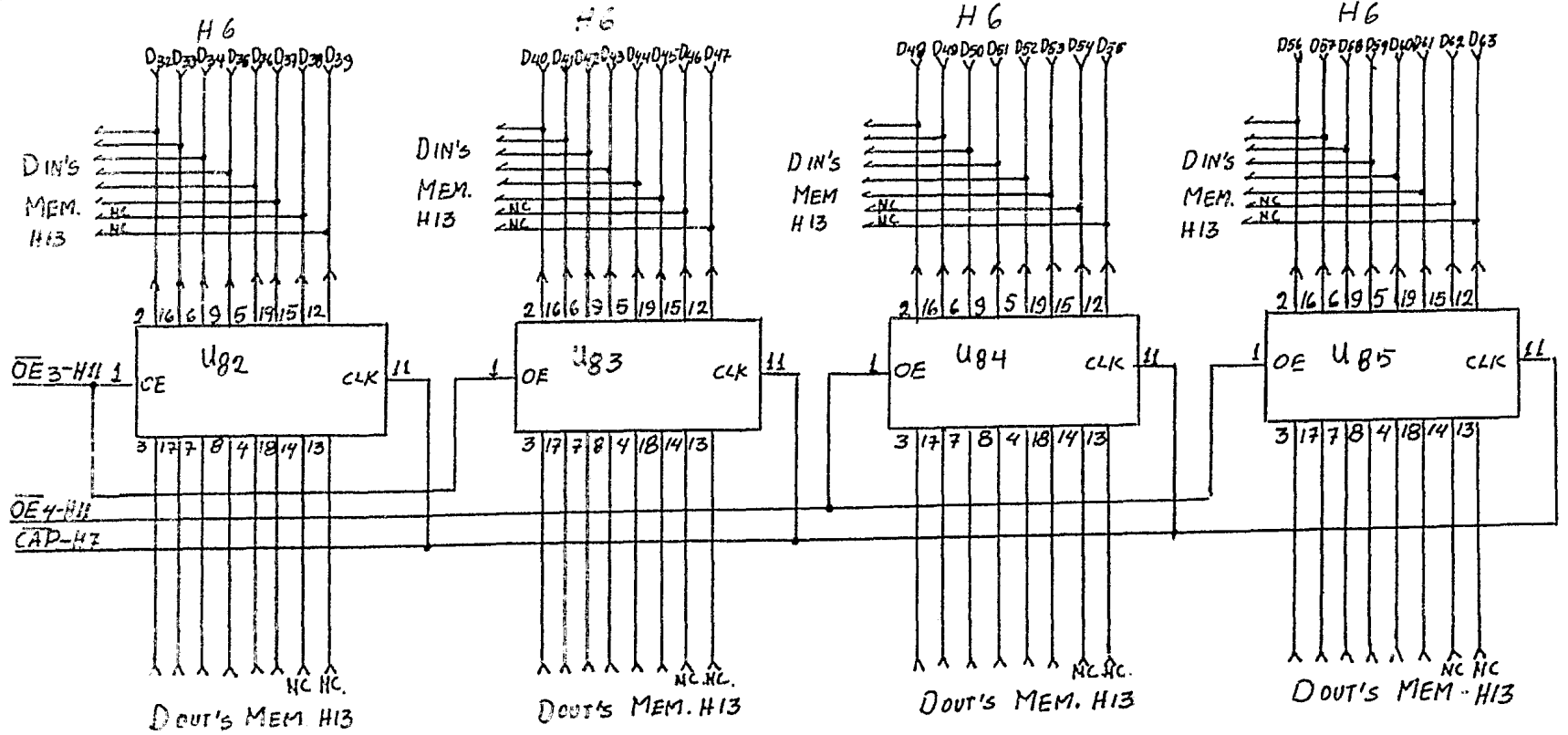


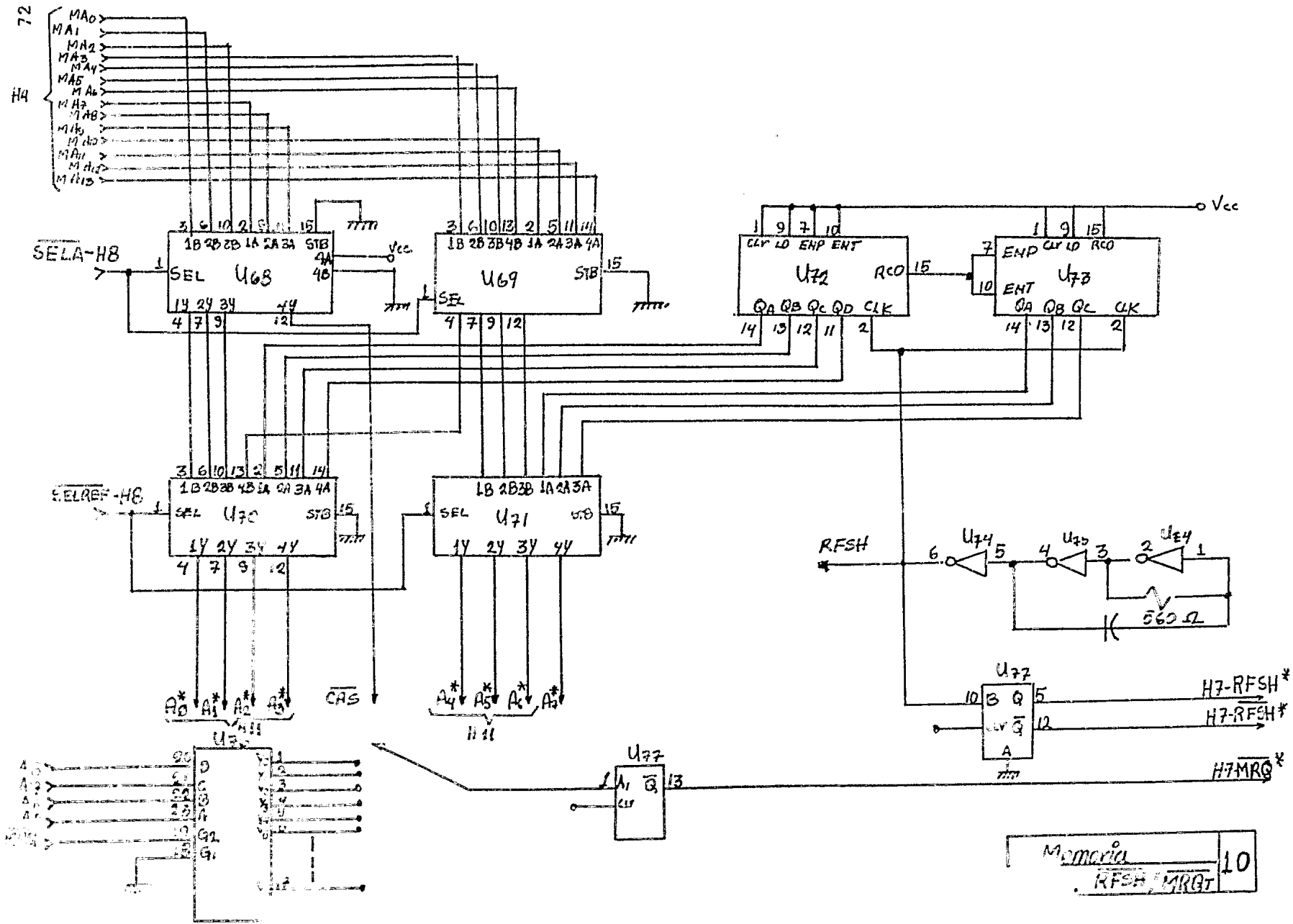
70



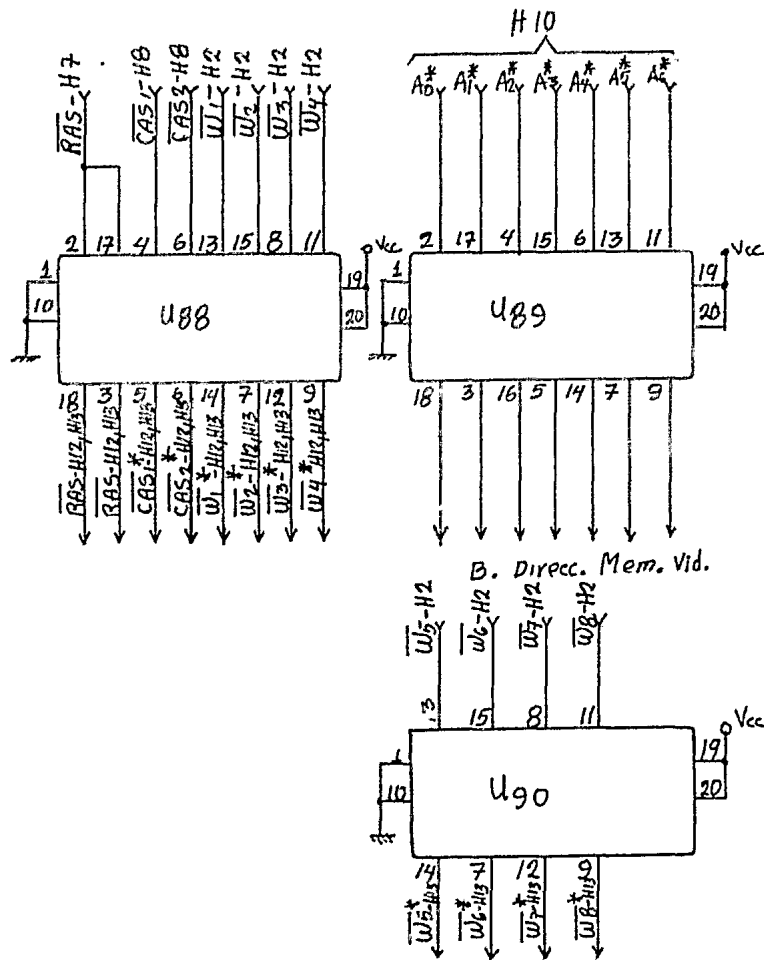
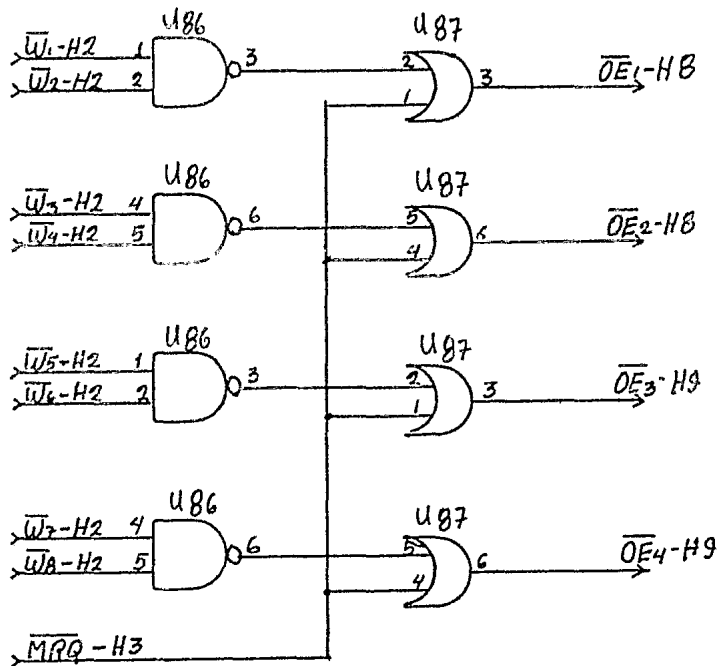
Memoria	8
Gen. CAS1 y CAS2 y E/S	





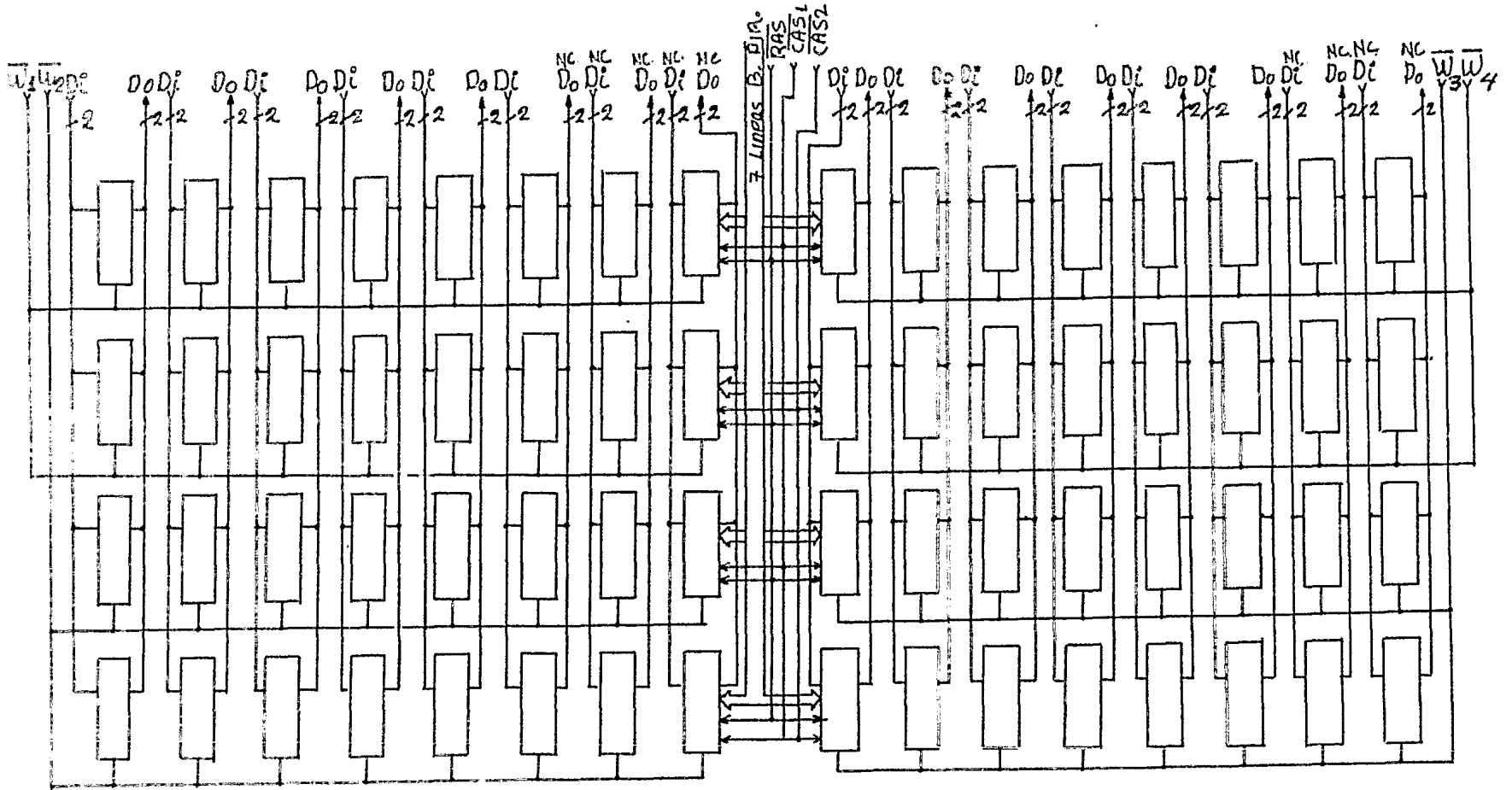


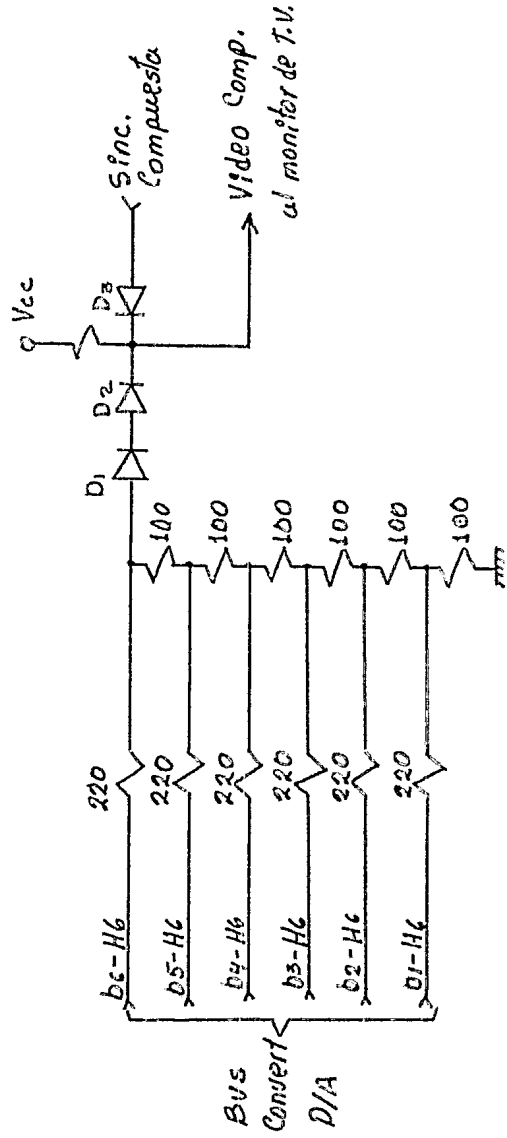
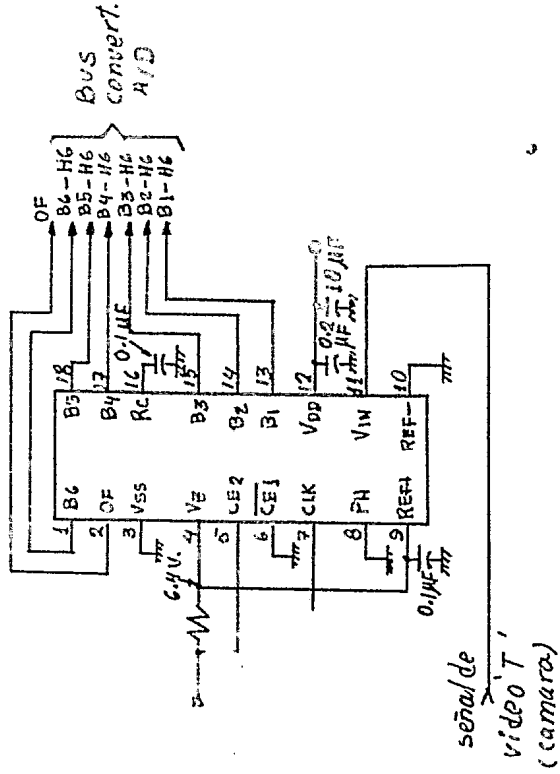
Memoria	10
RFSH MRGT	

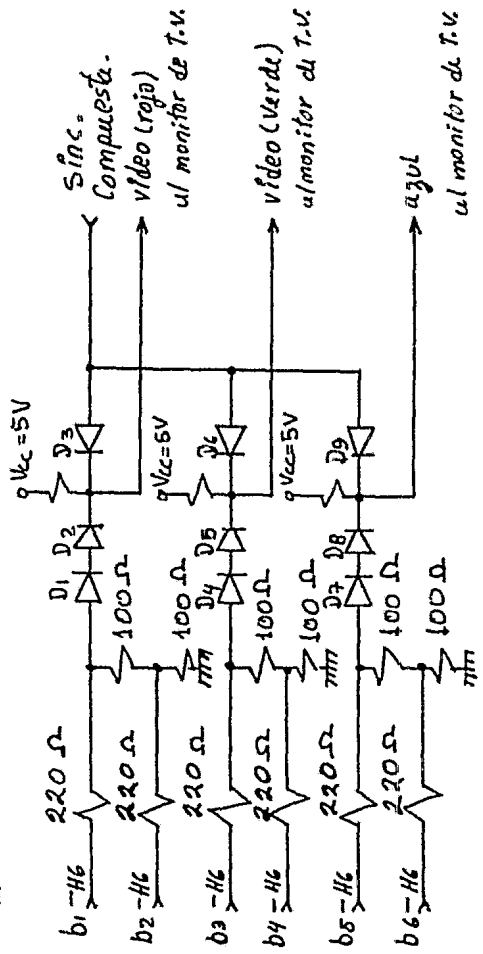
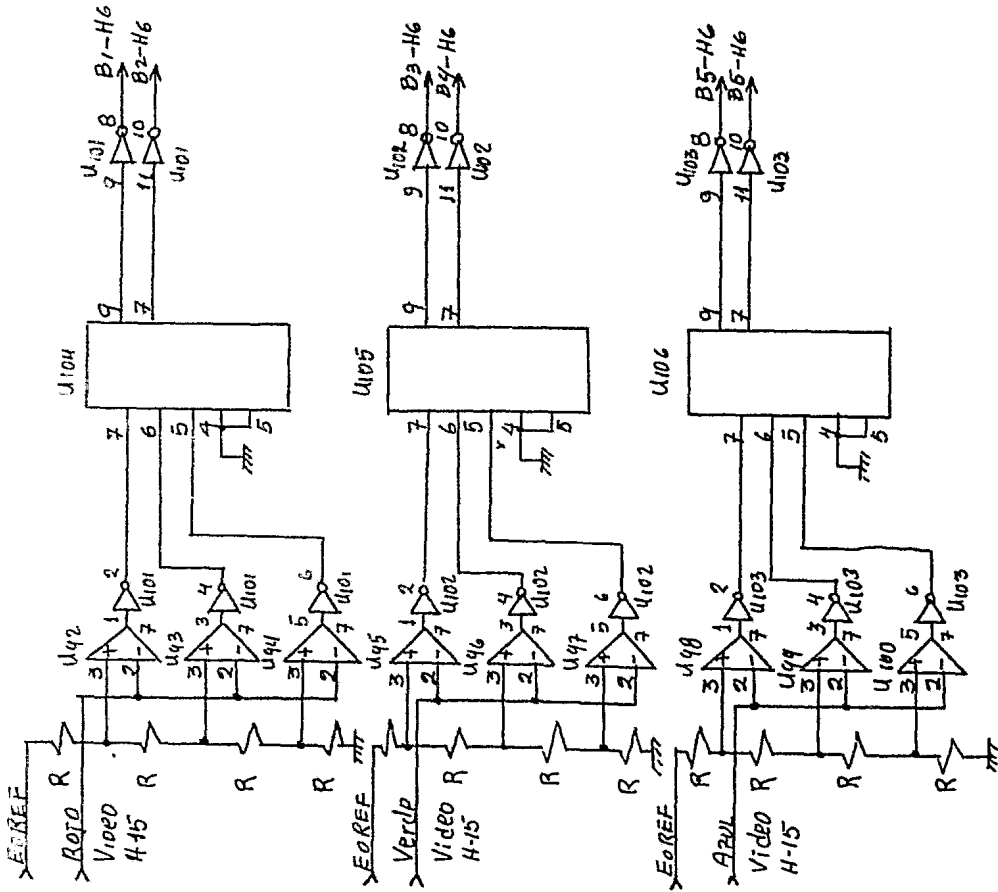


Memoria	11
Drivers	

nota - La hoja 13 es idéntica a la hoja 12  
solo cambian las señales de  $\bar{W}$   
(5, 6, 7, 8).





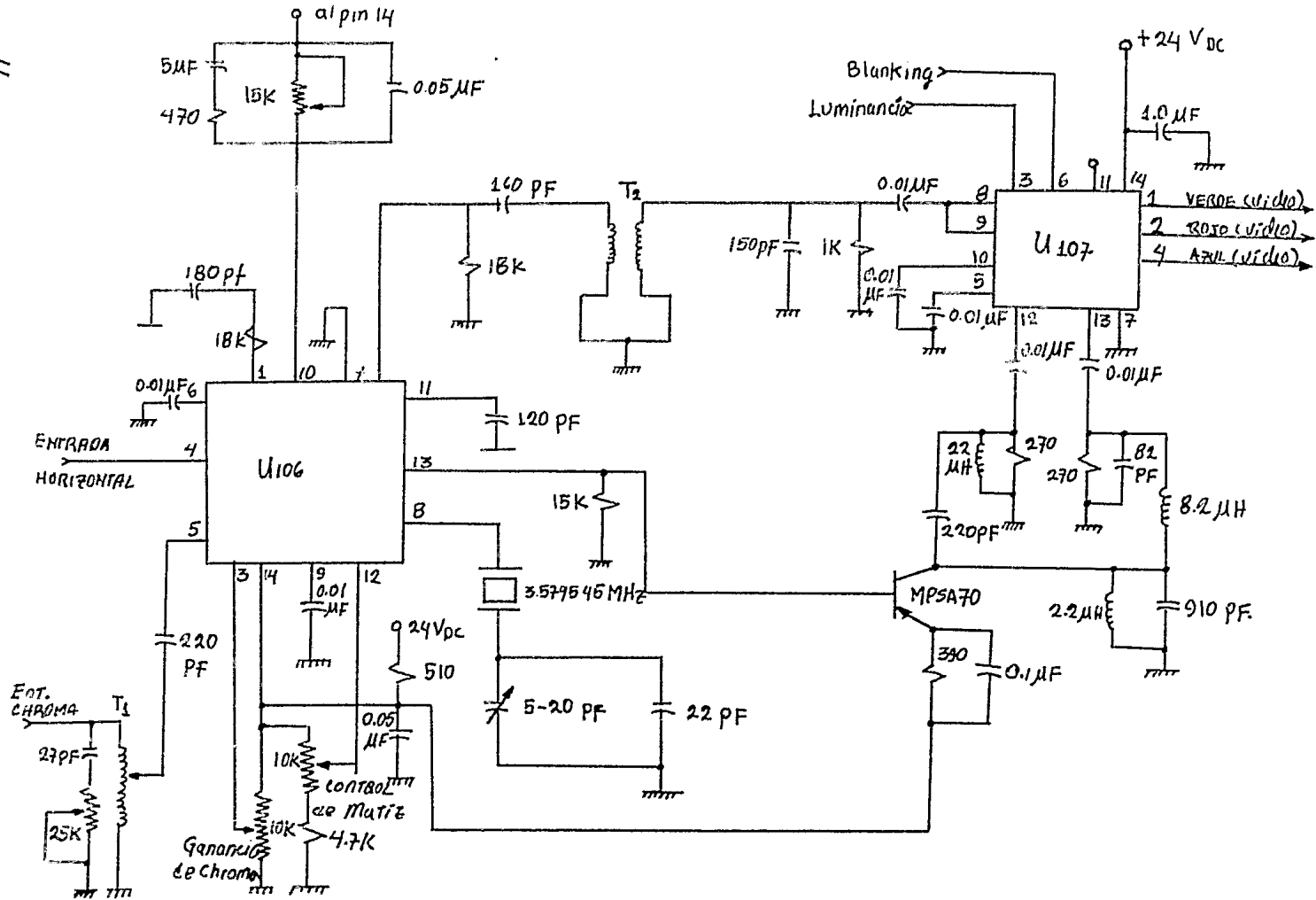


Sinc. =  
Compuesta.  
video (rojo)  
al monitor de T.V.

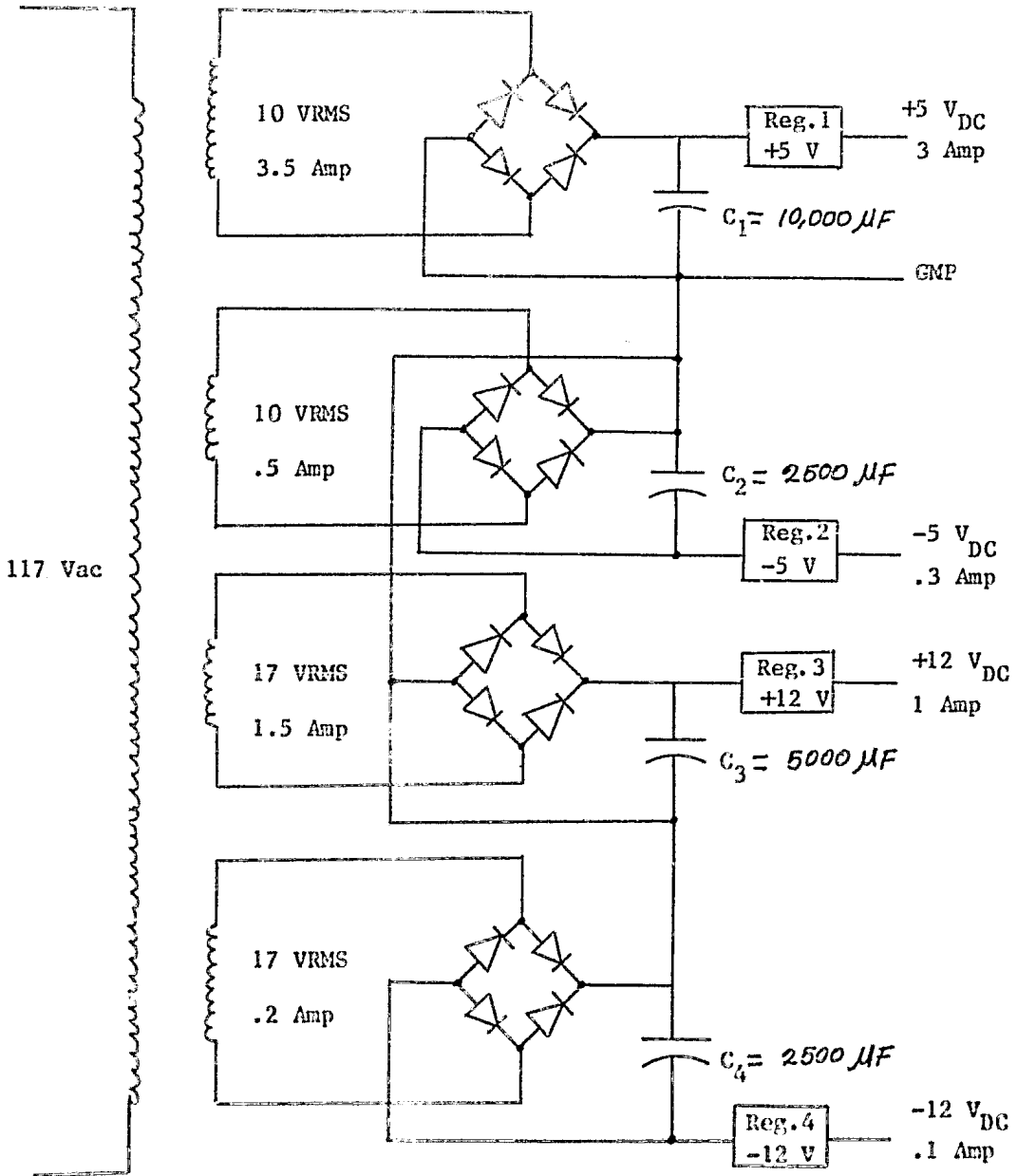
video (Verde)  
al monitor de T.V.

azul  
al monitor de T.V.

Convertidores A/D y D/A	14
Sistema en color	b



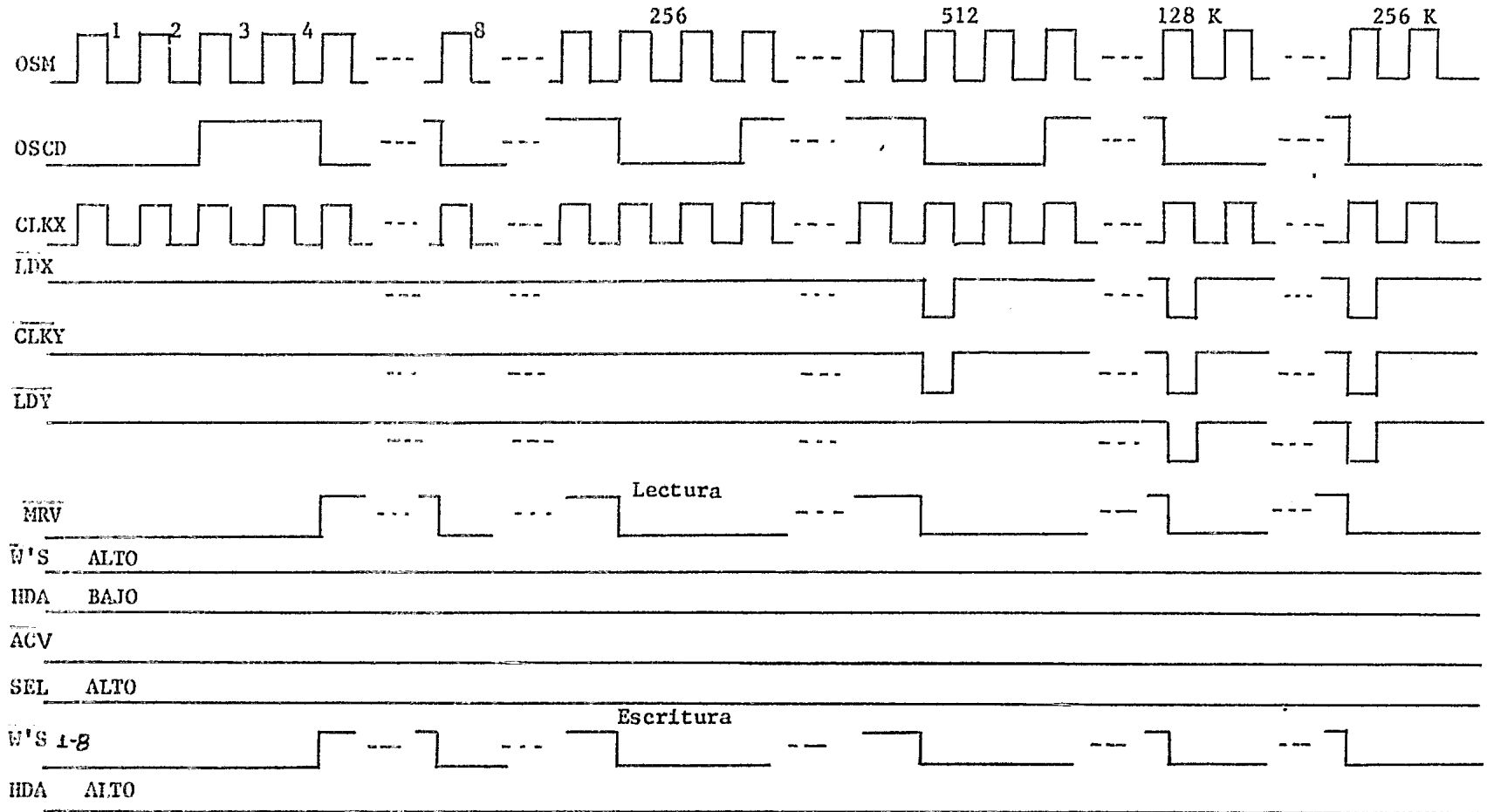
Para el suministro de energía del sistema fue utilizada una fuente de poder múltiple regulada con voltajes de salida de  $[+5, -5, +12 \text{ y } -12]$  volts referidos a una tierra común.



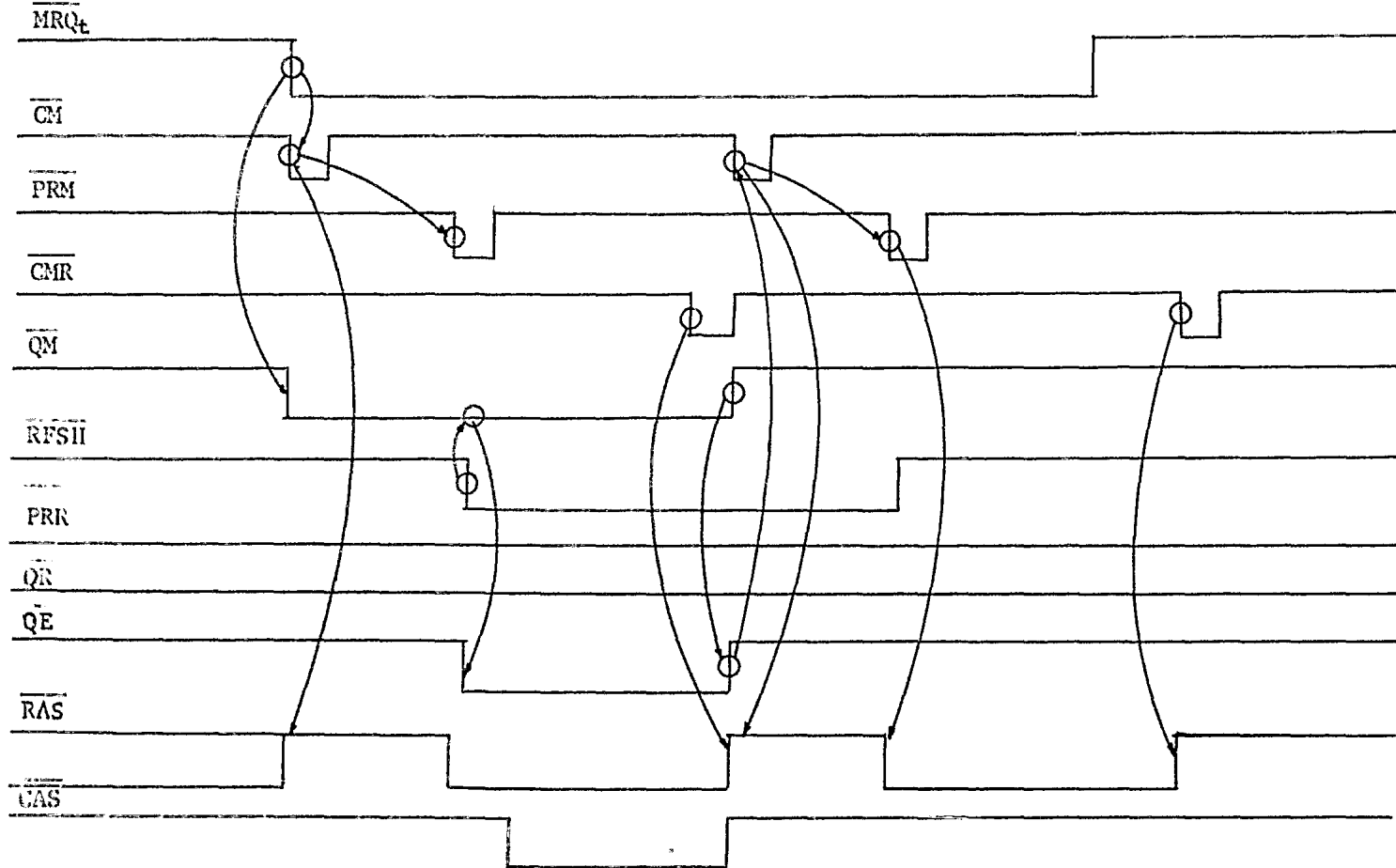


Controlador [escritura de la imagen en memoria lectura  
para despliegue en pantalla]

79

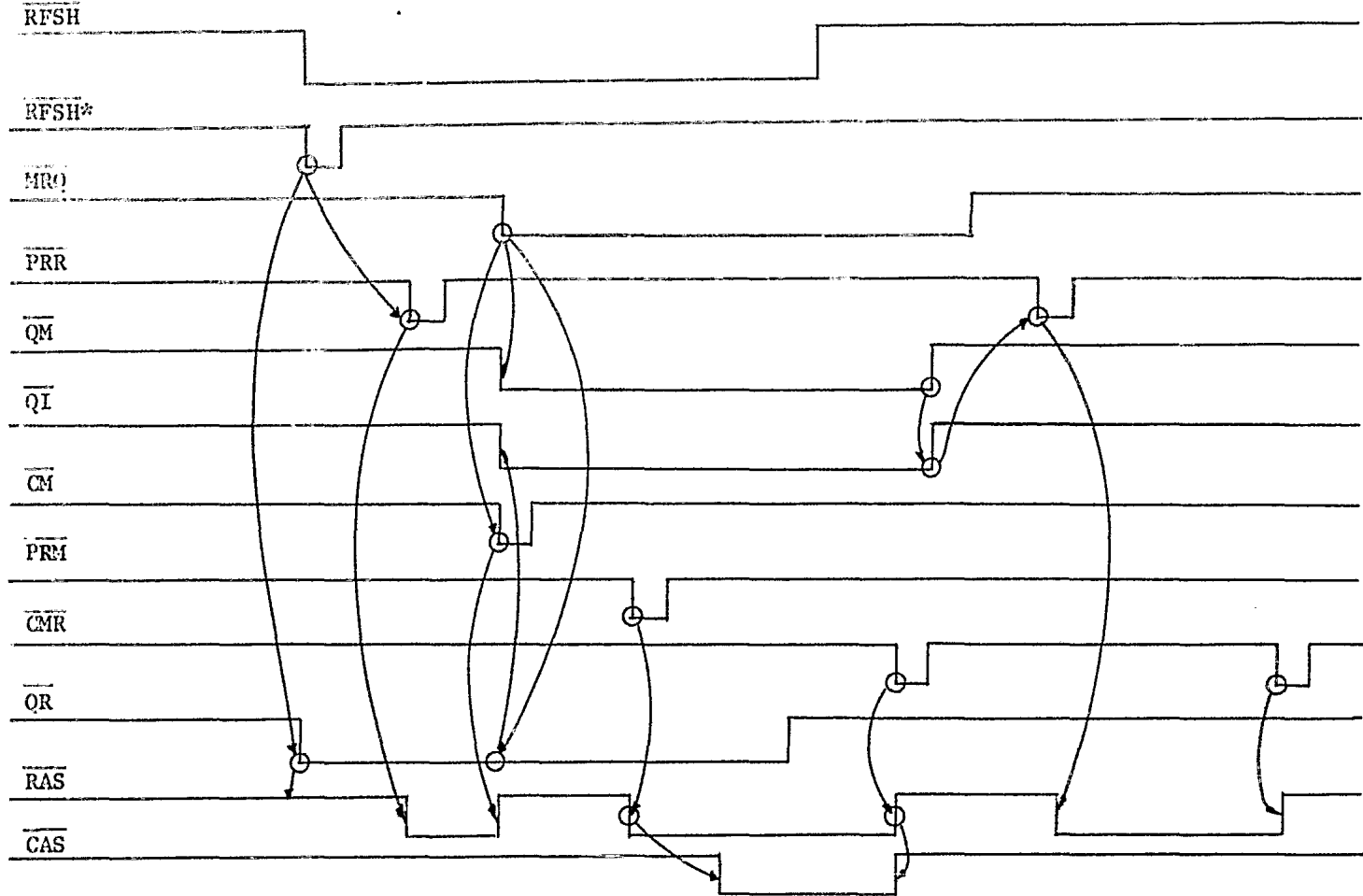


Despliegue 512 x 512  
(señales del controlador al hacer una lectura y una escritura por video).

Arbitro [acceso ( $\overline{\text{MRQ}}_t$ )/refrescamiento ( $\overline{\text{RFSH}}$ )]Ciclo de  $\overline{\text{MRQ}}_t$  con interrupción de  $\overline{\text{RFSH}}$

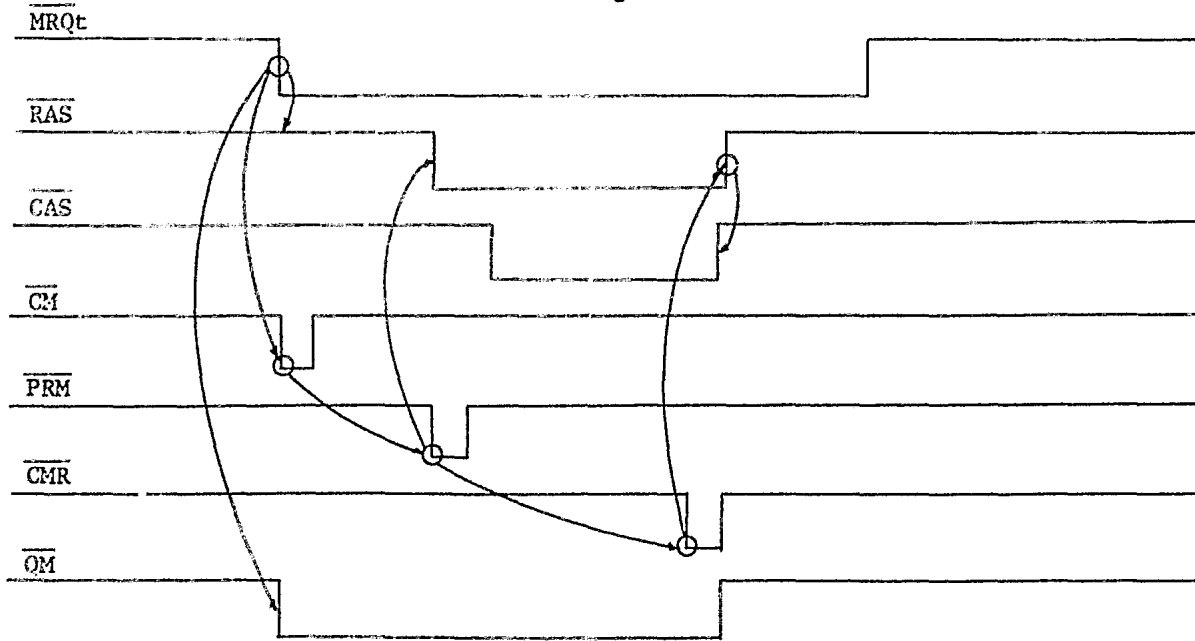
Arbitro  $\overline{MRQ}_t / \overline{RFSH}$

81

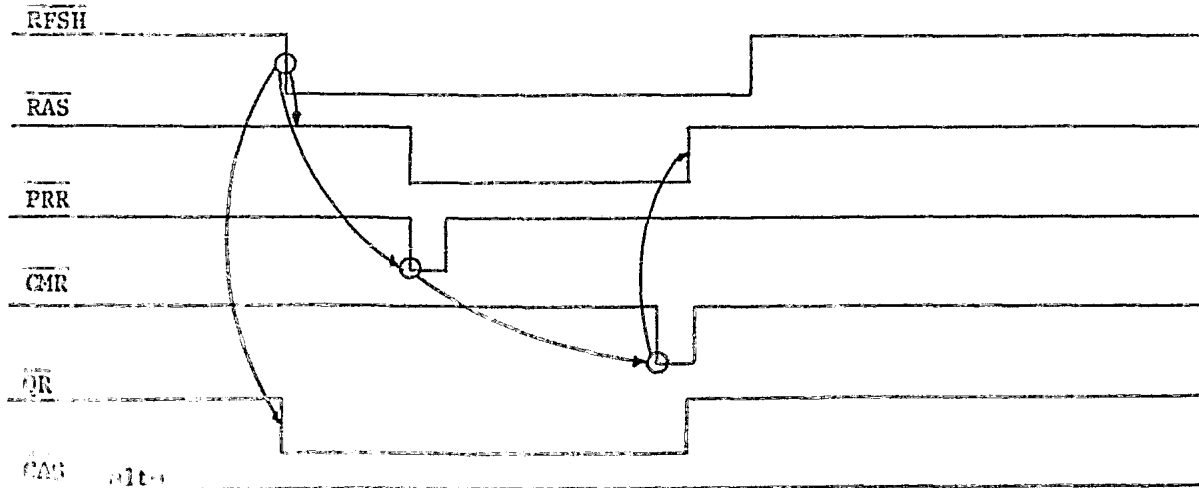


CICLO  $\overline{RFSH}$  con interrupción de  $\overline{MRQ}_t$

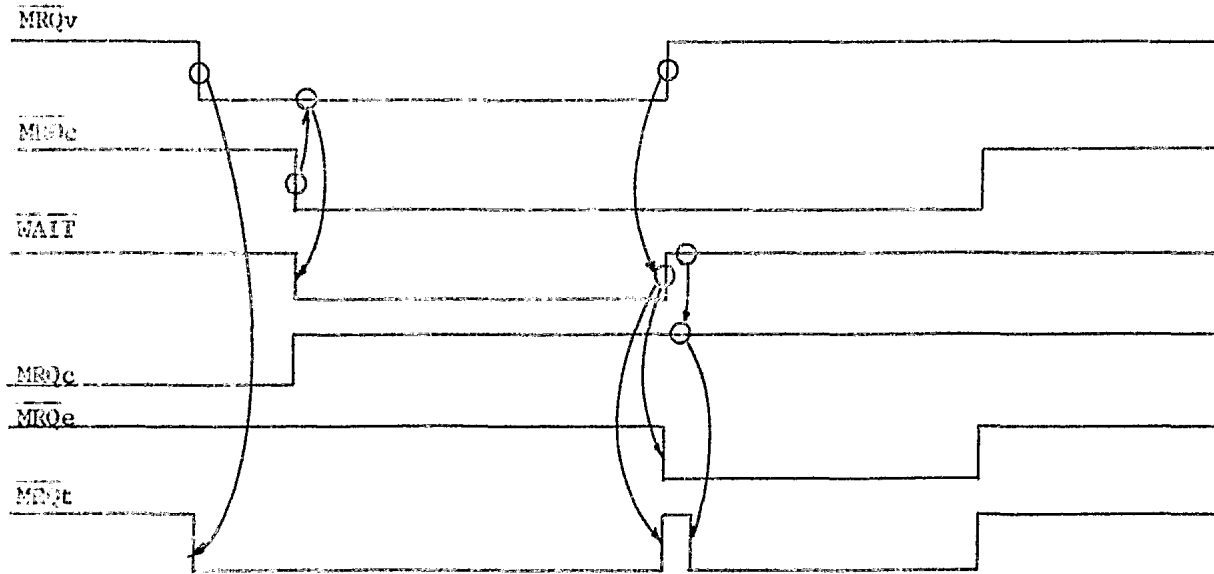
Arbitro MRQ<sub>t</sub>/RFSH



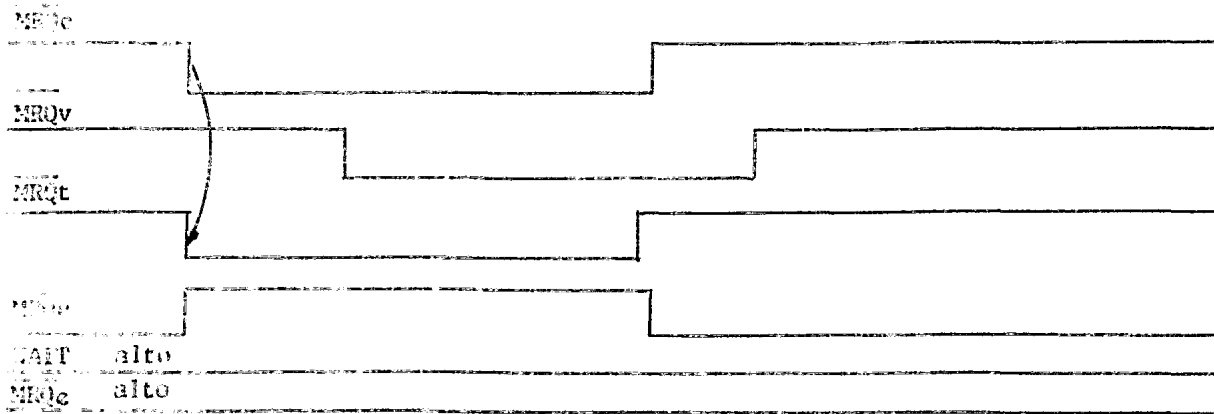
Ciclo de MRQ<sub>t</sub>



Ciclo de RFSH



Ciclo de video ( $\overline{MRQv}$ ) con interrupción de la microcomputadora ( $\overline{MRQc}$ )



Ciclo de acceso por microcomputadora con interrupción de video.

Component e	Unidad
7400	U <sub>3</sub> , 61, 86, 91
74LS04	U <sub>1</sub> , 20, 62, 63, 65, 74, 100, 101, 102
7408	U <sub>18</sub> , 19, 21, 57, 66
7410	U <sub>75</sub>
74LS32	U <sub>16</sub> , 17, 22, 56, 87
7474	U <sub>2</sub> , 4, 12, 58, 67.
74LS123	U <sub>11</sub> , 15, 59, 60, 64, 77
74LS138	U <sub>10</sub> , 27
74LS151	U <sub>42</sub> , 43, 44, 45, 46, 47
74154	U <sub>76</sub> , U <sub>28</sub>
74LS157	U <sub>23</sub> , 24, 25, 26, 68, 69, 70, 71
74LS163	U <sub>7</sub> , 8, 9, 13, 14, 72, 73
74LS164	U <sub>30</sub> , 31, 32, 33, 34, 35
74LS193	U <sub>5</sub>
74LS244	U <sub>88</sub> , 89, 90
74LS245	U <sub>48</sub> , 49, 50, 51, 52, 53, 54, 55
74LS374	U <sub>82</sub> , 83, 84, 85, 78, 79, 80, 81, 36, 37, 38, 39, 40, 41
MMS320	U <sub>6</sub>
LM311	U <sub>92</sub> , 93, 94, 95, 96, 97, 98, 99
74LS148	U <sub>103</sub> , 104, 105
MCI348P	U <sub>106</sub>
MCI326	U <sub>107</sub>

## DESCRIPCION DE LAS SEÑALES

## CONTROLADOR

- OSCM.- Oscilador maestro, único reloj con el que opera el sistema.
- OSCD.- (Oscilador maestro dividido entre cuatro) señala que da la frecuencia a la cual opera el C.I. que genera las señales de sincronía horizontal y vertical.
- $\overline{\text{LDX}}$ .- (Señal de sincronía horizontal), cuando se activa indica (activa baja) que se van a comenzar a generar las direcciones para una línea horizontal de la pantalla.
- CLKY.- (señal de sincronía horizontal invertida), cuando se activa (activa alta) incrementa los contadores que dan las direcciones de las líneas horizontales en la pantalla.
- $\overline{\text{LDY}}$ .- (Señal de sincronía vertical), cuando se activa inicializa (activa baja) a los contadores 'Y' e indica que se van a comenzar a generar las direcciones del siguiente barrido.
- $\overline{\text{IND}}$ .- (Indice) cuando se activa indica que ya se guardó una imagen (activa baja) completa en la memoria de video ó que ya se trazó el campo par y el impar en la pantalla.
- $\overline{\text{ACV}}$ .- (abre ó cierra la ventana) Cuando se activa indica que la (activa baja) ventana esta abierta (la microcomputadora ya puede acceder la memoria de video).
- $\overline{\text{SEL}}$ .- (Selección) Señal que indica el modo de operación del sistema, (activa baja) video ó acceso por medio de la microcomputadora.

- $\overline{\text{MRQV}}$ .- Señal de petición de acceso por video (para escribir por la cámara de televisión ó para desplegar la imagen en el monitor de televisión).  
(activa baja)
- $\overline{\text{MRQC}}$ .- Señal de petición de acceso por la microcomputadora  
(activa baja)
- $\overline{\text{MRQt}}$ .- Señal ya arbitrada puede ser una petición de acceso a memoria por el CPU ó por video.  
(activa baja)
- $\overline{\text{WAIT}}$ .- Cuando se activa, indica que en el momento en que se hizo una petición por la microcomputadora se estaba atendiendo una petición de video, por lo cual, la microcomputadora se debe esperar a que se termine de atender la petición de video para que pueda acceder la memoria.  
(activa baja)
- HDA Cuando se activa indica que se va a escribir una imagen desde la cámara de televisión.  
(activa alta)
- OS8.- Señal que da la frecuencia de peticiones de acceso por video.
- $\overline{\text{ENB}}'$ s.- Habilitan el bloque de memoria que se puede leer ó escribir seleccionado por la microcomputadora.  
(activa baja)
- $\overline{\text{RD}}$ .- Señal de control de la microcomputadora indicando que va a leer a la memoria de video.  
(activa baja)
- $\overline{\text{WR}}$ .- Señal de control de la microcomputadora indicando que va a escribir a la memoria de video.  
(activa baja)
- As1-As3.- Líneas menos significantes de los contadores en "x" que seleccionan entre 8 posibles palabras de 6 bits que están disponibles al hacer válida una dirección para despliegue.



- AM0-AM5.- Direcciones menos significantes para despliegue en pantalla ó para escritura de la cámara de televisión a la memoria, generadas por los contadores en "x", estas direcciones se multiplexan con las direcciones de la microcomputadora.
- AM6-AM12.- Direcciones más significantes para video generadas por los contadores en "y", estas direcciones se multiplexan con las direcciones de la microcomputadora.
- Ac0-Ac2.- Líneas de direcciones de la microcomputadora menos significantes que seleccionan 1 de 8 posibles bloques de la memoria de video.
- Ac3-Ac11.- Líneas de dirección de la microcomputadora para acceder la memoria, éstas se multiplexan con las direcciones de video.
- Ap0-Ap5. Líneas de dirección obtenidas de un puerto de entrada salida para acceder por medio de la microcomputadora a la memoria de video (pueden seleccionar 64 segmentos de memoria de 4K x 6 bits).
- MA0-MA13 Direcciones ya multiplexadas que van a la memoria de video para acceso por medio de la microcomputadora ó por video.
- AM14.- Línea de dirección más significativa generada a través de la señal de sincronía vertical para indicar que va a comenzar el siguiente barrido.
- Acl2-Acl5.- Líneas de dirección más significantes de la microcomputadora que posicionan la ventana en 16 posibles lugares de su espacio de memoria.

## ARBITRO DE MEMORIA

- $\overline{\text{RFSH}}$ .- Señal de petición de refrescamiento a la memoria, se activa (activa baja) siempre y cuando no se esté atendiendo  $\overline{\text{MRQ}}$ .
- $\overline{\text{RAS}}$ .- Pulso de direcciones de renglón. (activa baja)
- $\overline{\text{CAS}}$ .- Pulso de direcciones de columna. (activa baja)
- $\overline{\text{REC}}$ .- Pulso que genera los 120 nseg. en que la señal de  $\overline{\text{RAS}}$  debe (activa baja) permanecer en alto antes de activarse (tiempo de recobre).
- $\overline{\text{PRM}}$  Al activarse genera los 200 nseg. en que  $\overline{\text{RAS}}$  debe de perma- (activa baja) necer activa cuando se realiza un acceso.
- $\overline{\text{CMR}}$ .- Señal que indica cuando ya se terminó un acceso a memoria (activa baja) (un ciclo de lectura ó escritura).
- $\overline{\text{QM}}$ .- Señal que al activarse indica que una petición de  $\overline{\text{MRQ}}$  se (activa baja) está atendiendo.
- $\overline{\text{PRR}}$ .- Cuando se activa indica el comienzo del tiempo en que  $\overline{\text{RAS}}$  (activa baja) debe permanecer baja.
- $\overline{\text{QI}}$ .- Señal que al activarse, indica que se encontraba en progreso (activa baja) un ciclo de  $\overline{\text{RFSH}}$  y que se interrumpió por que en ese momento se efectuó una petición de  $\overline{\text{MRQ}}$ , esta señal permite acabar el ciclo de  $\overline{\text{RFSH}}$  que se interrumpió.
- $\overline{\text{QR}}$ .- Señal que da la duración del ciclo de  $\overline{\text{RFSH}}$ . (activa baja)
- $\overline{\text{QE}}$ .- Señal de condición, cuando se activa indica que se estaba (activa baja) atendiendo a  $\overline{\text{MRQ}}$  y en ese momento se hizo una petición de  $\overline{\text{RFSH}}$  permite que cuando ya se terminó de atender a  $\overline{\text{MRQ}}$  atienda al  $\overline{\text{RFSH}}$ .

- $\overline{\text{SELA.}}$ -  
(activa baja) Señal que controla el multiplexaje de las direcciones de renglón y las direcciones de columna.
- $\overline{\text{SELREF.}}$ -  
(activa baja) Señal que controla el multiplexaje de las direcciones de [microcomp./VIDEO] con las direcciones de refresh.
- $\overline{\text{W1-W8.}}$ -  
(activa baja) Señales de escritura, cuando se escribe por la cámara de televisión las ocho se activan simultáneamente, si es la microcomputadora una a una se van activando según el sector de memoria que se haya seleccionado.
- $\overline{\text{OE1-OE4.}}$ -  
(activa baja) Habilitan los latches de salida de la memoria según el segmento de memoria que se esté accedando, si sólo se están efectuando lecturas.
- $\overline{\text{CAP.}}$ -  
(activa baja) Señal que con la transición positiva pasa los datos, de la salida de la memoria a la salida de los latches.

Apéndice B. MEJORAS DEL SISTEMA.

B.1 Implementación del zoom electrónico.- El zoom permite ampliar detalles de la imagen adquirida, presentandola en el monitor de televisión como se muestra en la figura B-1. En ésta se ve como la imagen es partida en cuatro partes (zoom de cuatro cuadrantes) de tal forma que sólo una de estas partes se despliegue en toda la pantalla.

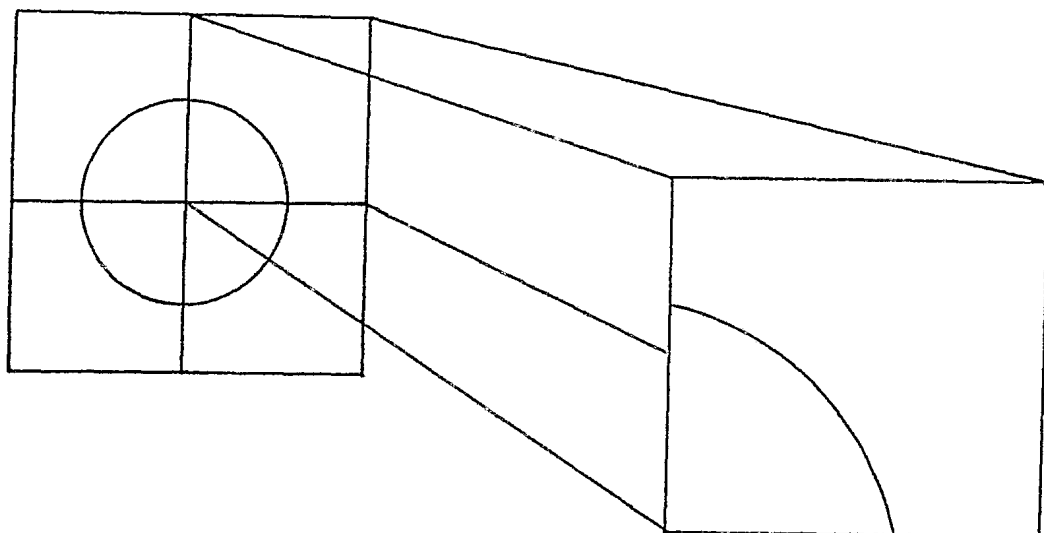


FIGURA B-1 ZOOM

Esta modificación no requiere ningún incremento significativo en la circuitería de control, permaneciendo la cantidad de memoria igual que en el despliegue normal, ya que la parte de la imagen que se va a ampliar, se presenta con la misma información que tenía antes de aplicar el zoom. De aquí que esta parte de la imagen desplegada en toda la

pantalla, se vea con menos resolución que una imagen en despliegue normal (la resolución baja de 512 x 512 píxeles modo normal a 256 x 256 píxeles).

Esta implementación consiste en repetir cada línea horizontal dos veces y explorar en cada línea horizontal 256 píxeles en vez de los 512 del despliegue normal.

La secuencia en que se trazan las líneas de la imagen del primer barrido en este modo, es el siguiente:

- Se traza la primer línea del campo impar.
- En el momento que se termina de explorar la primer línea horizontal impar, se cambian las direcciones de exploración de memoria (las cuales estaban apuntando al campo impar), para que exploren ahora el área de memoria en donde se encuentra la información de la primer línea del campo par del cuadrante que se quiere desplegar en la pantalla, quedando la primer línea del campo par abajo de la primer línea del campo impar, notar que en este modo la secuencia de trazo de las líneas del primer barrido es de una línea impar y una par (figura B-2a) a diferencia del despliegue normal, en donde, en el trazo del primer barrido sólo se trazan las líneas del campo impar, mientras que en el segundo, se trazan las líneas del campo par, para completar el entrelazado. En el momento en que se termina de explorar la primer línea del campo impar y par, se cambian nuevamente las direcciones de exploración a que apunten al campo impar a la vez que se incrementan para que las siguientes líneas que se exploren del campo impar y par sean la número dos. Esta secuencia se repite hasta completar el primer barrido en la pantalla.

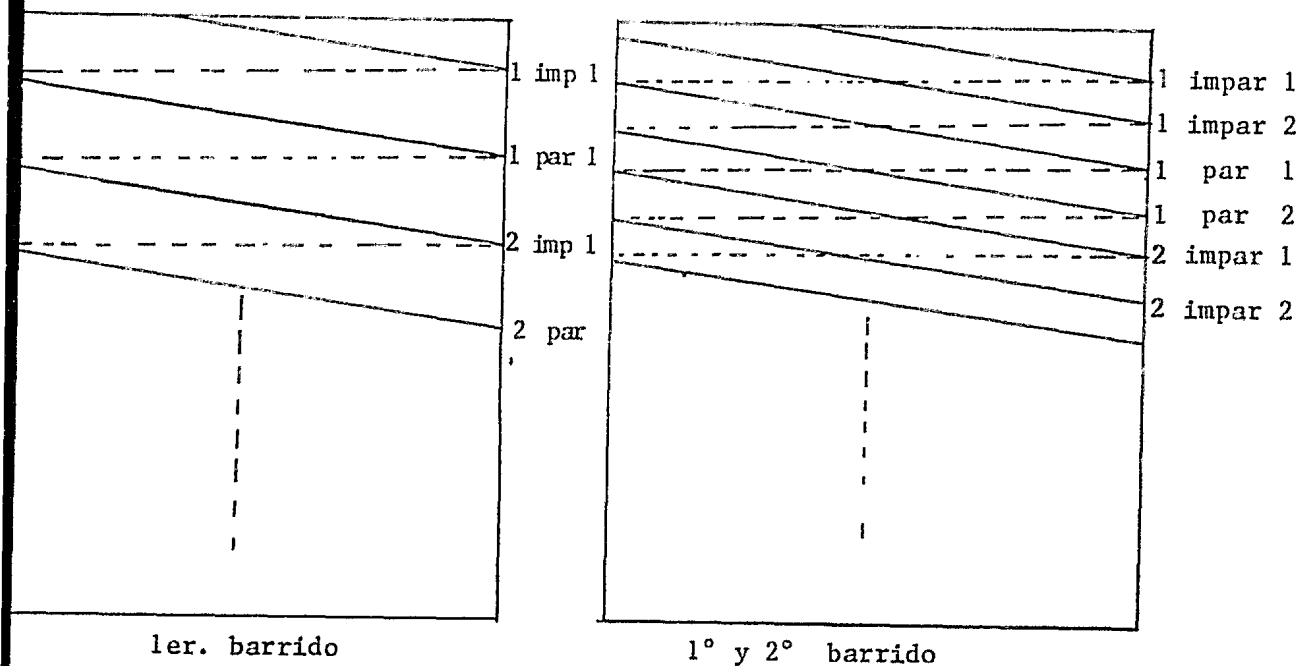


FIGURA B-2a, 2b. Trazado de las líneas en zoom.

Para el trazo del siguiente barrido para completar el entrelazado, las líneas horizontales se trazan teniendo la misma información que las del primer barrido, solo que éstas quedan abajo de las anteriores ó sea que la primer línea del campo impar del segundo barrido, queda abajo de la primer línea impar del primer barrido, la primer línea del campo par del segundo barrido queda abajo de la primera línea del campo par del primer barrido y así sucesivamente hasta completar el entrelazado de esta parte de imagen (figura B-2b).

Resulta evidente que la generación de direcciones en modo normal y en modo zoom son diferentes; mientras que en el primero de estos modos se deben generar direcciones para explorar toda la memoria que contiene la imagen completa, en el segundo solo se explora la cuarta parte de la memoria.

Para la generación de direcciones en modo zoom ésta se da a través de los mismos contadores que se usan para el modo normal, solo que las frecuencias de los relojes que comandan a los contadores 'X', a los contadores 'Y' y el contador de entrelazado son diferentes de aquí que la implementación solo consista en seleccionar las frecuencias entre un modo y otro. La forma en que se operan los contadores para modo zoom es la siguiente:

- La frecuencia de entrada para los contadores 'X' es de 4 MHz (la mitad de la frecuencia del modo normal), de tal forma que sólo se generen 256 direcciones antes de que se presenten la señal de sincronía horizontal (H), esta señal inicializa los contadores en el momento en que éstos llegan a la cuenta de 256, a la vez que indica que van a comenzar a generarse las direcciones de la siguiente línea horizontal (figura B-3).
- La señal de sincronía horizontal (H) dividida entre dos funge como reloj de los contadores 'Y' (la mitad de la frecuencia que estos tenían en modo normal), así antes de que estos se incrementen, los contadores 'X' alcanzan dos veces la cuenta de 256. Cuando los contadores 'Y' alcanzan la cuenta de 128 se inicializan con la señal de sincronía vertical, esta señal a la vez indica que van a comenzar a generarse las direcciones del siguiente barrido para completar el entrelazado.

- La señal de sincronía horizontal (V) funge como reloj del contador de entrelazado (solo es una línea de dirección la que se obtiene de este contador), así cada que se comienzan a generar las direcciones de una línea horizontal, también se cambia el campo.

Para el trazo del siguiente barrido para completar el entrelazado, los contadores repiten las mismas direcciones de exploración que se generaron durante el trazo del primer barrido ó sea que el área de memoria que se accesa en el primer barrido, es igual al área de memoria que se accesa en el segundo, solo que al mapear la información a la pantalla, las líneas horizontales que se trazaron, quedan en una posición diferente a las líneas trazadas durante el primer barrido, de tal forma que se realice el entrelazado en la pantalla.

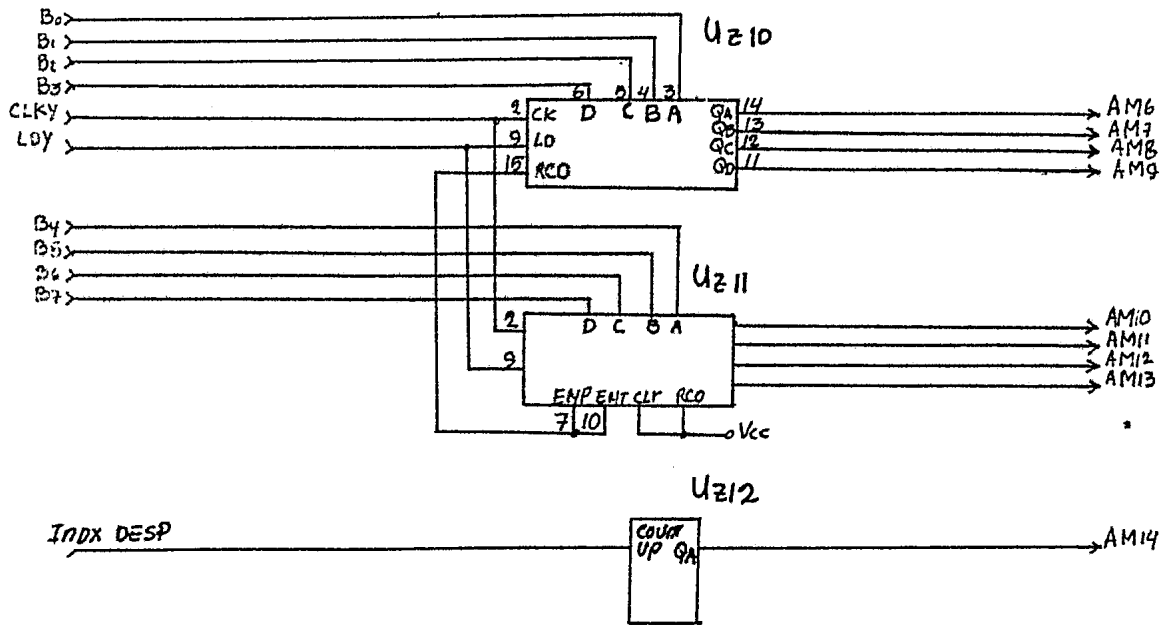
Para realizar el zoom en cualquiera de los cuatro cuadrantes, este se realiza dando las coordenadas de inicio de cada uno de ellos, a través de un puerto de entrada/salida (Z80-PIO) el cual es programado por la microcomputadora (figura B-3), así por ejemplo, si se quiere desplegar el primer cuadrante las coordenadas que se dan para que los contadores en 'X' y 'Y' comiencen a generar direcciones son:  $X = 0$  y  $Y = 0$ ; si se desea desplegar el segundo cuadrante las coordenadas que se dan para los contadores 'X' es de 256, mientras que para los contadores 'Y' es de cero, ó sea que los contadores 'X' comienzan a contar a partir de la cuenta de 256 llegando a la cuenta de 512, mientras que los contadores en 'Y' comienzan a partir de cero y llegan a la cuenta de 128.



FIGURA B-3. Generador de Direcciones Zoom.

B.2 Los diagramas lógico y de tiempo que se muestran en seguida, contienen las modificaciones que se le hicieron al sistema, quedando en la misma forma el resto del sistema, como se presentó para el despliegue normal.





- |               |                |
|---------------|----------------|
| U21 - 74LS04  | U27 - 74LS163  |
| U22 - 74LS74  | U28 - 74LS163  |
| U23 - 74LS74  | U29 - 74LS163  |
| U24 - 74LS157 | U210 - 74LS163 |
| U25 - MM5320  | U211 - 74LS163 |
| U26 - 280 P10 | U212 - 74LS143 |

ZOOM

## Apéndice C.

## C.1 COSTO DEL SISTEMA

A continuación se da el costo del sistema en lo que respecta a los componentes que se utilizaron:

Componente	Descripción	Precio unitario (dólares)	Cantidad	Total: (dólares)
7400	C.I. TTL 4 comp. NAND 2 ent.	.2	4	.8
74LS04	C.I. TTL 6 inversores	.35	9	3.15
7403	C.I. TTL 4 comp. AND 2 ent.	.29	5	1.45
7410	C.I. TTL 3 Comp. NAND 3 ent.	.25	1	.25
74LS32	C.I. TTL 4 comp. OR 2 ent.	.35	5	1.75
7474	C.I. TTL 2 FLIP-FLOP tipo D	.35	5	1.75
74LS123	C.I. TTL 2 monoestables	1.25	6	7.5
74LS138	C.I. TTL Multiplexor 3 ent. - 8 sal.	.89	2	1.78
74LS151	C.I. TTL selector de datos. 1 de 8	.89	6	5.34
74154	C.I. TTL Decodificador 4 a 16	1.75	2	3.5
74LS157	C.I. TTL Multiplexor 2 a 1	.89	8	7.12
74LS163	C.I. TTL Contador 4 bits síncrono	1.15	7	8.05
74LS164	C.I. TTL Registro de corrimiento 8 bits	1.15	6	6.9
74LS193	C.I. TTL Contador doble reloj	1.15	1	1.15
74LS244	C.I. TTL 8 buffer	1.49	3	4.47

Componente:	Descripción:	Precio Unitario (Dólares)	Cantidad	Total: (Dólares)
74LS245	C.I. TTL 8 trancivers	2.95	8	23.6
74LS374	C.I.TTL 8 Flip-flop tipo D	1.95	14	27.3
MM5320	Generador de sincronía	9.95	1	9.95
LM311	Comparador A-D 6 bits	.6	9	5.4
Z80-P10	Puerto de Ent./salida	6.0	1	6.0
4116(300)	Memoria RAM dinámica	1.75	96	168.0
7805T	Regulador de Voltaje (+5V)	.79	6	4.74
7405T	Regulador de voltaje (-5V)	.89	2	1.78
7812T	Regulador de voltaje (+12V)	.79	2	1.58
ZDS/125	Micro sistema de de- sarrollo	7000.0	1	7000.0
FP-10	Cámara de T.V. color	600.0	1	600.0
	Monitor de T.V.	120.0	1	120.0
MC1398P	Círcuito procesador de T.V. a color	2.5	1	2.5
MC1326	Demodulador de CHROMA	3	1	3
COSTO TOTAL:				\$ 8028.81 (U.S.)

## BIBLIOGRAFIA

- 1.- Tubos de Rayos Catódicos  
PHILIPS ELECTRON TUBE DIVISION
- 2.- Electronics Revista  
Abril 7, 1982
- 3.- Mini-Micro Systems Revista  
Diciembre - 1980
- 4.- Manual Técnico Z-80 (1977)
- 5.- Manual Técnico Z-80 PIO (1977)
- 6.- Manual de Hardware del sistema de desarrollo  
ZDS 1/25 ZILOG (1978)
- 7.- Motorola linear integrated circuits (1974)
- 8.- Hitachi IC memories  
Semiconductor Data Book (1980)
- 9.- Grob, Bernard  
Basic Television principles and servicing (1975)
- 10.-Luxemberg and Kwehn  
Display Systems Engineering (1968)
- 11.-Analog-Digital Conversión handbook  
Analog Devices (1977)