



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

**IMPRESOR DE LLAMADAS
TELEFONICAS**

TESIS PROFESIONAL

YUKIHIRO MINAMI KOYAMA

D I R E C T O R

ING. RODOLFO PETERS LAMMEL

MEXICO, D.F.

1984



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

CONTENIDO

INTRODUCCION	1
CAPITULO I	
FUNCIONAMIENTO BASICO DE UNA LINEA TELEFONICA INDIVIDUAL	3
I.1 APARATO TELEFONICO DE BATERIA CENTRAL	4
I.2 BOSQUEJO GENERAL DEL FUNCIONAMIENTO DE UN CUADRO CONMUTADOR AUTOMATICO	8
CAPITULO II	
EXPLICACION Y COMPARACION DE ALGUNAS FAMILIAS DE CIRCUITOS LOGICOS DIGITALES	11
II.1 LOGICA RTL (RESISTOR TRANSISTOR LOGIC)	12
II.2 LOGICA DTL (DIODE TRANSISTOR LOGIC)	19
II.3 LOGICA HTL (HIGH THRESHOLD LOGIC)	22
II.4 LOGICA TTL (TRANSISTOR TRANSISTOR LOGIC)	25

II.5	LOGICA ECL (EMITTER COUPLED LOGIC)	31
II.6	CUADRO COMPARATIVO DE LAS FAMILIAS LOGICAS DIGITALES	34

CAPITULO III

FAMILIAS LOGICAS DIGITALES CON TRANSISTORES DE EFECTO DE CAMPO		
	DE CAMPO	35
III.1	GENERALIDADES DEL TRANSISTOR DE EFECTO DE CAMPO	36
III.2	TRANSISTOR DE EFECTO DE CAMPO DE JUNTURA	37
III.3	TRANSISTOR DE EFECTO DE CAMPO DE SEMICONDUCTOR METALIZADO OXIDADO (MOSFET)	41
III.4	LOGICA MOS	45
III.5	LOGICA CMOS (COMPLEMENTARY-SYMMETRY METAL OXIDE SEMICONDUCTOR)	50

CAPITULO IV

DISEÑO DE LOS CIRCUITOS NECESARIOS PARA LA IMPLEMENTACION DEL "IMPRESOR DE LLAMADAS TELEFONICAS"		61
IV.1	FUNCIONAMIENTO BASICO DEL IMPRESOR DE UNA CALCULADORA DE MESA	63
IV.2	CIRCUITOS DE DETECCION DE LAS PRINCIPALES FUNCIONES TELEFONICAS	67
	IV.2.1 DETECTOR DE NIVEL Y GENERADOR DE PULSOS DE MARCAR	68
	IV.2.2 DETECTOR DE TELEFONO COLGADO	83
	IV.2.3 DETECTOR DE TONO	88
	IV.2.4 DETECTOR DE TONO CONTINUO	95
	IV.2.5 DETECTOR DE TONO DISCONTINUO	96
IV.3	CIRCUITOS DE PROCESAMIENTO DE LOS PULSOS DE MARCAR	99
	IV.3.1 CONTADOR DE PULSOS DE MARCAR	99
	IV.3.2 CIRCUITO DETECTOR DE FINAL DEL TREN DE PULSOS	101

IV.3.3	CIRCUITOS DE COMANDO DE COMPUERTAS Y RESTABLECEDOR DEL CONTADOR	103
IV.4	CIRCUITOS DE DETECCION DE ENLACE Y DE CONTABILIDAD DEL TIEMPO DE LLAMADA	106
IV.4.1	DETECTOR DE ENLACE Y DE TERMINACION DE LLAMADA	106
IV.4.2	HABILITADOR DEL CIRCUITO "MARCAS DE TIEMPO" Y COMANDO DE IMPRESION	109
IV.4.3	CIRCUITO GENERADOR DE "MARCAS DE TIEMPO"	110
IV.4.4	CIRCUITO CONTABILIZADOR DEL TIEMPO DE LLAMADA	113
IV.4.5	CIRCUITO IMPRESOR DEL TIEMPO DE LLAMADA	115
CAPITULO V		
	APLICACION DEL PROCESO DE OPTIMACION EN EL DISEÑO FINAL DEL "IMPRESOR DE LLAMADAS TELEFONICAS"	120
V.1	MODIFICACIONES REALIZADAS A ALGUNOS CIRCUITOS	121
V.2	OPTIMACION DEL NUMERO DE CIRCUITOS INTEGRADOS UTILIZADOS	130
V.3	SELECCION DE UNA NUEVA CALCULADORA DE MESA	134
V.4	DIAGRAMAS ESQUEMATICOS FINALES Y GRAFICAS DE LAS SALIDAS DE LOS CIRCUITOS UTILIZADOS	138
V.5	ALGUNAS CONSIDERACIONES SOBRE EL ARMADO DEL "IMPRESOR DE LLAMADAS TELEFONICAS"	149
	CONCLUSIONES	153
	RECONOCIMIENTO	156
	BIBLIOGRAFIA	157

INTRODUCCION

Una de las necesidades más grandes de la humanidad ha sido siempre la COMUNICACION. A través de los siglos, ésta ha evolucionado para poder realizarse de manera cada vez más rápida y eficiente.

Dentro de los grandes logros alcanzados en este campo está la TELEFONIA, o sea, el arte de transmitir a distancia la palabra hablada por medio de una combinación de dispositivos electrónicos y electromecánicos, que se ha desarrollado desde la investigación relacionada con la construcción del primer receptor con el cual Alexander Graham Bell hizo sus experimentos fundamentales en 1876, hasta los actuales aparatos electrónicos altamente eficientes, complejos equipos centrales automáticos, así como redes de comunicación interurbana y sistemas computarizados de control de líneas.

A pesar de que los principios fundamentales de la TELEFONIA han permanecido virtualmente inalterados, se considera actualmente como un complemento esencial para la inmensa mayoría de las actividades humanas, razón por la cual ha tomado tal incremento y penetrado en tantas otras ramas de la tecnología electrónica, que es casi imposible apreciar sus posibilidades en toda su extensión.

Debido a la demanda cada vez mayor de usuarios de líneas telefónicas, así como del radio de acción alcanzado por éstas, se ha hecho necesario el control cada vez más eficiente y automatizado de dichas líneas.

Este trabajo tiene como principal finalidad, proponer un dispositivo de control de llamadas de una línea individual o "IMPRESOR DE LLAMADAS TELEFONICAS", utilizando elementos electrónicos de fácil adquisición, así como toda la tecnología digital generada hasta mediados de la década de los setentas.

En este "IMPRESOR DE LLAMADAS TELEFONICAS" se han utilizado elementos tales como transistores bipolares de juntura (TBJ), resistencias, capacitores, compuertas elementales digitales (NAND, NOR, AND, NOT o inversor, etcétera) y circuitos integrados de mayor complejidad, como contadores digitales, un circuito de "amarre" de fase o PLL por sus siglas en inglés (Phase-Locked Loop), así como el impresor de una calculadora de mesa.

El "IMPRESOR DE LLAMADAS TELEFONICAS" ha sido diseñado exclusivamente mediante circuitería electrónica o "HARDWARE", sin utilizar el microprocesador y su consiguiente programación digital o "SOFTWARE".

Se ha tenido en consideración durante todo el desarrollo del diseño, el proceso de optimación, tan importante para todos los campos de la ingeniería, de manera de reducir al mínimo el número de elementos utilizados, así como la energía necesaria para su funcionamiento.

Por esta última razón, se han utilizado en su mayoría circuitos integrados de la familia CMOS, los cuales consumen menor potencia en comparación con otras tecnologías de circuitos integrados digitales, tales como las familias TTL, RTL, etcétera.

En algunos casos específicos no ha sido posible la utilización de este tipo de circuitos, por ejemplo, cuando se ha requerido de un voltaje de operación mayor o se ha necesitado alguna función diferente de las proporcionadas por los circuitos CMOS, por lo que se ha recurrido a circuitos discretos con base en transistores bipolares de juntura.

A grandes rasgos, éstos son los principales criterios de diseño del "IMPRESOR DE LLAMADAS TELEFONICAS".

CAPITULO I

FUNCIONAMIENTO BASICO DE UNA LINEA TELEFONICA INDIVIDUAL

El "IMPRESOR DE LLAMADAS TELEFONICAS" será diseñado con base en el sistema telefónico de la Ciudad de México, que se le puede catalogar dentro de los sistemas automáticos de batería central.

Este sistema está compuesto principalmente por los aparatos telefónicos de los abonados, la línea telefónica en sí (conductores eléctricos) y el cuadro conmutador automático (central), compuesto por diversos circuitos como el de alimentación de voltaje o fuente de voltaje, los selectores, los generadores de señales, etcétera.

Se denomina a este sistema de batería central, por la característica de que la fuente de alimentación es común para todos los aparatos telefónicos de los abonados, que están conectados a un cuadro conmutador automático al que se le puede considerar como el centro del sistema.

Existe también el sistema telefónico de batería local, en el que cada aparato telefónico posee su propia fuente de energía.

I.1 APARATO TELEFONICO DE BATERIA CENTRAL

El aparato telefónico de batería central está compuesto básicamente por los siguientes elementos: el microteléfono (I), que comprende tanto al audífono (1) como al micrófono (2), el transformador (3), el disco de marcar (4), el conmutador de horquilla (5), el timbre eléctrico (6), una resistencia (7) y, un capacitor (8).

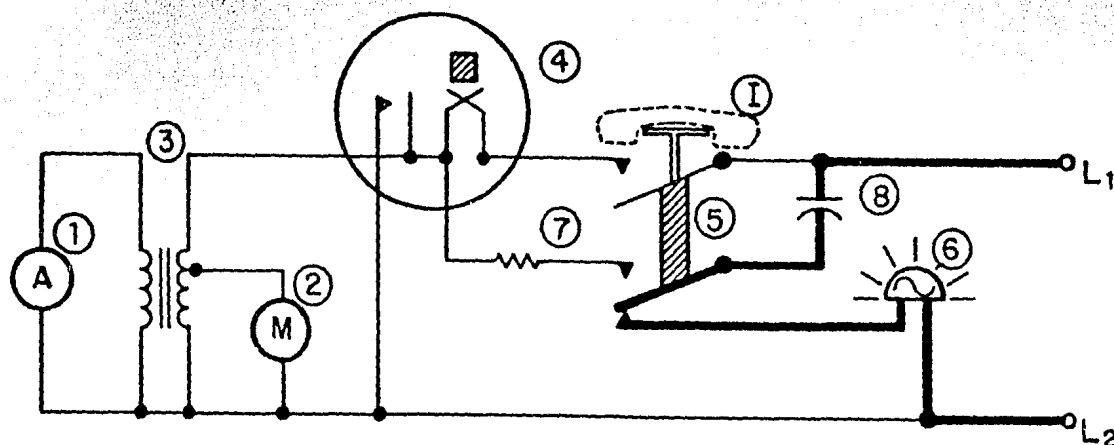


Figura I.1 Diagrama esquemático de un aparato telefónico con el microteléfono colgado.

El diagrama de la figura I.1 representa esquemáticamente al aparato telefónico con el microteléfono puesto en la horquilla o "colgado".

Cuando la línea es excitada por la señal de llamada (corriente alterna), ésta pasa a través del capacitor (8) y el interruptor inferior del conmutador de horquilla (5), accionando al timbre (6) cuyo sonido indica la existencia de una comunicación exterior con el abonado.

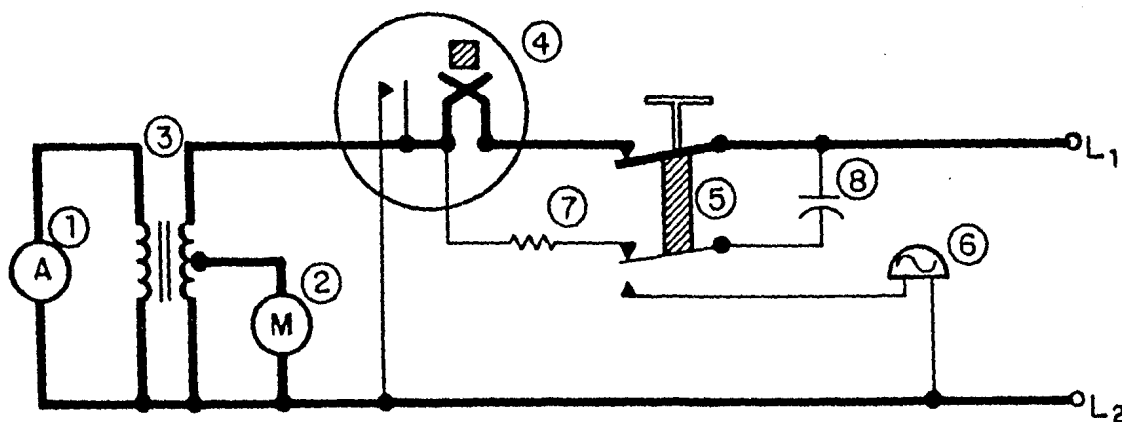


Figura I.2 Diagrama esquemático de un aparato telefónico con el microteléfono descolgado.

Al descolgar el microteléfono (véase figura I.2), el interruptor superior del conmutador de horquilla conecta la línea con el circuito vocal del aparato telefónico, compuesto por el audífono (1), el micrófono (2) y el transformador (3), a través de los contactos del disco de marcar (4); el interruptor inferior del conmutador de horquilla desconecta la línea del timbre.

Durante la conferencia telefónica, el circuito microfónico (2) se alimenta de la corriente continua de la línea. Las corrientes vocales transmitidas por la línea llegan al audífono (1) a través del embobinado secundario del transformador (3).

El circuito vocal está diseñado de tal manera que el audífono sea excitado casi exclusivamente por la corriente vocal de la línea, impidiendo que la corriente microfónica del mismo aparato predomine en la audición. Esto se logra haciendo que la impedancia compuesta por la parte superior del embobinado primario del transformador (véase figura I.3) más la impedancia de la línea, se iguale a la impedancia de la parte inferior del mismo embobinado.

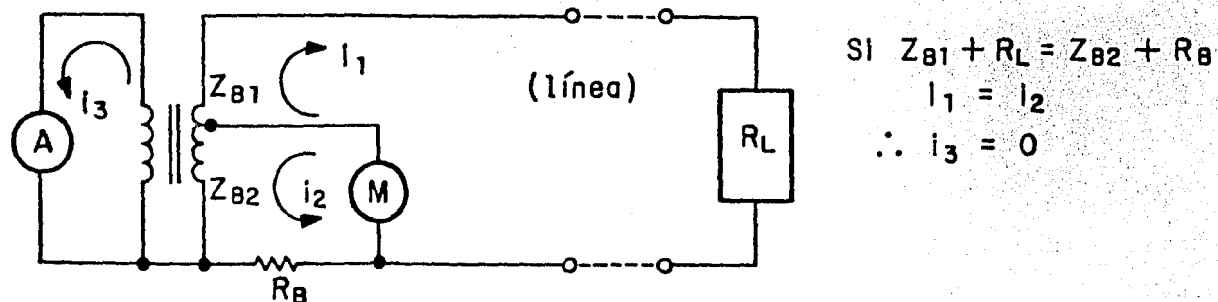


Figura I.3 Diagrama esquemático simplificado, mostrando el principio de funcionamiento del circuito ANTI-LOCAL.

De esta manera, las corrientes i_1 e i_2 son iguales, por lo que la suma algebraica de las corrientes del embobinado primario del transformador es igual a cero. Por lo tanto, la corriente vocal que pasa por el audífono debida a la excitación del mismo usuario, se anula.

Al terminar la conferencia, el abonado cuelga su microteléfono, por lo que el conmutador de horquilla vuelve a su posición de reposo.

Cuando el abonado desea realizar una llamada, descuelga su microteléfono, conectando de esta manera su aparato telefónico con la línea, a

través de los interruptores del conmutador de horquilla (5), como ya se explicó anteriormente.

Para marcar el número del abonado con el que se desea la comunicación, el abonado utiliza el disco de marcar (4).

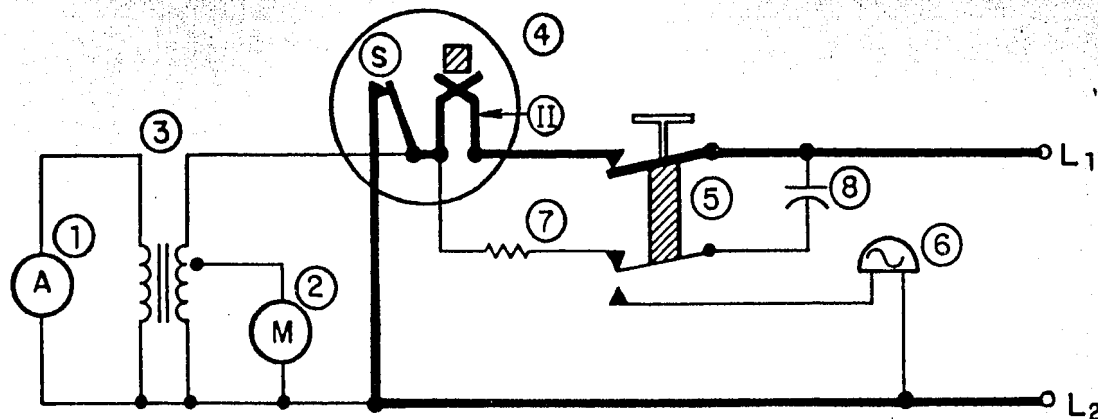


Figura I.4 Diagrama esquemático de un aparato telefónico al iniciar el accionamiento del disco de marcar.

Al comenzar a girar el disco, cierran los contactos del interruptor marcado con S (véase figura I.4), con el cual se cortocircuitan el transformador (3) y el micrófono (2), protegiéndolos de impulsos de corriente producidos durante la generación de los pulsos de marcar.

Al soltar el disco, los contactos del interruptor II abren y cierran un número de veces igual a la cifra marcada en el disco, mediante una rueda de material aislante provista de salientes que penetran entre los contactos del interruptor II.

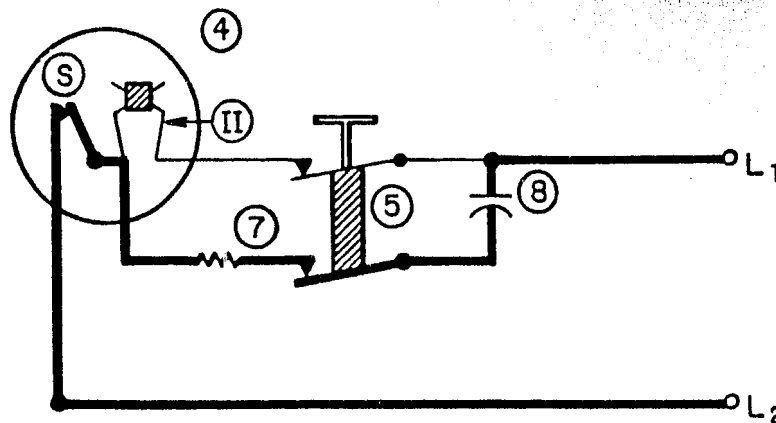


Figura I.5 Diagrama esquemático simplificado de un aparato telefónico durante la generación de pulsos de marcar.

Durante todo el proceso de generación de pulsos, el interruptor S permanece cerrado, abriéndose al llegar el disco a su posición de reposo.

La figura I.5 presenta un diagrama simplificado del circuito, al estar accionando el disco, en el que se omiten todas las partes cortocircuitadas, así como las que quedan afectadas por la generación de los pulsos de marcar.

El corto circuito efectuado por el interruptor S asegura una diferencia máxima de resistencia entre los períodos de cierre y de apertura de los contactos del interruptor II, además de proteger al oído de los choques acústicos causados por la generación de los pulsos, en el audífono.

Como la fuente de alimentación del cuadro conmutador automático se encuentra conectado constantemente a la línea, circulará corriente por ésta al descolgar el microteléfono. Al marcar el número, como resultado del corto circuito la corriente aumentará, siendo interrumpida completamente al abrirse los contactos del interruptor II.

Cada interrupción produce una chispa, que de persistir, causaría corrosión y picaduras a los contactos. Con el fin de suprimir la chispa, un circuito apagador de chispas consistente en una resistencia (7) y un capacitor (8), se conectará entre los contactos del generador de pulsos. De esta manera, se absorbe la energía creadora de la chispa, sofocándola eficazmente.

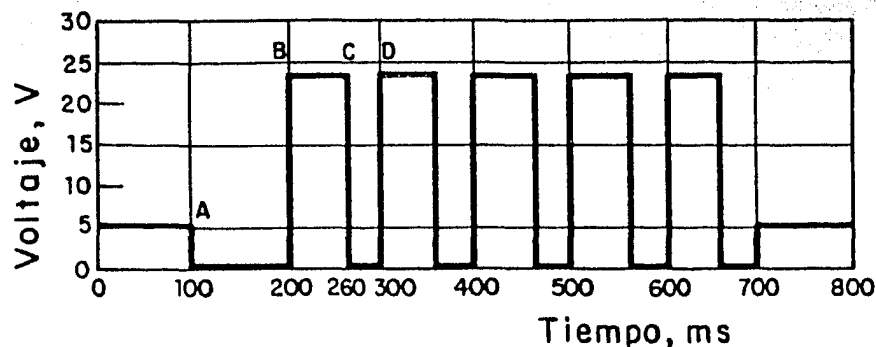


Figura I.6 Gráfica Voltaje-Tiempo durante la generación de los pulsos de marcar.

El diagrama de la figura I.6 muestra las variaciones de voltaje en la línea telefónica durante el periodo de generación de pulsos. En el intervalo previo a la marcación del número (0-A), el voltaje queda en fun-

ción de la resistencia de la línea más la del transformador y la del micrófono.

Al girar el disco de marcar, se cortocircuita la línea, por lo que el voltaje disminuye a cero (A-B). Durante una interrupción, el voltaje crece a su valor máximo por tener la línea abierta (B-C), mientras que en el periodo de cierre que sigue (C-D), el voltaje vuelve a cero.

La frecuencia de generación utilizada en los aparatos de la Ciudad de México, es de diez pulsos por segundo (10 Hz), siendo el ciclo de trabajo del 40%, es decir, que los contactos del interruptor están cerrados durante 40 milisegundos y abiertos 60 milisegundos.

I.2 BOSQUEJO GENERAL DEL FUNCIONAMIENTO DE UN CUADRO CONMUTADOR AUTOMATICO

Un cuadro conmutador automático está compuesto principalmente por los siguientes elementos: la fuente de alimentación, relevadores de línea, buscadores de línea o selectores de línea y, el circuito de conexión, en donde están localizados los principales elementos del sistema telefónico.

El diagrama de bloques de la figura I.7 se utilizará para explicar el principio general de funcionamiento.

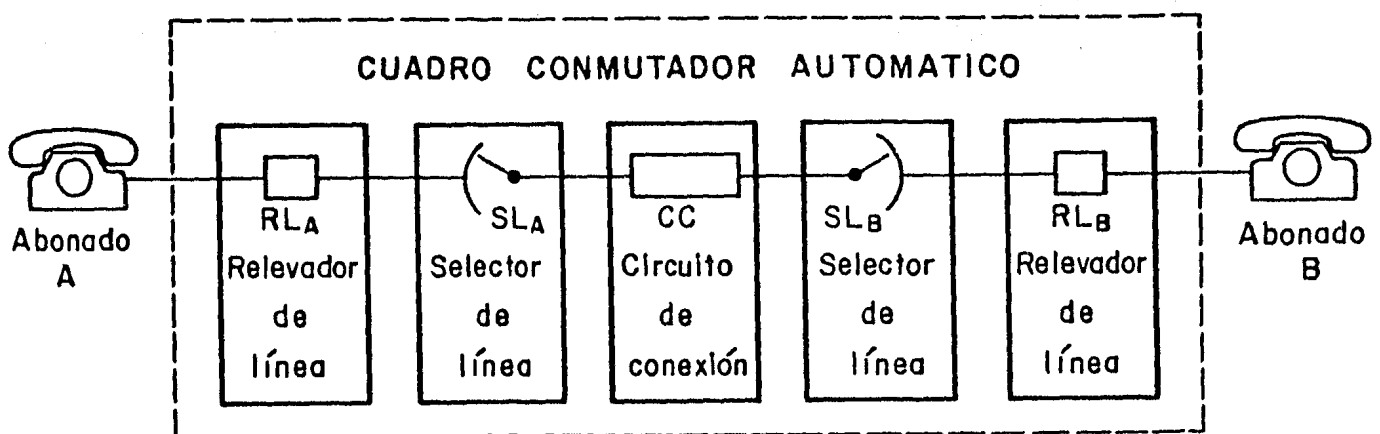


Figura I.7 Diagrama de bloques de un Cuadro Conmutador Automático de Batería Central.

Cuando El abonado "A" descuelga su microteléfono, se cierra el circuito de línea a través de los contactos del conmutador de horquilla de su aparato. El relevador de línea RL_A atrae y cierra un circuito que causa el arranque del selector de línea SL_A , el cual busca la línea del abonado en su campo múltiple. Al entrar el selector en contacto con dicha línea previamente señalada por el relevador de línea RL_A con un potencial positivo, cierra un interruptor asociado con el circuito de conexión CC, parando la búsqueda del selector.

En seguida, el circuito de conexión emite un zumbido —la señal de marcar— al abonado que llama, para advertirle que la central está en condiciones de recibir el número deseado.

Cuando el abonado "A" marca el número requerido, el selector de línea SL_B avanza, colocándose sobre los contactos correspondientes a la línea del abonado deseado.

A continuación se efectúa la prueba de ocupado y, si se verifica que el abonado "B" está libre, el circuito de conexión envía la señal de llamada a éste, junto con el zumbido de llamada al abonado "A". La señal de llamada se emite en forma intermitente y continúa hasta que haya contestado el abonado "B". Al contestar éste último, la señal de llamada se suspende y se establece la comunicación.

En el caso de que al efectuar la prueba de ocupado, ésta haya sido positiva, el circuito de conexión envía al abonado "A" el zumbido de ocupado, para indicarle a este abonado el estado de la línea con la que quiere establecer contacto.

La comunicación se deshace al colgar ambos abonados sus microteléfonos. Los selectores de línea SL_A y SL_B regresan entonces a su posición de reposo.

Los microteléfonos de los abonados quedan alimentados por medio de la fuente de alimentación de la central. Los voltajes utilizados en los sistemas telefónicos de la Ciudad de México, son de 24 y 48 V.

Los zumbidos de llamada, de ocupado y la señal de marcar, tienen una frecuencia de 400 Hz a 600 Hz, con un nivel de voltaje de $4 V_{p-p}$. La señal de marcar es un zumbido continuo, mientras que la señal de llamada tiene un periodo de 5 segundos con un ciclo de trabajo del 15% al 20% y, la señal de ocupado tiene un periodo de 0.8 segundos con un ciclo de trabajo del 50%.

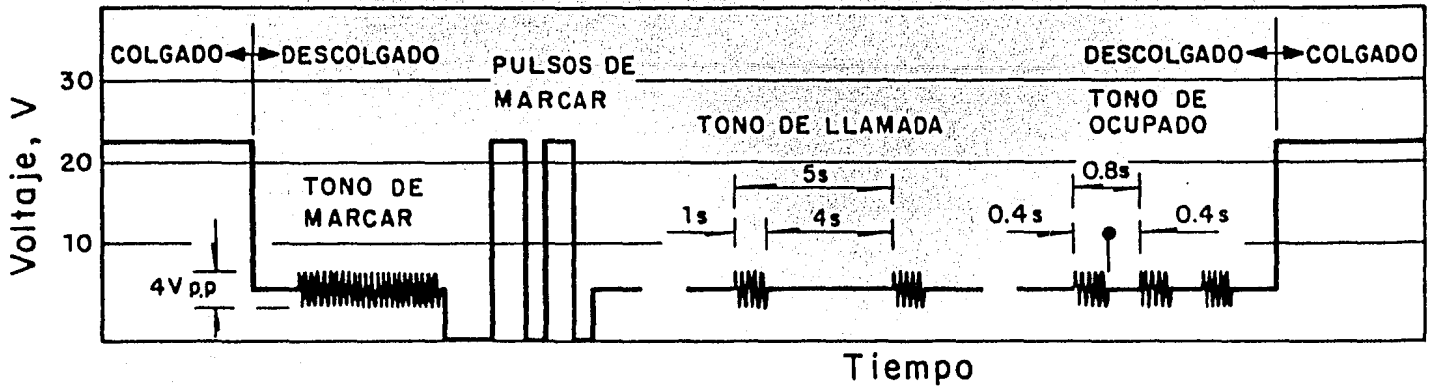


Figura 1.8 Gráfica Voltaje-Tiempo de una línea telefónica individual de 24 V. Se encuentran acotados los valores de interés para el diseño. Los valores de tiempo están fuera de escala.

En la figura I.8 se muestra la gráfica Voltaje-Tiempo de una línea telefónica individual de 24 V. Los valores que están contenidos en esta gráfica tendrán una gran importancia para el diseño del "IMPRESOR DE LLAMADAS TELEFONICAS".

CAPITULO II

EXPLICACION Y COMPARACION DE ALGUNAS FAMILIAS DE CIRCUITOS LOGICOS DIGITALES

El diseño del "IMPRESOR DE LLAMADAS TELEFONICAS" está basado en el procesamiento de datos obtenidos a partir de la línea telefónica individual, de la que se requiere el registro del número marcado y del tiempo que dure la llamada realizada por el abonado.

Actualmente, la forma más adecuada de diseñar cualquier sistema de procesamiento de datos es a través de la tecnología digital, la que utiliza pocas operaciones básicas con las que se pueden desarrollar un gran número de funciones de mayor complejidad, con base en la repetición y combinación múltiple de las primeras.

Estas operaciones básicas son implementadas mediante circuitos electrónicos. Los más comúnmente utilizados en los sistemas digitales son conocidos como circuitos OR, AND, NOT o inversor y FLIP FLOP. Estos son los llamados circuitos lógicos o compuertas digitales.

Los circuitos lógicos pueden diseñarse de múltiples maneras: mediante resistencias y transistores bipolares de juntura, agregando capacitores, con resistencias, diodos y transistores, con transistores de efecto de campo (FET), etcétera. Cada una de estas diferentes formas de diseñar

los circuitos, han dado pié a la creación de las diferentes familias o tecnologías de circuitos lógicos digitales.

A continuación se plantearán los principios de diseño y la comparación entre estas familias, para que, con base en esta información, se pueda elegir para este trabajo la que mejor se adapte a las necesidades requeridas.

II.1 LOGICA RTL (RESISTOR TRANSISTOR LOGIC)

En la implementación de circuitos de esta familia lógica, se utilizan únicamente transistores bipolares de juntura y resistencias. Esta fue la primera familia de circuitos lógicos establecida en el mercado de los circuitos integrados.

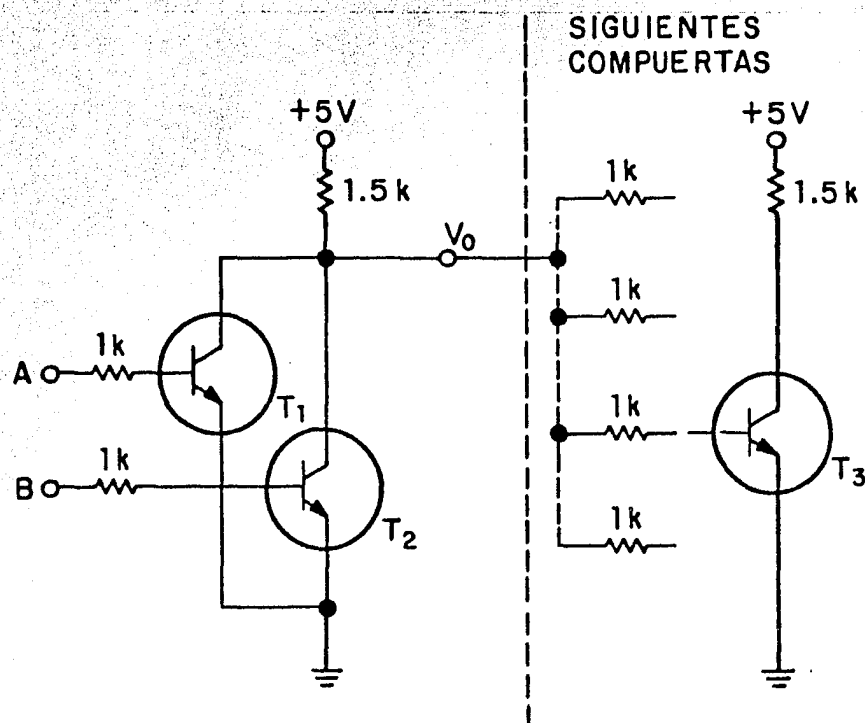


Figura II.1 Circuito básico RTL: compuerta NOR con dos entradas, con abanico de salida de cuatro.

El circuito básico de esta familia está mostrado en la figura II.1, el cual representa una compuerta NOR de dos entradas, A y B, cuya salida está conectada a otras cuatro compuertas con entradas similares.

Si alguna de las entradas es "alta", el transistor correspondiente

se satura y por lo tanto la salida será "baja". El voltaje de salida será igual al voltaje de saturación colector-emisor del transistor, o sea, aproximadamente $V_{CE,sat} = 0.2 \text{ V}$.

En caso de que sus dos entradas sean "bajas", todos los transistores de entrada estarán cortados, por lo que la salida será "alta".

De esta manera, se obtiene la tabla de verdad mostrada en la figura II.2, con lo que se puede apreciar que el circuito propuesto opera efectivamente como una compuerta lógica NOR.

A	B	V_0
0	0	1
0	1	0
1	0	0
1	1	0

Figura II.2 Tabla de verdad de la compuerta NOR.

El voltaje de salida, quedará en función del número de entradas a las que esté conectada la compuerta. En este caso, como el número de entradas es de cuatro, entonces la salida estará cargada con cuatro resistencias de $1 \text{ k}\Omega$ en paralelo. El equivalente de estas cuatro resistencias de $1 \text{ k}\Omega$ será de 250Ω , estando conectadas al potencial de saturación base emisor de los transistores de entrada, o sea, $V_{BE,sat} = 0.8 \text{ V}$.

El circuito equivalente está mostrado en la figura II.3. Bajo estas circunstancias, la corriente que circulará por la malla será:

$$I_o = \frac{V_{CC} - V_{BE,sat}}{R_C + R_{B,eq}} ; I_o = \frac{5 - 0.8}{1.5 + 0.25} ; I_o = 2.4 \text{ mA}$$

Entonces, el voltaje de salida será:

$$V_o = V_{BE,sat} + R_{B,eq} I_o ; V_o = 0.8 + 0.25 \times 2.4 ; V_o = 1.4 \text{ V}$$

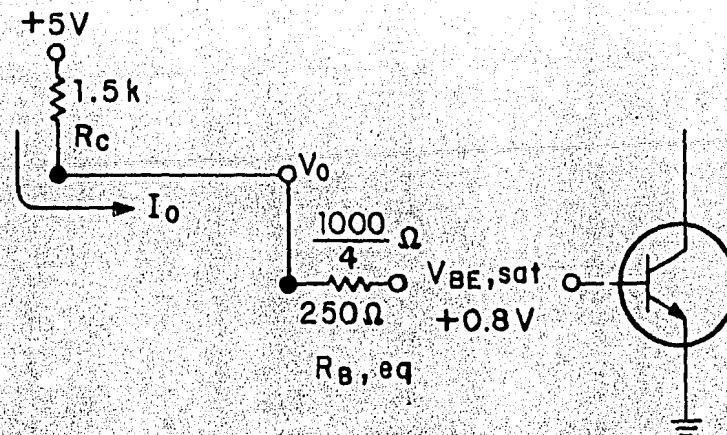


Figura 11.3 Circuito equivalente de la compuerta NOR con salida "alta", cargada con un abanico de salida de cuatro.

Este voltaje debe ser capaz de saturar a los cuatro transistores subsiguientes. La corriente de base en cada uno de ellos será:

$$I_B = \frac{V_O - V_{BE,sat}}{R_B} ; I_B = \frac{1.4 - 0.8}{1} ; I_B = 0.6 \text{ mA}$$

y la corriente de colector será:

$$I_C = \frac{V_{CC} - V_{CE,sat}}{R_C} ; I_C = \frac{5 - 0.2}{1.5} ; I_C = 3.2 \text{ mA}$$

por lo tanto, para que el circuito funcione, la ganancia mínima de los transistores β deberá ser:

$$\beta = \frac{I_C}{I_B} ; \beta = \frac{3.2}{0.6} ; \beta = 5.33$$

Este valor es bastante pequeño que se puede lograr sin ninguna dificultad, tanto en circuitos integrados como en elementos discretos. Si los transistores tienen una ganancia mayor que la anterior, se asegurará que el circuito precedente podrá manejar cuando menos cuatro entradas. Al número máximo de entradas que puede manejar la salida de una compuerta se le denomina "ABANICO DE SALIDA" o FAN OUT. Este depende directamente del voltaje de polarización del circuito, así como de los valores de las re-

sistencias de entrada y de salida en el circuito analizado. El abanico de salida típico para la familia lógica RTL es de cinco.

Otro parámetro de importancia en el diseño de cualquier sistema digital es el "MARGEN DE RUIDO", que se puede definir como el intervalo de voltaje en el que puede variar la entrada sin causar un cambio de nivel en la salida.

En el circuito estudiado, el voltaje de salida "bajo" es de $V_0 = 0.2 \text{ V}$. El voltaje de encendido de los transistores es de $V_Y = 0.5 \text{ V}$, por lo tanto el margen de ruido de este tipo de circuitos será de 0.3 V . Esto quiere decir que si en la entrada de una compuerta se producen variaciones de voltaje mayores de 0.3 V , el estado de la salida estará expuesto a variaciones. Como se puede apreciar, este valor de margen de ruido es muy pequeño.

La potencia disipada máxima por la compuerta y el tiempo de demora de propagación son otros dos parámetros fundamentales de diseño.

Se define como potencia máxima disipada por la compuerta (P_D), a aquella potencia que es disipada por el circuito en el peor de los casos. Para el ejemplo tratado, este caso se presenta cuando las dos entradas son "altas" simultáneamente.

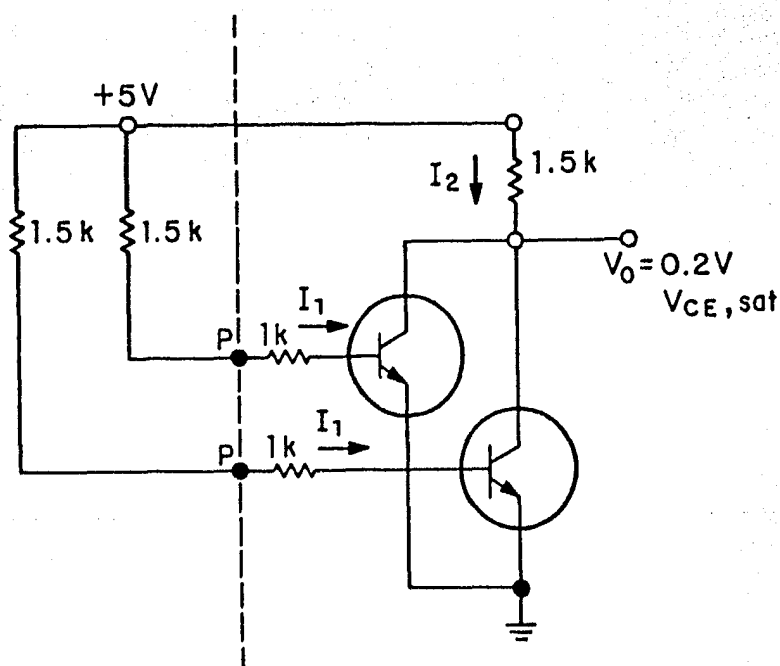


Figura 11.4 Circuito simplificado para calcular la potencia máxima disipada por la compuerta.

La figura II.4 muestra el circuito simpoificado para el cálculo de la potencia máxima disipada por la compuerta.

$$I_1 = \frac{V_{CC} - V_{BE,sat}}{R_C + R_B} ; I_1 = \frac{5 - 0.8}{1.5 + 1} ; I_1 = 1.68 \text{ mA}$$

$$V_P = V_{BE,sat} + R_B I_1 ; V_P = 0.8 + 1 \times 1.68 ; V_P = 2.48 \text{ V}$$

$$I_2 = \frac{V_{CC} - V_{CE,sat}}{R_C} ; I_2 = \frac{5 - 0.2}{1.5} ; I_2 = 3.2 \text{ mA}$$

$$P_D = 2V_P I_1 + V_{CC} I_2 ; P_D = 2 \times 2.48 \times 1.68 + 5 \times 3.2 ;$$

$$P_D = 24.33 \text{ mW}$$

Por último, el tiempo de demora de propagación T_{PD} se puede definir de la siguiente manera: considerando que la entrada tiene una cierta constante de tiempo tanto de "subida" (de "0" a "1" lógicos) como de "bajada" (de "1" a "0"), el cambio de estado de la salida queda en función de esta constante de tiempo, así como los voltajes de "encendido" $-V(1)-$ y de apagado $-V(0)-$ de la compuerta, es decir, los niveles de voltaje en los cuales la salida de la compuerta empieza a cambiar de estado, de "0" a "1" o de "1" a "0" respectivamente. En general los valores de estos dos voltajes son diferentes.

Con base en la compuerta NOR explicada en párrafos anteriores, interconectando todas las entradas de la compuerta se podrá obtener la gráfica comparativa de voltajes de entrada y de salida de la compuerta contra el tiempo, mostrada en la figura II.5.

El tiempo de propagación de "encendido" (T_{PLH} o Low to High Propagation Time) será el tiempo que demora desde que la entrada alcanza el voltaje de "encendido" $V(1)$, hasta que la salida alcanza el voltaje de "apagado" $V(0)$. De la misma manera, el tiempo de propagación de "apagado" (T_{PHL} o High to Low Propagation Time) se podrá definir como el tiempo que demora desde que la entrada "sube" al voltaje de "apagado" $V(0)$, hasta que la salida llega al voltaje de "encendido" $V(1)$.

En general, los tiempos de propagación de "encendido" y de "apagado" son diferentes, causado por el tiempo de almacenamiento de los portadores minoritarios de los transistores.

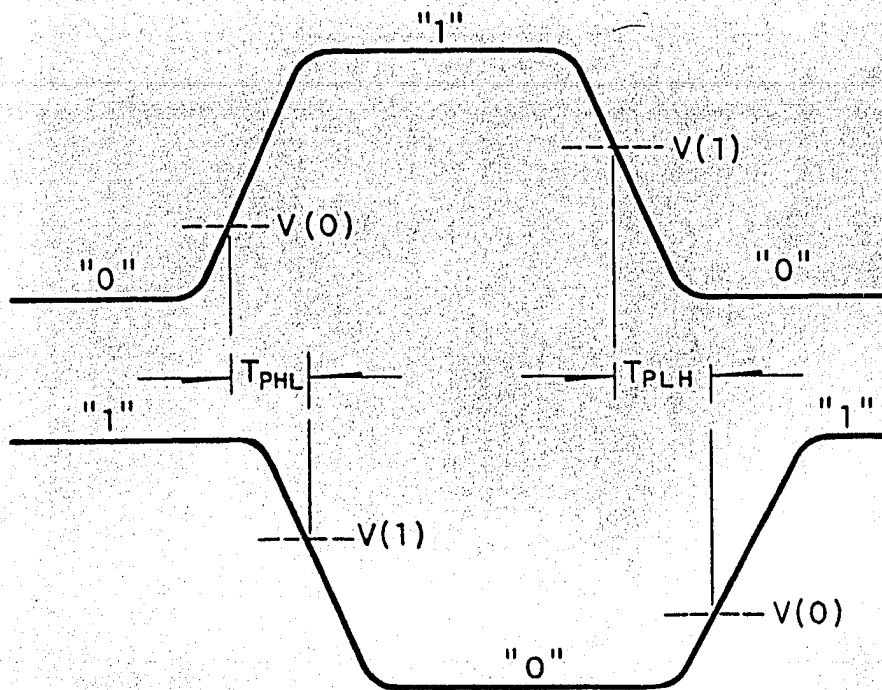


Figura II.5 Gráfica de Voltaje de entrada (V_i) y de Voltaje de salida (V_o) contra Tiempo para determinar los tiempos de propagación.

Entonces, el Tiempo de Demora de Propagación se define como el promedio de estos dos últimos tiempos:

$$T_{PD} = \frac{1}{2}(T_{PLH} + T_{PHL})$$

Para los circuitos de la familia lógica RTL, el tiempo de demora de propagación tiene un valor típico de 12 ns (nanosegundos), o sea, 12×10^{-9} segundos, con un abanico de salida de cinco; este valor es un tiempo bastante bajo, por lo que se puede aplicar esta familia lógica en el diseño de sistemas rápidos, lo cual constituye una ventaja de la familia RTL.

Otra ventaja de esta familia lógica es que utiliza un espacio reducido para funciones digitales estándar sobre el cristal de silicio, cuando es fabricado como circuito integrado, por lo que resulta ser muy económico.

Una familia lógica derivada de la RTL es la familia RCTL (Resistor Capacitor Transistor Logic), en la que a las resistencias de la base de

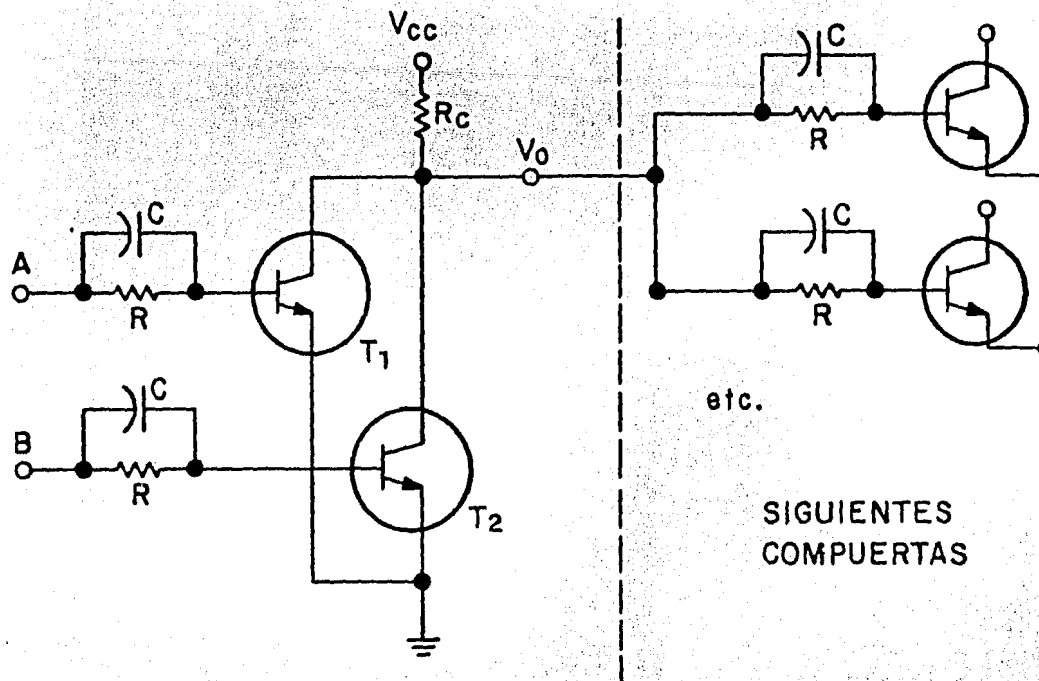


Figura II.6 Circuito básico RCTL.

los transistores se les agrega un capacitor de aceleración de carga de la capacitancia parásita de la juntura base-emisor del transistor, conectándose en paralelo. La figura II.6 muestra el circuito básico RCTL.

Por la razón mencionada anteriormente, es posible aumentar el valor de las resistencias de entrada, logrando disminuir la potencia disipada con respecto a la familia antecedente, además de disminuir notoriamente el tiempo de demora de propagación.

Pero el hecho de utilizar varios valores de resistencias mayores y capacitores en el circuito integrado hacen que aumente considerablemente el tamaño del cristal de silicio, ya que los capacitores ocupan un área de cinco veces el de un transistor y, el área que ocupa una resistencia es directamente proporcional a su valor óhmico. Se deduce que el costo de los circuitos de esta familia lógica es significativamente mayor que el de la familia RTL.

Las familias lógicas RTL y RCTL fabricadas en circuitos integrados, se dejaron de utilizar a partir de los primeros años de la década de los sesentas y han dejado paso a otras tecnologías más avanzadas en los circuitos lógicos digitales.

II.2 LOGICA DTL (DIODE TRANSISTOR LOGIC)

El funcionamiento de este circuito es fácilmente comprensible de una manera cualitativa. Como su nombre lo indica, esta familia de circuitos lógicos es implementada con diodos, transistores bipolares de juntura y resistencias.

El circuito básico de la familia lógica DTL está mostrado en la figura II.7. Si cuando menos una de las entradas es "baja" ($V_1 = 0.2 \text{ V}$), el diodo "D" conectado a dicha entrada conducirá por lo que el voltaje en el punto "P" será $V_p = 0.9 \text{ V}$. Este valor de voltaje no es suficiente para poner en funcionamiento al transistor "T" por lo que éste quedará cortado. De esta manera, la salida será "alta", es decir, $V_o = 5 \text{ V}$, considerando que no se tiene conectada a la salida ninguna carga.

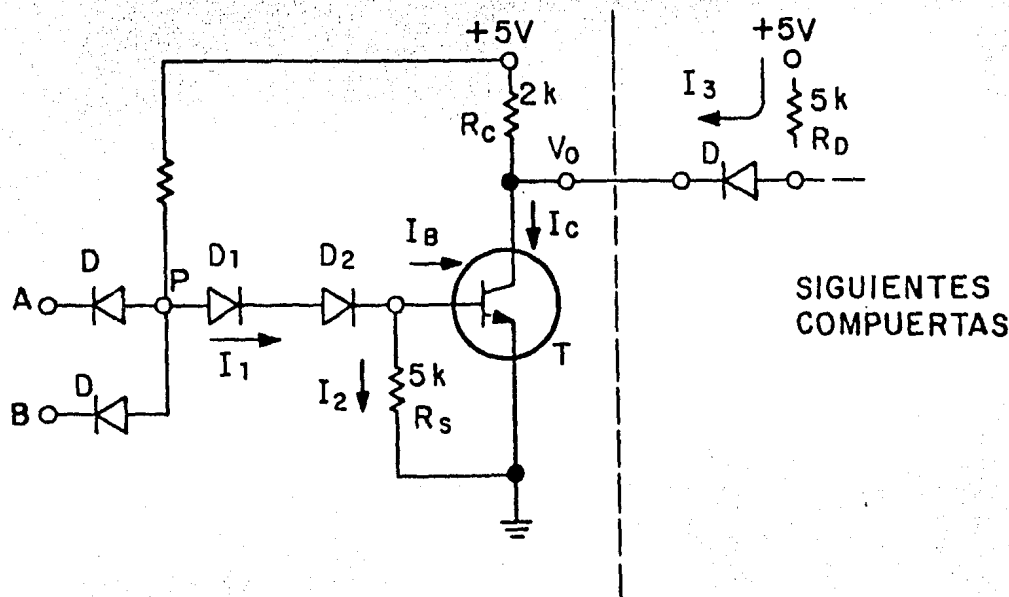


Figura II.7 Circuito básico DTL: compuerta NAND con dos entradas.

En el caso de que las dos entradas sean "altas", los diodos de entrada quedarán cortados. Entonces circulará corriente a través de la resistencia R_D y los diodos D_1 y D_2 , a la base del transistor al cual lo saturará, siendo la salida "baja". El voltaje de salida V_o será igual al voltaje colector-emisor de saturación del transistor, o sea, $V_o = 0.2 \text{ V}$.

En la figura II.8 se presenta la tabla de verdad de este circuito, con la que se comprueba que opera como una compuerta NAND.

A	B	Vo
0	0	1
0	1	1
1	0	1
1	1	0

Figura II.8 Tabla de verdad de la compuerta NAND.

Para demostrar que el transistor está realmente saturado cuando las dos entradas son "altas", se procederá de la siguiente manera: la corriente I_1 que circula por los diodos D_1 y D_2 quedará determinada como:

$$I_1 = \frac{V_{CC} - V_{BE,sat} - 2 \times V_D}{R_D} ; \quad I_1 = \frac{5 - 0.8 - 2 \times 0.7}{5} ;$$

$$I_1 = 0.56 \text{ mA}$$

$$I_2 = \frac{V_{BE,sat}}{R_S} ; \quad I_2 = \frac{0.8}{5} ; \quad I_2 = 0.16 \text{ mA}$$

$$I_B = I_1 - I_2 ; \quad I_B = 0.56 - 0.16 ; \quad I_B = 0.4 \text{ mA}$$

$$I_C = \frac{V_{CC} - V_{CE,sat}}{R_C} ; \quad I_C = \frac{5 - 0.2}{2} ; \quad I_C = 2.4 \text{ mA}$$

$$\beta = \frac{I_C}{I_B} ; \quad \beta = \frac{2.4}{0.4} ; \quad \beta = 6$$

Por lo tanto, si se cuenta con transistores con una ganancia mayor de $\beta = 6$, se asegurará la saturación del transistor "T" y por lo tanto el funcionamiento del circuito.

Los diodos D_1 y D_2 sirven para aumentar el margen de ruido del circuito. Para que "encienda" el transistor "T", es necesario que cuando alguna de las entradas sea "baja", el valor del voltaje V_P sea:

$$V_P = V_Y + 2 \times V_D ; V_P = 0.5 + 2 \times 0.7 ; V_P = 1.9 \text{ V}$$

Para ello, dicha entrada necesitará tener un valor mínimo de 1.2 V. Por lo tanto, el margen de ruido en este caso será de $1.2 - 0.2 = 1 \text{ V}$. Si se eliminara uno de los diodos, este margen de ruido se reduciría a $1 - 0.7 = 0.3 \text{ V}$. Si las entradas son "altas":

$$V_P = V_{CC} - R_D I_1 ; V_P = 5 - 5 \times 0.56 ; V_P = 2.2 \text{ V}$$

por lo tanto, los diodos de entrada estarán polarizados inversamente con un valor de voltaje menor de 1.6 V, por lo que en este caso, el margen de ruido sería de 3.4 V.

Para calcular el abanico de salida de este circuito, es necesario considerar el caso de máxima carga del transistor "T". Este caso sucederá cuando la salida sea "baja". Con base en la figura II.7, se puede observar que el transistor tiene que ser capaz de absorber a todas las corrientes I_3 de cada una de las compuertas subsiguientes, si la salida es "baja". Entonces, la corriente total del colector con un abanico de salida "n" será:

$$I_{C,tot} = I_C + nI_3$$

y por otro lado:

$$I_3 = \frac{V_{CC} - V_D - V_{CE,sat}}{R_D} ; I_3 = \frac{5 - 0.7 - 0.2}{5} ; I_3 = 0.82 \text{ mA}$$

y si se considera una ganancia mínima del transistor $\beta = 30$, el abanico de salida máximo será:

$$n = \frac{I_{C,tot} - I_C}{I_3} ; n = \frac{\beta I_B - I_C}{I_3} ; n = \frac{30 \times 0.4 - 2.4}{0.82}$$

$$n = 11.7$$

Entonces, se puede afirmar que este circuito es capaz de manejar a casi 12 compuertas sin problema, suponiendo el valor de ganancia correspondiente.

La potencia disipada con un abanico de salida de doce será:

$$P_D = V_{CC} I_1 + R_C I_C^2 + V_{CE,sat} I_{C,tot} ;$$

$$P_D = 5 \times 0.56 + 2 \times 2.4^2 + 0.2 \times 12.24 ; \quad P_D = 16.77 \text{ mW}$$

El tiempo de demora de propagación típico de la familia lógica DTL es de 30 ns, comparativamente mayor con respecto a la tecnología RTL.

II.3 LOGICA HTL (HIGH THRESHOLD LOGIC)

Esta familia lógica se originó de la necesidad de contar con sistemas digitales que pudieran funcionar con altos niveles de ruido afectando los, como es el caso de las plantas industriales en que por la presencia de motores, interruptores de alta tensión, circuitos de control de apagado-encendido, generan niveles de ruido muy altos.

Entonces, una de las características más importantes de esta tecnología es que debe de contar con un considerable margen de ruido. Su nombre significa Lógica con Altos Niveles de Voltaje de "apagado-encendido".

Con base en el circuito de la familia DTL anteriormente analizado y realizando algunas modificaciones, se puede lograr la característica deseada, pero afectando significativamente a otros parámetros.

El circuito de la figura II.9 muestra una compuerta NOR, que es la compuerta básica de esta familia lógica. Como se puede apreciar, en lugar del diodo D_1 aparece el transistor T_1 , con el fin de aumentar el abanico de salida y, en lugar del diodo D_2 , se le reemplaza por un diodo "zener" de 6.9 V de voltaje de ruptura, para aumentar el margen de ruido. Este reemplazo requerirá aumentar también el voltaje de alimentación y, por lo tanto, la potencia disipada será mayor.

El circuito funciona de una manera similar al de la familia DTL ana

lizada en el inciso anterior.

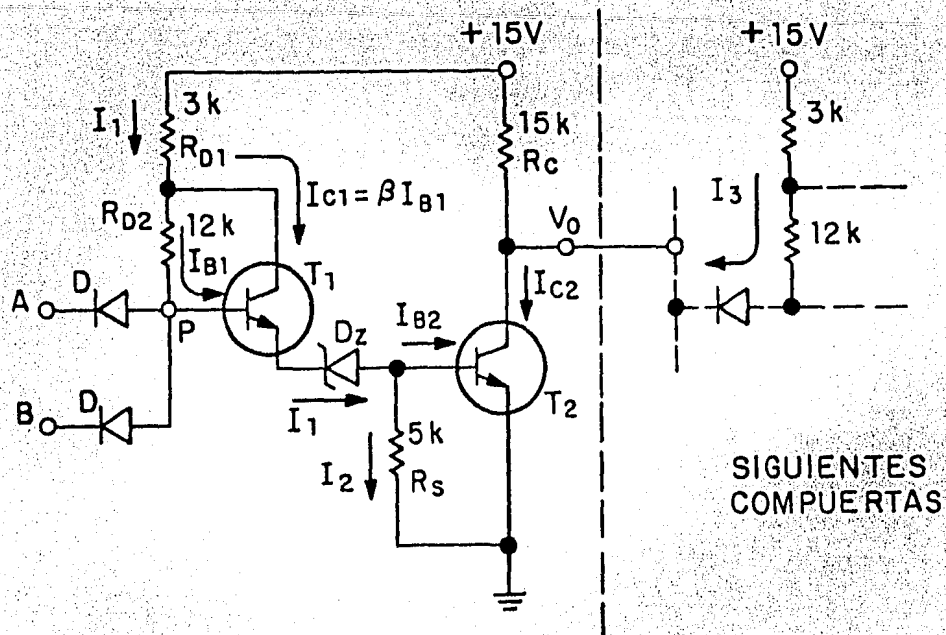


Figura 11.9 Circuito básico HTL.

Para comprobar que la inclusión del transistor T_1 aumenta el abanico de salida y el zener D_Z por el diodo D_2 aumenta el margen de ruido, se procederá a continuación como sigue: cuando las dos entradas son "altas", los diodos de entrada "D" quedarán cortados por lo que circulará corriente por los transistores T_1 y T_2 , a través de las resistencias R_{D1} , R_{D2} y el zener D_Z . Considerando una ganancia mínima de los transistores de $\beta = 30$:

$$I_1 = I_{B1} + I_{C1} ; I_1 = I_{B1} (1 + \beta) ; I_1 = 31I_{B1}$$

el voltaje en el punto "P" será:

$$V_P = V_{BE1,act} + V_Z + V_{BE2,sat} ; V_P = 0.7 + 6.9 + 0.8 ; V_P = 8.4 \text{ V}$$

entonces:

$$V_{CC} - V_P = R_{D1} I_1 + R_{D2} I_{B1} ; 15 - 8.4 = 3 \times 31I_{B1} + 12 \times I_{B1} ;$$

$$105I_{B1} = 6.6 ; I_{B1} = 0.063 \text{ mA} ; I_1 = 1.95 \text{ mA}$$

$$I_2 = \frac{V_{BE,sat}}{R_S} ; I_2 = \frac{0.8}{5} ; I_2 = 0.16 \text{ mA}$$

$$I_{B2} = I_1 - I_2 ; I_{B2} = 1.95 - 0.16 ; I_{B2} = 1.79 \text{ mA}$$

Calculando la corriente I_{C2} para comprobar la saturación del transistor T_2 :

$$I_{C2} = \frac{V_{CC} - V_{CE,sat}}{R_C} ; I_{C2} = \frac{15 - 0.2}{15} ; I_{C2} = 0.987 \text{ mA}$$

por lo tanto, el transistor T_2 está saturado.

Procediendo de forma similar al circuito DTL, el abanico de salida máximo será:

$$n = \frac{I_{C2,tot} - I_{C2}}{I_3} ;$$

$$I_{C2,tot} = \beta I_{B2} ; I_{C2,tot} = 30 \times 1.79 ; I_{C2,tot} = 53.66 \text{ mA}$$

$$I_3 = \frac{V_{CC} - V_D - V_{CE,sat}}{R_{D1} + R_{D2}} ; I_3 = \frac{15 - 0.7 - 0.2}{3 + 12} ; I_3 = 0.94 \text{ mA}$$

por lo tanto:

$$n = \frac{53.66 - 0.987}{0.94} ; n = 56$$

Como se puede apreciar, el abanico de salida aumenta considerablemente al sustituir D_1 por el transistor T_1 .

Siendo el voltaje $V_p = 8.4 \text{ V}$, si la entrada es "alta", los diodos "D" estarán polarizados inversamente por un voltaje de $15 - 8.4 = 6.6 \text{ V}$. Por lo tanto, para poder "encender" los diodos, se requerirá un voltaje mínimo de $6.6 + 0.6 = 7.2 \text{ V}$.

En el caso de que alguna de las entradas sea "baja", el voltaje V_p será:

$$V_P = V_O + V_D ; V_P = 0.2 + 0.7 ; V_P = 0.9 \text{ V}$$

por lo que para poder "encender" al transistor T_2 , se requerirá un voltaje mínimo de:

$$V_P = V_{\gamma 1} + V_Z + V_{\gamma 2} ; V_P = 0.5 + 6.9 + 0.5 ; V_P = 7.9 \text{ V}$$

por lo tanto, el margen de ruido será cuando menos de 7 V, valor que resulta ser bastante adecuado cuando se opera bajo condiciones extremas de niveles de ruido. La potencia máxima disipada será:

$$P_D = V_{CC} I_1 + R_C I_C^2 + V_{CE,sat} I_{C2,tot} ;$$

$$P_D = 15 \times 1.95 + 15 \times 0.987^2 + 0.2 \times 53.66 ; P_D = 54.58 \text{ mW}$$

valor que es significativamente mayor con respecto al circuito DTL analizado anteriormente.

El aumento de potencia es ocasionado principalmente por el valor mayor de voltaje de polarización y, en menor grado, por el aumento del abanico de salida máximo, como puede apreciarse.

Al mismo tiempo, al utilizar el transistor T_1 y el diodo zener D_Z , se afecta considerablemente al tiempo de demora de propagación. El valor típico de este parámetro para la familia HTL es de unos 90 ns.

II.4 LOGICA TTL (TRANSISTOR TRANSISTOR LOGIC)

Esta familia lógica también está basada en la topología de los circuitos de la tecnología DTL. El circuito básico que funciona como una compuerta NAND similar al de los circuitos anteriormente presentados (DTL y HTL) está mostrado en la figura II.10.

En lugar de los diodos "D" de entrada, en los circuitos TTL son sustituidos por las junturas base-emisor de un transistor multiemisor y, reemplazando al diodo D_1 se tiene la juntura base-colector del mismo transistor. Así mismo, el transistor T_2 es utilizado en lugar del diodo D_2 del circuito DTL, teniendo éste al transistor T_2 en la etapa de salida.

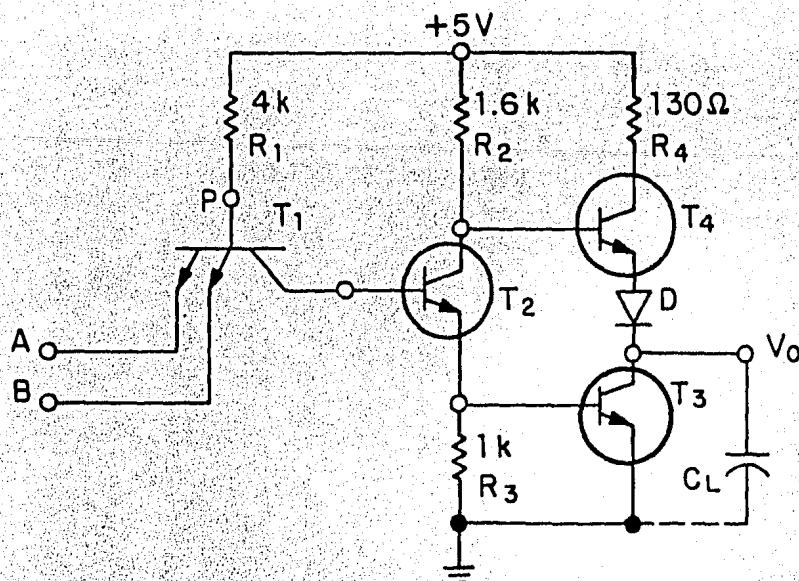


Figura 11.10 Circuito básico TTL: compuerta NAND de dos entradas, con etapa de salida tipo "TOTEM POLE".

En los circuitos TTL, la etapa de salida es implementada mediante una configuración conocida como "TOTEM POLE", la cual actúa de tal manera que disminuye la constante de tiempo en los cambios de estado a la salida de la compuerta, acelerando la carga de las capacitancias parásitas de las compuertas subsiguientes.

La explicación del funcionamiento del circuito TTL se presenta a continuación.

Si cuando menos una de las entradas es "baja", $V_i = 0.2 \text{ V}$, entonces:

$$V_P = V_i + V_{BE,act} ; V_P = 0.2 + 0.7 ; V_P = 0.9 \text{ V}$$

Para que la juntura base-colector de T_1 esté polarizado directamente así como para el encendido de los transistores T_2 y T_3 , se requiere un nivel de voltaje V_P alrededor de:

$$V_P = V_{CE3,act} + V_{CE2,act} + V_{BC,dir} ; V_P = 0.7 + 0.7 + 0.7 ;$$

$$V_P = 2.1 \text{ V}$$

De esto se deduce que los transistores T_2 y T_3 están apagados y la

juntura base-colector no conduce. De esta manera, la salida es "alta".

En el caso de que ambas entradas sean "altas", las junturas base-emisor del transistor de entrada estarán inversamente polarizadas, por lo que circulará corriente a través de la resistencia R_1 y la juntura base-colector de T_1 , saturando a T_2 y a T_3 . La salida por lo tanto, será "baja", con un voltaje V_o de:

$$V_o = V_{CE3,sat} ; V_o = 0.2 \text{ V}$$

El voltaje en "P" será:

$$V_p = V_{BE3,sat} + V_{BE2,sat} + V_{BC,dir} ; V_p = 0.8 + 0.8 + 0.7 ;$$

$$V_p = 2.3 \text{ V}$$

Aparentemente, el transistor multiemisor T_1 sólo parece tener las funciones de diodos interconectados y no las de un transistor. Empero, su funcionamiento como transistor se presenta durante el "apagado" del circuito.

Cuando la salida es "baja", el potencial en la base de T_2 es igual al del colector de T_1 , siendo de $0.8 + 0.8 = 1.6 \text{ V}$ durante la saturación de T_2 y T_3 . Si ahora, alguna de las entradas "baja" a $V_i = 0.2 \text{ V}$, entonces $V_p = 0.9 \text{ V}$, por lo cual la base de T_1 quedará sujeta a dicho potencial. En este instante, la juntura base-colector de T_1 estará inversamente polarizada, por lo que se deduce que este transistor funcionará dentro de su región activa.

La corriente de colector generada de esta manera en T_1 removerá rápidamente la carga almacenada en T_2 y T_3 . Esta es la característica por la que la familia TTL proporciona la más alta velocidad entre las lógicas basadas en la saturación de los transistores.

El valor típico del tiempo de demora de propagación de esta familia lógica es de 8 ns.

El funcionamiento de la configuración "TOTEM POLE" de la etapa de salida de los circuitos TTL es como sigue. Cuando los transistores T_2 y T_3 están saturados, la salida de la compuerta es "baja", como se explicó anteriormente. Por lo tanto, la base del transistor T_4 quedará a un poten

cial de:

$$V_{B4} = V_{BE3, \text{sat}} + V_{CE2, \text{sat}} ; V_{B4} = 0.8 + 0.2 ; V_{B4} = 1.0 \text{ V}$$

y el emisor del mismo transistor:

$$V_{E4} = V_{CE3, \text{sat}} + V_D ; V_{E4} = 0.2 + 0.7 ; V_{E4} = 0.9 \text{ V}$$

Esto quiere decir que el transistor T_4 estará cortado, por lo que la corriente de colector de T_3 estará en función únicamente del abanico de salida, sin verse aumentada por la corriente propia de esta etapa de salida.

En caso de que se omitiera el diodo "D", el potencial en el emisor de T_4 sería $V_{E4} = 0.2 \text{ V}$, por lo que este transistor quedaría saturado. Bajo estas condiciones, la corriente de colector que circularía a través de él tendría un valor de:

$$I_C = \frac{V_{CC} - V_{CE4, \text{sat}} - V_{CE3, \text{sat}}}{R_4} ; I_C = \frac{5 - 0.2 - 0.2}{0.13} ;$$

$$I_C = 35.40 \text{ mA}$$

el cual sería un valor excesivo e inútil.

Además, la carga capacitiva de la salida al cambiar a estado "bajo" la salida de la compuerta, es rápidamente descargada a través del transistor T_3 .

Ahora, haciendo la consideración de que una de las entradas cambia a un estado "bajo", T_2 quedará cortado, lo cual causará que T_3 también se corte, ya que el voltaje V_{BE3} se hace cero.

La salida se mantiene momentáneamente con un voltaje $V_o = 0.2 \text{ V}$, debido a que el potencial en la carga capacitiva no cambia instantáneamente.

El corte de T_2 causará entonces la saturación de T_4 en ese momento; la corriente de base instantánea será:

$$I_{B4} = \frac{V_{CC} - V_{BE4, \text{sat}} - V_D - V_o}{R_2} ; I_{B4} = \frac{5 - 0.8 - 0.7 - 0.2}{1.6} ;$$

$$I_{B4} = 2.06 \text{ mA}$$

y la corriente de colector tendrá un valor de:

$$I_{C4} = \frac{V_{CC} - V_{CE4,sat} - V_D - V_O}{R_4} ; I_{C4} = \frac{5 - 0.2 - 0.7 - 0.2}{0.13} ;$$

$$I_{C4} = 30 \text{ mA}$$

Por lo tanto, considerando una ganancia mínima de $\beta = 30$, se asegura la saturación de T_4 . Este transistor mientras permanezca saturado, estará funcionando como una fuente de corriente cargando las capacitancias parásitas del abanico de salida. El voltaje de salida V_O crecerá con una constante de tiempo muy pequeña, con un valor:

$$\tau = (R_4 + R_{CE,sat} + R_d)C_L$$

donde $R_{CE,sat}$ es la resistencia de saturación entre el colector y el emisor y, R_d es la resistencia del diodo polarizado en directa.

Al crecer V_O , la corriente en T_4 disminuye paulatinamente, por lo que finalmente en estado estable, el voltaje de salida tendrá un valor:

$$V_O = V_{CC} - V_Y - V_{DY} ; V_O = 5 - 0.5 - 0.6 ; V_O = 3.9 \text{ V}$$

La función de la resistencia R_4 es la de limitar la corriente pico de carga de la capacitancia parásita C_L a un valor:

$$I_{C4} + I_{B4} = 32 \text{ mA}$$

Si no se incluyera esta resistencia, prácticamente se tendría un impulso de corriente ($I_O \rightarrow \infty$), lo cual generaría ruido en la fuente de alimentación e incrementaría el consumo de potencia, sobre todo al requerir altas frecuencias de operación.

La figura II.11 muestra la gráfica de la función de transferencia voltaje de entrada V_i contra voltaje de salida V_o , de una compuerta de la familia TTL.

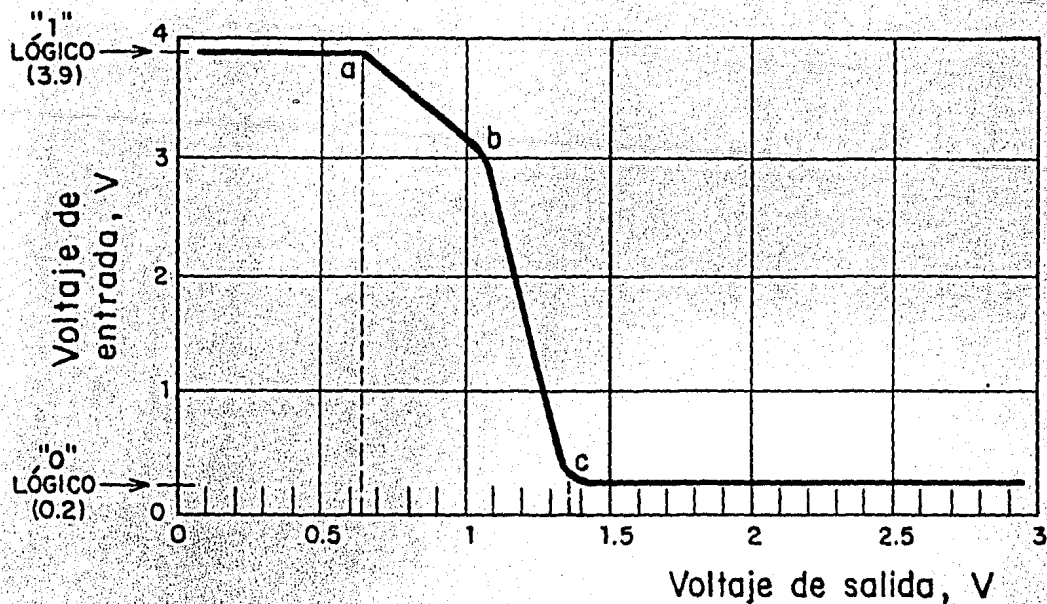


Figura 11.11 Gráfica de la función de transferencia de una compuerta TTL.

Haciendo la consideración que las entradas de la compuerta se encuentran interconectadas entre sí, si el voltaje de entrada $V_i = 0.2$ V (estado "bajo"), el voltaje de salida V_o será $V_o = 3.9$ V.

A partir de este estado, al ir incrementando el voltaje de entrada V_i , la corriente de base de T_1 gradualmente se irá desviando del emisor al colector, causando que el transistor T_2 conduzca. Esta condición ocurre a un valor de $V_i = 0.7$ V aproximadamente (punto "a" de la gráfica).

El transistor T_2 funcionará en su región lineal con una ganancia determinada por la razón R_2 entre R_3 . Como el transistor T_4 permanece encendido, la salida estará comandada por el funcionamiento de T_2 . Entonces, el voltaje de la salida decrecerá con una pendiente:

$$\frac{R_2}{R_3} = 1.6 \quad (\text{del punto "a" al punto "b" de la gráfica})$$

Cuando $V_i = V_b$ ($V_b = 1.1$ V), la entrada es lo suficientemente alta para causar el encendido del transistor T_3 . Esto origina la disminución drástica de la impedancia del emisor de T_2 , por lo que la ganancia aumenta considerablemente. Esta es la razón por la cual, la curva de transferencia "baja" con una pendiente mucho mayor al anterior, entre los pun-

tos "b" y "c".

Por último, a partir de un valor $V_i = V_c$ ($V_c = 1.4$ V), el transistor T_4 se corta, dando como resultado que el estado de la salida sea "0" lógico, con un voltaje $V_o = 0.2$ V.

Los valores típicos de algunos parámetros importantes de esta familia lógica son: un abanico de salida típica de diez, potencia máxima disipada por compuerta $P_D = 20$ mW, margen de ruido en estado "alto" de 2 V y en estado "bajo" de 0.8 V.

La principal desventaja es que la fuente de alimentación tiene un intervalo muy rígido, entre 4.75 y 5.25 V.

La tecnología TTL tuvo una gran difusión y demanda en los primeros años de la década pasada debido principalmente a su economía, gran versatilidad y características muy adecuadas en general.

Sin embargo, por la búsqueda constante de tecnologías más avanzadas en las que se obtuvieran mayor economía y mejores características, la familia TTL tuvo que ceder su lugar a la familia lógica CMOS, la cual es una de las más utilizadas en la actualidad.

II.5 LOGICA ECL (EMITTER COUPLED LOGIC)

Esta familia lógica está basada en el funcionamiento del amplificador diferencial, en el que la corriente del emisor permanece prácticamente sin variaciones.

El circuito básico de la tecnología ECL está mostrado en la figura II.12. Los emisores de los transistores T_1 y T_2 están interconectados entre sí junto con el emisor del transistor de referencia T_3 . La resistencia de emisor-común R_E hace la función de una fuente de corriente constante, con un valor de corriente de:

$$I = \frac{V_{BB} - V_{BE3,act}}{R_E} ; I = \frac{4 - 0.7}{1.2} ; I = 2.75 \text{ mA}$$

debido a que la base del transistor de referencia T_3 está conectado a un voltaje de referencia $V_{BB} = 4$ V.

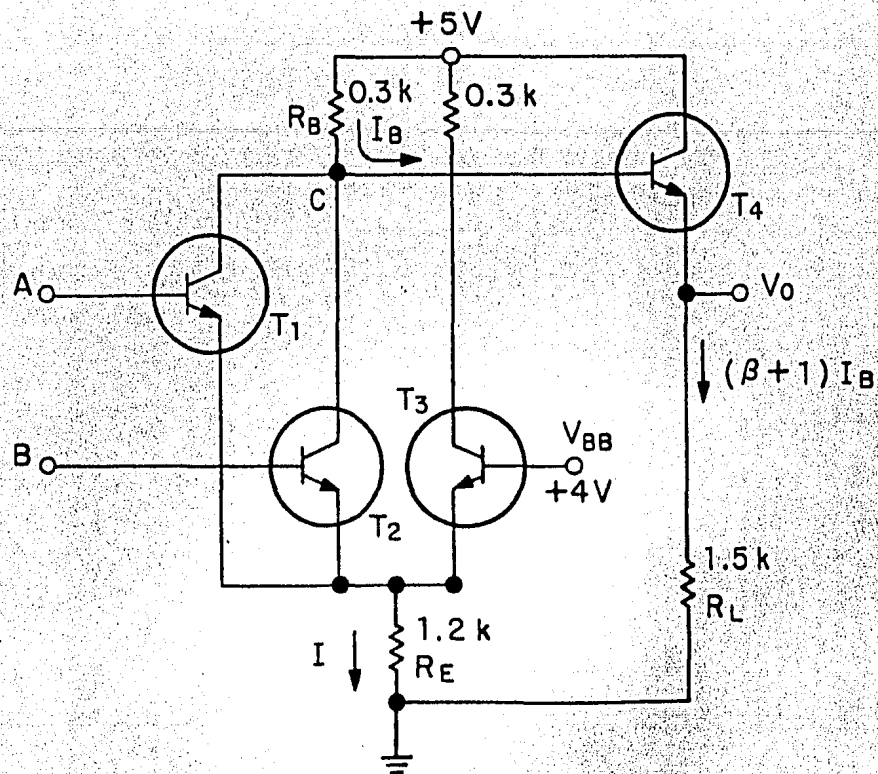


Figura 11.12 Circuito básico ECL: compuerta NOR con dos entradas.

El circuito funciona de la siguiente manera: cuando ambas entradas tienen un potencial menor de $V_i = V_{BB}$, o sea, $V_i = 4\text{ V}$, los transistores de entrada T_1 y T_2 estarán cortados. Por lo tanto, el transistor T_4 se encenderá y el voltaje de salida tendrá un valor $V_O = R_L I_B (\beta + 1)$.

Suponiendo una ganancia mínima del transistor de $\beta = 30$, el valor del voltaje de salida se podrá calcular de la siguiente manera:

$$I_B = \frac{V_{CC} - V_{BE4,act} - V_O}{R_B}; \quad R_B I_B = V_{CC} - V_{BE4,act} - V_O;$$

$$R_B I_B = V_{CC} - V_{BE4,act} - R_L I_B (\beta + 1);$$

$$I_B [R_B + R_L (\beta + 1)] = V_{CC} - V_{BE4,act};$$

$$I_B = \frac{V_{CC} - V_{BE,act}}{R_B + R_L (\beta + 1)}; \quad I_B = \frac{5 - 0.7}{0.3 + 1.5(30 + 1)};$$

$$I_B = 0.092 \text{ mA}$$

por lo tanto:

$$V_O = R_L I_B (\beta + 1) ; V_O = 1.5 \times 0.092 \times 31 ; V_O = 4.3 \text{ V}$$

Cuando una de las entradas es mayor del valor $V_{BB} = 4 \text{ V}$, la corriente circulará a través del transistor correspondiente, causando que el voltaje del colector disminuya, lo que provocará que el voltaje de salida V_O también decrezca, produciendo una salida "baja". El valor de este voltaje se calculará a continuación, suponiendo un voltaje de entrada $V_i = 4.3 \text{ V}$ (estado "alto"):

$$I = \frac{V_i - V_{BE1,act}}{R_E} ; I = \frac{4.3 - 0.7}{1.2} ; I = 3 \text{ mA}$$

$$V_C = V_{CC} - R_B I ; V_C = 5 - 0.3 \times 3 ; V_C = 4.1 \text{ V}$$

$$V_O = V_C - V_{BE4,act} ; V_O = 4.1 - 0.7 ; V_O = 3.4 \text{ V}$$

La diferencia entre los voltajes de salida de los estados "alto" y "bajo" es de únicamente 0.9 V. Por lo mismo, el margen de ruido que puede esperarse de este tipo de circuito es pequeño, del orden de 0.3 V.

La principal ventaja que ofrece esta familia lógica, es debida a que funciona sin que ninguno de sus transistores componentes llegue a saturarse, por lo que el tiempo de demora de propagación es sumamente baja, con un valor típico de 2 ns. Sin embargo, la potencia disipada máxima es relativamente alta, típicamente de 50 mW.

Esta familia lógica fue utilizada sobre todo en computadoras grandes, donde las desventajas por tiempo de demora de propagación eran mayores a las causadas por el aumento de la potencia de alimentación requerida.

Otra ventaja de la familia ECL es sobre su abanico de salida alto, del orden de 25, obtenido principalmente al contar con una impedancia de salida baja, ya que su etapa de salida es del tipo "seguidor-emisor".

II.6 CUADRO COMPARATIVO DE LAS FAMILIAS LOGICAS DIGITALES

Para resumir los conceptos vertidos a lo largo de este capítulo, tomando los resultados teóricos obtenidos y agregando los valores de algunos parámetros de las familias MOS y CMOS que se analizarán en el siguiente capítulo, se muestra en el cuadro de la figura II.13 la comparación de las principales familias lógicas digitales.

LOGICA	RTL	DTL	HTL	TTL	ECL	MOS	CMOS
PARAMETRO							
COMPUERTA BASICA	NOR	NAND	NAND	NAND	NOR	NAND	NAND
ABANICO DE SALIDA (FAN OUT)	5	10	25	10	25	20	>50
POTENCIA DISIPADA POR COMPUERTA, mW	25	20	55	20	50	0.02~45	0.01
MARGEN DE RUIDO, V	0.3	0.8	7.0	0.4	0.3	1.0	1.0
TIEMPO DE DEMORA DE PROPAGACION, ns	12	30	90	9	2	300	70
FUENTE DE ALIMENTACION, V	5	5	15	5	5	3~15	3~15

Figura II.13 Cuadro comparativo de las principales familias lógicas digitales.

CAPITULO III

FAMILIAS LOGICAS DIGITALES CON TRANSISTORES DE EFECTO

DE CAMPO

Durante los últimos años se han desarrollado varios tipos de líneas de componentes de procesamiento digital de datos.

Algunos de los factores importantes para el diseño de componentes digitales son: los requerimientos de voltaje de alimentación y de potencia, la confiabilidad de operación, la inmunidad al ruido, el costo, la velocidad (frecuencia máxima de operación), la estabilidad térmica, la compatibilidad y, la disponibilidad en el mercado.

Los circuitos de la familia lógica CMOS tienen en la mayoría de los factores anteriores excelentes características. Aunque existen familias lógicas con más altas frecuencias de operación (más rápidas), la mayoría de las nuevas aplicaciones de circuitos digitales no requieren una velocidad que exceda la que puede proporcionar un circuito CMOS (10 MHz). Así mismo, estas nuevas aplicaciones necesitan la optimización de otros factores, tales como alto margen de ruido, buena estabilidad térmica y baja potencia de disipación, los cuales son algunas de las excelentes características ofrecidas por la familia CMOS.

El término genérico CMOS está basado en las letras en inglés, de

las palabras Semiconductor Oxidado y Metalizado con simetría Complementaria (Complementary-symmetry Metal Oxide Semiconductor).

Para comprender el funcionamiento de estos dispositivos, se analizará inicialmente el funcionamiento de los transistores de efecto de campo o FET (Field Effect Transistor). Posteriormente se tratarán los principios de diseño de las compuertas básicas de las familias MOS y CMOS, así como sus principales características.

III.1 GENERALIDADES DEL TRANSISTOR DE EFECTO DE CAMPO

El transistor de efecto de campo o FET, es un dispositivo semiconductor cuyo funcionamiento está basado en el control de la corriente que circula a través de él mediante un campo eléctrico.

Existen dos tipos principales de transistores de efecto de campo: el de juntura (JFET o JUNCTION FET) y el de compuerta aislada (IGFET o INSULATED GATE FET), más comúnmente conocido como FET de Semiconductor Metalizado Oxidado o MOSFET.

Las principales diferencias entre los transistores de efecto de campo y los transistores bipolares de juntura son las siguientes:

1. La operación de los transistores de efecto de campo depende únicamente del flujo de los portadores mayoritarios. Por lo tanto, es un dispositivo semiconductor unipolar (un solo tipo de portador).
2. Resulta ser más sencilla su fabricación y ocupa menos espacio, como parte de un circuito integrado.
3. Muestra una impedancia de entrada muy alta, típicamente de varios megohms ($M\Omega$).
4. Genera menos ruido y tiene una ganancia relativamente pequeña, con respecto al transistor bipolar de juntura. Esta última característica representa su principal desventaja.

III.2 TRANSISTOR DE EFECTO DE CAMPO DE JUNTURA

La estructura teórica de un transistor de efecto de campo de juntura de canal "n" (material semiconductor con exceso de electrones libres), está mostrada en la figura III.1.

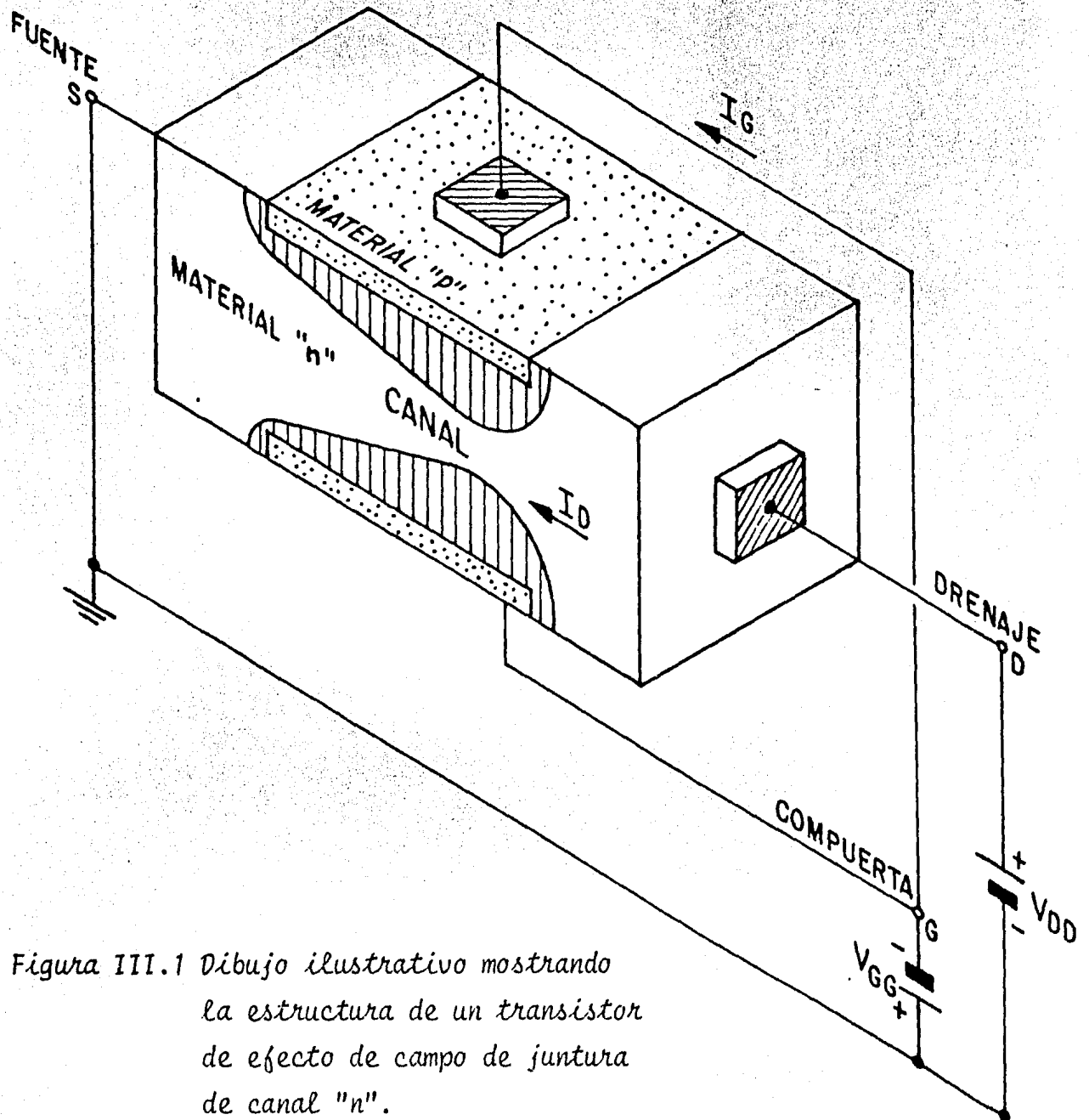


Figura III.1 Dibujo ilustrativo mostrando la estructura de un transistor de efecto de campo de juntura de canal "n".

Con base en este dispositivo electrónico, se explicará el principio de funcionamiento y las características de mayor trascendencia de este tipo de transistores.

En los extremos de una barra semiconductor de material "n" se fabrican contactos eléctricos. Debido a la diferencia de potencial provocada por una fuente de voltaje conectada a dichos extremos, se causa un flujo de corriente a través de la barra. Esta corriente consiste en portadores mayoritarios que en el caso de un FET de juntura de canal "n" son electrones.

Las partes principales y los símbolos convencionales estandarizados de los transistores de efecto de campo de juntura, son las siguientes:

1. FUENTE "S" (Source), es la terminal a través de la cual, los portadores mayoritarios entran a la barra. La corriente convencional que entra a la barra por la fuente se simboliza con I_S .
2. DRENAJE "D" (Drain), es la terminal por la que los portadores mayoritarios salen de la barra semiconductor. La corriente convencional que entra a la barra por el drenaje es designada con I_D . Al voltaje entre el drenaje y la fuente se le denomina V_{DS} y es positiva si el drenaje es más positivo que la fuente. En la figura III.1 $V_{DS} = V_{DD}$, donde V_{DD} es el voltaje de alimentación del drenaje.
3. COMPUERTA "G" (Gate). Sobre ambos lados de la barra semiconductor de material "n", se crean regiones de alta concentración de impurezas receptoras ("p+") mediante aleación, difusión o, por cualquier otro método para la formación de junturas "p-n". Estas regiones de material "p" se les llama COMPUERTA ("G"). Entre la compuerta y la fuente está aplicado un voltaje $V_{GS} = -V_{GG}$, de tal manera de polarizar inversamente la juntura "p-n". La corriente convencional que entra a la barra en G se le denomina I_G .
4. CANAL (Channel), es la región comprendida entre las terminales de la compuerta a través de la cual, los portadores mayoritarios fluyen desde la fuente hacia el drenaje.

El símbolo gráfico y las polaridades convencionales de un transistor de efecto de campo de juntura con los voltajes de polarización correspondientes, está mostrado en la figura III.2.

El sentido de la cabeza de flecha de la compuerta indica la dirección en que circularía la corriente de compuerta I_G , cuando la juntura correspondiente estuviera polarizado directamente.

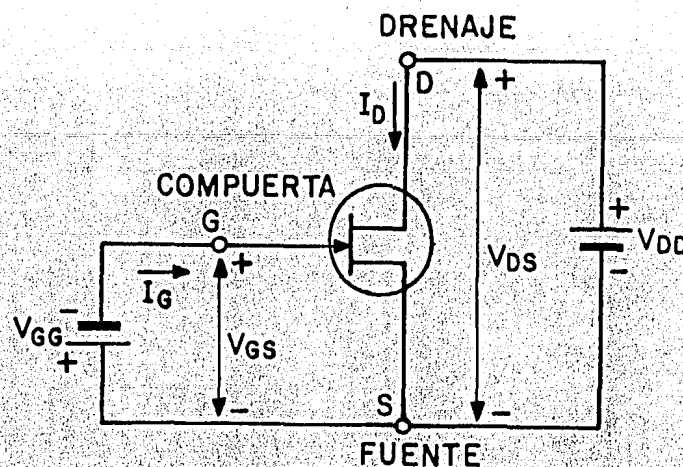


Figura III.2 Símbolo electrónico de un FET de juntura de canal "n".

La operación de los transistores de efecto de campo de juntura es como sigue: en ambos lados de la juntura "p-n" polarizado inversamente, se forman regiones de carga espaciales. Los portadores de corriente son transferidos de un lado de la juntura al otro, permaneciendo solamente iones positivos en el lado "n" e iones negativos en el lado "p". De esta manera se originan líneas de intensidad de campo eléctrico que van desde los iones positivos hacia los negativos y crean la caída de voltaje a través de la juntura.

Mientras mayor sea la polarización inversa, aumentará proporcionalmente el tamaño de la región de cargas inmóviles. Como la conductividad de esta región es nominalmente nula debido a la inexistencia de portadores de corriente, la anchura efectiva de operación del canal disminuye progresivamente con el incremento de la polarización inversa.

De todo esto se concluye que con un voltaje de drenaje a fuente fijo, la corriente de drenaje I_D será una función del voltaje de polarización inversa a través de la juntura de la compuerta.

Una gráfica de la corriente de drenaje I_D en función del voltaje drenaje-fuente V_{DS} , con el voltaje compuerta-fuente V_{GS} , como parámetro de un circuito de fuente común, está mostrada en la figura III.3.

Para comprender cualitativamente las características por las que la gráfica adquiere la forma mostrada, considérese el caso en que $V_{GS} = 0$ V. Si la corriente $I_D = 0$ mA, el canal entre las terminales de la compuerta estará completamente abierto.

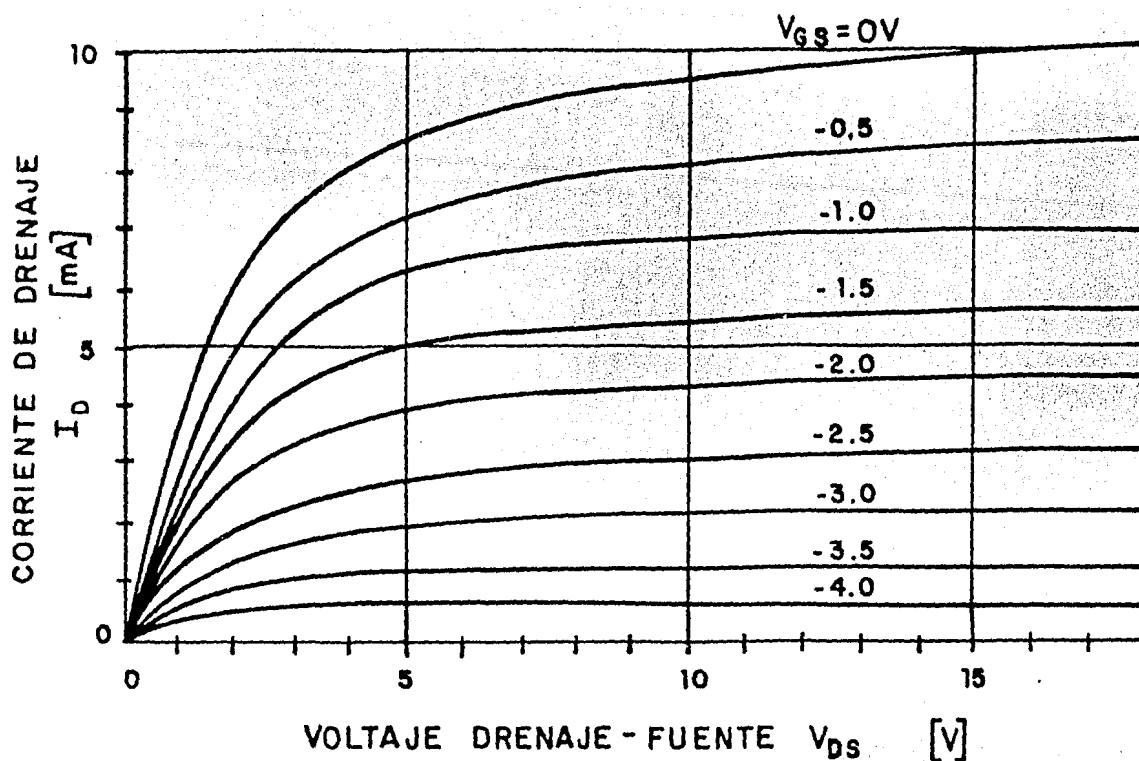


Figura. III.3 Gráfica de corriente de drenaje I_D contra voltaje drenaje-fuente V_{DS} , con el voltaje compuerta-fuente V_{GS} , como parámetro de un transistor de efecto de campo de juntura de canal "n".

Para valores pequeños de voltaje V_{DS} aplicado al FET, la barra semiconductor actúa como una simple resistencia, por lo que la corriente I_D crece proporcionalmente con V_{DS} .

Pero al incrementarse aún más la corriente I_D , debido a la caída de potencial producida a lo largo de la barra, hace que la juntura con la compuerta se polarice inversamente, sobre todo en las regiones más cercanas al drenaje. Esta es la causa por la que el canal se empieza a "cerrar", hasta llegar a un valor de voltaje V_{DS} de "contracción" del canal denominado V_p (Pinch-off voltage), para el cual la corriente I_D permanece prácticamente constante con respecto a un incremento mayor de V_{DS} , ya que en principio, el canal no puede cerrarse completamente.

Ahora, si el voltaje V_{GS} es aplicado de manera de proporcionar una polarización inversa mayor, el voltaje de "contracción" del canal V_p ocurrirá para valores menores de V_{DS} , por lo que la corriente máxima I_D también resultará ser menor.

TRANSISTOR DE EFECTO DE CAMPO DE SEMICONDUCTOR METALIZADO OXIDADO (MOSFET)

Este tipo de transistor de efecto de campo tiene una importancia comercial mayor con respecto al FET de juntura. A este transistor de efecto de campo de semiconductor metalizado oxidado se le denomina comúnmente como MOS. En la figura III.4 se muestra la estructura teórica de un transistor MOS.

El MOS de canal "n" consiste en un sustrato de baja densidad de portadores, dentro del cual se difunden dos regiones de alta concentración de material "p". Estas regiones "p" tienen una separación entre ellas de 10 a 20 μm y hacen las funciones del drenaje y de la fuente.

Una delgada capa (0.1 a 0.2 μm) de óxido de silicio (SiO_2) aislante es fabricada sobre la estructura y a través de huecos practicados en ellas, se realizan contactos eléctricos metalizados con el drenaje y con la fuente.

Sobre la zona intermedia entre estas dos últimas partes se forma un área metalizado que tendrá la función de la compuerta. La región debajo de la compuerta, entre el drenaje y la fuente será entonces el canal. El metal utilizado en la fabricación del MOS es generalmente aluminio (Al).

El área que ocupa en el bloque semiconductor de un circuito integrado es de 3,200 μm^2 (o sea que pueden incluirse 300 transistores MOS en 1 mm^2) o menor, el cual es aproximadamente el 5% del área que requiere un transistor bipolar de juntura para su fabricación.

La capa de óxido de silicio aislante entre la compuerta y el resto del MOS es la razón por la que este dispositivo también se le denomina FET de compuerta aislada. Así también, ésta es la causa principal por la que la resistencia de entrada del MOS sea muy alta, del orden de $10^{10} \Omega$.

Existen dos tipos diferentes de MOS llamados de "adición" (Enhancement) y de "sustracción" (Depletion). La figura III.4 corresponde a un MOS del primer tipo. La principal diferencia que existe entre ellos es que en la fabricación del MOS del tipo "sustracción", el canal se fabrica con material del mismo tipo que el drenaje y la fuente, pero de baja densidad de portadores. Debido a ello, este tipo de MOS es capaz de conducir

III.3 TRANSISTOR DE EFECTO DE CAMPO DE SEMICONDUCTOR METALIZADO OXIDADO (MOSFET)

Este tipo de transistor de efecto de campo tiene una importancia comercial mayor con respecto al FET de juntura. A este transistor de efecto de campo de semiconductor metalizado oxidado se le denomina comúnmente como MOS. En la figura III.4 se muestra la estructura teórica de un transistor MOS.

El MOS de canal "n" consiste en un sustrato de baja densidad de portadores, dentro del cual se difunden dos regiones de alta concentración de material "p". Estas regiones "p" tienen una separación entre ellas de 10 a 20 μm y hacen las funciones del drenaje y de la fuente.

Una delgada capa (0.1 a 0.2 μm) de óxido de silicio (SiO_2) aislante es fabricada sobre la estructura y a través de huecos practicados en ellas, se realizan contactos eléctricos metalizados con el drenaje y con la fuente.

Sobre la zona intermedia entre estas dos últimas partes se forma un área metalizado que tendrá la función de la compuerta. La región debajo de la compuerta, entre el drenaje y la fuente será entonces el canal. El metal utilizado en la fabricación del MOS es generalmente aluminio (Al).

El área que ocupa en el bloque semiconductor de un circuito integrado es de 3,200 μm^2 (o sea que pueden incluirse 300 transistores MOS en 1 mm^2) o menor, el cual es aproximadamente el 5% del área que requiere un transistor bipolar de juntura para su fabricación.

La capa de óxido de silicio aislante entre la compuerta y el resto del MOS es la razón por la que este dispositivo también se le denomina FET de compuerta aislada. Así también, ésta es la causa principal por la que la resistencia de entrada del MOS sea muy alta, del orden de $10^{10} \Omega$.

Existen dos tipos diferentes de MOS llamados de "adición" (Enhancement) y de "sustracción" (Depletion). La figura III.4 corresponde a un MOS del primer tipo. La principal diferencia que existe entre ellos es que en la fabricación del MOS del tipo "sustracción", el canal se fabrica con material del mismo tipo que el drenaje y la fuente, pero de baja densidad de portadores. Debido a ello, este tipo de MOS es capaz de conducir

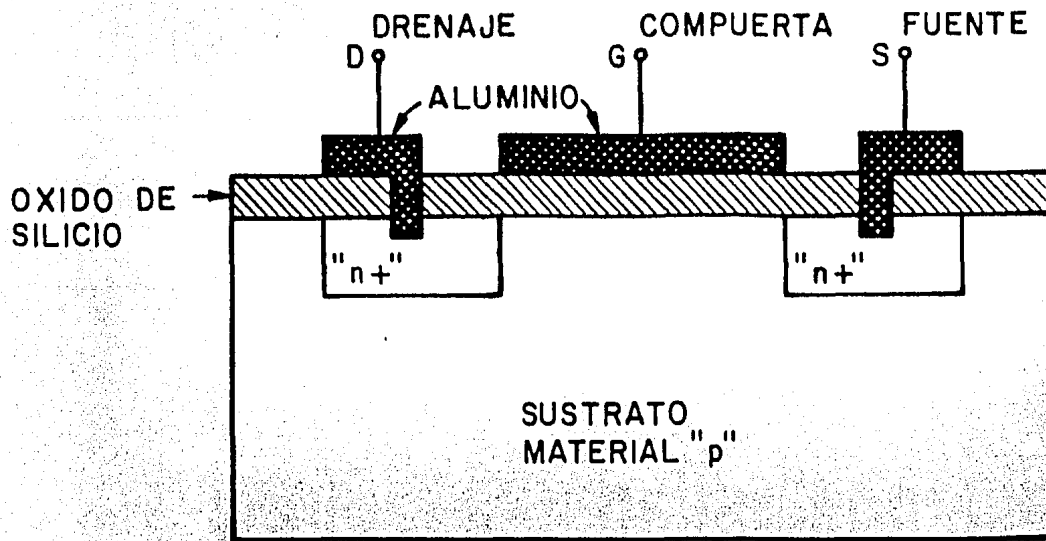


Figura III.4 Estructura técnica de un transistor de efecto de campo MOS de canal "n", de tipo "adición" (enhancement).

una pequeña corriente entre el drenaje y la fuente en ausencia de un voltaje aplicado a la compuerta; en cambio el MOS de tipo "adición" requiere de la aplicación de un voltaje en la compuerta para que circule corriente por el canal.

Los símbolos gráficos de los diversos tipos de MOS, están dibujados en la figura III.5.

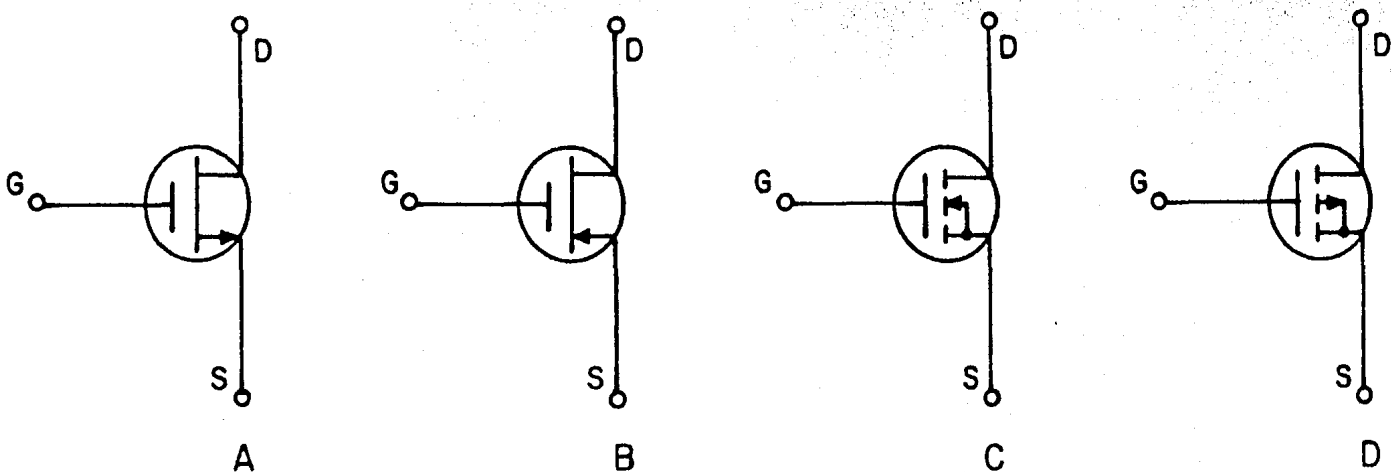


Figura III.5 Símbolos gráficos de los diferentes tipos de transistores MOS. Las figuras A y B pueden representar MOS de tipos "adición" o "sustracción". Las figuras C y D representan específicamente MOS de tipo "adición". A y C son de canal "n"; B y D son de canal "p".

Obsérvese que las figuras C y D tienen cuatro terminales. La terminal intermedia del lado derecho representa al sustrato, el cual está internamente conectado con la fuente.

El funcionamiento de un MOS de tipo "adición" está basado en la formación inducida de un canal de conducción debajo de la compuerta.

Considerando un MOS de canal "n" tipo "adición", si se aplica un potencial positivo a la compuerta, se crea un campo eléctrico a través del óxido, que inducirá cargas negativas en la región de semiconductores debajo de la compuerta (Figura III.6).

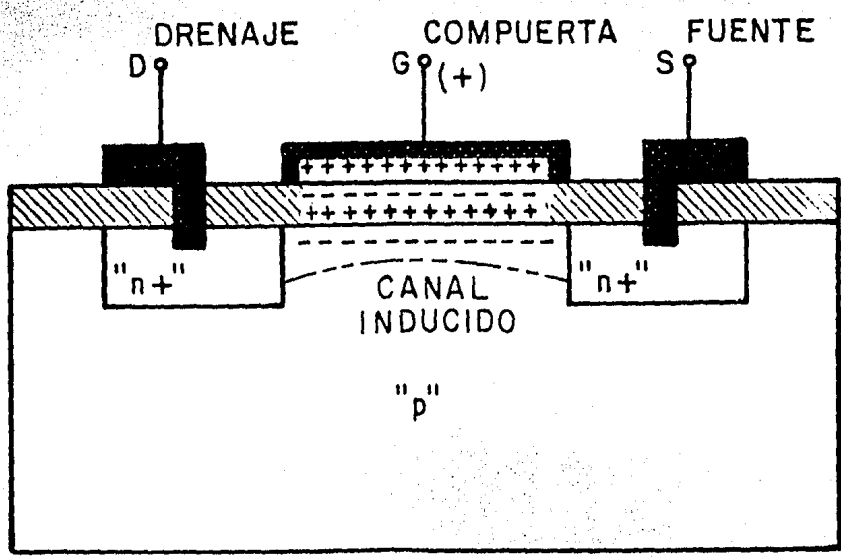


Figura III.6 Estructura de un transistor MOS de canal "n" de tipo de "adición" donde se muestra la creación de un canal inducido por el campo eléctrico generado por el potencial positivo en la compuerta.

Estas cargas negativas serán portadores minoritarios en el sustrato de material "p". Al aumentar el voltaje en la terminal de la compuerta, se incrementa el número de portadores minoritarios en el canal inducido, por lo que la conductividad crece, permitiendo la circulación de corriente a través de este canal, del drenaje a la fuente.

La corriente de drenaje es inyectada o "añadida" por el voltaje positivo en la compuerta, al canal inducido y de ahí a la fuente. Este mecanismo es la razón por la cuál este tipo de dispositivo recibe el nombre de MOS de "adición".

Existe un voltaje mínimo V_{GS} a partir del cuál comienza a circular una cantidad significativa de corriente del drenaje a la fuente. A partir

Obsérvese que las figuras C y D tienen cuatro terminales. La terminal intermedia del lado derecho representa al sustrato, el cual está internamente conectado con la fuente.

El funcionamiento de un MOS de tipo "adición" está basado en la formación inducida de un canal de conducción debajo de la compuerta.

Considerando un MOS de canal "n" tipo "adición", si se aplica un potencial positivo a la compuerta, se crea un campo eléctrico a través del óxido, que inducirá cargas negativas en la región de semiconductores debajo de la compuerta (Figura III.6).

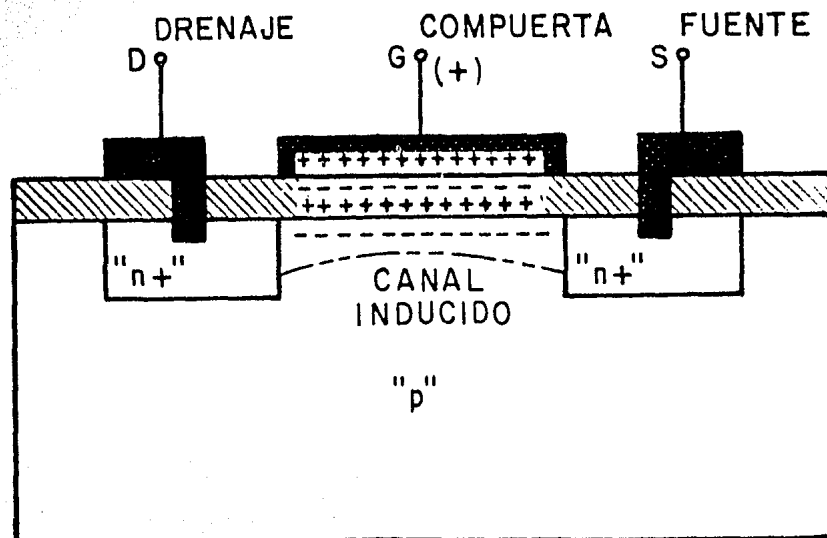


Figura III.6 Estructura de un transistor MOS de canal "n" de tipo de "adición" donde se muestra la creación de un canal inducido por el campo eléctrico generado por el potencial positivo en la compuerta.

Estas cargas negativas serán portadores minoritarios en el sustrato de material "p". Al aumentar el voltaje en la terminal de la compuerta, se incrementa el número de portadores minoritarios en el canal inducido, por lo que la conductividad crece, permitiendo la circulación de corriente a través de este canal, del drenaje a la fuente.

La corriente de drenaje es inyectada o "añadida" por el voltaje positivo en la compuerta, al canal inducido y de ahí a la fuente. Este mecanismo es la razón por la cuál este tipo de dispositivo recibe el nombre de MOS de "adición".

Existe un voltaje mínimo V_{GS} a partir del cuál comienza a circular una cantidad significativa de corriente del drenaje a la fuente. A partir

de este voltaje, se considera que el canal se ha formado. Recibe el nombre de voltaje de "encendido" o V_{TH} (threshold voltage).

El valor del voltaje de "encendido" depende de las propiedades eléctricas del sustrato y del óxido, así como del grosor de éste último. Los valores típicos de V_{TH} van de 2 a 4V.

La gráfica de corriente de drenaje I_D contra voltaje drenaje-fuente V_{DS} con el voltaje compuerta-fuente V_{GS} como parámetro, de un transistor MOS de canal "n" tipo "adición" está mostrada en la figura III.7.

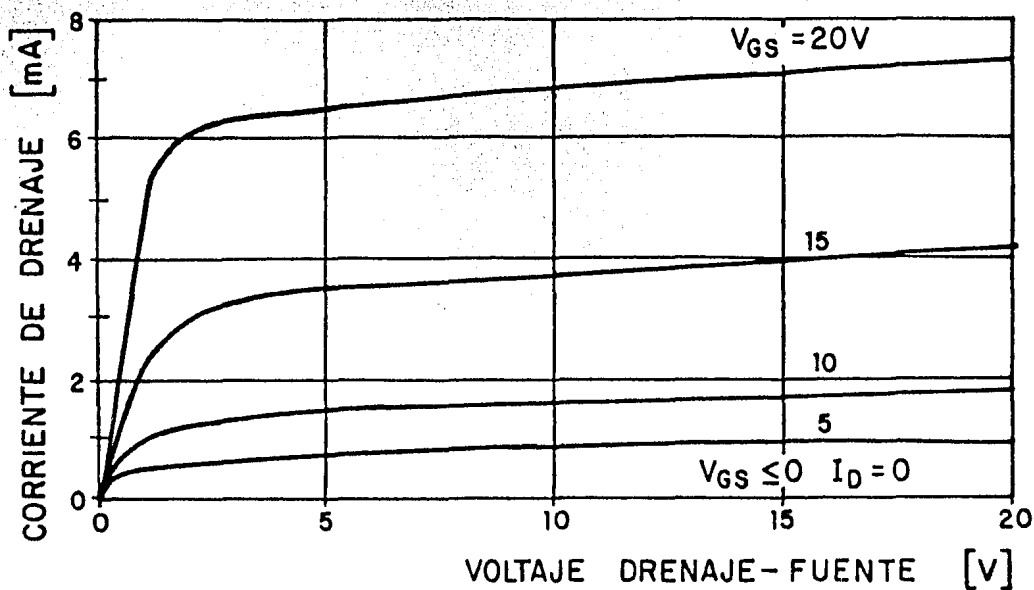


Figura III.7 Gráfica de corriente de drenaje I_D contra voltaje drenaje-fuente V_{DS} , con el voltaje compuerta-fuente V_{GS} , como parámetro de un transistor MOS de canal "n" de tipo "adición".

El MOS tipo "sustracción" tiene un funcionamiento dual. Al aplicarse un potencial negativo en la compuerta, en el canal de material "n" se crea un campo eléctrico similar al explicado para el FET de juntura, por lo que funciona de una manera parecida a éste.

Si el potencial aplicado en la compuerta es positivo, su funcionamiento será similar al MOS de tipo "adición".

III.4 LOGICA MOS

Conocidos los fundamentos básicos bajo los cuales funcionan los transistores de efecto de campo MOS, se podrá comprender adecuadamente la operación de los circuitos digitales diseñados con estos dispositivos.

Para la fabricación de compuertas de esta familia lógica, se utilizan preferentemente transistores MOS tipo "adición" por la característica de que requieren de la aplicación de un voltaje en la compuerta del MOS para que circule corriente por el canal.

Debido a las capacitancias parásitas compuerta-drenaje, compuerta-fuente y compuerta-sustrato, los circuitos MOS son relativamente más lentos que los circuitos diseñados con transistores bipolares de juntura.

Pero su baja potencia de disipación y su alta densidad de fabricación en circuitos integrados, hacen a esta familia MOS sumamente atractiva, sobre todo para aplicaciones de baja velocidad.

El valor típico de tiempo de demora de propagación de esta familia lógica es del orden de 300 ns. Se considera que el abanico de salida que puede manejar es de 20 compuertas.

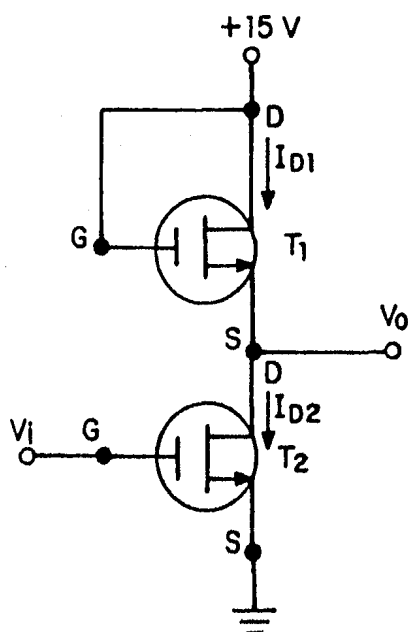


Figura III.8 Circuito inversor MOS.

Está formado únicamente por dos transistores MOS canal "n" de tipo "adición".

Se muestra en la figura III.8 un circuito inversor MOS. Como se puede observar, consiste únicamente de dos transistores MOS interconectados entre sí, sin necesidad de resistencias u otros elementos similares.

El transistor superior T_1 , funciona exclusivamente como una resistencia de carga. El transistor T_2 , es el elemento activo de la compuerta lógica.

Para comprender el funcionamiento de este circuito, se requiere establecer las siguientes ecuaciones:

$$V_i = V_{GS2} ; V_o = V_{DS2} ; V_{DD} = V_{DS1} + V_o ; I_{DS1} = I_{DS2}$$

Como el transistor T_1 tiene voltajes compuerta-fuente V_{GS1} y drenaje fuente V_{DS1} iguales, el lugar geométrico de los puntos que cumplen con esta condición en la gráfica de corriente de drenaje I_{D1} contra voltaje drenaje-fuente V_{DS1} con el voltaje V_{GS1} como parámetro, se muestra en la figura III.9.

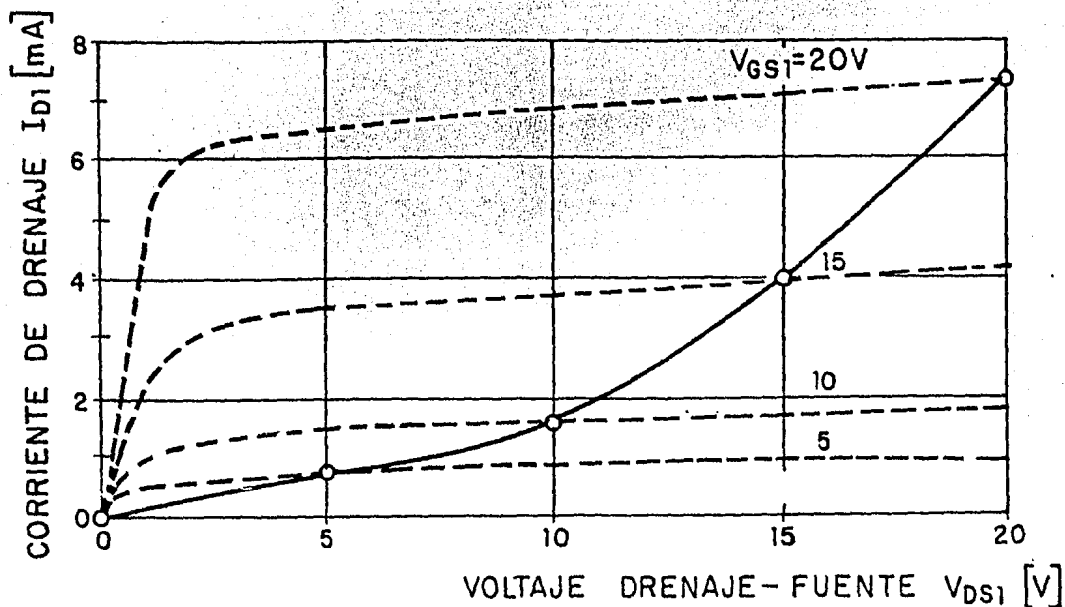


Figura III.9 Gráfica del lugar geométrico donde $V_{DS1} = V_{GS1}$ del transistor MOS canal "n" tipo "adición".

Este lugar geométrico será la curva de transferencia de corriente de drenaje I_{D1} contra voltaje V_{DS1} . Obsérvese que para una $I_{D1} = 0$ mA, el voltaje V_{DS1} es igual a cero.

Conocida esta curva de transferencia, se podrá dibujar la gráfica de corriente de drenaje del transistor T_2 (I_{D2}) contra voltaje de salida V_o , conociendo las ecuaciones:

$$I_{D1} = I_{D2} ; V_o = V_{DD} - V_{DS1}$$

La gráfica de transferencia I_{D2} contra V_o está mostrada en la figura III.10.

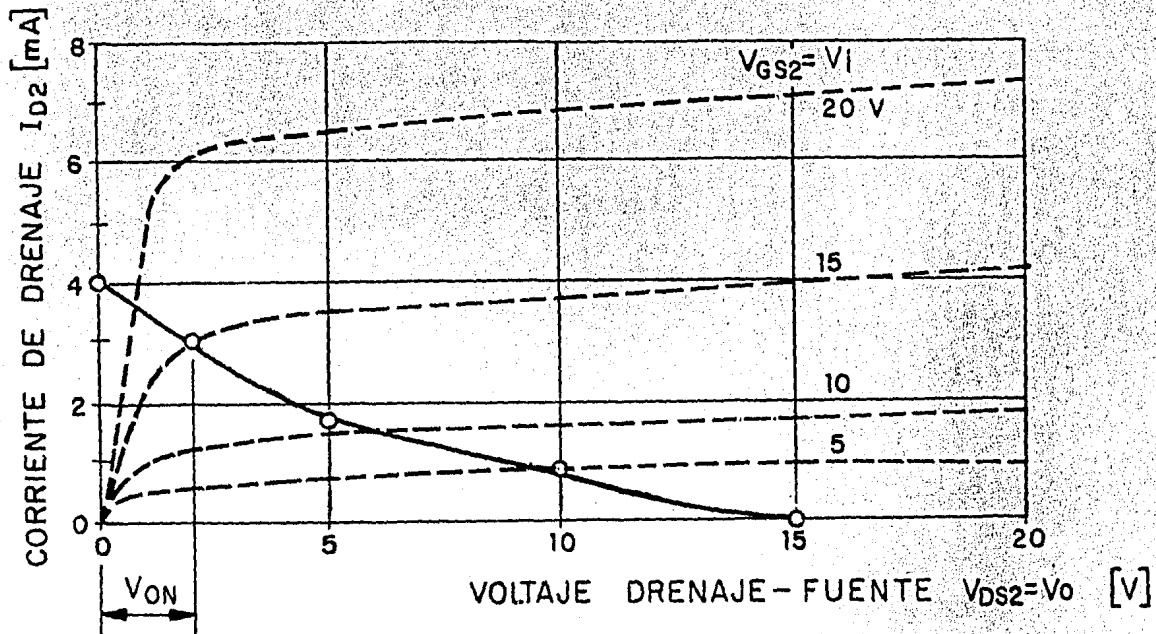


Figura III.10 Gráfica de transferencia de corriente de drenaje I_{D2} contra voltaje de salida $V_o = V_{DS2}$, con el voltaje de entrada $V_i = V_{GS2}$ como parámetro y el voltaje de alimentación $V_{DD} = 15$ V.

Entonces se puede deducir que si el voltaje de entrada $V_i = 0$ V, el voltaje de salida tendrá un valor $V_o = V_{DD}$. Como este voltaje de alimentación $V_{DD} = 15$ V, $V_o = 15$ V.

Se puede mantener esta misma condición mientras el transistor T_2 permanezca apagado. Considerando un voltaje de encendido $V_{TH} = 2$ V, se puede inferir un voltaje similar como valor del margen de ruido.

Ahora, si la entrada es alta o sea $V_i = 15$ V ($V_{GS2} = 15$ V), la salida será baja, con un valor de $V_o = 2$ V, como se puede apreciar en la gráfica de la figura III.10.

Entonces se puede concluir que el circuito en estudio corresponde a una compuerta NOT o inversor.

A continuación se procederá a calcular la potencia disipada. Cuando $V_i = 0$ V, la corriente $I_{D1} = I_{D2}$ es prácticamente nula. En realidad exis-

te un valor sumamente pequeño, si se considera que la resistencia de "apagado" del MOS es del orden de $R_{OFF} = 10^{10} \Omega$.

Como en este caso $V_O = 15 \text{ V}$:

$$I_D = \frac{V_O}{R_{OFF}} ; I_D = \frac{15}{10^{10}} ; I_D = 1.5 \times 10^{-9} \text{ A} ; I_D = 1.5 \text{ nA}$$

por lo tanto:

$$P_D = V_{DD} I_D ; P_D = 15 \times 1.5 ; P_D = 22.5 \text{ nW}$$

En este estado la impedancia de salida es alta teniendo aproximadamente el valor de la resistencia drenaje-fuente de T_1 .

Ahora cuando $V_i = V_{DD}$ y $V_O = 2 \text{ V}$, de la figura III.10 se obtiene un valor de $I_{D2} = 3 \text{ mA}$. Entonces:

$$P_D = V_{DD} I_D ; P_D = 15 \times 3 ; P_D = 45 \text{ mW}$$

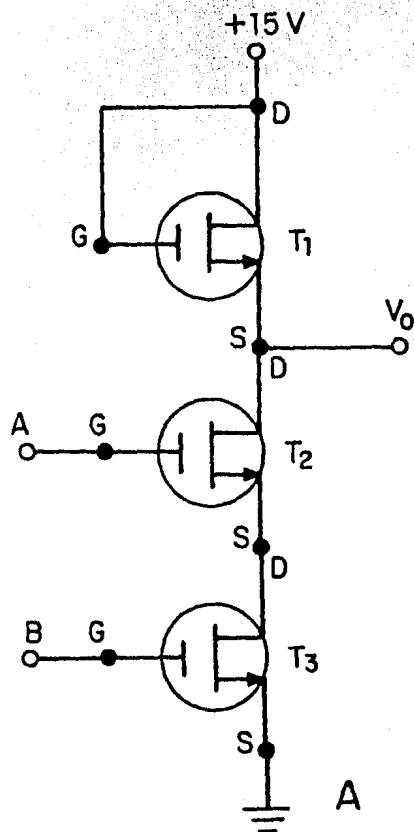
La impedancia de salida tendrá un valor aproximado igual al de la resistencia que presenta el transistor T_2 "encendido", que es de unos 600Ω .

De todo ésto se puede concluir que la potencia disipada es mucho mayor (dos millones de veces) cuando la salida es "baja", con respecto al que consume el circuito con la salida "alta", durante el funcionamiento estático de la compuerta.

En las transiciones de estado, cuando la salida cambia de "0" a "1" lógico, la resistencia de carga de las capacitancias parásitas de las entradas subsiguientes es alta, por lo que el tiempo de demora de propagación tiene un valor alto. Cuando el cambio es de "1" a "0" lógico, la resistencia de descarga de los capacitores mencionados anteriormente será la que presente aproximadamente el transistor T_2 "encendido" (600Ω) por lo que el tiempo de demora de propagación disminuye considerablemente con relación a la transición lógica anterior.

Con base en el funcionamiento del circuito inversor explicado anteriormente, se puede implementar la compuerta básica NAND.

En la figura III.11A está mostrada esta compuerta. Al igual que en el circuito inversor analizado, el transistor T_1 funciona como una simple resistencia de carga. Los transistores T_2 y T_3 son los elementos activos de la compuerta.



A	B	V_o
0	0	1
0	1	1
1	0	1
1	1	0

Figura III.11 A Circuito básico de la familia MOS (NMOS):
compuerta NAND.

B Tabla de verdad de esta compuerta.

Para entender de una manera sencilla su operación, se utilizará una analogía considerando a T_2 y T_3 como interruptores, que funcionan mediante el voltaje aplicado a la compuerta del MOS correspondiente.

Si este voltaje es $V_i = V_{DD}$, o sea $V_i = 15$ V, el "interruptor" estará cerrado por lo que podrá conducir corriente. Si $V_i = 0$ V, el interruptor quedará abierto y no existirá conducción.

Como estos "interruptores" están conectados en serie, es suficiente con que uno de ellos esté abierto para que no exista corriente en el circuito, por lo que el voltaje de salida será "alto", o sea $V_o = V_{DD}$; $V_o = 15$ V.

En el caso que las entradas sean "altas" ($V_i = 15 \text{ V}$), los "interruptores" quedarán cerrados por lo que existirá conducción de corriente y la salida será "baja" ($V_o = 0 \text{ V}$) según esta analogía.

La tabla de verdad de esta compuerta lógica se presenta junto con el circuito correspondiente en la figura III.11B.

De manera similar, basándose en el funcionamiento del circuito inversor se pueden diseñar las demás compuertas lógicas principales como la "NOR", el "FLIP-FLOP", etcétera.

III.5 LOGICA CMOS (COMPLEMENTARY-SYMMETRY METAL OXIDE SEMICONDUCTOR)

El término CMOS significa Semiconductor Metalizado Oxidado de Simetría Complementaria, referido a transistores de efecto de campo o FET.

La diferencia fundamental que presenta esta familia lógica con respecto a la familia MOS, es la utilización en el mismo circuito de pares complementarios de transistores MOS.

Se pueden resumir las desventajas que presenta la familia MOS en los siguientes puntos:

1. El tiempo de demora de propagación es alto (300 ns) ocasionado principalmente por la alta impedancia de salida cuando presenta el estado alto.
2. La potencia disipada es muchísimo mayor estáticamente, con la salida en estado bajo.
3. Debido a la alta impedancia de salida en estado alto, la compuerta tiene un menor margen de ruido, además de no poder manejar un abanico de salida muy grande.

Estas desventajas pueden mejorarse significativamente utilizando transistores MOS complementarios. De esta manera se ha creado la tecnología CMOS que se analizará a continuación.

Esta familia lógica fue desarrollada principalmente por la División de Estado Sólido de la Corporación de Radio de América (RCA), la cual, reconociendo las grandes ventajas que presenta esta tecnología con respecto a las demás, anunció planes de comercialización de los circui-

tos lógicos CMOS en 1968. Al principio, únicamente tuvo aplicaciones en el campo aeroespacial y militar.

Actualmente por la gran versatilidad, disponibilidad, economía y excelentes características de operación, la familia lógica CMOS ha penetrado en todos los segmentos del mundo digital, que abarca desde los simples dispositivos comerciales, hasta los sofisticados sistemas de satélites de ultra-alta confiabilidad.

Para el análisis de los circuitos de esta familia CMOS, se tomará como base la compuerta NOT o inversor.

La conexión del circuito inversor básico, está mostrada en la figura III.12. Como en el caso de la familia MOS, se emplean transistores MOS de tipo "adición" (enhancement).

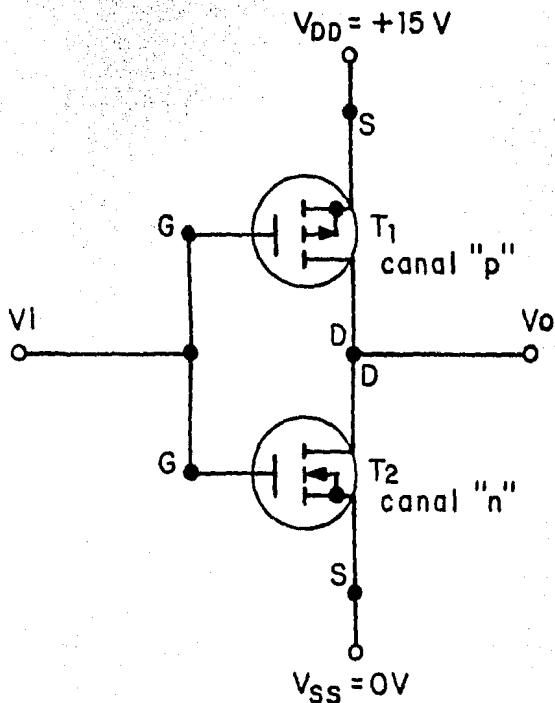


Figura III.12 Circuito inversor CMOS. La fuente del MOS canal "p" está conectado a V_{DD} (+15 V) y la del MOS canal "n" a V_{SS} (0 V o "tierra").

Se puede observar que dos transistores MOS complementarios (uno de canal "n" y otro de canal "p") están conectados en serie con la fuente de alimentación. Las compuertas de los dos transistores están conectados entre sí, proporcionando una única terminal de entrada. La salida se obtiene a partir de la interconexión de los drenajes de ambos transistores. La fuente del MOS de canal "p" está conectada a la terminal positiva (V_{DD}) y la del MOS canal "n" a la terminal negativa (V_{SS}) del voltaje de alimentación.

El circuito funciona de la siguiente manera: cuando la entrada es "alta" ($V_i = V_{DD}$, o sea, $V_i = 15$ V), el voltaje compuerta-fuente del tran

sistor T_1 es $V_{GS1} = 0 \text{ V}$, por lo que el transistor estará "apagado"; por otro lado, el voltaje compuerta-fuente de T_2 es $V_{GS2} = 15 \text{ V}$, por lo que éste quedará "encendido". De aquí que la salida sea "baja", $V_o = 0 \text{ V}$.

Si la entrada es "baja" ($V_i = V_{SS}$; $V_i = 0 \text{ V}$), sucede lo contrario de lo mencionado en el párrafo anterior. El transistor T_1 estará "encendido" mientras que T_2 quedará "apagado", por lo que el voltaje de salida será $V_o = 15 \text{ V}$.

Con ésto se verifica el funcionamiento del circuito como una compuerta lógica inversora.

Como se mencionó anteriormente, la resistencia de "apagado" de drenaje-fuente de un MOS es del orden de $R_{OFF} = 10^{10} \Omega$. Considerando ahora una resistencia de "encendido" entre las mismas terminales del MOS de $R_{ON} = 1,000 \Omega$, se podrán obtener los circuitos equivalentes mostrados en la figura III.13 para los estados "alto" y "bajo" de salida.

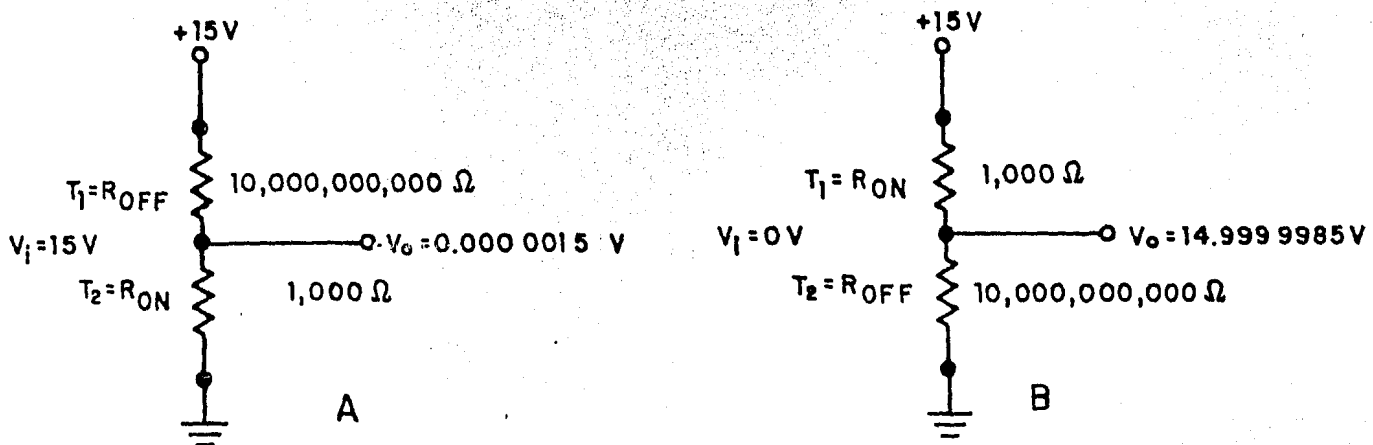


Figura III.13 Diagrama de los circuitos equivalentes de un inversor CMOS.

A Entrada "alta", salida "baja".

B Entrada "baja", salida "alta".

La potencia disipada en ambos casos es la misma, teniendo un valor aproximado de:

$$P_D = \frac{V_{DD}^2}{R_{ON} + R_{OFF}} ; P_D = \frac{15^2}{1,000 + 10,000,000,000}$$

$$P_D = 0.000\ 000\ 022\ 5 \text{ W} \quad \circ \quad P_D = 22.5 \text{ nW}$$

La impedancia de salida tanto en el estado "alto" como en el estado "bajo" de la salida, tiene prácticamente un valor igual a la resistencia de "encendido" del transistor $R_{ON} = 1,000 \Omega$.

Por lo tanto, las desventajas mencionadas para los circuitos de la familia MOS, con la utilización de transistores complementarios (lógica CMOS) han sido ampliamente mejoradas:

1. Como la impedancia de salida es baja en ambos estados de salida, el tiempo de demora de propagación es relativamente baja, con un valor típico de 70 ns.
2. La potencia disipada estáticamente es de 22.5 nW, tanto en estado de salida "alto" como en el "bajo".
3. La baja impedancia de salida evita la sensibilidad al ruido de este circuito, por lo que se obtiene un MARGEN DE RUIDO alto. Así mismo, el ABANICO DE SALIDA que puede manejar la salida de la compuerta, es bastante grande, de más de 50 compuertas.

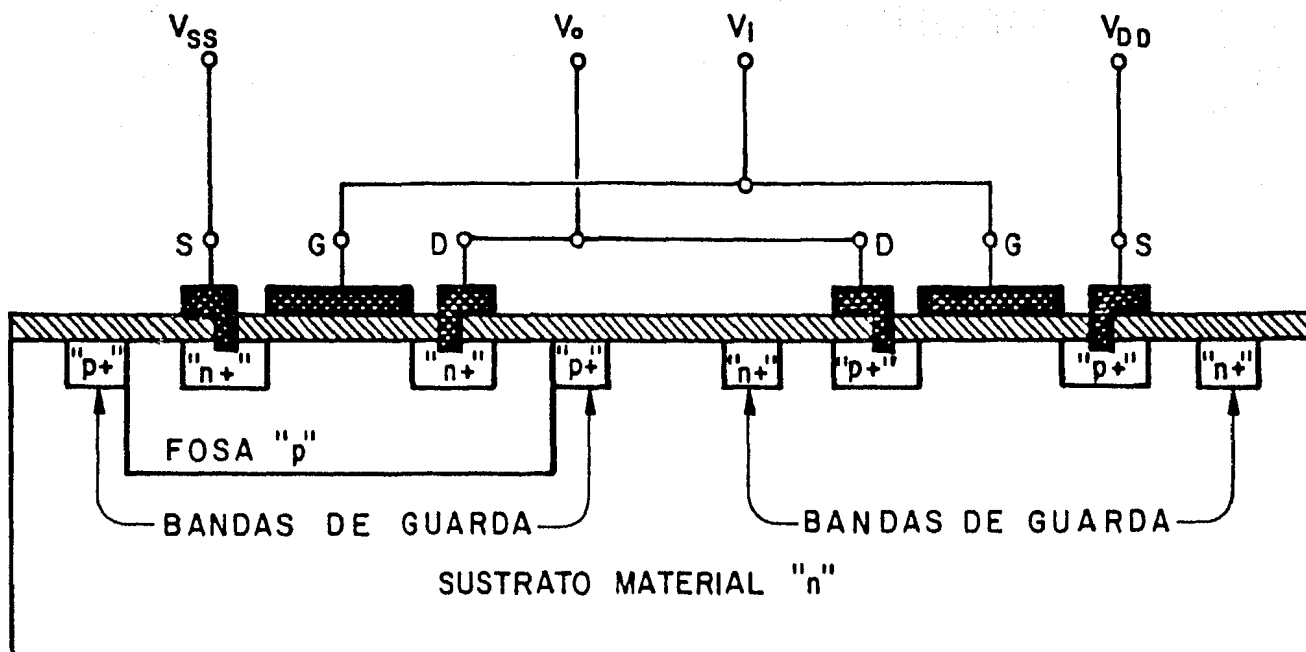


Figura III.14 Estructura física simplificada de un inversor CMOS.

La estructura física simplificada de un inversor CMOS está mostrada en la figura III.14. Se pueden observar que limitando a cada transistor se han difundido regiones de alta densidad de portadores de carga. Estas regiones se construyen de polaridad contraria a la del canal del transistor correspondiente rodeándolo completamente, teniendo como fun-

ción el de prevenir efectos de campo indeseables, así como corrientes de fuga entre los elementos de los diferentes transistores.

A estas regiones se les conoce como BANDAS DE GUARDA, ANILLOS DE GUARDA o LIMITADORES DE CANAL.

Así mismo, debido a la alta impedancia de entrada de los transistores MOS, cuando en la entrada se presentan cantidades de carga que excedan el valor de ruptura del óxido aislante, se pueden producir fallas en la operación de los circuitos. Este problema se ha eliminado virtualmente, construyendo en el mismo bloque de silicio diodos de protección entre la entrada y las terminales de la fuente de alimentación del circuito. Se conectan de tal manera que en funcionamiento normal estén polarizados inversamente con las terminales de voltaje fuente. Están diseñados de tal manera que pueda circular por los diodos una corriente constante máxima de 10 mA, sin dañar al circuito.

Otras características de importancia en el diseño de circuitos digitales utilizando la tecnología CMOS se mencionan a continuación.

Debido a la estructura del transistor MOS en el que la compuerta está aislada del resto de los elementos, la resistencia de la compuerta a la fuente o al drenaje es sumamente alta. Pero entre la compuerta y los otros elementos del transistor (la fuente, el drenaje y la región del canal), se forman capacitancias parásitas. El valor total de esta capacitancia es del orden de 5 pF para un circuito inversor.

El inversor tendrá conectados a la salida, entradas de varias otras compuertas, cuando se le utiliza en un circuito digital. Cada una de estas compuestas presentará una impedancia capacitiva por lo que en la transición de estados del inversor, circulará una corriente momentánea que cargará a las capacitancias parásitas del abanico de salida. Esta corriente momentánea durante la transición causará un mayor consumo de potencia. Esta potencia requerida para la operación dinámica del inversor, es directamente proporcional a la frecuencia de operación. El valor típico de potencia disipada para una frecuencia de operación de 1 MHz es de 2 mW, que aún así es un valor sumamente pequeño, en comparación con otras familias lógicas.

En la figura III.15 está mostrada la función de transferencia (voltaje de salida V_o contra voltaje de entrada V_i) del circuito inversor CMOS, con el voltaje de alimentación V_{DD} como parámetro.

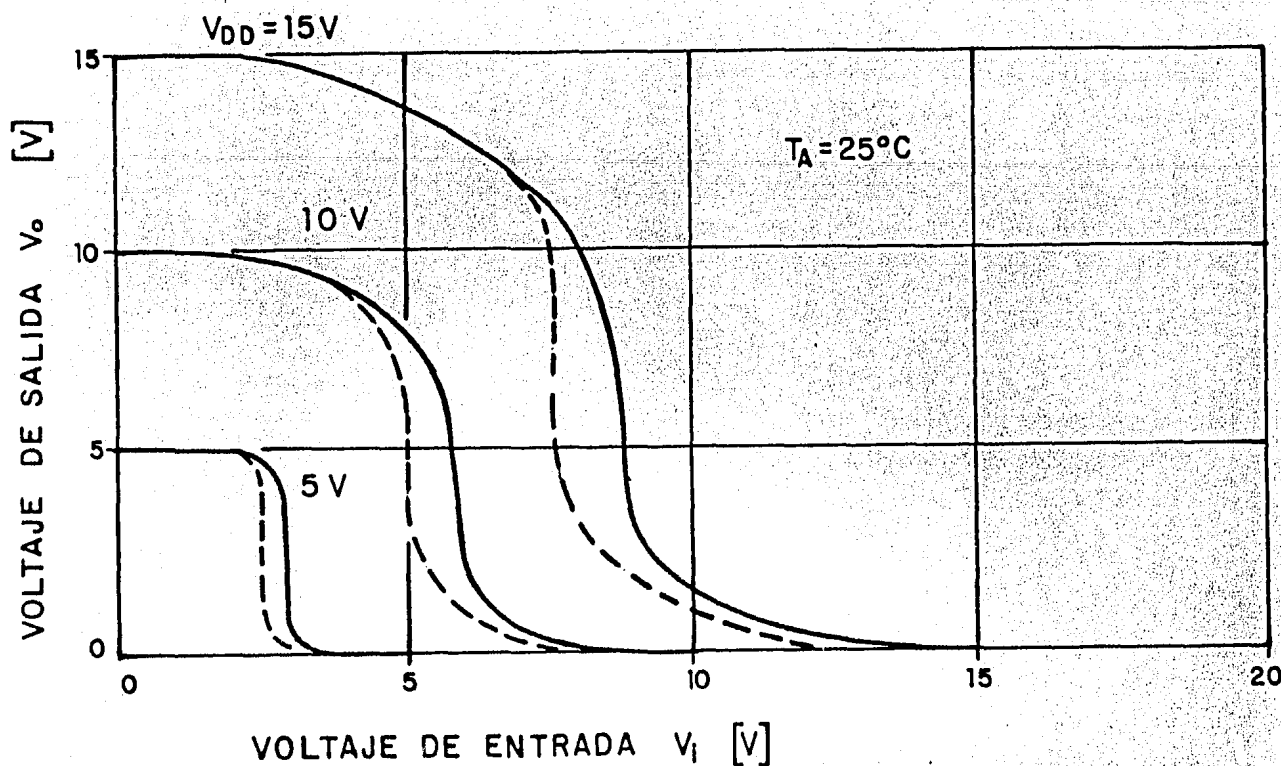


Figura III.15 Gráfica de la función de transferencia del inversor CMOS. La curva ideal se muestra con la línea discontinua.

En esta gráfica también se muestra la curva de transferencia ideal, que está trazada con línea discontinua.

La razón de la desviación de la curva de transferencia real con respecto a la ideal, es porque la característica del MOS canal "n" difiere del MOS canal "p". Este último conduce mayor corriente de drenaje I_D al aplicar un voltaje compuerta-fuente V_{GS} determinado, respecto al que conduciría el MOS canal "n", así como la de tener diferentes valores de voltaje de "encendido" V_{TH} .

Por otro lado, la resistencia de encendido del MOS puede variar desde un valor de $10 M\Omega$ hasta unos 30Ω , dependiendo de las dimensiones del transistor y del voltaje compuerta-fuente V_{GS} aplicado, por lo que se puede considerar el MOS como una resistencia controlada por voltaje. Esta es la causa por la que la gráfica de transferencia presenta "rodillas" redondeadas.

Otra de las características importantes de la familia CMOS es la de su estabilidad térmica. La variación de la función de transferencia de los circuitos en todo el rango de temperatura de operación ($-55^\circ C$ a

+125°C) es de $\pm 1.5\%$, en comparación con la familia TTL, que sufre una variación del orden de $\pm 20\%$.

La INMUNIDAD AL RUIDO es una más de las consideraciones importantes que se deben de tomar en cuenta para el diseño de cualquier tipo de circuitos lógicos digitales. La inmunidad al ruido puede definirse como la cantidad que puede variar el voltaje de entrada sin que en la salida se aprecie un efecto significativo, a diferencia del concepto de MARGEN DE RUIDO mencionado anteriormente, que se podría redefinir como la diferencia entre el voltaje "alto" o "bajo" garantizado de la salida y el voltaje "alto" o "bajo" garantizado de la entrada.

Para la mejor comprensión de estos dos conceptos se procederá al análisis de la figura III.16, en que se presenta la función de transferencia ideal de un inversor CMOS con un voltaje de alimentación V_{DD} de 15 V.

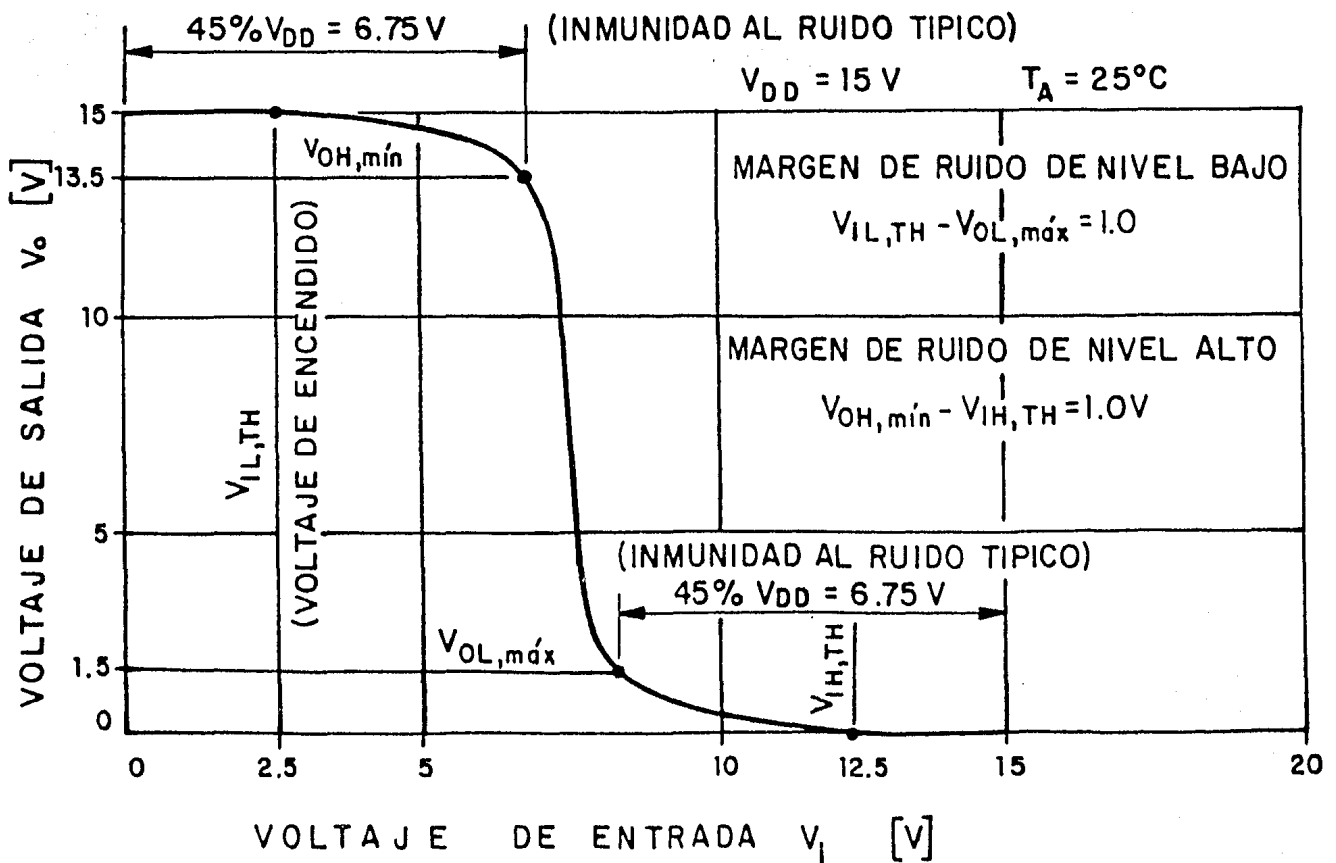


Figura III.16 Gráfica ideal de la función de transferencia del inversor CMOS, para la determinación del MARGEN DE RUIDO.

Se considerará que la inmunidad al ruido es el valor del intervalo de voltaje de entrada V_i para el cual el voltaje de salida V_o no sufre

una variación mayor del 10% del voltaje de alimentación del circuito. Para la familia lógica CMOS, la inmunidad al ruido garantizada (para todas las condiciones de operación y para cualquier circuito salido de la línea de producción) es de un 30% del voltaje de alimentación V_{DD} y el valor típico de inmunidad al ruido es de 45% de V_{DD} .

Por lo tanto, para un voltaje de alimentación de 15 V, el voltaje de entrada "bajo" podrá variar de 0 a 6.75 V y el voltaje de entrada "alto" de 8.25 a 15 V, sin que el voltaje de salida del inversor tenga un cambio mayor de 1.5 V.

Para el voltaje de entrada "bajo" máximo $V_{iL,máx} = 6.75$ V, el voltaje de salida "alto" mínimo $V_{oH,mín}$ según la figura III.16 es de 13.5 V. Para el voltaje de entrada "alto" mínimo $V_{iH,mín} = 8.25$ V, el voltaje de salida "bajo" máximo $V_{oL,máx}$ es de 1.5 V.

El voltaje de salida V_o prácticamente permanece sin variación durante el intervalo de voltaje en que está "apagado" alguno de los transistores. Considerando el valor de voltaje de "encendido" $V_{TH} = 2.5$ V, para un voltaje de entrada "bajo" $V_{iL,TH} = 2.5$ V o un voltaje de entrada "alto" $V_{iH,TH} = 12.5$ V, el voltaje de salida permanecerá prácticamente constante en $V_o = 15$ V y $V_o = 0$ V respectivamente.

Entonces, el margen de ruido de nivel "bajo" tendrá un valor igual a la diferencia entre $V_{oL,máx}$ y el voltaje de entrada "bajo" de "encendido" $V_{iL,TH}$, o sea, $2.5 - 1.5 = 1$ V, y el margen de ruido de nivel "alto" tendrá un valor igual a la diferencia entre $V_{oH,mín}$ y $V_{iH,TH}$, por lo cual este parámetro tendrá un valor de $13.5 - 12.5 = 1$ V.

Todas las compuertas lógicas de la familia CMOS tiene un valor de margen de ruido garantizado para cualquier condición de voltaje de alimentación, de 1 V.

Con respecto al tiempo de demora de propagación, se mencionó que su valor típico es de 70 ns. Pero en el diseño de sistemas de alta velocidad de operación (mayor de 1 MHz) es necesario obtener un valor más objetivo.

Este valor quedará en función del voltaje de alimentación del circuito, por un lado, y la carga capacitiva que presente a la salida de la compuerta analizada, por el otro; esta última dependerá del número de compuertas subsiguientes a la que esté conectada la salida del circuito mencionado, es decir, de su abanico de salida.

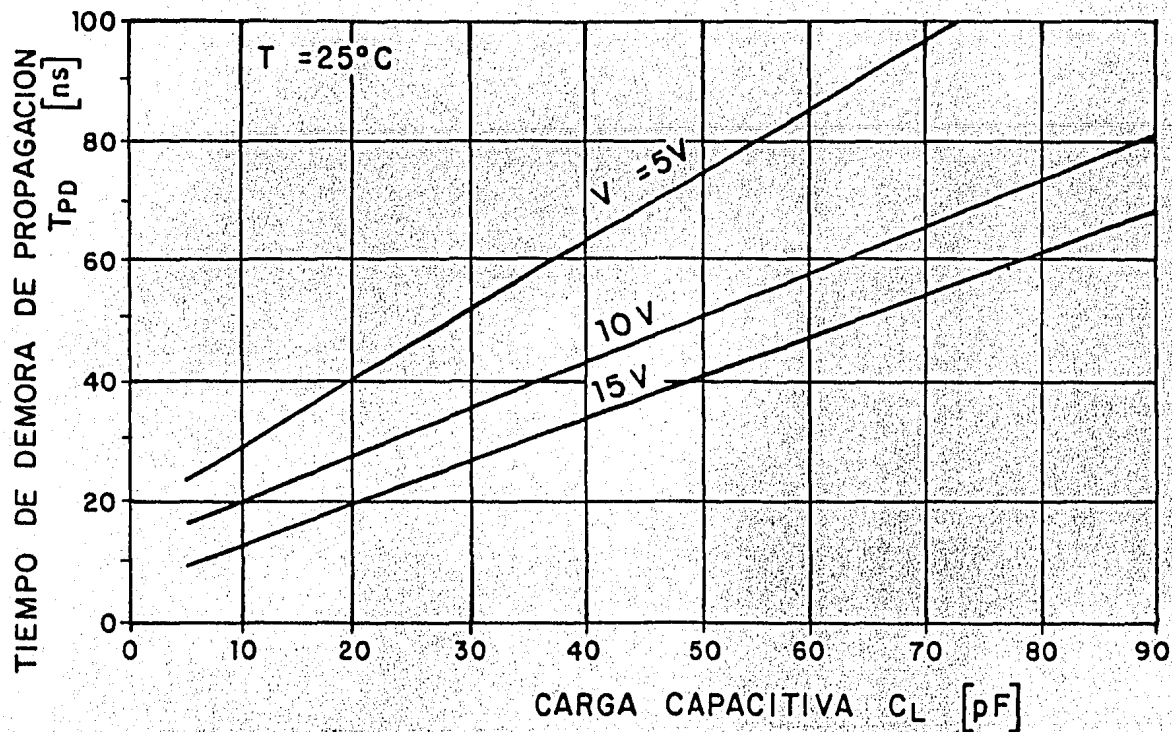


Figura III.17 Gráfica del TIEMPO DE DEMORA DE PROPAGACION contra CARGA CAPACITIVA, a diferentes valores del voltaje de alimentación.

En la figura III.17 se muestra una gráfica en la que se puede apreciar el tiempo de demora de propagación T_{PD} en función de la carga capacitiva del abanico de salida C_L y del voltaje de alimentación V_{DD} de la compuerta, a una temperatura ambiente $T_A = 25^\circ\text{C}$.

El valor típico, entonces, se referirá al que presenta una compuerta con un abanico de salida de 15, o sea, una carga capacitiva $C_L = 75$ picofaradios (pF), con un voltaje de alimentación $V_{DD} = 10$ V.

Las compuertas básicas de la familia lógica CMOS son las compuertas NAND y NOR, las cuales están diseñadas de manera que funcionan en una forma similar a la del inversor.

En la figura III.18 se presenta el diagrama esquemático de una compuerta NAND de dos entradas, que está compuesta por dos pares de transistores complementarios MOS, de manera de que los MOS canal "p" estén conectados en paralelo y los MOS canal "n" lo estén en serie.

Si alguna de las entradas es "baja", el transistor MOS canal "n" correspondiente quedará "apagado", por lo que la salida será "alta".

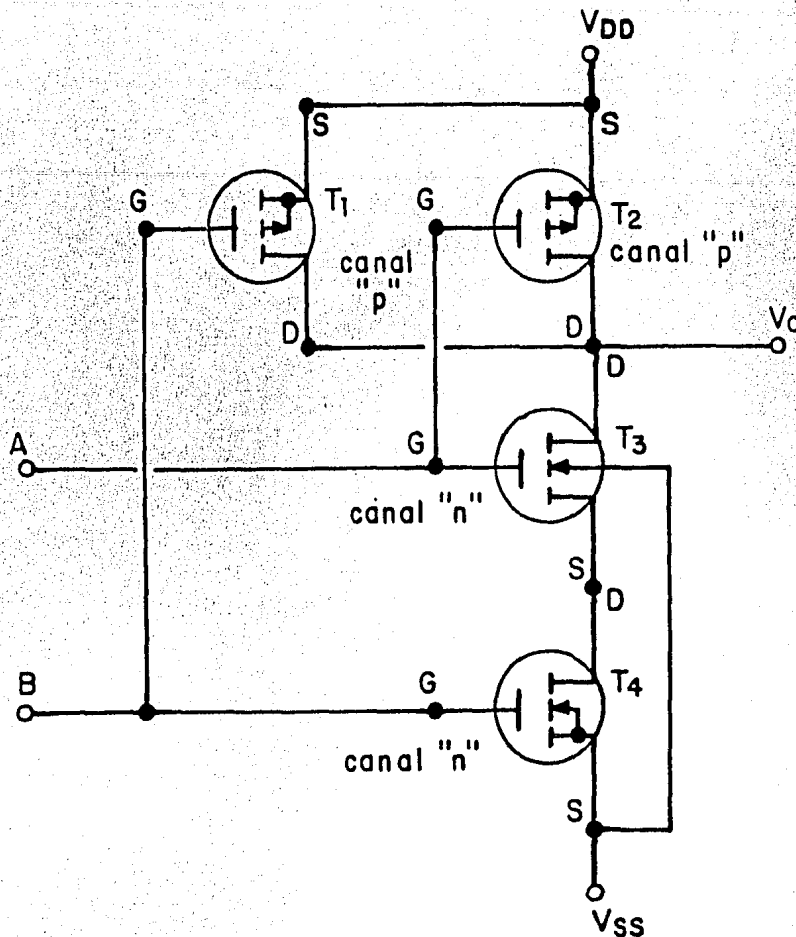


Figura III.18 Diagrama esquemático de una compuerta NAND de la familia lógica CMOS.

De la misma manera, en la figura III.19 está mostrado el diagrama esquemático de una compuerta NOR de la familia CMOS. Su funcionamiento se puede inferir de la conexión en serie de los transistores MOS canal "p", de donde se concluye que es suficiente con que una de las entradas sea "alta" para que la salida de la compuerta sea "baja", ya que el transistor correspondiente quedaría "apagado".

Actualmente, es posible obtener disponibles en el mercado una amplia gama de circuitos CMOS con funciones lógicas digitales mucho más complejas, como los circuitos de "amarre de fase o PLL (Phase-Locked Loop), los convertidores análogo-digitales, los microprocesadores, las células de memoria estáticas y dinámicas, etcétera, por lo que esta familia lógica por todas sus excelentes características de operación y sus ventajas con respecto a las demás familias digitales, es la tecnología preferida en el diseño de circuitos de aplicaciones digitales de los últimos años.

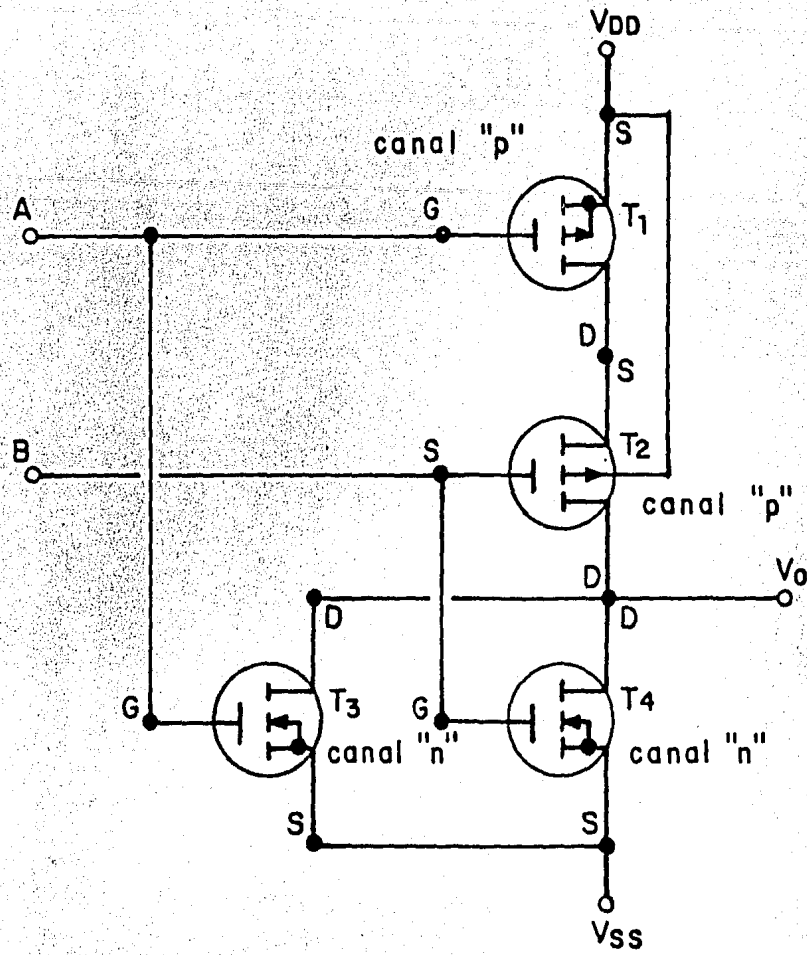


Figura III.19 Diagrama esquemático de una compuerta NOR de la familia lógica CMOS.

CAPITULO IV

DISEÑO DE LOS CIRCUITOS NECESARIOS PARA LA IMPLEMENTACION DEL "IMPRESOR DE LLAMADAS TELEFONICAS"

El "IMPRESOR DE LLAMADAS TELEFONICAS" es un dispositivo electrónico que, conectado a una línea telefónica individual, puede registrar en el papel el número marcado en el aparato telefónico de dicha línea, así como el tiempo que dure la conferencia telefónica.

Para poder efectuar esta operación es necesario diseñar circuitos electrónicos que detecten en primer lugar, el número marcado por el aparato telefónico y, posteriormente, si se efectuó el enlace, contabilizar el tiempo que dure la llamada generada y, así mismo, otro tipo de circuitos con los cuales se pueda lograr el registro impreso del número marcado y el tiempo de duración de la conferencia.

Para ésto último, se utiliza el impresor de una calculadora de mesa. Esta es comandada mediante una serie de interruptores interconectados a las terminales del circuito de la calculadora, de manera de poder accionar, en la forma deseada, las funciones que se requieran utilizar.

Por otro lado, para seleccionar de una manera eficaz la familia lógica digital a utilizar en el diseño de cualquier dispositivo electrónico de procesamiento de datos, se debe de tener en consideración las caracte-

rísticas de operación necesarias para la implementación de dicho dispositivo, y dentro de éstas son predominantes la frecuencia máxima de operación, el margen de ruido y, en algunos casos, el valor del voltaje de polarización y la disponibilidad de potencia de alimentación.

Debido a que el diseño del "IMPRESOR DE LLAMADAS TELEFONICAS" está basado en el procesamiento de la información electrónica obtenida a partir de una línea telefónica individual, se analizarán las características que presenta esta información.

Con respecto a la frecuencia de operación de la señal telefónica, se puede observar que las frecuencias que se obtienen son bastante bajas. La frecuencia que presenta el tono de marcar, el tono de llamada y el tono de ocupado tiene un límite superior de unos 600 Hz aproximadamente, que de hecho sería la más alta dentro del funcionamiento del teléfono.

La frecuencia de los pulsos de marcar generados por el disco del aparato telefónico es de 10 Hz, y la contabilidad del tiempo de llamada para su control, se realiza redondeando al minuto superior. Se puede apreciar fácilmente que no es necesaria, ni siquiera, una velocidad de operación mayor de los 1,000 Hz.

Con respecto al margen de ruido necesario para la operación confiable de los circuitos, se puede mencionar que un aparato telefónico no depende para su funcionamiento de elementos que produzcan ruido eléctrico, como lo serían los motores y los generadores eléctricos. Por lo tanto, se puede concluir que no es necesario que los circuitos tengan un alto margen de ruido.

Debido a todo esto, la tecnología CMOS es la más idónea para la implementación de este "IMPRESOR DE LLAMADAS TELEFONICAS", por su frecuencia de operación muy por encima de los requerimientos del aparato, su margen de ruido relativamente alto, su amplio rango de voltaje de operación (de 3 a 15 V), su mínima disipación de potencia, además de sus excelentes características de funcionamiento mencionadas en el capítulo anterior.

Pero en algunos casos no es posible aplicar directamente los circuitos lógicos de la familia CMOS, sino que se tendrá que recurrir a circuitos diseñados con elementos discretos (como resistencias, capacitores, diodos y transistores bipolares de juntura), debido a que se tiene que manejar, en algunos casos, voltajes mayores al de operación de los circui-

tos CMOS y, en algunos otros, por tener que contar con circuitos con retraso de tiempo relativamente grande (desde 0.3 hasta 6 segundos) para lo que se requiere utilizar capacitores de valor relativamente alto, los cuales no se pueden fabricar dentro del bloque de silicio de un circuito integrado.

A continuación se procederá a analizar de una manera detallada el diseño, la configuración y el funcionamiento de cada uno de los circuitos utilizados en este "IMPRESOR DE LLAMADAS TELEFONICAS".

IV.1 FUNCIONAMIENTO BASICO DEL IMPRESOR DE LA CALCULADORA DE MESA

Dentro de la estructura del "IMPRESOR DE LLAMADAS TELEFONICAS", el impresor de una calculadora de mesa se aprovechará para la salida de datos, ésto es, el registro del número marcado y el tiempo que dure cada una de las conferencias telefónicas realizadas desde la línea a la cual está conectado.

La manera convencional de introducir datos o realizar alguna operación con la calculadora de mesa es por medio del teclado correspondiente. Cada tecla acciona electrónicamente la función a la que está asociada (registrar algún dígito, realizar alguna operación aritmética, borrar el registro de entrada, etcétera). Estas teclas no son más que microinterruptores normalmente abiertos, los que al cerrar, accionan la función correspondiente.

Entonces, es posible comandar a la calculadora de mesa externamente, implementando interruptores electrónicos que hagan la función del teclado. Para ello es necesario extraer del circuito impreso del teclado de la calculadora, cables de los contactos de cada uno de los microinterruptores, así como un cable de "tierra" de la calculadora como voltaje de referencia, para poder accionar sus funciones.

Ahora bien, los contactos de los multicitados microinterruptores están dispuestos en una forma "matricial", por lo cual existen contactos comunes a varias funciones.

La determinación de los contactos del circuito impreso de la calcu-

	H ₀	H ₁	H ₂	H ₃	H ₄	H ₅	H ₆	H ₇	H ₈
K ₀	0	1	2	3	4	5	6	7	.
K ₁	8	9	00	000	-	#			√
K ₂	+	-	x	÷	=	%	s	t	↑↑
K ₃	m+	m-	mr	mt	+	-		EX	C/CE

Simbología:

0~9,00,000	Registro de los dígitos correspondientes
.	Punto decimal
=,+,-,x,÷,√,%,	Operaciones aritméticas
#	Impresión del número registrado
s	Muestra el subtotal de las adiciones y/o sustracciones
t	Muestra el total de las adiciones y/o sustracciones, borrando la memoria asociada
↑↑	Avance del papel
m+	Suma el número registrado con el número de la memoria
m-	Sustraer el número registrado del número de la memoria
mr	Muestra el contenido de la memoria
mt	Muestra el contenido de la memoria y la borra
EX	Intercambia los números de los registros
C/CE	Borra el número registrado si se presiona una vez y, borra todos los registros excepto la memoria al presionar dos veces

Figura IV.1 Matriz de funciones de la calculadora de mesa marca DISMAC, modelo 121 M.

culadora que corresponden a los microinterruptores, así como los que se tienen que cerrar para accionar cada una de las funciones, se realizó de una manera completamente empírica, por "prueba y error", interconectando

un punto con cada uno de los restantes, luego otro con todos los demás y así sucesivamente, hasta completar todas las funciones de la calculadora.

Verificando de esta manera una calculadora de mesa marca DISMAC, modelo 121 M, se obtuvo la matriz de funciones mostrada en la figura IV.1.

Dado que es posible accionar externamente las funciones de la calculadora mediante la implementación de interruptores, se analizó la factibilidad de uso del circuito integrado CMOS clave CD 4016, que consta de cuatro interruptores direccionales.

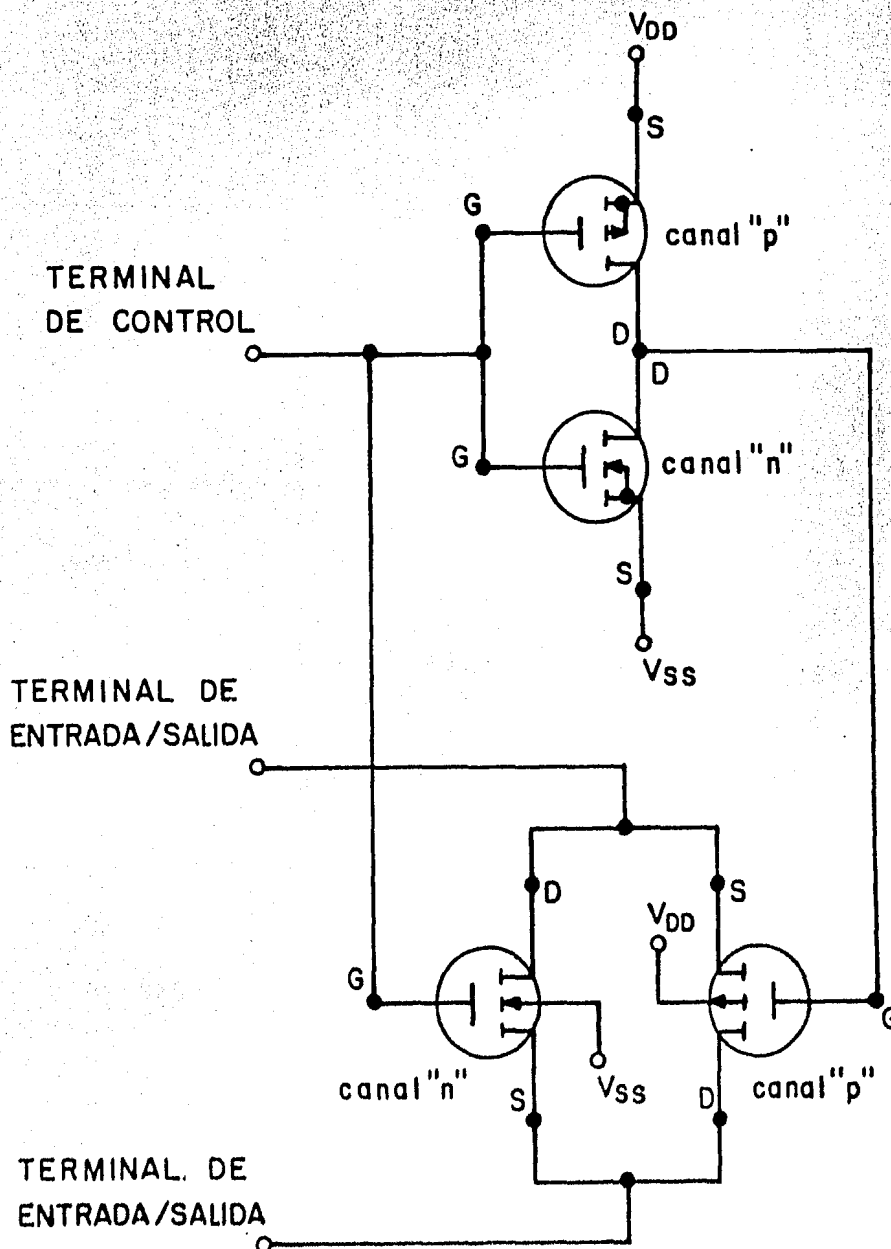


Figura IV.2 Diagrama esquemático de un interruptor del circuito integrado CD 4016.

En la figura IV.2 se presenta el diagrama esquemático de uno de los interruptores de este circuito integrado. Para su análisis, es necesario inicialmente verificar el voltaje máximo de operación de cada uno de los contactos del circuito impresor de la calculadora.

Realizando esta verificación con un osciloscopio, se pudo observar que en algunos de los contactos el voltaje es nulo, pero en otros existen trenes de pulsos, siendo el voltaje máximo observado de 16.6 V, con respecto a "tierra".

Aunque el voltaje máximo de operación recomendado para los circuitos CMOS es de 15 V, éstos tienen un límite máximo absoluto de 18 V, por lo cual es factible su utilización.

Otra característica de importancia para el uso del circuito CD 4016 es el de la resistencia que presenta cada interruptor entre los contactos de entrada/salida. Típicamente el valor de ella es del orden de 300Ω , y como al intentar la interconexión entre contactos del impresor se observó que es posible su operación con resistencias hasta de $20 \text{ k}\Omega$, se puede asegurar el funcionamiento de los interruptores para el control de la calculadora.

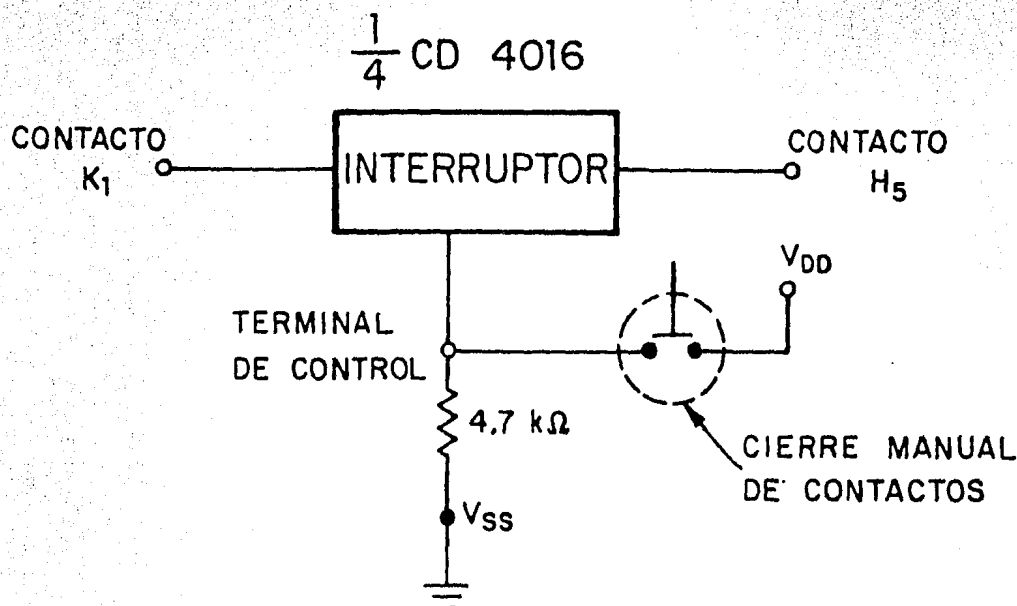


Figura IV.3 Diagrama de bloque de un circuito de prueba del interruptor CMOS, operando la función "#" (impresión) de la calculadora de mesa.

Finalmente se conectaron algunos contactos de la calculadora con el CD 4016, uniendo sus terminales de voltaje de polarización V_{DD} y V_{SS} con las de la fuente de voltaje de la calculadora. Aplicando un voltaje $V_{DD} = 16.6 \text{ V}$ (con respecto a $V_{SS} = 0 \text{ V}$) a la terminal de control de los interruptores, se pudo lograr el "cierre" de los contactos de entrada/salida, con lo que se pudo verificar plenamente la operación requerida, sin presentar problema alguno. En la figura IV.3 se muestra el diagrama de bloque del circuito de prueba utilizado.

IV.2 CIRCUITOS DE DETECCIÓN DE LAS PRINCIPALES FUNCIONES TELEFONICAS

Uno de los principales problemas en el diseño del "IMPRESOR DE LLAMADAS TELEFONICAS" es la correcta detección de las principales funciones telefónicas.

Recordando el funcionamiento de una línea telefónica individual explicado en el Capítulo I, se pueden determinar las operaciones requeridas por circuitos de detección, necesarias para la implementación del dispositivo.

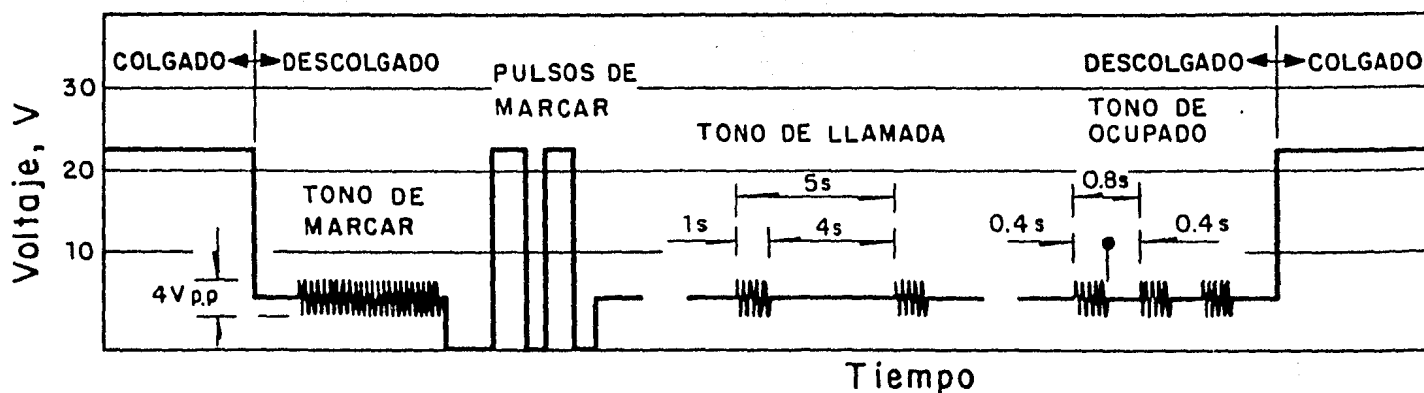


Figura IV.4 Gráfica Voltaje-Tiempo de una línea telefónica individual de 24 V.

En la figura IV.4 se presenta la gráfica Voltaje-Tiempo de una línea telefónica individual de 24 V.

En primer lugar, se puede observar que al tener colgado el microte-

léfono, el nivel de voltaje es de 24 V, mientras que al estar descolgado, tendrá un nivel de voltaje en estado estable de 5 V aproximadamente, excepto durante la generación de los pulsos de marcar, en la que se tienen voltajes de 0 a 24 V.

Por lo tanto, se necesitará un circuito detector de nivel que sea capaz de diferenciar el voltaje de 24 V con respecto a voltajes variables entre 0 y 10 V aproximadamente.

Así mismo, se requiere diseñar un circuito que pueda detectar el estado del microteléfono, es decir, si está colgado o descolgado.

Por otro lado, es necesario poder determinar de alguna manera la existencia de los tonos de marcar, de llamada o de ocupado, para poder canalizar esta información dentro del funcionamiento del dispositivo en estudio.

Se procederá a continuación a diseñar los circuitos electrónicos que puedan realizar las operaciones descritas en los párrafos anteriores.

IV.2.1 DETECTOR DE NIVEL Y GENERADOR DE PULSOS DE MARCAR

Este circuito debe diferenciar el voltaje de 24 V, que únicamente se presenta cuando el microteléfono está colgado o cuando se están generando los pulsos de marcar, con cualquier otro nivel de voltaje diferente al mencionado.

Debido a que el voltaje de referencia es de 24 V, no es posible diseñarlo con circuitos CMOS, que tienen un límite superior de voltaje de operación de 15 V. Por lo tanto tendrá que ser diseñado con elementos discretos, es decir, resistencias, capacitores y transistores bipolares de juntura.

Un aspecto que debe ser tomado en cuenta es que en algunos sistemas telefónicos, el nivel de voltaje puede invertir su polaridad en determinados casos (generalmente cuando se genera el tono de ocupado) por lo que a la entrada del circuito deberá incluirse un elemento rectificador.

Por otro lado, puede suceder que en la línea se presenten transitorios de voltaje cercanos a los 24 V que es necesario eliminarlos. Esto se puede lograr fácilmente diseñando un filtro "paso-bajas", con frecuencia de corte de unos 50 Hz, de manera que deje pasar únicamente la frecuencia

de los pulsos de marcar que es aproximadamente de 10 Hz (10 pulsos por segundo).

Uno de los circuitos digitales más confiables en su funcionamiento es el conocido como "DISPARADOR DE SCHMITT" (Schmitt Trigger). Este circuito opera de la siguiente manera: para cambiar del estado "alto" al estado "bajo", es necesario que el voltaje de entrada sobrepase cierto nivel, conocido como umbral superior de voltaje, y para pasar del estado "bajo" al "alto" se requiere que el voltaje de entrada sea menor que un nivel denominado umbral inferior.

Como entre los umbrales superior e inferior de voltaje existe una diferencia apreciable, es posible generar "histéresis" en el funcionamiento del circuito, por lo cual se obtiene un margen de ruido mucho mayor, haciendo el funcionamiento mucho más confiable.

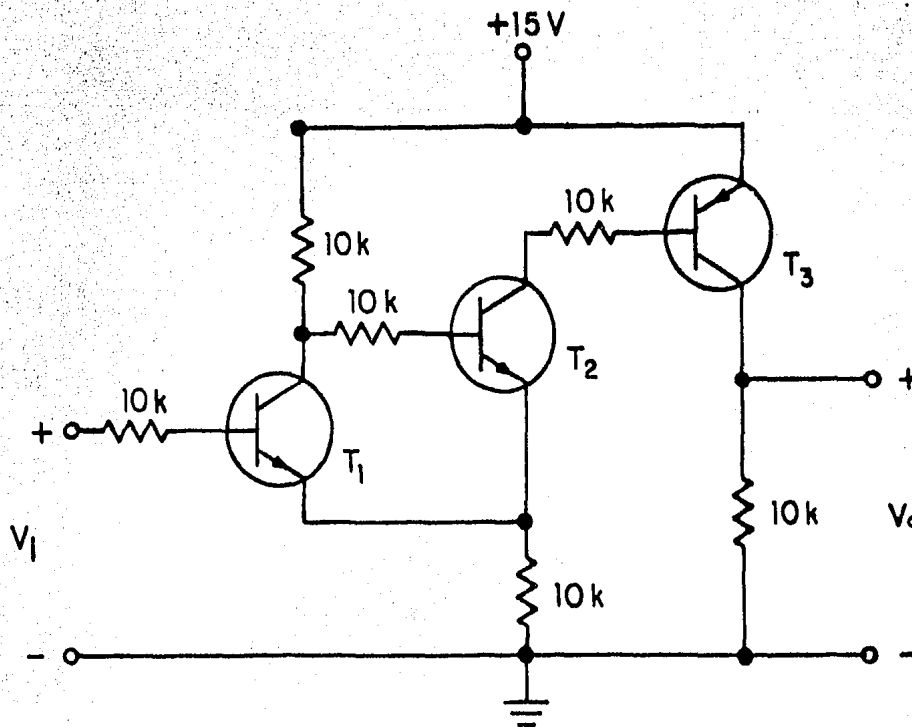


Figura IV.5 Diagrama esquemático de un circuito "DISPARADOR DE SCHMITT" (Schmitt Trigger).

En la figura IV.5 se muestra el diagrama esquemático del circuito disparador de Schmitt a utilizar.

Analizando este circuito, cuando el voltaje de entrada V_i es "cero" el transistor T_1 quedará cortado, lo cual causará que los transistores T_2 y T_3 se saturen, por lo que el voltaje a la salida será "alto".

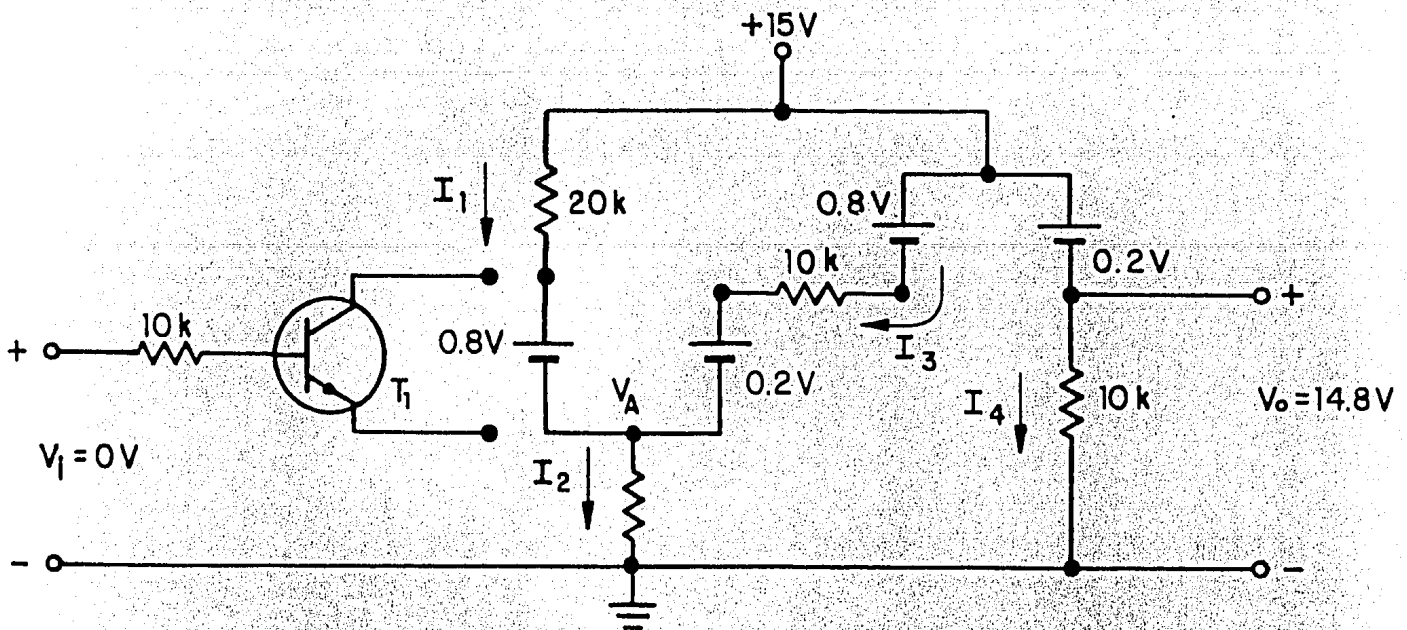


Figura IV.6 Circuito simplificado del disparador de Schmitt cuando el voltaje de entrada $V_i = 0$ V.

En la figura IV.6 se muestra el circuito simplificado cuando el voltaje de entrada $V_i = 0$ V. De ahí se pueden proponer las siguientes igualdades:

$$I_2 = I_1 + I_3 ;$$

$$I_1 - I_2 + I_3 = 0$$

$$20I_1 + 10I_2 = 15 - 0.8 ;$$

$$20I_1 + 10I_2 = 14.2$$

$$10I_2 + 10I_3 = 15 - 0.8 - 0.2 ;$$

$$10I_2 + 10I_3 = 14$$

$$V_A = 10I_2$$

$$10I_4 = 15 - 0.2$$

entonces:

$$\Delta = \begin{vmatrix} 1 & -1 & 1 \\ 20 & 10 & 0 \\ 0 & 10 & 10 \end{vmatrix} ; \Delta = 100 + 200 + 200 ; \Delta = 500$$

$$I_1 = \frac{\begin{vmatrix} 0 & -1 & 1 \\ 14.2 & 10 & 0 \\ 14 & 10 & 10 \end{vmatrix}}{\Delta} ; \quad I_1 = \frac{142 - 140 + 142}{500} ; \quad I_1 = 0.288 \text{ mA}$$

$$I_2 = \frac{\begin{vmatrix} 1 & 0 & 1 \\ 20 & 14.2 & 0 \\ 0 & 14 & 10 \end{vmatrix}}{\Delta} ; \quad I_2 = \frac{142 + 280}{500} ; \quad I_2 = 0.844 \text{ mA}$$

$$I_3 = \frac{\begin{vmatrix} 1 & -1 & 0 \\ 20 & 10 & 14.2 \\ 0 & 10 & 14 \end{vmatrix}}{\Delta} ; \quad I_3 = \frac{140 - 142 + 280}{500} ; \quad I_3 = 0.556 \text{ mA}$$

$$V_A = 10 \times 0.844 ; \quad V_A = 8.44 \text{ V}$$

$$I_4 = \frac{14.8}{10} ; \quad I_4 = 1.48 \text{ mA}$$

Si consideramos un valor mínimo para β de 50 en todos los transistores, fácilmente se puede verificar la saturación de ellos, ya que:

$$\beta I_1 > I_3 ; \quad 14.4 \text{ mA} > 0.556 \text{ mA}$$

para T_2 , y para T_3 :

$$I_3 > I_4 ; \quad 27.8 \text{ mA} > 1.48 \text{ mA}$$

En realidad el valor de β es mucho mayor (del orden de 200).

Del valor de $V_A = 8.44 \text{ V}$ se desprende que para saturar al transistor T_1 es necesario un voltaje de entrada V_i :

$$V_i = V_A + V_{BE,sat} + V_{RB}$$

donde V_{RB} representa la caída de voltaje en la resistencia R_B .

Para calcular este valor, despreciando la corriente de base, la corriente de colector del transistor T_1 será:

$$I_C = \frac{15 - 0.2}{20} ; I_C = \frac{14.8}{20} ; I_C = 0.74 \text{ mA}$$

Por lo tanto, para un valor de $\beta = 50$, la caída de voltaje en R_B será:

$$V_{RB} = \frac{10 \times 0.74}{50} ; V_{RB} = 0.148 \text{ V}$$

De aquí se concluye que el valor aproximado de V_i será:

$$V_i = 8.44 + 0.8 + 0.148 ; V_i = 9.4 \text{ V}$$

Este nivel de voltaje es el que se conoce como "umbral superior de voltaje", en el cual al quedar saturado T_1 , "roba" corriente de la base del transistor T_2 por lo que éste quedará cortado, lo mismo que T_3 .

Para calcular el umbral inferior de voltaje, se analizará el momento en que el voltaje de entrada ha bajado a tal nivel que el transistor T_1 está operando dentro de la región activa ($V_{BE,act} = 0.7 \text{ V}$) y el transistor T_2 está a punto de encenderse, por lo que el voltaje colector-emisor de T_1 tiene un valor $V_{CE,1} = 0.5$.

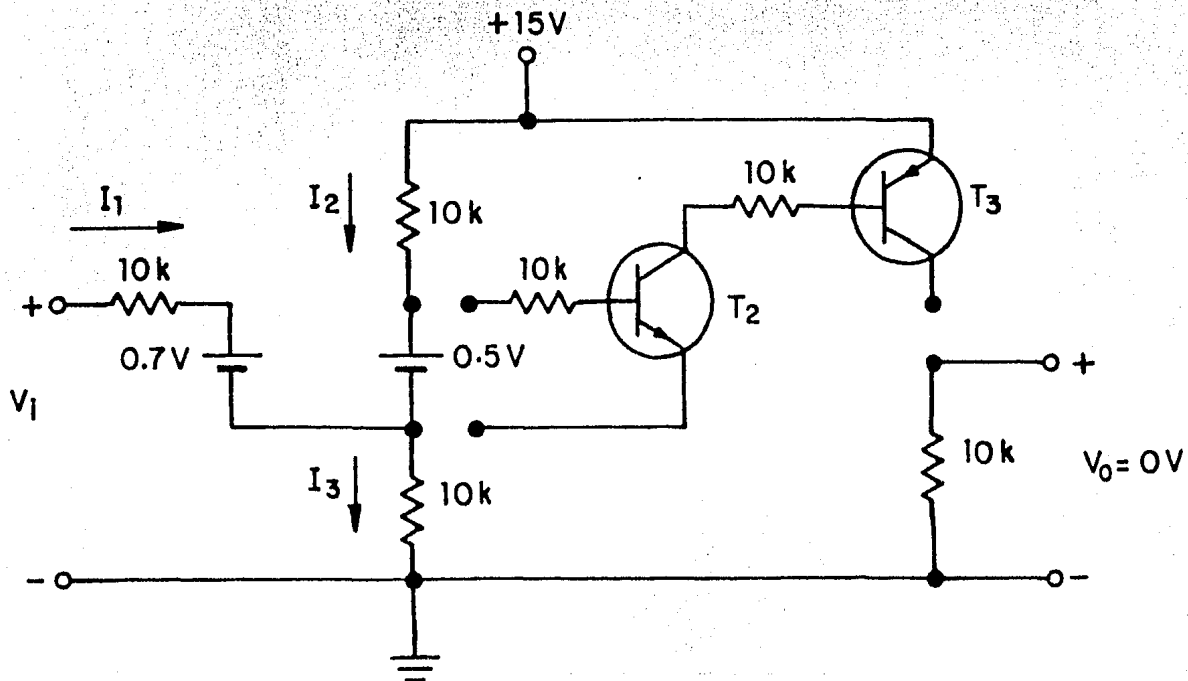


Figura IV.7 Diagrama simplificado del circuito disparador de Schmitt, para el cálculo del umbral inferior de voltaje.

En la figura IV.7 se muestra el diagrama simplificado del circuito disparador de Schmitt para el cálculo del umbral inferior de voltaje. Considerando un valor de $\beta = 50$:

$$\beta I_1 = I_2 ;$$

$$50I_1 = I_2$$

$$I_1 + I_2 = I_3 ;$$

$$51I_1 - I_3 = 0$$

$$10I_1 + 10I_3 = V_i - 0.7 ;$$

$$10I_1 + 10I_3 - V_i = -0.7$$

$$10I_2 + 10I_3 = 15 - 0.5 ;$$

$$500I_1 + 10I_3 = 14.5$$

$$V_i = \frac{\begin{vmatrix} 51 & -1 & 0 \\ 10 & 10 & -0.7 \\ 500 & 10 & 14.5 \end{vmatrix}}{\begin{vmatrix} 51 & -1 & 0 \\ 10 & 10 & -1 \\ 500 & 10 & 0 \end{vmatrix}} ; V_i = \frac{7395 + 350 + 357 + 145}{500 + 510} ;$$

$$V_i = \frac{8247}{1010} ; V_i = 8.17 \text{ V}$$

Entonces, el valor del "umbral inferior de voltaje" será $V_i = 8.17 \text{ V}$.

Al bajar el voltaje de entrada a un voltaje menor a dicho umbral inferior, los transistores T_2 y T_3 se saturan, por lo que causarán un voltaje "alto" a la salida.

El margen de ruido de este circuito disparador de Schmitt será igual a la diferencia entre los umbrales superior e inferior de voltaje, o sea, $9.4 - 8.17 = 1.23 \text{ V}$.

Con respecto al filtro paso bajas necesario en la entrada de este circuito, también deberá de funcionar como atenuador del voltaje de entrada. Se seleccionará un filtro capacitivo de segundo orden, debido a la facilidad que presenta su implementación, así como las excelentes características de respuesta en frecuencia.

Considerando así mismo el rectificador necesario a la entrada de la línea telefónica, en la figura IV.8 se muestra el diagrama esquemático del circuito de entrada del detector de nivel y generador de pulsos de

marcar.

Los capacitores C_1, C_2, C_3 y C_4 sirven para evitar la generación de impulsos de corriente durante el "encendido" del diodo correspondiente, cuando se invierte la polaridad de la línea telefónica. Esto se debe a que estos capacitores funcionan como "aceleradores" de dicho "encendido", produciendo la diferencia de potencial necesaria para la conducción del diodo respectivo. El valor de estos capacitores será de $0.01 \mu F$.

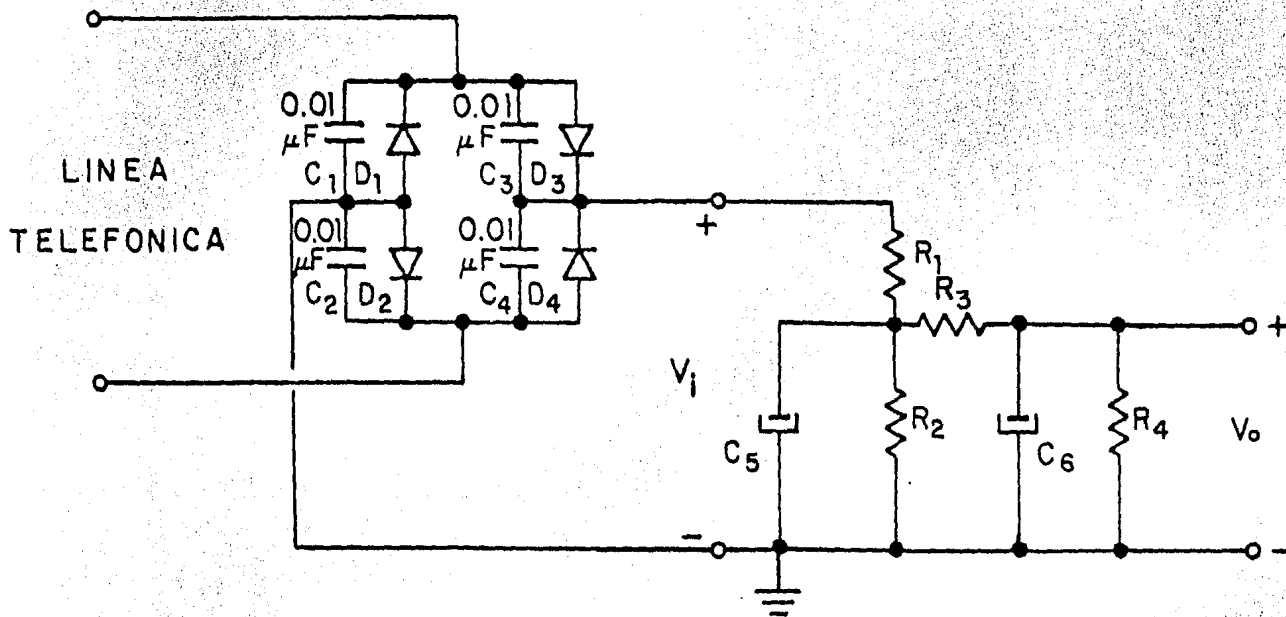


Figura IV.8 Diagrama esquemático del circuito de entrada del detector de nivel y generador de pulsos de marcar.

El estado "alto" en la línea telefónica se presenta cuando se tiene colgado el microteléfono o cuando se están generando los pulsos de marcar, en el que el voltaje de la línea presenta un voltaje de 24 V. Por lo tanto, el valor de V_i será:

$$V_i = 24 - 2V_D ; V_i = 24 - 2 \times 0.7 ; V_i = 22.6 V$$

Si se quiere para este estado que V_o sea mayor de 9.5 V, la atenuación máxima que debe producir el filtro no debe exceder de un valor:

$$\alpha_1 = \frac{22.6 - 9.5}{22.6} ; \alpha_1 = 0.58$$

Por otro lado, un voltaje de unos 10 V es el que se puede presentar en la línea durante el estado "bajo", o sea, cuando el microteléfono está descolgado y no se están generando pulsos de marcar. En este caso, el voltaje V_o debe ser menor de 8 V, por lo que la atenuación mínima deberá ser de:

$$\alpha_2 = \frac{10 - 8}{10} ; \alpha_2 = 0.20$$

Por lo tanto, un valor de atenuación medio entre los valores obtenidos podrá ser el más adecuado para efectos de diseño. Se tomará entonces un valor de atenuación de $\alpha = 0.40$.

Para calcular la función de transferencia del filtro paso-bajas, se muestra en la figura IV.9 un diagrama de bloques de las impedancias de este circuito.

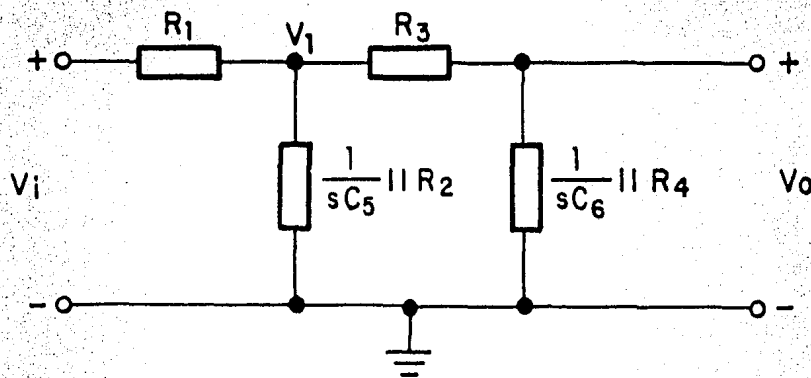


Figura IV.9 Diagrama de bloques de las impedancias del filtro "paso-bajas".

$$\frac{1}{sC_5} \parallel R_2 = \frac{\frac{1}{sC_5} \times R_2}{\frac{1}{sC_5} + R_2} ;$$

multiplicando el numerador y el denominador por sC_5 :

$$\frac{1}{sC_5} \parallel R_2 = \frac{R_2}{1 + sR_2C_5} ; \quad \frac{1}{sC_6} \parallel R_4 = \frac{R_4}{1 + sR_4C_6}$$

Calculando el valor de V_1 en función de V_i :

$$V_1 = V_i \times \frac{\left(\frac{1}{sC_5} \parallel R_2\right)}{R_1 + \left(\frac{1}{sC_5} \parallel R_2\right)} ; \quad \frac{V_1}{V_i} = \frac{\frac{R_2}{1 + sR_2C_5}}{R_1 + \frac{R_2}{1 + sR_2C_5}}$$

multiplicando el numerador y el denominador por $1 + sR_2C_5$:

$$\frac{V_1}{V_i} = \frac{R_2}{R_2 + R_1 + sR_1R_2C_5}$$

y el valor de V_o será:

$$V_o = V_1 \times \frac{\left(\frac{1}{sC_6} \parallel R_4\right)}{R_3 + \left(\frac{1}{sC_6} \parallel R_4\right)} ; \quad \frac{V_o}{V_1} = \frac{\frac{R_4}{1 + sR_4C_6}}{R_3 + \frac{R_4}{1 + sR_4C_6}}$$

multiplicando el numerador y el denominador por $1 + sR_4C_6$:

$$\frac{V_o}{V_1} = \frac{R_4}{R_4 + R_3 + sR_3R_4C_6}$$

y por lo tanto:

$$\frac{V_o}{V_i} = \frac{V_o}{V_1} \times \frac{V_1}{V_i} ;$$

$$\frac{V_o}{V_i} = \frac{R_2R_4}{(R_1 + R_2 + sR_1R_2C_5)(R_3 + R_4 + sR_3R_4C_6)}$$

Como se mencionó anteriormente, la frecuencia de corte deberá ser de unos 50 Hz. Este circuito tiene dos polos. Para calcularlos bastará con sustituir la variable compleja "s" por su valor $j2\pi f$, y reordenar la función de transferencia en su forma "normal", dividiendo tanto el numerador como el denominador por el producto $(R_1 + R_2)(R_3 + R_4)$, por lo que se obtiene:

$$\frac{V_o}{V_i} = \frac{\frac{R_2 R_4}{(R_1 + R_2)(R_3 + R_4)}}{\left(1 + \frac{j2\pi f R_1 R_2 C_5}{R_1 + R_2}\right) \left(1 + \frac{j2\pi f R_3 R_4 C_6}{R_3 + R_4}\right)}$$

De aquí se desprende que el valor de la atenuación en estado estable ($f = 0$) será:

$$\alpha = 1 - \frac{\frac{R_2 R_4}{(R_1 + R_2)(R_3 + R_4)}}{\frac{R_2 R_4}{(R_1 + R_2)(R_3 + R_4)}} = 1 - \alpha$$

$$\frac{\frac{R_2 R_4}{(R_1 + R_2)(R_3 + R_4)}}{\frac{R_2 R_4}{(R_1 + R_2)(R_3 + R_4)}} = 0.60 \quad (1)$$

Por otro lado, los polos deberán tener la frecuencia de corte indicado, por lo que:

$$\frac{R_1 + R_2}{2\pi R_1 R_2 C_5} = 50 \quad (2)$$

$$\frac{R_3 + R_4}{2\pi R_3 R_4 C_6} = 50 \quad (3)$$

Como este filtro paso-bajas debe conectarse al circuito disparador de Schmitt analizado anteriormente, para que exista una transferencia de potencia óptima, la resistencia de salida del primero debe ser igual a la resistencia de entrada del segundo durante el estado "alto". En la figura IV.10 se presenta el diagrama esquemático para el cálculo de dichas resistencias.

Considerando que la resistencia r_{π} del transistor T_1 es despreciable:

$$R_i = 20 \text{ k}\Omega$$

$$R_o = R_4 \parallel (R_3 + R_1 \parallel R_2) ; R_o = R_4 \parallel \left(R_3 + \frac{R_1 R_2}{R_1 + R_2} \right)$$

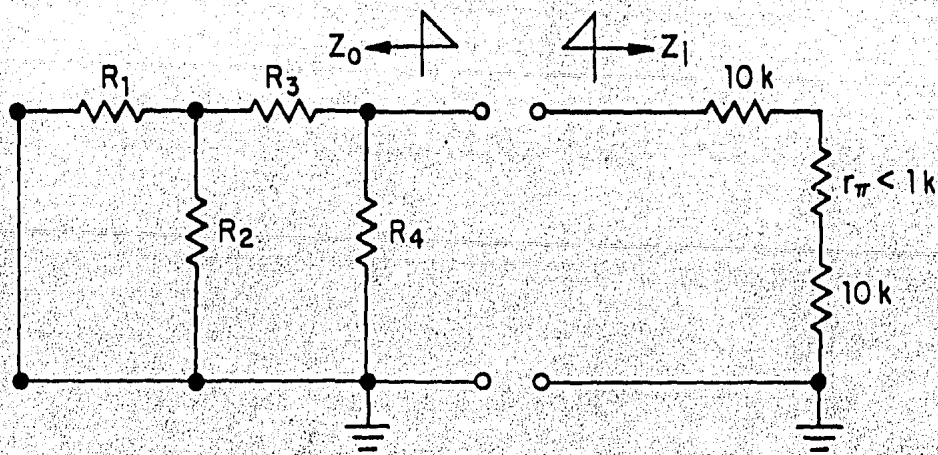


Figura IV.10 Diagrama esquemático para el cálculo de las resistencias de salida y de entrada del circuito disparador de Schmitt, con el transistor T_1 saturado y el circuito del filtro paso-bajas en estado estable ($f = 0$ Hz)

$$R_o = \frac{R_4 \left(R_3 + \frac{R_1 R_2}{R_1 + R_2} \right)}{R_3 + R_4 + \frac{R_1 R_2}{R_1 + R_2}}$$

multiplicando el numerador y el denominador por $R_1 + R_2$:

$$R_o = \frac{R_3 R_4 (R_1 + R_2) + R_1 R_2 R_4}{(R_1 + R_2)(R_3 + R_4) + R_1 R_2}$$

por lo tanto:

$$\frac{R_3 R_4 (R_1 + R_2) + R_1 R_2 R_4}{(R_1 + R_2)(R_3 + R_4) + R_1 R_2} = 20 \quad (4)$$

De esta manera se han podido plantear para el diseño de este circuito, cuatro ecuaciones con seis incógnitas, por lo que, para resolver el sistema de ecuaciones será necesario determinar valores para dos incógnitas. Suponiendo que se establecen valores de R_1 y R_4 para resolver el

sistema de ecuaciones, de (1) y de (4) se despejará el valor de R_2 . De la ecuación (1) se tiene:

$$\frac{R_2 R_4}{(R_1 + R_2)(R_3 + R_4)} = 0.60 ;$$

$$R_2 R_4 = 0.60 (R_1 R_3 + R_1 R_4 + R_2 R_3 + R_2 R_4)$$

multiplicando ambos miembros por 5 y acomodando los términos con R_2 al lado izquierdo de la igualdad:

$$5R_2 R_4 - 3R_2 R_3 - 3R_2 R_4 = 3R_1 R_3 + 3R_1 R_4 ;$$

$$R_2 (2R_4 - 3R_3) = 3R_1 R_3 + 3R_1 R_4 ;$$

$$R_2 = \frac{3R_1 R_3 + 3R_1 R_4}{2R_4 - 3R_3} \quad (5)$$

De la ecuación (4):

$$\frac{R_3 R_4 (R_1 + R_2) + R_1 R_2 R_4}{(R_1 + R_2)(R_3 + R_4) + R_1 R_2} = 20$$

$$R_1 R_3 R_4 + R_2 R_3 R_4 + R_1 R_2 R_4 = 20(R_1 R_3 + R_1 R_4 + R_2 R_3 + R_2 R_4 + R_1 R_2)$$

acomodando los términos con R_2 al lado izquierdo de la igualdad:

$$R_2 R_3 R_4 + R_1 R_2 R_4 - 20(R_2 R_3 + R_2 R_4 + R_1 R_2) = 20(R_1 R_3 + R_1 R_4) - R_1 R_3 R_4$$

$$R_2 [R_3 R_4 + R_1 R_4 - 20(R_3 + R_4 + R_1)] = 20(R_1 R_3 + R_1 R_4) - R_1 R_3 R_4$$

$$R_2 = \frac{20(R_1 R_3 + R_1 R_4) - R_1 R_3 R_4}{R_3 R_4 + R_1 R_4 - 20(R_3 + R_4 + R_1)} \quad (6)$$

Iguando las ecuaciones (5) y (6):

$$\frac{3R_1 R_3 + 3R_1 R_4}{2R_4 - 3R_3} = \frac{20(R_1 R_3 + R_1 R_4) - R_1 R_3 R_4}{R_3 R_4 + R_1 R_4 - 20(R_3 + R_4 + R_1)}$$

Desarrollando la igualdad y despejando R_3 , se llega al siguiente resultado:

$$R_3 = \frac{R_4 (60R_1 + 100R_4 - 3R_1 R_4)}{3R_1 R_4 + 5R_4^2 - 60R_1 - 100R_4} \quad (7)$$

De esta manera, con las ecuaciones (2), (3), (5) y (7) se podrán determinar los valores de las incógnitas restantes.

Analizando la figura IV.10 anteriormente mostrada, se puede concluir fácilmente que para una resistencia de salida de $R_o = 20 \text{ k}\Omega$, es necesario que R_4 sea mayor de este valor. Definiendo entonces un valor $R_1 = 10 \text{ k}\Omega$, y dando diversos valores comerciales de resistencia a R_4 , se procederá a calcular los demás elementos, los cuales se muestran en la tabla de la figura IV.11.

R_1 [k Ω]	R_4 [k Ω]	R_2 [k Ω]	R_3 [k Ω]	C_5 [μ F]	C_6 [μ F]
10	22	-12.39	168.14	0.061	0.164
	27	-21.19	58.21	0.168	0.173
	33	-44.63	37.88	0.247	0.180
	39	-158.44	30.38	0.298	0.186
	47	125.51	25.55	0.344	0.192
	56	53.70	22.68	0.378	0.197
	68	35.68	20.52	0.408	0.202
	82	28.38	19.06	0.430	0.206

Figura IV.11 Tabla de valores de los elementos del filtro paso-bajas.

De estos valores, las primeras cuatro soluciones no son factibles, ya que no es posible tener valores negativos de resistencia (en R_2). De las cuatro soluciones restantes, se escogerá la que más se acerque a valores comerciales. Por esta razón se tomará la solución del sexto renglón en el que los valores son los siguientes: $R_1 = 10 \text{ k}\Omega$, $R_2 = 56 \text{ k}\Omega$, $R_3 = 22 \text{ k}\Omega$, $R_4 = 56 \text{ k}\Omega$, $C_5 = 0.4 \mu\text{F}$ y $C_6 = 0.2 \mu\text{F}$.

En la figura IV.12 se muestra el diagrama esquemático del circuito detector de nivel y generador de pulsos de marcar, incluidos todos los valores de los elementos.

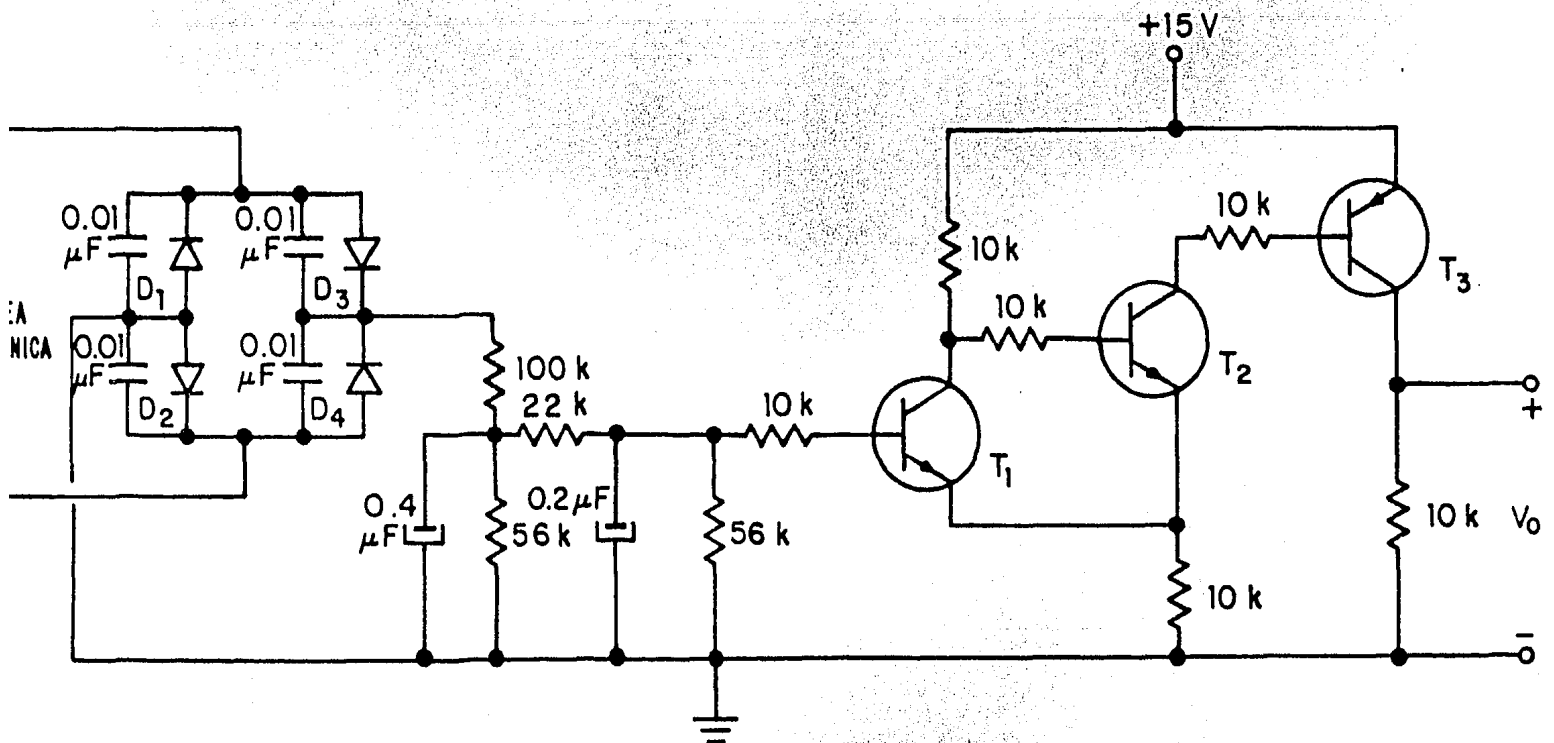


Figura IV.12 Diagrama esquemático del circuito detector de nivel y generador de pulsos de marcar.

De esta manera, los parámetros tendrán los valores que se anotarán a continuación:

$$\alpha = 0.39 ; f_{0,1} = 46.89 \text{ Hz} ; f_{0,2} = 50.38 \text{ Hz} ; R_o = 19.74 \text{ k}\Omega$$

Con estos valores, la función de transferencia de este filtro paso-bajas se puede reescribir de la siguiente manera:

$$\frac{V_o}{V_i} = \frac{1 - \alpha}{\left(1 + \frac{jf}{46.89}\right) \left(1 + \frac{jf}{50.38}\right)}$$

$$\frac{V_o}{V_i} = \frac{0.61}{\left(1 + \frac{jf}{46.89}\right) \left(1 + \frac{jf}{50.38}\right)}$$

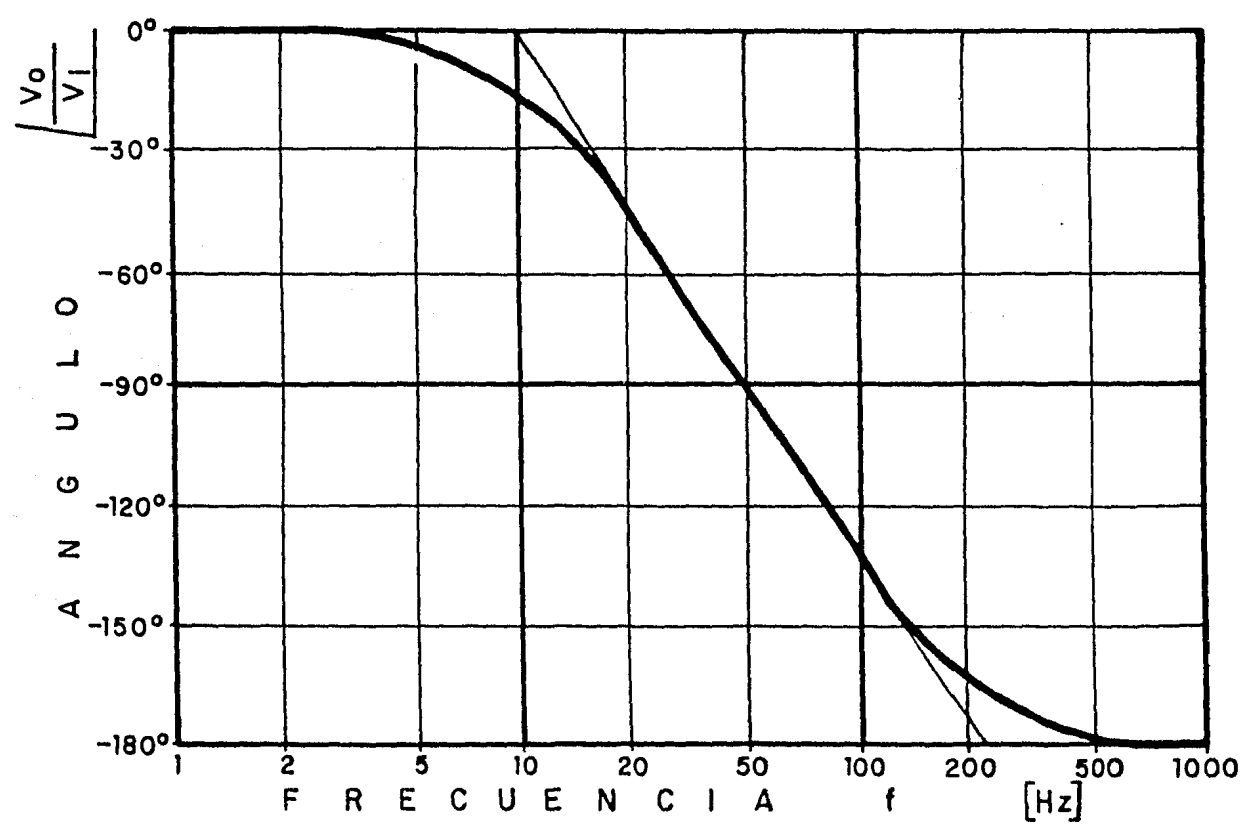
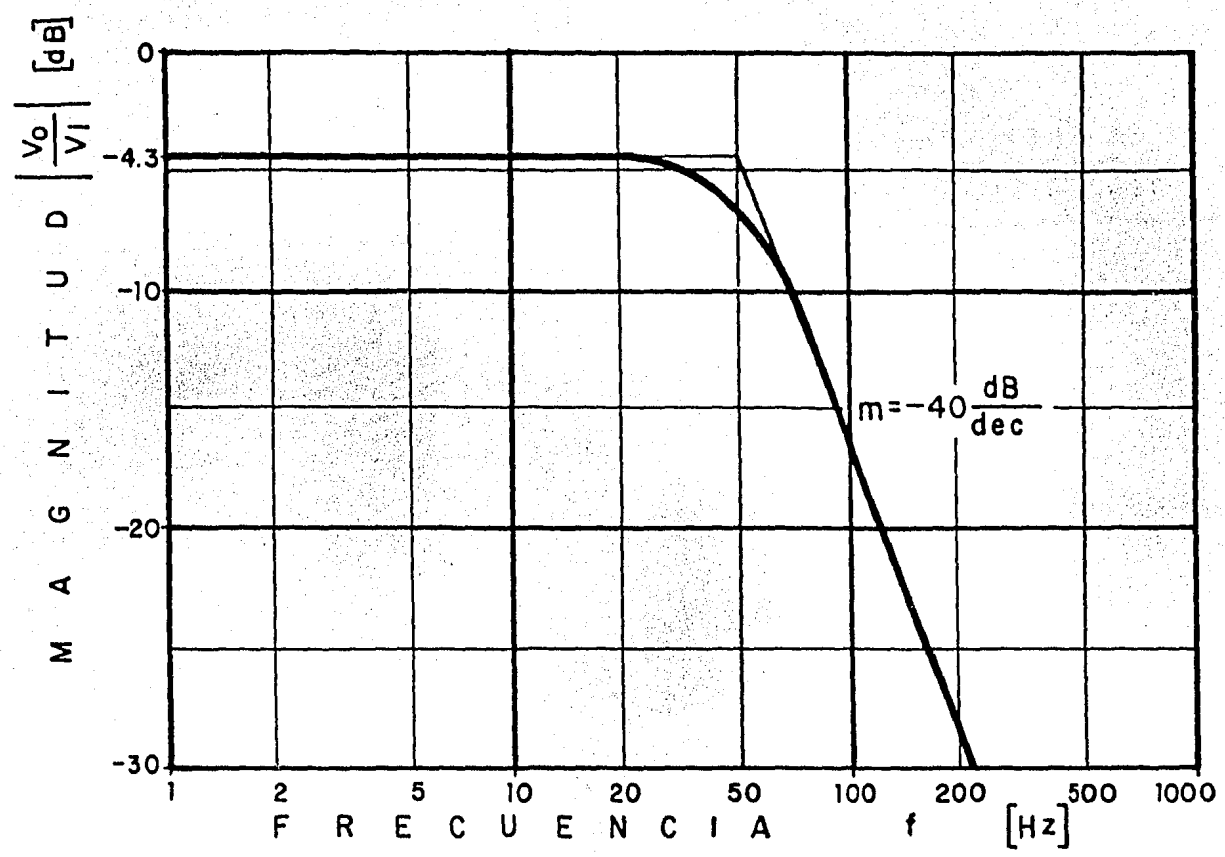


Figura IV.13 Gráficas de la magnitud y el ángulo (diagramas de Bode) de la función de transferencia del filtro paso-bajas.

En la figura IV.13 se tienen graficados los valores de la magnitud y el ángulo en función de la frecuencia (Diagramas de Bode), de la función de transferencia obtenida.

IV.2.2 DETECTOR DE TELEFONO COLGADO

Este circuito debe ser capaz de detectar si el microteléfono está colgado o descolgado. La línea telefónica presenta un voltaje de 24 V, cuando está colgado y un voltaje variable alrededor de los 6 V cuando está descolgado, excepto cuando se utiliza el disco de marcar generándose pulsos de 0 a 24 V.

Para poder diferenciar estos pulsos del estado "microteléfono colgado", se supone que está colgado un tiempo mayor que el ciclo de trabajo de los pulsos de marcar, teniendo éste un valor aproximado de 40 ms, ya que la frecuencia de los pulsos es de 10 Hz con un ciclo de trabajo cercano al 40%.

Se puede diseñar un circuito que diferencie estos tiempos si a la entrada se implementa un retardo de tiempo ligeramente mayor de los 40 ms, utilizando un disparador de Schmitt.

Además se puede aprovechar la salida del circuito detector de nivel y generador de pulsos de marcar como señal de entrada, ya que presenta la ventaja de proporcionar una señal digitalizada con niveles "alto" y "bajo" de 15 y 0 V respectivamente. Se debe de observar aquí que, debido a que la salida del circuito detector de nivel invierte por así decirlo la señal de la línea telefónica, el tiempo que debe de considerarse será aproximadamente de 60 ms.

De nueva cuenta se utilizará, como ya se mencionó, un circuito disparador de Schmitt para la implementación del detector de teléfono colgado, por las ventajas que se mencionaron en el inciso anterior.

En la figura IV.14 se muestra el diagrama esquemático del circuito detector de teléfono colgado.

Este circuito funciona de la siguiente manera: cuando el microteléfono está colgado, la salida del detector de nivel y generador de pulsos de marcar es "0", por lo que T_4 quedará cortado y, por lo tanto, T_5 se saturará causando el corte de los transistores T_6 y T_7 y, por consiguiente,

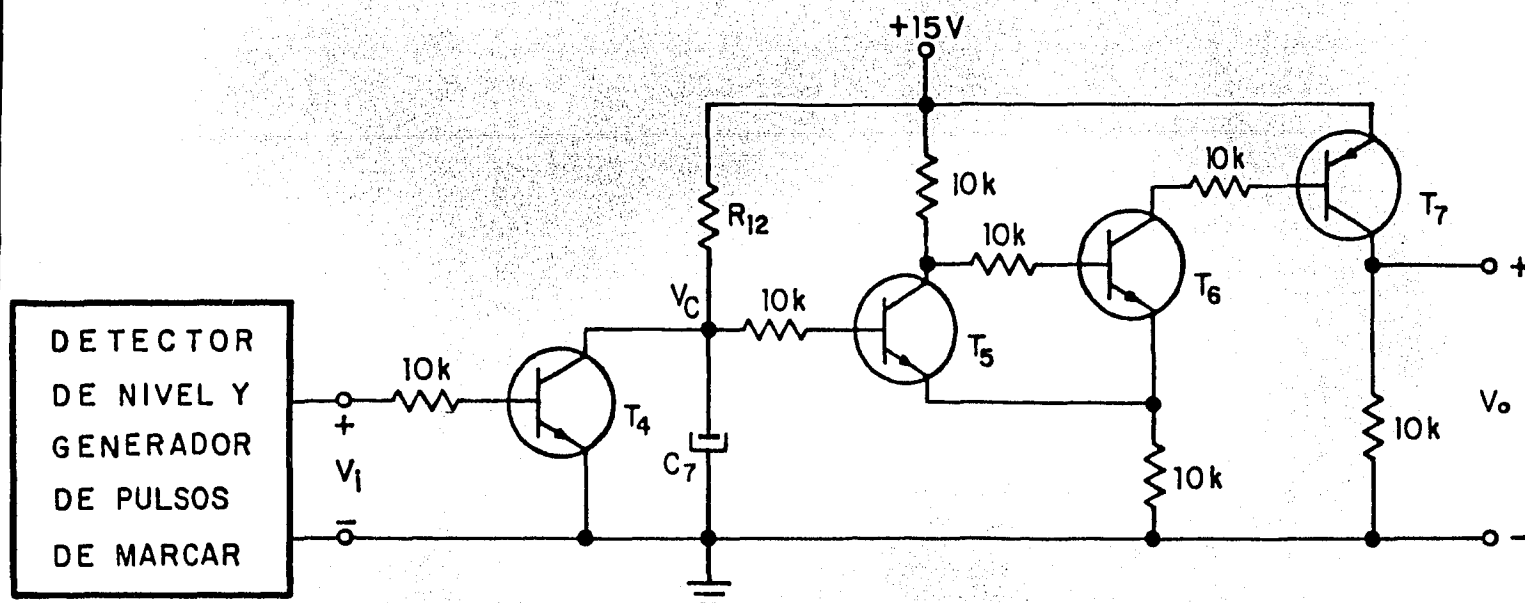


Figura IV.14 Diagrama esquemático del circuito detector de teléfono colgado.

una salida "baja".

La figura IV.15 representa el diagrama simplificado del detector de teléfono colgado cuando la entrada es "baja".

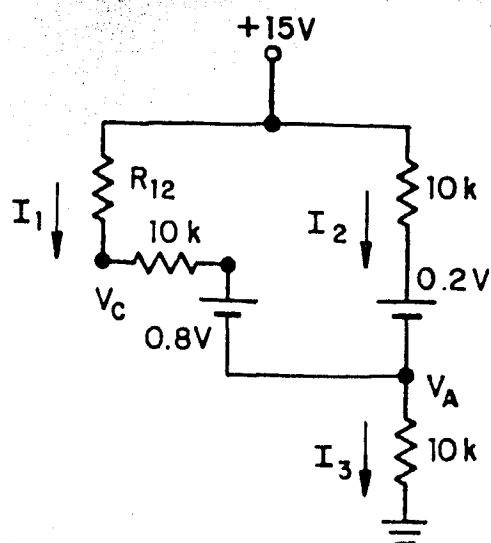


Figura IV.15 Diagrama simplificado del detector de teléfono colgado con entrada "baja".

Presuponiendo un valor de $R_{12} = 100 \text{ k}\Omega$, los valores de voltajes y corrientes se podrán calcular de la siguiente manera:

$$I_1 + I_2 = I_3$$

(8)

$$110I_1 + 10I_3 = 15 - 0.8 ; \quad 110I_1 + 10I_3 = 14.2 \quad (9)$$

$$10I_2 + 10I_3 = 15 - 0.2 ; \quad 10I_2 + 10I_3 = 14.8 \quad (10)$$

$$V_C = 10I_1 + 10I_3 + 0.8 \quad (11)$$

sustituyendo (8) y (9) en (10):

$$110I_1 + 10(I_1 + I_2) = 14.2 ; \quad 120I_1 + 10I_2 = 14.2 \quad (12)$$

$$10I_2 + 10(I_1 + I_2) = 14.8 ; \quad 10I_1 + 20I_2 = 14.8 \quad (13)$$

restando de (13) el doble de (12):

$$10I_1 + 20I_2 = 14.8$$

$$\underline{-240I_1 - 20I_2 = -28.4 \quad (+)}$$

$$\underline{-230I_1 = -13.6}$$

$$I_1 = \frac{13.6}{230} ; \quad I_1 = 0.059 \text{ mA}$$

Sustituyendo el valor de I_1 en (13):

$$10 \times 0.059 + 20I_2 = 14.8 ; \quad 20I_2 = 14.8 - 0.59$$

$$I_2 = \frac{14.21}{20} ; \quad I_2 = 0.711 \text{ mA}$$

$$I_3 = I_1 + I_2 ; \quad I_3 = 0.77 \text{ mA}$$

$$V_C = 10 \times 0.059 + 10 \times 0.77 + 0.8 ; \quad V_C = 0.59 + 7.7 + 0.8$$

$$V_C = 9.09 \text{ V}$$

Para analizar el estado de saturación del transistor T_2 , basta con relacionar la corriente I_1 con la corriente I_2 .

$$\beta = \frac{I_2}{I_1} ; \beta = \frac{0.711}{0.059} ; \beta = 12.05$$

por lo tanto, se puede asegurar que el transistor está saturado por ser el valor de β mucho mayor que el obtenido.

Ahora bien, cuando la entrada es "alta", el transistor T_4 quedará saturado, por lo que el voltaje V_C disminuirá casi instantáneamente a un valor de $V_C = 0.2$ V, ya que la resistencia de saturación colector-emisor es sumamente pequeña. Entonces T_5 quedará cortado causando la saturación de T_6 y de T_7 , resultando una salida "alta".

Para que de este estado pueda cambiar de nueva cuenta al estado "bajo", es necesario que en la entrada se presente un voltaje "alto" durante un tiempo que permita la carga del capacitor C_7 .

Para asegurar que no pueda cargarse el capacitor durante los pulsos generados por el disco de marcar, se considerará un tiempo tres veces mayor al que presenta dicho pulso, es decir, de unos 180 ms.

Cuando la entrada es "baja", el circuito de carga del capacitor C_7 es un circuito RC simple, en el que el voltaje V_C en función del tiempo está determinado por la ecuación:

$$V_C = 15 - 14.8 e^{-\frac{t}{RC}}$$

a partir del cambio de estado en la entrada.

Al alcanzar V_C el valor del umbral superior de voltaje del circuito disparador de Schmitt anteriormente analizado, o sea, $V_C = 9.4$ V, la salida cambiará del estado "alto" al estado "bajo". Por lo tanto se podrá obtener una fórmula en la que el valor del capacitor C_7 quede en función del tiempo de retardo y de la resistencia R_{12} , para este tipo de circuitos.

$$9.4 = 15 - 14.8 e^{-\frac{t}{R_{12}C_7}} ; 14.8 e^{-\frac{t}{R_{12}C_7}} = 15 - 9.4$$

$$e^{-\frac{t}{R_{12}C_7}} = \frac{5.6}{14.8} ; \frac{t}{R_{12}C_7} = L(14.8) - L(5.6)$$

$$R_{12}C_7(2.695 - 1.723) = t$$

por lo tanto:

$$C_7 = \frac{t}{0.972R_{12}}$$

Para el circuito analizado, el tiempo de disparo es $t = 180$ ms y la resistencia tiene un valor ya definido de $R_{12} = 100$ k Ω , por lo cual:

$$C_7 = \frac{180}{0.972 \times 100} ; C_7 = 1.85 \mu\text{F}$$

En la figura IV.16 se muestra la gráfica del voltaje V_C contra tiempo del circuito estudiado.

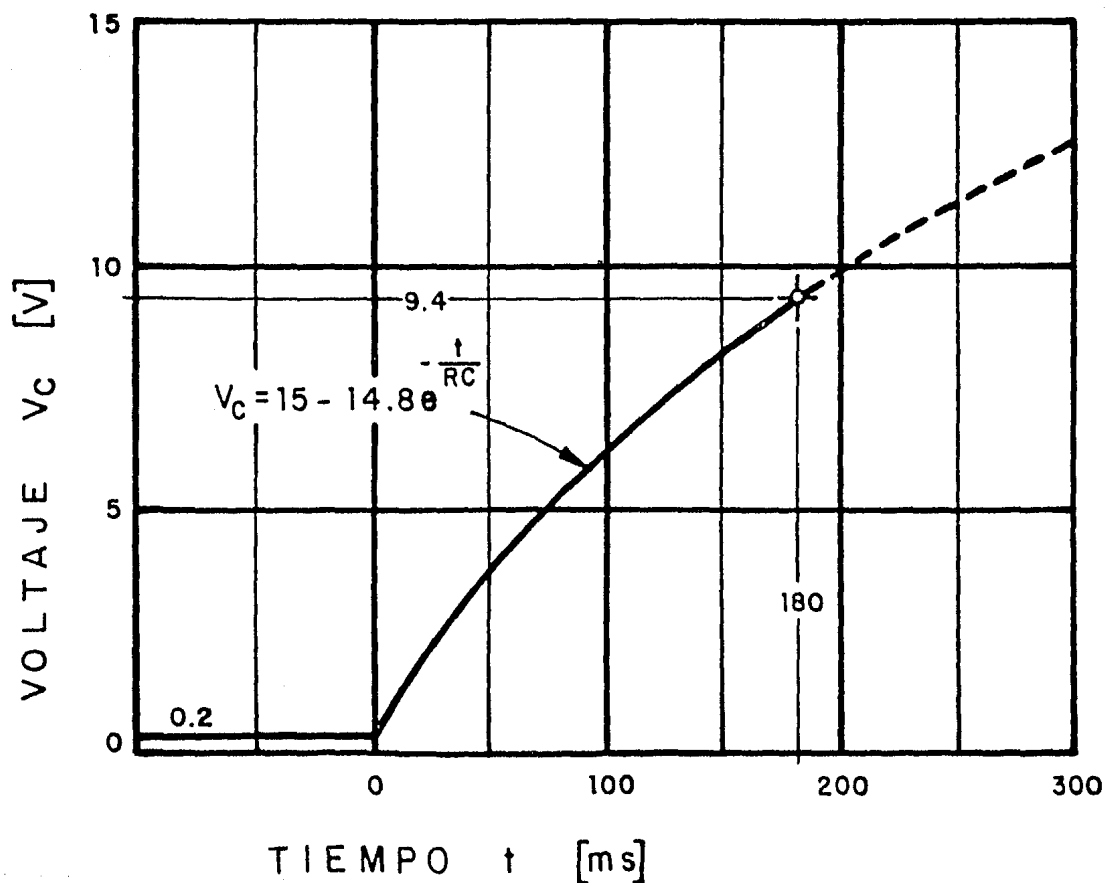


Figura IV.16 Gráfica del Voltaje V_C contra Tiempo. Están acotados los valores de importancia para el diseño.

De esta manera, durante la generación de pulsos de marcar el transistor T_5 no podrá saturarse, por lo que este circuito proporcionará una salida "baja" sólo cuando el microteléfono esté colgado un tiempo mayor de 180 ms.

El valor obtenido se refiere a un valor capacitivo puro. Esto se puede lograr en la práctica con un capacitor de tantalio, que tiene valores despreciables de corrientes de fuga y de resistencias parásitas.

Experimentalmente, al utilizar capacitores electrolíticos, el tiempo de disparo prácticamente se duplica debido a los elementos "parásitos" asociados con este tipo de componentes. Por lo tanto, en lugar de ser problemático el uso de este tipo de capacitores, es ventajoso pues se puede implementar el retardo de tiempo con capacitancias menores, aproximadamente la mitad del valor obtenido teóricamente, además de que el costo de estos últimos es mucho menor a los de tantalio.

En resumen, será suficiente utilizar un capacitor electrolítico con un valor de $C_7 = 1 \mu\text{F}$ para poder asegurar un retardo de tiempo de unos 180 ms y, por consiguiente, el funcionamiento requerido de este circuito detector de teléfono colgado.

IV.2.3 DETECTOR DE TONO

El circuito detector de tono se debe diseñar de tal manera que pueda detectar la existencia en la línea telefónica de cualquier tipo de tono de "información", ya sea el tono de marcar, el tono de llamada o el tono de ocupado.

Dependiendo de la central a la cual esté conectado el aparato telefónico y a la que esté conectada la línea con la que se quiere establecer contacto, estos tonos de "información" pueden variar de frecuencia desde unos 400 Hz hasta alcanzar en casos extremos los 650 Hz.

En general, se puede afirmar que estos tonos son generados como señales senoidales o muy similares a ellas, con una amplitud de pico a pico de unos 4 V en el mejor de los casos, pudiendo atenuarse hasta tener el décimo de este valor, debido a lo cual, la intensidad acústica aparenta disminuir a la mitad por la "respuesta logarítmica" que tiene el oído humano.

El circuito fundamental que puede ser aplicado en el diseño del detector de tono es el Circuito de "Amarre" de Fase o PLL por sus siglas en inglés (Phase-Locked Loop).

Este circuito está compuesto por tres componentes básicos: un detector de fase, un filtro de malla y un oscilador controlado por voltaje (en algunos casos por corriente), cuya frecuencia es controlada mediante un voltaje (o corriente) externo.

El detector de fase compara la fase de la señal periódica de entrada con la fase de la señal generada por el oscilador; la salida del detector de fase es una medida de la diferencia de fase entre estas dos señales.

Posteriormente esta diferencia de fase es introducida al filtro de malla cuya salida es aplicada al oscilador controlado por voltaje (en este caso). El voltaje de control aplicado en este circuito cambia la frecuencia de salida de tal suerte que, reduce la diferencia de fase entre la señal de entrada y la salida del oscilador.

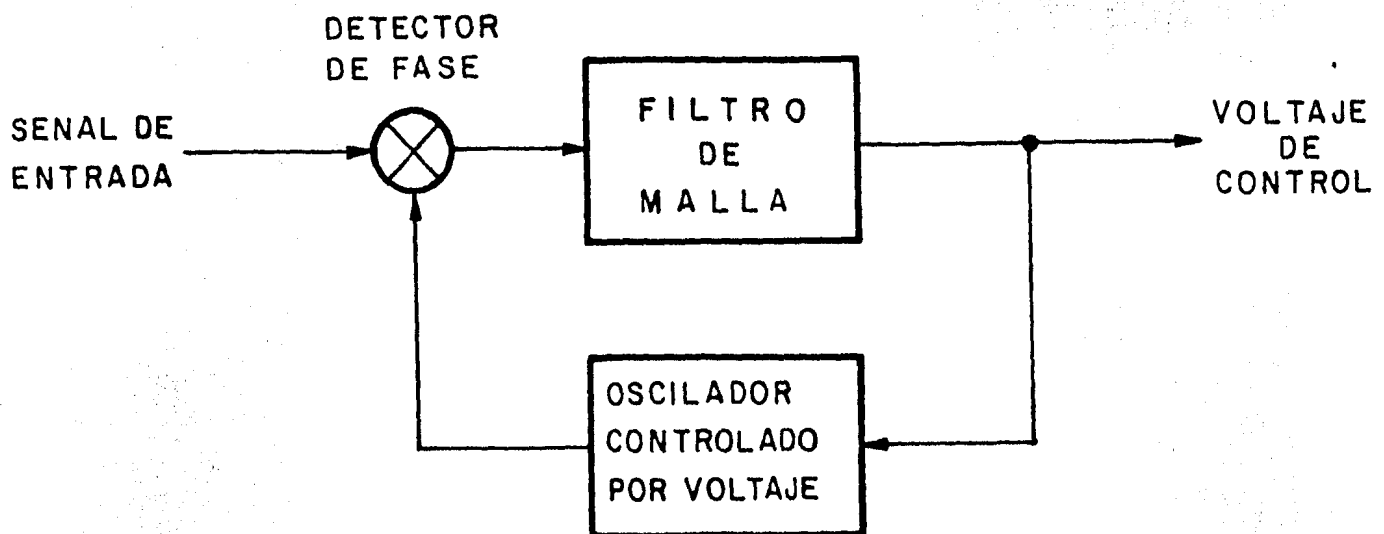


Figura IV.17 Diagrama de bloques de un Circuito de "Amarre" de Fase básico (PLL).

Cuando la malla es "amarrada", el voltaje de control es tal que la frecuencia del oscilador es exactamente igual a la frecuencia promedio de la señal de entrada. En la figura IV.17 se muestra un diagrama de bloques del Circuito de "Amarre" de Fase básico.

Para la implementación de este circuito detector de tono se utiliza

rá en principio, el circuito integrado LM 567, que es un Decodificador de Tono con Circuito de "Amarre" de Fase. Las principales limitaciones que presenta este semiconductor son con respecto al voltaje de operación (máximo 9 V), la banda de detección o rango de captura (máximo 14% de la frecuencia central de operación) y el nivel de voltaje de entrada capaz de "encender" al circuito (mínimo $25 \text{ mV}_{\text{rms}}$).

Con respecto a la primera limitación, este dispositivo tiene la particularidad de poder operar con un voltaje entre 3 y 9 V, proporcionando una salida a un nivel de voltaje diferente, con un máximo de 15 V. Como la circuitería en general se está diseñando con un voltaje de operación de 15 V, esta limitación quedaría resuelta sin problema aparente.

Analizando el caso que presenta la segunda limitación, el rango de la captura de frecuencia que se desea obtener es entre los 400 y los 600 Hz (las frecuencias extremas de 350 a 400 Hz y de 600 a 650 Hz raras veces ocurren), por lo que, tomando como frecuencia central los 500 Hz, esta banda de detección sería del 40% ($\pm 20\%$) haciendo imposible la solución de este problema mediante un solo circuito integrado.

Pero como la característica de su salida es de tipo "Colector Abierto" (Open Collector), es posible conectar en paralelo varios circuitos con diferentes frecuencias centrales de operación, de modo que presenten las características de un solo circuito con un rango de captura multiplicado.

Por último, la tercera limitación puede resolverse agregando en la entrada un amplificador de señal.

En la figura IV.18 se muestra el diagrama esquemático del circuito detector de tono, considerando las soluciones teóricas de las limitaciones que presenta el circuito integrado LM 567.

Este circuito genera una salida "alta" en ausencia de la señal de entrada o una entrada diferente a la de las frecuencias de la banda de captura. Cambia la salida al estado "bajo" cuando el circuito detecta una señal de frecuencia dentro del rango anteriormente mencionado.

Los capacitores C_8 y C_9 funcionan como capacitores "limitadores de paso". Como la frecuencia de la señal que se requiere amplificar es de 500 Hz aproximadamente, es suficiente con que éstos tengan un valor de $C_8 = 0.01 \mu\text{F}$ y $C_9 = 0.01 \mu\text{F}$, presentando una impedancia a la frecuencia de operación de:

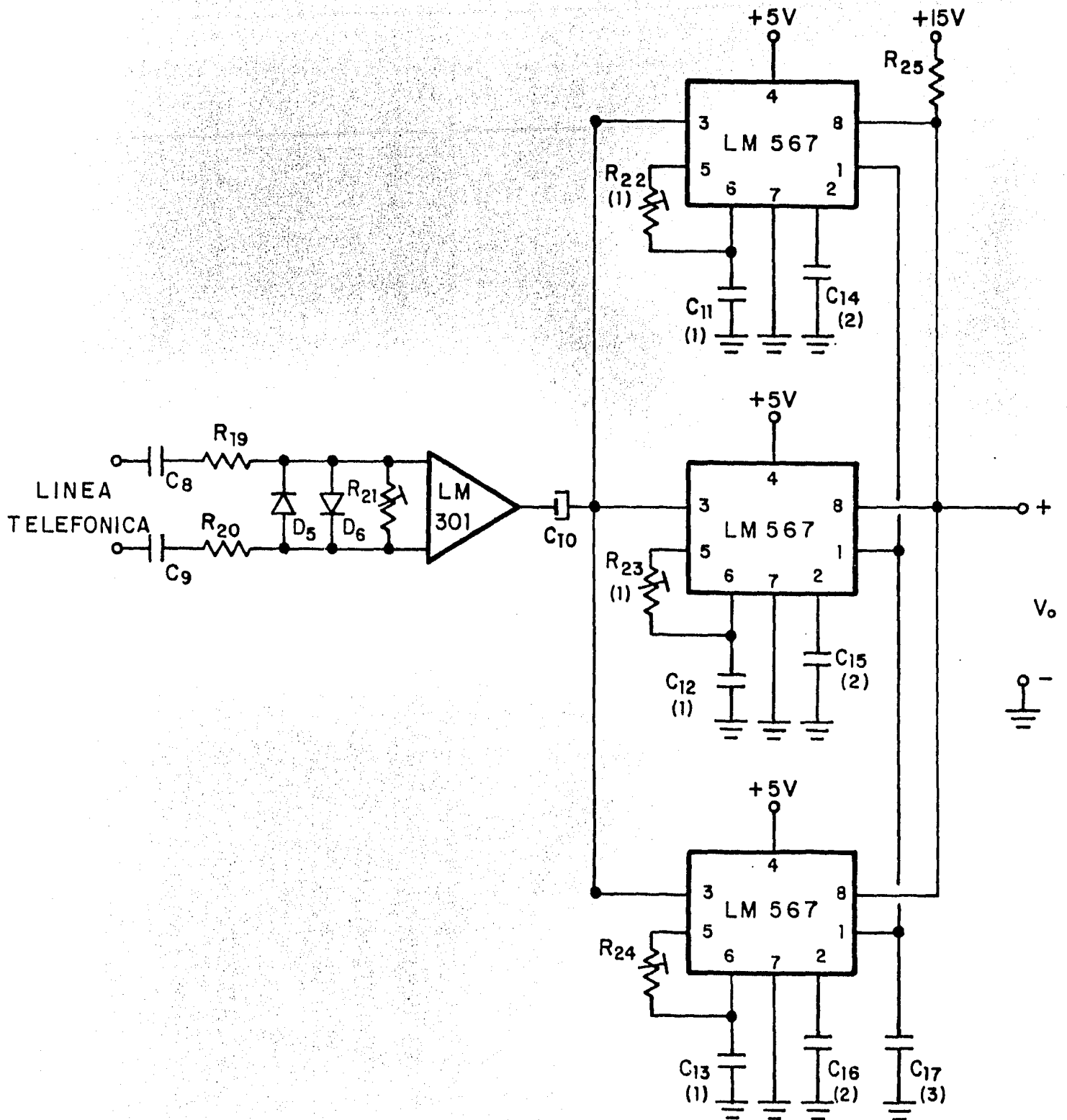


Figura IV.18 Diagrama esquemático del circuito detector de tono.

$$Z_C = \frac{1}{2\pi fC} ; Z_C = \frac{1}{2\pi \times 500 \times 0.01 \times 10^{-6}} ; Z_C = 32.83 \text{ k}\Omega$$

Con los diodos D_5 y D_6 se está limitando el voltaje en la entrada

diferencial del amplificador operacional a un valor de $V_1 = 0.7$ V. De esta manera, las resistencias R_{19} , R_{20} y R_{21} deberán tener un valor tal que, con un valor de voltaje promedio de la señal de información, el voltaje en la entrada diferencial tenga el valor citado.

Considerando un voltaje promedio de $2 V_{p-p}$, el valor de las resistencias, incluyendo las impedancias capacitivas, deberán ser:

$$\frac{0.7}{2.0} = \frac{R_{21}}{2(R_{19} + 32.83)} ; R_{21} = \frac{7}{10}(R_{19} + 32.83)$$

si definimos un valor de $R_{19} = 10 \text{ k}\Omega$, $R_{20} = 10 \text{ k}\Omega$:

$$R_{21} = \frac{7}{10}(10 + 32.83) ; R_{21} = 30 \text{ k}\Omega$$

Para poder tener acceso al control del voltaje de la entrada diferencial, se colocará una resistencia semivariable de $50 \text{ k}\Omega$.

El valor del capacitor C_{10} no es crítico. Basta con que su impedancia sea relativamente pequeña para que la señal amplificada pueda pasar sin atenuarse excesivamente. Se tomará un valor de $C_{10} = 1 \text{ }\mu\text{F}$, por lo que la impedancia capacitiva para $f = 500 \text{ Hz}$ será:

$$Z_C = \frac{1}{2\pi f C} ; Z_C = \frac{1}{2\pi \times 500 \times 0.000001} ; Z_C = 328 \text{ }\Omega$$

Para la determinación de los elementos externos del decodificador de tono, se tomarán en cuenta las siguientes ecuaciones prácticas de diseño:

$$f_0 = \frac{1.1}{R_{(1)} C_{(1)}} ; C_{(2)} = \frac{130}{f_0} ; C_{(3)} = \frac{260}{f_0}$$

en donde f_0 es la frecuencia central de operación y $R_{(1)}$, $C_{(1)}$, $C_{(2)}$ y $C_{(3)}$ son los valores de los elementos externos del circuito.

Definiendo la frecuencia central de operación $f_0 = 500 \text{ Hz}$, los valores teóricos de $C_{(2)}$ y $C_{(3)}$ serán:

$$C_{(2)} = \frac{130}{500} ; C_{(2)} = 0.26 \mu\text{F} ; C_{(3)} = 0.52 \mu\text{F}$$

Como estos valores no son críticos, se tomará un valor para estos capacitores de $C_{(2)} = 0.33 \mu\text{F}$ y $C_{(3)} = 0.56 \mu\text{F}$.

El detector de tono está compuesto por tres decodificadores de tono conectados en paralelo. Si tomamos un rango de frecuencia de captura promedio del 12% de la frecuencia central de operación de cada uno de ellos, los valores de las frecuencias centrales para los decodificadores serán:

$$f_{0,1} = 500 - 12\%(500) ; f_{0,1} = 440 \text{ Hz}$$

$$f_{0,2} = 500 \text{ Hz}$$

$$f_{0,3} = 500 + 12\%(500) ; f_{0,3} = 560 \text{ Hz}$$

El rango de frecuencias de captura para el primer decodificador será de $440 \pm 6\%(440)$, o sea, de 413.6 a 466.4 Hz. Para el segundo decodificador, de 470 a 530 Hz, y para el tercero de 526.4 a 593.6 Hz.

Como se puede apreciar, existe un rango de frecuencias entre el primer y el segundo decodificador en el que no se verificará la captura, por lo que, para evitar este "claro", se aumentará la frecuencia central de operación del primer decodificador a 445 Hz, proporcionando de esta manera un rango de frecuencias de captura de 418.3 a 471.7 Hz.

El rango de frecuencias de captura del circuito detector de tono será entonces de 418.3 a 593.6 Hz, que es el equivalente al 35% de la frecuencia central de operación ($f_0 = 500 \text{ Hz}$).

Para el cálculo de los elementos de este circuito, se considerarán las frecuencias centrales de operación de cada uno de los decodificadores de tono y la fórmula práctica de diseño:

$$f_0 = \frac{1.1}{R_{(1)} C_{(1)}} \quad [\text{kHz}]$$

El valor de la resistencia $R_{(1)}$ es conveniente que tenga un valor de 2 a 20 $k\Omega$ para proporcionar una buena estabilidad térmica al circuito. De la fórmula se infiere fácilmente que el producto $R_{(1)} C_{(1)}$ debe tener

un valor aproximado de 2, por lo que se utilizarán en todos los decodificadores capacitores de $0.2 \mu\text{F}$, o sea, $C_{11} = 0.2 \mu\text{F}$, $C_{12} = 0.2 \mu\text{F}$ y $C_{13} = 0.2 \mu\text{F}$.

Para el primer decodificador, la frecuencia central de operación $f_{0,1} = 445 \text{ Hz}$. Entonces:

$$R_{22} = \frac{1.1}{0.445 \times 0.2} ; R_{22} = 12.36 \text{ k}\Omega$$

Para el segundo decodificador, $f_{0,2} = 500 \text{ Hz}$, por lo que:

$$R_{23} = \frac{1.1}{0.500 \times 0.2} ; R_{23} = 11 \text{ k}\Omega$$

y para el tercer decodificador, $f_{0,3} = 560 \text{ Hz}$, por lo tanto:

$$R_{24} = \frac{1.1}{0.560 \times 0.2} ; R_{24} = 9.82 \text{ k}\Omega$$

Como los valores de las resistencias son críticos para el correcto funcionamiento del circuito, se utilizarán resistencias fijas en combinación con resistencias semivariables en serie.

Entonces, R_{22} quedará implementada con una resistencia de $10 \text{ k}\Omega$ en combinación con una semivariable de $5 \text{ k}\Omega$. En los casos de las resistencias R_{23} y R_{24} , se obtendrán con base en una resistencia de $8.2 \text{ k}\Omega$ con una semivariable de $5 \text{ k}\Omega$ en ambos casos.

De esta manera es posible tener hasta cierto punto, un control fino del dispositivo, evitando los problemas por las tolerancias implícitas en las resistencias utilizadas.

Por último, la resistencia R_{25} es la que sirve de carga y polarización de la etapa de salida tipo "colector abierto" del circuito. Se utilizará una resistencia de $1 \text{ k}\Omega$.

Al realizar las pruebas de laboratorio de este dispositivo, en las frecuencias extremas de cada uno de los decodificadores se presentaron oscilaciones en la salida, causadas por la inestabilidad en la captura de dichas frecuencias. Para evitar estas oscilaciones se implementará en la salida del circuito un filtro paso-bajas, con una frecuencia de corte aproximadamente igual a la quinta parte de la frecuencia central de opera

ción, es decir, de unos 100 Hz. Para ello será suficiente contar con una resistencia de 10 k Ω y un capacitor de 1 μ F.

El circuito detector de tono debe estar complementado por otro tipo de circuitos que sean capaces de discriminar la existencia del tono de marcar y el tono de llamada o de ocupado, en la línea telefónica. En los siguientes incisos se analizarán estos circuitos.

IV.2.4 DETECTOR DE TONO CONTINUO

La principal diferencia que existe entre el tono de marcar y los tonos de llamada o de ocupado, es que estos últimos son discontinuos (pulsos de tono con determinado espaciamiento de tiempo).

Aprovechando esta característica, se procederá al diseño de un circuito que sea capaz de detectar únicamente el tono de marcar.

El tono de llamada está formado por pulsos de tono con una duración aproximada de 1 segundo y espaciamiento de poco más de 4 segundos. Con respecto al tono de ocupado, la duración de los pulsos de tono es poco menos de 0.5 segundos, con espaciamiento de la misma duración.

Por lo tanto, si el tono tiene una duración mayor de un segundo, se puede concluir que el tono de "información" se relaciona con el tono de marcar, que es continuo como se mencionó anteriormente.

Utilizando un circuito similar al disparador de Schmitt del circuito detector de teléfono colgado, se podrá implementar de una manera sencilla el dispositivo requerido. Lo único que se tendrá que variar será la constante de tiempo de carga del capacitor.

En la figura IV.19 se muestra el diagrama esquemático del circuito detector de tono continuo.

Del análisis del circuito detector de teléfono colgado se tiene la ecuación del capacitor en función del tiempo de carga:

$$C_{18} = \frac{t}{0.972R_{27}}$$

si $R_{27} = 120 \text{ k}\Omega$:

$$C_{18} = \frac{1000}{0.972 \times 120} ; C_{18} = 8.57 \mu\text{F}$$

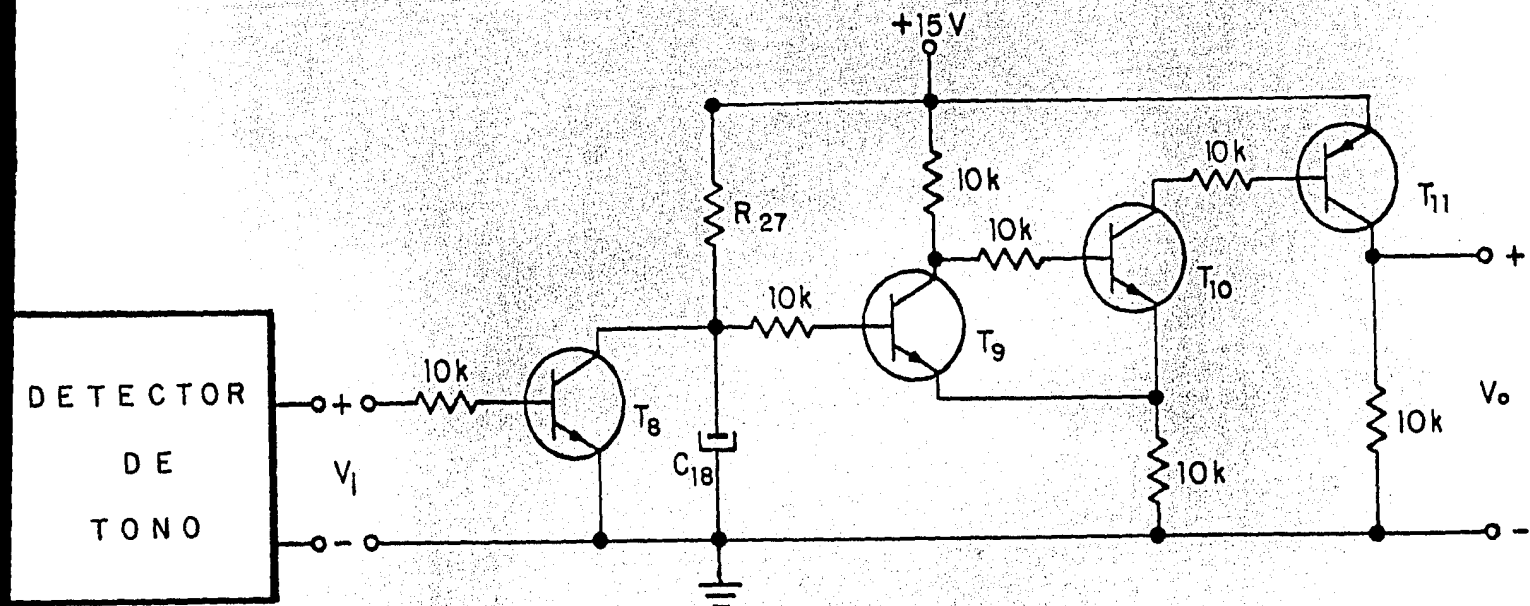


Figura IV.19 Diagrama esquemático del circuito detector de tono continuo.

Debido a las características propias que presentan los capacitores electrolíticos, las cuales se explicaron en el inciso IV.2.2, es suficiente con utilizar un capacitor con la mitad del valor teórico obtenido. Por lo tanto, tomando un valor comercial igual o mayor a la mitad de la capacitancia obtenida, $C_{18} = 4.7 \mu\text{F}$.

De esta manera se tiene diseñado el circuito detector de tono continuo. Al detectar el tono de marcar, que se presupone que tiene una duración mayor de 1 segundo, la salida cambia del estado "alto" que presenta en cualquier otra circunstancia, al estado "bajo" que indica la detección del multicitado tono.

IV.2.5 DETECTOR DE TONO DISCONTINUO

En el inciso precedente se analizaron las diferencias que presentan cada uno de los tonos de "información". Como se pudo apreciar, el tono de marcar es continuo, mientras que los tonos de llamada y de ocupado son discontinuos, diferenciándose entre sí únicamente por el periodo de los

pulsos de tono.

Analizando ahora la mecánica que rige el funcionamiento del sistema telefónico, después que se ha marcado correctamente el número telefónico del abonado con quien se quiere establecer la comunicación, si el aparato telefónico de éste está libre, en la central telefónica se genera el tono de llamada que al interrumpirse, indica la existencia del enlace telefónico, a menos que se haya colgado el microteléfono. Ahora bien, si el teléfono del abonado anterior está ocupado, en la central se genera el tono de ocupado, que se interrumpe únicamente cuando se cuelga el microteléfono del primer abonado.

Para el diseño del circuito detector de tono discontinuo, se utilizará de nueva cuenta el circuito disparador de Schmitt con retardo de tiempo. La entrada se tomará del circuito detector de tono. Como debe ser capaz de detectar tanto el tono de ocupado como el tono de llamada, el retardo de tiempo deberá ser ligeramente mayor de 4 segundos, valor correspondiente al espaciamiento existente entre los pulsos de llamada. En la figura IV.20 se muestra el diagrama esquemático del circuito detector de tono discontinuo.

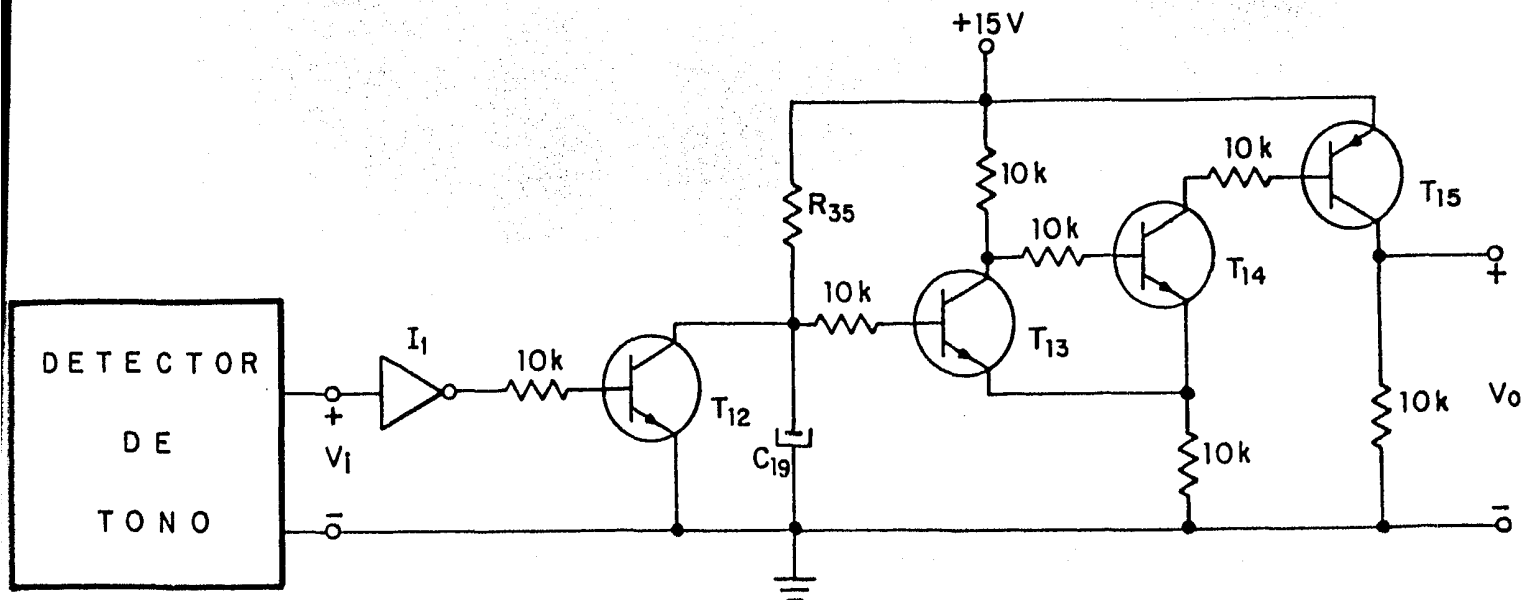


Figura IV.20 Diagrama esquemático del circuito detector de tono discontinuo.

Debido a que normalmente la salida del detector de tono es "alta", cambiando a "baja" únicamente durante la existencia de cualquier tipo de

tono dentro del rango de frecuencias de captura, será necesaria la inversión de esta señal para introducirla a la entrada del detector de tono discontinuo. De esta manera, si no existe ningún tono de información, la salida de este dispositivo será "baja", debido a que el detector de tono presentará una salida "alta", produciendo la señal "baja" a la entrada del primero.

Como el detector de tono discontinuo detecta en realidad los espaciamientos entre los pulsos de tono, cuando detecta cualquier tipo de tono la entrada en el circuito será "alta", lo que ocasionará inmediatamente que la salida cambie del estado "bajo" al "alto", ya que el transistor T_{12} descargará casi instantáneamente al capacitor C_{19} , lo que ocasionará el corte de T_{13} y la saturación de T_{14} y T_{15} propiciando la salida "alta".

Ahora bien, si desaparece el tono, la entrada al detector de tono discontinuo será "baja", lo que provocará que el capacitor C_{19} empiece a cargarse a través de la resistencia R_{35} .

Hasta que el voltaje del capacitor V_C no alcance el umbral superior de voltaje (9.4 V), la salida no cambiará de estado. De esta manera se puede asegurar la permanencia de la salida "alta", mientras existan pulsos de tono con espaciamientos menores al tiempo producido por la carga del capacitor.

Si se quiere diseñar este circuito para que se dispare cuando el espaciamiento sea mayor de 5 segundos, estableciendo un valor de $R_{35} = 470 \text{ k}\Omega$, el capacitor C_{19} deberá ser igual a:

$$C_{19} = \frac{t}{0.972R_{35}} ; C_{19} = \frac{5000}{0.972 \times 470} ; C_{19} = 10.9 \text{ }\mu\text{F}$$

Al utilizar capacitores electrolíticos, el valor obtenido se puede reducir a la mitad, por lo que se utilizará un valor de $C_{19} = 5.7 \text{ }\mu\text{F}$, obteniéndolo mediante la conexión en paralelo de un capacitor de $4.7 \text{ }\mu\text{F}$ con otro de $1 \text{ }\mu\text{F}$.

IV.3 CIRCUITOS DE PROCESAMIENTO DE LOS PULSOS DE MARCAR

Para lograr detectar y procesar de una forma adecuada, los dígitos del número telefónico marcados en el aparato del abonado que llama, es necesario implementar circuitos digitales que realicen eficientemente dichas funciones.

En primer lugar, se necesitará un circuito que sea capaz de identificar el número de pulsos que genera el disco de marcar, los cuáles están asociados con el dígito marcado. Así mismo, será necesario implementar un circuito que detecte el final de cada tren de pulsos, y junto con éste, un circuito que controle la salida de información del dígito marcado hacia la calculadora impresora y, un último que sea capaz de restablecer el circuito contador de pulsos, para habilitarlo nuevamente.

Todos estos circuitos serán implementados utilizando dispositivos CMOS, por las ventajas que presenta esta tecnología digital.

IV.3.1 CONTADOR DE PULSOS DE MARCAR

Aprovechando la salida del detector de nivel y generador de pulsos de marcar, la función de contabilizar el número de pulsos generados por el disco del aparato telefónico puede ser realizada por un contador digital.

Dentro del catálogo de circuitos digitales CMOS, existe el de clave CD 4017, que es un contador decimal, el cual convierte directamente el número de pulsos detectados en la entrada, a una salida "alta" en la terminal asociada con la cantidad de pulsos generados.

El circuito CD 4017 cuenta con tres puertos de entrada, a saber, entrada restablecedora del contador (reset), terminal número 15; entrada de pulsos (clock), terminal 14 y entrada habilitadora de la entrada de pulsos (clock enable), terminal 13. Cuando la entrada restablecedora del contador es "alta", éste se mantiene en su estado inicial, o sea, marcando una salida "0" (cero), sin ser afectado por las variaciones que puedan ocurrir en las otras dos entradas. Los pulsos que desean ser contabilizados, deben introducirse al contador a través de la entrada de pulsos.

Estando la entrada restablecedora del contador en estado "bajo", a cada subida de los pulsos de entrada cambia el estado de la salida del contador. La entrada habilitadora de la entrada de pulsos debe ser "baja" para que el contador funcione adecuadamente. En caso de que esta entrada sea "alta", el contador permanecerá en el estado en que se encontraba, al cambiar la señal habilitadora de "baja" a "alta".

Los puertos de salida de este circuito integrado son once, diez para cada uno de los dígitos del "0" al "9", y uno que genera un pulso cada vez que el contador haya detectado un ciclo decimal completo. En ausencia de pulsos o cuando la entrada restablecedora del contador es "alta", todas las salidas serán bajas, excepto la correspondiente al "0" (estado inicial). Después de que la entrada restablecedora del contador haya cambiado al estado "bajo", al detectar la subida del primer pulso de entrada, la salida correspondiente al dígito "1", cambia a estado "alto", volviendo a ser "baja" la salida del "0"; al detectar la subida del siguiente pulso, la salida del "2" se vuelve "alta", regresando a "baja" la salida del "1", y así sucesivamente. Estando la salida del dígito "9" "alta", el contador detecta otro pulso, la salida del "9" regresa a "baja" y la del "0" se vuelve "alta", completando el ciclo decimal, y además, termina de complementarse el pulso de la salida contadora de dichos ciclos.

Las salidas del contador asociadas con los dígitos del "0" al "9", deberán adaptarse de alguna manera a los interruptores que accionan la calculadora-impresora. Si se conectaran aquéllas directamente a la terminal de control de dichos interruptores, la calculadora registraría los dígitos del "0" hasta el correspondiente al número de pulsos generados por el disco de marcar, debido a que la salida del contador cambia cada vez que detecta un pulso. El único dígito de interés para el funcionamiento correcto del "Impresor de llamadas telefónicas", es el que representa el total de cada conjunto de pulsos, por lo cual, las salidas del contador deberán de conectarse con los interruptores a través de compuertas controladas por una señal que detecte el final de cada tren de pulsos.

Además, será necesario proporcionar al contador, la señal restablecedora después de realizado el registro del dígito correspondiente al total de pulsos contabilizados, con la finalidad de que pueda detectar el siguiente tren de pulsos.

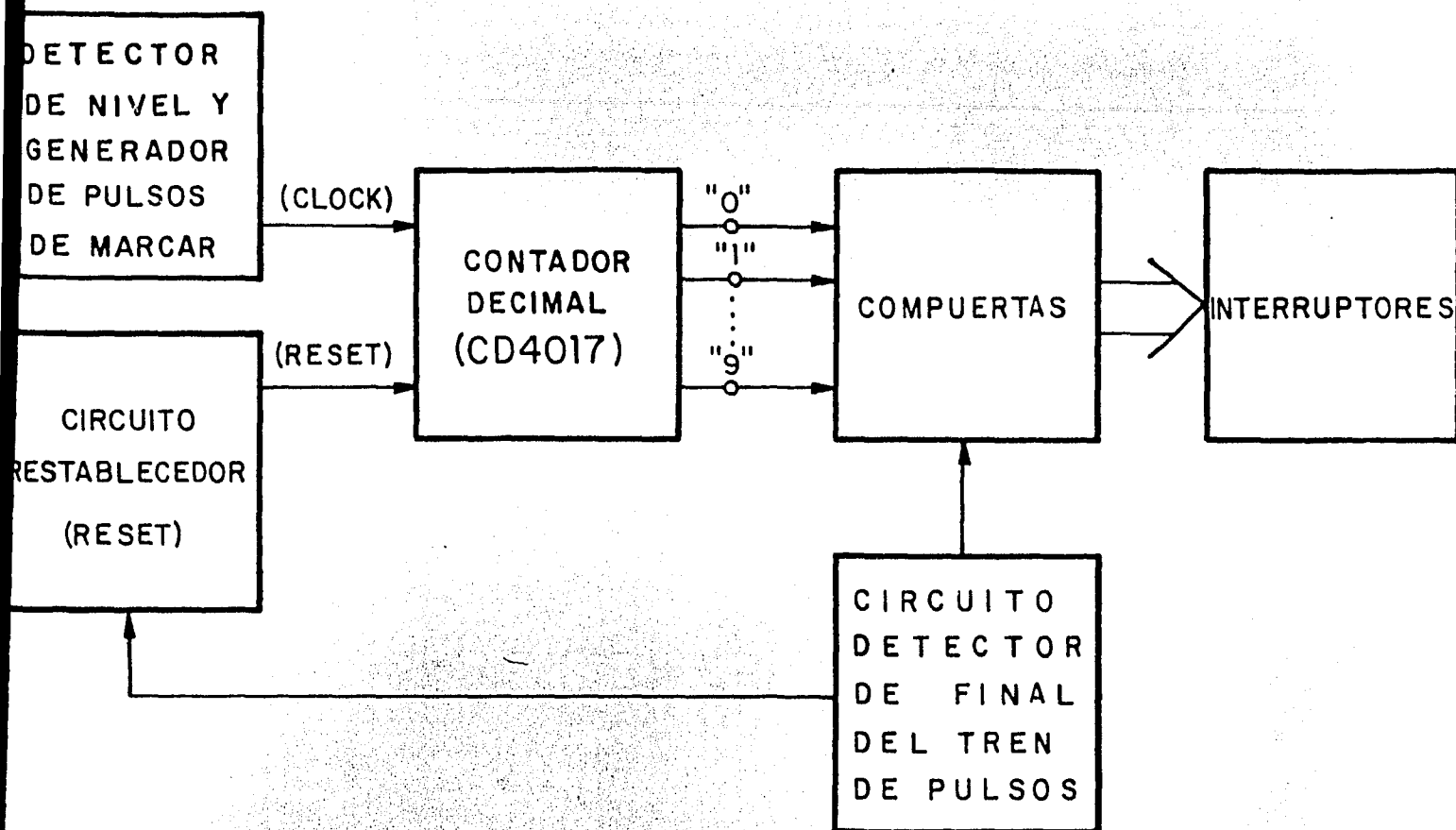


Figura IV.21 Diagrama de bloques de los circuitos de procesamiento de los pulsos de marcar.

Por último, se muestra en la figura IV.21 un diagrama de bloques del contador con los demás circuitos necesarios para el procesamiento de los pulsos de marcar.

IV.3.2 CIRCUITO DETECTOR DE FINAL DEL TREN DE PULSOS

El objeto de este circuito será el determinar el término de un tren de pulsos generado por el disco de marcar, para que con base en su señal se puedan accionar las compuertas para el registro del número marcado.

Dado que esta función es muy similar a la realizada por el detector de tono discontinuo debido a que es comparable la detección de pulsos de tono con la de pulsos de marcar, se utilizará el mismo circuito, cambiando únicamente los valores de la resistencia y el capacitor de carga. En la figura IV.22 se muestra el diagrama esquemático de este detector del final del tren de pulsos.

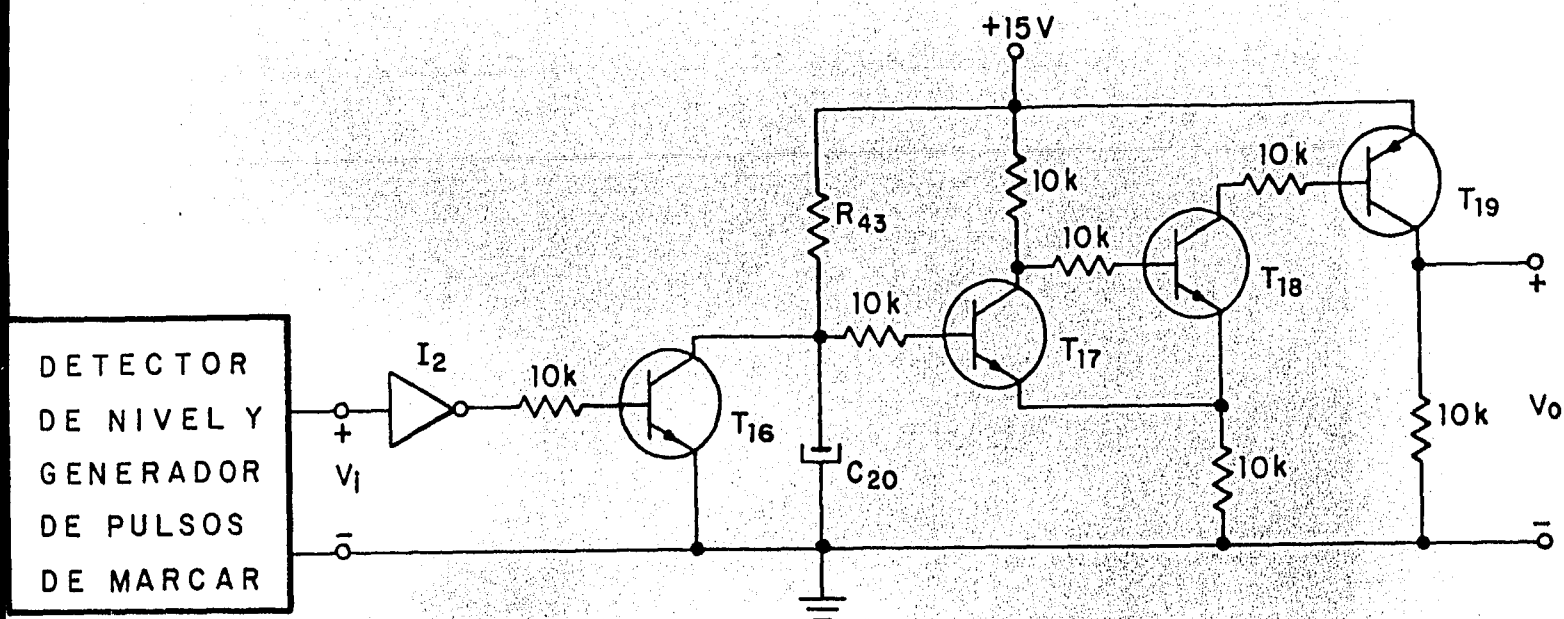


Figura IV.22 Diagrama esquemático del circuito detector de final del tren de pulsos.

En este caso, debido a que el espaciamento entre pulsos es de 40 ms aproximadamente, si se fija el valor de la resistencia R_{43} de $R_{43} = 100 \text{ k}\Omega$:

$$C_{20} = \frac{t}{0.972R_{43}} ; C_{20} = \frac{40}{0.972 \times 100} ; C_{20} = 0.45 \mu\text{F}$$

Con motivo de asegurar el funcionamiento del circuito y, al mismo tiempo, de utilizar capacitores con valores comerciales de fácil adquisición, se escogerá un valor de $C_{20} = 1 \mu\text{F}$.

De esta forma, el espaciamento máximo que puede permitirse entre los pulsos de marcar, será de alrededor de 160 ms, siendo este tiempo relativamente pequeño con respecto al espaciamento que puede aparecer entre dos trenes de pulsos consecutivos (o sea, entre la marcación de dos dígitos del número telefónico) y por lo tanto, verificar el funcionamiento correcto del dispositivo.

Por lo tanto, cuando este circuito no detecte ningún pulso en los 160 ms siguientes a la "bajada" del último detectado, su salida cambiará del estado "alto" al "bajo", indicando de esta manera, el final del tren de pulsos correspondientes al dígito marcado en el aparato telefónico.

IV.3.3 CIRCUITOS DE COMANDO DE COMPUERTAS Y RESTABLECEDOR DEL CONTADOR

Tal como se mencionó en el inciso IV.3.1, las salidas del contador de pulsos deben ser conectadas a los interruptores correspondientes a través de compuertas, controladas por un circuito asociado al detector del final del tren de pulsos, explicado en el párrafo anterior. Estas compuertas deberán ser tales, que sólo dejen pasar las señales de salida del contador cuando exista una señal indicadora del final del tren de pulsos. Por lo tanto, dichas compuertas podrán ser implementadas con circuitos AND. El circuito integrado CMOS clave CD 4081, conteniendo cuatro compuertas AND de dos entradas, será el más adecuado para este caso.

Ahora bien, la señal indicadora del final del tren de pulsos, no es conveniente que sea la salida del detector correspondiente tal cual, debido a que antes de iniciar el siguiente tren de pulsos es necesario restablecer el contador a su estado inicial (dígito "0"), causando el registro en la impresora del número "0", después del asociado al dígito marcado.

Por lo tanto, será necesario diseñar un circuito que genere un pulso al detectar el final del tren de pulsos y, que posterior a éste, se genere otro pulso que sirva para restablecer al contador.

Como el final del tren de pulsos está indicado por el cambio de estado de la salida del detector correspondiente de "alto" a "bajo", habrá que pensar en un dispositivo que genere un pulso al ocurrir esta variación.

Un circuito que puede realizar esta función, es el monoestable o monoflop. En la figura IV.23 se muestra el diagrama esquemático de un monoestable típico, implementado con una compuerta NOR y un inversor. Se utilizarán los circuitos integrados CD 4001 y CD 4049 de tecnología CMOS, los cuales proporcionan compuertas NOR de dos entradas e inversores, respectivamente, para construir este circuito, cuyo funcionamiento se explicará a continuación.

Siendo la entrada "alta" en estado estable, una de las entradas de la compuerta NOR será "alta" y, la otra "baja", generando una salida "baja". Al cambiar la entrada del circuito al estado "bajo", una de las entradas del NOR será inmediatamente "baja", pero la otra, dependiendo de la resistencia y el capacitor, tardará cierto tiempo en pasar del estado "bajo" en que se encontraba al "alto".

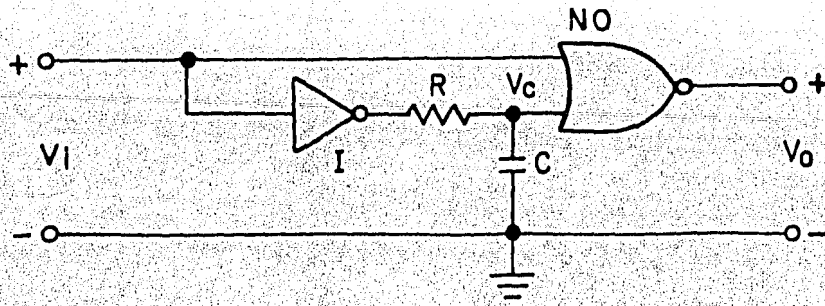


Figura IV.23 Diagrama esquemático de un monoestable típico.

Durante este tiempo, la salida del NOR será "alta", bajando tan pronto el voltaje del capacitor alcance el umbral superior de voltaje de la compuerta (aproximadamente el 60% del voltaje de polarización, como puede apreciarse en la gráfica de la función de transferencia de un inversor CMOS, mostrado en la figura III.15).

Por último, al cambiar la entrada de "bajo" a "alto", como una de las entradas de la compuerta NOR será "alta", con ello es suficiente para asegurar que la salida continúa siendo "baja". Por consiguiente, este circuito sólo genera un pulso cuando en su entrada se verifica un cambio de nivel de "alto" a "bajo".

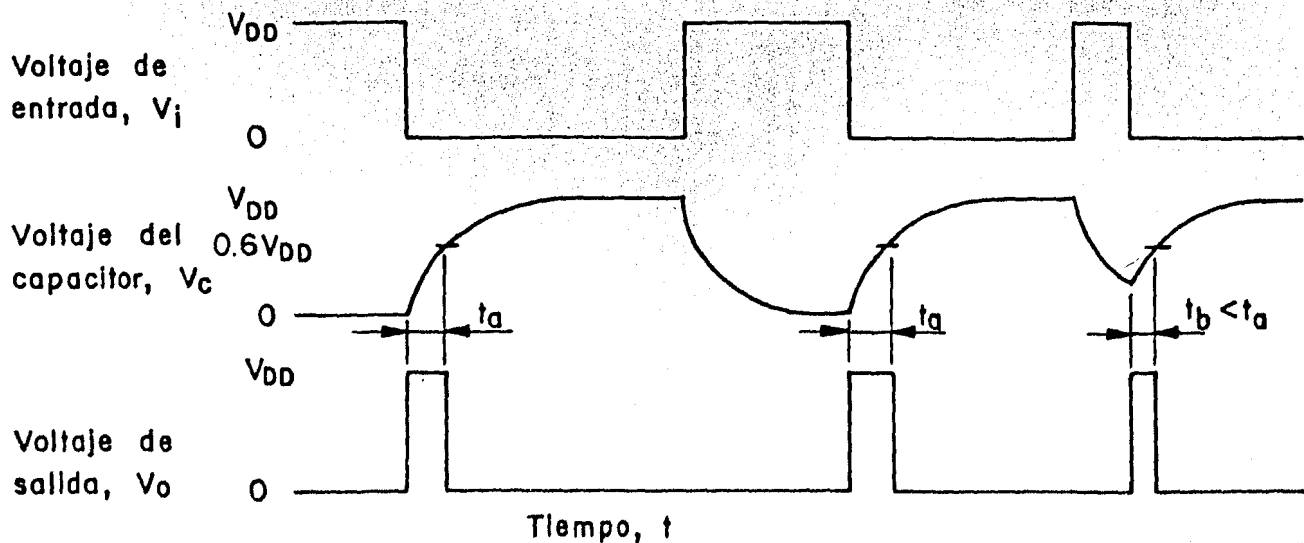


Figura IV.24 Gráficas de los voltajes de entrada (V_i), del capacitor (V_c) y de salida (V_o) contra tiempo (t), del monoestable de la figura IV.23.

En la figura IV.24 se muestran las gráficas de los voltajes de entrada (V_i), del capacitor (V_C) y de salida (V_o) contra tiempo, del monoestable analizado.

Para calcular el ancho del pulso generado, es suficiente determinar el tiempo en que el voltaje del capacitor del circuito RC del monoestable alcanza el 60% del valor de voltaje de polarización. Por lo tanto, dicho valor quedará definido por:

$$t_a = RC$$

Experimentalmente se determinó que era necesario un pulso de unos 20 ms de ancho cuando menos, para que se verificara el cierre de contactos del interruptor, obteniendo de esta manera, el registro del dígito requerido en la calculadora. Por ello, si se fija un valor del capacitor $C = 0.047 \mu F$, la resistencia deberá ser de :

$$R = \frac{t_a}{C} ; R = \frac{20}{0.047} ; R = 425 k\Omega$$

Después de haberse efectuado el registro en la calculadora del dígito marcado, será necesario contar con una señal que restablezca al contador a su estado inicial, como se comentó anteriormente. Como esta señal debe generarse después de haber ocurrido el registro del dígito obtenido en el contador, la manera más directa de lograr esta función, será la de utilizar otro monoestable, con características similares al anterior, cuya entrada sea la salida del comando de compuertas. Así se podrá asegurar que, inmediatamente después de ocurrido el pulso de comando, se producirá el pulso restablecedor del contador, logrando el funcionamiento previamente analizado.

Existe un factor que aquí es necesario hacer notar: la condición de que el ancho del pulso de entrada debe ser, cuando menos, unas tres veces más grande que el ancho del pulso que se quiere generar, para que el capacitor pueda descargarse hasta bajar al 5% del voltaje de polarización. En la parte derecha de la figura IV.24 anterior, se presenta un caso en que el ancho de este pulso de entrada, es apenas poco mayor del que se quiere producir, por lo cual el pulso generado tiene apenas la mitad del valor de diseño.

Tomando en cuenta esta restricción, para implementar el monoestable generador del pulso de restablecimiento del contador, se utilizará una resistencia de $R = 470 \text{ k}\Omega$ con un capacitor $C = 0.01 \mu\text{F}$, con lo que se logra que el ancho del pulso de entrada sea casi 5 veces mayor con respecto al de salida, siendo este valor suficiente para realizar la función considerada.

IV.4 CIRCUITOS DE DETECCION DE ENLACE Y DE CONTABILIDAD DEL TIEMPO DE LLAMADA

Con los circuitos explicados anteriormente, se podrá lograr el registro de los dígitos generados por el disco del aparato telefónico uno tras otro, formando un número de tantos dígitos como los que hayan sido marcados.

Posteriormente, será necesario diseñar algunos circuitos que puedan discernir la existencia del enlace telefónico, y en función de éste, el registro o el borrado del número marcado, así como en el supuesto caso de efectuarse este enlace, poder contabilizar el tiempo que dura la conferencia telefónica y, al término de ésta, el registro de este dato.

A continuación se tratará sobre el diseño de los circuitos que se requieren para realizar todas estas funciones.

IV.4.1 DETECTOR DE ENLACE Y DE TERMINACION DE LLAMADA

Este circuito puede ser diseñado, al interrelacionar las señales del detector de tono discontinuo y del detector de nivel y generador de pulsos de marcar: cuando el primero detecta cualquiera de los tonos de información, su salida se convierte de "baja" a "alta".

En el caso de que el tono sea de marcar, tan pronto como se empieza a girar el disco, el tono se interrumpe, por lo que en poco menos de 5 segundos, la salida del detector citado se vuelve "baja". Si el tono es de ocupado, la única manera de interrumpir este tono es colgando el microteléfono, y por último, si el tono es de llamada, éste dejará de funcionar al existir el enlace, o bien, al colgar el aparato telefónico.

Entonces, para diferenciar la interrupción del tono de marcar de la del tono de llamada, puede hacerse a través de la utilización del detector de nivel y generador de pulsos de marcar, ya que en el primer caso, la señal del detector "baja" al funcionar el disco de marcar, adelantándose a la bajada de la salida del detector de tono discontinuo y, en el segundo caso, la salida del detector "baja" únicamente al colgarse el microteléfono.

Luego de analizar exhaustivamente el diseño de algunos circuitos con los que se pudiera lograr el objetivo deseado, se eligió el que resultó ser el más sencillo entre ellos, y que realizara las funciones requeridas.

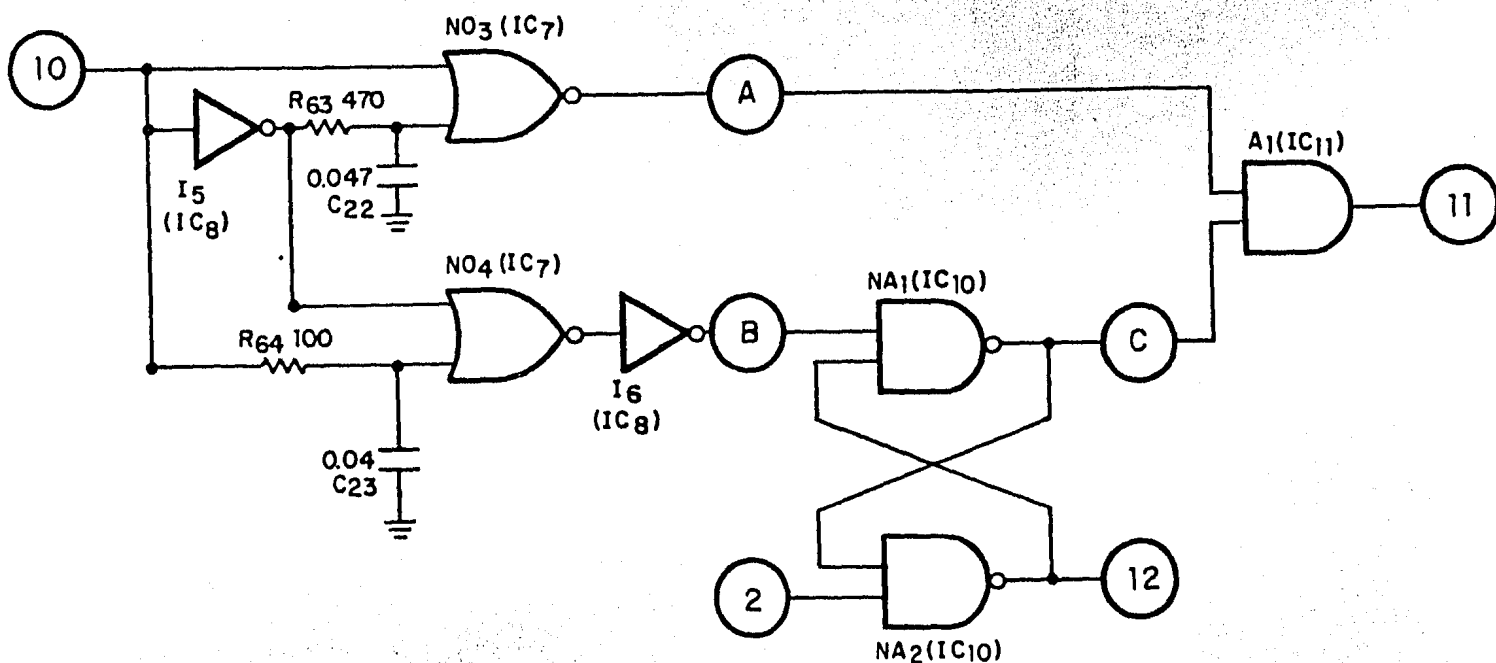


Figura IV.25 Diagrama esquemático del circuito detector de enlace y de terminación de llamada.

En la figura IV.25 se muestra el diagrama esquemático del circuito detector de enlace y de terminación de llamada. La salida "11" es la del detector de enlace, la "12" del detector de terminación de llamada, "A", "B" y "C" salidas intermedias y las entradas "10" y "2" corresponden a las del detector de tono discontinuo y el detector de nivel y generador de pulsos de marcar respectivamente.

En seguida, en la figura IV.26 se muestran las gráficas de las salidas del detector de nivel y generador de pulsos de marcar, el detector de tono discontinuo, el detector de enlace y de terminación de llamada y sus salidas intermedias.

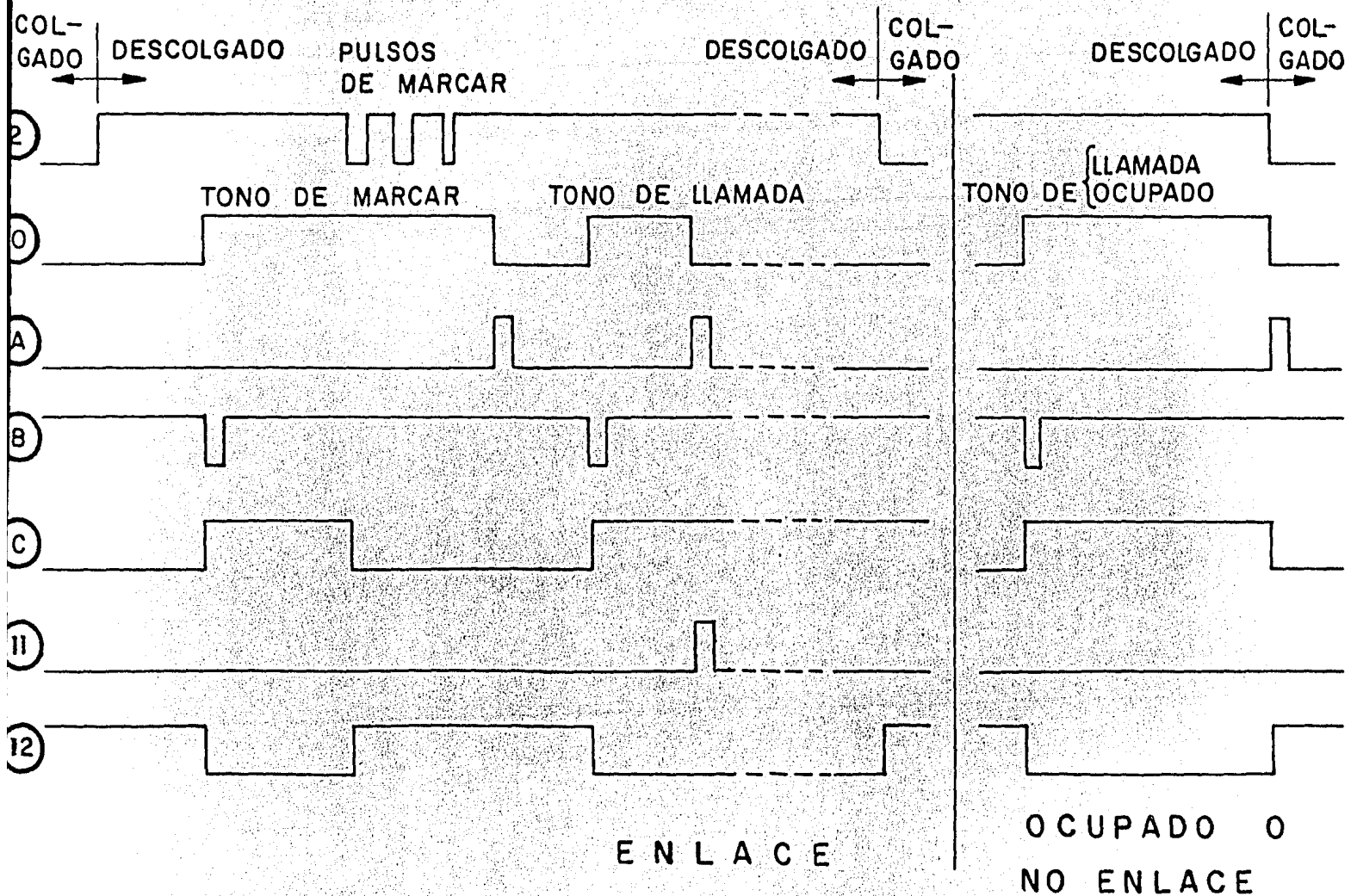


Figura IV.26 Gráficas de los voltajes de entrada, intermedios y de salida del detector de enlace y de terminación de llamada.

Al descolgar el microteléfono, la salida del detector de nivel y generador de pulsos de marcar ("2") es "alta" y, mientras no exista ningún tono de información, el detector de tono discontinuo ("10") presentará una salida "baja", por lo que los monoestables permanecerán sin variación. La salida "A" será "baja", la "B" "alta" y por lo tanto, las salidas del biestable serán, en "C" "baja" y en "12" "alta", por lo cual la salida del detector de enlace ("11") también será "baja".

Cuando aparece el tono de llamada, la salida del detector de tono discontinuo "sube", generando un pulso el monoestable con salida "B", lo que hace que el biestable cambie de estado ("C" "sube" y "12" "baja"). Al comenzar a girar el disco, el biestable vuelve a cambiar de estado

(ahora "C" "baja" y "12" "sube") ocasionado por la "bajada" de la salida "2" y, poco después, la salida "10" "baja" también, produciendo un pulso en "A", aunque éste no pasa por la compuerta AND por el estado "bajo" de "C", manteniéndose la salida "11" sin variación.

En el momento en que aparece el tono de llamada o de ocupado, "10" "sube" generando un pulso en "B" y cambiando de estado al biestable. Si está ocupado o no ocurre el enlace, se colgará el microteléfono por lo que el biestable volverá a cambiar de estado ("C" "bajo"), y el pulso generado en "A" al "bajar" "10" no pasa a "11".

En cambio, si se efectúa el enlace, la salida "C" del biestable se mantiene "alta" por lo que el pulso provocado por la "bajada" de "10" se refleja en la salida del detector de enlace ("11").

Con respecto al detector de terminación de llamada, al utilizarse su señal conjuntamente con la del detector de enlace, podrá indicar perfectamente el fin de la conferencia telefónica al colgarse el microteléfono. Ambas señales servirán de entrada para accionar el habilitador del circuito "marcas de tiempo" y el comando de impresión, los cuales se explicarán a continuación.

IV.4.2 HABILITADOR DEL CIRCUITO "MARCAS DE TIEMPO" Y COMANDO DE IMPRESION

Después de haberse detectado el enlace, será necesario contar con un circuito que sea capaz de controlar la contabilidad del tiempo que dure la conferencia telefónica y, además, diseñar con base en él un comando que actúe directamente sobre el interruptor asociado a la función de impresión de la calculadora (función "#").

Contando con las salidas del detector de enlace y de terminación de llamada como entradas de un biestable R/S (reset/set). se podrá obtener de éste una salida que indique la existencia de la conferencia telefónica, desde que se efectúa el enlace hasta que se cuelga el microteléfono del abonado que llama.

En la figura IV.27 se muestra el diagrama lógico de este biestable, en el que están indicados con números sus entradas y salidas. El "11" representa la salida del detector de enlace, el "12" la del detector de terminación de llamada y el "13" la salida habilitadora del circuito "marcas de tiempo".

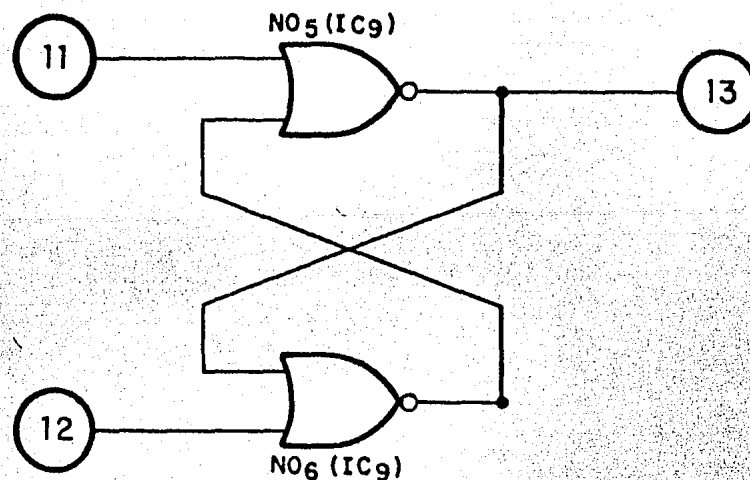


Figura IV.27 Diagrama lógico del biestable habilitador del circuito "marcas de tiempo".

El funcionamiento de este circuito es como sigue: mientras el detector de enlace no genere su pulso, la salida "13" permanecerá "alta". Tan pronto sea detectado el enlace, el pulso de "11" hará que "13" cambie de estado a una salida "baja", la que volverá a ser "alta" cuando termine la conferencia entre los abonados y se cuelgue el microteléfono del que llama.

El tiempo que dure la salida de este habilitador del circuito "marcas de tiempo" en estado "bajo", será el correspondiente al de la duración de la llamada realizada.

Para la implementación de la señal de comando de impresión, será suficiente con utilizar directamente la salida del detector de enlace para controlar el interruptor asociado a la función de impresión de la calculadora.

IV.4.3 CIRCUITO GENERADOR DE "MARCAS DE TIEMPO"

Una de las funciones que se tienen previstas dentro del diseño del "IMPRESOR DE LLAMADAS TELEFONICAS" es la contabilidad del tiempo de llamada.

El marco de referencia que se tomará para la implementación de esta función, es el utilizado por la mayoría de las compañías telefónicas en las que la unidad básica de medición de tiempo es el minuto, considerando que las fracciones de este valor se redondearán al número inmediato supe-

rior, es decir, 3 min 18 s se contabilizará como 4 min, 8 min 47 s como 9 min, 32 s como 1 min, etcétera.

El circuito generador de "marcas de tiempo" por consiguiente, deberá ser un reloj cuyo periodo sea de un minuto. Este reloj puede ser diseñado con un circuito astable, cuyo periodo de oscilación sea el indicado, pero las desventajas que se presentarían son la baja estabilidad y la falta de precisión que se produciría por pequeñas variaciones de voltaje fuente o de temperatura, así como la dificultad que implicaría su ajuste.

Debido a estas razones, en el diseño de este circuito generador de "marcas de tiempo" se utilizarán además del reloj, un contador binario de tal suerte que la frecuencia de aquél sea mayor y, por lo tanto, más preciso y fácil de ajustar.

Además, otra ventaja que presenta la utilización del contador binario adicional es que se puede restablecer su estado inicial con el uso de la señal correspondiente (reset).

El contador binario que se aplicará para el diseño de este dispositivo será el CD 4020, de 14 etapas. Por lo tanto, la frecuencia que se necesitará lograr en el reloj será:

$$f = 2^{14} \frac{1}{\text{min}} ; f = 2^{14} \times \frac{1}{60} \text{ Hz} ; f = 273 \text{ Hz}$$

Para la implementación del reloj se utilizará un circuito LM 555 (timer), que presenta entre sus más importantes características su gran versatilidad, además de su magnífica estabilidad térmica (0.005% por °C).

En la figura IV.28 se muestra el diagrama esquemático de un LM 555 en modo de operación astable, en donde las resistencias R_A y R_B y el capacitor C deberán ser calculados en función de la frecuencia y del ciclo de trabajo de la salida que se desee lograr.

A partir de las fórmulas prácticas que aparecen en el catálogo de circuitos integrados lineales, la ecuación que relaciona la frecuencia con los valores de los elementos externos es:

$$f = \frac{1.44}{(R_A + 2R_B)C}$$

Definiendo un valor para $C = 0.02 \mu\text{f}$:

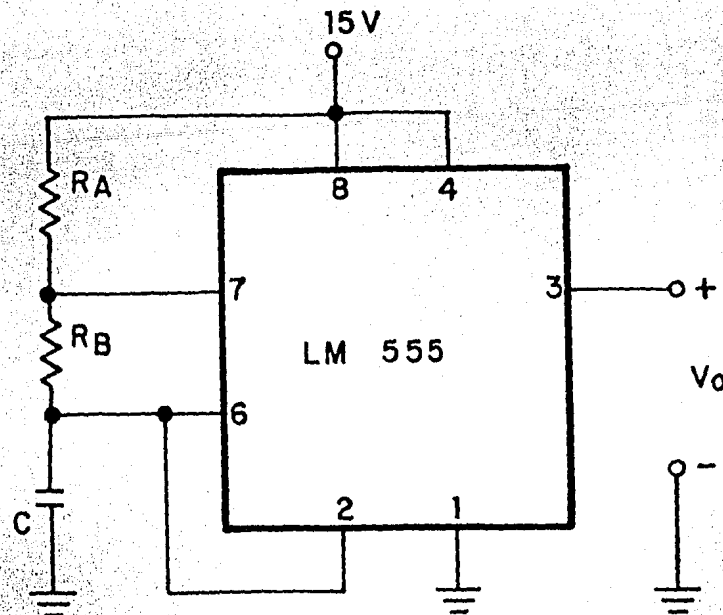


Figura IV.28 Diagrama esquemático del circuito integrado LM 555 en modo de operación astable.

$$R_A + 2R_B = \frac{1.44}{fC} ; R_A + 2R_B = \frac{1.44}{273 \times 0.02} ; R_A + 2R_B = 263 \text{ k}\Omega$$

Determinando un valor para el ciclo de trabajo $D = 30\%$, y haciendo $R_A = 100 \text{ k}\Omega$:

$$D = \frac{R_B}{R_A + 2R_B} ; R_B = \frac{R_A}{1 - 2D} ; R_B = \frac{0.3 \times 100}{1 - 2 \times 0.3} ; R_B = 75 \text{ k}\Omega$$

Para poder realizar el ajuste de la frecuencia de operación del astable, esta resistencia de $75 \text{ k}\Omega$ será implementada mediante una resistencia fija de $68 \text{ k}\Omega$ y una semivariable de $20 \text{ k}\Omega$.

La salida de este astable se introducirá a la entrada del contador binario. En la terminal de la señal restablecedora del contador se conectará la salida del habilitador del circuito "marcas de tiempo". De esta forma, mientras no exista el enlace, la señal restablecedora será "alta" y el contador permanecerá en su estado inicial, hasta el momento en que se efectúe dicho enlace, permitiendo el funcionamiento normal del contador.

De la salida de la decimacuarta etapa de dicho contador se obtendrá la señal con periodo de un minuto, que servirá para lograr la contabili-

dad del tiempo de llamada.

Como dispositivo de seguridad, esta salida se conectará a una compuerta NOR, la que estará controlada por la misma señal del habilitador de este circuito, de manera que únicamente permita la salida del contador al haberse efectuado el enlace.

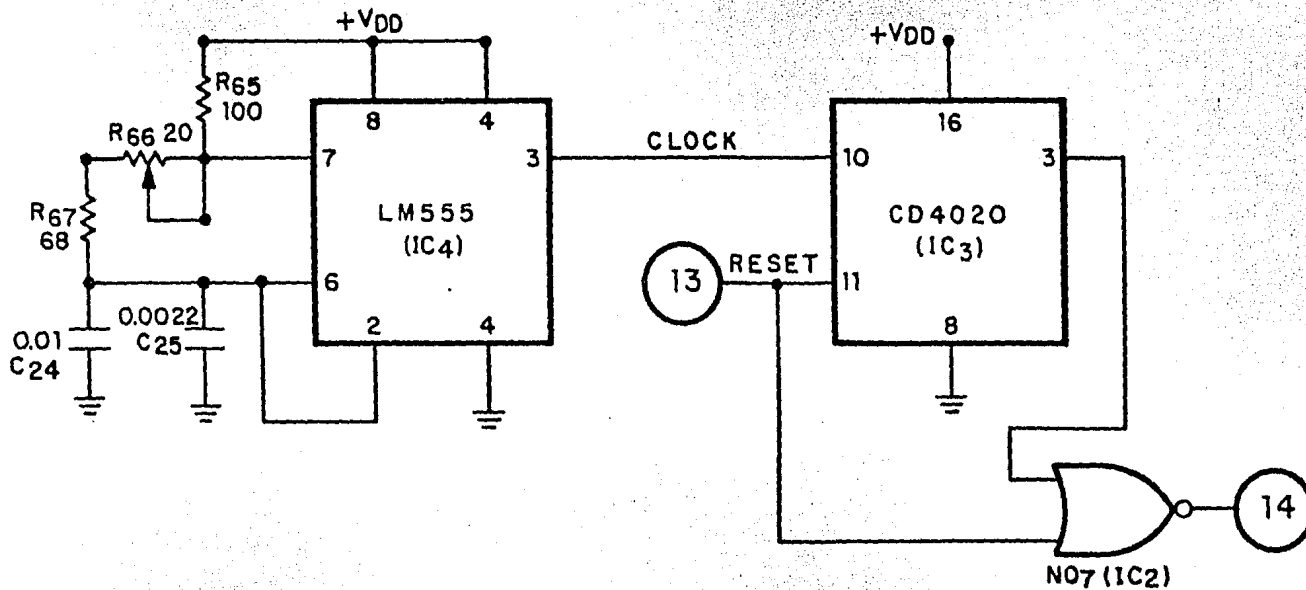


Figura IV.29 Diagrama esquemático del circuito generador de "marcas de tiempo".

En la figura IV.29 se muestra el diagrama esquemático del circuito generador de "marcas de tiempo". La entrada "13" corresponde a la señal de salida del habilitador del circuito "marcas de tiempo" (analizado en el inciso anterior), siendo "14" la salida del generador de "marcas de tiempo". El capacitor de $0.0022 \mu\text{F}$ (C_{25}) se agregó posteriormente, debido a que con los elementos utilizados no se logró el ajuste deseado, seguramente causado por las tolerancias de sus valores, que no se tomaron en cuenta para el diseño.

IV.4.4 CIRCUITO CONTABILIZADOR DEL TIEMPO DE LLAMADA

Ya que se cuenta con el circuito que genera la señal cuadrada de un minuto de periodo, es necesario contabilizar de alguna manera el número de ciclos que se producen durante el tiempo que dura la llamada telefónica.

Se analizaron algunas formas de lograr este objetivo. Por ejemplo, la utilización de un contador decimal o de la función suma de la calculadora. La primera presenta la desventaja de que sólo podría registrar tiempos menores de 10 min, a menos de que se utilizara otro contador para las decenas de minuto, lo que complicaría el procesamiento posterior para su registro. La segunda alternativa tiene la desventaja de que, mientras dura la llamada, la calculadora no se podría ocupar, además de que si está en modo de impresión, se gastaría mucho papel para efectuar el registro.

La mejor manera que se pudo encontrar fue la relacionada con el aprovechamiento de la función de adición a la memoria ("m+") que posee la calculadora. De esta manera, se pueden subsanar las dos desventajas mencionadas en el párrafo anterior.

Considerando que se está utilizando la calculadora para otros fines además de la que implica su funcionamiento como "IMPRESOR DE LLAMADAS TELEFONICAS", primero se necesitará borrar el registro para colocar inmediatamente un "1" en él y sumarla a la memoria.

Esto puede hacerse con circuitos monoestables, disparados por la bajada del generador de "marcas de tiempo".

Para la primera operación, borrado del registro ("CE"), se puede conectar la salida del circuito mencionado directamente a la entrada de un monoestable similar al analizado en la primera parte del inciso IV.3.3.

Para las siguientes operaciones, colocación de un "1" en el registro y la adición a la memoria ("m+"), será necesario que ocurran escalonadamente. Esto se puede lograr implementando a la entrada de los monoestables un retardo de tiempo. En la figura IV.30 se muestra el diagrama esquemático de este último circuito.

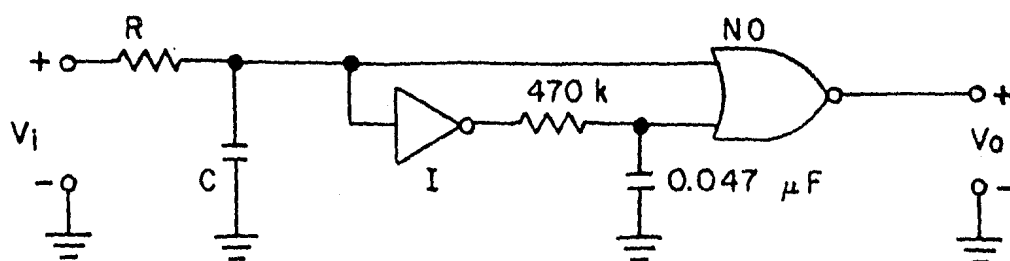


Figura IV.30 Diagrama esquemático de un monoestable con retardo de tiempo a la entrada.

Para la segunda operación, es suficiente con proporcionar un retardo de tiempo un poco mayor al ancho del pulso de comando del monoestable. Conociendo que este valor es de unos 20 ms, se calcularán los elementos R y C de tal forma que generen un retardo de 30 ms, para asegurar el correcto funcionamiento del circuito de retardo. Entonces, si se fija $C = 1 \mu\text{F}$:

$$R = \frac{t}{C} ; R = \frac{30}{1} ; R = 30 \text{ k}\Omega$$

El valor comercial más cercano será $R = 33 \text{ k}\Omega$.

Para la tercera operación, el retardo de tiempo deberá ser el doble cuando menos, del definido anteriormente. Por lo tanto, será suficiente con utilizar una resistencia de $R = 68 \text{ k}\Omega$ para este caso.

De esta manera, cada vez que ocurra una "bajada" en la señal del generador de "marcas de tiempo", se podrá ir aumentando de uno en uno la memoria, para así llevar a cabo la contabilidad del tiempo de llamada.

Recordando que al utilizar capacitores electrolíticos las constantes de tiempo prácticamente se duplican, los retardos reales serán de 60 y 120 ms aproximadamente.

Con respecto a la operación de colocación de un "1" en el registro, se debe de puntualizar que esta operación también se utiliza para el registro del número telefónico, por lo cual se deberán combinar las salidas de los circuitos que realizan esta función.

Para llevar a cabo la combinación referida, será suficiente efectuar la "unión" lógica de ambas salidas mediante una compuerta OR y, de esta manera, obtener una señal única que controle al interruptor asociado con el registro del dígito "1" en la calculadora de mesa.

IV.4.5 CIRCUITO IMPRESOR DEL TIEMPO DE LLAMADA

El número que se tiene registrado en la memoria de la calculadora correspondiente al tiempo de duración de la llamada, debe ser impreso de alguna manera al detectar la terminación de la conferencia telefónica.

En este inciso se pretende diseñar un circuito que logre realizar esta función.

Analizando la forma en que se puede tener acceso a la memoria de

la calculadora, primero será necesario "llamarla" (hacer que el número guardado en ella aparezca en el registro), para posteriormente realizar la impresión del dato que representa el tiempo de duración de la llamada.

La memoria puede ser "llamada" por las operaciones "mr" y "mt". La diferencia entre ambas consiste en que, después de "llamada" la memoria con la operación "mt", ésta se borra, mientras que con la "mr", el dato guardado permanece en ella.

Las funciones que se pretenden con este "IMPRESOR DE LLAMADAS TELEFONICAS", son las de registrar individualmente, tanto el número telefónico del abonado con quien se quiere lograr la comunicación, así como el tiempo de duración de la llamada. Por lo tanto convendrá que, luego de obtenido este último dato, la memoria quede "borrada" y, de esta manera, dejarla en condiciones de contabilizar el tiempo de la siguiente conferencia telefónica.

Por otro lado, como la calculadora puede ser utilizada no sólo como parte del sistema aquí tratado, existe la posibilidad de que haya algún dato guardado en la memoria al estar realizando la llamada, por lo que dicha memoria deberá ser "borrada" previamente, para que no se obtenga un dato falso.

Aprovechando que la señal del detector de tono continuo sólo varía una sola vez por llamada, además de que dicha variación ocurre antes de efectuado el enlace, esta señal puede ser utilizada junto con la señal del detector de teléfono colgado, que se relaciona con la terminación de la llamada, para el control del funcionamiento de la operación "mt".

La razón por la que se escoge la señal del detector de teléfono colgado y no la salida del habilitador del circuito "marcas de tiempo" para el control del comando de la función "mt", es porque la primera cuenta con un retardo de tiempo de unos 400 ms luego de haberse colgado el microteléfono, tiempo en el cual, en los casos que la salida del generador de "marcas de tiempo" "baja" al ocurrir la terminación de la llamada, puedan funcionar los comandos de contabilidad del tiempo de duración y, de esta manera, obtener el dato correcto de dicho tiempo.

Para poder implementar este circuito impresor del tiempo de llamada, se debe tener presente que la salida del detector de teléfono colgado es "baja" si el microteléfono está colgado, o "alta", en caso contrario y, por otro lado, que la salida del detector de tono continuo "baja"

cuando detecta dicha señal. Una de las mejores formas de combinar ambas señales es mediante una compuerta NAND.

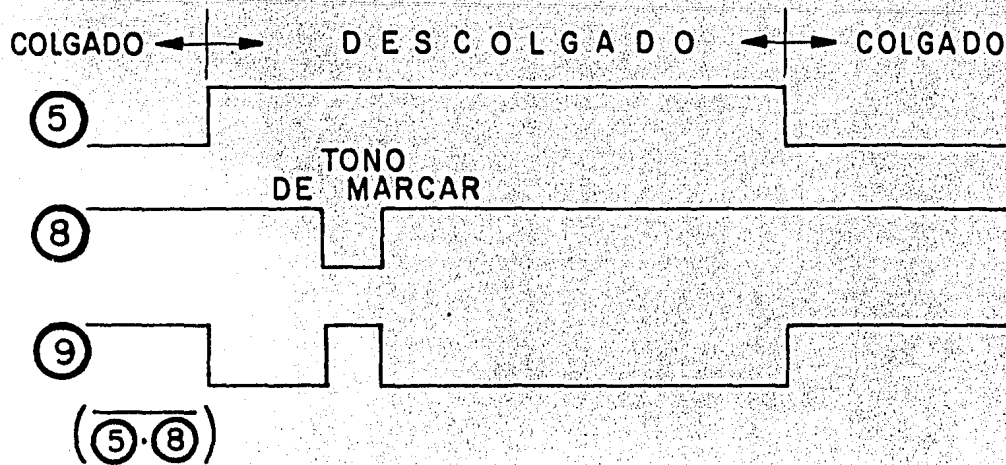


Figura IV.31 Gráfica de las salidas del detector de teléfono colgado, del detector de tono continuo y del control del comando de la operación "mt".

En la figura IV.31 se muestra la gráfica de las salidas del detector de teléfono colgado ("5"), del detector de tono continuo ("8") y del control del comando de la operación "mt" ("9"), que sería esta última la función lógica NAND de las dos primeras señales.

Como se puede apreciar, las variaciones que se producen son de "bajada" al descolgar el microteléfono y al finalizar la señal de tono continuo, y de "subida" al iniciar ésta o al colgar el aparato.

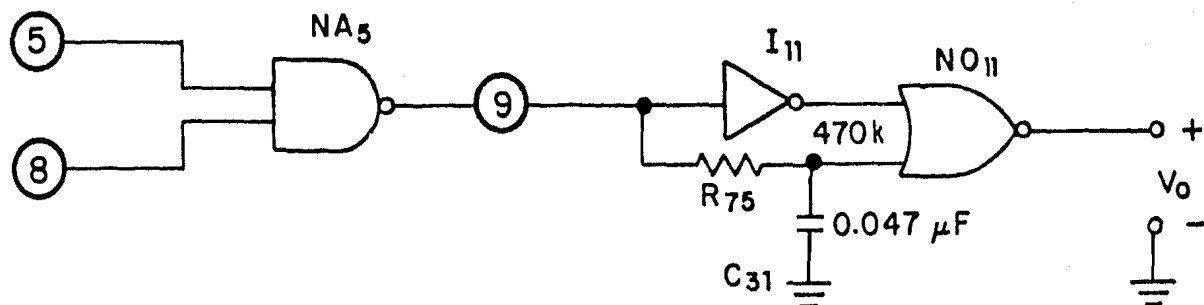


Figura IV.32 Diagrama esquemático del circuito de comando de la operación "mt".

Por lo tanto, se utilizarán las variaciones de "subida" de esta señal para disparar el circuito de comando de la operación "mt". En la figura IV.32 se muestra el diagrama esquemático de este último circuito.

Debido a que el disparo debe ocurrir a la "subida" de la señal de entrada, a diferencia de circuitos anteriores en que se disparaban a la "bajada", el inversor se conecta directamente a una de las entradas del NOR, conectándose en la otra terminal el circuito RC.

Por último, luego de tener en el registro de la calculadora el número correspondiente al tiempo de duración de la llamada, es preciso imprimirlo en el papel de alguna manera. Esto se puede realizar con un monoes- table comandado por la "subida" de la señal de salida del habilitador del circuito "marcas de tiempo", para asegurar que el comando de impresión del tiempo de llamada ocurra únicamente al terminar dicha llamada telefónica.

Debido a que el comando de la operación "mt" de la calculadora se genera poco más de 400 ms después de colgado el microteléfono, el pulso de comando de impresión deberá producirse con un retardo de tiempo de 500 ms o más, para asegurar su correcto funcionamiento.

Este retardo de tiempo puede implementarse con un circuito RC en el que los valores de los elementos sean, $R = 100 \text{ k}\Omega$ y $C = 3.3 \text{ }\mu\text{F}$ (capacitor electrolítico), por lo que $t = 660 \text{ ms}$.

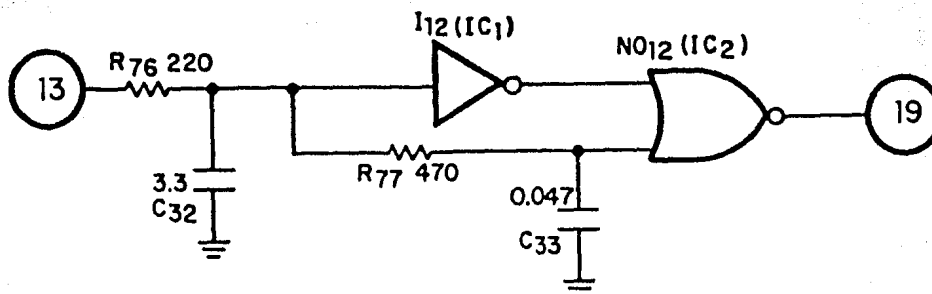


Figura IV.33 Diagrama esquemático del comando de impresión del tiempo de llamada.

En la figura IV.33 se muestra el diagrama esquemático del comando de impresión del tiempo de llamada, en la que la entrada "13" corresponde a la señal del habilitador del circuito "marcas de tiempo" y la salida "19", al de este circuito de comando.

Para finalizar este inciso, hay que hacer notar que existen dos comandos de impresión: uno para procesar el número telefónico del abonado con el que se habla y otro, para el tiempo de duración de la llamada.

Mediante una compuerta OR se podrán combinar ambas salidas y obtener una sola, que controle al interruptor asociado a la operación de impresión ("#") de la calculadora-impresora.

Con esto, queda terminada por completo la exposición del diseño de los circuitos utilizados en el "IMPRESOR DE LLAMADAS TELEFONICAS".

CAPITULO V

APLICACION DEL PROCESO DE OPTIMACION EN EL DISEÑO FINAL DEL "IMPRESOR DE LLAMADAS TELEFONICAS"

La optimación es el proceso por el cual se busca la solución óptima de un problema, o conjunto de problemas específicos, de acuerdo a un conjunto de criterios preestablecidos.

Dentro del campo profesional del ingeniero, el proceso de optimación es uno de los elementos más importantes en el desarrollo de su carrera: sirve como objetivo tanto para lograr la solución requerida como para definir los medios para obtenerla.

Existen varios criterios que intervienen en el proceso de optimación de un proyecto de ingeniería. Entre los más importantes destacan: la economía, la seguridad, la facilidad de fabricación, la confiabilidad, la funcionalidad y, en algunos casos, la estética.

Durante el diseño del "IMPRESOR DE LLAMADAS TELEFONICAS", se trató de aplicar la optimación a lo largo de la totalidad de su desarrollo. Los criterios que se tomaron más en consideración fueron: la economía y la funcionalidad del dispositivo.

Haciendo una revisión de los criterios que se analizaron en el capítulo precedente, se puede mejorar en algunos casos sus características.

A continuación se procederá a analizar las modificaciones realizadas en el diseño, presentar en conjunto todos los diagramas y las gráficas de las salidas de los circuitos utilizados y, mencionar algunas consideraciones que se tomaron en cuenta para el armado del "IMPRESOR DE LLAMADAS TELEFONICAS".

V.1 MODIFICACIONES REALIZADAS A ALGUNOS CIRCUITOS

En el diseño de cada uno de los circuitos que se trataron anteriormente, se aplicó de una manera implícita el proceso de optimación, tomando en la medida de lo posible, las soluciones más sencillas y funcionales.

Aún así, hubo algunos circuitos en los que se pudieron efectuar algunas modificaciones, de tal manera que se lograra optimar su diseño.

Uno de estos circuitos fue el "disparador de Schmitt". En la figura V.1 se muestra el diagrama esquemático del detector de teléfono colgado, el cual está implementado con dicho circuito.

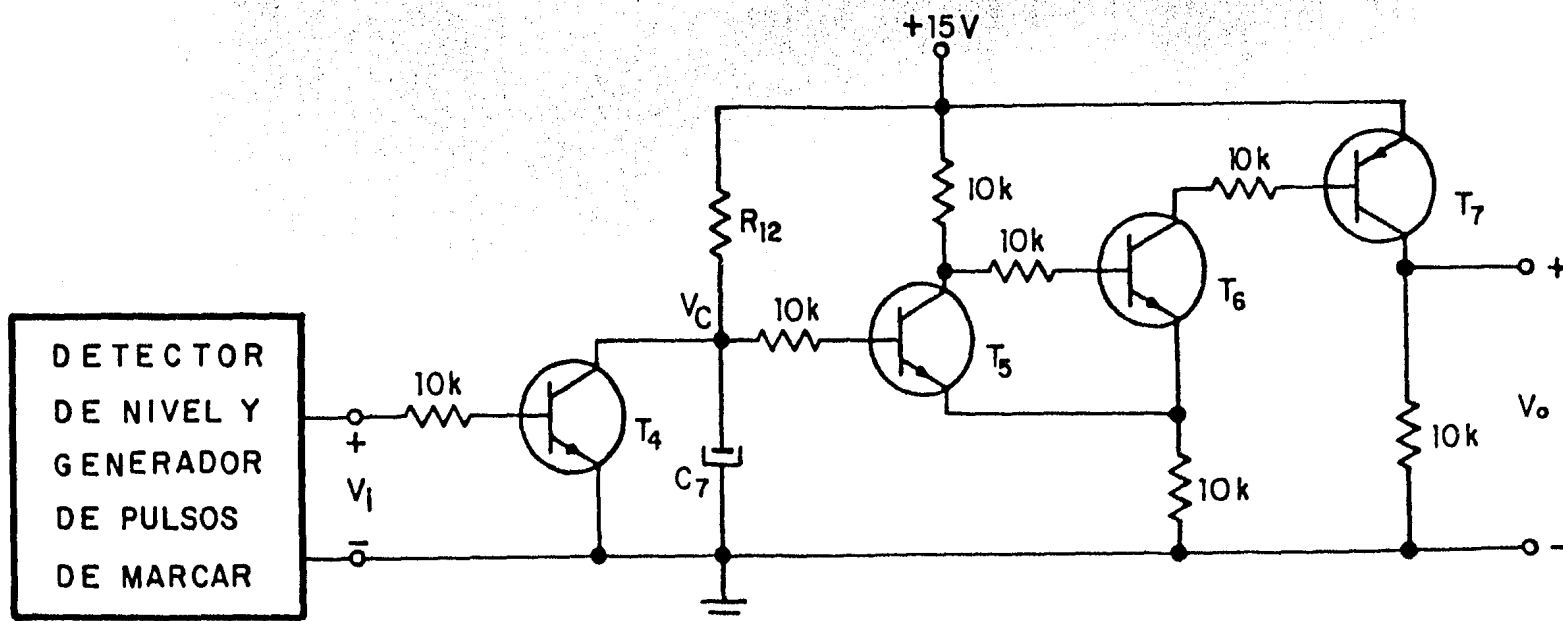


Figura V.1 Diagrama esquemático del circuito detector de teléfono colgado.

Recordando su funcionamiento, cuando la entrada es "baja", el transistor T_4 queda cortado lo cual hace que T_5 se sature, T_6 y T_7 se corten

y, la salida sea "baja". En este estado, el valor de la resistencia de base de T_5 sería $R_{12} + 10 \text{ k}\Omega$ y, con respecto a la resistencia de base de T_6 , no tendría ninguna función por estar este transistor cortado.

Al cambiar la entrada a "alta", la saturación de T_4 ocasionaría el corte de T_5 , por lo que su resistencia de base de $10 \text{ k}\Omega$ no tendría ninguna función, T_6 se saturaría, teniendo su resistencia de base un valor de $10 + 10 \text{ k}\Omega$, causando la saturación de T_7 y la consiguiente salida "alta".

Aquí se puede concluir que las resistencias de $10 \text{ k}\Omega$ que unen las bases de los transistores T_5 y T_6 con los colectores del transistor inmediato anterior respectivo, no tienen ningún cometido cuando el transistor queda cortado y, en el caso que este transistor quede saturado por el corte del transistor precedente, la resistencia de colector de éste se suma al de $10 \text{ k}\Omega$ aquí analizado, para funcionar como la resistencia de base. Por lo tanto, dicha resistencia puede ser eliminada sin afectar el funcionamiento adecuado del circuito.

El único factor que se ve afectado por la modificación realizada, es el consumo de corriente que aumenta $250 \mu\text{A}$, siendo este valor tan pequeño que no tiene ninguna implicación significativa.

Además del detector de teléfono colgado, el "disparador de Schmitt" está utilizado en los detectores de tono continuo y de tono discontinuo, así como en el detector de terminación del tren de pulsos. Por lo tanto, todos estos circuitos podrán ser optimados de la misma manera eliminando las resistencias mencionadas.

Con esto se podrá reducir el costo, aunque sea en una mínima proporción y, por otro lado, facilitar el diseño de la interconexión de los elementos componentes en el circuito impreso.

Otro circuito en el que se puede aplicar el proceso de optimación es el detector de tono. El circuito diseñado en el inciso IV.3 tiene algunas desventajas, por ejemplo, la utilización de tres circuitos integrados para su implementación, la necesidad de otro valor de voltaje de polarización, la dificultad en el ajuste de la frecuencia de captura de los tres decodificadores de tono individuales, etcétera.

Todas estas desventajas pueden ser eliminadas con la utilización del circuito de "amarre" de fase (PLL) de la familia CMOS, el CD 4046, para la implementación de dicho detector de tono.

En la figura V.2 se muestra un diagrama de bloques simplificado del

CD 4046, en el que se presentan sus partes más importantes y los diversos elementos externos necesarios para su funcionamiento.

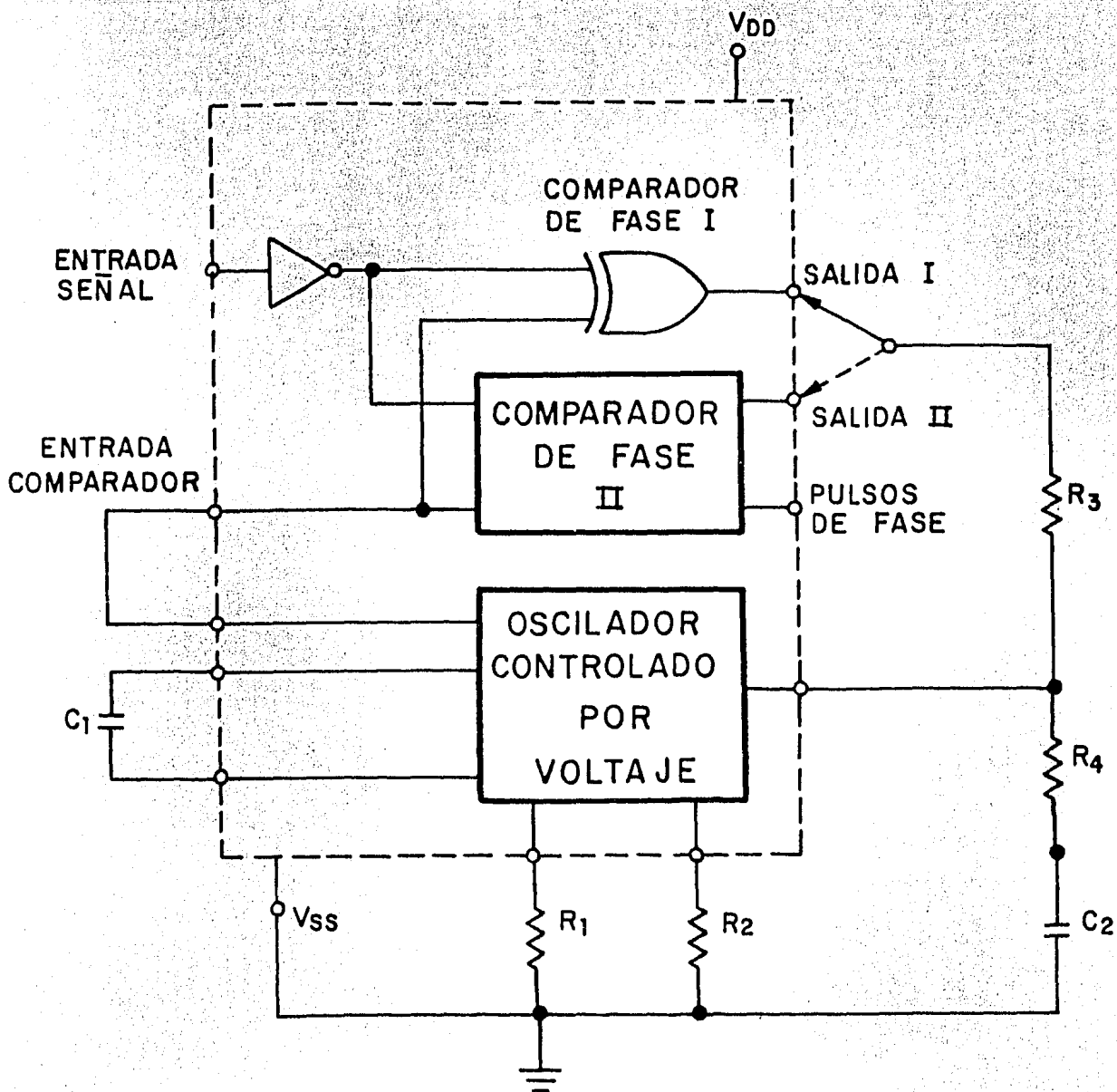


Figura V.2 Diagrama de bloques simplificado del circuito de "amarre" de fase (PLL) CD 4046.

Como se puede apreciar, el CD 4046 consta de dos comparadores de fase: el "I" que es una simple compuerta OR exclusiva y, el "II" que es una memoria digital controlada. Este último tiene dos salidas: una proporciona una señal de error digital (SALIDA II) y una señal de "amarre" (PULSOS DE FASE) para indicar la condición de "amarre" y que mantiene un corrimiento nulo de fase entre las entradas de la señal y del comparador.

El oscilador controlado por voltaje produce una señal cuya frecuen-

cia queda determinada por el voltaje de entrada a este bloque y el capacitor y las resistencias externas conectadas a las terminales correspondientes.

El rango de frecuencias de captura de este circuito, a diferencia del LM 567 utilizado anteriormente, puede ser definido mediante los valores de los elementos externos, además de que el valor porcentual de dicho rango, en comparación con su frecuencia central de operación, puede ampliarse según las necesidades requeridas. Por lo tanto, se puede implementar el rango de frecuencias de captura del detector de tono con un solo circuito integrado.

Existen dos inconvenientes en la utilización del CD 4046 para la implementación del detector de tono: el primero consiste en que la señal de entrada debe ser digital y no analógica, como es con la que se cuenta en la línea telefónica y, el segundo se refiere al procesamiento posterior de las señales de salida de manera de obtener un estado "bajo" al detectar la existencia de algún tono de información, o "alto" en caso contrario.

El primer inconveniente puede ser resuelto si se aumenta la ganancia del amplificador operacional utilizado en el detector de tono precedente y, además, incluyendo un circuito "disparador de Schmitt" a la salida de dicho amplificador, con la finalidad de obtener la señal digitalizada.

Para poder resolver el segundo, es necesario analizar más detenidamente las salidas del CD 4046. Consultando los diagramas de estado de los comparadores de fase propuestos en el libro de especificaciones de circuitos integrados de la familia CMOS de la National Semiconductor, se pudo obtener una gráfica de las señales de entrada y de salida del circuito en estudio, cuando está en condición de "amarre". Esta gráfica se muestra en la figura V.3.

Las salidas que se podrían utilizar, deducidas del análisis de la figura mencionada, serían la "I" y la "SALIDA DE PULSOS", puesto que la "II" presenta en ocasiones, un estado "incierto". Entonces, para producir con la combinación de las salidas elegidas el estado "bajo", será suficiente con utilizar una compuerta NOR. De esta forma, al detectarse el tono de información la salida de la compuerta NOR sería "baja".

Ahora bien, cuando el circuito no se encuentra en condición de "ama

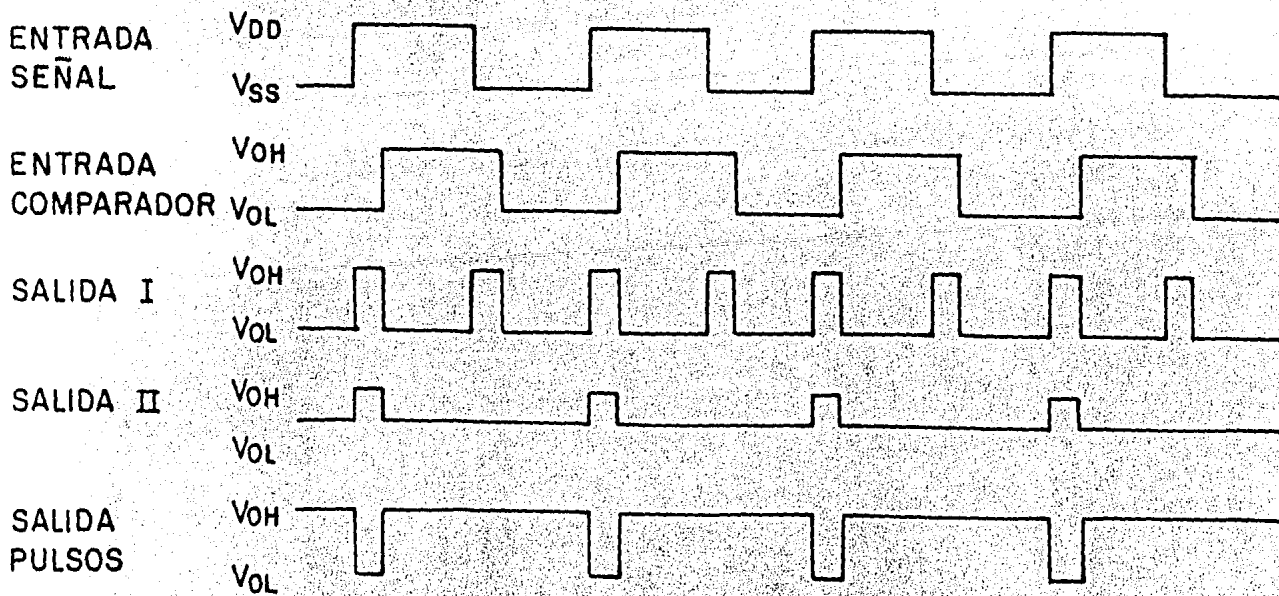


Figura V.3 Gráfica de las señales de entrada y de salida del CD 4046.

re", las salidas del CD 4046 no tendrán ninguna relación en el tiempo, por lo que la salida de la compuerta NOR sería oscilatoria. La frecuencia promedio de dicha salida sería similar a la frecuencia central de operación del oscilador del circuito integrado (alrededor de 500 Hz). Por lo tanto, utilizando un filtro "paso bajas" con una frecuencia de corte de unos 50 Hz o menos, se podrá obtener una salida "alta" en condiciones de oscilación.

Para disminuir el "rizo" de esta señal, puede conectarse un diodo en paralelo con la resistencia del filtro, de manera que la carga del capacitor sea prácticamente instantánea (ya que la resistencia de "conducción" del diodo es muy baja) y, la descarga a través de la resistencia, pues el diodo se comportaría prácticamente como "circuito abierto".

Para filtrar aún más la señal se puede hacer pasar a través de un inversor, obteniéndose de esta manera una salida completamente digitalizada.

Para calcular los elementos externos, es necesario establecer primeramente los valores de las frecuencias de captura máxima y mínima. Estos son $f_{\text{mín}} = 400 \text{ Hz}$ y $f_{\text{máx}} = 600 \text{ Hz}$. A partir del valor de frecuencia mínima y definiendo un valor para $R_2 = 100 \text{ k}\Omega$, se puede determinar mediante la gráfica de frecuencia contra C_1 en función de R_2 , que se puede consultar en el libro de especificaciones mencionado anteriormente, el valor de

$$C_1 = 0.08 \mu\text{F} \quad (V_{DD} = 15 \text{ V}).$$

Escogiendo el valor comercial para $C_1 = 0.068 \mu\text{F}$, será necesario que la resistencia sea ligeramente mayor para que la $f_{\text{mín}}$ permanezca sin variación. Por lo tanto, R_2 se implementará con una resistencia fija de $100 \text{ k}\Omega$ en serie con una semivariable de $20 \text{ k}\Omega$, la que servirá también para realizar su ajuste.

Por último, para calcular R_1 , se recurrirá a la gráfica que relaciona los cocientes $f_{\text{máx}}/f_{\text{mín}}$ y R_2/R_1 .

$$\frac{f_{\text{máx}}}{f_{\text{mín}}} = \frac{600}{400} ; \frac{f_{\text{máx}}}{f_{\text{mín}}} = 1.5$$

y para este valor:

$$\frac{R_2}{R_1} = 0.6 ; R_1 = \frac{R_2}{0.6}$$

tomando el valor más grande de $R_2 = 120 \text{ k}\Omega$, pues de esta manera la relación entre las frecuencias máxima y mínima será mayor:

$$R_1 = \frac{120}{0.6} ; R_1 = 200 \text{ k}\Omega$$

Se escogerá el valor comercial para $R_1 = 180 \text{ k}\Omega$, de tal suerte que sea mayor el rango de frecuencias de captura.

Para calcular el valor de los elementos del filtro de malla (R_3 , R_4 y C_2), únicamente es necesario contar con el valor del rango de frecuencias de captura ($2f_c$) y la relación del voltaje de entrada del oscilador contra el voltaje de salida del comparador de fase. Las fórmulas empíricas que relacionan estos parámetros son:

$$2f_c = \frac{1}{(R_3 + R_4)C_2} ; V_{\text{Rel}} = \frac{R_4}{R_3 + R_4}$$

El rango de frecuencias de captura es $2f_c = 200 \text{ Hz}$ y si se define una relación de voltajes $V_{\text{Rel}} = 0.8$ así como $C_2 = 0.033 \mu\text{F}$:

$$R_3 + R_4 = \frac{1}{2f_c C_2} ; R_3 + R_4 = \frac{1}{0.2 \times 0.033} ; R_3 + R_4 = 150 \text{ k}\Omega$$

$$R_4 = (R_3 + R_4) V_{Rel} ; R_4 = 150 \times 0.8 ; R_4 = 120 \text{ k}\Omega$$

y por lo tanto:

$$R_3 = R_3 + R_4 - R_4 ; R_3 = 150 - 120 ; R_3 = 30 \text{ k}\Omega$$

Para este último se tomará el valor comercial más cercano, o sea,

$$R_3 = 33 \text{ k}\Omega.$$

Además de los elementos calculados hasta aquí, el CD 4046 necesita en su terminal de "Salida de Demodulador" (Demodulator out) una resistencia de 10 k Ω o más, conectado a la terminal V_{SS} (tierra).

Por otro lado, para evitar el funcionamiento indeseable de este detector de tono durante la conferencia telefónica, la salida del inversor anteriormente mencionado puede hacerse pasar por un interruptor controlado por el habilitador del circuito "marcas de tiempo".

También debe de considerarse que esta señal está invertida con respecto a la salida deseada, por lo cual se hace necesaria la utilización de un inversor más para obtener el funcionamiento requerido de este circuito.

La salida "invertida" podrá utilizarse en el detector de tono discontinuo y, de esta manera, eliminar el inversor propuesto a la entrada de dicho detector.

De esta forma, el detector de tono aquí diseñado será capaz de reconocer señales con frecuencia constante entre los 400 y 600 Hz, que es precisamente el rango de frecuencias que tienen los diversos tonos de información como se precisó anteriormente, proporcionando una salida "baja" y, si la señal telefónica no presenta estas características cuando menos durante unos 50 ms, la salida de este circuito se mantendrá "alta".

Aunque aparentemente en este circuito diseñado con base en el CD 4046, se ha utilizado un mayor número de componentes con respecto al detector de tono implementado con los tres LM 567 (inciso IV.2.3), la confiabilidad de su salida y la facilidad de su ajuste son criterios más que suficientes para elegir el detector de tono aquí analizado.

En la figura V.4 se muestra completo el diagrama esquemático del detector de tono implementado con el CD 4046.

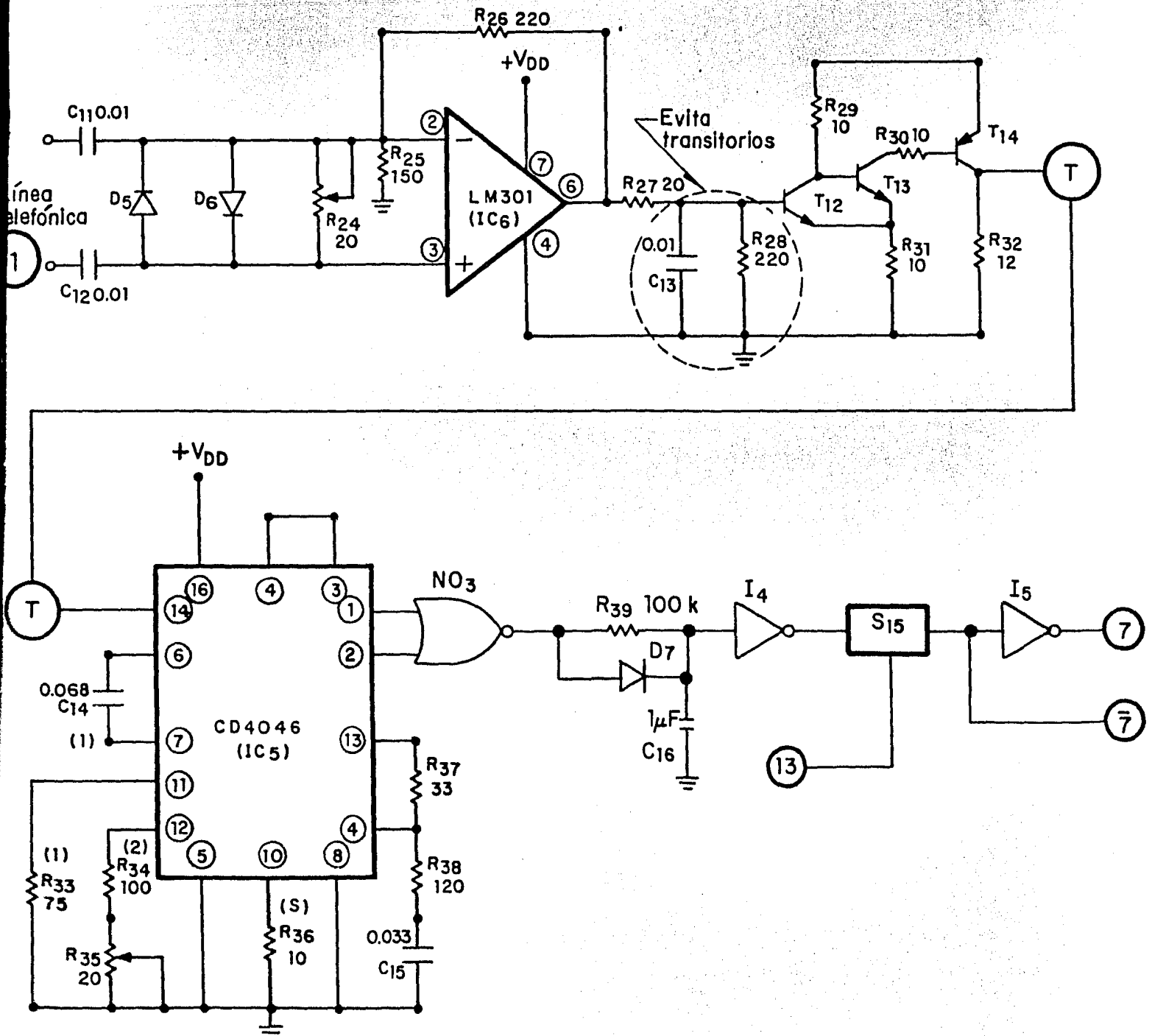


Figura V.4 Diagrama esquemático del circuito detector de tono implementado con el CD 4046.

Desde el punto de vista teórico, el "disparador de Schmitt" y el detector de tono fueron los circuitos en los que se pudieron realizar modificaciones para optimar su diseño.

En la práctica, al armar y verificar el circuito de comando de impresión del tiempo de duración de llamada analizado al final del inciso IV.4.5, resultó que genera pulsos de comando tanto al detectar la "subida" como a la "bajada" de su señal de entrada. En la figura V.5 se presenta este circuito de comando de impresión.

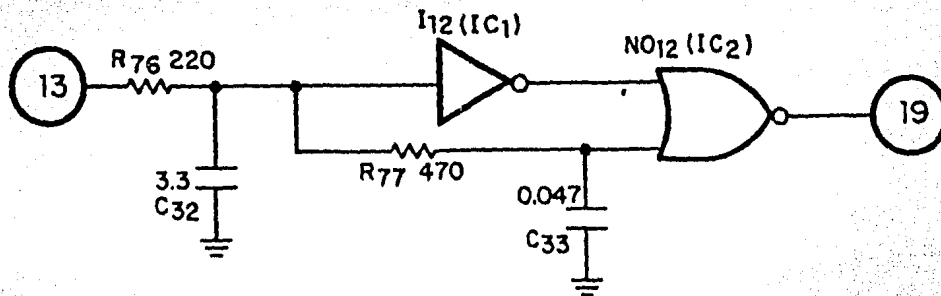


Figura V.5 Diagrama esquemático del circuito de comando de impresión.

La explicación de su funcionamiento es la siguiente: cuando la entrada es "alta" en estado estable, la salida del inversor es "baja" y los capacitores quedan cargados a un voltaje V_{DD} , por lo que la salida de la compuerta NOR es "baja". Al cambiar de "alta" a "baja" la entrada de este circuito, el capacitor de 3.3 μF se descarga con una constante de tiempo ligeramente menor que la del capacitor de 0.047 μF . Aún así, resulta que el umbral inferior de voltaje de la compuerta NOR es más alto que el del inversor, por lo que se genera un pulso cuyo ancho se relaciona con el lapso de tiempo existente entre el instante en que el capacitor de 0.047 μF rebasa el umbral inferior de voltaje de dicha compuerta NOR y, aquél en que el primer capacitor rebasa el umbral inferior de voltaje del inversor.

Debido a lo anterior, este solo circuito puede realizar las funciones de comando de impresión tanto del número telefónico del abonado con el que se habla, como la del tiempo de duración de la llamada, por lo que se hace innecesaria la utilización del detector de enlace y la compuerta OR para efectuar la operación requerida.

Ahora bien, si el circuito de comando de impresión genera pulsos tanto a la "subida" como a la "bajada" de su señal de entrada, de una manera similar el comando de la operación "m+" tiene esta misma característica, la cual en este caso es indeseable.

Para poder eliminar este problema, es suficiente con "separar" los dos circuitos RC mediante un inversor y, para que este circuito siga generando el pulso de comando a la "bajada" de su señal de entrada, bastará con cambiar el otro inversor conectándolo directamente a una de las entradas de la compuerta NOR.

El diagrama esquemático del circuito de comando de la operación "m+" modificado, se muestra en la figura V.6.

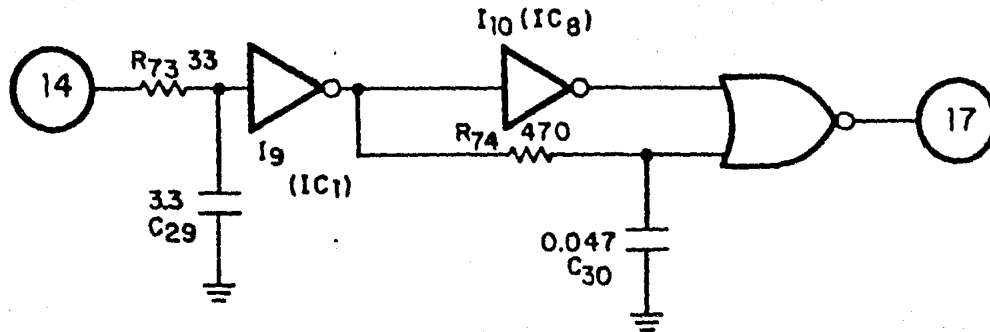


Figura V.6 Diagrama esquemático del circuito de comando de la operación "m+", modificado.

V.2 OPTIMACION DEL NUMERO DE CIRCUITOS INTEGRADOS UTILIZADOS

El "IMPRESOR DE LLAMADAS TELEFONICAS" está compuesto por un conjunto de circuitos implementados con transistores bipolares de juntura, diodos, resistencias, capacitores y circuitos integrados, en su mayoría de la familia CMOS.

En el inciso precedente se analizaron algunos circuitos en los que se realizaron modificaciones que optimaran el diseño de los mismos. Continuando con la aplicación del proceso de optimación, se procederá a revisar el número y el tipo de circuitos integrados requeridos y, con base en estos datos, a efectuar algunos cambios que logren minimizar el número de estos elementos, para disminuir el costo de los componentes así como facilitar el diseño de su interconexión.

En la figura V.7 se presenta el listado de los elementos digitales necesarios para la implementación de los circuitos diseñados. Junto con el tipo de elemento digital se especifica la clave del circuito integrado de la familia CMOS al que corresponde.

C I R C U I T O	E L E M E N T O					
	NOR	NAND	Inversor	Interpt.	OR	AND
	CD 4001	CD 4011	CD 4049	CD 4066	CD 4071	CD 4081
Detector de tono	1	-	2	1	-	-
Compuertas del con- tador de pulsos de marcar	-	-	-	-	-	10
Interruptores del contador de pulsos de marcar	-	-	-	10	-	-
Detector del final del tren de pulsos	-	-	1	-	-	-
Comando de compuer- tar	1	-	1	-	-	-
Restablecedor del contador	1	-	1	-	-	-
Detector de enlace y de terminación de llamada	2	2	2	-	-	1
Habilitador del circuito "marcas de tiempo"	2	-	-	-	-	-
Generador de "mar- cas de tiempo"	1	-	-	-	-	-
Comando "CE"	1	-	1	1	-	-
Comando "1"	1	-	1	1	1	-
Comando "m+"	1	-	2	1	-	-
Impresor del tiem- po de llamada	1	1	1	-	-	-
Comando de impre- sión "#"	1	-	1	1	-	-
T O T A L E S	13	3	13	15	1	11

Figura V.7 Listado de los elementos digitales necesarios para la implementación de los circuitos diseñados.

Dado que cada uno de los circuitos integrados CD 4001, CD 4011, CD 4066, CD 4071 y CD 4081 contiene cuatro elementos digitales y el CD 4049 seis inversores, del listado de la figura V.7 se puede inferir que serían necesarios cuatro circuitos CD 4001, un CD 4011, tres CD 4049, cuatro CD 4066, un CD 4071 y tres CD 4081.

Pero si de alguna manera se pueden modificar los circuitos de tal manera que se puedan eliminar una compuerta NOR, un inversor y la compuerta OR, se podría disminuir el número de circuitos integrados necesarios.

Debido a que cada uno de los circuitos fue diseñado tratando de simplificar al máximo su configuración, difícilmente podrá hacerse algún cambio con el que se logre eliminar alguna de las compuertas utilizadas.

Una solución factible sería sustituir las compuertas citadas por sus análogas de la familia lógica RTL, las cuales podrán ser implementadas con transistores bipolares de juntura y resistencias. De esta manera, uno de los inversores y la compuerta NOR del detector de tono podrán ser diseñados con circuitos lógicos RTL.

En la figura V.8 se muestran los diagramas esquemáticos del inversor y de la compuerta NOR de la familia RTL.

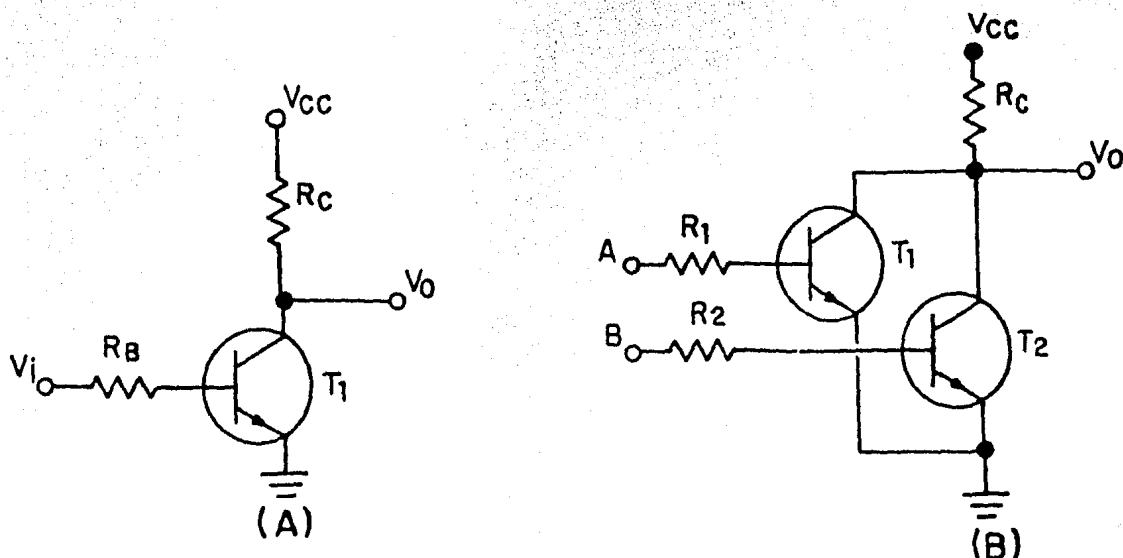


Figura V.8 Diagramas esquemáticos de circuitos de la familia RTL:
A Inversor. B Compuerta NOR.

Con respecto a la compuerta OR, ésta puede ser sustituida aplicando el teorema de De Morgan. Este teorema se refiere a que el inverso de la intersección de dos o más elementos es igual a la unión de los inver-

sos de cada uno de estos elementos y el inverso de la unión de dos o más elementos es igual a la intersección de los inversos de cada uno de dichos elementos. Escrito este teorema en forma algebraica:

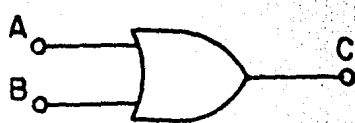
$$\overline{A + B + C + \dots} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \dots$$

$$\overline{A \cdot B \cdot C \cdot \dots} = \bar{A} + \bar{B} + \bar{C} + \dots$$

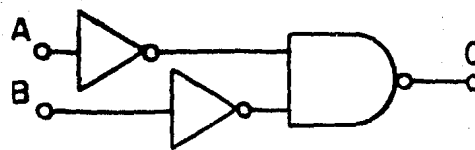
Por lo tanto, si se necesita una función OR, ésta podrá ser sustituida con una compuerta NAND y dos inversores, de la siguiente manera:

$$\overline{\overline{A + B}} = \overline{\bar{A} \cdot \bar{B}}; \quad A + B = \overline{\bar{A} \cdot \bar{B}}$$

En la figura V.9 se muestra esta sustitución, representada con circuitos lógicos.



$$A + B = C$$



$$\overline{\bar{A} \cdot \bar{B}} = C$$

Figura V.9 Circuitos lógicos que representan la función OR y su equivalente.

Esta compuerta OR es necesaria para la implementación del comando del dígito "1", cuyas entradas son la salida de una compuerta AND (compuerta de control de este dígito) y la salida de un NOR (comando de registro del "1" para la contabilidad del tiempo de llamada). Cambiando la compuerta AND por una NAND, se podrá obtener una de las entradas ya invertida por lo que se eliminaría la necesidad de uno de los inversores, y el otro inversor puede ser implementado con otro circuito de la familia RTL.

Ahora bien, al realizar estas sustituciones el número de compuertas NAND necesarias aumentaría a cinco, por lo cual aumentaría también el número de circuitos CD 4011. Para que no suceda ésto, será suficiente con implementar una de estas compuertas NAND con uno de lógica RTL.

De esta forma, el número de circuitos integrados necesarios ha podido ser minimizado, por lo que se logra alcanzar el objetivo propuesto al principio de este inciso.

V.3 SELECCION DE UNA NUEVA CALCULADORA DE MESA

Después de haber armado y probado cada uno de los circuitos necesarios en el "IMPRESOR DE LLAMADAS TELEFONICAS", se quiso hacer la interconexión de éstos con la calculadora de mesa para poder verificar su correcto funcionamiento.

En esta etapa del proyecto, se presentó la dificultad de utilizar la calculadora-impresora originalmente propuesta debido a algunas modificaciones que se le habían realizado, así como a problemas de disponibilidad del mismo.

Por esta razón se tomó la decisión de seleccionar una nueva calculadora de mesa, con la que no se tuvieran los problemas mencionados. Casos análogos a éste se presentan comúnmente en el desarrollo de un proyecto cuando disminuye la disponibilidad de algún componente, o éste sufre cambios en sus especificaciones.

Los criterios que se tomaron en cuenta para la selección de la calculadora fueron: primero, que contara con las operaciones requeridas (impresión "#", adición a la memoria "m+" y registro del total de la memoria "mt") para el correcto funcionamiento de los circuitos diseñados; segundo, que tuviera espacio suficiente para adaptar un conector de cable plano con la finalidad de conectarlo a dichos circuitos y, tercero, que fuera tan económico, funcional y estético como fuera posible.

Como se puede apreciar, en cada una de las etapas de cualquier proyecto es posible aplicar el proceso de optimación.

Tomando en cuenta todos estos criterios, se adquirió una calculadora de mesa marca CALTRON, de manufactura brasileña.

Las principales diferencias que presenta esta nueva calculadora con respecto a la anterior son, el "arreglo" de su matriz de funciones y el voltaje de operación de su circuitería electrónica.

En la figura V.10 se muestra la matriz de funciones de la calculadora de mesa marca CALTRON.

	H ₀	H ₁	H ₂	H ₃	H ₄	H ₅	H ₆	H ₇	H ₈
K ₀	#/D	C	EX	+/-	.	00	0	K	000
K ₁	M◇	CE	✖	◇	9	8	7	M✖	ITM
K ₂	-	Δ%	=	÷	6	5	4	GPM	Δ
K ₃	M+	×	-	+	3	2	1	M-	+

Figura V.10 Matriz de funciones de la calculadora de mesa marca CALTRON.

En esta figura se puede notar que la operación "#/D" equivale a la "#", la "M+" a la "m+" y la "M◇" a la "mt" de la calculadora anteriormente analizada.

Con respecto al voltaje de operación, éste tiene un valor máximo de 22 V, por lo que imposibilita el uso de los interruptores del circuito integrado CD 4066 de la familia CMOS, ya que tienen un límite absoluto de operación de 18 V que aún es menor en comparación con el que presenta la calculadora.

Debido a ello, es necesario diseñar un circuito discreto que haga las veces del interruptor requerido para poder operar eficientemente a la calculadora. Aprovechando que una de las aplicaciones que tiene el transistor bipolar de juntura es precisamente el de conmutación, se puede diseñar un circuito sencillo con dos transistores que funcione como un interruptor y que no tenga problema para manejar voltajes del orden de 22 V.

El diagrama de este circuito se muestra en la figura V.11. El circuito funciona de la siguiente manera: cuando el voltaje en la terminal de control es menor que el de polarización de la juntura base-emisor del transistor T₁, éste quedará cortado por lo que no circulará corriente por las resistencias R_B y R_C ocasionando el corte de T₂ y, por consiguiente, este transistor funcionará como "circuito abierto".

En el caso de que el voltaje en la terminal de control sea mayor al

especificado anteriormente, T_1 encenderá por lo que provocará el paso de la corriente por R_B y R_C y, por lo tanto, la "polarización" de T_2 que funcionará como "circuito cerrado".

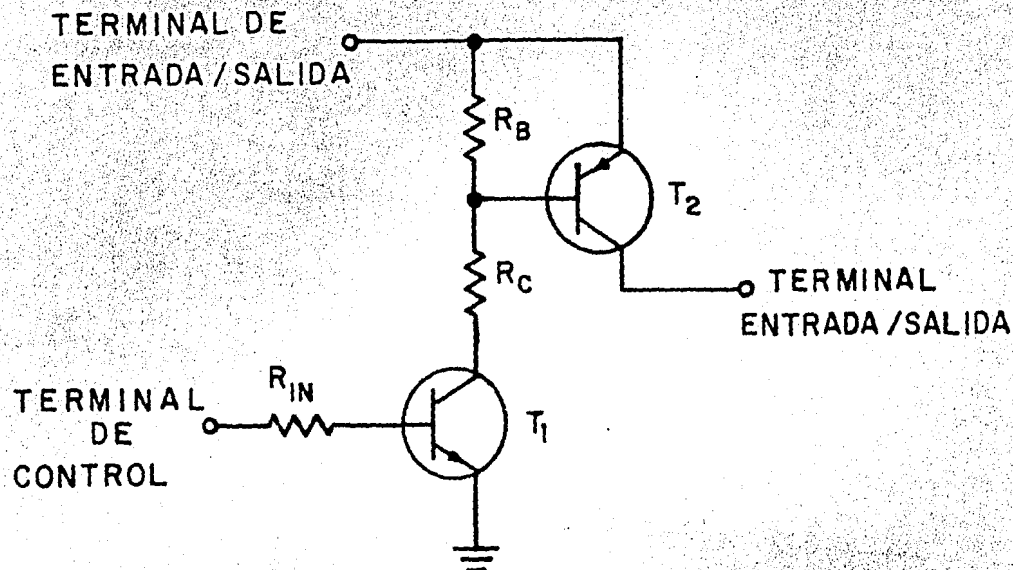


Figura V.11 Diagrama esquemático del circuito interruptor diseñado con transistores bipolares de juntura.

Con respecto a la fuente de poder necesaria, dado que el consumo de corriente de los circuitos del "IMPRESOR DE LLAMADAS TELEFONICAS" es muy pequeño (del orden de 60 mA) y, que con respecto a él, la calculadora requiere de un porcentaje mucho mayor de energía, se podrá aprovechar la fuente de poder de esta calculadora de mesa para tomar de ella la corriente necesaria para el funcionamiento de los circuitos diseñados.

Existe el inconveniente del valor de voltaje de la fuente de poder de la calculadora, el cual es de 22 V como se mencionó anteriormente. Este problema se puede solucionar adecuadamente diseñando un regulador de voltaje. Se puede implementar este circuito mediante un diodo zener que funcione como una fuente de voltaje constante, y un transistor haciendo la función de elemento de control.

En la figura V.12 se muestra el diagrama esquemático del circuito regulador de voltaje utilizado. Se conectaron dos zener de $V_Z = 6$ V en serie debido a la disponibilidad que había de ellos y, por lo tanto, el voltaje de este regulador será de:

$$V_{DD} = V_Z - V_{BE,act} ; V_{DD} = 6 \times 2 - 0.7 ; V_{DD} = 11.3 \text{ V}$$

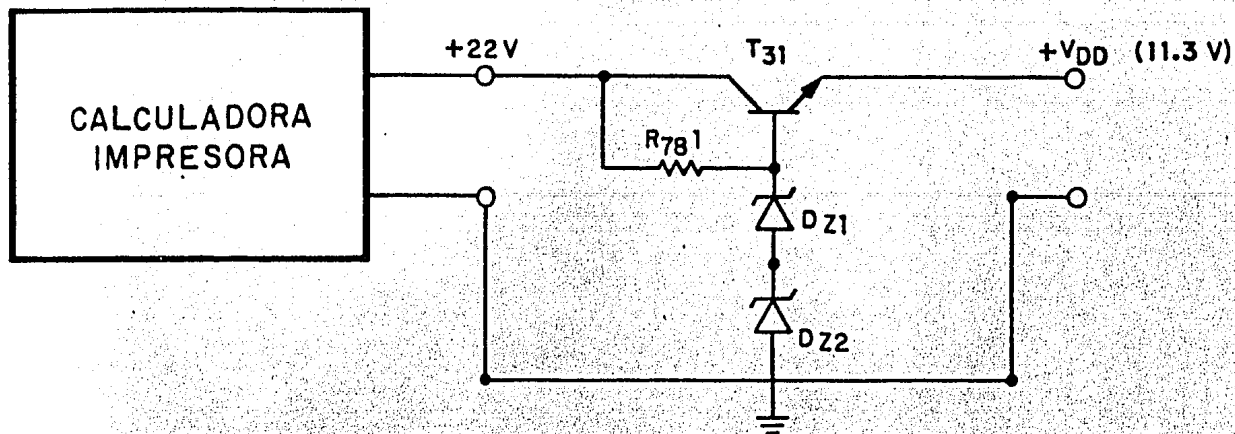


Figura V.12 Diagrama esquemático del circuito regulador de voltaje.

Este valor de voltaje no afecta en absoluto el funcionamiento adecuado de los circuitos, tanto de los "disparadores de Schmitt" como de los integrados de la familia CMOS. Además, disminuyendo el valor del voltaje de alimentación de 15 a 11.3 V la potencia disipada disminuye a un 75%, lo cual es ventajoso desde el punto de vista de diseño.

El funcionamiento del regulador de voltaje es como sigue: dado que los voltajes del colector y de la base de T_{31} son $V_C = 22 \text{ V}$ y $V_B = 12 \text{ V}$, por la resistencia $R_{78} = 1 \text{ k}\Omega$ circulará una corriente de:

$$I = \frac{V_C - V_B}{R_{78}} ; I = \frac{22 - 12}{1} ; I = 10 \text{ mA}$$

Esta corriente de 10 mA será más que suficiente para controlar a través de la base del transistor T_{31} la corriente de salida del regulador. Para poder accionar los circuitos del dispositivo analizado, se requiere de una corriente de poco menos de 100 mA y, por ello, con que la ganancia de corriente β del transistor sea mayor de 10 se asegurará el funcionamiento del regulador.

Ahora bien, suponiendo que el regulador no tiene carga alguna conectada a su salida, la corriente de 10 mA deberá de circular por los diodos zener los cuales tienen un voltaje de ruptura de $V_Z = 6 \text{ V}$, por lo que la potencia disipada por ellos deberá ser, cuando menos, de 60 mW.

Para que el voltaje de este regulador no sufra variaciones por el funcionamiento de cada uno de los circuitos lógicos, en todos los buses

de alimentación de los circuitos integrados se conectará un capacitor de 100 μF y otro de 0.01 μF , para que sirvan como filtros de oscilaciones de baja y de alta frecuencia respectivamente.

De esta forma, los circuitos del dispositivo quedarán prácticamente inmunes al ruido y a las oscilaciones provocadas por las variaciones de estado de cada una de sus componentes, asegurando el funcionamiento eficiente del conjunto.

V.4 DIAGRAMAS ESQUEMATICOS FINALES Y GRAFICAS DE LAS SALIDAS DE LOS CIRCUITOS UTILIZADOS

En este inciso se presentan los diagramas esquemáticos de todos los circuitos necesarios para la implementación del "IMPRESOR DE LLAMADAS TELEFONICAS", tomando en consideración las modificaciones realizadas a lo largo de este capítulo y, así mismo, las gráficas de sus salidas en las que se pueden apreciar las relaciones que tienen entre sí y con las funciones telefónicas.

Todos los valores de las resistencias están dadas en kilohmios ($k\Omega$) y de los capacitores en microfaradios (μF).

Los diodos utilizados tienen las siguientes características:

Voltaje de ruptura mínimo	$(V_{BR,mín})$	25 V @ $I_R = 100 \mu\text{A}$
Corriente inversa máxima	$(I_{R,máx})$	0.2 μA @ $V_R = 20 \text{ V}$
Voltaje inverso máximo	$(V_{R,máx})$	50 V
Voltaje directo de operación	(V_F)	0.7 V
Corriente directa máxima	$(I_{F,máx})$	200 mA

Los transistores NPN son 2A 238 y los PNP 2A 258 cuyas características máximas absolutas a 25°C de temperatura ambiente son:

Voltaje colector-base	$(V_{CB,máx})$	$\pm 45 \text{ V}$
Voltaje colector-emisor	$(V_{CE,máx})$	$\pm 30 \text{ V}$
Voltaje emisor-base	$(V_{EB,máx})$	$\pm 6 \text{ V}$
Corriente continua de colector	$(I_{C,máx})$	200 mA

Potencia disipada continua	$(P_{D,m\acute{a}x})$	360 mW
Ganancia de corriente estática típica	(β)	180
Voltaje colector-emisor de saturación	$(V_{CE,sat})$	± 0.2 V
Voltaje base-emisor de operación	$(V_{BE,act})$	± 0.7 V

Los símbolos IC_n donde n = 1,2,...,14 indican el bloque de circuito integrado al que pertenece cada una de las compuertas digitales, así como los circuitos de funciones específicas, y el valor del voltaje de polarización V_{DD} es, como ya se especificó anteriormente, de 11.3 V.

Los círculos con números indican la salida del circuito correspondiente a dicha cifra. Si está testada, se refiere a la salida invertida del circuito. Los círculos con letras están relacionados con las terminales de la calculadora de mesa.

Por último, la simbología de los elementos digitales es la siguiente:

A	COMPUERTA AND
I	INVERSOR
NA	COMPUERTA NAND
NO	COMPUERTA NOR
S	INTERRUPTOR (circuito discreto)

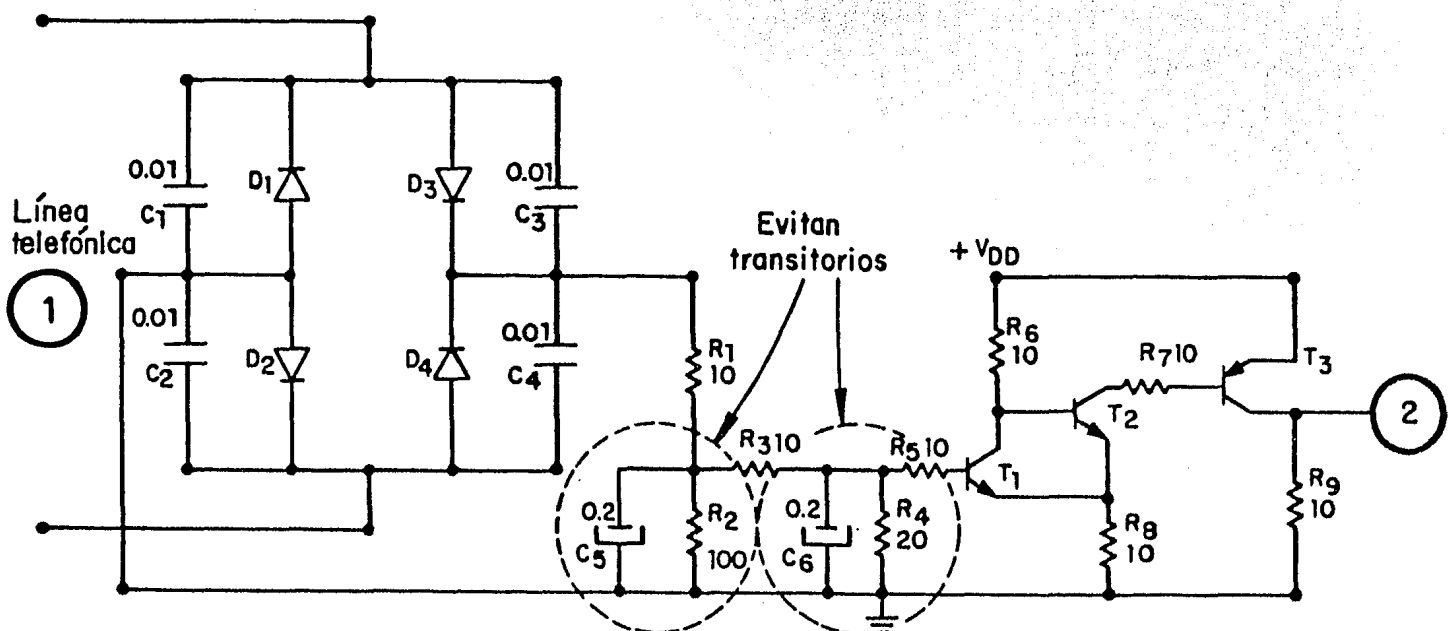


Figura V.13 Detector de nivel y generador de pulsos de marcar.

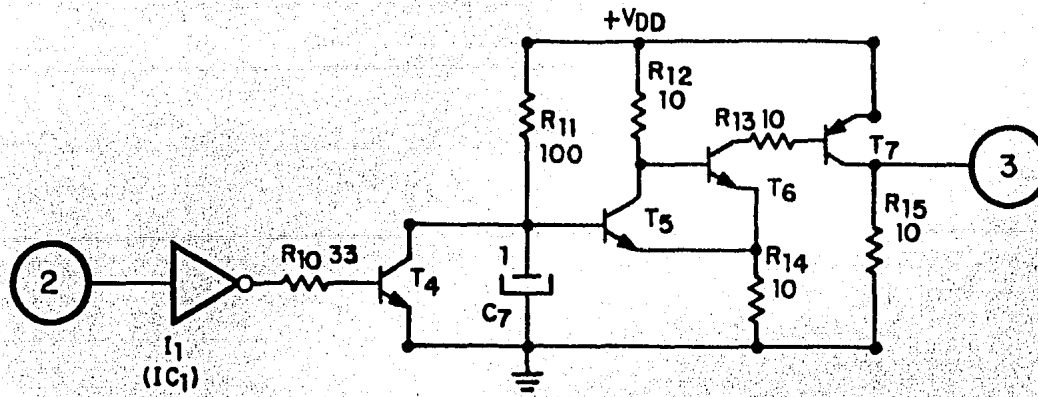


Figura V.14 Detector de final del tren de pulsos.

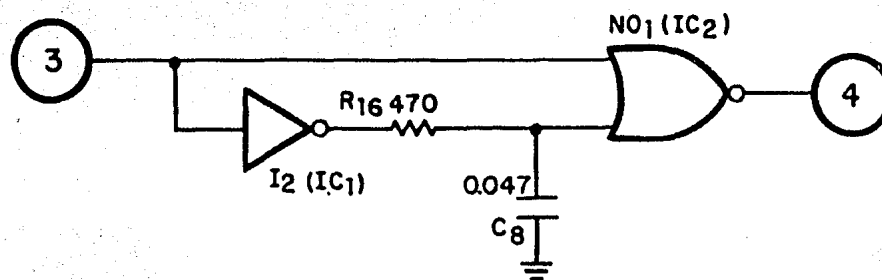


Figura V.15 Comando de compuertas.

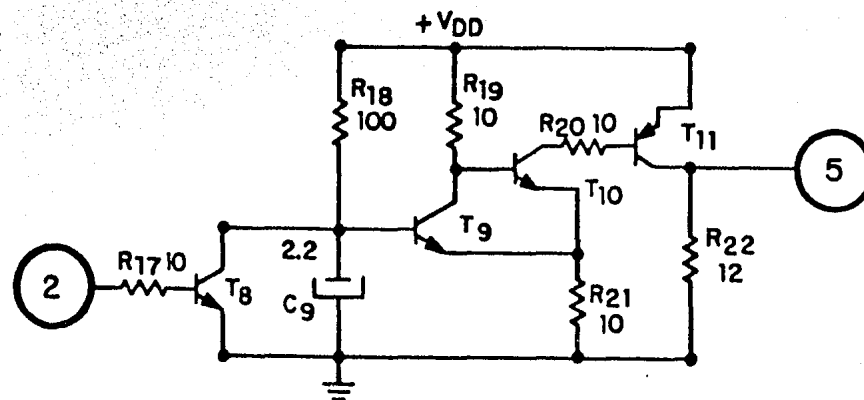


Figura V.16 Detector de teléfono colgado.

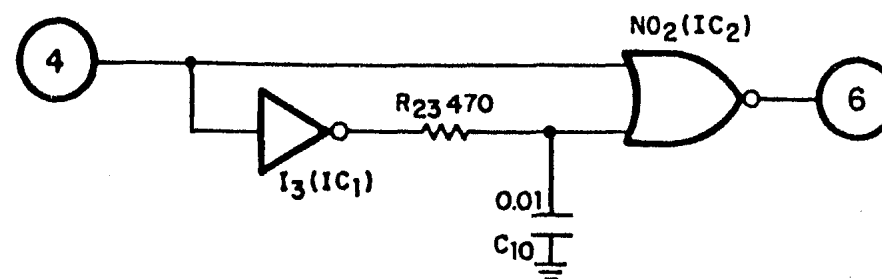


Figura V.17 Restablecedor del contador.

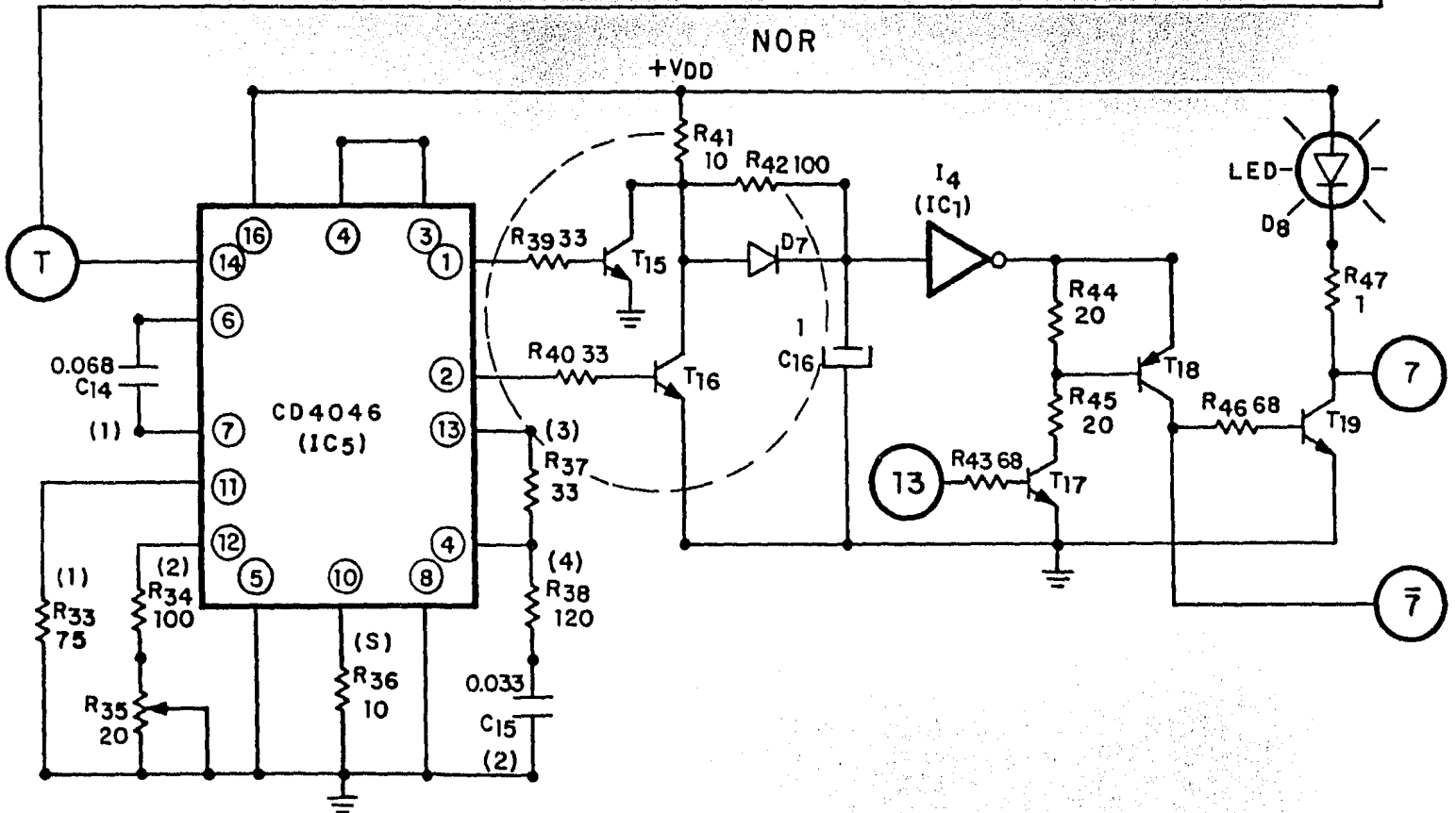
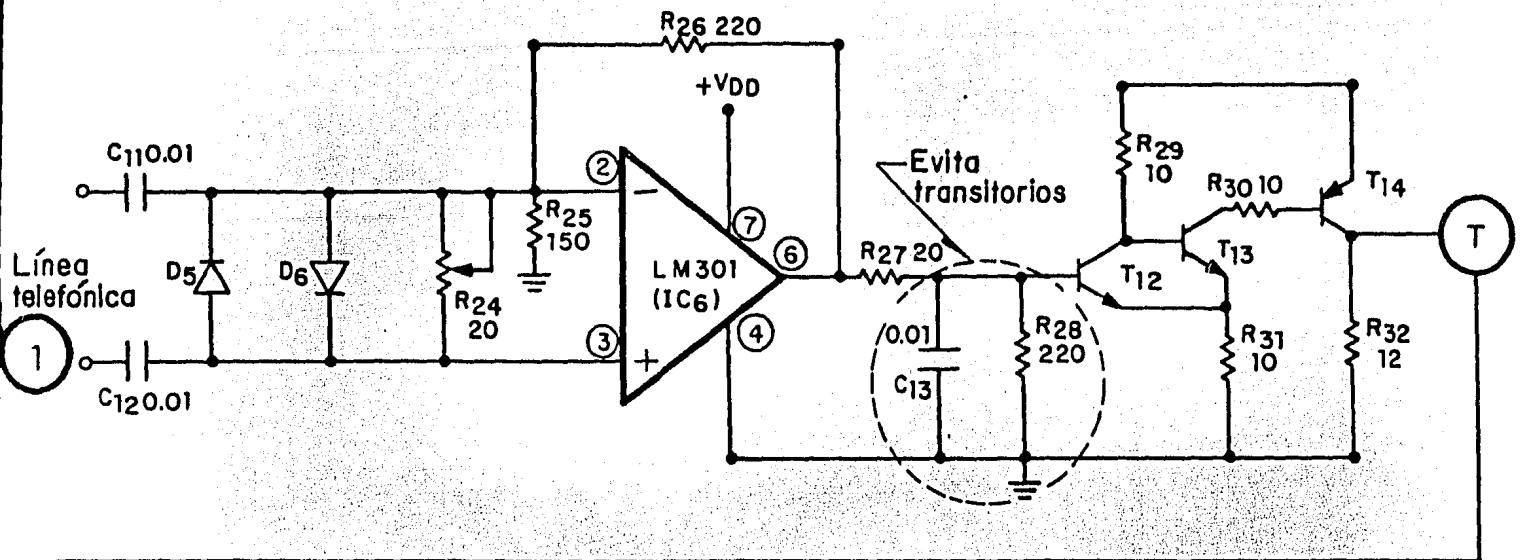


Figura V.18 Detector de tono.

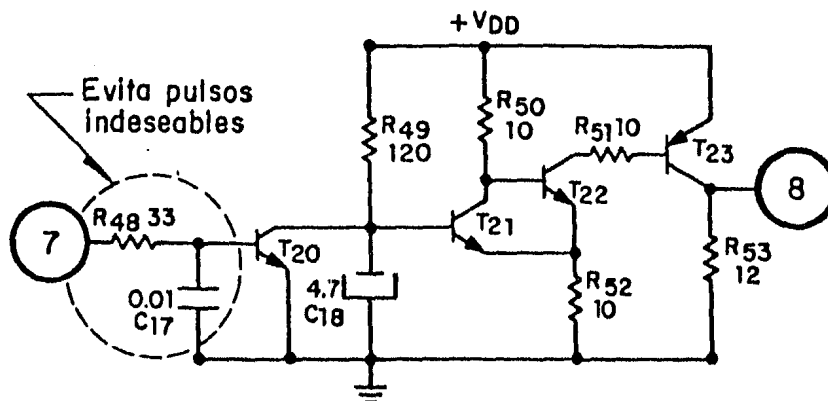


Figura V.19 Detector de tono continuo.

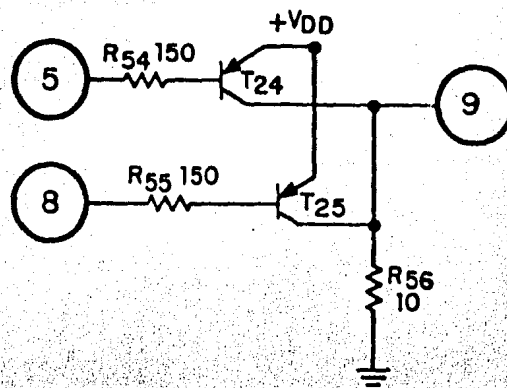


Figura V.20 Control del comando "M*".

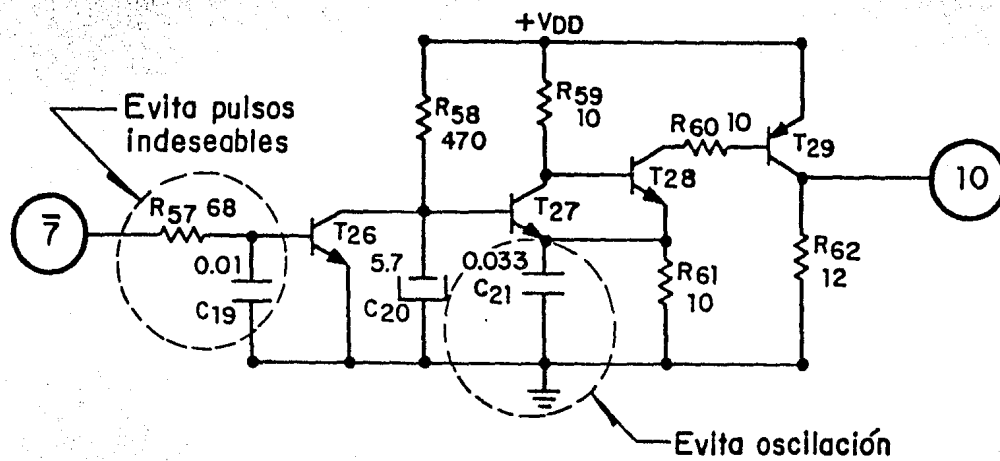


Figura V.21 Detector de tono discontinuo.

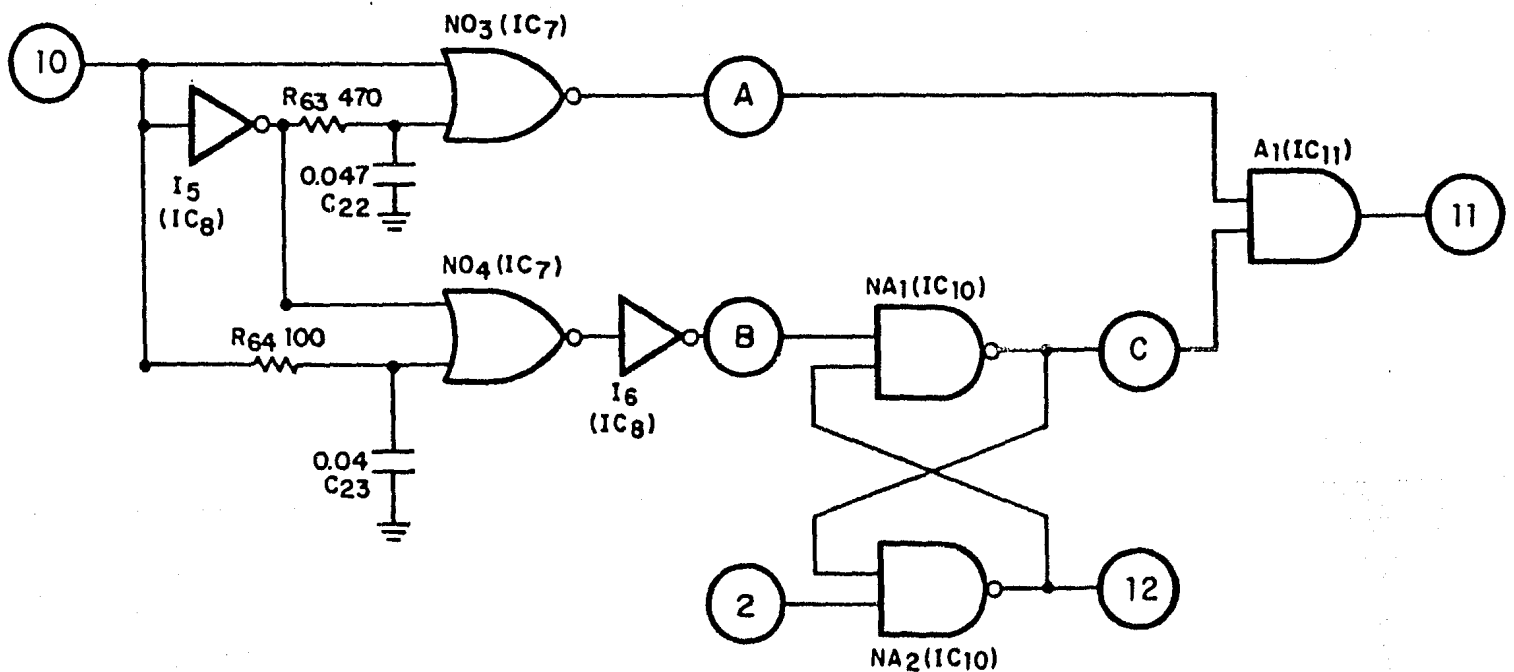


Figura V.22 Detector de enlace y de terminación de llamada.

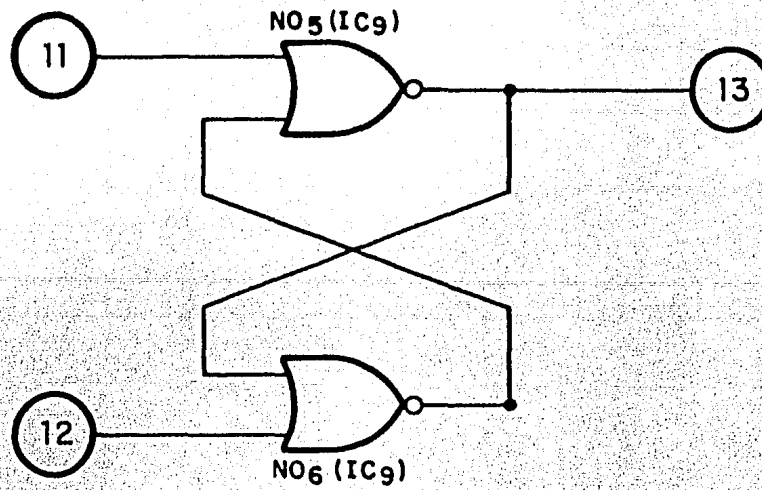


Figura V.23 Habilitador del circuito "marcas de tiempo".

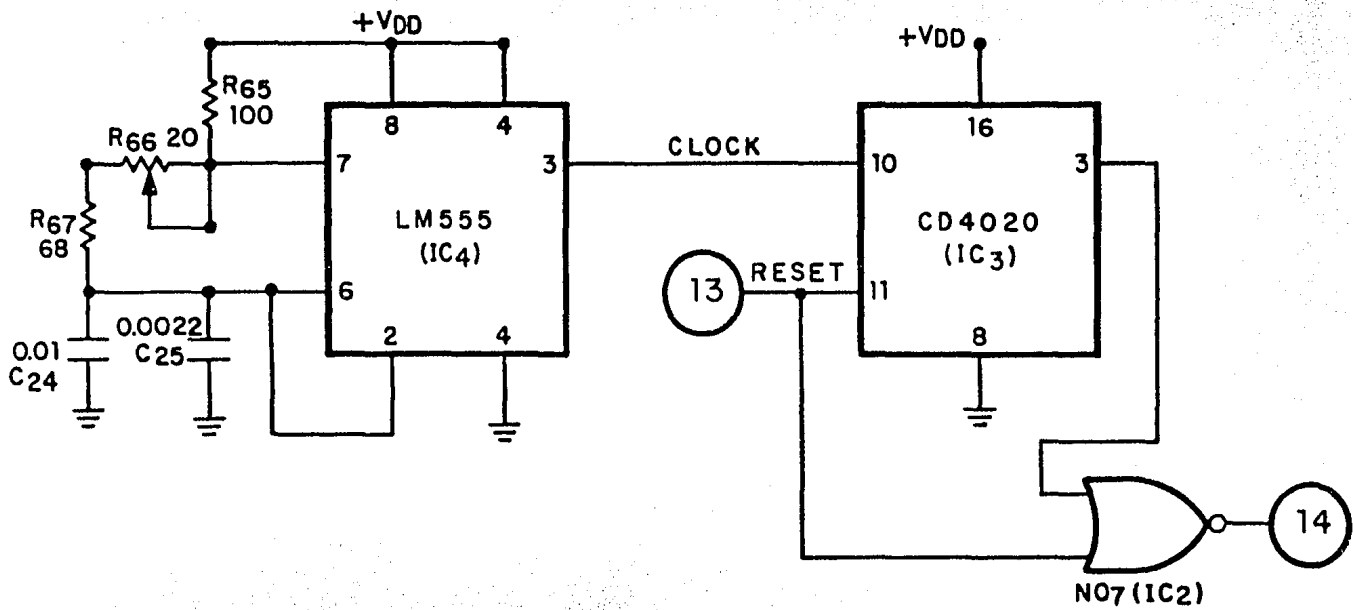


Figura V.24 Generador de "marcas de tiempo".

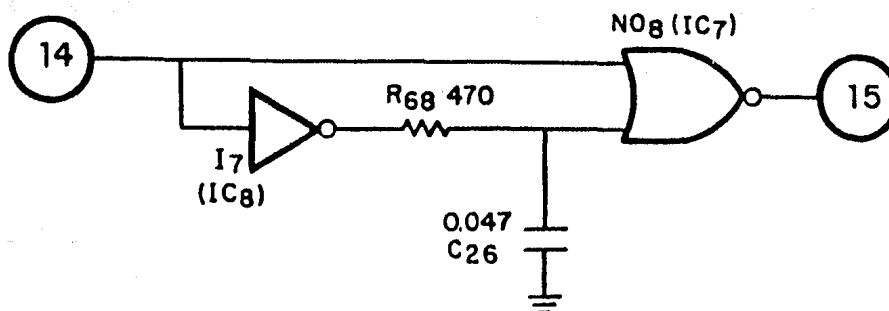


Figura V.25 Comando de "CE".

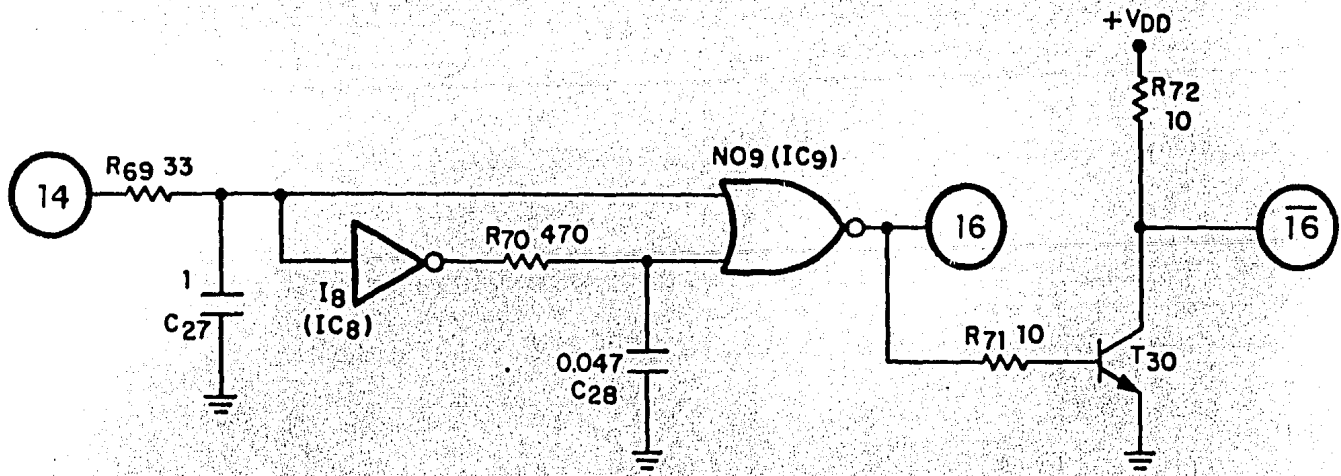


Figura V.26 Comando de "1".

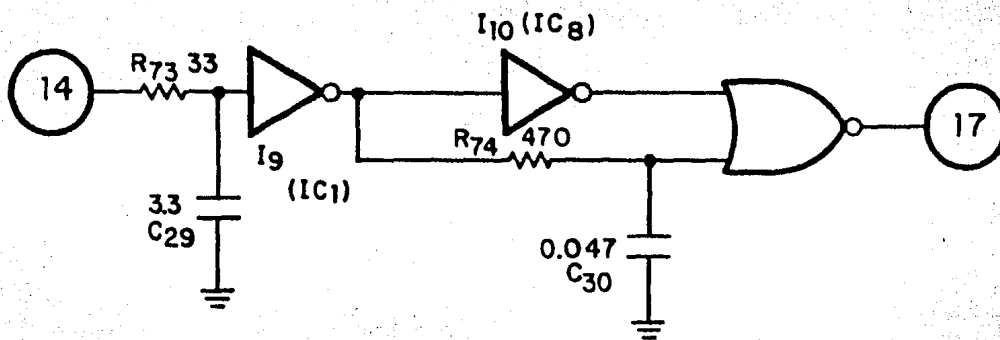


Figura V.27 Comando de "M+".

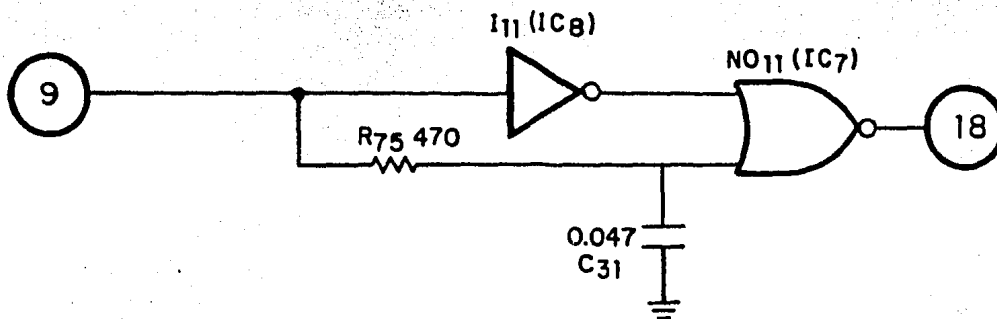


Figura V.28 Comando de "M*".

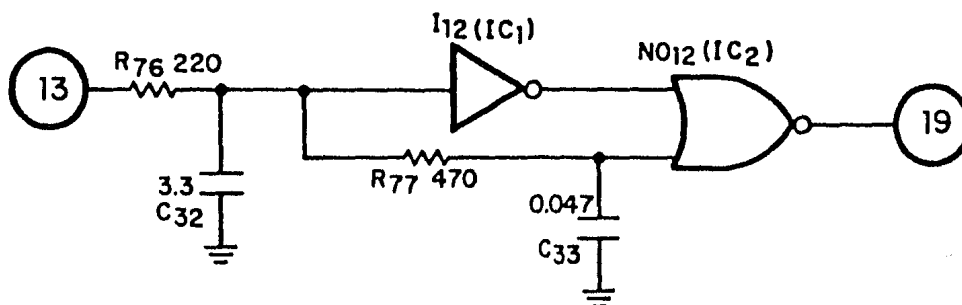


Figura V.29 Comando de impresión ("#/D").

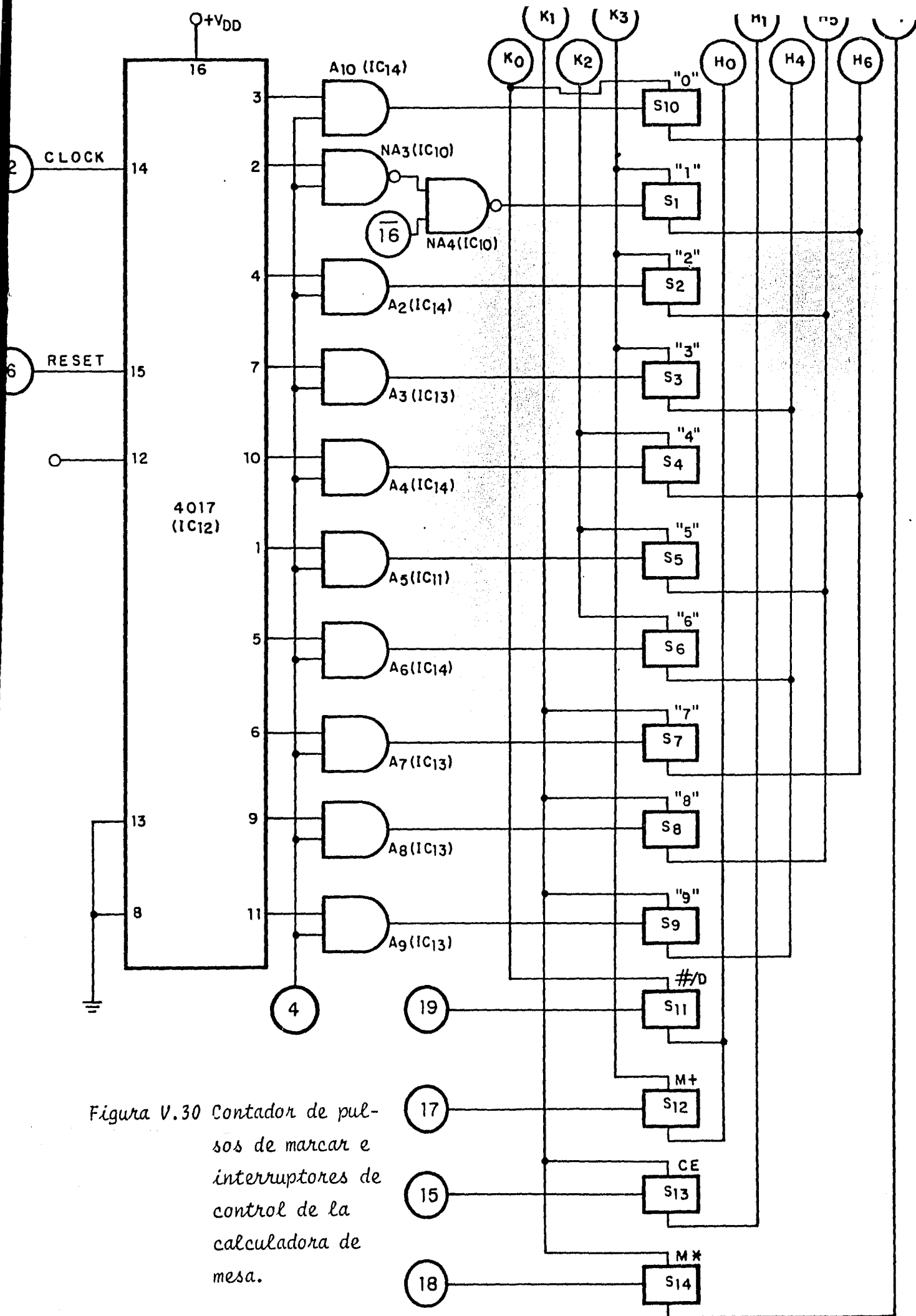


Figura V.30 Contador de pulsos de marcar e interruptores de control de la calculadora de mesa.

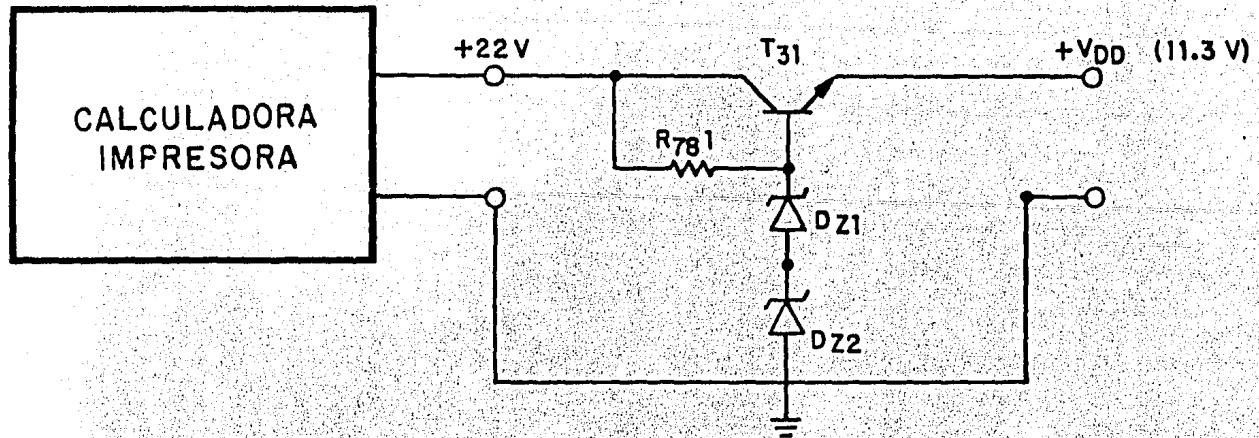


Figura V.31 Regulador de voltaje.

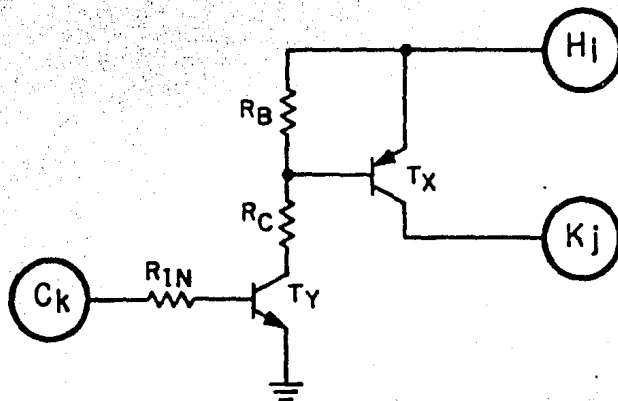


Figura V.32 Interruptor direccional.

$$i = 0, 1, \dots, 8$$

$$j = 0, 1, 2, 3$$

$$C_k = "0", "1", \dots, "9", "\#/D", "M+", "CE", "M "$$

$$R_B = 10 \text{ k}\Omega$$

$$R_C = 10 \text{ k}\Omega$$

$$R_{IN} = 33 \text{ k}\Omega$$

$$T_X = 2A 258$$

$$T_Y = 2A 238$$

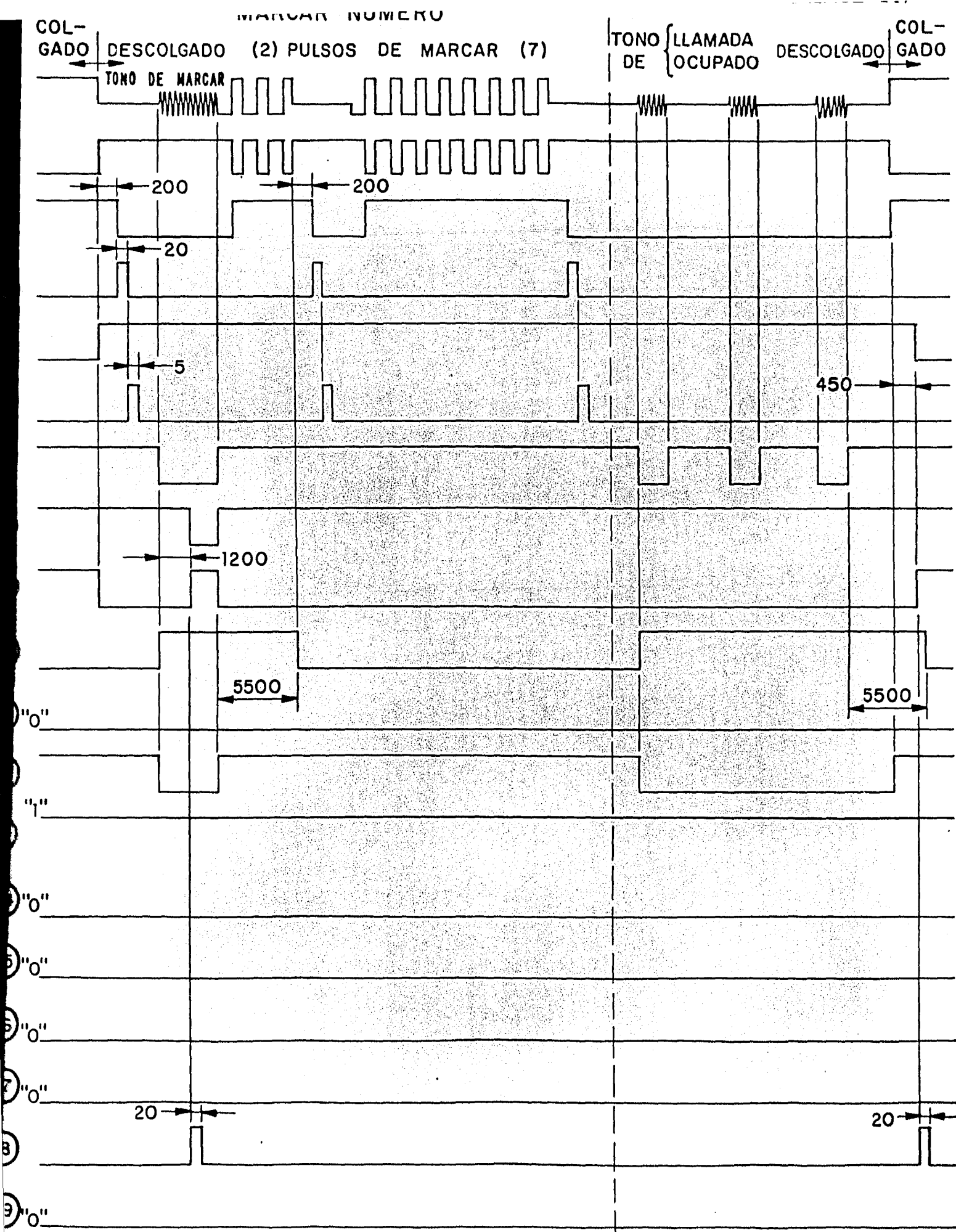


Figura V.33 Gráfica de las salidas de los circuitos del "IMPRESOR DE LLAMADAS TELEFONICAS" cuando no se efectúa el enlace. Acotaciones, en milisegundos. Valores de tiempo fuera de escala.

HAY ENLACE

DESCOLGADO

COLGADO

TONO DE LLAMADA

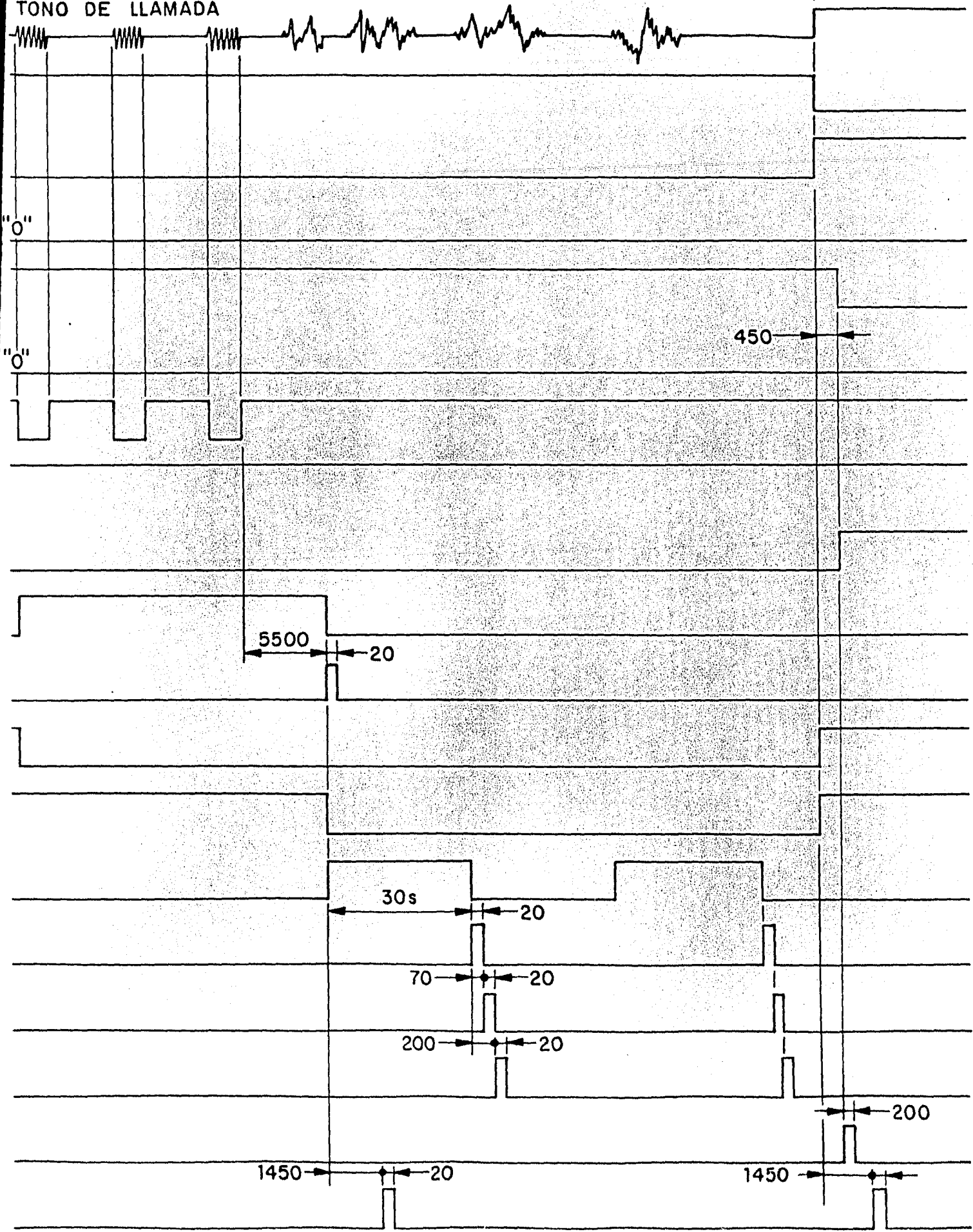


Figura V.34 Gráfica de las salidas de los circuitos cuando se ha efectuado el enlace telefónico. Acotaciones, en milisegundos. Valores de tiempo fuera de escala.

V.5 ALGUNAS CONSIDERACIONES SOBRE EL ARMADO DEL "IMPRESOR DE LLAMADAS TELEFONICAS"

Luego de haber realizado el diseño y verificado el funcionamiento de cada uno de los circuitos, la última etapa del proyecto consistirá en el armado y la interconexión de todos estos circuitos de tal manera que, junto con la calculadora de mesa conformen el dispositivo completo del "IMPRESOR DE LLAMADAS TELEFONICAS".

Debido a que el dispositivo diseñado es un prototipo y por lo tanto está sujeto a posibles modificaciones tanto en su funcionamiento como de su configuración, se tomó la decisión de armar los circuitos en tabletas impresas universales para doce circuitos integrados de 16 terminales cada uno. De esta forma se puede eliminar el costo y la dificultad que presenta el diseño de un circuito impreso para este caso particular.

El inconveniente que se tiene al trabajar con este tipo de tabletas impresas universales es el de la interconexión de cada uno de los componentes y de cada una de las terminales de los circuitos integrados.

La colocación e interconexión de cada uno de los elementos necesarios para la implementación de los circuitos requeridos, se llevó a cabo aplicando el proceso de optimación, tratando de minimizar la longitud de los conductores y, en el caso de los circuitos discretos, haciendo que sus componentes ocuparan el menor espacio posible en la tableta del circuito impreso. De esta forma, fue posible armar todos los circuitos del "IMPRESOR DE LLAMADAS TELEFONICAS" en dos tabletas impresas universales.

En la figura V.35 se puede apreciar la colocación de cada uno de estos circuitos. Los integrados se pueden reconocer por su clave, debajo de la cual se ha escrito la función o tipo de compuerta digital al que corresponden. En el caso de los circuitos discretos, el área aproximada que ocupan en el circuito impreso se halla delimitado por un rectángulo o un polígono cerrado, dentro de los que se tienen escritos sus nombres respectivos.

Se logró llegar a esta configuración luego de varios intentos, cambiando la colocación de los componentes de manera de disminuir cada vez más la longitud de los conductores de interconexión, como se mencionó en párrafos anteriores.

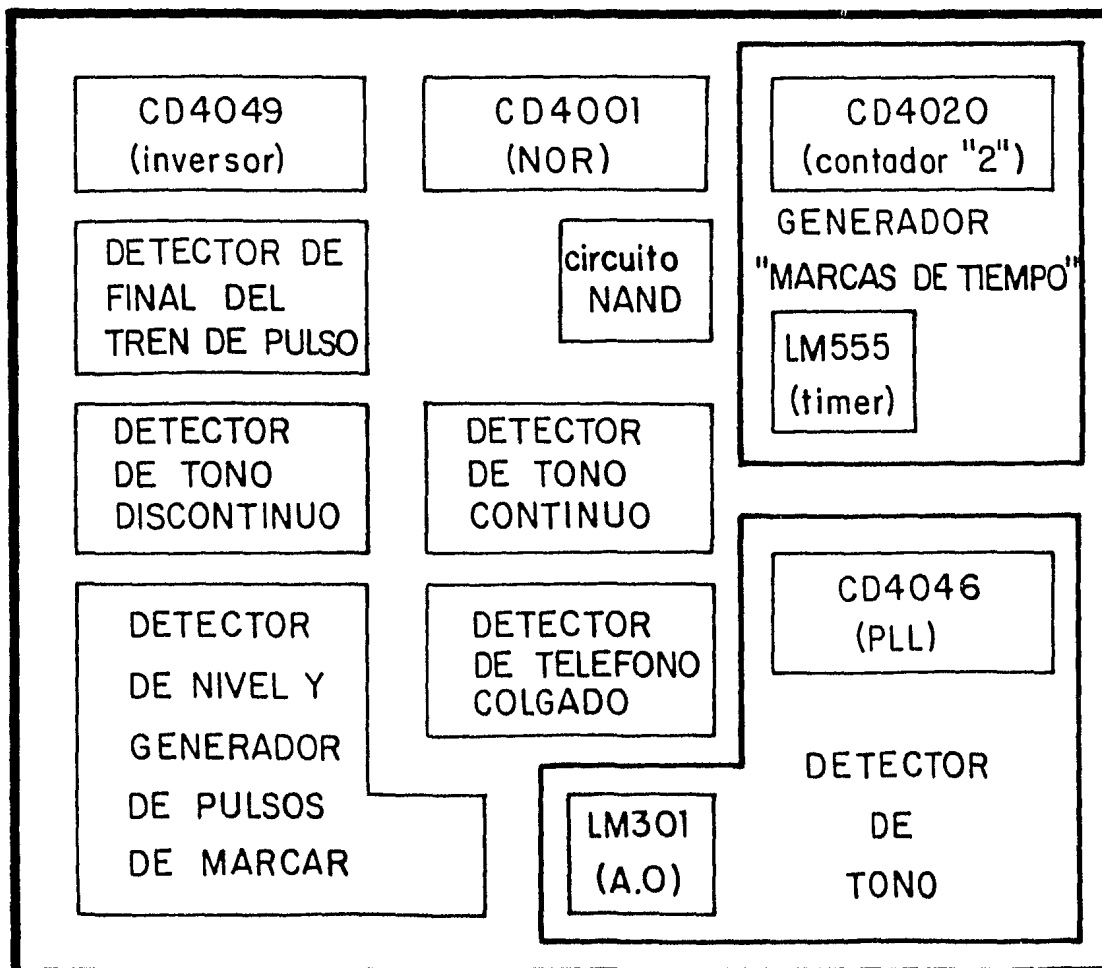
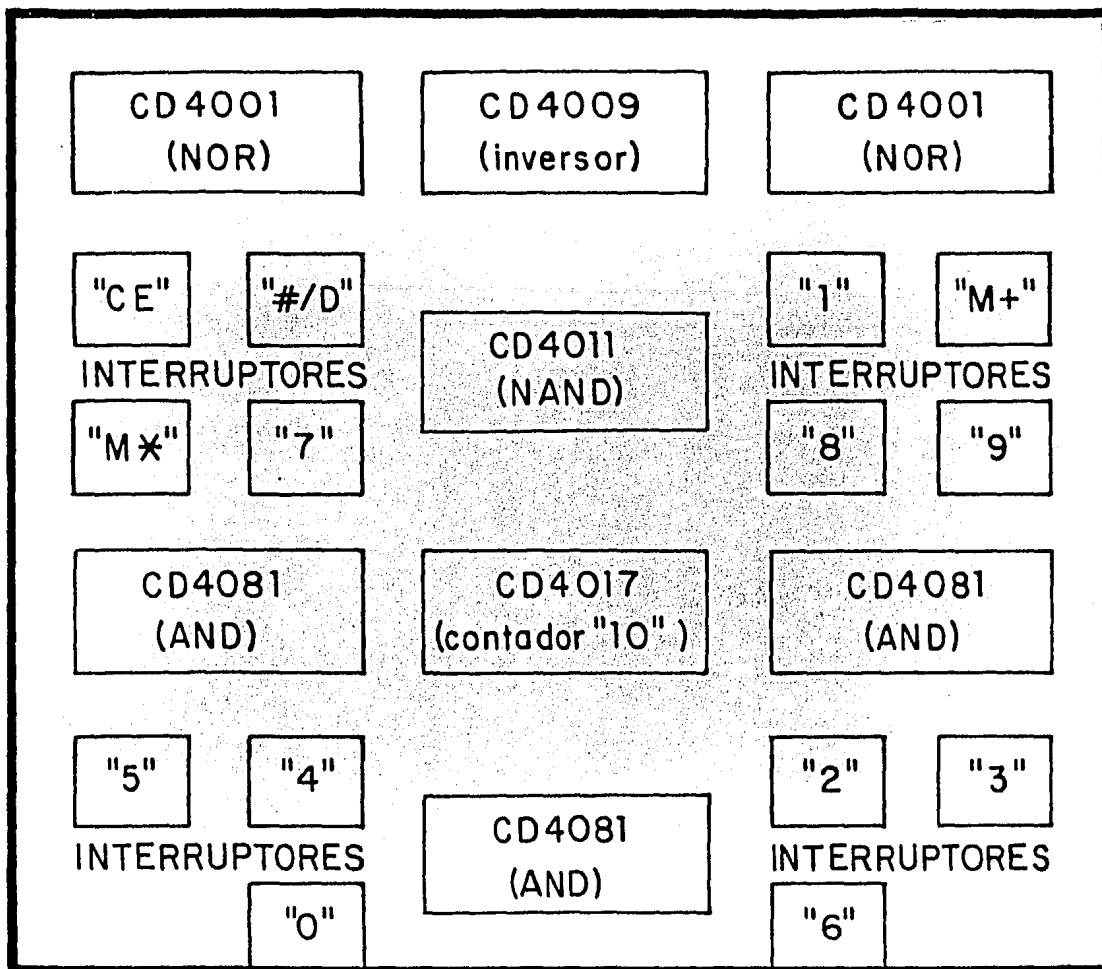


Figura V.35 Diagrama de bloques que representa la colocación en las tabletas impresas de cada uno de los circuitos componentes del "IMPRESOR DE LLAMADAS TELEFONICAS".

Ahora bien, esta colocación aún puede ser mejorada, pero para ello sería necesario seguramente un análisis más profundo, lo cual aumentaría el costo de desarrollo del proyecto.

Aquí conviene hacer el comentario de que en general, con base en un cierto criterio, conviene aplicar el proceso de optimación hasta donde el criterio económico lo permita para hacer más rentable el diseño.

Para armar el dispositivo se definió un código de colores en los conductores de interconexión, con el objeto de facilitar la identificación de las señales de salida de los diferentes circuitos y compuertas lógicas, logrando de esta forma disminuir la dificultad en la revisión y la posible reparación de esta circuitería electrónica. El código de colores utilizado se muestra en la figura V.36.

C O L O R	S A L I D A
ROJO	V_{DD}
NEGRO	V_{SS} (tierra)
VERDE CLARO	NOR
VERDE OSCURO	AND
BLANCO	INVERSOR
AZUL	NAND, "Disparador de Schmitt"
AMARILLO	Varios

Figura V.36 Código de colores utilizado en la interconexión de los componentes en el circuito impreso.

Así mismo, para la interconexión de los circuitos impresos con la calculadora de mesa, se utilizó un cable plano de 16 conductores de diferentes colores que se relacionan con las diferentes salidas de la calculadora-impresora mencionada. En la figura V.37 se presenta una tabla en la que se puede apreciar el código de colores utilizado en dicha interconexión.

Por último, a las salidas de los detectores de tono y de enlace se conectará un diodo emisor de luz o LED, a través de un amplificador de

NUMERO CONDUCTOR	COLOR	SALIDA
1	AZUL	K ₃
2	VERDE	Tierra
3	AMARILLO	K ₂
4	NARANJA	K ₁
5	ROJO	K ₀
6	CAFE	No conectado
7	NEGRO	H ₈
8	BLANCO	H ₇
9	GRIS	H ₆
10	MORADO	H ₅
11	AZUL	H ₄
12	VERDE	H ₃
13	AMARILLO	H ₂
14	NARANJA	H ₁
15	ROJO	22 V
16	CAFE	H ₀

Figura V.37 Código de colores utilizado en la interconexión de la calculadora de mesa con los circuitos impresos.

corriente implementado con un transistor bipolar de juntura (dado que la corriente de salida de un circuito CMOS es pequeña, del orden de 2 mA), para poder reconocer visualmente la existencia de algún tono de "información" o del estado de "enlace" del abonado que llama, verificando de esta manera el funcionamiento del "IMPRESOR DE LLAMADAS TELEFONICAS".

CONCLUSIONES

En la solución de un problema de ingeniería específico, es necesario tener en cuenta un procedimiento general aplicable para poder obtener los mejores resultados. Este procedimiento consta de las siguientes etapas:

1. Formulación. Se trata de definir el problema de una manera amplia, sin considerar las particularidades inherentes a él.
2. Análisis. El problema se define con todo detalle, incluyendo las restricciones y consideraciones aplicables al respecto.
3. Investigación. En esta etapa, se intenta plantear el mayor número de soluciones alternativas, tratando de no limitar la inventiva en el diseño y sin hacer consideraciones sobre la factibilidad de dichas soluciones.
4. Decisión. Con base en la comparación y evaluación de todas las alternativas y según los criterios preestablecidos, se selecciona la solución óptima.
5. Especificación. Es la última fase del procedimiento de diseño. Habiéndose elegido la solución óptima, se debe describir con detalle su funcionamiento (auxiliándose de un informe técnico), la metodología de su contrucción (mediante los correspondientes pla

nos, dibujos y diagramas de ingeniería) y, algunas veces, presentar su modelo físico de tal suerte de que las personas ajenas al proyecto sean capaces de comprenderlo y de analizarlo.

Todas estas etapas del procedimiento de diseño fueron desarrolladas en el proyecto del "IMPRESOR DE LLAMADAS TELEFONICAS". Se puede considerar que en la INTRODUCCION de este trabajo se llevó a cabo la FORMULACION del problema; en los tres primeros capítulos se realizó el ANALISIS y la INVESTIGACION, parte de la cual, junto con la fase de DECISION se desarrolló a lo largo del cuarto y los primeros incisos del quinto, y la ESPECIFICACION se presentó en la última parte del quinto capítulo.

El proceso de optimación se aplicó en cada una de las etapas de diseño, puesto que si se desarrollan la Formulación y el Análisis de la mejor manera posible, se facilitan considerablemente la Investigación y la posterior toma de Decisiones, y mientras más clara y completa sea la Especificación del producto, éste será más fácil de fabricar y de lograr una mayor aceptación tanto por las autoridades de la empresa a cargo del proyecto como por los usuarios.

Como se puede apreciar, en este trabajo se le dió especial importancia al proceso de optimación, pues no sería arriesgado decir, que este proceso es uno de los aspectos más importantes en el desarrollo de la actividad de cualquier profesionista y en particular, del ingeniero.

Por otra parte, debido a que en nuestros días la tecnología avanza a pasos agigantados con el transcurso del tiempo, las soluciones aquí planteadas se irán haciendo cada vez más obsoletas.

La utilización de elementos discretos como transistores y resistencias, está siendo relegada por los circuitos integrados, cada vez más versátiles y funcionales. Se están desarrollando nuevos materiales para semiconductores como el Arseniato de Galio (GaAs), los cuales están generando nuevas tecnologías como los transistores de electrones de alta movilidad o HEMT por sus siglas en inglés (High Electron Mobility Transistor), que se utilizan en la construcción de sistemas de procesamiento de datos ultrarrápidos. La microintegración de los dispositivos ha hecho posible la creación de las computadoras personales cada día más avanzadas que, por el abatimiento de costos, tiende a aumentar su demanda y aceptación por parte de los usuarios. La sofisticación de la programación digital que ha hecho posible la aplicación de la Computación en campos jamás imaginados.

Por todo ésto, para que un proyecto de ingeniería pueda tener el éxito deseado, es necesario plantearlo con una anticipación tal que, cuando el producto salga al mercado tenga la suficiente novedad, funcionalidad y economía para hacerlo atractivo a los compradores potenciales.

Otra de las implicaciones que tiene el avance tecnológico es sobre la cantidad de conocimientos y la capacidad que puede tener una sola persona para resolver un problema específico.

Actualmente es necesario crear grupos de trabajo conformados por personas con conocimientos diversificados, entre quienes debe existir la comunicación y la confianza, de tal manera que sean capaces de compartir las ideas, los conocimientos y saber delegar las responsabilidades, para poder lograr un óptimo aprovechamiento de los esfuerzos en el logro de los objetivos trazados.

De esta manera, será posible desarrollar productos de mejor calidad y menor costo que satisfagan las necesidades de la sociedad, contribuyendo de esta forma al progreso y la superación del país en que vivimos.

RECONOCIMIENTO

Se agradece muy sinceramente a las siguientes personas, quienes directa o indirectamente intervinieron en la elaboración de este trabajo:

Al Ing. Rodolfo Peters Lammel, por la consideración y la amabilidad que siempre tuvo en la dirección y la revisión final.

A la Srita. pedagoga Martha T. Shiguematsu Yamasaki, por la inapreciable colaboración en la revisión editorial y la mecanografía.

Al Profr. Alfonso Gutiérrez Ariza, por sus valiosos consejos sobre la composición gráfica y la realización de algunas ilustraciones.

A los Sres. Alfredo Arenas González y Alfonso Sánchez Guzmán, por la cuidadosa labor en el dibujo de una buena parte de las figuras.

A mi padre el Ing. Toraaki Minami Minami, por los atinados consejos en el ensamblado del dispositivo electrónico.

Al Ing. Joaquín Gutiérrez Guerra, al Profr. Arturo V. Aguilar Cuevas y al Ing. Yukio Itami Katagiri, por la preocupación y el apoyo en la conclusión de la obra.

A la Sra. María Luisa Yamasaki Ozaki, por las facilidades proporcionadas para la experimentación y verificación de los circuitos electrónicos.

A todos ellos, MUCHAS GRACIAS.

BIBLIOGRAFIA

1. Angelo Jr. J., "Electronics: BJTs, FETs, and Microcircuitos", International Student Edition, Mc Graw-Hill Kogakusha, Ltd., Tokyo, Japón, 1969.
2. Blume G., "Introducción a la Telefonía", L M Ericsson, Código EHB 40-1-00h.
3. Di Stefano III J., Stubberud A. y Williams I., "Feedback and Control Systems", Schaum's Outline Series, Mc Graw-Hill Book Company, Nueva York, EUA, 1967.
4. Gray P. y Campbell S., "Electronic Principles. Physics, Models and Circuits", John Wiley & Sons, Inc., Nueva York, EUA, 1969.
5. Krick E., "La Ingeniería y al Diseño en la Ingeniería", Segunda Edición, Editorial Limusa, S.A., México, D.F., México, 1973.
6. Millman J. y Halkias C., "Integrated Electronics", International Student Edition, Mc Graw-Hill Kogakusha, Ltd., Tokyo, Japón, 1972.

7. National Semiconductor, "CMOS Data Book", National Semiconductor Corporation, Santa Clara, EUA, 1978.
8. National Semiconductor, "Linear Data Book", National Semiconductor Corporation, Santa Clara, EUA, 1976.
9. RCA Solid State, "Understanding CMOS", RCA Corporation, Nueva Jersey, EUA, 1974.
10. Texas Instruments, "Semiconductores de Silicio. Tipos preferidos en Latinoamérica", Catálogo Edición 76/77.
11. Texas Instruments Incorporated, "Designing with TTL Integrated Circuits", International Student Edition, Mc Graw-Hill Kogakusha, Ltd., Tokyo, Japón, 1971.
12. Texas Instruments Incorporated, "Transistor Circuit Design", International Student Edition, Mc Graw-Hill Kogakusha, Ltd., Tokyo, Japón, 1963.