



40
2 Egen

UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

**DISEÑO Y CONSTRUCCION DE UN EGUALIZADOR GRAFICO
CONTROLADO DIGITALMENTE**

T E S I S

**QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA**

P R E S E N T A N:

Boris Escalante Ramírez

Pedro Méndez Colina

Carlos Octavio Vazquez Pérez

DIRECTOR DEL SEMINARIO:

ING. ANTONIO SALVA CALLEJA



MEXICO, D. F.

1 9 8 5



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

INTRODUCCION

CAPITULO 1 SELECCION DE LA CONFIGURACION DE LA BANDA BASICA DEL ECUALIZADOR.

1

1.1 CONFIGURACION CON UN SOLO AMPLIFICADOR OPERACIONAL.

1

1.2 CONFIGURACION CON UN GIRADOR.

9

1.3 ECUALIZADOR PARAMETRICO.

16

1.4 ECUALIZADOR CON ALIMENTACION HACIA ADELANTE Y RETROALIMENTACION.

20

CAPITULO 2 DISEÑO DE UN CANAL DEL ECUALIZADOR.

32

2.1 IMPLEMENTACION DE LA BANDA BASICA.

32

2.2 CONJUNCION DE 10 BANDAS BASICAS DE UN CANAL.

37

2.3 SELECCION DE LOS PARAMETROS DE LA RED ACTIVA PARA LA BANDA BASICA.

41

2.3.1 RELACION DE GANANCIAS.

42

2.3.2 RELACION DE ANCHO DE BANDA.

43

2.4 IMPLEMENTACION FINAL DE UN CANAL DEL ECUALIZADOR.

53

CAPITULO 3	AJUSTE DE LA CURVA GANANCIA-ATENUACION DE LA BANDA BASICA.	60
CAPITULO 4	CONTROL DIGITAL DEL ECUALIZADOR.	65
4.1	BLOQUE DE CONVERTIDORES DIGITALES-ANALOGICOS.	67
4.2	BLOQUE TECLADO.	74
4.3	BLOQUE SELECCION DE BANDA.	92
4.4	BLOQUE CONTROL DE GANANCIA.	95
4.5	BLOQUE DE MEMORIA.	105
4.6	BLOQUE DE REGISTRO TEMPORAL.	108
4.7	BLOQUE SECUENCIADOR.	109
4.8	BLOQUE DE INDICADOR GRAFICO.	119
4.9	BLOQUE DE SELECCION ENTRADAS Y SALIDAS.	123
4.10	CIRCUITOS AUXILIARES.	123
CAPITULO 5	NUEVAS TECNOLOGIAS EN EL DISEÑO DE ECUALIZADORES CONTROLADOS DIGITALMENTE.	126
	CONCLUSIONES.	128
APENDICE A	DIAGRAMAS ESQUEMATICOS.	130
APENDICE B	LISTA DE PARTES.	141
APENDICE C	CIRCUITOS IMPRESOS.	145

APENDICE D ESPECIFICACIONES DEL LMC835

156

BIBLIOGRAFIA.

172

INTRODUCCION.

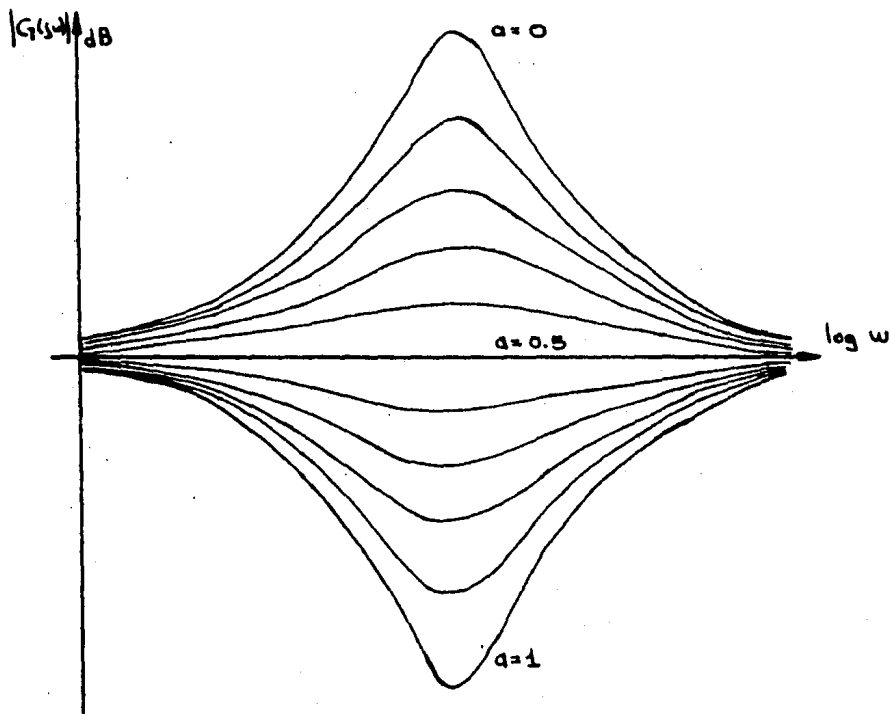
Un ecualizador gráfico recibe este nombre porque la posición de los controles deslizantes reproduce gráficamente la modificación de la respuesta en frecuencia. En nuestro caso, los controles deslizantes para cada banda no existen, pero a cambio, un desplegado indica gráficamente la ganancia de cada banda.

Un punto importante en el diseño de un ecualizador, es el número de bandas en las que se va a dividir la gama de frecuencias audibles. El ecualizador ideal tendría un número infinito de bandas para poder tener un control total de cada frecuencia audible. Obviamente, se debe escoger un número limitado de bandas, tal que no sea tan pequeño que no permita tener un control amplio sobre la gama de frecuencias audibles, ni tan grande que no exista una diferencia notable entre la variación de ganancia de dos frecuencias adyacentes.

Tomando como modelo los ecualizadores comerciales, se decidió diseñar un ecualizador de 10 bandas por canal separadas una octava entre sí, empezando con 31.25 Hz para la frecuencia central de la primera banda y terminando con 16 KHz para la última banda.

Al dividir la gama de frecuencias audibles en 10 intervalos de frecuencia, el caso ideal sería que la variación de ganancia de todas las frecuencias comprendidas en cada intervalo fuera la misma, lo cual implica que los filtros usados para la configuración de las bandas tuvieran una respuesta plana en las frecuencias pasantes y una pendiente infinita para la pérdida de ganancia en la frecuencia de

corte, lo cual es imposible. Con filtros de muy alto orden se puede aproximar este comportamiento, pero el beneficio que esto pueda producir no justifica el costo que implica la construcción de filtros de orden alto. Por lo anterior, las bandas de los ecualizadores tienen un comportamiento en magnitud, para distintos valores de ganancia, como se muestra en la siguiente figura.



MAGNITUD DE LA BANDA BASICA DE UN ECUALIZADOR PARA
DISTINTAS CONDICIONES DE GANANCIA

Como se verá más adelante estas curvas corresponden a la función de transferencia $F(S)$, la cual se presenta a continuación:

$$F(S) = \frac{1 + (1-a) H(S)}{1 + a H(S)}$$

en donde $H(S)$ representa la función de transferencia de un filtro pasobanda, y $0 < a < 1$.

Un ecualizador controlado digitalmente presenta varias ventajas con respecto a los ecualizadores convencionales. Una de ellas es que al tener la información de la ganancia o atenuación de cada banda en una palabra digital, es posible memorizar varias ecualizaciones que satisfagan ciertas necesidades, para posteriormente recuperarlas cuando se presente la ocasión. Otra de las ventajas de este tipo de control es la posibilidad de obtener gran resolución y buena precisión en la variación de la ganancia de cada banda. Es decir, si se tiene la posibilidad de controlar toda la gama de ganancias de cada una de éstas, de +15 dB a -15 dB, mediante 8 bits, es factible tener cambios de ganancia tan pequeños como 0.12 dB.

Es importante hacer notar que el hecho de tener una o más palabras digitales que representan tanto la ganancia como la selección de bandas, hace factible llevar a cabo el control del ecualizador mediante un microprocesador, una microcomputadora o un circuito secuencial y combinacional, según lo requiera el grado deseado de versatilidad del ecualizador, y la finalidad del mismo.

El hecho de haber escogido el tema de ecualizadores controlados

digitalmente como tesis, implica que los conocimientos necesarios para desarrollarlo, abarcan las áreas de electrónica analógica y digital que posibilitan plasmar de una manera tangible y práctica dichos conocimientos.

1 SELECCION DE LA CONFIGURACION DE LA BANDA BASICA DEL ECUALIZADOR.

La selección de una adecuada configuración para las bandas del ecualizador implica, entre otras cosas, tomar en cuenta la manera de llevar a cabo el control digital. Así, algunas de las posibles configuraciones para tal efecto se muestran a continuación:

1.1 CONFIGURACION CON UN SOLO AMPLIFICADOR OPERACIONAL.

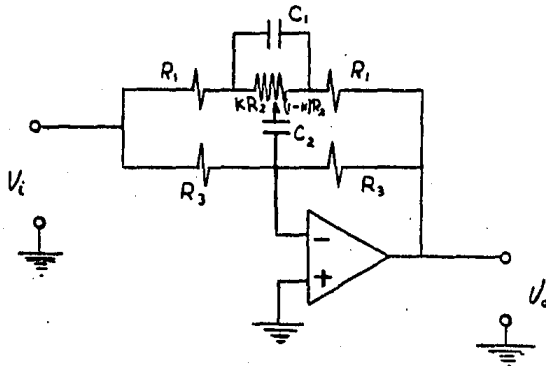


FIGURA 1.1 BANDA DE ECUALIZADOR CON UN SOLO AMP. OP.

La función de transferencia de este circuito se puede obtener de la siguiente forma:

Se observa que el potenciómetro R_2 junto con el capacitor C_2 forman un circuito delta, factible de transformarse en estrella, lo cual lleva a una simplificación de la red como lo muestra la figura 1.2

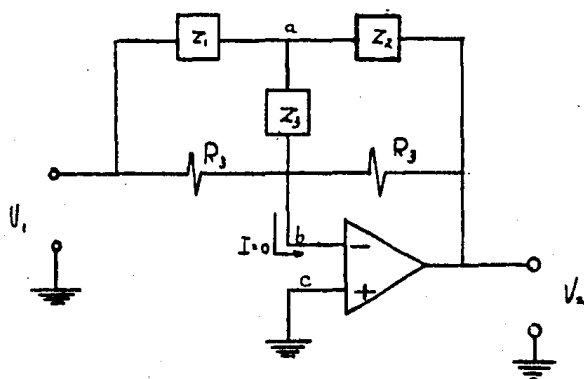


FIGURA 1.2 EQUIVALENTE DEL CIRCUITO DE LA FIGURA 1.1

en donde:

$$Z_1 = R_1 + \frac{K R_2}{R_2 C_1 S + 1} \quad (1.1)$$

$$Z_2 = R_1 + \frac{(1 - K) R_2}{R_2 C_1 S + 1} \quad (1.2)$$

$$Z_3 = \frac{1}{S C_2} + \frac{K (1 - K) R_2 C_1 S}{R_2 C_1 S + 1} \quad (1.3)$$

Considerando las propiedades del amplificador operacional ideal, tales como ganancia infinita, impedancia de entrada infinita, impedancia de salida nula, podemos concluir que:

$$V_i/R_3 + V_a/Z_3 + V_o/R_3 = 0 \quad (1.4)$$

En la ecuación anterior se encuentra implícito el concepto de tierra virtual en la entrada no inversora del amplificador operacional

debida a la ganancia infinita del amplificador, lo que provoca que con realimentación negativa se cumpla que:

$$V_b = V_c = 0 \quad (1.5)$$

Como consecuencia de esta última aseveración, el circuito se puede plantear nuevamente como se muestra en la figura 1.3, en donde se ve claramente que se trata de dos bipuertos en paralelo, tales como los representados en la figura 1.4

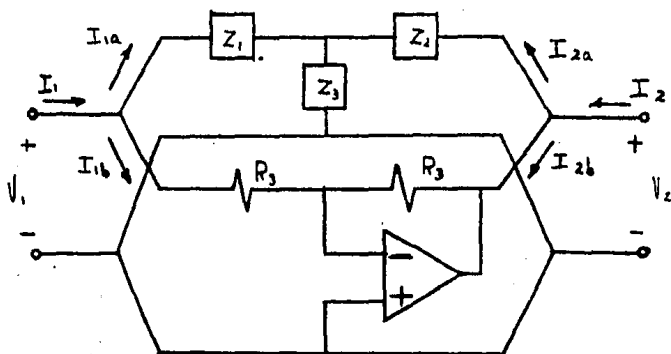


FIGURA 1.3 ESQUEMATIZACION DEL CIRCUITO DE LA FIGURA 1.1 COMO DOS BIPUERTOS EN PARALELO.

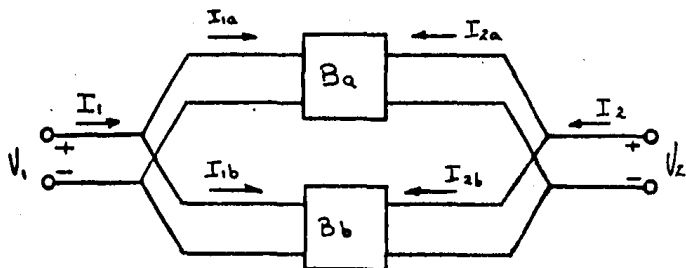


FIGURA 1.4 BIPUERTOS EN PARALELO.

Del circuito de la figura 1.3 se observa que:

$$I_1(S) = I_{1a}(S) + I_{1b}(S) \quad (1.6)$$

$$I_2(S) = I_{2a}(S) + I_{2b}(S) \quad (1.7)$$

Si optamos por modelar los bipuertos con parámetros Y , se tiene que para el bipuerto A:

$$\begin{bmatrix} I_{1a}(S) \\ I_{2a}(S) \end{bmatrix} = \begin{bmatrix} Y_{11}(S) & Y_{12}(S) \\ Y_{21}(S) & Y_{22}(S) \end{bmatrix} \begin{bmatrix} V_1(S) \\ V_2(S) \end{bmatrix} \quad (1.8)$$

y para el bipuerto B

$$I_{1b}(S) = V_1(S)/R_B \quad (1.9)$$

$$I_{2b}(S) = V_2(S)/R_B \quad (1.10)$$

Sustituyendo las ecuaciones (1.8), (1.9) y (1.10) en las ecuaciones

(1.6) y (1.7), tenemos:

$$I_1(S) = Y_{11}(S) V_1(S) + Y_{12}(S) V_2(S) + (1/R_3) V_1(S) \quad (1.11)$$

$$I_2(S) = Y_{21}(S) V_1(S) + Y_{22}(S) V_2(S) + (1/R_3) V_2(S) \quad (1.12)$$

De la ecuación (1.4) se tiene que:

$$I_1(S) + I_2(S) = 0 \quad (1.13)$$

De donde se obtiene:

$$\frac{V_2(S)}{V_1(S)} = \frac{Y_{11}(S) + Y_{21}(S) + 1/R_3}{Y_{12}(S) + Y_{22}(S) + 1/R_3} \quad (1.14)$$

Ecuación que en función de Z_1 , Z_2 , Z_3 queda como:

$$\frac{V_2(S)}{V_1(S)} = \frac{\frac{Z_2}{Z_1 Z_2 + Z_1 Z_3 + Z_2 Z_3} + \frac{1}{R_3}}{\frac{Z_1}{Z_1 Z_2 + Z_1 Z_3 + Z_2 Z_3} + \frac{1}{R_3}} \quad (1.15)$$

Sustituyendo los valores de Z_1 , Z_2 y Z_3 , queda:

$$\frac{V_2(s)}{V_1(s)} = \frac{C_1 R_1 R_2 [R_1 + R_2 + 2R_2 K(1-K)] S^2 + [2C_1 R_1 R_2 + C_2 R_1 (R_1 + R_2) + C_1 R_2 (1-K)(R_1 K + R_2)] S + 2R_1 \cdot R_2}{C_1 C_2 R_1 R_2 [R_1 + R_2 + 2R_2 K(1-K)] S^2 + [2C_1 R_1 R_2 + C_2 R_1 (R_1 + R_2) + C_1 R_2 K(R_2(1-K) + R_1)] S + 2R_1 \cdot R_2} \quad (1.16)$$

Se puede corroborar el efecto ecualizador de la función de transferencia de la ecuación (1.16) tomando uno de los extremos del potenciómetro.

Por ejemplo, si $K = 0$ (máxima ganancia)

$$\frac{V_2(s)}{V_1(s)} = \frac{C_1 C_2 R_1 R_2 (R_1 + R_2) s^2 + [2C_1 R_1 R_2 + C_2 R_1 (R_1 + R_2 + R_3) + C_1 R_2 R_3] s + 2R_1 + R_2}{C_1 C_2 R_1 R_2 (R_1 + R_2) s^2 + [2C_1 R_1 R_2 + C_2 R_1 (R_1 + R_2 + R_3)] s + 2R_1 + R_2} \quad (1.17)$$

Si igualamos esta ecuación con la correspondiente a la curva de máxima ganancia del ecualizador:

$$\frac{V_2(s)}{V_1(s)} = 1 + H(s) \quad (1.18)$$

donde
$$H(s) = \frac{H_0 \propto H_0 s}{s^2 + \alpha H_0 s + H_0^2} \quad (1.19)$$

por tanto
$$\frac{V_2(s)}{V_1(s)} = \frac{s^2 + (1 + H_0) \propto H_0 s + H_0^2}{s^2 + \alpha H_0 s + H_0^2} \quad (1.20)$$

de donde
$$H_0 = \left[\frac{2 R_1 + R_2}{C_1 C_2 R_1 R_2 (R_1 + R_3)} \right]^{1/2} \quad (1.21)$$

$$\alpha = \frac{2 C_1 R_1 R_2 + C_2 R_1 (R_1 + R_2 + R_3)}{[C_1 C_2 R_1 R_2 (R_1 + R_3) (2R_1 + R_2)]^{1/2}} \quad (1.22)$$

$$H_0 = \frac{C_2 R_2 R_3}{2 C_1 R_1 R_2 + C_2 R_1 (R_1 + R_2 + R_3)} \quad (1.23)$$

Por el contrario, si $K = 1$ (máxima atenuación):

$$\frac{V_2(s)}{V_1(s)} = \frac{C_1 C_2 R_1 R_2 (R_1 + R_2) s^2 + [2C_1 R_1 R_2 + C_2 R_1 (R_1 + R_2 + R_3)] s + 2R_1 + R_2}{C_1 C_2 R_1 R_2 (R_1 + R_2) s^2 + [2C_1 R_1 R_2 + C_2 R_1 (R_1 + R_2 + R_3) + C_1 R_2 R_3] s + 2R_1 + R_2} \quad (1.24)$$

En este caso:

$$\frac{V_2(S)}{V_1(S)} = \frac{1}{1 + H(S)} \quad (1.25)$$

De donde necesariamente, se obtienen iguales resultados para α , H_0 y H_0 .

Por último, si $K = 0,5$

$$\frac{V_2(S)}{V_1(S)} = 1 \quad (1.26)$$

Que corresponde a la respuesta plana de la banda del ecualizador.

Esta configuración tiene la ventaja de contar solamente con un amplificador operacional, lo cual la hace más barata y compacta. Sin embargo, tiene la desventaja de que la ganancia del ecualizador se controla mediante un potenciómetro no aterrizado. De lo anterior se desprende que la forma de realizar el control digital se puede llevar a cabo mediante interruptores analógicos, como lo muestra la siguiente figura:

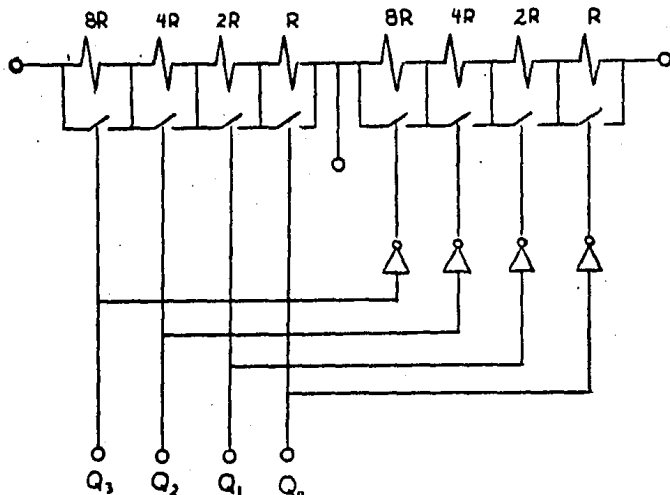


FIGURA 1.5 CONTROL DIGITAL DE UN POTENCIÓMETRO
SIMULADO CON DOS REDES $R - 2R$.

En la figura se aprecia la simulación de un potenciómetro mediante dos redes $R-2R$. Asimismo se muestra la forma de llevar a cabo el control digital del potenciómetro empleando 4 bits únicamente, lo cual solo produce 16 valores distintos de resistencia. Si se desea controlar el ecualizador con 8 bits, para así obtener hasta 256 valores diferentes o "posiciones" del potenciómetro, se tendrían que utilizar 16 interruptores analógicos y 8 inversores para el control de los interruptores. Otra desventaja que presenta esta configuración es que la relación $R-2R$ de la red de resistencias provoca que para un valor específico del potenciómetro que se pretende simular, el valor de R no sea un valor comercial de resistencia. La multiplicación sucesiva del valor de R por 2 daría lugar a otros valores de resistencias no comerciales. Una manera de salvar estas dificultades es emplear resistencias comerciales con el

valor más próximo al deseado. Sin embargo, el error que produciría lo anterior, afectaría tanto a la exactitud de las ganancias o atenuaciones de la banda como a los parámetros propios de la configuración (frecuencia central, factor de calidad, etc.). Otra manera de evitar el uso de valores de resistencias no comerciales, es obtener el valor exacto mediante arreglos de resistencias comerciales. En consecuencia, la voluminosidad de cada banda aumenta considerablemente provocando que las dimensiones del aparato sean mayores.

Por las razones mencionadas, el circuito de la figura 1.1 no representa una buena solución a la búsqueda de una adecuada configuración.

1.2 CONFIGURACION CON UN GIRADOR.

Una segunda opción es utilizar la configuración empleada en algunos ecualizadores comerciales.

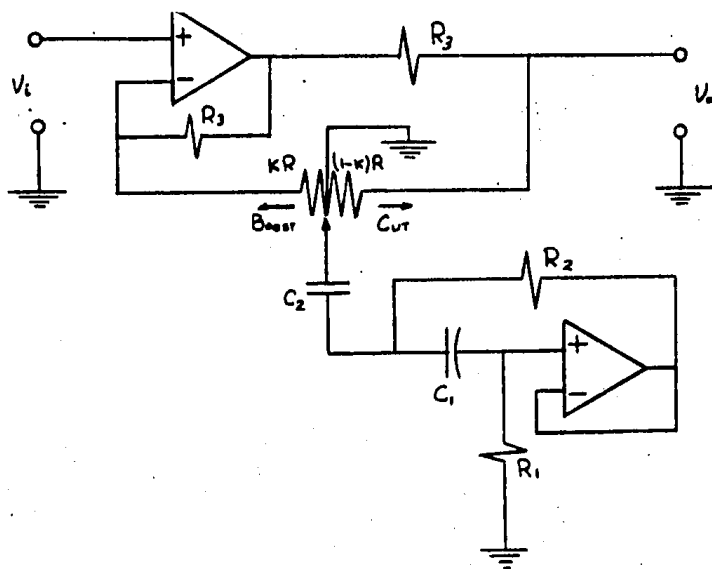


FIGURA 1.6 BANDA DE ECUALIZADOR CON UN GIRADOR

En esta configuración, existe un circuito llamado girador que simula una impedancia compuesta de una resistencia y una inductancia en serie. A continuación se presenta el circuito que realiza esta función, así como las relaciones que rigen el comportamiento del girador.

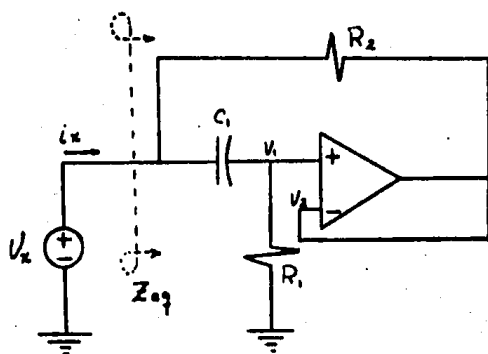


FIGURA 1.7 GIRADOR

$$V_x = V_o \quad (1.27)$$

$$I_x = (V_x - V_o) / R_2 + (V_x - V_o) S C_1 \quad (1.28)$$

$$I_x = (V_x - V_o) (1 / R_2 + S C_1) \quad (1.29)$$

$$I_x = (V_x - V_o) (R_2 C_1 S + 1) / R_2 \quad (1.30)$$

$$V_o = V_x R_2 / (R_2 + 1 / S C_1) \quad (1.31)$$

$$V_o = V_x R_2 C_1 S / (R_2 C_1 S + 1) \quad (1.32)$$

$$I_x = V_x (1 + R_2 C_1 S) / (R_2 R_2 C_1 S + R_2) \quad (1.33)$$

$$V_x / I_x = (R_2 R_2 C_1 S + R_2) / (R_2 C_1 S + 1) \quad (1.34)$$

$$Z_{eq} = (R_2 + j\omega R_1 R_2 C_1) / (1 + j\omega R_2 C_1) \quad (1.35)$$

si $\omega R_2 C_1 \ll 1$ Entonces :

$$Z_{eq} = R_2 + j\omega R_1 R_2 C_1 = R_2 + j\omega L \quad (1.36)$$

$$L = R_1 R_2 C_1 \quad (1.37)$$

De lo anterior se desprende que si se cumple la restriccion $\omega R_2 C_1 \ll 1$, entonces el circuito de la figura 1.6 se puede representar como sigue:

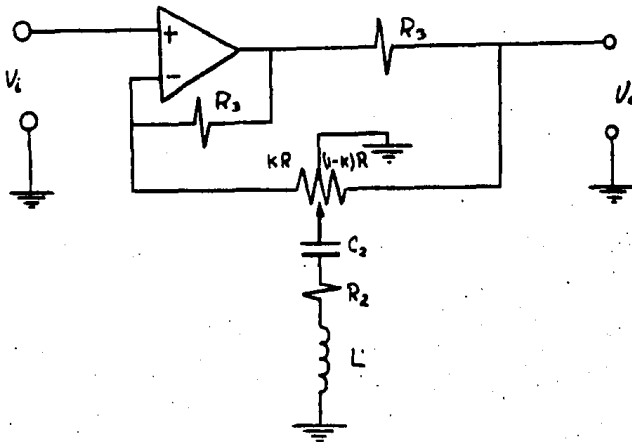


FIGURA 1.8 CIRCUITO EQUIVALENTE DE LA FIGURA 1.6.

Para apreciar claramente la operación del ecualizador, se plantea el circuito para $k = 0$, $k = 0.5$ y $k = 1$.

a) Para $K = 0$

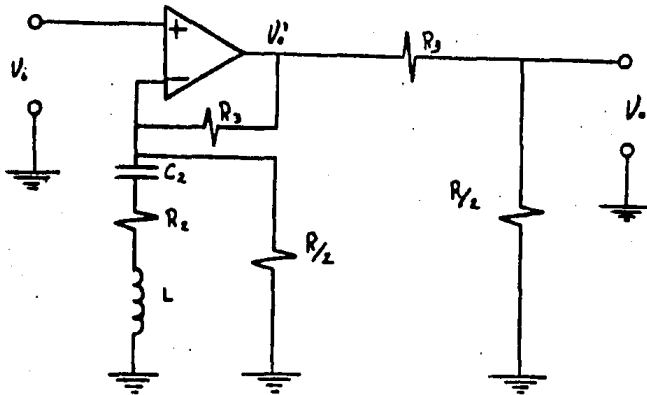


FIGURA 1.9 EQUIVALENTE DEL CIRCUITO DE LA FIGURA 1.6 PARA $K = 0$.

$$\frac{V_o'}{V_i} = 1 + \frac{R_3}{\frac{R(LC S^2 + R_2 C S + 1)}{2(LC S^2 + R_2 C S + 1) + RC S}} \quad (1.38)$$

$$\frac{V_o}{V_o'} = \frac{R}{2R_3 + R} \quad (1.39)$$

$$\frac{V_o}{V_i} = 1 + \frac{\frac{R}{2R_3 + R} R_3 C S}{LC S^2 + R_2 C S + 1} = 1 + H(S) \quad (1.40)$$

b) Para $K = 0.5$

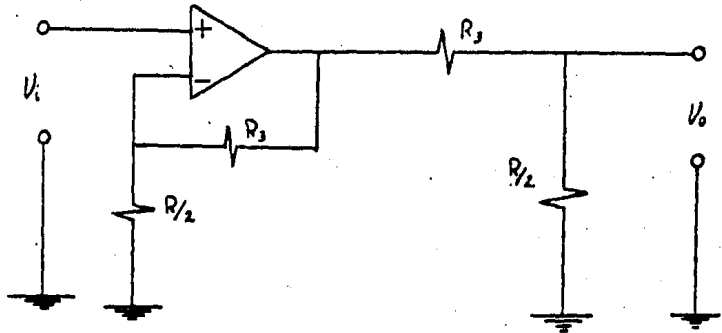


FIGURA 1.10 EQUIVALENTE DEL CIRCUITO DE LA FIGURA 1.6
PARA $K = 0.5$

$$\frac{V_o}{V_i} = \left(1 + \frac{2 R_3}{R}\right) \left(\frac{R}{2 R_3 + R}\right) \quad (1.41)$$

$$V_o / V_i = 1 \quad (1.42)$$

c) Para $K = 1$

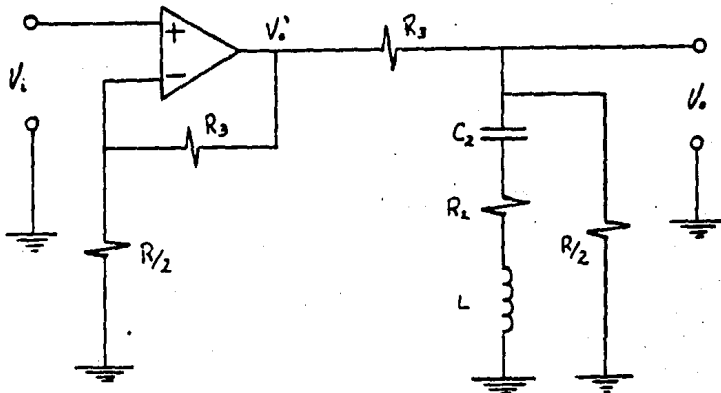


FIGURA 1.11 EQUIVALENTE DEL CIRCUITO DE LA FIGURA 1.6
PARA $K = 1$

$$V_o' / V_i = (R + 2 R_2) / R \quad (1.43)$$

$$\frac{V_o}{V_o'} = \frac{\frac{R (L C S^2 + R_2 C S + 1)}{2 (L C S^2 + R_2 C S + 1) + R C S}}{\frac{R (L C S^2 + R_2 C S + 1)}{2 (L C S^2 + R_2 C S + 1) + R C S} + R_2} \quad (1.44)$$

$$\frac{V_o}{V_i} = \frac{1}{\frac{R}{1 + \frac{R_2 C S}{R + 2 R_2}}} = \frac{1}{1 + H(S)} \quad (1.45)$$

Para los casos a y c la función $H(S)$ representa un filtro pasobanda, de donde se desprende que las ecuaciones (1.40), (1.42) y (1.45) corresponden al comportamiento característico de un ecualizador.

$$H(S) = \frac{\frac{R}{R + 2 R_2} R_2 C S}{L C S^2 + R_2 C S + 1} = \frac{H_0 (1 / Q) \omega_0 S}{S^2 + (1 / Q) \omega_0 S + \omega_0^2} \quad (1.46)$$

Esta segunda opción, al igual que la anterior no cubre satisfactoriamente la necesidad de encontrar el circuito ideoneo para la banda del ecualizador controlado digitalmente.

La razón es que el control de la banda lo realiza un potenciómetro, que aunque se puede separar en dos potenciómetros aterrizados, no implica una simplificación al control, pues el cursor se mueve entre ambos potenciómetros.

Por lo tanto, esta configuración, al igual que la primera opción, no cubre satisfactoriamente la necesidad de simplificar el control digital, ya que requiere de dos potenciómetros aterrizados, o bien, de uno solo con ambos extremos sin aterrizar, con una derivación a tierra en el centro del mismo; encontrándose otra vez el problema presente de un control digital a base de switches analógicos que implican un aumento considerable en el volumen, costo y complejidad de construcción del aparato.

1.3 ECUALIZADOR PARAMETRICO.

Existe un tercer tipo de configuración que lleva a cabo la acción de ecualización, y consiste en utilizar un filtro pasobanda de los denominados filtros en variables de estado.

La configuración es la siguiente:

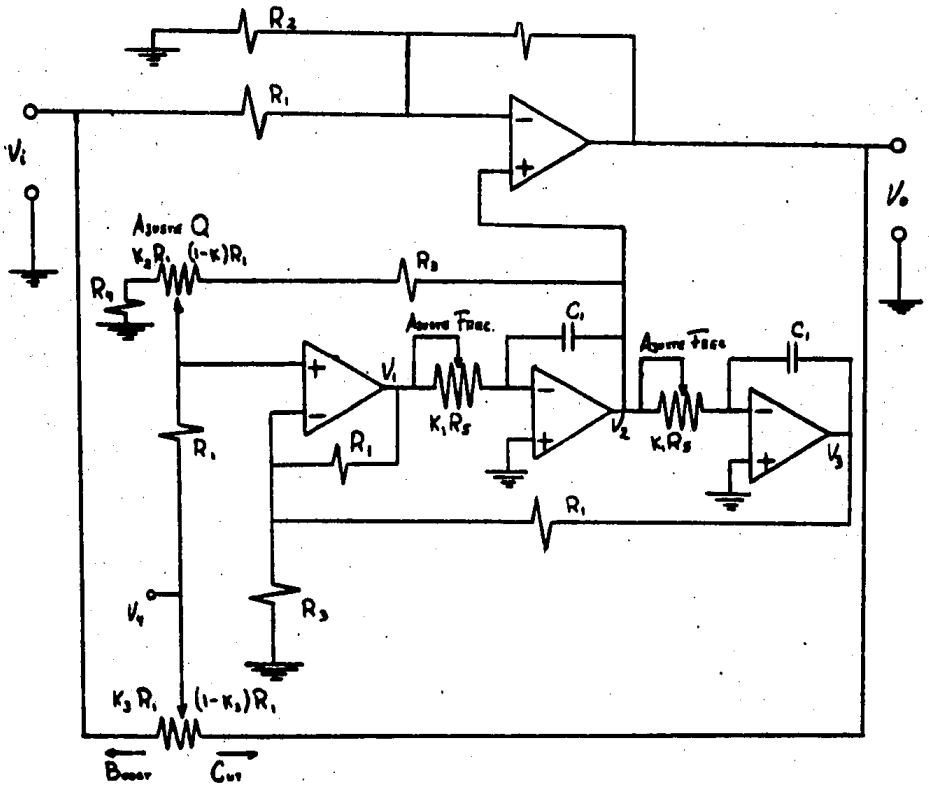


FIGURA 1.12 BANDA DE ECUALIZADOR PARAMETRICO.

En el circuito anterior, se distingue un bloque correspondiente al filtro pasabanda cuya entrada es V_4 y la salida es V_2 .

Un reograma correspondiente a dicho bloque es el siguiente

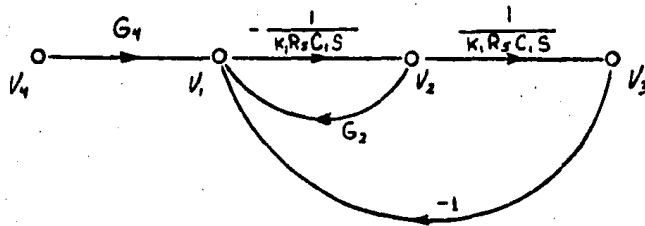


FIGURA 1.13 REOGRAMA CORRESPONDIENTE AL FILTRO PASOBANDA EN VARIABLES DE ESTADO

Si $R_2 = R_1 / 2$ y $R_4 = R_1 / 15$, entonces:

$$G_4 = \frac{6 + 86 K_2 - 60 K_2^2}{25 + 21.5 K_2 - 15 K_2^2} \quad (1.47)$$

$$G_2 = \frac{4 + 60 K_2}{25 + 21.5 K_2 - 15 K_2^2} \quad (1.48)$$

La función de transferencia V_2 / V_4 es la siguiente:

$$\frac{V_2}{V_4} = \frac{\frac{-G_4}{K_1 R_2 C_1} S}{S^2 + \frac{G_2}{K_1 R_2 C_1} S + \frac{1}{K_1^2 R_2^2 C_1^2}} \quad (1.49)$$

que confirma que el bloque es un filtro pasobanda con los siguientes parámetros:

$$H_0 = 1 / K_1 R_2 C_1 ; \quad Q = 1 / G_2 ; \quad H_0 = G_4 / G_2$$

Para completar el análisis de la configuración, se plantea el resto del circuito de la siguiente manera:

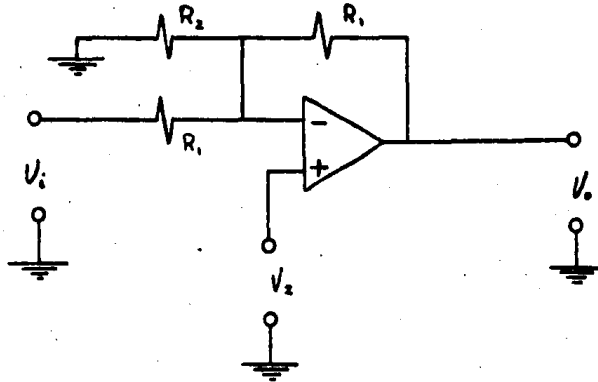


FIGURA 1.14 UNIDAD OPERACIONAL DEL ECUALIZADOR PARAMETRICO

Donde $V_2 = -H(S) V_o$

Del circuito original observamos que $V_2 = (1 - K_2) V_i + K_2 V_o$
entonces si $R_2 = R_1 / 5$

$$V_o = -7 H(S) [(1 - K_2) V_i + K_2 V_o] - V_i \quad (1.50)$$

$$\frac{V_o}{V_i} = - \frac{(1 - K_2) (7 H(S)) + 1}{K_2 (7 H(S)) + 1} \quad (1.51)$$

La función de transferencia anterior representa claramente la acción de ecualización del circuito.

Esta configuración presenta características muy especiales. La

primera de ellas consiste en que el hecho de estar formada por un filtro en variables de estado, permite variar en forma independiente la frecuencia central del ecualizador, así como el ancho de banda del mismo, sin que el ajuste de uno de los parámetros anteriores modifique al otro.

Esto hace que el ecualizador pueda abarcar, con solo dos bandas, el control de toda la gama de frecuencias audibles, pero no al mismo tiempo. Es decir, que en un instante dado solo se controla un cierto rango de frecuencias, restringidas por el ancho de banda seleccionado en ese momento. Si se deseara modificar la ganancia de otro rango distinto de frecuencias, hay que descuidar el rango anterior, a menos que se implementen varias bandas repartidas a lo largo de toda la gama de frecuencias audibles. Sin embargo, esto anula la ventaja del ecualizador de poder seleccionar la frecuencia central de cada banda, además de representar una gran inversión, ya que cada banda necesitaría por lo menos tres amplificadores operacionales y se caería nuevamente en el mismo problema de controlar digitalmente un potenciómetro no aterrizado.

El análisis de la configuración anterior no resulta infructuoso como parece, pues da lugar a una idea que puede resolver nuestro problema, y es materia de la próxima sección.

1.4 ECUALIZADOR CON ALIMENTACION HACIA ADELANTE Y RETROALIMENTACION.

Ya desde el año de 1938 Bode desarrolló la idea de un ecualizador variable, la cual sería de gran utilidad para ecualizar cables de

transmisión con diferentes longitudes.

La teoría de un ecualizador del tipo de Bode se expresa matemáticamente con la relación:

$$L(W) = p F(W) \quad -1 < p < 1 \quad (1.52)$$

en donde $L(W)$ es la curva de ecualización variable en dB, $F(W)$ es la máxima ecualización de la curva en dB y p es el parámetro de control que determina la cantidad y signo de la ecualización.

Bode demostró que la ecuación anterior se puede aproximar a la relación:

$$V(s) = \frac{1 + x F(S)}{x + F(S)} \quad 0 < x < \text{infinito} \quad (1.53)$$

$$\text{En donde } x = (1 + p) / (1 - p) \quad -1 < p < 1 \quad (1.54)$$

$V(S)$ es ahora la curva de ecualización variable, x es el parámetro de control que está en función de p y $F(S)$ es la función de transferencia de la curva de máxima ganancia del ecualizador.

Dos posibles implementaciones de la ecuación (1.53) podrían ser las que se muestran a continuación:

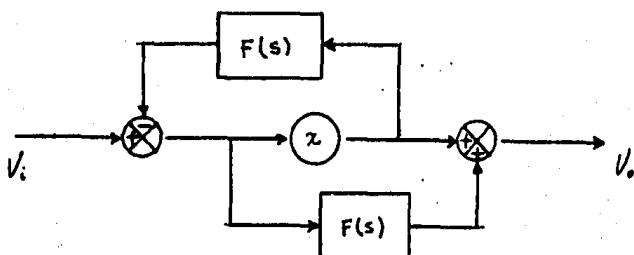


FIGURA 1.15a

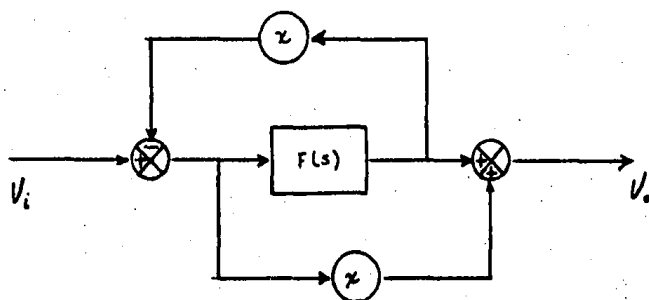


FIGURA 1.15b

FIGURA 1.15 ECUALIZADOR VARIABLE USANDO REALIMENTACION Y TRAYECTORIA DIRECTA

La desventaja de la configuración de la figura 1.15a es que se necesitan dos redes que realicen la función $F(S)$, lo cual significa un aumento en el costo del aparato.

La figura 1.15b salva la desventaja anterior, sin embargo, el hecho de

necesitar dos elementos de control x que trabajen paralelamente sin una terminal común, representa una desventaja.

Además de las contariedades de la implementación física de la ecuación (1.53) señalada en los párrafos anteriores, existe una muy seria restricción en la misma. La ecuación (1.54) muestra que el parámetro de control x no presenta una relación lineal con respecto a p , o sea, a la cantidad de equalización de la curva $V(S)$.

Lo anterior hace necesario que el elemento de control x sea implementado mediante algún dispositivo con un gran rango de variación para poder alcanzar valores representativos a $p = 1$, es decir $x = \text{infinito}$.

Una forma de resolver el problema anterior es, linealizar la relación de control.

Si sustituimos la ecuación (1.54) en (1.53):

$$V(S) = \frac{[1 + F(S)] - p [1 - F(S)]}{[1 + F(S)] + p [1 - F(S)]} \quad (1.55)$$

$$V(S) = \frac{1 - p \frac{1 - F(S)}{1 + F(S)}}{1 + p \frac{1 - F(S)}{1 + F(S)}} \quad (1.56)$$

$$V(S) = \frac{1 - p G(S)}{1 + p G(S)} \quad -1 < p < 1 \quad (1.57)$$

$$G(S) = \frac{1 - F(S)}{1 + F(S)} \quad (1.58)$$

La ecuación (1.57) es factible de realizarse físicamente, y cuenta con una relación de control lineal de acuerdo a la ecuación (1.52).

Recordando la fórmula de Mason para reogramas, la ecuación (1.57) se puede implementar bajo el siguiente diagrama:

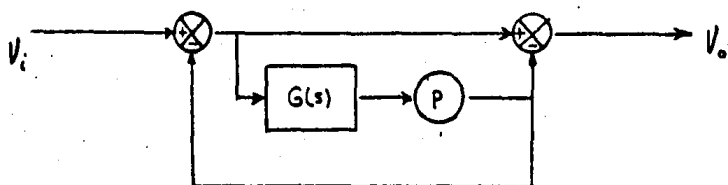


FIGURA 1.16 ECUALIZADOR VARIABLE DERIVADO DE LA ECUACION (1.57)

La anterior representa una configuración sencilla con una sola red y un solo parámetro de control, el cual es lineal con respecto al grado de ecualización. Sin embargo, la complejidad de la ecuación (1.58) limita el uso de la configuración, pues generaría problemas en la realización de ciertas funciones. Esto dificulta el procedimiento de diseño.

Otra desventaja de esta configuración, es la necesidad de un elemento de control que ofrezca valores proporcionales al intervalo $-1 < p < 1$, lo cual implica que dicho elemento no puede estar formado por una simple resistencia variable, sino que debe ser un circuito con ganancia variable entre un valor negativo y otro positivo, o en su defecto, simular una resistencia variable negativa. Ambas soluciones requieren elementos activos para su realización lo cual además de complicar el circuito final, eleva su costo.

A partir de la ecuación (1.55) se puede encontrar otra configuración más sencilla de implementar.

$$\text{Si definimos } p = 2a - 1 \qquad 0 < a < 1 \qquad (1.59)$$

cambiamos el parámetro de control a uno con valores solamente positivos, librando así una de las complicaciones de la configuración anterior.

Sustituyendo (1.59) en (1.55):

$$V(S) = \frac{1 + F(S) - 2a + 1 + 2a F(S) - F(S)}{1 + F(S) + 2a - 1 - 2a F(S) + F(S)} \qquad (1.60)$$

$$V(S) = \frac{1 + a [F(S) - 1]}{1 + (1-a) [F(S) - 1]} \qquad (1.61)$$

$$V(S) = \frac{1 + a H(S)}{1 + (1-a) H(S)} \qquad 0 < a < 1 \qquad (1.62)$$

$$\text{Donde } H(S) = F(S) - 1 \qquad (1.63)$$

Volviendo a la fórmula de Mason, la ecuación (1.62) se puede realizar con los arreglos de las siguientes figuras:

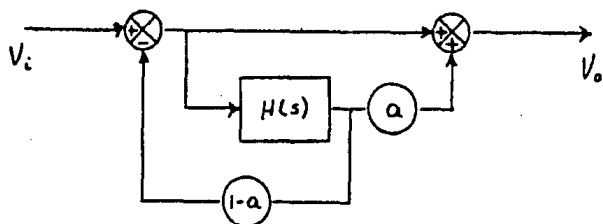


FIGURA 1.17a

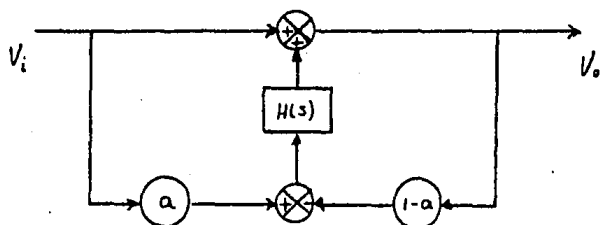


FIGURA 1.17b

FIGURA 1.17 ECUALIZADOR VARIABLE CON RED ACTIVA UNICA

En ambas realizaciones aparecen los bloques $H(s)$, a , $1-a$, sin embargo, la figura 1.17a puede simplificarse agregando una segunda retroalimentación como lo muestra la figura 1.18:

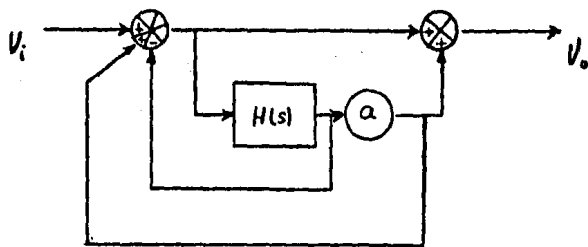


FIGURA 1.18 OPTIMIZACION DEL ECUALIZADOR DE LA FIGURA 1.17

En esta configuración se ha eliminado la existencia del bloque $1-a$, por lo que el único elemento de control es el bloque a donde $0 < a < 1$, lo que significa que puede ser llevado a cabo mediante un solo atenuador.

Por su parte, la figura 1.17b puede también simplificarse si observamos que la entrada al bloque $H(s)$ esta dada por la ecuación (1.64):

$$V_e = a V_i - (1 - a) V_o \quad 0 < a < 1 \quad (1.64)$$

Que es muy parecida a la ecuación de un potenciómetro, como se muestra a continuación:

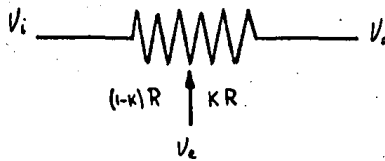


FIGURA 1.19 POTENCIOMETRO

$$V_e = K V_i + (1 - K) V_o \quad 0 < K < 1 \quad (1.65)$$

La única diferencia entre la ecuación (1.64) y la ecuación (1.65), es el signo del segundo término, lo que se puede arreglar fácilmente invirtiendo los signos de la realimentación y una de las trayectorias directas como se plantean en la siguiente figura:

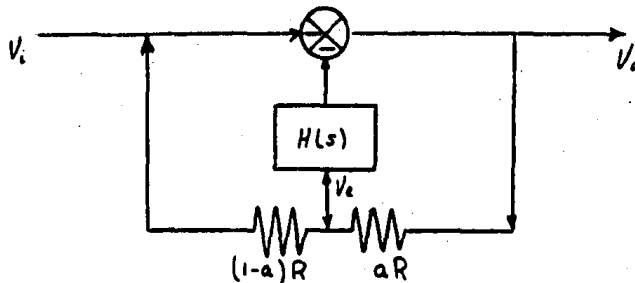


FIGURA 1.20 ALTERNATIVA PARA EL ECUALIZADOR DE LA FIGURA 1.17b

$$V_e = a V_i + (1 - a) V_o \quad (1.66)$$

$$\frac{V_o}{V_i} = \frac{1 + a H(s)}{1 + (1 - a) H(s)} \quad (1.67)$$

Podemos observar claramente, que esta última configuración es la que utiliza el ecualizador paramétrico, en donde el bloque $H(s)$ es

el filtro pasobanda en variables de estado.

Tanto la configuración de la figura 1.18 como la de la figura 1.20, tienen la ventaja de contar con una red $H(S)$ y un solo elemento de control, el cual, además, solo varía entre valores de 0 a 1. Pero también tiene la gran ventaja de que la relación entre la red $H(S)$ y la función $F(S)$ de máxima ecualización es extremadamente sencilla como se aprecia en la ecuación (1.63).

Con la topología de la figura 1.21 se puede realizar cualquier función $F(S)$ a partir de una red $H(S)$.

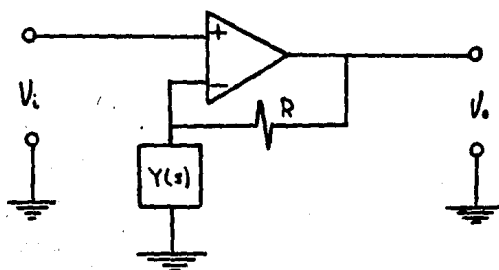


FIGURA 1.21 CONFIGURACION PARA REALIZAR LA FUNCION $H(S)$.

en donde $H(S) = R Y(S)$ (1.68)

$F(S) = H(S) + 1$ (1.69)

Para nuestro caso en especial, la topología de la figura 1.20 no resuelve nuestro problema, pues volvemos a la dificultad original del

potenciómetro no aterrizado, sin embargo, la configuración de la figura 1.18 presenta una alternativa que resuelve dicho problema, ya que solo es necesario un atenuador, o bien un potenciómetro aterrizado para el control del ecualizador. Esta característica es tan importante, que es practicamente la que decidirá que la configuración de la figura 1.18 es la óptima para resolver nuestro problema. Lo anterior se deriva del hecho de que el atenuador se puede llevar a cabo a bajo costo y sin gran voluminosidad mediante un convertidor digital-analógico como se verá más adelante.

Como ya se mencionó antes, los ecualizadores para audio tienen una característica "bump"; de donde la curva de máxima ecualización $F(S)$ es de la forma que muestra la figura 1.22.

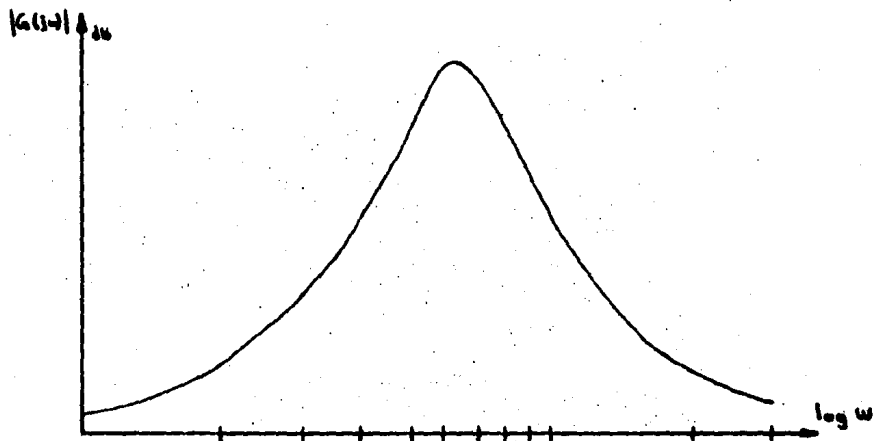


FIGURA 1.22 CURVA DE LA MAGNITUD DEL ECUALIZADOR PARA MAXIMA GANANCIA.

La curva mostrada en la figura 1.22 corresponde a las ecuaciones (1.70) y (1.71).

$$F(S) = \frac{S^2 + \beta H_0 S + H_0^2}{S^2 + \alpha H_0 S + H_0^2} \quad \beta > \alpha \quad (1.70)$$

De donde si $\beta = \alpha (H_0 + 1)$

$$F(S) = \frac{H_0 \alpha H_0 S}{S^2 + \alpha H_0 S + H_0^2} + 1 \quad (1.71)$$

Al comparar estas ecuaciones con la ecuación (1.63) se concluye que $H(S)$ corresponde a la función de transferencia de un filtro pasobanda, misma que es necesario implementar para construir la configuración de la figura 1.18.

2. DISEÑO DE UN CANAL DEL ECUALIZADOR.

2.1 IMPLEMENTACION DE LA BANDA BASICA DEL ECUALIZADOR.

El siguiente paso es diseñar la implementación física del diagrama de bloques de la figura 1.18.

Para llevar a cabo la implementación de los sumadores utilizaremos configuraciones inversoras y no inversoras de amplificadores operacionales.

Los filtros pasobanda $H(S)$ los se realizaron mediante la configuración de segundo orden de realimentación múltiple, mostrada en la figura 2.1 cuya función de transferencia se presenta a continuación.

$$\frac{E_o(S)}{E_i(S)} = \frac{\frac{1}{R_1 C_4} S}{S^2 + \frac{1}{R_2} + \left(\frac{1}{C_3} + \frac{1}{C_4} \right) S + \frac{1}{R_2 C_3 C_4} \left(\frac{1}{R_1} + \frac{1}{R_2} \right)} \quad (2.1)$$

De la ecuación anterior se obtienen los parámetros H_0 , W_0 y Q como sigue:

$$H_0 = \frac{1}{\frac{R_1}{R_2} \left(1 + \frac{C_4}{C_3}\right)} \quad (2.2)$$

$$W_0 = \left[\frac{1}{R_2 C_3 C_4} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \right]^{(1/2)} \quad (2.3)$$

$$\frac{1}{Q} = \left[\frac{1}{R_2 (1/R_1 + 1/R_2)} \right]^{(1/2)} \left[\left(\frac{C_3}{C_4} \right)^{(1/2)} + \left(\frac{C_4}{C_3} \right)^{(1/2)} \right] \quad (2.4)$$

El procedimiento de diseño se muestra a continuación:

Dados H_0 , Q y W_0

Se elige $C_3 = C_4 = C$, y se calculan:

$$R_1 = \frac{Q}{H_0 W_0 C} \quad (2.5)$$

$$R_2 = \frac{Q}{(2 Q^2 - H_0) W_0 C} \quad (2.6)$$

$$R_3 = \frac{2 Q}{W_0 C} \quad (2.7)$$

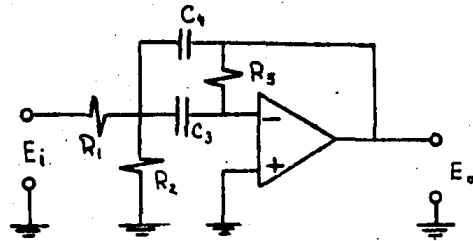


FIGURA 2.1 FILTRO PASOBANDA. CONFIGURACION REALIMENTACION MULTIPLE.

Es importante mencionar que para los requerimientos de un ecualizador, un filtro pasobanda de segundo orden es suficiente, debido a que la relación costo-beneficio no justifica el uso de filtros de orden superior que multiplican el costo de los circuitos, pues el oído humano no aprecia una gran diferencia entre una pérdida abrupta de ganancia que podría proporcionar un filtro de cuarto o sexto orden, y una pérdida más tenue que proporciona un filtro de segundo orden.

La razón de usar la configuración realimentación múltiple es simplemente la sencillez de la misma.

Por otra parte, la manera de llevar a cabo el atenuador "a", es de vital importancia, pues como hemos visto a lo largo de este trabajo, es el factor que más ha influido en la elección de la banda del ecualizador. La importancia de este factor radica en que es el atenuador "a" el acoplamiento entre la sección analógica del ecualizador y el control digital del mismo. Es decir, que lo que se

necesita es un atenuador digital, y la manera más sencilla y barata, es usar un convertidor digital-analógico que en realidad no es más que un dispositivo que atenúa un voltaje de referencia en base a una palabra digital. Si en lugar de usar un voltaje constante, usamos el voltaje de salida de los filtros como voltaje de referencia, lo que tendremos será un atenuador digital con 256 distintos valores de atenuación que van desde 0 hasta 255/256.

Es fácil darse cuenta que la alternativa del convertidor digital analógico ya se vislumbraba desde el principio del presente trabajo, cuando se propuso un potenciómetro controlado digitalmente, como el que se muestra en la figura 1.5.

El DAC utilizado es el MC 1408, escogido por su bajo costo, su buena precisión y porque una de sus principales aplicaciones es precisamente la de atenuador digital.

El único obstáculo para usar este DAC como atenuador digital, es que no es bipolar, sino que trabaja únicamente con valores unipolares en el voltaje de referencia, sin embargo, la manera de solucionar el problema, es montar la señal en una componente de voltaje de directa y posteriormente eliminarla mediante un capacitor de tantalio. Hasta aquí no terminan las consideraciones para usar el DAC como atenuador digital, pues este no es un dispositivo cuya salida sea un voltaje, sino que a la salida del DAC existe una corriente proporcional al voltaje atenuado. Para convertir de corriente a voltaje, usaremos un amplificador operacional. La implementación final del atenuador, se muestra en la figura 2.2.

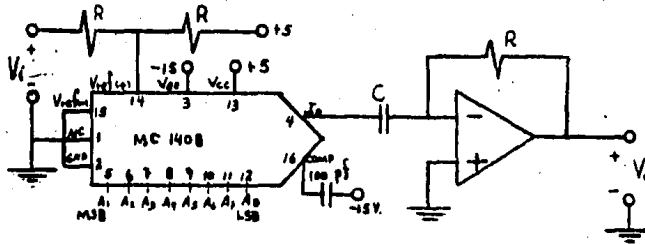


FIGURA 2.2 ATENUADOR DIGITAL.

De la configuración anterior tenemos la relación:

$$V_o = \frac{K}{256} V_i \quad K = 0, 1, \dots, 255 \quad (2.8)$$

Una vez definidos todos los bloques de la configuración de la banda, se pueden reacomodar y tratar de optimizar la configuración para llegar a la que se muestra en la figura 2.3 que es equivalente a la de la figura 1.18.

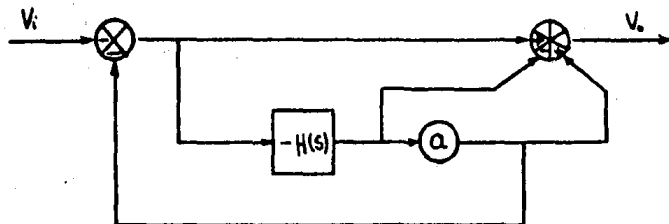


FIGURA 2.3 CONFIGURACION DEFINITIVA PARA CADA BANDA.

Del diagrama anterior tenemos que:

$$\frac{V_o(S)}{V_i(S)} = \frac{-1 - H(S) + a H(S)}{1 + a H(S)} \quad (2.9)$$

$$G(S) = \frac{V_o(S)}{V_i(S)} = - \frac{1 + (1-a) H(S)}{1 + a H(S)} \quad (2.10)$$

Se nota claramente que esta configuración tiene solo dos diferencias con respecto a la de la figura 1.18, que son: para máxima ganancia $a = 0$ y para máxima atenuación $a = 1$, y la otra diferencia es que se trata de una configuración inversa.

2.2 CONJUNCION DE 10 BANDAS BASICAS DE UN CANAL DEL ECUALIZADOR.

Hasta aquí se ha escogido la configuración idónea para formar cada banda del ecualizador, pero falta encontrar la mejor manera de

juntar 10 de estas bandas para formar un canal del ecualizador.

La primera manera que viene a la mente para conjuntar 10 bandas es, conectar las entradas de las 10 bandas en paralelo y sumar sus salidas como lo muestra la figura 2.4.

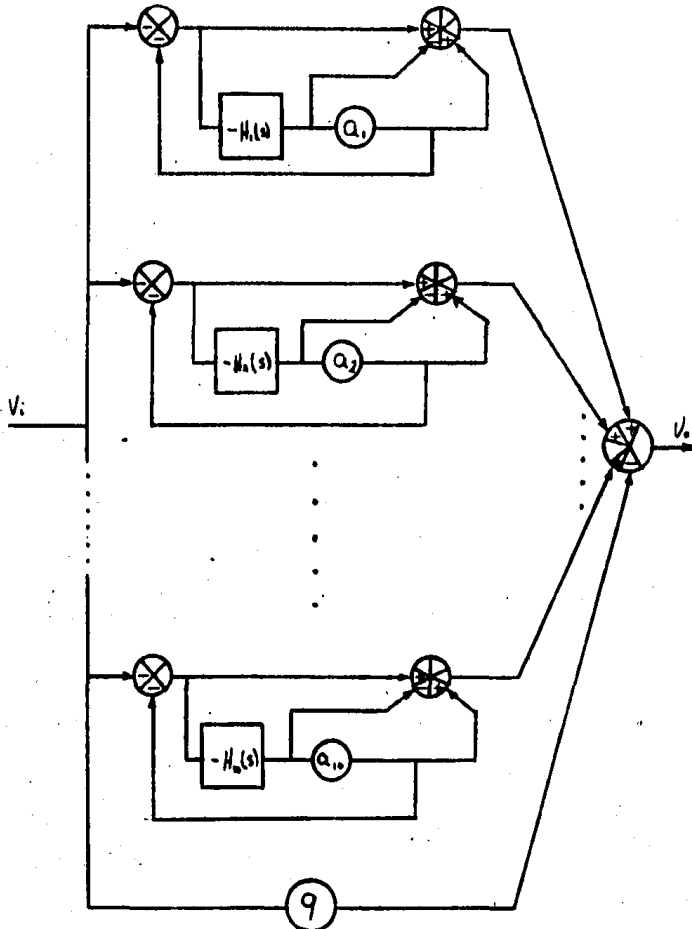


FIGURA 2.4 PRIMERA OPCION PARA LA CONJUNCION DE 10 BANDAS DE UN CANAL DEL ECUALIZADOR.

En la figura se observa que también existe una trayectoria directa desde la entrada hasta la salida, con valor de -9. Esto se debe a que cuando los controles de las 10 bandas apunten 0 decibels, se debe obtener una respuesta plana de ganancia unitaria en la salida del canal, por tanto, como cada banda aporta una función de transferencia unitaria, la ganancia total de las 10 trayectorias sería de 10, lo que hace necesario restar 9 veces la entrada para que la ganancia total sea unitaria.

La función de transferencia total del canal es:

$$\frac{V_o(S)}{V_i(S)} = - \sum_{s=0}^{10} \frac{1 + (1-a_1) H_s(S)}{1 + a_1 H_s(S)} + 9 \quad (2.11)$$

Esta configuración para el canal es lógica, sin embargo considerando que cada banda necesita 4 amplificadores operacionales, sería necesario utilizar 84 de éstos para los dos canales del ecualizador, lo cual resulta en una elevación del costo del aparato. Además, la curva de magnitud de la función de transferencia de la ecuación (2.11), no es simétrica para $a_1=0$ y para $a_1=1$, pues para el primer caso:

$$\frac{V_o(S)}{V_i(S)} = -1 - \sum_{s=1}^{10} H_s(S) \quad (2.12)$$

y para $a_1=1$

$$\frac{V_o(S)}{V_i(S)} = - \sum_{s=1}^{10} \frac{1}{1 + H_s(S)} + 9 \quad (2.13)$$

Por estas razones, es necesario buscar una configuración más compacta para cada canal como la que se propone en la figura 2.5.

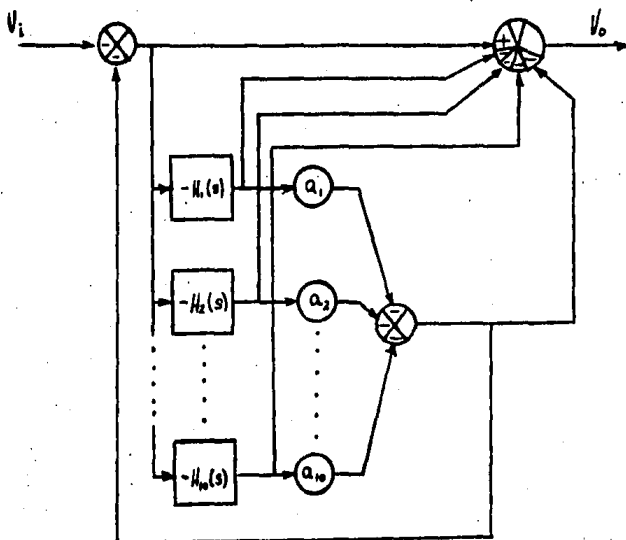


FIGURA 2.5. SEGUNDA OPCION PARA LA CONFIGURACION DE CADA CANAL DEL ECUALIZADOR

La función de transferencia de esta configuración es:

$$\frac{V_o(s)}{V_i(s)} = \frac{1 + \sum H_k(s) - \sum a_k H_k(s)}{1 + \sum a_k H_k(s)} \quad (2.14)$$

$$\frac{V_o(s)}{V_i(s)} = \frac{1 + \sum (1 - a_k) H_k(s)}{1 + \sum a_k H_k(s)} \quad (2.15)$$

Obviamente el comportamiento de las configuraciones de las figuras 2.4 y 2.5 no es igual, pero si muy parecido, sin embargo, la última

tiene ventajas sobre la primera, las cuales consisten en que la configuración de la figura 2.5 si es simétrica para los valores de $a_i=0$ y $a_i=1$ como se muestra a continuación:

para $a_i=0$

$$\frac{V_o(S)}{V_i(S)} = -1 - \sum_{i=1}^{10} H_i(s) \quad (2.16)$$

para $a_i=1$

$$\frac{V_o(S)}{V_i(S)} = - \frac{1}{1 + \sum H_i(S)} \quad (2.17)$$

Pero la razón más importante, es que el número total de amplificadores operacionales que se necesitan para los dos canales del ecualizador, usando esta configuración, es 48, casi la mitad que usando la otra configuración.

Por tanto, se concluye que la mejor configuración para usar en cada canal, es la que se muestra en la figura 2.5.

2.3 SELECCION DE LOS PARAMETROS DE LA RED ACTIVA PARA LA BANDA BASICA.

Una de las características más importantes de un ecualizador gráfico es el número de bandas del mismo.

Al igual que el número de bandas aumenta, el control que se tiene sobre la gama de frecuencias audibles aumenta también. Sin embargo, por limitaciones de costo y espacio es necesario escoger un número

limitado de bandas. Cada banda tendrá control sobre las frecuencias limitadas por el ancho de banda de la misma.

Claramente se observa que el ancho de banda de la función de máxima ganancia $F(S) = H(S) + 1$, está en función del ancho de banda del filtro pasobanda $H(S)$. Lo mismo ocurre con la máxima ganancia de la banda y la ganancia del filtro pasobanda H_0 .

Por lo anterior, se hace necesario obtener dichas relaciones que nos permitan diseñar los parámetros del filtro pasobanda.

2.3.1 RELACION DE GANANCIAS.

Sea la función del ecualizador $G(S)$

$$G(S) = \frac{1 + (1 - a) H(S)}{1 + a H(S)} \quad (2.18)$$

donde $H(S)$ representa un filtro pasobanda,

a representa el parámetro de control $0 \leq a \leq 1$

$$H(S) = \frac{H_0 \alpha \omega_0 S}{S^2 + \alpha \omega_0 S + \omega_0^2} \quad (2.19)$$

donde H_0 es la ganancia del filtro para $\omega = \omega_0$

α es el inverso del factor de calidad ($\alpha = 1 / Q$)

ω_0 es la frecuencia central en la cual ocurre la mayor ganancia del filtro.

Se sabe que para $a = 0$ se tiene la ganancia máxima del ecualizador para $W = W_0$.

Dicha ganancia expresada en decibels se puede expresar como se muestra a continuación:

$$G_{\max} \text{ dB} = 20 \log |G(jW_0)|_{a=0} = 20 \log (1 + H_0) \quad (2.20)$$

Si se desea construir un ecualizador cuya máxima ganancia y máxima atenuación sean +15 dB y -15 dB respectivamente entonces:

$$15 = 20 \log (1 + H_0) \quad (2.21)$$

$$\text{de donde} \quad H_0 = 4.6234 \quad (2.22)$$

Este es el valor de H_0 con el que se deben diseñar los filtros pasobanda de todas las bandas del ecualizador.

2.3.2 RELACION DE ANCHO DE BANDA

Se requiere obtener una relación entre el factor de calidad del filtro pasobanda, y el factor de calidad correspondiente a la banda ecualizante para el caso de máxima ganancia.

Una vez más, para $a = 0$

$$G(S) = 1 + H(S) = \frac{S^2 + (1 + H_0) \alpha W_0 S + W_0^2}{S^2 + \alpha W_0 S + W_0^2} \quad (2.23)$$

$$|G(jW)| = \frac{\{ (W_0^2 - W^2)^2 + [(1 + H_0) \alpha W_0 W]^2 \}^{1/2}}{\{ (W_0^2 - W^2)^2 + (\alpha W_0 W)^2 \}^{1/2}} \quad (2.24)$$

El factor de calidad del ecualizador al que denotaremos como Q_e se puede definir de igual forma que el factor de calidad del filtro Q , es decir:

$$Q_e = W_0 / (W_2 - W_1) \quad (2.25)$$

donde $W_2 - W_1$ representa el ancho de banda, entendiéndose a este como la gama de frecuencias en la cual el modulo $|G(jW)|$ no se atenúa más de 3 dB del máximo, es decir:

$$(1 + H_0) / 2^{1/2} \leq |G(jW)| \leq 1 + H_0 \quad (2.26)$$

por lo tanto, el primer paso es obtener W_1 y W_2 como se muestra a continuación

$$\frac{\{ (W_0^2 - W^2)^2 + [(1 + H_0) \alpha W_0 W]^2 \}^{1/2}}{\{ (W_0^2 - W^2)^2 + (\alpha W_0 W)^2 \}^{1/2}} = \frac{1 + H_0}{2^{1/2}} \quad (2.27)$$

$$\begin{aligned} 2 (W_0^2 - W^2)^2 + 2 (1 + H_0)^2 (\alpha W_0 W)^2 &= \\ = (1 + H_0)^2 (W_0^2 - W^2)^2 + (1 + H_0)^2 (\alpha W_0 W)^2 & \end{aligned} \quad (2.28)$$

$$(1 + H_0)^2 (\alpha W_0 W)^2 = [(1 + H_0)^2 - 2] (W_0^2 - W^2)^2 \quad (2.29)$$

$$(1 + H_0) (\alpha W_0 W) = \pm (W_0^2 - W^2) \{ (1 + H_0)^2 - 2 \}^{1/2} \quad (2.30)$$

Optando primero por desarrollar esta ecuación con el signo positivo de la raíz cuadrada, se tiene:

$$W^2 \{ (1 + H_0)^2 - 2 \}^{1/2} + W(1 + H_0) \propto W_0 - W_0^2 \{ (1 + H_0)^2 - 2 \} = 0 \quad (2.31)$$

$$W = \frac{-(1 + H_0) \propto W_0 \pm W_0 \{ \alpha^2 (1 + H_0)^2 + 4 [(1 + H_0)^2 - 2] \}^{1/2}}{2 \{ (1 + H_0)^2 - 2 \}^{1/2}} \quad (2.32)$$

De esta ecuación se obtienen dos valores correspondientes a la frecuencia en la cual existe una pérdida de 3 dB de la máxima ganancia, uno de ellos positivo y el otro negativo.

Lógicamente, interesa el primero, al que denotaremos W_1 .

$$W_1 = \frac{W_0 - \alpha (1 + H_0) + \{ \alpha^2 (1 + H_0)^2 + 4 [(1 + H_0)^2 - 2] \}^{1/2}}{2 \{ (1 + H_0)^2 - 2 \}^{1/2}} \quad (2.33)$$

De igual forma, desarrollando la ecuación (2.30) con el signo negativo de la raíz cuadrada, se obtiene el otro valor de W positivo que llamaremos W_2 .

$$W_2 = \frac{W_0 - \alpha (1 + H_0) - \{ \alpha^2 (1 + H_0)^2 + 4 [(1 + H_0)^2 - 2] \}^{1/2}}{2 \{ (1 + H_0)^2 - 2 \}^{1/2}} \quad (2.34)$$

El ancho de banda queda definido entonces por $W_2 - W_1$

$$W_2 - W_1 = \frac{\alpha (1 + H_0) W_0}{\{ (1 + H_0)^2 - 2 \}^{1/2}} \quad (2.35)$$

Por consiguiente, el factor de calidad del ecualizador Q_e es función tanto de la ganancia H_0 , como del factor de calidad Q del filtro pasobanda, como lo afirma la siguiente ecuación:

$$\frac{H_0}{H_2 - H_1} = Q_e = \frac{\{(1 + H_0)^2 - 2\}^{1/2}}{1 + H_0} Q \quad (2.36)$$

El punto más importante ahora, es seleccionar un valor adecuado para el factor de calidad del ecualizador.

Para tal efecto es necesario contar con un criterio acerca de la gama de frecuencias que se podrá controlar con una banda, es decir, determinar un límite entre dos bandas adyacentes en el cual se considera que los efectos de cada banda terminan. Consecuentemente, lo anterior puede despertar alguna controversia, ya que el comportamiento real nunca satisface dicha consideración, sin embargo, es indispensable fijar dichos límites para seleccionar el factor de calidad adecuado.

Un criterio adecuado para determinar el valor adecuado del factor de calidad del ecualizador, es considerar la máxima ganancia en todas las bandas de un canal como lo muestra la figura 2.6

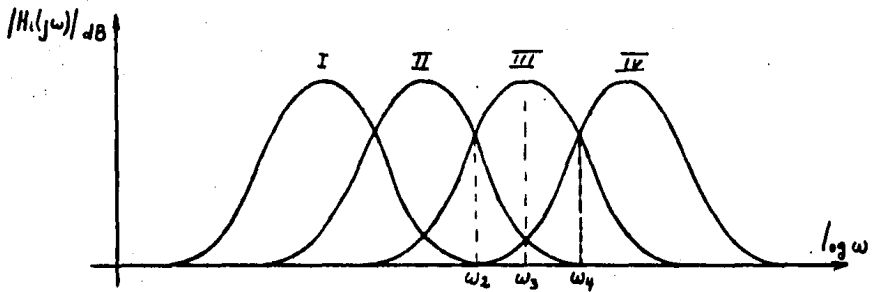


FIGURA 2.6 MAXIMA GANANCIA EN TODAS LAS BANDAS DE UN CANAL DEL ECUALIZADOR.

El comportamiento ideal del canal en estas condiciones, es obtener una curva plana a lo largo de todas las frecuencias audibles.

De la figura 2.6 puede observar que las frecuencias críticas en donde pueden ocurrir máximos y mínimos de la ganancia son las frecuencias centrales de cada banda, y las frecuencias en donde se cruzan dos bandas adyacentes, por ejemplo, ω_2 y ω_4 .

El problema de seleccionar el factor de calidad de cada banda se reduce a igualar las ganancias en tales frecuencias.

De acuerdo a la ecuación (2.15) sabemos que para el caso planteado en la figura 2.6 $a_i=0$, por lo tanto:

$$|G(j\omega)| = \left| 1 + \sum_{i=1}^{10} H_i(j\omega) \right| \quad (2.37)$$

donde:

$$H_i(j\omega) = \frac{j \omega_o \propto \omega_o \omega}{\omega_o^2 - \omega^2 + j \propto \omega_o \omega} \quad (2.38)$$

Se observa que para ω_o

$$G(j\omega_o) = 1 + \sum_{i=1}^{10} H_i(j\omega_o) \quad (2.39)$$

Ahora bien, para simplificar los calculos y considerando que sobre la frecuencia ω_o solo actúa la banda III, se puede reducir la ecuación (2.39) en:

$$G(j\omega_o) = 1 + H_o \quad (2.40)$$

Por otra parte, si se obtiene la ganancia total en una frecuencia intermedia entre dos frecuencias centrales, tal como ω_o , y considerando que sobre esta solo actúan las bandas II y III, que están separadas una octava, podemos obtener una ecuación análoga a la (2.40) como sigue:

$$G(j\omega_o) = 1 + \frac{j \omega_o \propto \omega_o^2 / \sqrt{2}}{\omega_o^2 - \omega_o^2/2 + j \propto \omega_o^2 / \sqrt{2}} + \frac{j \sqrt{2} \omega_o \propto \omega_o^2}{\omega_o^2 - 2\omega_o^2 + j \sqrt{2} \propto \omega_o^2} \quad (2.41)$$

Un punto importante en este paso, es darse cuenta que en la ecuación (2.41) se están sumando números complejos, pero hay que observar

también que los términos segundo y tercero del segundo miembro de dicha ecuación, son números complejos conjugados, es decir, su módulo es el mismo, pero su argumento está conjugado. Por, tanto la suma de ellos es un número real.

De lo anterior se concluye que:

$$G(j\omega) = 1 + \frac{2 \sqrt{2} H_0 \alpha}{[1 + 2 \alpha^2]^{1/2}} \cos \varphi \quad (2.42)$$

en donde φ representa el argumento de los números conjugados, el cual está en función de α , pero sabemos que está entre 0 y 90 grados. Para agilizar los cálculos, dicho ángulo lo supondremos alrededor de 30 grados, por lo que $\cos \varphi = 0.866$.

Si se igualan las ecuaciones (2.41) y (2.42), se tiene:

$$1 + H_0 = 1 + \frac{2 \sqrt{2} H_0 \alpha}{\sqrt{1 + 2 \alpha^2}} (0.866) \quad (2.43)$$

De lo anterior, se obtiene que:

$$4 \alpha^2 = 1 \quad (2.44)$$

$$\alpha = 0.5 \quad (2.45)$$

Para corroborar la certeza de este valor, se indagaron los factores de calidad correspondientes a los filtros pasobanda que conforman las bandas básicas de algunos ecualizadores comerciales, tales como los de las referencias [22] y [25].

La banda básica del ecualizador de la referencia [22] es la que se mostró en la figura 1.6.

De la ecuación 1.40 es posible obtener el factor de calidad del filtro pasobanda de la siguiente forma:

$$H_0 = \frac{1}{(LC)^{(1/2)}} \quad (2.46)$$

$$\alpha H_0 = \frac{R_2}{L} \quad (2.47)$$

Sustituyendo (2.46) en (2.47):

$$Q = \frac{L^{(1/2)}}{R_2 C^{(1/2)}} \quad (2.48)$$

Valuando en esta ecuación los valores de los elementos de una banda, por ejemplo:

$$\begin{aligned} L &= 10 \text{ h} \\ C &= 2.53 \text{ } \mu\text{f.} \\ R_2 &= 1 \text{ K}\Omega. \end{aligned}$$

se desprende que:

$$Q = 2.0 \quad (2.49)$$

La banda básica del ecualizador de la referencia [25] es muy similar a la anterior, pues también cuenta con un girador.

A continuación se muestra el circuito de esta banda con el circuito del girador.

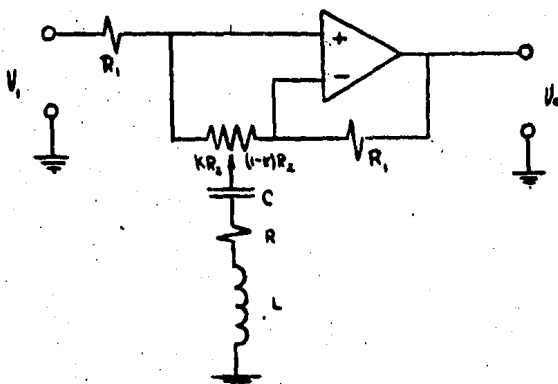


FIGURA 2.7 BANDA BASICA DEL ECUALIZADOR DE LA REFERENCIA [25].

Si se plantea el circuito anterior para $k = 0$, se simplifica mucho la configuración:

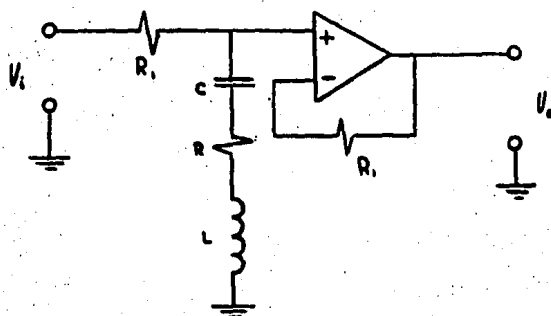


FIGURA 2.8 CIRCUITO DE LA FIGURA ANTERIOR PARA MAXIMA GANANCIA.

Del circuito anterior, se tiene que:

$$\frac{V_o(S)}{V_i(S)} = 1 + \frac{\frac{R_s}{L} S}{S^2 + \frac{R}{L} S + \frac{1}{LC}} \quad (2.50)$$

De esta ecuación se desprende que:

$$Q = \frac{L^{1/2}}{R C} \quad (2.51)$$

Sustituyendo los valores de una banda en la ecuación anterior, como son:

$$\begin{aligned} R &= 1 \text{ K } \Omega. \\ C &= 0.068 \text{ } \mu\text{f.} \\ L &= 0.3549 \text{ h.} \end{aligned}$$

se obtiene:

$$Q = 2.28 \quad (2.52)$$

Los resultados de las ecuaciones (2.49) y (2.52) confirman que el valor obtenido en la ecuación (2.45) bajo nuestro criterio concuerda con los valores del factor de calidad de los ecualizadores comerciales.

2.4 IMPLEMENTACION FINAL DE UN CANAL DEL ECUALIZADOR.

Con los valores de H_0 y Q correspondientes al filtro pasobanda seleccionados en la sección anterior, se procedió a diseñar cada uno de los 10 filtros que conforman el canal del ecualizador.

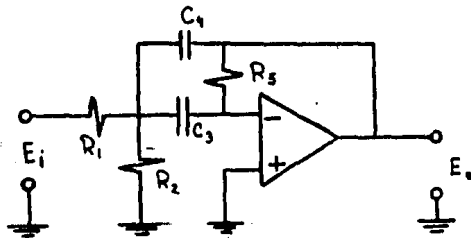


FIGURA 2.9 FILTRO PASOBANDA.

Para este efecto, se usaron las ecuaciones de diseño (2.5), (2.6) y (2.7). Por supuesto, que los valores nominales emanados de estas ecuaciones, para cada elemento de los filtros, no son valores comerciales, pero tratamos de escoger juegos de elementos en los que cada uno de ellos se acerque lo más posible a algún valor comercial, con el fin de que el valor real de los parámetros de la red (H_0 , Q y f_0) no se aleje del ideal.

Este procedimiento, conduce a la tabla 2.1, que muestra los valores seleccionados de los elementos de cada filtro pasobanda y el valor real de cada parámetro que produce el conjunto de los mencionados elementos.

Frecuencia de la banda (Hz)	C (nf)	R1 (K Ω)	R2 (K Ω)	R5 (K Ω)	Ho	fo (Hz)	Q
31.25	220	10	12	100	5	30.97	2.14
62.5	150	6.8	10	68	5	63.95	2.05
125	56	10	12	100	5	121.69	2.14
250	27	10	12	100	5	252.39	2.14
500	11	12	15	120	5	511.54	2.12
1000	6.8	10	12	100	5	1002.15	2.14
2000	3.3	10	12	100	5	2065.03	2.14
4000	1.5	10	15	100	5	4331.64	2.04
8000	0.68	12	18	120	5	7962.60	2.04
16000	0.33	13	18	120	4.62	16024.65	2.00

TABLA 2.1

Cabe mencionar que los elementos usados, tanto capacitores como resistencias, tienen una tolerancia de 5% y 10%.

La implementación final del canal del ecualizador, siguiendo el diagrama de bloques de la figura 2.5, se muestra en la figura 2.10.

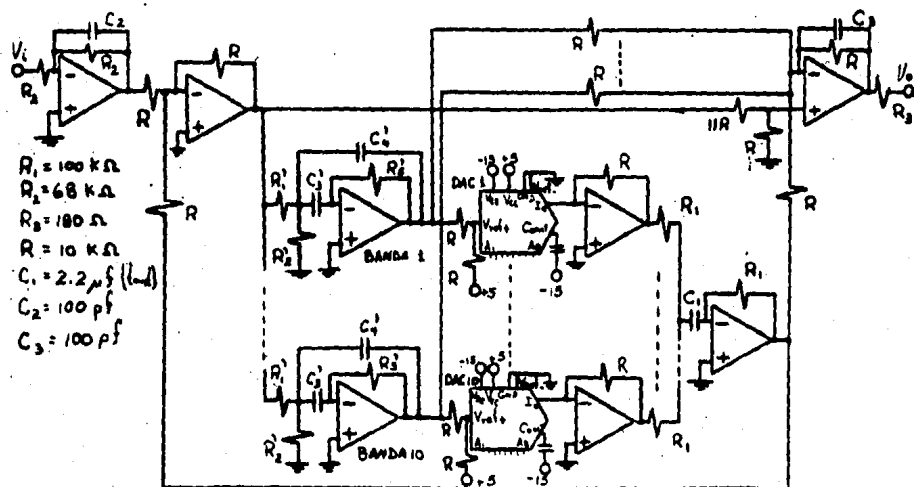


FIGURA 2.10 IMPLEMENTACION FINAL DEL CANAL DEL ECUALIZADOR

En la figura, se aprecian dos capacitores C_2 y C_3 , destinados a producir un corte en frecuencias altas para evitar el ruido de radiofrecuencia. Se desea que los capacitores introduzcan un polo en la respuesta en frecuencia del canal en 20 KHz.

Existe un método sencillo para el cálculo de los capacitores, el cual consiste en considerar que la ecuación que determina los polos de un circuito, está dada por:

$$1 + b_1 S + b_2 S^2 + \dots + b_n S^n = 0 \quad (2.53)$$

La cual se puede factorizar:

$$\left(1 + \frac{S}{P_1}\right) \left(1 + \frac{S}{P_2}\right) \dots \left(1 + \frac{S}{P_n}\right) = 0 \quad (2.54)$$

Desarrollando la ecuación (2.54) e igualandola con la ecuación (2.53) se obtiene que:

$$b_i = \sum_{j=1}^n \frac{1}{P_j} \quad (2.55)$$

En un circuito eléctrico con resistencias y capacitores sabemos que el coeficiente b_1 del término lineal de la ecuación (2.53) siempre está dado por la ecuación (2.56).

$$b_1 = \sum_{i=1}^n R_{i0} C_i \quad (2.56)$$

donde R_{i0} es la resistencia que "ve" el capacitor C_i cuando los demás capacitores están en circuito abierto, es decir $C_j = 0$, $j \neq i$.

Igualando (2.55) y (2.56)

$$\sum_{i=1}^n \frac{1}{P_i} = \sum_{i=1}^n R_{i0} C_i \quad (2.57)$$

Si consideramos que existe un polo dominante $P_d = P_1$ que produce el corte en alta frecuencia, se debe cumplir que

$$P_d = P_1 \ll P_2, P_3, \dots, P_n \quad (2.58)$$

Por tanto, una buena aproximación a la ecuación (2.57) es:

$$\sum_{i=1}^n R_{i0} C_i = \frac{1}{P_d} \quad (2.59)$$

Para nuestro caso, en esta sumatoria solo se consideran C_2 y C_3 , pues los capacitores de los filtros forman parte de una red que produce ganancia unitaria en alta frecuencia, y el capacitor C_1 sirve para producir un corte en baja frecuencia.

Entonces, del circuito se tiene que:

$$R_{20} = R = 10000 \Omega$$

$$R_{30} = 68000 \Omega$$

Si $P_d = 2 (3.1416) (20000)$ y fijamos $C_2 = C_3$, resulta:

$$C_2 = C_3 = 102 \text{ pf}$$

Este es el valor de los capacitores que produce un corte en 20 KHz.

Nótese que tampoco hemos considerado la respuesta en frecuencia de los amplificadores operacionales usados en la implementación del canal. La razón es que se optó por trabajar con el circuito integrado TL074 que contiene 4 amplificadores operacionales. Estos dispositivos ya están internamente compensados para producir un corte en altas frecuencias. Para nuestro caso, en el que se usaron niveles bajos de voltaje en la salida, así como valores pequeños de ganancia, el polo del amplificador operacional se encuentra alrededor de 100 KHz, que obviamente está sobrado, pues las frecuencias audibles más altas son del orden de 20 KHz.

Otras razones para haber usado el circuito integrado TL074 para todas las implementaciones con amplificadores operacionales son: tiene entrada JFET, es de bajo ruido, tiene baja distorsión armónica, está internamente compensado y está protegido contra corto circuitos en las salidas.

El capacitor C_s , como ya se mencionó, sirve para eliminar la componente de voltaje de directa proveniente de los convertidores digital-analógico. Sin embargo, se debe tener cuidado al escoger el valor del capacitor, pues un valor no apropiado podría producir un polo dentro de la zona de frecuencias audibles.

El procedimiento de selección de C_s , es muy parecido al de C_2 y C_{s1} .

Si la ecuación:

$$S^n + b_1 S^{(n-1)} + \dots + b_{n-1} S + b_n = 0 \quad (2.60)$$

contiene a los polos del sistema, entonces se puede factorizar como sigue:

$$(S + P_1) (S + P_2) \dots (S + P_{n-1}) (S + P_n) = 0 \quad (2.61)$$

Igualando las dos ecuaciones anteriores, se puede demostrar que:

$$b_1 = \sum_{i=1}^n P_i \quad (2.62)$$

En los circuitos eléctricos con capacitores y resistencias, el término b_1 está dado por:

$$b_1 = \sum_{i=1}^n \frac{1}{C_i R_i \text{ infinito}} \quad (2.63)$$

donde $R_i \text{ infinito}$ es la resistencia "vista" por cada capacitor C_i cuando los demás capacitores están en corto circuito ($C_j = \text{infinito}$), $j \neq i$.

Ahora bien, se considera la existencia de un polo dominante $P_d = P_1$ para bajas frecuencias, entonces se debe cumplir que:

$$P_d = P_1 \gg P_2, P_3, \dots, P_n \quad (2.64)$$

De aquí, una buena aproximación a la ecuación (2.63) es:

$$P_d = \sum_{i=1}^n \frac{1}{C_i R_i \text{ infinito}} \quad (2.65)$$

Volviendo a nuestro caso, en esta ecuación solo intervienen C_1 , pues C_2 y C_3 son para producir cortes en alta frecuencia y los capacitores de los filtros tampoco representan una impedancia considerable para frecuencias menores a 30 Hz.

Por tanto, se desea un corte en 7 Hz, de la figura 2.10 observamos que $R_1 \text{ instant} = R_1/10 = 10000 \Omega$.

De donde:

$$C_1 = 2.2 \mu\text{f}$$

Finalmente, en la entrada del canal, se agregó una configuración inversora cuya finalidad es eliminar el signo negativo de la función de transferencia de la ecuación (2.15), y proporcionar una impedancia de entrada de 68000 ohms, la cual no es tan baja para producir una caída de voltaje al conectar algún aparato a la entrada del ecualizador, ni tan alta para facilitar la aparición de ruido a la entrada del canal.

3 AJUSTE DE LA CURVA GANANCIA-ATENUACION DE LA BANDA BASICA.

En el capítulo 1, sección 4, se habló de que en la ecuación (1.52) se representa una función $L(W)$ en dB que es la curva de ecualización variable en función de un parámetro p y una curva de máxima ecualización $F(W)$ en dB. En dicha función, $L(W)$ es lineal con respecto al parámetro p . Sin embargo, al aproximar la ecuación (1.52) a la (1.53) se perdió la proporcionalidad de aquellos parámetros.

Si se recuerda que la banda básica elegida para configurar nuestro ecualizador se derivó de la ecuación (1.53), es fácil percatarse que subsiste la no linealidad entre aquellos parámetros. Lo anterior se hace presente si de la ecuación (2.10) se obtiene el módulo de $G(jW)$ en decibeles para $W = W_0$.

$$|G(jW)|_{dB} = 20 \log \frac{1 + (1 - a) W_0}{1 + a W_0} \quad (3.1)$$

Al graficar $|G(jW_0)|_{dB}$ contra a , se llega a la gráfica de la figura 3.1

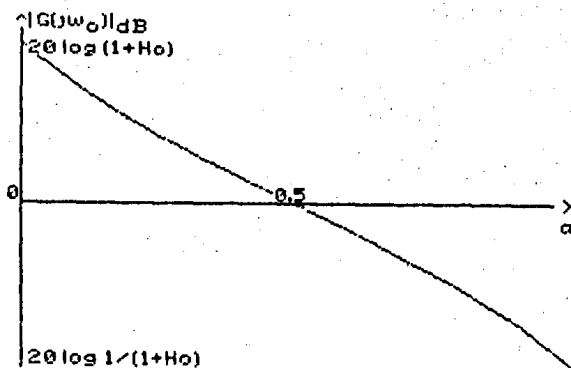


FIGURA 3.1 CURVA GANANCIA-ATENUACION DE LA BANDA BASICA.

En esta figura claramente se manifiesta la no linealidad entre la ganancia en dB de la banda y el parámetro de control "a" ó atenuador "a".

Ahora bien, se decidió dividir la gama de ganancias de +15 dB a -15 dB de cada banda en 32 pasos, es decir que, la mínima variación posible en la ganancia es de 1 dB. Se pensó así, porque consideramos que para el oído humano no es perceptible un cambio menor a 1 dB. Lo anterior sugiere que el control digital debe hacer uso de un contador de 5 bits que maneje a los atenuadores digitales.

Sin embargo, surge un problema grave al dividir en 32 valores el parámetro "a" de atenuación que va de 0 a 1, y verificar la ganancia real que dichos valores proporcionan a la banda básica.

Este problema se manifiesta claramente en la tabla 3.1

Palabra digital	Valor del parámetro "a"	Ganancia deseada dB	Ganancia real dB
0 0 0 0 0	0.0000	15	15.00
0 0 0 0 1	0.0313	14	13.60
0 0 0 1 0	0.0625	13	12.34
0 0 0 1 1	0.0938	12	11.18
0 0 1 0 0	0.1250	11	10.10
0 0 1 0 1	0.1563	10	9.08
0 0 1 1 0	0.1875	9	8.12
0 0 1 1 1	0.2188	8	7.21
0 1 0 0 0	0.2500	7	6.33
0 1 0 0 1	0.2813	6	5.48
0 1 0 1 0	0.3125	5	4.66
0 1 0 1 1	0.3438	4	3.85
0 1 1 0 0	0.3750	3	3.06
0 1 1 0 1	0.4063	2	2.29
0 1 1 1 0	0.4375	1	1.52
0 1 1 1 1	0.4688	0	0.76
1 0 0 0 0	0.5000	-0	-0.00
1 0 0 0 1	0.5313	-1	-0.76
1 0 0 1 0	0.5625	-2	-1.52
1 0 0 1 1	0.5938	-3	-2.29
1 0 1 0 0	0.6250	-4	-3.06
1 0 1 0 1	0.6563	-5	-3.85
1 0 1 1 0	0.6875	-6	-4.66
1 0 1 1 1	0.7188	-7	-5.48
1 1 0 0 0	0.7500	-8	-6.33
1 1 0 0 1	0.7813	-9	-7.21
1 1 0 1 0	0.8125	-10	-8.12
1 1 0 1 1	0.8438	-11	-9.08
1 1 1 0 0	0.8750	-12	-10.10
1 1 1 0 1	0.9063	-13	-11.18
1 1 1 1 0	0.9375	-14	-12.34
1 1 1 1 1	0.9688	-15	-13.60

TABLA 3.1

En la tabla anterior, se observa una diferencia grande entre los valores de ganancia deseados y los valores reales. Esto se debe por una parte a que la curva ganancia-atenuación mostrada en la figura 3.1, no es lineal, y por otra parte a que la cuenta binaria máxima equivale al número 31 decimal, por lo tanto, el valor máximo que

se puede obtener en el atenuador, es de 0.9688 lo que implica que no se alcanzará el valor de -15 dB de ganancia en cada banda. Esto último es una consecuencia de que la interfase entre la palabra digital y el valor del atenuador, es un convertidor digital-analógico.

Por tanto, si se quiere diseñar un aparato, del cual una de sus ventajas es la precisión, se debe forzosamente dar un remedio a este problema. La solución es utilizar la máxima resolución que nos permite el convertidor, y que es de 256 bits, pues el convertidor es de 8 bits.

Para este efecto, despejamos de la ecuación (3.1) el parámetro "a":

$$a = \frac{(1 + H_0) - 10^{0/20}}{H_0 (1 + 10^{0/20})} \quad (3.2)$$

donde $G = |G(j\omega)|_{dB}$

A partir de esta ecuación, se puede construir una tabla en la que una palabra digital de 5 bits, va a direccionar a otra de 8 bits, la cual aproxima al valor más cercano del parámetro "a" de atenuación necesario para producir el valor exacto de ganancia deseada en cada banda básica. Esta tabla se presenta a continuación:

Ganancia deseada dB	Valor del atenuador "a" necesario	Palabra digital 8 bits	Palabra digital 5 bits
15	0.000	0 0 0 0 0 0 0 0	0 0 0 0 0
14	0.022	0 0 0 0 0 1 1 0	0 0 0 0 1
13	0.046	0 0 0 0 1 1 0 0	0 0 0 1 0
12	0.071	0 0 0 1 0 0 1 0	0 0 0 1 1
11	0.099	0 0 0 1 1 0 0 1	0 0 1 0 0
10	0.128	0 0 1 0 0 0 0 1	0 0 1 0 1
9	0.159	0 0 1 0 1 0 0 1	0 0 1 1 0
8	0.192	0 0 1 1 0 0 0 1	0 0 1 1 1
7	0.226	0 0 1 1 1 0 1 0	0 1 0 0 0
6	0.262	0 1 0 0 0 0 1 1	0 1 0 0 1
5	0.299	0 1 0 0 1 1 0 0	0 1 0 1 0
4	0.338	0 1 0 1 0 1 1 0	0 1 0 1 1
3	0.378	0 1 1 0 0 0 0 0	0 1 1 0 0
2	0.418	0 1 1 0 1 0 1 1	0 1 1 0 1
1	0.459	0 1 1 1 0 1 0 1	0 1 1 1 0
0	0.500	0 1 1 1 1 1 1 1	0 1 1 1 1
-0	0.500	1 0 0 0 0 0 0 0	1 0 0 0 0
-1	0.541	1 0 0 0 1 0 1 0	1 0 0 0 1
-2	0.582	1 0 0 1 0 1 0 0	1 0 0 1 0
-3	0.622	1 0 0 1 1 1 1 1	1 0 0 1 1
-4	0.662	1 0 1 0 1 0 0 1	1 0 1 0 0
-5	0.701	1 0 1 1 0 0 1 1	1 0 1 0 1
-6	0.738	1 0 1 1 1 1 0 0	1 0 1 1 0
-7	0.774	1 1 0 0 0 1 0 1	1 0 1 1 1
-8	0.808	1 1 0 0 1 1 1 0	1 1 0 0 0
-9	0.841	1 1 0 1 0 1 1 0	1 1 0 0 1
-10	0.872	1 1 0 1 1 1 1 0	1 1 0 1 0
-11	0.901	1 1 1 0 0 1 1 0	1 1 0 1 1
-12	0.929	1 1 1 0 1 1 0 1	1 1 1 0 0
-13	0.954	1 1 1 1 0 0 1 1	1 1 1 0 1
-14	0.978	1 1 1 1 1 0 0 1	1 1 1 1 0
-15	1.000	1 1 1 1 1 1 1 1	1 1 1 1 1

TABLA 3.2

La tabla anterior sugiere que un contador de 5 bits sea la entrada a un circuito combinacional o a una memoria, cuya salida debe ser la palabra digital de 8 bits de la tabla anterior, la cual va a manejar al convertidor digital-analógico. Esto es tema del capítulo 4.

Es importante hacer notar que con este proceso, conjuntado en la tabla 3.2, se ha configurado una relación lineal entre la ganancia de cada banda y la palabra digital de 5 bits.

4. CONTROL DIGITAL DEL ECUALIZADOR

El presente capítulo comprende una explicación detallada sobre el funcionamiento del control digital para el sistema ecualizador, mostrando con diagramas de bloques, figuras y esquemas de alambrado la composición del mismo.

Todo este capítulo se complementa con los diagramas esquemáticos que se encuentran en el Apéndice A. Para una mayor información sobre el funcionamiento de cada bloque, favor de referirse al diagrama correspondiente.

Con el propósito de entender mejor el funcionamiento de la circuitería del control digital, se ha dividido al sistema, en varios bloques de circuitos con funciones especiales cada uno. En la figura 4.1 se pueden observar los diversos circuitos que componen al sistema.

```

graph TD
    TECLADO[TECLADO] --> SELECCION[SELECCION DE ENTRADAS Y SALIDAS.]
    TECLADO --> SECUENCIADOR[SECUENCIADOR]
    SECUENCIADOR --> MEMORIA[MEMORIA]
    SECUENCIADOR --> REGISTRO[REGISTRO TEMPORAL]
    SECUENCIADOR --> CONTROL_GANANCIA[CONTROL DE GANANCIA]
    SECUENCIADOR --> DISPLAY[DISPLAY]
    SECUENCIADOR --> CONTROL_BANDA[CONTROL DE BANDA]
    MEMORIA <--> BUS[BUS DE DATOS - 8 BITS]
    REGISTRO <--> BUS
    CONTROL_GANANCIA <--> BUS
    DISPLAY <--> BUS
    CONTROL_BANDA <--> BUS
    BUS --> CONVERTIDORES[CONVERTIDORES DIGITALES-ANALOGICOS  
(BANDAS DEL ECUALIZADOR  
CANAL 1ZQ. - CANAL DER.)]
    SELECCION --> CONVERTIDORES
    CONVERTIDORES --> CANAL_1ZQ[CANAL 1ZQ.]
    CONVERTIDORES --> CANAL_DER[CANAL DER.]
    CONVERTIDORES --> CANAL_COM[CANAL]

```

Como es lógico, algunos de estos bloques están relacionados entre sí.

4.1 BLOQUE DE CONVERTIDORES DIGITALES-ANALÓGICOS.

Como se vio anteriormente en cada uno de los circuitos que realizan las bandas del ecualizador, se usan convertidores digital-analógico para implementar un atenuador controlado digitalmente. Esta sección se dedicará exclusivamente a detallar los circuitos digitales que alimentan a los DACS, para llevar acabo el ajuste de ganancia o atenuación de cada una de las bandas que forman el ecualizador.

Cada banda posee una ganancia de +15 dB y una atenuación de -15 dB, el ajuste de la ganancia puede hacerse para cada banda por separado, a través de una palabra de 8 bits. Asimismo se tienen además 13 líneas de control. El circuito se diseño de tal manera que pudiese ser compatible con un microcomputador o cualquier otro sistema digital, sin tener que utilizar el control integrado al sistema.

Como se mencionó anteriormente, la ganancia o atenuación de cada banda, puede variarse mediante una palabra digital de 8 bits. Con esta palabra es posible tener 256 pasos de ganancia disponible, que pueden darse en un rango de -15 a +15 dB. Para aplicaciones futuras mediante microcomputador, el hecho de poseer esa cantidad de pasos implica un ajuste preciso para cada banda, en caso de que así se requiriera.

Por lo que se refiere al control digital integrado, éste utilizará

32 pasos de ganancia, de los 256 mencionados anteriormente. Para los sistemas de audio convencionales, no es primordial que exista una gran cantidad de pasos para cada banda, lo que si es importante aquí, es que se tenga precisión en cada paso que se da, al variar la ganancia de la banda, es decir, la diferencia entre las ganancias que corresponden a dos palabras digitales adyacentes debe ser, en términos absolutos de un dB. El ajuste correspondiente se debe hacer mediante un circuito digital, que veremos más adelante.

A continuación, en la figura 4.2 se observa la configuración de este bloque. Cada canal está alambrado en un circuito impreso, que contiene una pequeña parte del circuito para el control digital.

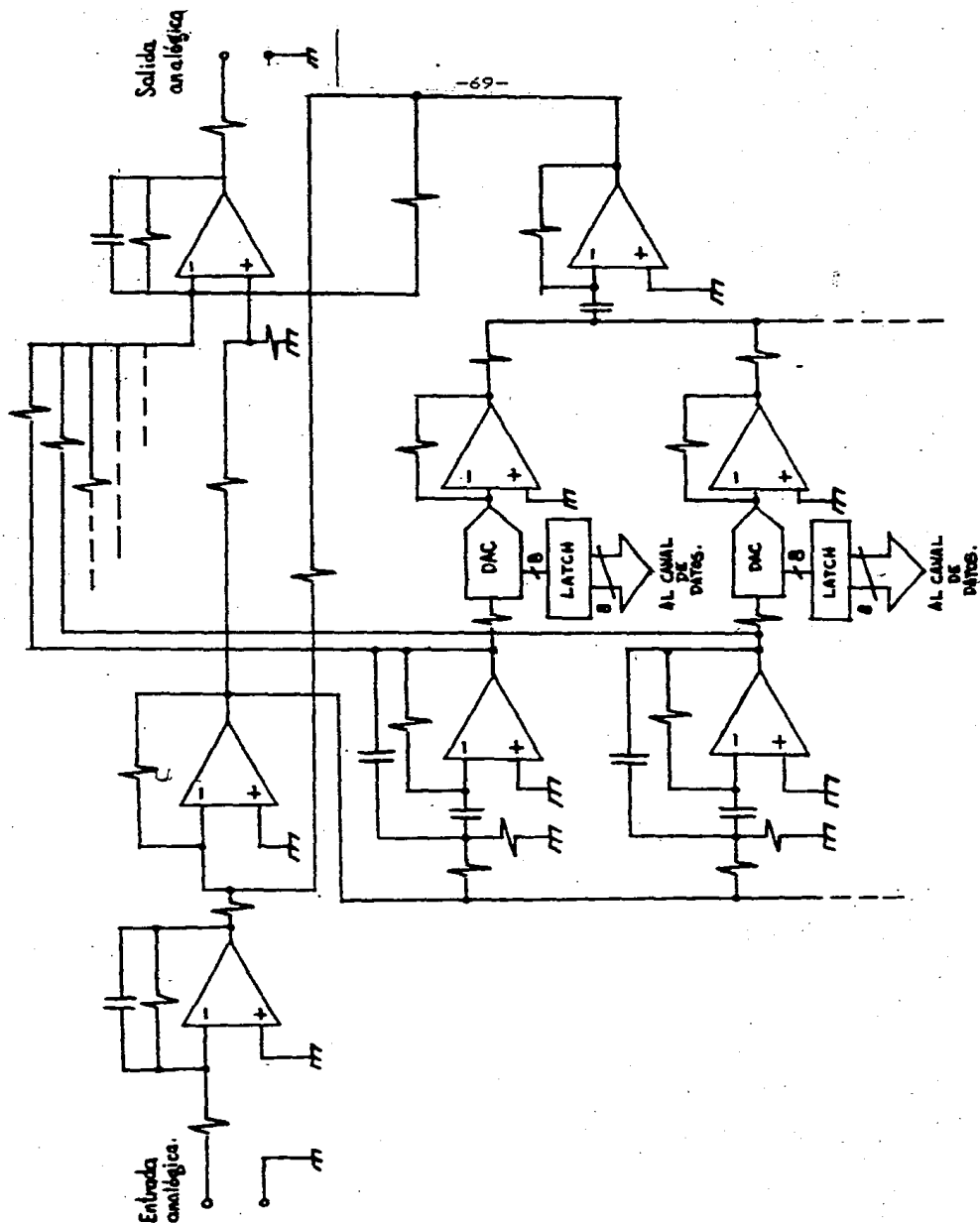


FIGURA 4.2 CONFIGURACION DEL BLOQUE DE CONVERTIDORES DIGITALES-ANALOGICOS.

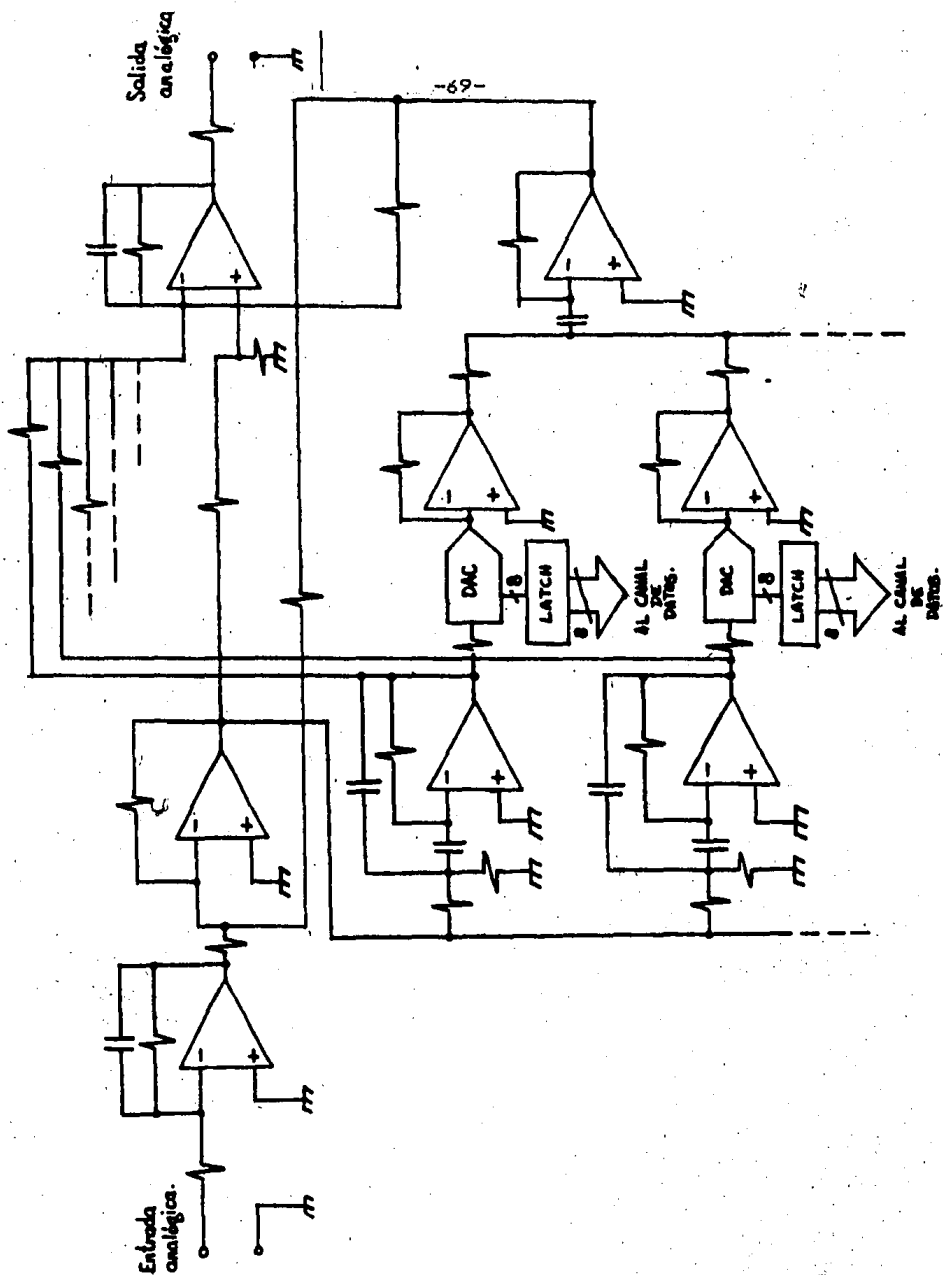


FIGURA 4.2 CONFIGURACION DEL BLOQUE DE CONVERTIDORES DIGITALES-ANALOGICOS.

Para simplificar el esquema, se muestran únicamente dos bandas de un canal, de tal forma, que se ilustre la manera en que se encuentra configurada la sección digital analógica. Por otro lado, en la figura 4.3 se observa en forma más detallada ésta sección.

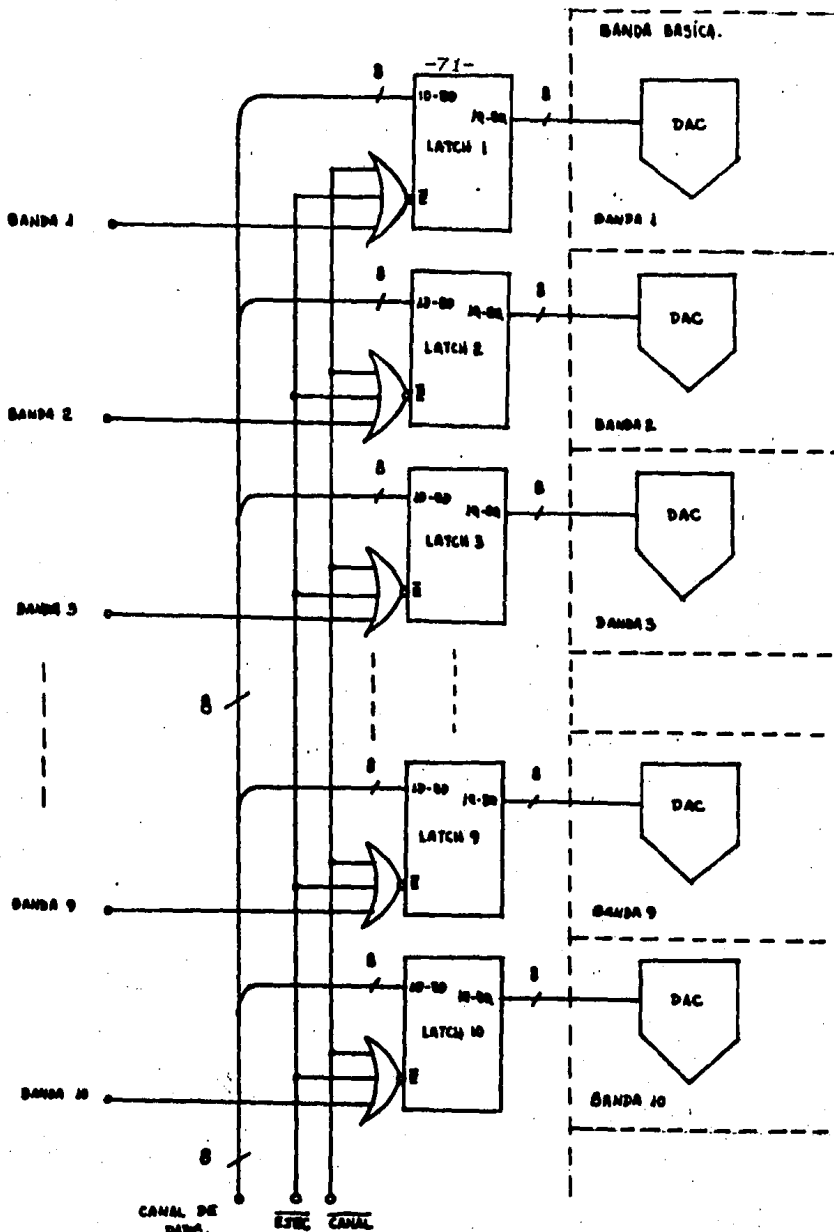


FIGURA 4.3 CONFIGURACION GENERAL DEL BLOQUE DE CONVERTIDORES DIGITALES-ANALOGICOS.

En el circuito se usan "latches" TTL (SN74LS373) de 8-bits, que tienen la finalidad de retener la información de la banda correspondiente. La entrada de habilitación (E) para el latch (pata 11) está conectada a la salida de una compuerta NOR de tres entradas, lo anterior se hace con el propósito de tener acceso a tres líneas de control. La primera línea, "CANAL", es una línea de habilitación para el canal correspondiente, posee verificación baja, o sea, que mientras permanezca en cero, estará habilitada. La segunda línea "EJEC", es la de ejecución, y la tercera línea sirve como direccionamiento de la banda en turno. Una determinada banda se seleccionará cuando las tres líneas tengan un nivel bajo. Como el latch es del tipo "transparente", la información que en ese momento esté pasando por el canal de datos de 8 bits, será aquella que modificará el valor de la corriente de salida del DAC direccionado. La figura 4.3 muestra el circuito para un solo canal, siendo por tanto igual al otro, a excepción de que únicamente un canal funciona a la vez, esto se logra por medio de un inversor colocado en el lugar adecuado como lo muestra la figura 4.4. En realidad, se tienen disponibles 2 líneas de "CANAL", una verificada alta, y la otra baja, provenientes del circuito secuencial.

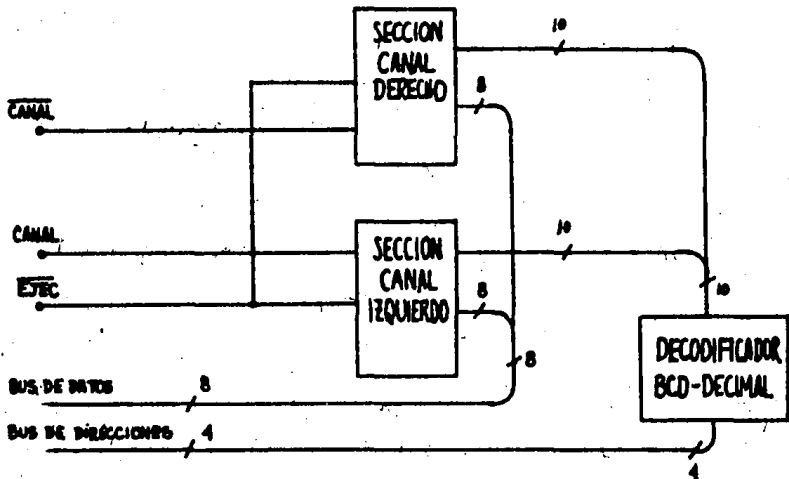


FIGURA 4.4 DIRECCIONAMIENTO DE LOS CANALES.

El canal de datos para ambos canales es común, así como también el de direcciones. En la misma figura 4.4 se ilustra además un decodificador BCD-DECIMAL TTL (SN74LS42). Este circuito integrado tiene como función el de reducir el número de líneas de control de dirección, el circuito es parte del bloque de control de banda. Aquí se ha querido poner en claro, que es posible efectuar el control digital mediante una microcomputadora, microprocesador, etc., con sólo tener acceso a estas catorce líneas. Existe otra posibilidad de reducir el número de líneas para el control del ecualizador, mandando la información en serie. El diseño de un circuito en serie no resulta muy complicado, ya que se pueden utilizar registros de corrimiento serie-paralelo, que estuvieran sincronizados con un reloj. Para el sistema mencionado se tendrían entonces tres

líneas, la primera sería la de datos, la segunda el reloj, la tercera "STROBE", esta última indica la presencia de un bloque completo de datos, que ha sido cargado en los registros. Debido a que el circuito en serie mencionado, no llegó a implementarse, por no considerarlo necesario, sólo se menciona aquí como posible alternativa para el control externo. Por ahora esta sección sólo se dedicará a detallar el control digital que tiene integrado el sistema.

El diagrama esquemático del bloque de convertidores digitales-analógicos puede verse en el Apéndice A.

4.2 BLOQUE TECLADO.

El teclado del ecualizador ha sido diseñado con las siguientes características:

- * Sensible al tacto, es decir, cualquier tecla se acciona con el simple toque del dedo sobre una placa metálica.

- * Insensible a "rebotes" ya sean electrónicos o mecánicos, con el objeto de no provocar falsas instrucciones al sistema digital.

- * Inmunidad a errores ocasionados, por el accionamiento de una tecla por un tiempo mayor del debido.

- * Repetición automática del teclado, esto es; si la tecla permanece más tiempo apretada, aún después de haberse producido

el primer pulso, se espera un cierto intervalo de tiempo, sin que se genere una nueva señal, y cuando éste lapso termine, si aun persiste la acción de la tecla, se manda de nuevo la señal, que durará mientras la tecla se mantenga presionada. Esto es útil sobretodo en los comandos de ganancia para cada banda, así como también, para el circuito que direcciona a cada una de éstas, debido a que no será necesario presionar continuamente la tecla, si se requiere que la función siga activa. Por ejemplo, podemos lograr lo siguiente; al presionar sólo un instante la tecla que controla la ganancia en forma ascendente, nos moveremos sólo un paso, en este caso 1 dB. Si se mantuviese apretada la tecla, después de medio segundo aproximadamente, en forma automática la ganancia variará. Lo anterior se logra haciendo funcionar un contador, circuito que veremos más adelante. El contador seguirá funcionando hasta que la tecla deje de oprimirse.

* El teclado posee circuitos que inutilizan parte del mismo, en el caso de que una determinada secuencia se ejecute. Lo anterior es necesario cuando se accionan las teclas MEH ▲ y MEH ▼ (memoria ascendente o memoria descendente) para evitar que la información de otras memorias se altere, sin que previamente se pase por completo la información hacia los latches y como consecuencia a los convertidores digitales-analógicos que forman parte de cada banda.

* Cada vez que se acciona una tecla se produce una oscilación audible. Este sonido, de corta duración, sólo se presentará la primera vez que se accione cualquiera de las teclas.

Para comprender mejor el funcionamiento del bloque de teclado, en la figura 4.5 se muestra una disposición de bloques auxiliares que componen al circuito:

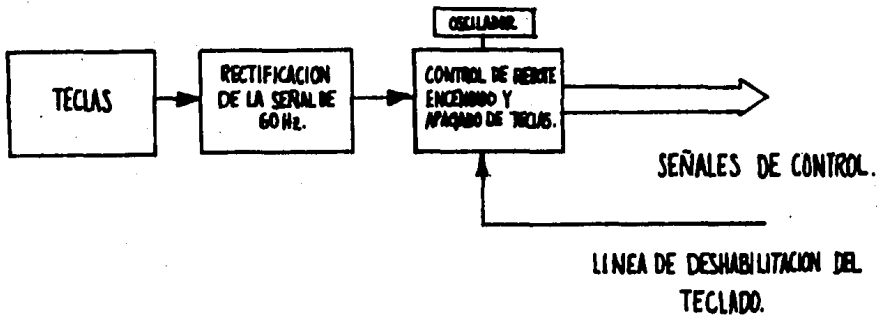


FIGURA 4.5 BLOQUES AUXILIARES DEL TECLADO.

La primera parte del bloque de teclado esta formado por un total de 11 teclas de entrada, que conforman los comandos principales del equalizador, estos son:

- ▲ : control de ganancia (ascendente).
- ▼ : control de ganancia (descendente).
- ◀ : selección de banda (descendente).
- ▶ : selección de banda (ascendente).
- MEM-▲ : comando de selección de memoria (ascendente).
- MEM-▼ : comando de selección de memoria (descendente).
- IGUAL : control para colocar la misma información en ambos canales.
- CANAL : selección de canal izquierdo o derecho.

MEM-EJEC : vacía el contenido de la memoria direccionada.
FLAT : pone al sistema ecualizador en "flat" (0 dB de ganancia).
ENT : escoge la entrada de señal analógica deseada.

Existen entradas adicionales para futuras funciones o modificaciones en lo que se refiere al control del equalizador.

Las 11 teclas mencionadas anteriormente están formadas por una serie de láminas, cada una de estas láminas se conecta con un circuito independiente uno de otro, que condiciona la señal producida por el efecto que tiene el cuerpo humano de funcionar como una antena. Con esta peculiaridad es posible prescindir de un teclado convencional de tipo mecánico. En el diagrama a bloques de la figura 4.5, se ve que la sección está constituida por dos etapas, la de rectificación y la de conmutación.

En la figura 4.6 se observa el circuito.

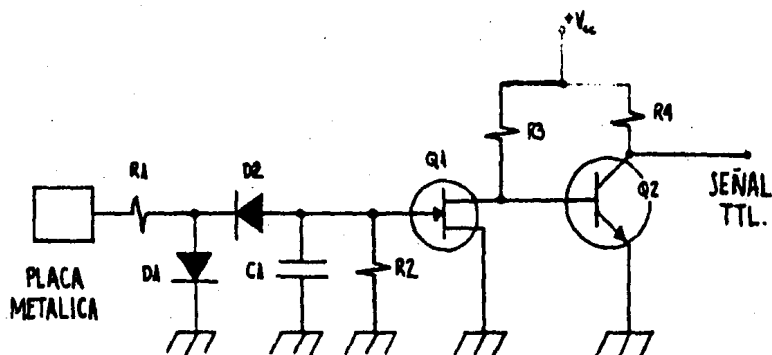


FIGURA 4.6 CIRCUITO DE RECTIFICACION Y HANEJO DE LA
SEÑAL DE 60HZ

Para escoger el circuito se partió del siguiente hecho: una señal captada por el cuerpo humano, puede llegar a detectarse por medio de un circuito electrónico, pero éste debe tener una impedancia muy alta a la entrada para poder detectar un cambio al contacto del dedo con una placa metálica. Al efectuar varias pruebas, bajo diferentes condiciones, se observó, que en una habitación normal, en la que exista alguna línea de alimentación de 120 V y 60 Hz, la forma de onda generada por el cuerpo humano al contacto de una placa metálica, tiene la misma frecuencia que la línea de alimentación, y con una magnitud pico a pico que varía de 5 a 10 voltios aproximadamente. Como es lógico, la señal se presenta en forma distorsionada. Se pensó que la magnitud del voltaje pico a pico podría ser suficiente para hacer funcionar un circuito. Es evidente que la corriente que genera el cuerpo humano es muy pequeña. Para tal efecto se utiliza un transistor FET, con éste tipo de dispositivo electrónico, se logran las condiciones

necesarias de entrada para condicionar la señal.

La señal de radiación de 60 Hz. debe rectificarse, de tal forma que al presionar la lámina, la corriente I_d del FET sea casi nula, haciendo que el transistor MPN (Q2) conduzca y se produzca en el colector un nivel bajo de voltaje que se tomará como un "0" lógico para las entradas TTL que siguen en la otra sección del circuito. Aquí se puede hacer notar que Q1 y Q2 funcionarán como interruptores electrónicos. Cuando se presiona la lámina, se provoca una caída de potencial en V_{gs} , éste voltaje se produce a partir del ruido que se genera del exterior, y que es captado por el circuito. El orden de magnitud de ese ruido es tal que hará que entre en funcionamiento el circuito.

El circuito rectificador estará calculado de manera que cada vez que se oprima la lámina, el voltaje V_{gs} sobrepase el valor de V_p (voltaje compuerta-fuente de estrangulamiento, "pinch off"). En el caso del FET 2A267 éste voltaje tienen un valor de -3 V aproximadamente. Si se sobrepasara esta cantidad, I_d prácticamente será nula. La señal rectificada que llega a la compuerta del FET debe alcanzar un valor, digamos de -4 o -5 volts, para que en Q1 $I_d=0$. Veamos el circuito de rectificación en la figura 4.7:

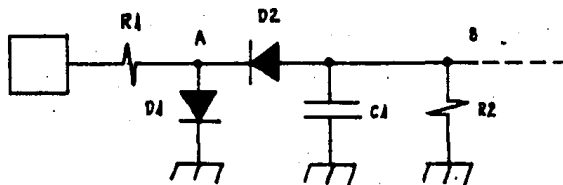


FIGURA 4.7 CIRCUITO DE RECTIFICACION.

El arreglo del circuito garantiza que siempre se obtendrá un voltaje negativo a la compuerta del FET. Para los cálculos, se supondrá que la onda que se inyecta es senoidal (la señal que realmente se obtiene está distorsionada). El valor de R_2 debe ser muy alto, para éste caso, el valor comercial de 8.2 M Ω . La corriente que circulará por la resistencia es de un valor sumamente pequeño, recuérdese que en el circuito trabaja con una impedancia muy alta en la entrada. Se hace notar que el valor de C_1 dependerá también de R_2 , debido a que una vez que la placa de metal deje de accionarse, la descarga de C_1 se hará por medio de R_2 , se consideró que la descarga no debe ser tan lenta, de modo que la señal a través del colector de Q2 tarde mucho en volver a un "1" lógico, además, C_1 y R_2 intervendrán en la rectificación de la componente negativa de la señal.

Para calcular aproximadamente la magnitud del rizado, se utiliza la siguiente expresión (ver referencia 2 en la bibliografía)

$$\Delta v = V_m \frac{T}{R_L C} \quad (4.1)$$

Si $|V_m| = 4 \text{ V}$ (valor máximo de la parte negativa de la señal en el punto B. Ver figura 4.7) y por otro lado:

$$T = 1/f = 1/60 = 16.7 \text{ ms}$$

además:

$$R_L = 8.2 \text{ M}\Omega \quad (R_L \text{ es la}$$

resistencia de carga y tiende al valor de R_2 debido a que la impedancia de entrada que "ve" esta parte del circuito es muy alta).

Supongamos que $\Delta v = 0.8 \text{ V}$, se puede notar que, aún con este valor, el voltaje V_{gs} sobrepasa el de V_p cada vez que se presente la señal. Sustituyendo en la ecuación (4.1) y despejando el valor de C , se obtiene:

$$C = \frac{V_m T}{R_L \Delta v} = \frac{4(0.0167)}{(8.2 \times 10^6)(0.8)} = 0.01 \mu \text{ Farads.}$$

Ahora, se calcula el tiempo de descarga del capacitor. La constante de tiempo del circuito RC tendrá un valor de $\tau = RC = 0.0082 \text{ s}$.

El voltaje en el punto B caerá a un valor cercano a cero, después de 4τ aproximadamente, es decir, después de 32 ms. Nótese que este valor es suficientemente corto, como para producir errores de tiempo en la conmutación de los circuitos digitales que veremos más adelante.

Queda ahora efectuar el calculo de R_L , se calcula considerando

que V_B en el punto B es de -4 V.

El voltaje máximo en el punto A estará dado por:

$$V_A = \frac{V_B (R_L + r_{prom})}{R_L} + 0.7 \quad (4.2)$$

R_L es el paralelo de $|X_c|$ con R_2 , donde

$$|X_c| = 1/\omega C = 265 \text{ k}\Omega$$

$$R_L = \frac{265 (8200)}{265 + 8200} = 256 \text{ k}\Omega$$

Despreciando r_{prom} (resistencia promedio) debido a que es muy pequeña en comparación con R_L ($r_{prom} = 30 \Omega$) y usando la ecuación (4.2) se tiene lo siguientes:

$$V_A = \frac{4 (256)}{256} + 0.7 = 4.7 \text{ V}$$

Como la corriente en directa del diodo resulta ser muy pequeña, y en la práctica es difícil medirla, supondremos que es del orden de $1 \mu\text{A}$. Para calcular la resistencia dinámica del diodo D_1 tenemos la ecuación (4.3). (Ver la misma referencia 2).

$$r_d = \frac{26 \text{ mV}}{I_d (\text{mA})} + r_b \quad (4.3)$$

Despreciando el valor de r_b (parámetro que es de un valor muy pequeño) tenemos entonces:

$$r_d = 26 \text{ k}\Omega$$

y tomando en cuenta el voltaje pico a pico de entrada, que es de aproximadamente de 10 Vpp:

$$4.7 = \frac{26(10)}{26 + R_s} \quad (4.4)$$

Despejando de la ecuación (4.4):

$$R_s = 33 \text{ k}\Omega$$

Por otro lado R_3 y R_4 tienen la función de polarizar al FET y al transistor NPN.

Una vez que la señal de interferencia de 60 Hz se ha condicionado, para producir los niveles lógicos TTL necesarios para hacer funcionar a la siguiente etapa, toda la circuitería digital que le sigue, servirá para el teclado, de acuerdo a las especificaciones dadas anteriormente.

Como la mayoría de los circuitos que controlan al ecualizador son del tipo digital, para poder comandar a cualquiera de ellos, es necesario que cada señal que les llegue, sea solamente un pulso, y no una serie de "rebotes" producidos cada vez que se acciona una tecla. Para que los circuitos lógicos funcionen adecuadamente, se debe suprimir el "rebote", evitando con ello que se produzcan pulsos

falsos que darían como consecuencia errores en el funcionamiento.

Volviendo a la figura 4.5, el bloque de control de rebote evita que en las líneas de salida, se produzca una señal errónea, su configuración elemental se muestra en la figura 4.8

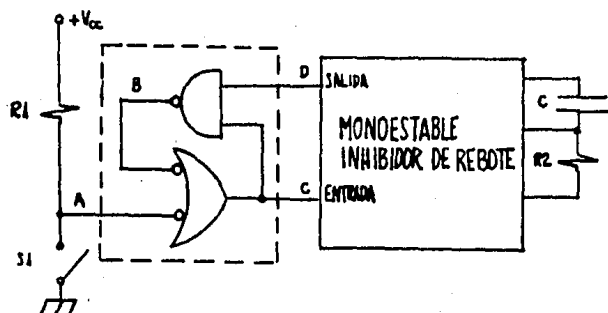


FIGURA 4.8 CONFIGURACION DE LA CELDA ELEMENTAL PARA EVITAR REBOTES DEL TECLADO.

Cada línea de comando se compone de un circuito como éste. Se puede notar que se trata de un flip-flop R-S. Los posibles estados están comprendidos en la tabla 4.1.

TABLA 4.1

LOGICA DE CONMUTACION

ESTADO	A	B	C	D	COMENTARIO
0	1	1	0	0	interruptor abierto.
1	0	1	1	0	interruptor cerrado.
2	0	0	1	1	respuesta monoestable
3	1	0	1	1	rebote interruptor.
0	1	1	0	0	interruptor abierto.

Cuando el interruptor se abre, o bien, cuando determinada lámina no está presionada, el estado que se tendrá será el "0". Si el interruptor se acciona, pasamos al estado "1", inmediatamente la línea C se pone en "1" lógico, haciendo que el monoestable comience a funcionar,

el estado "2" corresponde a la respuesta del monoestable, mandando un "1" a su salida (línea D), y a su vez dejando en "0" a la línea B. Esta condición durará el tiempo definido por la relación matemática dada por el fabricante del monoestable, en éste caso, el circuito TTL SN74LS221. Nótese que cuando esto sucede, la línea B se pone en "0" lógico, dejando en "1" a la línea C, lo que significa que no importa lo que exista en la entrada A, la línea C no se modificará, con lo anterior se evitan los posibles "rebotes" que se producen en la línea "A", al accionar por primera vez el interruptor. En el estado "3" se representa al posible rebote. Cuando la condición en la línea D cambie de "1" a "0", o mejor dicho, cuando el pulso dado por el monoestable acabe, se pasa de nuevo al estado original.

El circuito anterior se utilizó para cada una de las señales de comando, usándose solamente un monoestable para todas las líneas.

El circuito de la figura 4.8 por sí solo funciona bien únicamente cuando el teclado se aprieta momentáneamente, evitando rebotes, y dando una señal a la salida de duración dada por los valores de R y C del monoestable inhibidor de rebote. Desafortunadamente, si se presenta la tecla presionada por más tiempo, el circuito tiene ciertas desventajas.

Nuestro sistema requiere, que cuando la tecla se apriete sólo un momento, se produzca un pulso, si se mantiene apretada por un tiempo más largo de lo normal, también a la salida siga esa condición. Nótese que el circuito de la figura puede lograr esto, pero, cuando la tecla deje de accionarse, se producirá un nuevo rebote, pero ahora al apagar, el rebote provocará que el monoestable se dispare de nuevo, dando como resultado un

respuesta indeseable a la salida, ya que ésta debe ser nula. Para que no suceda lo anterior, se adicionaron nuevas etapas, que además de evitar el "rebote", aumentaron algunas ventajas al sistema, como la siguiente:

Al mantener presionada cualquier tecla, aun después de haberse producido el primer pulso a la salida, se esperará un cierto tiempo, hasta dar a la salida una nueva respuesta que durará mientras que la tecla se mantenga oprimida. La figura 4.9 muestra un diagrama de tiempos del circuito. Nótese que se trata de evitar algún posible pulso erróneo que pudiera aparecer si en forma accidental se presionara después alguna tecla.

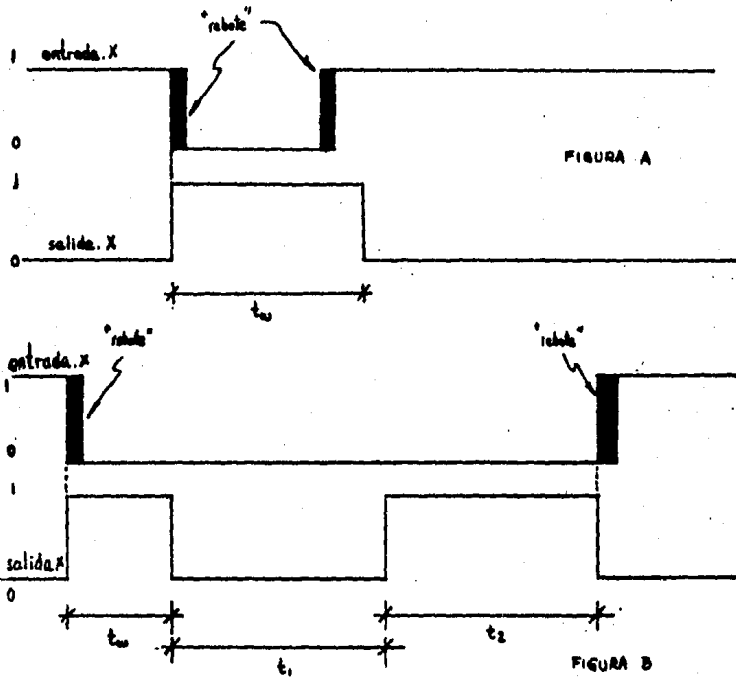


FIGURA 4.9 DIAGRAMA DE TIEMPOS DEL TECLADO.

En el diagrama de la figura A se presenta el caso en que el interruptor se ha accionado sólo un momento, a la salida se tendrá un pulso de duración t_w dada por el monoestable inhibidor de rebote. (Notar que las demás salidas serán cero mientras no se presionen).

En el diagrama de la figura B se tiene el caso de que el interruptor se mantenga presionado por un tiempo más largo de lo normal. A la

salida se produce primero un pulso de t_w de duración (igual que en el diagrama anterior), después de un tiempo t_x , no se tendrá ninguna señal a la salida. Como la entrada se mantiene aún en un nivel bajo, la salida tomará de nuevo un "1" lógico, t_x será el tiempo que la entrada sea cero, o mejor dicho, el tiempo que se mantenga apretada la tecla.

Un diagrama de tiempos aún más detallado se observa en la figura 4.10.

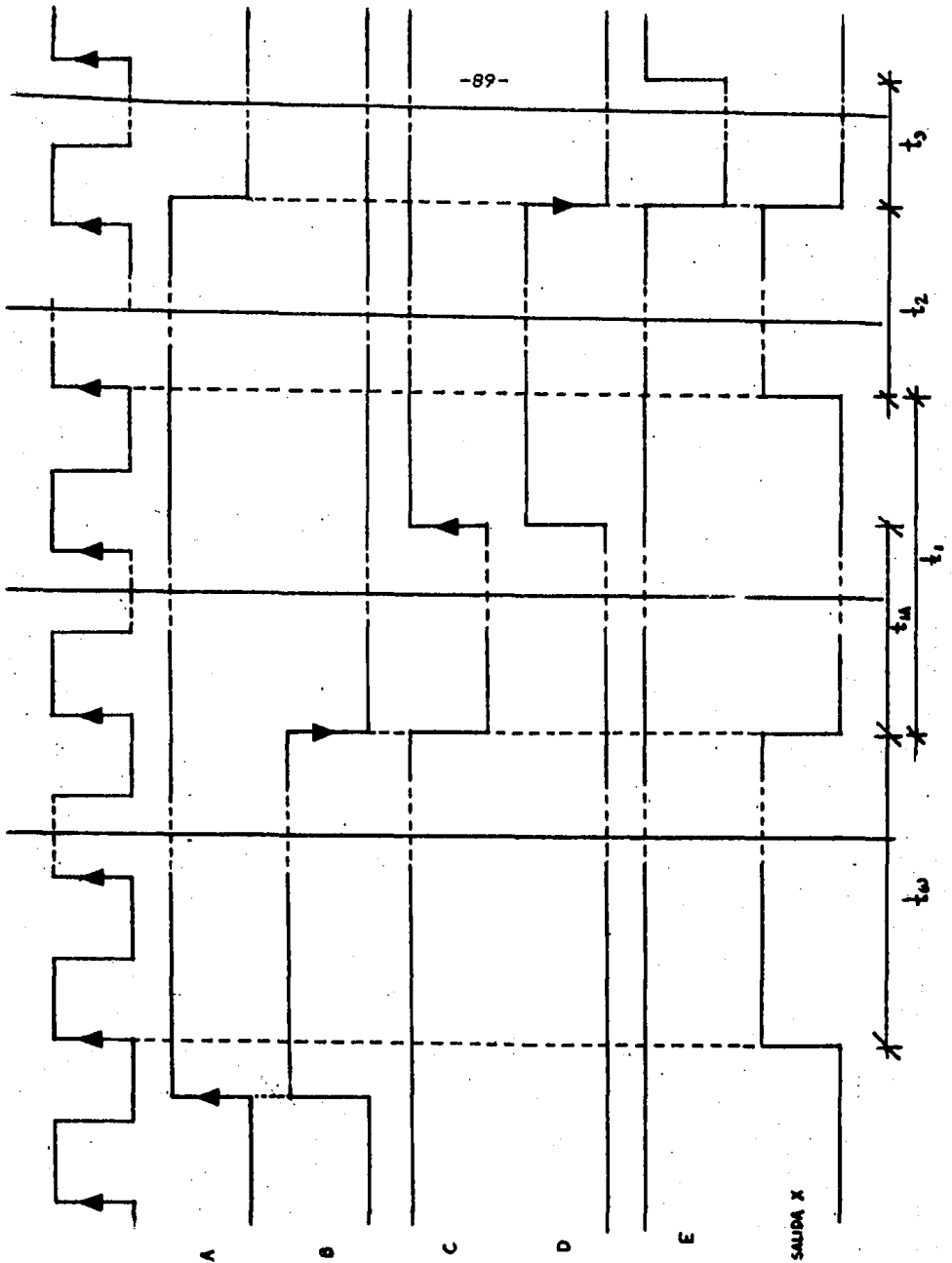


FIGURA 4.10 DIAGRAMA DE TIEMPOS DETALLADO DEL TECLADO.

La siguiente explicación se hará sobre el diagrama de la figura 4.10, complementándose además con el diagrama esquemático correspondiente, que se encuentra en el Apéndice A, al final de presente trabajo. Las letras que incluye el diagrama de tiempos también se contemplan en el diagrama esquemático.

En primer lugar se describirá cada línea:

Línea A : es verificada alta, se pondrá en "alta" cuando cualquier tecla se accione.

Línea B : verificada alta, es la salida del primer monoestable.

Línea C : verificada baja, es la salida del segundo monoestable.

Línea D : verificada alta, es la salida del SN74LS74.

Línea E : verificada baja, es la salida del tercer monoestable.

SYSCLK : reloj del sistema.

SALIDA X : cualquiera de las salidas que conforman al teclado.

Cuando se aprieta cualquier tecla, la línea A se pone en "alto". La transición de baja a alta provoca que al mismo tiempo el monoestable 1 comience a funcionar, dando como resultado que a su salida (línea B) exista un pulso de medio segundo. Es oportuno aclarar aquí, que las líneas A, B, C, D y E, no van sincronizadas con el reloj del sistema, la sincronización se efectúa en el latch (SN74LS273). En el diagrama de tiempos se considera el caso de que la tecla permanezca presionada más tiempo de lo normal. Cuando el primer monoestable

termine de dar el pulso alto, y si la tecla aún sigue apretada, el segundo monoestable comenzará a funcionar, al detectar la transición de alta a baja en la línea B, cuando esto suceda, la salida X también se pondrá en baja. El segundo monoestable dará un lapso de espera entre el primer pulso y el que venga después, si es que la tecla se mantiene oprimida. Cuando este pulso acabe (línea C), de inmediato la transición de "0" a "1" lógico de la línea sirve como reloj para el flip-flop D (SN74LS74), la información que pasará hacia Q dependerá de la condición del teclado, si la tecla ha dejado de apretarse, no sucederá nada más, sin embargo, en el caso que nos ocupa, de mantenerse presionada, la línea D tendrá un "1" lógico. La salida correspondiente X al siguiente pulso del reloj será de nuevo alta. El flip-flop D y el tercer monoestable entran en funcionamiento solamente hasta que la tecla deje de accionarse. Cuando la línea A, pase de "1" a "0", modificará la salida del flip-flop, esta transición trae como consecuencia que el tercer monoestable funcione. Este tercer monoestable tiene la función de inhibir al primer monoestable, para evitar que exista un nuevo pulso provocado por el rebote al dejar de apretar la tecla. El circuito volverá al estado inicial cuando el tercer monoestable cese de funcionar.

Obsérvese que si la tecla se apretara sólo por un momento, únicamente las líneas A, B y la salida X, entrarán en funcionamiento. Otra de las ventajas que se mencionaron al principio de la sección del teclado son; el tener la oportunidad de dejar inoperante parte del teclado, cuando se presente una secuencia determinada al accionar las teclas. Las líneas MEM ▲, MEM ▼ y

MEN-EJEC poseen latches independientes, a comparación de las demás líneas. La razón de haber diseñado el teclado de esa manera es la siguiente; evitar una modificación de información en cada banda, sin antes haber "vaciado" la información completa a las diez bandas de cada canal, es por eso que las líneas mencionadas anteriormente son independientes de las demás. Cuando se detecta un cambio en las líneas MEM ▲ y MEM ▼, automáticamente el latch SN74LS273 queda deshabilitado, como consecuencia de la aparición de un "1" lógico en la pata 10 de la compuerta SN74LS00. El C115 es un flip-flop tipo "D" que detecta el cambio en las líneas anteriores, este cambio se alimenta directamente al reloj flip-flop, a ese pulso de reloj le corresponderá un cambio en la salida Q negada, en este caso la línea tendrá un "0". La condición anterior prevalecerá hasta que la tecla MEN-EJEC se presione, limpiando con ello al flip-flop, y habilitando de nuevo al latch de las demás líneas.

En el mismo circuito impreso del teclado, se localiza también el oscilador que producirá un tono audible, indicando que alguna de las teclas ha sido accionada. La configuración del circuito puede observarse en el diagrama esquemático correspondiente.

4.3 BLOQUE SELECCION DE BANDA.

Esta sección se compone de un contador BCD, un decodificador BCD-DECIMAL y la lógica de control correspondiente, como se ve en la figura 4.11.

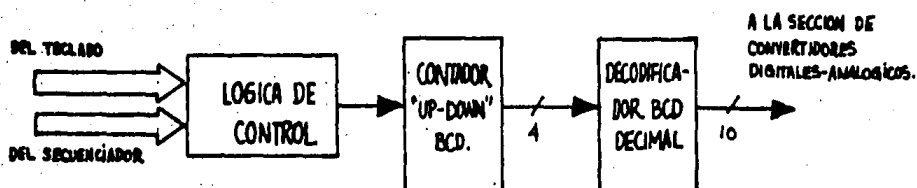


FIGURA 4.11 DIAGRAMA GENERAL DEL BLOQUE SELECCION DE BANDA.

El circuito puede accionarse de dos maneras: directamente del teclado y por medio del circuito secuenciador.

El contador posicionará una banda a la vez por medio del decodificador BCD-DECIMAL. El diagrama esquemático del circuito se encuentra en el Apéndice A. El contador utilizado corresponde a uno de la familia TTL del tipo ALS (Advanced Low-power Schottky) en comparación de los contadores SN74LS190 y SN74LS192, el contador SN74ALS568 posee la ventaja con respecto al primero, de tener dos líneas de "CLEAR", y con respecto al segundo, de que no hay necesidad de utilizar lógica adicional, debido a que las líneas de "COUNT UP" y "COUNT DOWN" están contenidas en una sola línea.

Además de lo descrito anteriormente, en el mismo diagrama esquemático, se puede observar, que en la entrada de reloj del contador se encuentran 3 compuertas SN74LS00, en las que se identifican las siguientes entradas:

- a) RELOJ 1 (SYSCLK - reloj del sistema)
- b) A1
- c) RELOJ
- d) A2

Con dichas líneas se controla al contador SN74ALS568. El reloj 1, corresponde al reloj del sistema (SYSCLK) cuya frecuencia es de 2500 Hz, el RELOJ 2 es de una frecuencia menor al anterior 2 Hz. Por lo que se refiere a las entradas A1 y A2, solamente una de las líneas se activa a la vez. A1 proviene del circuito secuencial que se verá más adelante. A2 se habilita en forma manual, es decir, cuando en el teclado se detecta que las teclas ◀ y ▶ (cambio de banda) se han accionado. Esto se logra mediante la compuerta OR, alambrada antes de la línea A2. Nótese que la habilitación de la línea U/D del contador dependerá de cual fue presionada, en el caso de que fuera ▶, la línea U/D permanecerá en alta, sucediendo lo contrario para ◀, las compuertas OR del C125 conectadas antes de la pata 2 (SN74LS32) funcionan para dar un retraso en cuanto al tiempo en que se presenta la señal ◀ y la respuesta de la línea U/D, la última debe presentarse antes que la anterior. En la siguiente tabla se pueden comparar las posibles combinaciones.

A1	A2	Pata (CLK) 74ALS568
0	0	0
0	1	RELOJ 2
1	0	RELOJ 1 (SYSCLK)
1	1	(Esta condición no debe presentarse)

Las salidas del 74ALS568 servirán también para direccionar a la

memoria RAM y al circuito del despliegue luminoso, estos circuitos se detallarán en la sección respectiva. Por otro lado la terminal RCO del contador se utiliza para detectar cuando el contador llegue a 9, la anterior es una línea de control para el circuito secuencial. Las patas SCLR y ACLR se usan para dejar en "ceros" al contador, cada vez que se encienda el aparato, o cuando se efectúa el llamado de una memoria en particular.

4.4 BLOQUE CONTROL DE GANANCIA.

El bloque se puede analizar fácilmente a partir de la figura 4.12.

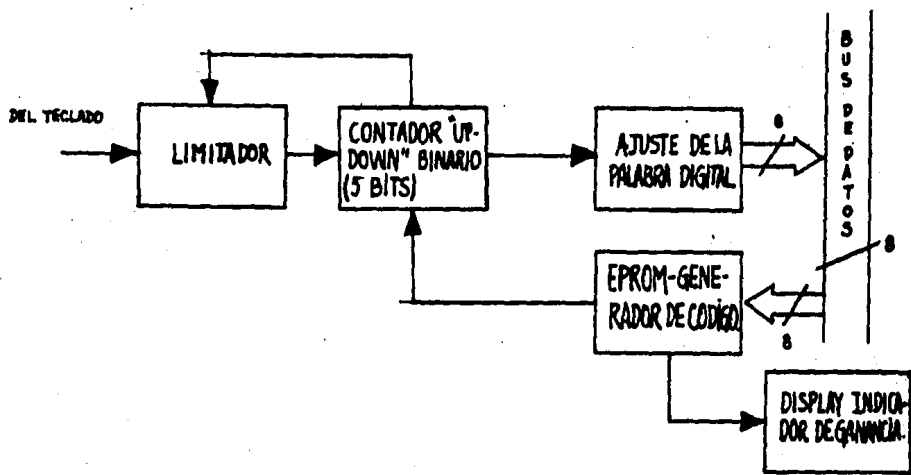


FIGURA 4.12 DIAGRAMA GENERAL DEL BLOQUE CONTROL DE GANANCIA.

El circuito tiene las siguientes características:

- a) controla el rango de cada banda de +15 dB a -15dB.
- b) limita al contador cuando llega a los extremos permitidos.
- c) convierte a los 32 pasos del contador en una palabra de 8 bits correspondiente a la ganancia que equivale a 1dB por cada paso que se da.
- d) Efectúa la indicación en un display digital de la ganancia de la banda en que se encuentra posicionado el ecualizador.
- e) Envía señales de control al circuito secuencial.

El circuito implementado se observa en el Apéndice A.

La primera parte del circuito esta formado por 2 multiplexores 4 a 1 integrados en un "chip" (74LS153) el C.I. tiene como finalidad, el de limitar a los contadores a no sobrepasar su cuenta máxima, y evitar que exista un cambio drástico en la ganancia de la banda al pasar de -15 dB a +15 dB y viceversa, de un solo golpe. Para tal efecto se detecta el estado de las líneas B0 y CA de los contadores binarios (74LS193).

Se observa que sólo se usan 5 bits, en la combinación de ambos contadores. El uso del circuito multiplexor se derivó del diseño de la implementación que resultaba óptima, dicho de otra manera, aquella que no implique el tener que usar más circuitos de los necesarios en la implementación. Veamos a continuación las características de lo mencionado anteriormente:

Las entradas del sistema serán:

- ▲ aumento de ganancia (verif. alta)

▼ disminución de ganancia (verif. alta)
 BO "BORROW" (verif. baja)
 CA "CARRY" (verif. baja)

Las dos primeras provienen del teclado, mientras que BO y CA del contador.

Las salidas del sistema serán:

X: CUENTA HACIA ARRIBA

Y: CUENTA HACIA ABAJO

La tabla 4.2 indica las posibles combinaciones que se presentarán, así como la respuesta necesaria para que el contador funcione adecuadamente.

TABLA 4.2

	▲	▼	BO	CA	X	Y	▲▼
1	0	0	0	0	0	0	0
2	0	0	0	1	0	0	0
3	0	0	1	0	0	0	0
4	0	0	1	1	0	0	0
5	0	1	0	0	*	*	*
6	0	1	0	1	1	0	1
7	0	1	1	0	0	1	1
8	0	1	1	1	0	1	1
9	1	0	0	0	*	*	*
10	1	0	0	1	1	0	1
11	1	0	1	0	0	1	1
12	1	0	1	1	1	0	1
13	1	1	0	0	*	*	*
14	1	1	0	1	0	0	0
15	1	1	1	0	0	0	0
16	1	1	1	1	0	0	0

* irrelevante

Los mapas de Karnaugh y el diagrama de implementación se observan en la figura 4.13

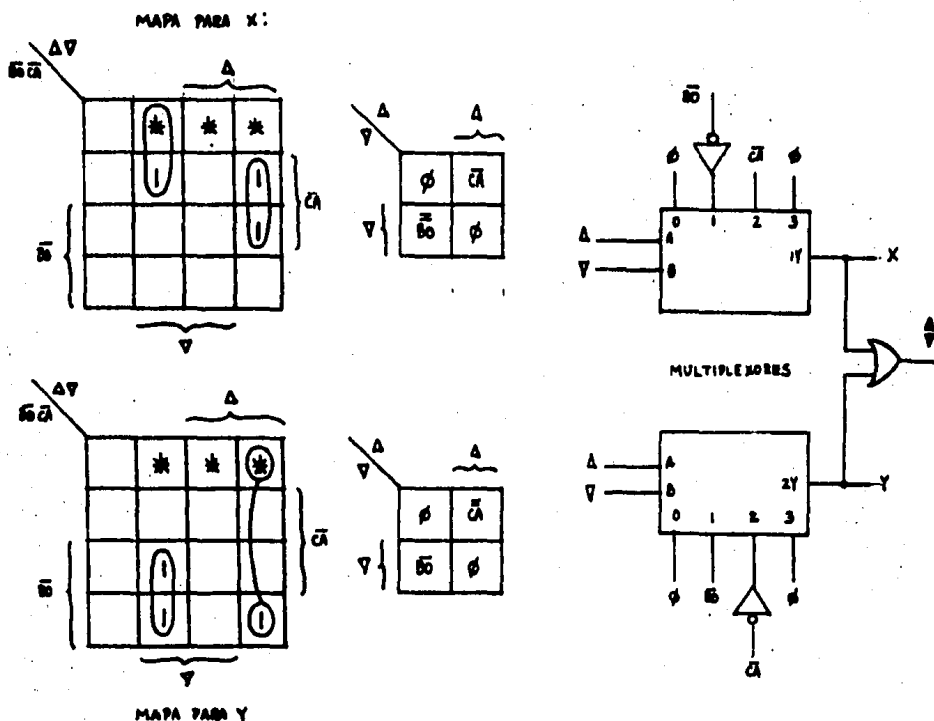


FIGURA 4.13 DIAGRAMAS DE KARNAUGH E IMPLEMENTACION.

Los estados 5, 9 y 13 nunca se presentarán debido a que $B\bar{D}$ y $C\bar{A}$ jamás aparecen en "ceros" al mismo tiempo.

Los estados 1, 2, 3, y 4 son aquellos en los que a su salida corresponde una respuesta "cero" sin importar las líneas $B\bar{D}$ y $C\bar{A}$. (No se accionan las teclas de ganancia).

Los estados 14, 15 y 16 no deben de suceder, por lo que sus salidas darán como resultado "ceros", es decir, ninguna respuesta. (La acción al mismo tiempo de las teclas de ganancia, da como resultado este estado.

Por lo que respecta a los estados:

6 : Se presenta B0 al accionar ▲ , la salida cambia a "cuenta hacia arriba"

7 : Cuenta hacia abajo, no importa CA, la salida sigue en "cuenta hacia abajo"

8 : Lo mismo que en el anterior (sin importar B0 y CA)

10: Cuenta hacia arriba, no importa B0, la salida sigue en "cuenta hacia arriba"

11: Se presenta CA al accionar ▼ ; la salida cambia a "cuenta hacia abajo"

12: Cuenta hacia arriba (sin importar B0 y CA)

Se evaluaron mapas de Karnaugh con circuitos combinacionales, y se llegó a la conclusión de que la mejor implementación resulta con el uso de los dos multiplexores. Los mapas correspondientes y la implementación se anexan en la figura 4.13.

Como se mencionó en párrafos anteriores, el contador se compone de 2 "chips" SN74LS193 (synchronous 4-BIT UP/DOWN COUNTER), en el que sólo se usan 5 de sus salidas. En esta parte del circuito se usaron 2 contadores para simplificar la implementación y el alambrado del mismo.

El hecho de tener acceso a 5 salidas implica poseer 32 pasos (2^5) posibilidades de cambio. El rango que se requiere manejar para este ecualizador es de -15 dB a +15 dB, entonces, con la cantidad de pasos indicada, da como resultado 1 dB por cada paso que se da, o mejor dicho, por cada cambio en el contador de 5 bits.

Como la información que se debe manejar hacia los filtros es de 8 bits, y las especificaciones de diseño demandan que cada paso del contador corresponda a 1 dB en la ganancia de cada filtro, trae como consecuencia, que la palabra digital de 8 bits sea ajustada al valor adecuado de ganancia. La salida del contador no puede conectarse directamente a los latches de cada banda, puesto que no daría un cambio analógico correcto, por esta razón es necesario tener un elemento que adecue a la palabra digital (ver figura 4.12). Para este propósito se usó una PROM de la familia Bipolar de, 32 X 8 (TBP185030), esta memoria posee la ventaja de ser pequeña y de ajustarse perfectamente a lo requerido. La tabla 4.3 muestra la forma en que cada localidad de memoria fue programada para corresponder a 1 dB de ganancia por cada paso. Las características de programación para estas memorias se obtuvieron de las hojas de datos del fabricante. El estado de alta impedancia, así como también el de lectura, están controlados por la línea W del circuito secuencial.

TABLA 4.3

PROM 32 X 8

Localidad	Direccion	Msb	Lsb	G. en dB
0	0 0 0 0 0	0 0 0 0 0 0 0 0 0		+15
1	0 0 0 0 1	0 0 0 0 0 0 0 0 1		+15
2	0 0 0 1 0	0 0 0 0 0 0 1 1 0		+14
3	0 0 0 1 1	0 0 0 0 0 1 1 0 0		+13
4	0 0 1 0 0	0 0 0 1 0 0 1 1 0		+12
5	0 0 1 0 1	0 0 0 1 1 0 0 1		+11
6	0 0 1 1 0	0 0 1 0 0 0 0 1		+10
7	0 0 1 1 1	0 0 1 0 1 0 0 1		+ 9
8	0 1 0 0 0	0 0 1 1 0 0 0 1		+ 8
9	0 1 0 0 1	0 0 1 1 1 0 1 0		+ 7
10	0 1 0 1 0	0 1 0 0 0 0 1 1		+ 6
11	0 1 0 1 1	0 1 0 0 1 1 0 0		+ 5
12	0 1 1 0 0	0 1 0 1 0 1 1 0		+ 4
13	0 1 1 0 1	0 1 1 0 0 0 0 0		+ 3
14	0 1 1 1 0	0 1 1 0 1 0 1 1		+ 2
15	0 1 1 1 1	0 1 1 1 0 1 0 1		+ 1
16	1 0 0 0 0	1 0 0 0 0 0 0 0		- 0
17	1 0 0 0 1	1 0 0 0 1 0 1 0		- 1
18	1 0 0 1 0	1 0 0 1 0 1 0 0		- 2
19	1 0 0 1 1	1 0 0 1 1 1 1 1		- 3
20	1 0 1 0 0	1 0 1 0 1 0 0 1		- 4
21	1 0 1 0 1	1 0 1 1 0 0 1 1		- 5
22	1 0 1 1 0	1 0 1 1 1 1 0 0		- 6
23	1 0 1 1 1	1 1 0 0 0 1 0 1		- 7
24	1 1 0 0 0	1 1 0 0 1 1 1 0		- 8
25	1 1 0 0 1	1 1 0 1 0 1 1 0		- 9
26	1 1 0 1 0	1 1 0 1 1 1 1 0		-10
27	1 1 0 1 1	1 1 1 0 0 1 1 0		-11
28	1 1 1 0 0	1 1 1 0 1 1 0 1		-12
29	1 1 1 0 1	1 1 1 1 0 0 1 1		-13
30	1 1 1 1 0	1 1 1 1 1 0 0 1		-14
31	1 1 1 1 1	1 1 1 1 1 1 1 1		-15

Uno de los problemas que surgieron al diseñar el circuito, fue el de encontrar la manera de que al cambiar la banda, la lectura que se manejara en el despliegue luminoso correspondiera precisamente al de esa banda y no al de otra. Era necesario entonces, actualizar el contador binario con la información que en ese momento pasa por el canal de datos de 8 bits, considerando que la información proviene de la RAM, (como se verá en el bloque de memoria). Además había

otro problema; el tener que procesar de nuevo la información del mismo canal de datos, para que el contador tuviera la información actualizada, y sobre de esa cuenta comenzara, si es que llegara a modificarse la ganancia. Usando una EPROM de 256 X 8, no sólo se resolvía el problema, sino que también, se pudo superar el problema del despliegue luminoso, o sea, que la misma EPROM sirviera para mandar información al PRESET del contador, y al mismo tiempo al decodificador BCD-7 segmentos. Nótese lo anterior en la figura 4.12.

De nuevo, el uso de la memoria simplifica el diseño y la versatilidad del sistema. En la implementación del circuito, y con la ayuda de la tabla 4.4, donde se muestra la información grabada en la EPROM (HCN2708), se observará con mayor claridad lo explicado anteriormente.

Nótese que el canal de datos sirve para direccionar a la memoria. Por lo que se refiere a los 8 bits de datos de la EPROM (1024 X 8), D08 es el que enciende al dígito "uno", cuando éste deba encenderse, D01, D05, D06 y D07 van directamente conectados con el decodificador SN74LS248 (BCD-7 segmentos).

En lo que respecta a la información que hay que actualizar en los contadores, ésta se toma de los bits D01, D02, D03 y D04. Se hace notar, que el bit que controla al signo proviene de el mismo canal de datos (D08), este bit es "cero" en una mitad y "uno" en la otra mitad del rango de variación de ganancia.

TABLA 4.4

EPR0M 1024 X 8 (Sólo se indican las localidades que se usaron)

Localidad	Direccion B	Hsb	Lsb	Ganancia en dB
0	0 0 0 0 0 0 0 0	1 1 0 0 0 0 0 0		+ - (limite)
1	0 0 0 0 0 0 0 1	1 0 1 0 0 0 0 1		+15
6	0 0 0 0 0 1 1 0	1 0 1 0 0 0 1 0		+14
12	0 0 0 0 1 1 0 0	1 0 0 1 0 0 1 1		+13
18	0 0 0 1 0 0 1 0	1 0 0 1 0 1 0 0		+12
25	0 0 0 1 1 0 0 1	1 0 0 0 0 1 0 1		+11
33	0 0 1 0 0 0 0 1	1 0 0 0 0 1 1 0		+10
41	0 0 1 0 1 0 0 1	0 1 0 0 0 1 1 1		+9
49	0 0 1 1 0 0 0 1	0 1 0 0 1 0 0 0		+8
58	0 0 1 1 1 0 1 0	0 0 1 1 1 0 0 1		+7
67	0 1 0 0 0 0 1 1	0 0 1 1 1 0 1 0		+6
76	0 1 0 0 1 1 0 0	0 0 1 0 1 0 1 1		+5
86	0 1 0 1 0 1 1 0	0 0 1 0 1 1 0 0		+4
96	0 1 1 0 0 0 0 0	0 0 0 1 1 1 0 1		+3
107	0 1 1 0 1 0 1 1	0 0 0 1 1 1 1 0		+2
117	0 1 1 1 0 1 0 1	0 0 0 0 1 1 1 1		+1
128	1 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0		-0
138	1 0 0 0 1 0 1 0	0 0 0 0 0 0 0 1		-1
148	1 0 0 1 0 1 0 0	0 0 0 1 0 0 1 0		-2
159	1 0 0 1 1 1 1 1	0 0 0 1 0 0 1 1		-3
169	1 0 1 0 1 0 0 1	0 0 1 0 0 1 0 0		-4
178	1 0 1 1 0 0 1 1	0 0 1 0 0 1 0 1		-5
188	1 0 1 1 1 1 0 0	0 0 1 1 0 1 1 0		-6
197	1 1 0 0 0 1 0 1	0 0 1 1 0 1 1 1		-7
206	1 1 0 0 1 1 1 0	0 1 0 0 1 0 0 0		-8
214	1 1 0 1 0 1 1 0	0 1 0 0 1 0 0 1		-9
222	1 1 0 1 1 1 1 0	1 0 0 0 1 0 1 0		-10
230	1 1 1 0 0 1 1 0	1 0 0 0 1 0 1 1		-11
237	1 1 1 0 1 1 0 1	1 0 0 1 1 1 0 0		-12
243	1 1 1 1 0 0 1 1	1 0 0 1 1 1 0 1		-13
249	1 1 1 1 1 0 0 1	1 0 1 0 1 1 1 0		-14
255	1 1 1 1 1 1 1 1	1 0 1 0 1 1 1 1		-15

Como se mencionó, la información deberá ser actualizada tan pronto como se detecte un cambio en la posición de la banda (circuito del bloque de selección de banda), o bien, cuando se accione el modo CANAL, con el propósito de que el contador parta del punto donde originalmente esta posicionada esa determinada banda. A guisa de ilustración, y con ayuda de la figura 4.14, se muestra el siguiente ejemplo:

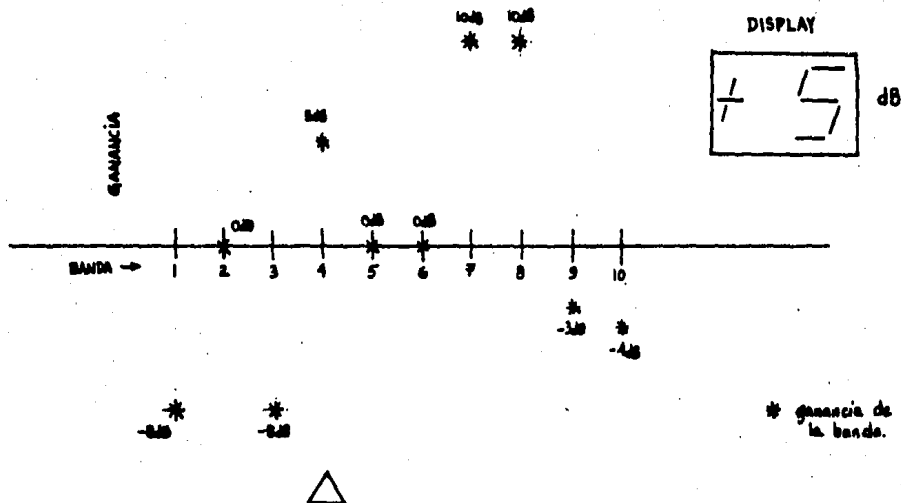


FIGURA 4.14 EJEMPLO DEL FUNCIONAMIENTO DEL BLOQUE DE GANANCIA.

Supongamos que el ecualizador está posicionado en la banda 4, la ganancia que se verá en el despliegue luminoso será la correspondiente a +5dB.

Si nos movemos hacia la derecha, digamos hasta la octava banda (figura 4.15) la lectura que saldrá en el indicador luminoso será +10 dB, si se requiere modificar la ganancia, se tendrá que apretar la tecla correspondiente ($\blacktriangle$ o $\blacktriangledown$). Los 10 dB aparecieron como consecuencia de que el contador y el decodificador, se actualiza a través de la EPROM (1024 X 8) activando la línea "LOAD" de los contadores. "LOAD" se modificará cada vez que se accione las teclas $\blacktriangle$ o $\blacktriangledown$ y además se cambie de canal mediante la tecla "CANAL".

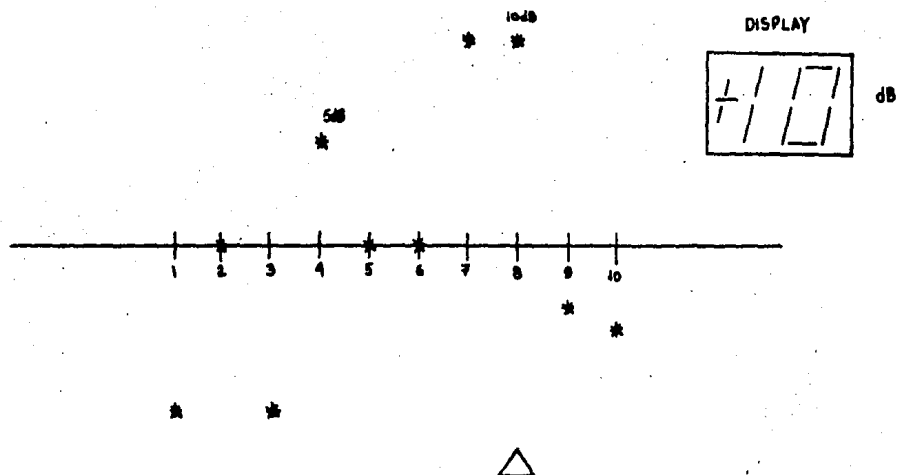


FIGURA 4.15 EJEMPLO DEL FUNCIONAMIENTO DEL BLOQUE DE GANANCIA.

El reloj que entra a los contadores 74LS193 tiene una frecuencia de 16 Hz y tal que a un pulso del teclado ($\blacktriangle$ o $\blacktriangledown$) corresponde un paso (1 dB) en la ganancia de la banda.

4.5 BLOQUE DE MEMORIA

El circuito comprende una unidad de memoria RAM de 8 bits, 2 memorias de 4 bits MCH2114 (1024 X 4). La figura 4.16 muestra la forma en que se manejan las líneas de dirección:

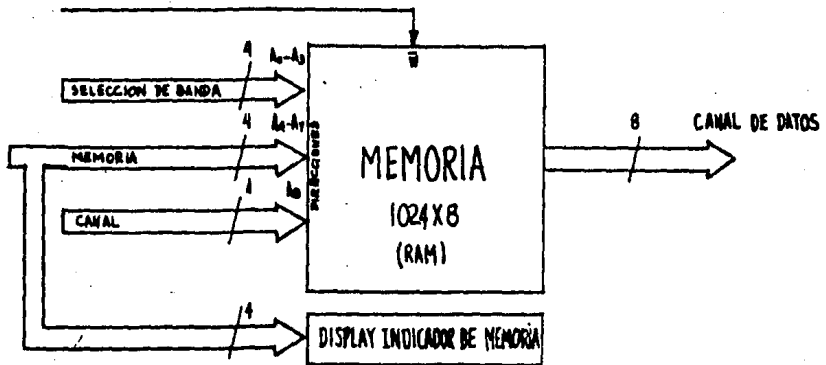


FIGURA 4.16 DIAGRAMA GENERAL DEL BLOQUE DE MEMORIA.

Cuatro líneas se necesitan para direccionar las 10 bandas que forman cada canal, estas 4 líneas provienen de la salida del contador SN74AL56B. Otras 4 líneas están dedicadas a la dirección de la memoria; como el sistema sólo puede direccionar 10 memorias únicamente se utilizan 4 líneas. Una última línea "CANAL" es la que se encarga de dividir en 2 a la RAM, o sea, que dependiendo del estado de dicha línea, es el bloque que selecciona. Otra forma de verlo sería como se ilustra en la figura 4.17:

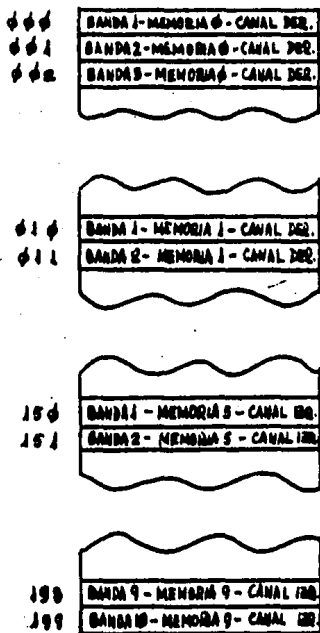


FIGURA 4.17 DIRECCIONAMIENTO DE LA MEMORIA.

Lo que hace versátil al sistema es el de tener el acceso independiente a cada canal, así como también la capacidad de guardar en memoria una serie de equalizaciones, en forma independiente para cada canal. La fuente de alimentación de la memoria se hace a través de una batería con el objeto de que las equalizaciones queden almacenadas, sin depender de la fuente de alimentación general.

El modo de escritura o de lectura de la memoria estará controlado

por el circuito secuencial a través de la línea W.

Para direccionar a las cuatro líneas de memoria existe un circuito asociado que lleva a cabo esta tarea y se puede ver en la figura 4.18.

Por otro lado, el CI15 Flip-Flop SN74LS74 detecta cuando las teclas MEM-▲ y MEM-▼ se han accionado, la línea "CLEAR" del CI9 se habilita, dejando inoperante parte del teclado, como se explicó en su oportunidad. La frecuencia del reloj 2 es de 2 Hz, tal que al accionar la tecla correspondiente, el pulso resultante de como resultado un paso hacia arriba o hacia abajo, según sea el caso. El contador SN74LS92 (BCD) llevará la cuenta de la localidad de memoria donde se encuentra almacenada una ecualización determinada. La salida de éste contador se compone de cuatro líneas, las que se encuentran conectadas directamente a la memoria RAM y la otra al decodificador BCD-7SEGMENTOS (SN74LS248) el cual indicará la memoria direccionada. Al encender por primera vez el aparato la memoria que se posicionará es la localidad 0.

4.6 BLOQUE DE REGISTRO TEMPORAL

Esta sección del circuito entra en funcionamiento únicamente en el modo "IGUAL". La función tiene como objetivo el de colocar la misma información en ambos canales al mismo tiempo, es decir, si la tecla "IGUAL" está encendida, al accionar las teclas de ganancia, ya sea en forma ascendente o descendente, la información, en lo que respecta a la ganancia para esa banda en particular, será la misma

para ambos canales. Con lo anterior se evita el hecho de cambiar el canal, y de nuevo, modificar la ganancia. Para tal función es necesario tener un registro temporal, que en el diagrama esquemático queda representado por el C124 (SN74LS374). La línea de habilitación "OC" está controlada por el circuito secuenciador, como se verá más adelante.

4.7 BLOQUE SECUENCIADOR.

El bloque secuenciador tiene como propósito el efectuar el control de gran parte del sistema digital, para hacerlo funcionar en forma adecuada. La configuración que se usó para el circuito se observa en la figura 4.18.

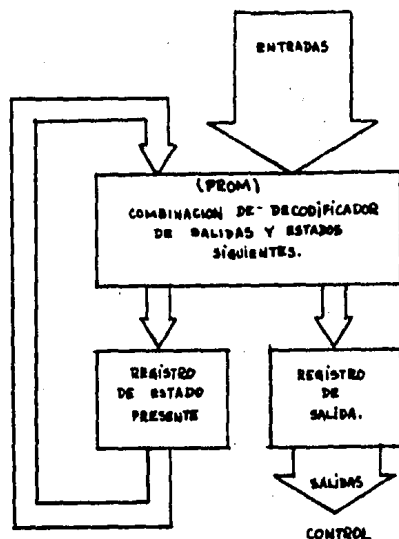


FIGURA 4.18 CONFIGURACION DEL BLOQUE SECUENCIADOR.

En la configuración de direccionamiento directo mediante EPROM, existe un compromiso entre la flexibilidad del mismo, junto con su costo. Puede verse que el uso de una EPROM implica un gran desperdicio, sin embargo, el arreglo posee grandes ventajas; primero, su sencillez desde el punto de vista de alambrado, si el control se hiciera a base de flip-flops, al menos se hubieran usado cuatro de ellos, claro está, sin contar la lógica que va unida al diseño. Los circuitos impresos serían más complejos. En segundo lugar, al tener la oportunidad de modificar el contenido de la EPROM, nos proporciona la conveniencia de que si al sistema se le hicieran

cambios en su estructura, ya sea en forma de nuevas funciones o en la secuencia de las mismas, no tendrían que realizar cambios importantes al circuito impreso, sólo se tendría que modificar el contenido de la memoria (dependiendo el caso).

En el circuito se usó una EPROM, de la más pequeña que se encontró en el mercado, sin embargo, pudo haberse utilizado una PROM bipolar de 256 X 8 que se ajusta perfectamente al sistema y además es de 16 patas, por ejemplo (TBP28L22) manufacturada por Texas Instruments.

Para realizar el programa específico del circuito secuencial, o mejor dicho, la codificación adecuada que llevará la EPROM, se hicieron una serie de especificaciones en cuanto a las tareas que debería desempeñar el sistema, y que continuación se detallan:

a) Al encender el aparato y producirse un pulso de "inicio", automáticamente, la información contenida en la memoria "0", pasará a cada banda en los dos canales, es decir, las 20 bandas deberán actualizarse a partir de la memoria "0".

b) Efectuar el control de la líneas de lectura y escritura en las memorias cuando exista la condición de modificación en la ganancia del ecualizador.

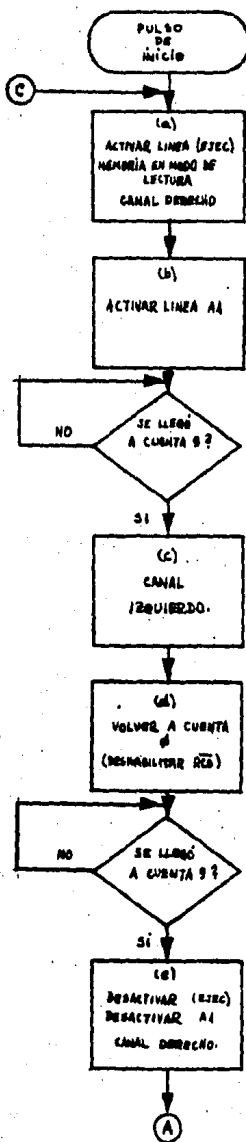
c) Vaciar el contenido de una determinada memoria a todas las bandas. Esta tarea es semejante a la del inciso a), excepto que aquí previamente se selecciona una determinada memoria, incluyendo la "0".

d) Controlar el cambio de canal adecuado en cada secuencia.

e) En el caso de que se presente la señal "IGUAL", la información que se maneje debe ser la misma para ambos canales.

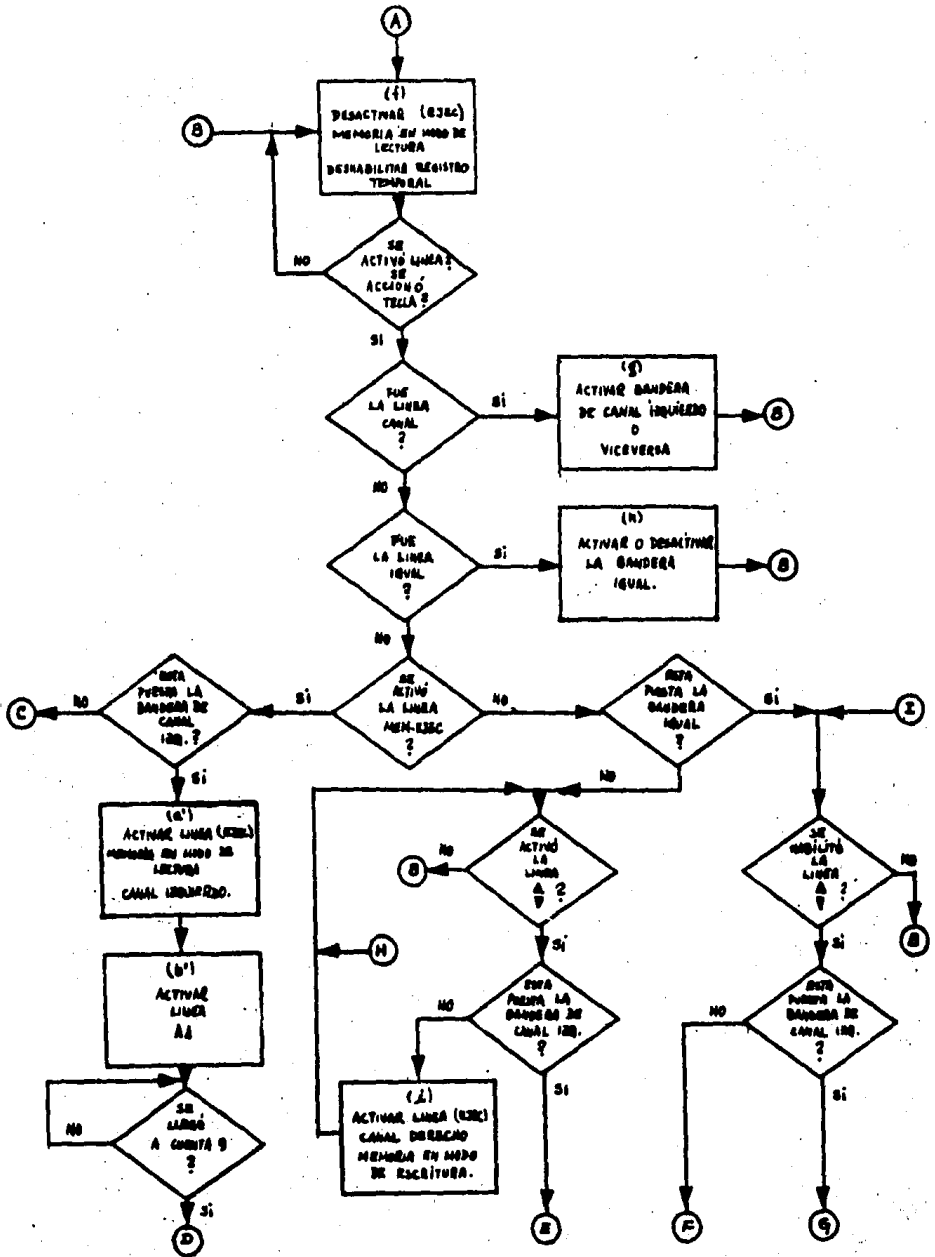
Para entender mejor la secuencia que debe seguir el circuito, en la figura 4.19 se proporciona un diagrama de flujo detallado, y sobre el cual se hará la explicación correspondiente.

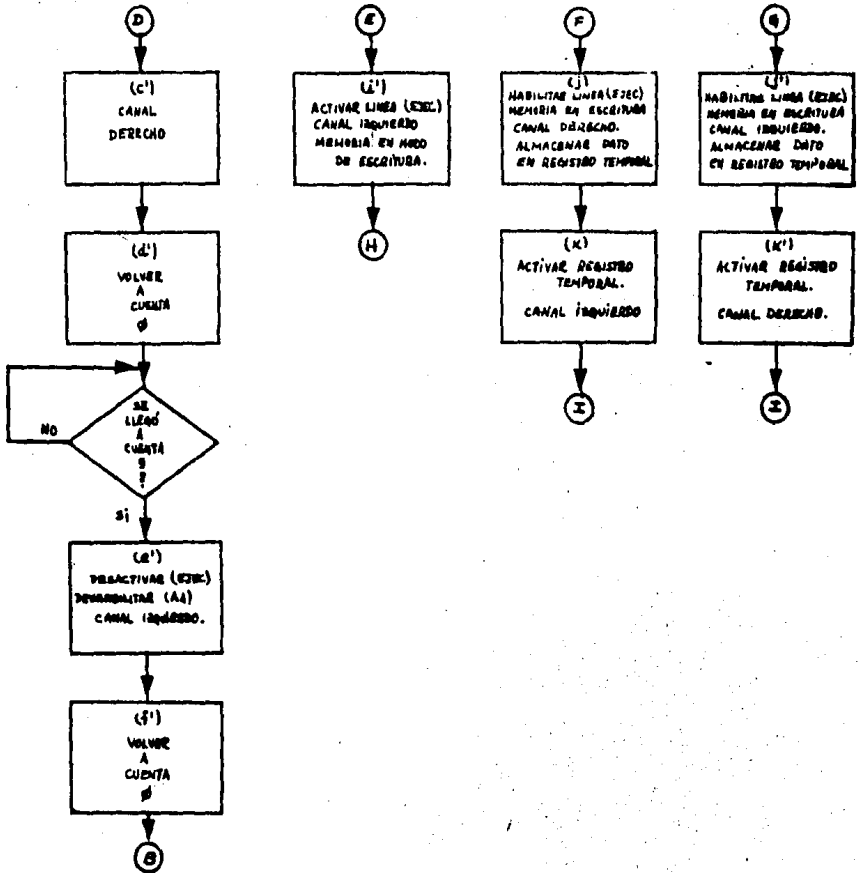
Al encender por vez primera el aparato, se produce un pulso de "inicio" en la línea SYSCLR, el CI29 (ver diagrama esquemático) se pone en "ceros", al mismo tiempo que los latches (CI32-33-15) asociados al circuito secuenciador. Al siguiente pulso de reloj, A1 se habilita, dando como resultado que CI29 comience su cuenta a partir de "0". El canal direccionado será el derecho. Aquí lo que se hace es actualizar a las diez bandas del canal derecho. Cuando CI29 llegue a la cuenta 9, la línea RCO del contador se activará ("0" lógico), el cambio hará que el circuito secuenciador modifique el canal (estado "c") al canal izquierdo, esto sucede en un ciclo de reloj. Después de otro ciclo de reloj, el contador regresa a la cuenta "0", y RCO se deshabilita. A partir del estado "d", el contador seguirá funcionando, actualizando cada una de las bandas del canal izquierdo. Cuando la cuenta llega a 9, RCO se habilita de nuevo, las líneas EJEC, A1 y CANAL se desactivan, dando por terminado el ciclo de encendido. Nótese que el canal que queda direccionado es el derecho. El estado "f" corresponde al de espera de activación de teclas. Podemos observar que los estados del "a" al "f" son semejantes al ciclo de encendido, con la única diferencia que el canal que se direcciona dependerá de la línea CANAL. La línea anterior es como una bandera cuyo estado modifica la secuencia del circuito.



CICLO DE ENCENDIDO.

FIGURA 4.19 DIAGRAMA DE FLUJO DEL SECUENCIADOR.





Por ejemplo, si el canal en que está posicionado el ecualizador es el izquierdo, al presionar MEN-EJEC, CI29 comenzará su primera cuenta actualizando el canal izquierdo, la segunda cuenta actualizará el canal derecho, volviendo por último al canal izquierdo. Los estados "g" y "h" del diagrama de flujo corresponden al de encendido y apagado de las banderas CANAL e IGUAL. La línea IGUAL funciona como otra bandera, que dependiendo su estado, modificará al circuito secuencial. Cuando la línea IGUAL se deshabilita, y se modifica la ganancia de una banda en particular, la acción hará que la línea de activación de ganancia opere y se habiliten EJEC y H como respuesta.

El contenido de la memoria cambia de acuerdo al tiempo que se mantenga la acción de las teclas de ganancia. En éste caso la acción también depende del estado de la tecla CANAL. Si la línea IGUAL estuviera activa, lo primero que se hace el cambio sobre el canal que originalmente estaba posicionado, guardando el contenido en el registro temporal. Al siguiente ciclo de reloj, el canal cambia, y OC se habilita, colocando en el canal de datos la información anterior, al mismo tiempo a la RAM. En los estados "j", "k", "j'" y "k'" se observa lo explicado anteriormente.

La función MEN-EJEC será la que señale cuándo volver al ciclo de carga de la información hacia cada banda.

En la TABLA 4.5 se muestra la codificación de la memoria del secuenciador.

TABLA 4.5

estado presente			entradas del sistema					estado siguiente			salidas del sistema				
A	B	C	CANAL	IGUAL	MEM	▲▼	RCO	A	B	C	A1	OC	EJEC	H	CANAL
0	0	0	0	*	*	*	*	0	0	1	0	0	1	0	0
0	0	1	0	*	*	*	1	0	0	1	1	0	1	0	0
0	0	1	0	*	*	*	0	0	1	0	1	0	1	0	1
0	1	0	0	*	*	*	*	0	1	1	1	0	1	0	1
0	1	1	0	*	*	*	1	0	1	1	1	0	1	0	1
0	1	1	0	*	*	*	0	1	0	0	0	0	0	0	0
1	0	0	0	*	0	0	*	1	0	0	0	0	0	0	0
1	0	0	0	*	1	0	*	0	0	0	0	0	1	0	0
1	0	0	0	0	0	1	*	1	0	0	0	0	1	1	0
1	0	0	0	1	0	1	*	1	0	1	0	0	1	1	0
1	0	1	0	1	0	*	*	1	0	0	0	1	1	1	1
0	0	0	1	*	*	*	*	0	0	1	0	0	1	0	1
0	0	1	1	*	*	*	1	0	0	1	1	0	1	0	1
0	0	1	1	*	*	*	0	0	1	0	1	0	1	0	0
0	1	0	1	*	*	*	*	0	1	1	1	0	1	0	0
0	1	1	1	*	*	*	1	0	1	1	1	0	1	0	0
0	1	1	1	*	*	*	0	1	0	0	0	0	0	0	1
1	0	0	1	*	0	0	*	1	0	0	0	0	0	0	1
1	0	0	1	*	1	0	*	0	0	0	0	0	1	0	1
1	0	0	1	0	0	1	*	1	0	0	0	0	1	1	1
1	0	0	1	1	0	1	*	1	0	1	0	0	1	1	1
1	0	1	1	1	1	0	*	1	0	0	0	1	1	1	0

* irrelevante

Las 22 localidades representan los estados que se consideraron en el diagrama de flujo de la figura 4.21. Las demás localidades de memoria contienen también información, ésta por lo general toma en cuenta los casos en que se aprieta más de una tecla. Para evitar que se produzcan errores, todas las localidades que contienen "*" (irrelevante) permanecen en las mismas salidas del bloque correspondiente. En la TABLA 4.6, se observa el contenido de las 256 localidades para la memoria en notación hexadecimal.

TABLA 4.6

LOCALIDAD	CONTENIDO	LOCALIDAD	CONTENIDO	LOCALIDAD	CONTENIDO
00	24	50	74	90	81
01	24	51	74	91	81
/	/	/	/	92	87
/	/	/	/	93	87
/	/	/	/	94	05
0E	24	5E	74	95	05
0F	24	5F	74	96	81
10	25	60	80	97	81
11	25	61	75	98	81
/	/	62	80	99	81
/	/	63	75	9A	A7
/	/	64	80	9B	A7
/	/	65	75	9C	05
1E	25	66	80	9D	05
1F	25	67	75	9E	81
20	55	68	80	9F	81
21	34	69	75	A0	80
22	55	6A	80	A1	80
23	34	6B	75	/	/
24	55	6C	80	/	/
25	34	6D	75	/	/
26	55	6E	80	/	/
27	34	6F	75	A7	80
28	55	70	81	A8	8F
29	34	71	74	A9	8F
2A	55	72	81	AA	8F
2B	34	73	74	AB	8F
2C	55	74	81	AC	80
2D	34	75	74	AD	80
2E	55	76	81	AE	80
2F	34	77	74	AF	80
30	54	78	81	B0	81
31	35	79	74	B1	81
32	54	7A	81	B2	81
33	35	7B	74	B3	81
34	54	7C	81	B4	81
35	35	7D	74	B5	81
36	54	7E	81	B6	81
37	35	7F	74	B7	81
38	54	80	80	B8	8E
39	35	81	80	B9	8E
3A	54	82	86	BA	8E
3B	35	83	86	BB	8E
3C	54	84	04	BC	81
3D	35	85	04	BD	81
3E	54	86	80	BE	81
3F	35	87	80	BF	81
40	75	88	80	CO	00
41	75	89	80	C1	00
/	/	8A	A6	/	/

/	/	8B	A6	/	/
/	/	8C	04	/	/
/	/	8D	04	/	/
4E	75	8E	80	FE	00
4F	75	8F	80	FF	00

A partir de la explicación anterior, es posible darse cuenta lo sencillo que resulta el diseñar una secuencia de ejecución determinada, haciendo uso de esta configuración. Si por algún motivo, se requiere cambiar la secuencia, sólo necesitaríamos programar de nuevo la memoria y no se tendría que hacer un cambio significativo al alambrado del mismo.

4.8 BLOQUE DE INDICADOR GRAFICO

El circuito de indicador gráfico se encarga de desplegar la información en una matriz de "leds" de 20 X 10. La información que forma parte de cada banda, gráficamente queda indicada en el despliegue luminoso. Para ello, el bloque del indicador gráfico dispone de una serie de circuitos que se observan en la figura 4.20.

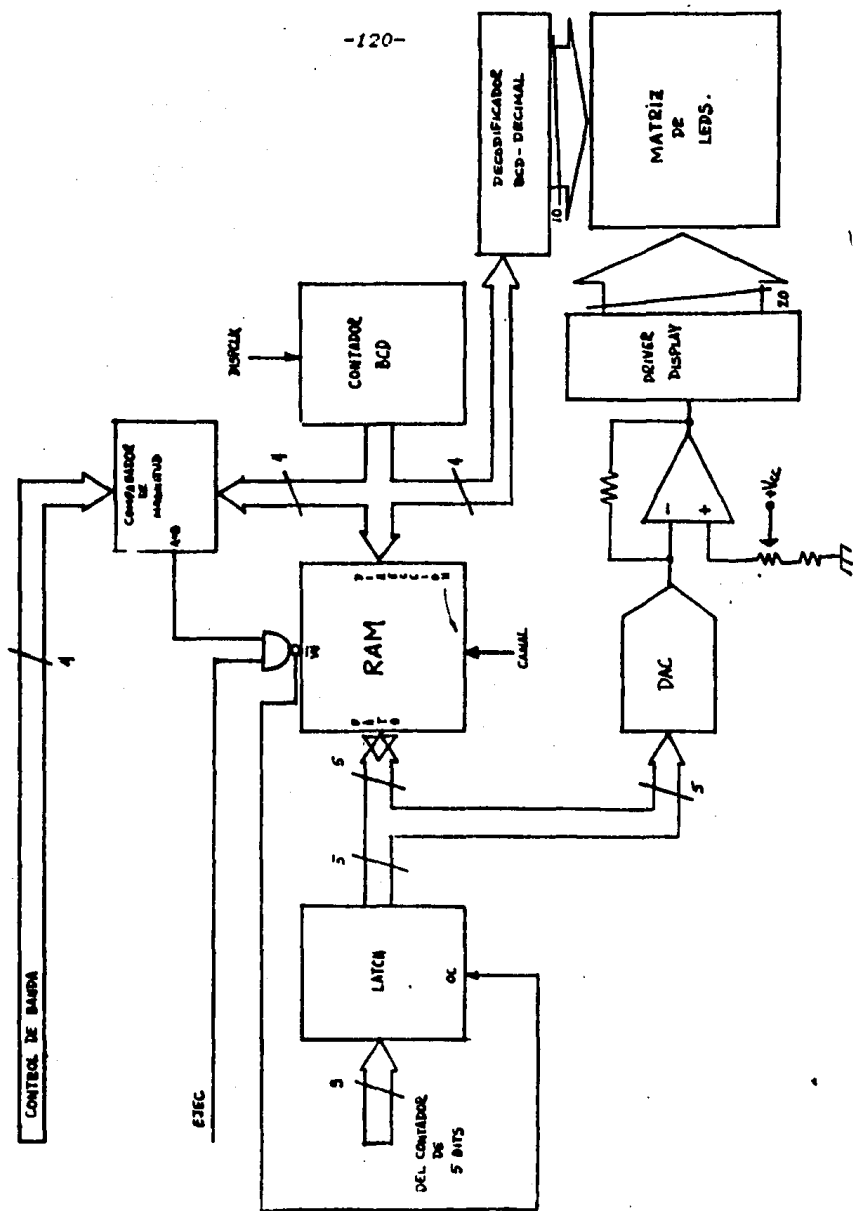


FIGURA 4.20 CONFIGURACION DEL BLOQUE DE INDICADOR GRAFICO.

La RAM indicada en la figura contiene la información actualizada de las 10 bandas de cada canal, siguiendo un proceso de actualización semejante al del bloque secuenciador. El contador binario de 4 bits tiene un reloj a una frecuencia 12 veces más elevada que el reloj del sistema (2.5 kHz). Como el contador está conectado directamente al canal de direcciones dirección de la RAM, la memoria continuamente cambia su información, que pasa directamente al DAC, dando un cambio de voltaje de acuerdo a la palabra digital, el voltaje servirá para comandar al circuito integrado lineal (C150-51 Dot/Bar Display Driver). La información estará multiplexándose a una frecuencia de 2.5 kHz. Por ejemplo, cuando el contador tenga 0000 (binario), la información de la RAM será la que corresponde a la banda 1, la primera columna de la matriz de leds tendrá la información analógica de esa banda. Lo anterior sucede de la misma forma para las demás bandas, y como la frecuencia es alta, el contenido de la RAM se maneja tan rápido, que el ojo humano no detecta el cambio entre una y otra banda, haciéndola aparecer en el display en forma continua. La frecuencia de 2.5 kHz., se escogió así debido a que había que considerar el tiempo de respuesta del DAC, del operacional y para el Dot/bar Display (LM3914), además la frecuencia debería ser lo suficientemente alta para que el despliegue luminoso fuera lo más estable y visible. En el diagrama esquemático correspondiente de la matriz de leds, se observa que existen 10 transistores PNP, cuyas bases van conectadas directamente al decodificador BCD-DECIMAL. Un transistor se enciende a la vez, debido a que el decodificador posee verificación baja, es decir, una salida es cero lógico sucediendo lo contrario con las demás. El transistor conducirá cuando en la salida correspondiente exista un

"0", la columna quedará activa, funcionando en combinación con los CI50-51. La forma de conexión en cascada de estos circuitos, es la recomendada por el fabricante.

Veamos lo que sucede cuando se accionan las teclas de ganancia para cada banda, con ayuda del diagrama de la figura 4.20. Como se vió en el bloque secuenciador, el presionar las teclas $\blacktriangle$ o $\blacktriangledown$, hace que la línea EJEC se habilite. Como la frecuencia del reloj para el display es 12 veces mayor que el reloj del sistema, se asegura que en un ciclo de reloj del sistema (SYSCLK), las 10 localidades de la RAM se direccionen. Cuando la dirección dada por el contador de 4 bits sea igual a la dirección de la banda dada por el CI29, el pulso servirá para activar la línea de lectura de la RAM (CI40) y poner a la RAM en modo de escritura, actualizándola con la información que se modifica en el filtro correspondiente. Al mismo tiempo la línea OC se habilita, dejando pasar la información proveniente del contador de 5 bits al canal de datos de la RAM. La memoria está en modo de escritura sólo cuando se usan las teclas $\blacktriangle$ o $\blacktriangledown$, o cuando se llama a una memoria determinada y se vacía el contenido en los 20 convertidores digitales-analógicos. En el despliegue luminoso únicamente aparece la información de un canal a la vez. Si se desea ver otro canal, bastará con apretar la tecla CANAL.

La justificación de usar esta circuitería para el despliegado gráfico fue la siguiente: al sistema ecualizador puede adicionársele un analizador de espectro, circuito útil para el uso junto con un ecualizador. Con sólo colocar un interruptor en la forma adecuada a la entrada analógica del CI50-51, la misma matriz

de leds servirá también para el analizador. La configuración mencionada en párrafos anteriores resulta la más idónea para tal efecto. Como el presente trabajo considera únicamente el diseño del sistema ecualizador, el circuito para el analizador no se contempla aquí.

4.9 BLOQUE DE SELECCION DE ENTRADAS Y SALIDAS.

Refiriéndose al diagrama esquemático correspondiente, el circuito está compuesto por un multiplexor analógico doble, de 4 entradas cada uno, a través de sus líneas A0, A1, se seleccionan las entradas, CI46 es un contador de dos bits, que se comanda por medio del teclado. El CI39 funciona como indicador de entrada, tomando las dos salidas directamente del contador. El multiplexor analógico tiene una distorsión armónica baja (0.04 %) y no representa problema en esta aplicación. El relevador es de dos polos dos tiros, y se comanda por medio de la línea FLAT, a través de transistor TR23, el diodo asociado con el transistor, es un protector del mismo. Cuando el aparato se enciende por primera vez, el ecualizador no se conecta directamente, para evitar que se produzca alguna señal extraña hacia la etapa amplificadora.

4.10 CIRCUITOS AUXILIARES.

Los circuitos auxiliares son los siguientes: relojes, los interruptores del tipo "toggle", el circuito generador del pulso de

"inicio" y el "driver" para el canal de datos. El CI35 es un "chip" 555, conectado de tal forma que funcione como un astable. La configuración usada es la que recomienda el fabricante para generar una onda cuadrada con un ciclo de trabajo del 50 %. El circuito integrado es muy estable, el capacitor asociado al CI35 conectado a la pata 6, es de una tolerancia de 2 % para dar un margen de error bajo, desde el punto de vista frecuencia. Por otro lado, CI36 divide 12 veces la frecuencia obtenida del astable, derivando así el reloj del sistema (SYSCLK). Existe una segunda derivación a la salida del CI35, que va a la base de un transistor NPN, el circuito es un derivador de la transición baja del reloj. Esto da como resultado un tren de pulsos con la misma frecuencia del CI35 y de corta duración, que se inyectan a las patas 12 y 19 del CI37. La forma de este reloj se hace necesaria debido a que la manera en que funcionan los flip-flops J-K, conectados como "toggle", pueden llegar a oscilar como consecuencia de las múltiples realimentaciones internas, que tienen que ver con el tiempo de propagación de las compuertas. El pulso de corta duración, impedirá que alcancen a oscilar evitando que provoquen falsos códigos. Los flip-flops mencionados anteriormente se utilizan para las líneas "CANAL", "IGUAL" y "FLAT". El CI38 son dos "chips" 555, el alambrado es el mismo que el anterior. Uno de ellos genera el reloj (CLK 3) para el control de ganancia y posee una frecuencia de 16 Hz, el otro es el reloj (CLK 2) con una frecuencia de 2Hz y hace funcionar al selector de memoria y al selector de banda, vistos en su oportunidad.

Los pulsos de "inicio" se dan conectando un capacitor en serie con una resistencia, como se puede ver en el diagrama esquemático. El diodo

asociado a este circuito tiene la finalidad de efectuar la descarga del capacitor.

Cuando el aparato se enciende por vez primera, el capacitor se carga a través de la resistencia, dando el pulso de inicio correspondiente.

El CI34 es un "bus drive", necesario para manejar a la sección de convertidores digitales analógicos. Como el número de latches es de 20, si no tuviera el CI34, el "fan out" sería mayor de 20 entradas, (contando además los circuitos de control) se tendrían problemas en los casos extremos, es decir, la corriente suministrada por la salida de la memoria RAM no sería suficiente para manejar mas de 20 entradas, por eso se utiliza el driver. El CI34 (SN74LS244) posee un "fan out" elevado.

5 NUEVAS TECNOLOGIAS EN EL DISEÑO DE ECUALIZADORES CONTROLADOS DIGITALMENTE.

A partir de 1981, ecualizadores controlados digitalmente salieron al mercado (Popular Electronics, Octubre 1981, p.18), una parte de ellos, al igual que el ecualizador del presente trabajo, no usaban circuitos especializados para esta tarea en particular, puesto que en ese periodo de tiempo no había en el mercado tales circuitos integrados.

En la actualidad, un número importante de compañías extranjeras, y en especial japonesas utilizan circuitos altamente especializados para tal efecto haciendo que el alambrado no llegue a ser tan complicado.

La compañía National Semiconductor Corporation, en su publicación; 1984 Linear Supplement Databook, como información preliminar, desarrolló un circuito integrado, el LMC835, que es un ecualizador gráfico controlado digitalmente, cuyas características resultan muy atractivas. Desafortunadamente, hasta la fecha en que se desarrolla esta tesis, el circuito aun no salía a la venta al mercado del consumidor.

El circuito tiene las siguientes características:

- * 14 bandas de 25 pasos cada una.
- * Rango de ± 12 dB.
- * Baja distorsión armónica.

*** Compatibilidad con microprocesadores.**

Aunque es un circuito sumamente versátil, el número de funciones integradas no es muy grande, debido a que sigue siendo necesario el uso de amplificadores operacionales para formar cada filtro pasobanda, y además, se requiere elaborar un diseño mediante un circuito digital para llevar a cabo el control del "chip". De una forma u otra, los avances en estos campos son impresionantes, y no dudamos en pensar que se llegará a diseñar algún circuito integrado cuyo alambrado externo llegue a reducirse al mínimo.

Uno de los aspectos que conviene aclarar aquí, es la forma en que está diseñado el LMC835. El circuito posee atenuadores controlados digitalmente mediante el uso de conmutadores analógicos, de la misma forma en que se planteó la implementación de esta idea al principio del presente trabajo, no habiéndose implementado de esa manera el control digital de las bandas, debido a que los conmutadores analógicos requeridos, hacían necesario el uso de un número elevado de circuitos integrados, razón por la cual se desechó la idea. En el circuito integrado LMC835, esta idea es práctica, debido a que los conmutadores analógicos requeridos forman parte del mismo "chip".

Las hojas de especificaciones del LMC835 (Digital Controlled Graphic Equalizer) se anexan en el apéndice D.

CONCLUSIONES

Consideramos de gran importancia hacer notar algunos aspectos concernientes con el desarrollo, tanto del presente trabajo, como del prototipo que lo respalda.

Se ha logrado implementar un prototipo que satisfizo adecuadamente los requerimientos planteados al iniciar el proyecto. Estamos concientes de que no hemos desarrollado algo nuevo en el mundo, sin embargo, si hemos implementado un sistema innovador en México, que dada la condición de atraso tecnológico del país, representa una alternativa que puede ser alcanzada con el material disponible en México, pues como se comentó en el capítulo 5, las grandes compañías que manufacturan equipos de audio en E.U.A. y Japón, han logrado que National Semiconductor desarrolle un circuito integrado que realiza gran parte de las funciones que lleva a cabo nuestro sistema. Ante tal capacidad de desarrollo de tecnología, no podemos competir, pero si nos queda la satisfacción de haber diseñado un sistema con el material a nuestro alcance, y que además supera a aquellos basados en dicha tecnología en muchos aspectos, tales como número de bandas y versatilidad en el control digital.

Es de gran relevancia subrayar que el principio de funcionamiento de dicho circuito coincide en aspectos fundamentales con el que se presenta en este trabajo, sobresaliendo que la publicación de la existencia de dicho circuito integrado es posterior al inicio de nuestro proyecto.

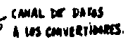
Otro aspecto importante de mencionar, es que al haber llevado a cabo un trabajo, no sólo teórico sino también un prototipo que respalda a aquel, nos confirma que la Ingeniería es un equilibrio entre el conocimiento teórico y el conocimiento empírico, pues en el momento de implementar físicamente un diagrama diseñado teóricamente, salen a relucir gran cantidad de problemas no previstos en el papel, tales como aparición de ruido; elección adecuada del tipo, capacidad, tolerancia, disipación de potencia, etc. de los elementos; diseño de los circuitos impresos, tomando en cuenta el espesor, tamaño y trazado óptimo de las pistas; etc. cuya solución viene a complementar el trabajo realmente ingenieril del proyecto.

Si a lo anterior se agrega que al pasar un circuito tan complejo, armado en tabletas de experimentación al circuito impreso, aparecen problemas tales como pistas cortadas, bases defectuosas, etc. cuya solución lleva tiempo considerable, concluimos que nos sentimos muy satisfechos de nuestro trabajo porque representa en su totalidad los pasos a seguir en el proceso de elaboración de un proyecto de Ingeniería.

APENDICE A

DIAGRAMAS ESQUEMATICOS

DIAGRAMA ESQUEMATICO
(CIRCUITO IMPRESO SECCION CONTROL)



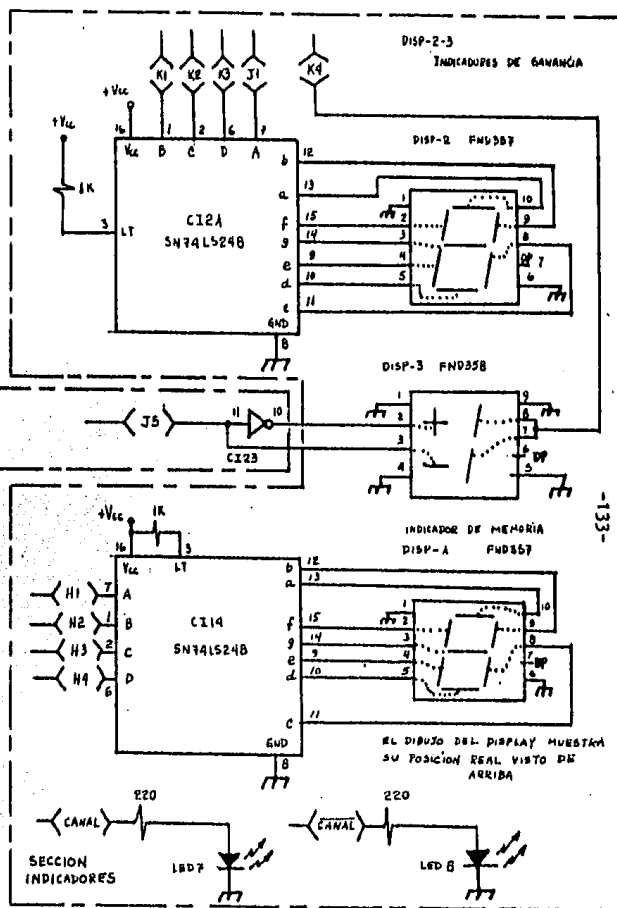
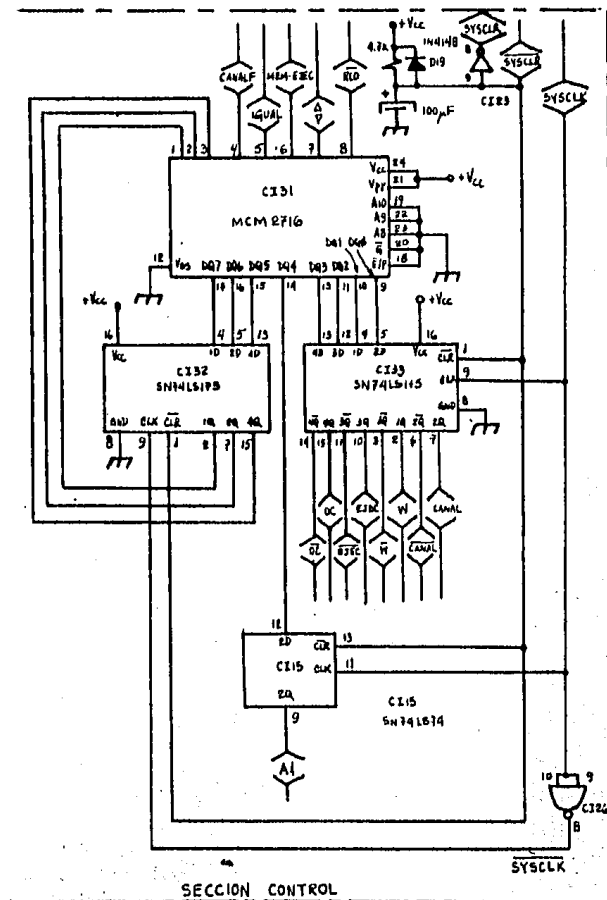
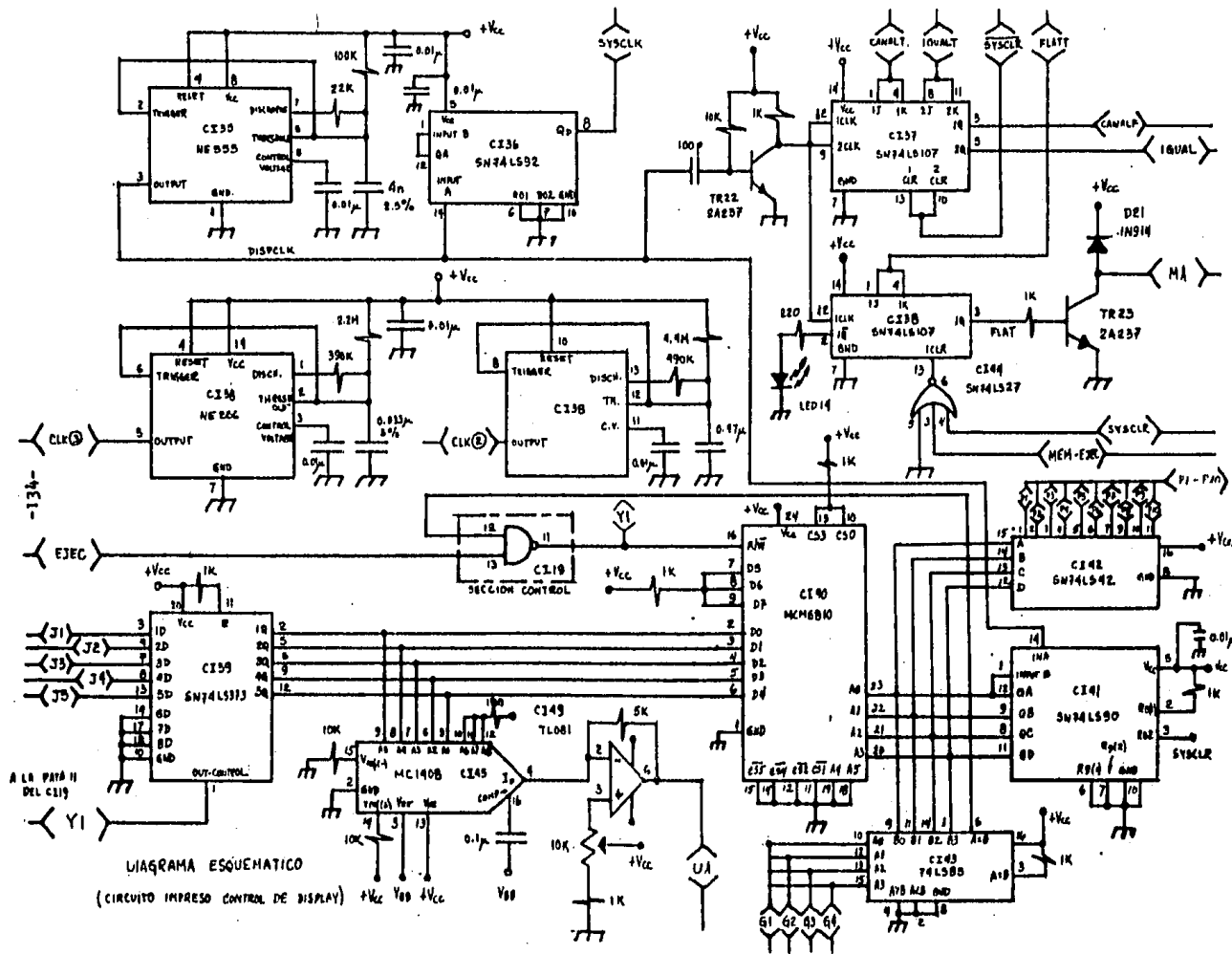


DIAGRAMA ESQUEMATICO

(CIRCUITOS IMPRESOS - SECCION CONTROL Y SECCION INDICADORES)



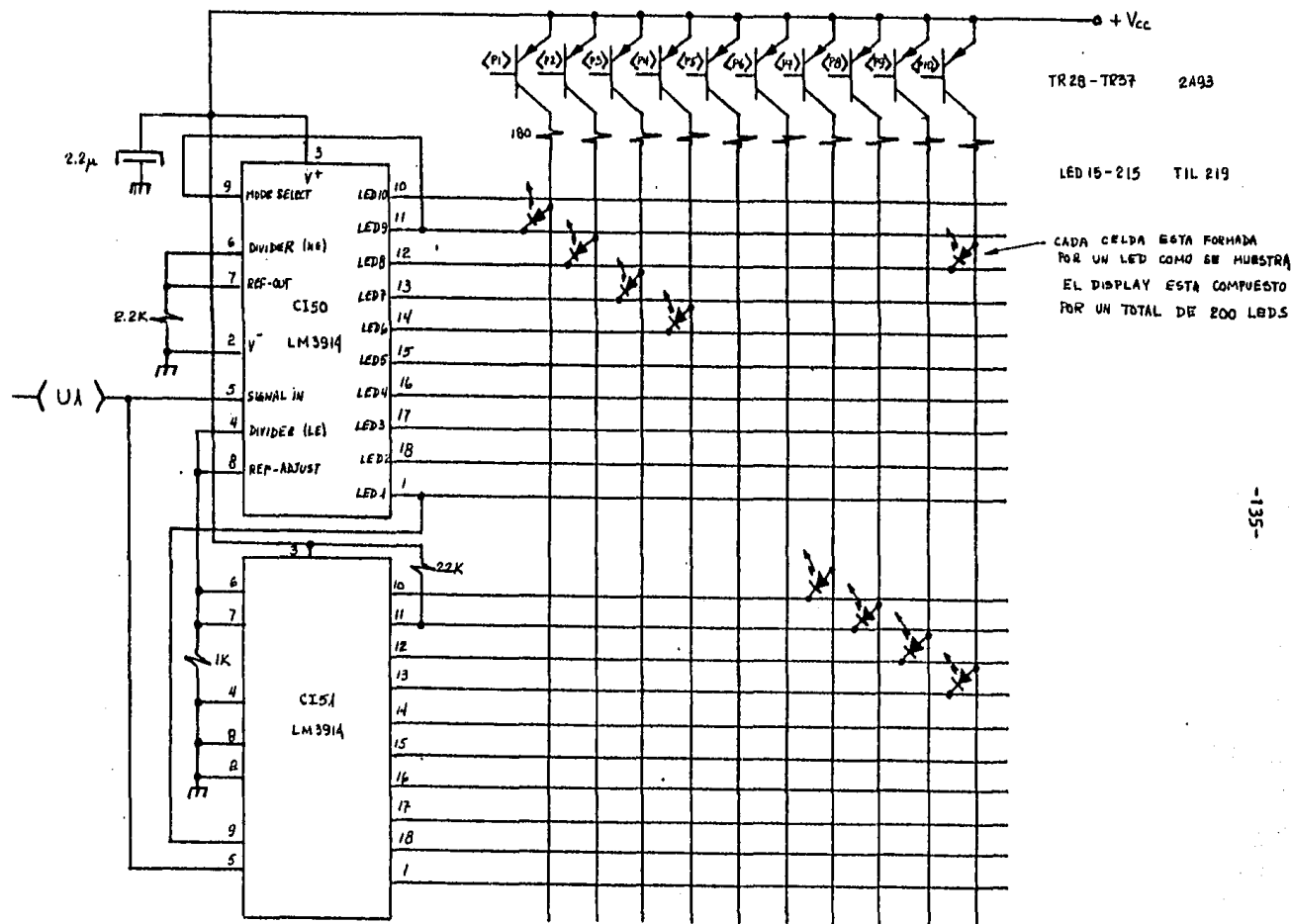
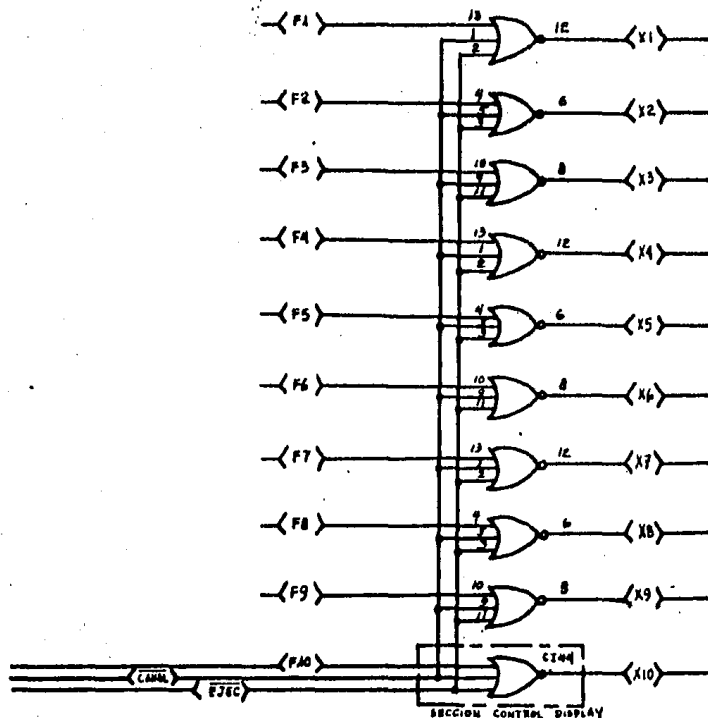


DIAGRAMA ESQUEMATICO (IMPRESO-SECCION MATRIZ DE LEDs)

CE32-54
5N74LS27



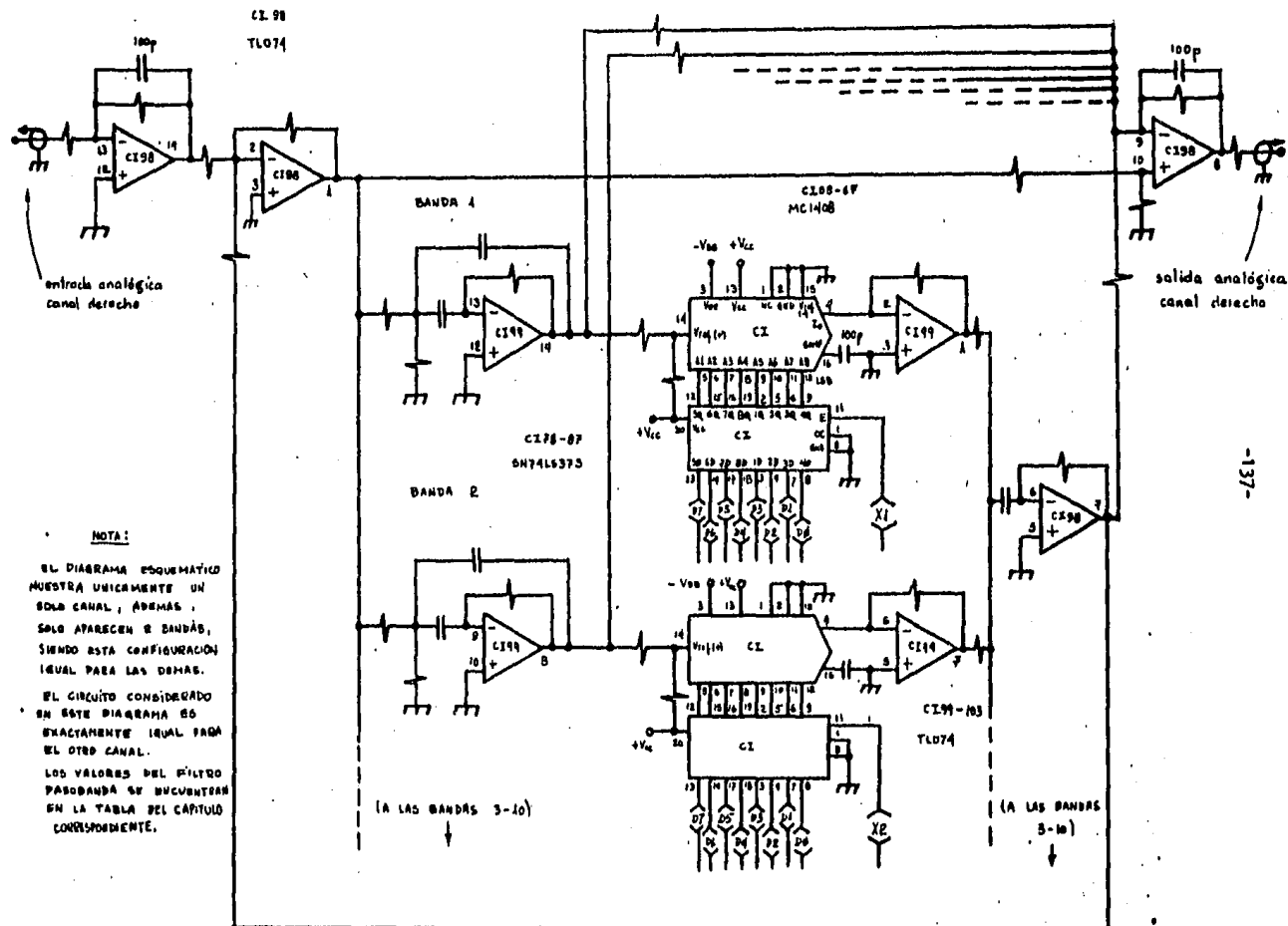
NOTA:

ESTOS CIRCUITOS FORMAN PARTE DE LA SECCION DE CONVERTIDORES DIGITALES ANALOGICOS.

EN ESTE DIAGRAMA SE MUESTRA EL ALAMBRADO QUE CORRESPONDE A UN CANAL, SIENDO EXACTAMENTE IGUAL PARA EL OTRO CANAL.

DIAGRAMA ESQUEMATICO (IMPRESO SECCION - CONVERTIDORES DIGITALES-ANALOGICOS)

(IMPRESO SECCION- CONVERTIDORES DIGITALES-ANALOGICOS)



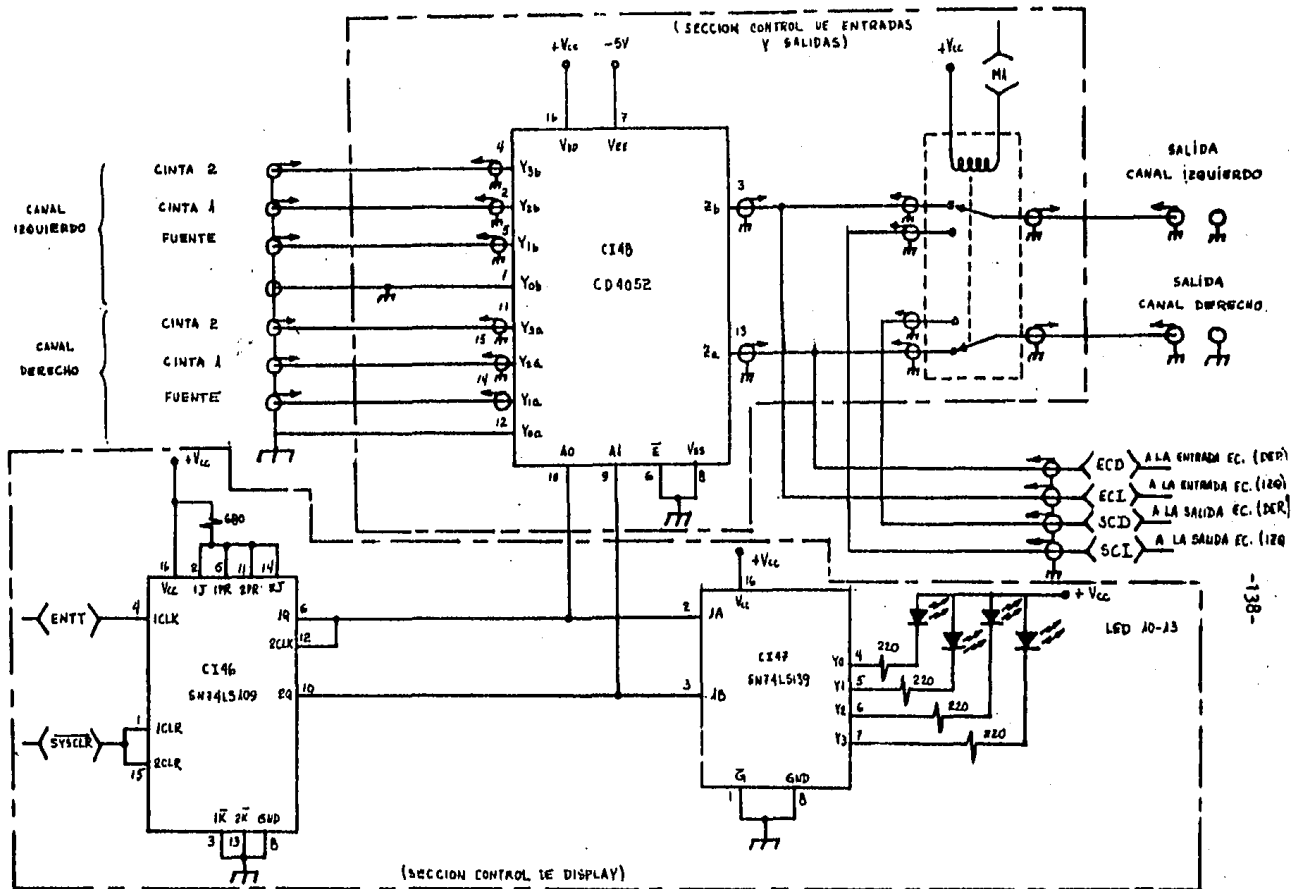
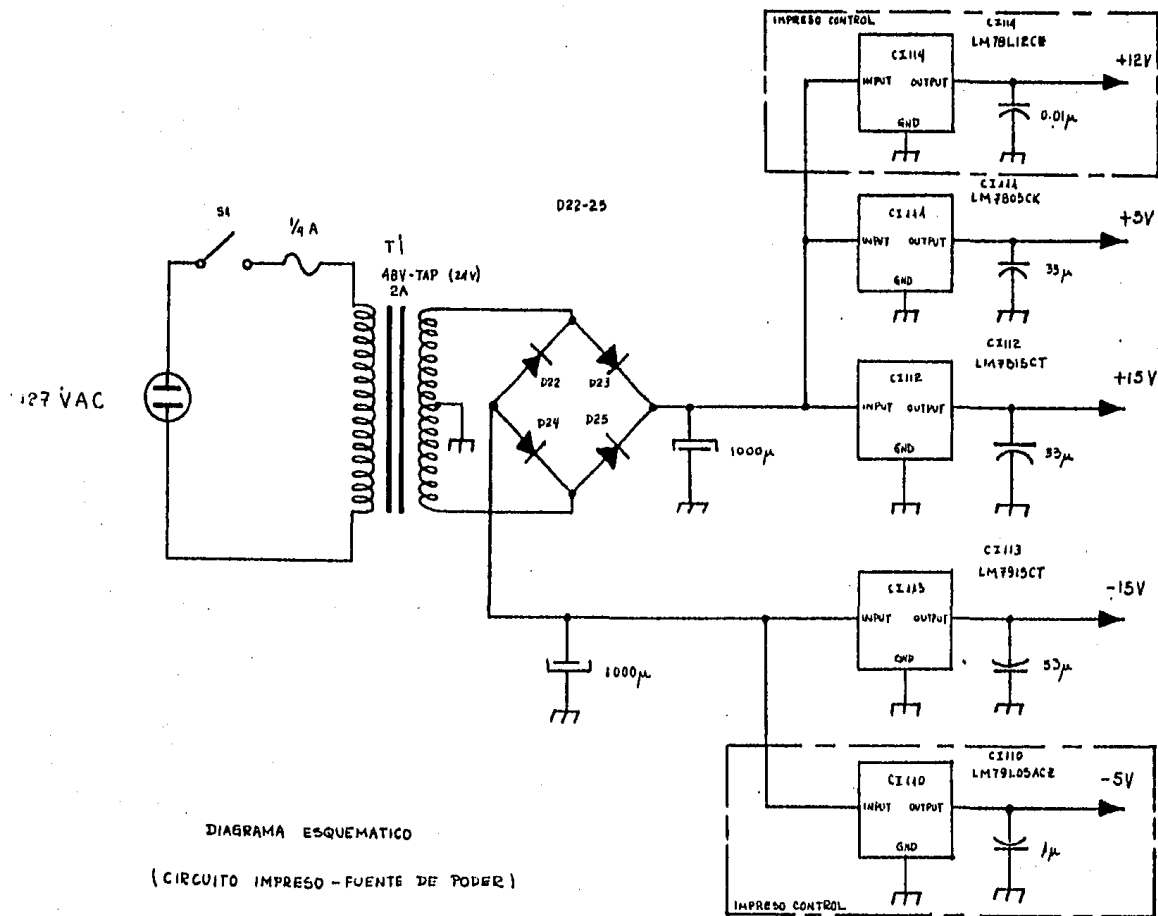


DIAGRAMA ESQUEMATICO (CIRCUITOS IMPRESOS CONTROL DE DISPLAY Y CONTROL DE ENTRADAS Y SALIDAS)



OBSERVACIONES.

- 1.- Todas las resistencias son de 5% de tolerancia.
- 2.- Los capacitores son de 10% de tolerancia a menos que se indique lo contrario.
- 3.- Las líneas punteadas (--- - ---) indican que los componentes se localizan en otro circuito impreso.
- 4.- Las letras encerradas en círculos se refieren a puntos de prueba mencionados en la sección correspondiente.
- 5.- La nomenclatura para las fuentes es la siguiente:
 $V_{cc} = 5\text{ V}$
 $V_{DD} = 15\text{ V}$
 $V_{SS} = -15\text{ V}$
 $V_{EE} = 0\text{ V (tierra)}$
 $V_{BAT} = 5\text{ V (batería)}.$
- 6.- Las patas de los CI que no aparecen en los diagramas esquemáticos no fueron utilizadas.
- 7.- La tierra analógica y la digital es la misma y queda indicada con el símbolo. 
- 8.- Los símbolos  y  muestran la forma en que se presenta la señal, cuando esta se habilita.
- 9.- Las líneas de control encerradas en parentesis < > indican que existe relación con uno o más diagramas esquemáticos.
- 10.- El canal de datos indicado con las letras B0-B7 y el canal D0-D7 no están conectados directamente, sin embargo la misma información se maneja en ambos canales. El CI34 funciona como buffer.

APENDICE B
LISTA DE PARTES

APENDICE B

PARTE	SEMICONDUCTOR	FUNCION	OBSERVACIONES
D1-D18	1N4148	Rectificador de 60 Hz.	Diodo.
TR1-TR9	2A267	Interruptor.	FET canal n.
TR10-TR18	2A237	Interruptor.	Transistor npn.
C11-C13	SN74LS279	"Debouncer".	Flip-Flop R-S.
C14-C15	SN7425	Lógica de control.	Compuertas NOR.
C16	SN74LS00	Lógica de control.	Compuertas NAND.
C17	SN74LS32	Lógica de control.	Compuertas OR.
C18	SN74LS221	Monoestable: 1/2 Inhibidor de rebote 1/2 Detector de accionamiento continuo.	
C19	SN74LS273	Latch.	Latch de 8 bits.
C110	SN74LS74	1/2 Detector accionamiento continuo. 1/2 Latch.	Flip-Flops "D".
C111	SN74121	Supresor de rebote al apagar.	Monoestable.
TR19	2A237	Interruptor.	Transistor npn.
TR20	2A239	Oscilador.	Transistor npn.
TR21	2A93	Oscilador.	Transistor npn.
C112	SN74LS74	Latch.	Flip-Flops "D".
C113	SN74LS192	Selección de memoria.	Contador 4 bits. (Up-down).
C114	SN74LS248	Display driver.	Convertidor BCD- 7 segmentos.
DISP-1	FND357	Indicador de memoria.	Led display.
C115	SN74LS74	1/2: Detector de habili- tación de teclas 1/2: Latch.	Flip-Flops "D".

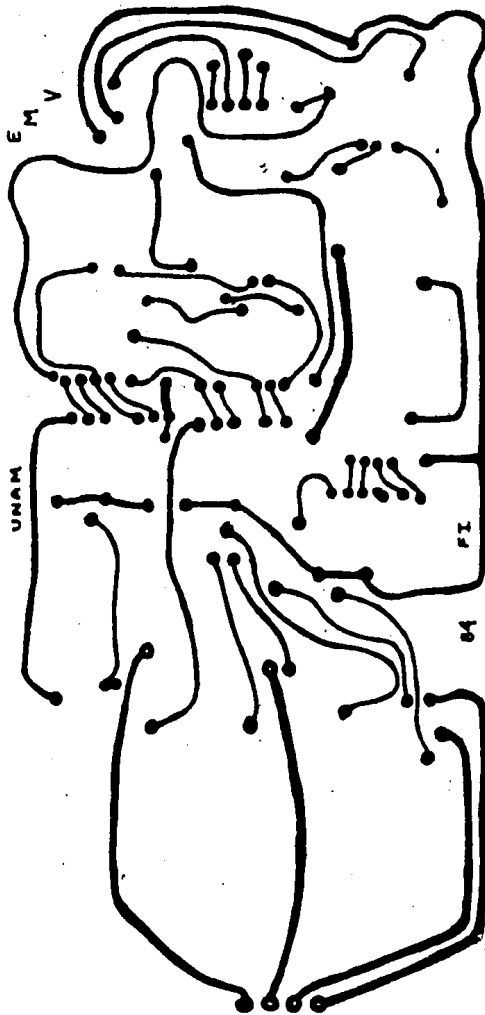
C116	SN74LS153	Limitador del contador	Multiplexor doble 4 a 1.
C117-C118	SN74LS193	Contador binario de 5. bits.	Contador binario de 4 bits.
C119	SN74LS00	Lógica de control.	Compuertas NAND.
C120	TBP18S030M	Generador de código.	Prom bipolar 32X8.
C121	SN74LS248	Display Driver.	Convertidor BCD-7-segmentos.
C122	MCM2708	Generador de código.	EPROM 1024X8.
C123	SN74LS04	Lógica de control.	Inversores.
DISP-2	FND357	Indicador de ganancia.	Led display.
DISP-3	FND358	Indicador de ganancia.	Led display.
C124	SN74LS374	Registro temporal.	Latches de 8 bits.
C125	SN74LS32	Lógica de control.	Compuertas OR.
C126	SN74LS00	Lógica de control.	Compuerta NAND.
C127-C128	MCM2114	Memoria.	RAM 1024X4
C129	SN74ALS568	Contador BCD.	Contador BCD 4 bits.
C130	SN74LS42	Direccionador de banda.	Decodificador BCD-Decimal.
C131	MCM2716	Circuito secuencial.	EPROM 2048X8
C132-C133	SN74LS175	Circuito secuencial.	Latch cuádruple.
D19-D20	1N4148	Pulso-reset.	Diodo.
C134	SN74LS244	Bus driver.	Octal buffers.
C135	NE555	Oscilador.	Timer.
C136	SN74LS92	Divisor / 12.	Contador binario.
TR22-	2A237	Derivador.	Transistor npn.
C137-38	SN74LS107	Toggle switch.	Flip-Flop J-K.
TR23	2A237	Interruptor.	Transistor npn.
D21	1N914	Protector de transistor.	Diodo.

CI38	NE556	Oscilador.	Timer doble.
CI39	SN74LS373	Latch.	Octal latches.
CI40	HCM6810	RAM.	RAM 128 * 8.
CI41	SN74LS90	Contador del desplegado	Contador BCD.
CI42	SN74LS42.	Direccionador de banda de display.	Decodificador BCD-Desimal.
CI43	SN74LS85	Comparador de direcciones.	Comparador de magnitud.
CI44	SN74LS27	Lógica combinacional	Compuertas NOR 3 entradas.
CI45	MC1408	DAC.	Convertidor A-D.
CI46	SN74LS109	Contador.	Flip-Flops J-K.
CI47	SN74LS139	Indicador de selección de entrada.	Flip-Flop J-K.
CI48	CD4052	Multiplexor analógico.	
REL-1		Relevador.	
CI49.	TL081	Amplificador.	Amp. Operacional.
CI50-51	LM3914	Display driver.	Dot bar display driver.
CI52-57	SN74LS27	Lógica combinacional.	Compuertas NOR 3 entradas.
CI58-77	MC1408	Convertidor D-A.	DAC.
CI78-97	SN74LS373	Latch.	Latch de 8 bits.
CI98-109	TL074	OP AMP.	Amp. Operacional.
CI110	7905	Regulador -5V.	
CI111	7805KC	Regulador +5V.	
CI112	7815	Regulador +15V.	
CI113	7915	Regulador -15v.	
CI114	78L12	Regulador -12V.	

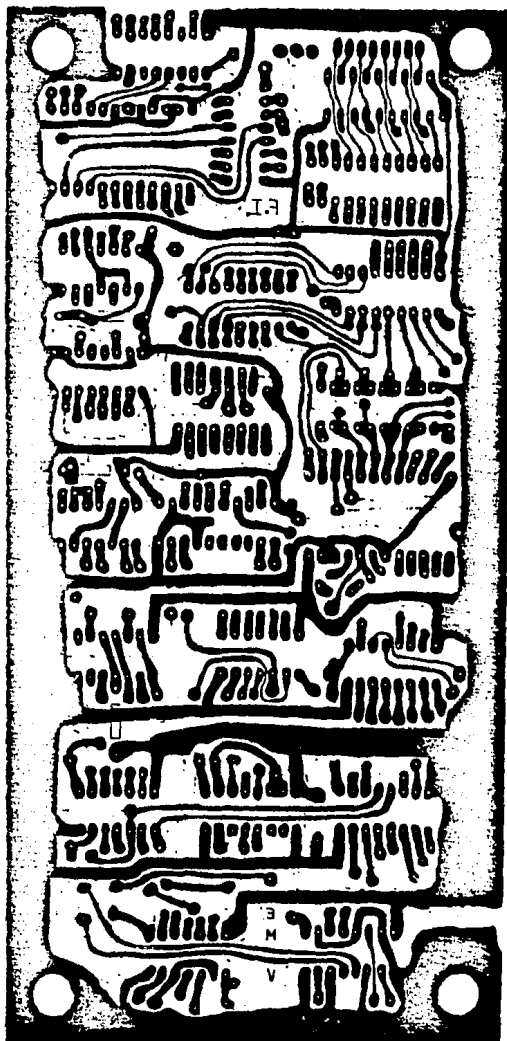
APENDICE C
CIRCUITOS IMPRESOS



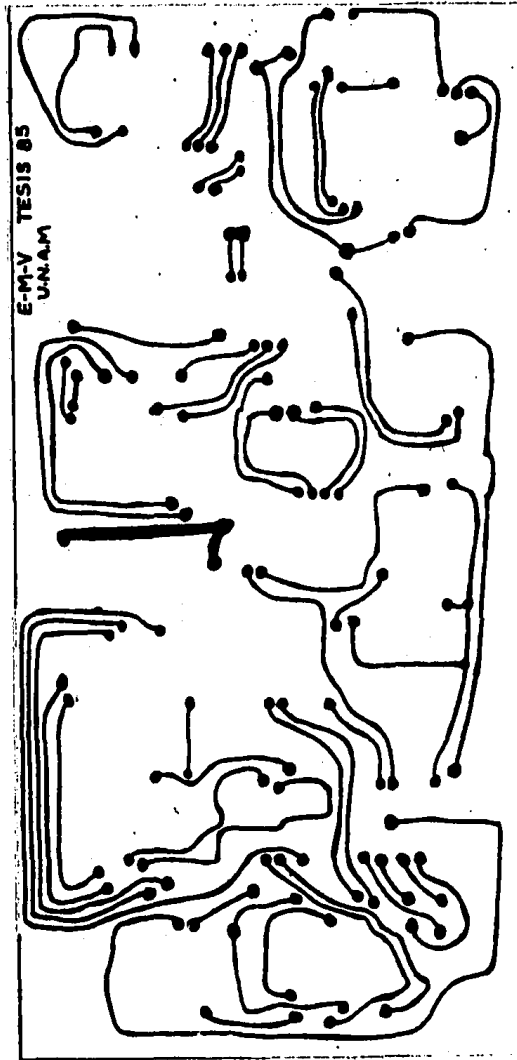
CIRCUITO IMPRESO TECLADO



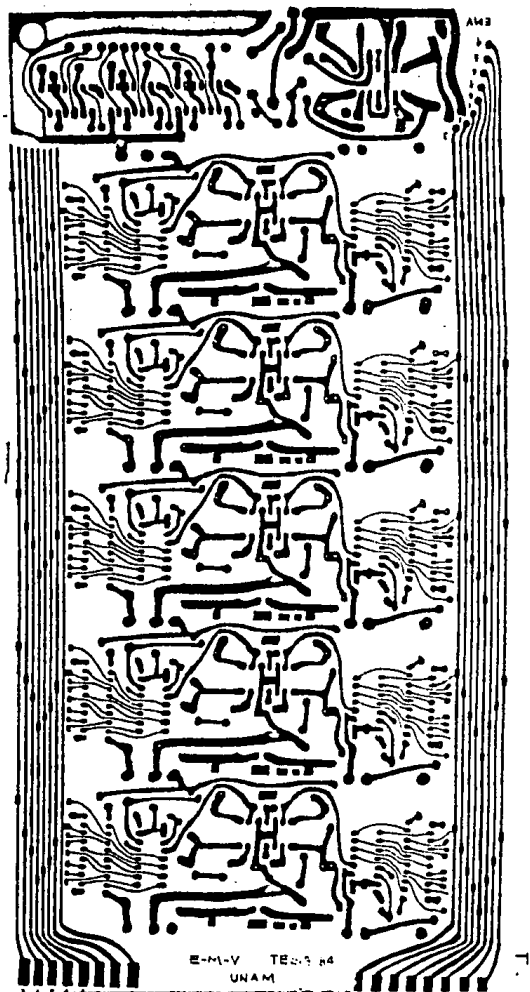
CIRCUITO IMPRESO TECLADO



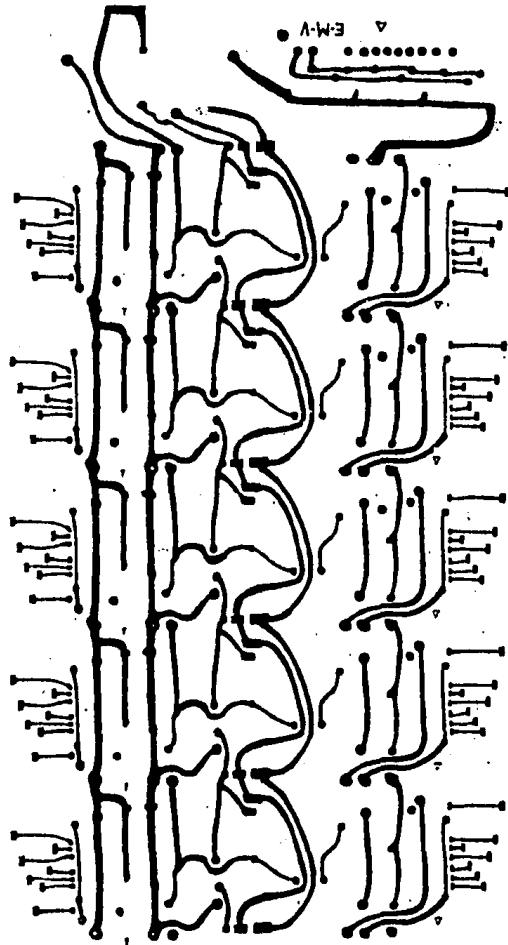
CIRCUITO IMPRESO SECCION CONTROL



CIRCUITO IMPRESO SECCION CONTROL



CIRCUITO IMPRESO SECCION CONVERTIDORES DIGITALES-ANALOGICOS



E-M-V F.I. UNAM 1984



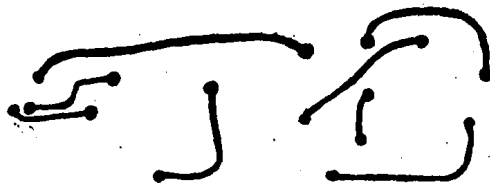
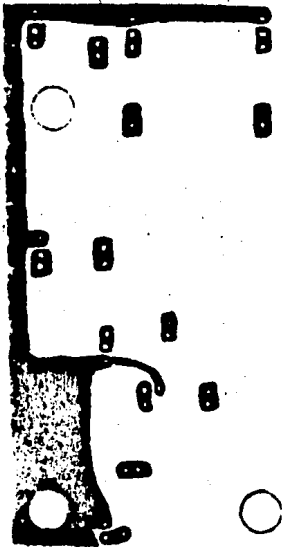
CIRCUITO IMPRESO SECCION CONTROL DISPLAY

○ E-M-V ^{TEMS} F.I. 1985. ○

UNAM



CIRCUITO IMPRESO SECCION CONTROL DISPLAY



CIRCUITO IMPRESO SECCION INDICADORES



CIRCUITO IMPRESO CONTROL DE ENTRADAS Y SALIDAS.

APENDICE D
ESPECIFICACIONES DEL LHC835.



PRELIMINARY

LMC835 Digital Controlled Graphic Equalizer

General Description

The LMC835 is a monolithic, digitally-controlled graphic equalizer CMOS LSI for Hi-Fi audio. The LMC835 consists of a Logic section and a Signal Path section made of analog switches and thin-film silicon-chromium resistor networks. The LMC835 is used with external resonator circuits to make a stereo equalizer with seven bands, ± 12 dB or ± 6 dB gain range and 25 steps each. Only three digital inputs are needed to control the equalization. The LMC835 makes it easy to build a μ P-controlled equalizer.

The signal path is designed for very low noise and distortion, resulting in very high performance, compatible with PCM audio.

Features

- No volume controls required
- Three-wire interface
- 14 bands, 25 steps each
- ± 12 dB or ± 6 dB gain ranges
- Low noise and distortion
- TTL, CMOS logic compatible

Applications

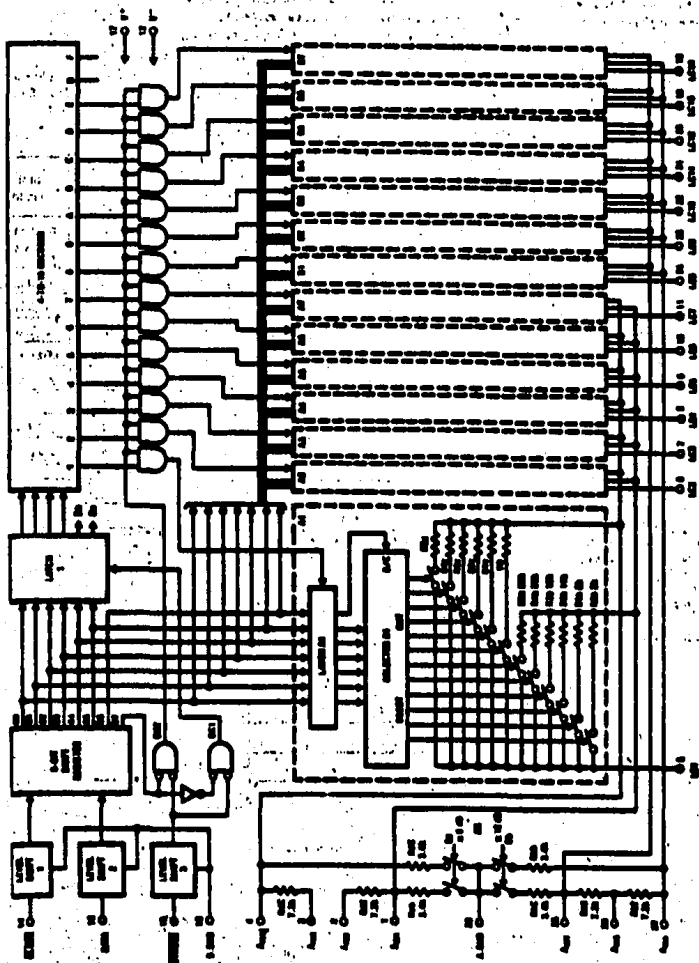
- Hi-Fi equalizer
- Receiver
- Car stereo
- Musical instrument
- Tape equalization
- Mixer
- Volume controller

Connection Diagram

Order Number LMC835N
See NS Package H300



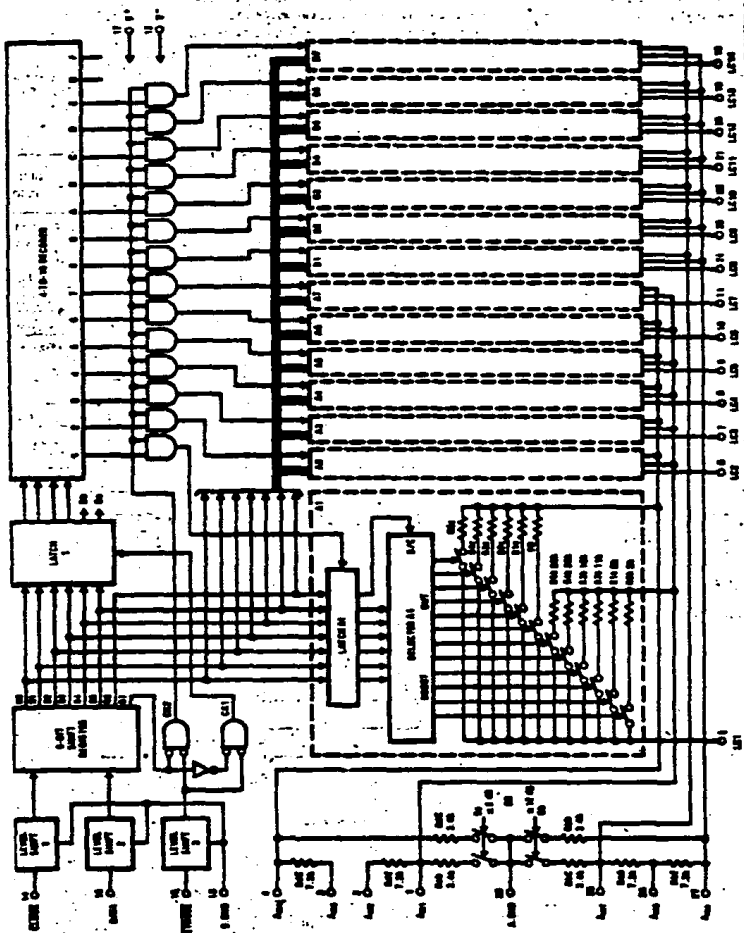
Block Diagram



LMC335



Block Diagram



LMC835



LMC331

Absolute Maximum Ratings

Supply Voltage, $V_{DD} - V_{SS}$ 18V
 Allowable Input Voltage (Note 1) $V_{SS} - 0.5V$
 to $V_{DD} + 0.5V$
 Storage Temperature, T_{stg} $-60^{\circ}C$ to $+150^{\circ}C$
 Lead Temperature (Soldering, 10 sec), T_L $+300^{\circ}C$

Operating Ratings

Supply Voltage, $V_{DD} - V_{SS}$ 5V to 18V
 Digital Ground (Pin 12) V_{SS} to V_{DD}
 Digital Input (Pins 14, 15, 16) V_{SS} to V_{DD}
 Analog Input (Pins 1, 2, 3, 4, 25, 23, 27) V_{SS} to V_{DD}
 (Note 1)
 Operating Temperature, T_{op} $-40^{\circ}C$ to $+85^{\circ}C$

Electrical Characteristics (Pins 23 $V_{DD} = 7.5V$, $V_{SS} = -7.5V$, $A_{GND} = 0V$)**LOGIC SECTION**

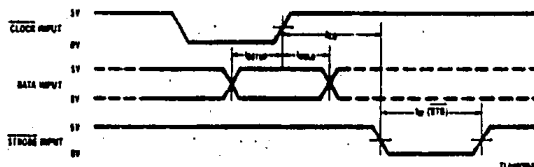
Symbol	Parameter	Test Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Unit (Limit)
I_{DDL} I_{SSL} I_{DDH} I_{SSH}	Supply Current	Pins 14, 15, 16 are 0V Pins 14, 15, 16 are 0V Pins 14, 15, 16 are 5V Pins 14, 15, 16 are 5V	0.01 0.01 1.3 0.9	0.5 0.5 5 5	0.5 0.5 5 5	mA (Max) mA (Max) mA (Max) mA (Max)
V_{IH}	High-Level Input Voltage	@Pins 14, 15, 16	1.8	2.3	2.5	V (Min)
V_{IL}	Low-Level Input Voltage	@Pins 14, 15, 16	0.8	0.6	0.4	V (Max)
f_c	Clock Frequency	@Pin 14	2000	500	500	kHz (Max)
$t_{w(STR)}$	Width of STR Input	See Figure 1	0.25	1	1	μ S (Min)
t_{setup}	Data Setup Time	See Figure 1	0.25	1	1	μ S (Min)
t_{hold}	Data Hold Time	See Figure 1	0.25	1	1	μ S (Min)
t_{cd}	Delay from Rising Edge of CLOCK to STR	See Figure 1	0.25	1	1	μ S (Min)
I_{IN}	Input Current	@Pins 14, 15, 16 $0V < V_{IN} < 5V$	± 0.01	± 1		μ A (Max)
C_{IN}	Input Capacitance	@Pins 14, 15, 16 $f = 1$ MHz	5			pF

Note 1: Pins 2, 3 and 38 have a maximum input voltage range of $\pm 22V$ for the typical application shown in Figure 7.

Note 2: Bold numbers apply at temperature extremes. All other numbers apply at $T_A = 25^{\circ}C$, $V_{DD} = 7.5V$, $V_{SS} = -7.5V$, $D_{GND} = A_{GND} = 0V$ as shown in the test circuit, Figures 3 and 4.

Note 3: Guaranteed and 100% production tested.

Note 4: Guaranteed (but not 100% production tested) over the operating temperature range. These limits are not used to calculate outgoing quality levels.

Timing Diagram

Note: To change the gain of the presently selected band, it is not necessary to send DATA 1 (Band Selection) each time.

FIGURE 1

TLV916752-4

Electrical Characteristics (Note 2) $V_{DD} = 7.5V$, $V_{SS} = -7.5V$, $O.GND = A.GND = 0V$
SIGNAL PATH SECTION

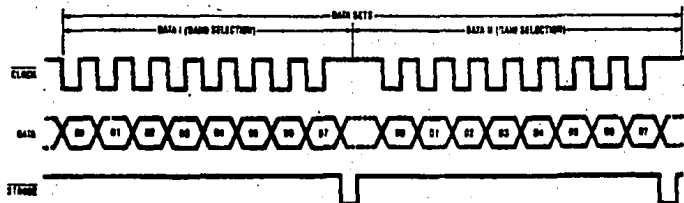
Symbol	Parameter	Test Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Unit (Limit)
A _V	Gain Error	A _V = 0 dB @ ±12 dB Range	0.1	0.5	0.5	dB (Max)
		A _V = 0 dB @ ±8 dB Range	0.1	1	1	dB (Max)
		A _V = ±1 dB @ ±8 dB Range (R _{IN} or R _{OUT} is ON)	0.1	0.5	0.5	dB (Max)
		A _V = ±2 dB @ ±12 dB Range (R _{IN} or R _{OUT} is ON)	0.1	0.5	0.5	dB (Max)
		A _V = ±3 dB @ ±12 dB Range (R _{IN} or R _{OUT} is ON)	0.1	0.5	0.5	dB (Max)
		A _V = ±4 dB @ ±12 dB Range (R _{IN} or R _{OUT} is ON)	0.1	0.5	0.7	dB (Max)
		A _V = ±5 dB @ ±12 dB Range (R _{IN} or R _{OUT} is ON)	0.1	0.5	0.7	dB (Max)
		A _V = ±8 dB @ ±12 dB Range (R _{IN} or R _{OUT} is ON)	0.2	1	1.2	dB (Max)
THD	Total Harmonic	A _V = 0 dB @ ±12 dB Range V _{IN} = 4V _{rms} , f = 1 kHz	0.0015			%
		A _V = 12 dB @ ±12 dB Range V _{IN} = 1V _{rms} , f = 1 kHz	0.01	0.1		% (Max)
		V _{IN} = 1V _{rms} , f = 20 kHz	0.1	0.5		% (Max)
		A _V = -12 dB @ ±12 dB Range V _{IN} = 4V _{rms} , f = 1 kHz	0.01	0.1		% (Max)
		V _{IN} = 4V _{rms} , f = 20 kHz	0.1	0.5		% (Max)
V _O Max	Maximum Output Voltage	A _V = 0 dB @ ±12 dB Range THD < 1%, f = 1 kHz	5.5	5.1	5	V _{rms} (Min)
S/N	Signal to Noise	A _V = 0 dB @ ±12 dB Range V _{ref} = 1V _{rms}	114			dB
		A _V = 12 dB @ ±12 dB Range V _{ref} = 1V _{rms}	106			dB
		A _V = -12 dB @ ±12 dB Range V _{ref} = 1V _{rms}	116			dB
I _{LEAK}	Leakage Current	A _V = 0 dB @ ±12 dB Range (All internal switches are OFF) Pin 2 + 3, Pin 26 Pin 5 - Pin 11, Pin 18 - Pin 24		500 50		nA (Max) nA (Max)

Note 1: Pins 2, 3 and 26 have a maximum input voltage range of ±2.2V for the typical application shown in Figure 7.

Note 2: Testless minimums apply at temperature extremes. All other numbers apply at T_A = 25°C, V_{DD} = 7.5V, V_{SS} = -7.5V, O.GND = A.GND = 0V as shown in the test circuit, Figures 3 and 4.

Note 3: Qualified and 100% production tested.

Note 4: Qualified and 100% production tested over the operating temperature range. These limits are not used to calculate outgoing quality levels.

Timing Diagrams


Note: To change the gain of the previously selected band, it is not necessary to send DATA 1 (Band Selection) each time.

FIGURE 2

TLV4752-4

Truth Tables

DATA I (Band Selection)

D7	D6	D5	D4	D3	D2	D1	D0
H	X	L	L	L	L	L	L
H	X	L	L	L	L	L	H
H	X	L	L	L	L	H	H
H	X	L	L	L	H	L	L
H	X	L	L	L	H	L	H
H	X	L	L	L	H	H	L
H	X	L	L	L	H	H	H
H	X	L	L	H	L	L	L
H	X	L	L	H	L	L	H
H	X	L	L	H	L	H	L
H	X	L	L	H	L	H	H
H	X	L	L	H	H	L	L
H	X	L	L	H	H	L	H
H	X	L	L	H	H	H	L
H	X	L	L	H	H	H	H
H	X	L	H	Valid Binary Input			
H	X	L	L	Valid Binary Input			
H	X	H	H	Valid Binary Input			
↑	↑	↑	↑	Band Code →			
0	0	0	0				

0 DATA 1

0 Don't Care

0 Ch A ± 6 dB/ ± 12 dB Range0 Ch B ± 6 dB/ ± 12 dB Range

(Ch A: Band 1-7, Ch B: Band 8-14)

Ch A ± 12 dB Range, Ch B ± 12 dB Range, No Band SelectionCh A ± 12 dB Range, Ch B ± 12 dB Range, Band 1Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 2Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 3Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 4Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 5Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 6Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 7Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 8Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 9Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 10Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 11Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 12Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 13Ch A ± 12 dB Range, Ch B ± 12 dB Range, Band 14Ch A ± 12 dB Range, Ch B ± 12 dB Range, No Band SelectionCh A ± 12 dB Range, Ch B ± 6 dB Range, Band 1-14Ch A ± 6 dB Range, Ch B ± 12 dB Range, Band 1-14Ch A ± 6 dB Range, Ch B ± 6 dB Range, Band 1-14

DATA II (Gain Selection)

	D7	D6	D5	D4	D3	D2	D1	D0
Flat	L	X	L	L	L	L	L	L
1 dB Boost	L	H	L	L	L	L	L	L
2 dB Boost	L	H	L	H	L	L	L	L
3 dB Boost	L	H	L	L	H	L	L	L
4 dB Boost	L	H	L	L	L	H	L	L
5 dB Boost	L	H	L	L	L	L	H	L
6 dB Boost	L	H	L	L	L	L	H	L
7 dB Boost	L	H	L	L	L	L	H	L
8 dB Boost	L	H	L	H	L	H	H	L
9 dB Boost	L	H	L	L	L	L	L	H
10 dB Boost	L	H	L	H	L	H	L	H
11 dB Boost	L	H	L	H	L	H	H	L
12 dB Boost	L	H	L	H	L	H	H	L
1 dB - 12 dB Cut	L	L	Valid Above Input					
	↑	↑	Gain Code →					
	0	0						

0 DATA II

0 Boost/Cut

This is the gain if the ± 12 dB range is selected by DATA I. If the ± 6 dB range is selected, then the values shown must be approximately halved. See the characteristics curves for more exact data.

LMC335

Test Circuits (Continued)

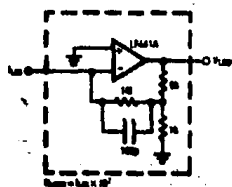


FIGURE 8. 1 to V Converter

TLV495B-7

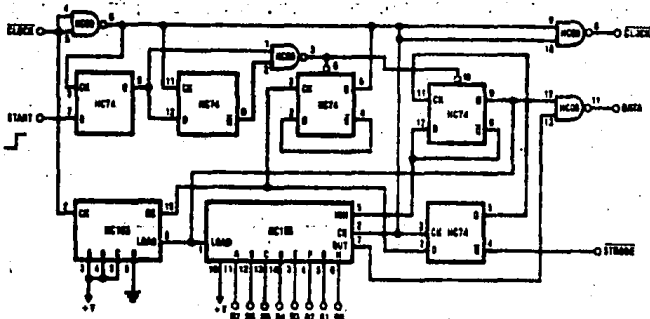
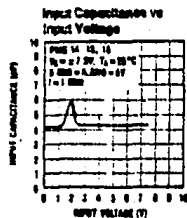
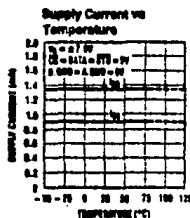
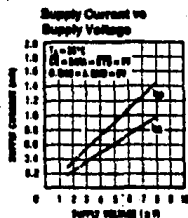


FIGURE 8. Simple Word Generator

TLV495B-8

Typical Performance Characteristics



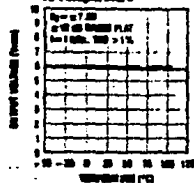
TLV495B-9

Typical Performance Characteristics (Continued)

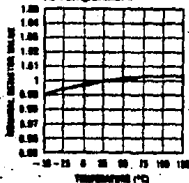
Maximum Output Voltage
vs Supply Voltage



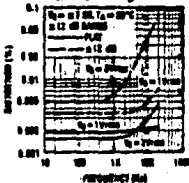
Maximum Output Voltage
vs Temperature



Nominal Resistor
vs Temperature



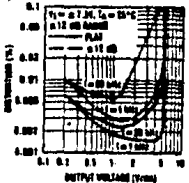
Distortion vs Frequency
@ ± 12 dB Range



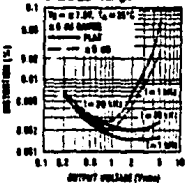
Distortion vs Frequency
@ ± 6 dB Range



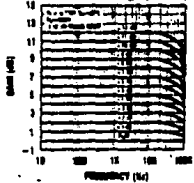
Distortion vs Output Voltage
@ ± 12 dB Range



Distortion vs Output Voltage
@ ± 6 dB Range



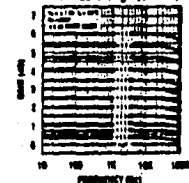
Gain vs Frequency
@ ± 12 dB Range (Boost)



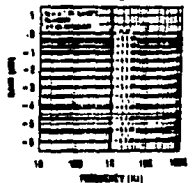
Gain vs Frequency
@ ± 12 dB Range (Cut)



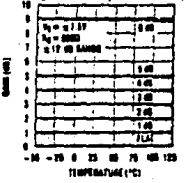
Gain vs Frequency
@ ± 6 dB Range (Boost)



Gain vs Frequency
@ ± 6 dB Range (Cut)



Gain vs Temperature



LMC335

Typical Applications

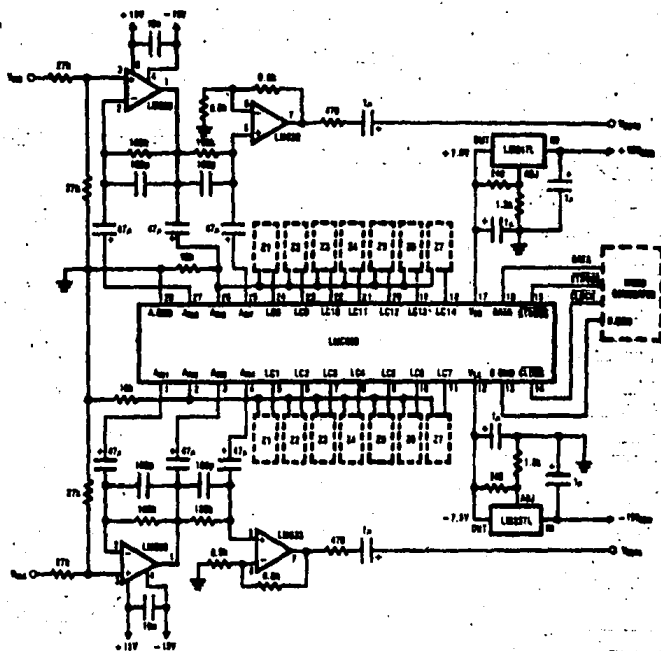
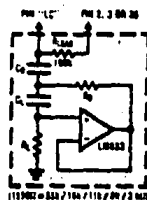


FIGURE 7. Stereo 7-Band Equalizer

FLAMP-11

TABLE 1: Tuned Circuit Elements

$Q_0 = 3.5, Q_{1-6} = 1.05$					
Z1	f_0 (Hz)	C_0 (F)	C_1 (F)	R_1 (Ω)	R_0 (Ω)
21	63	1μ	0.1μ	100k	680
22	160	0.47μ	0.033μ	100k	680
23	400	0.15μ	0.015μ	100k	680
24	1k	0.088μ	0.0088μ	82k	680
25	2.5k	0.022μ	0.0033μ	82k	680
26	6.3k	0.01μ	0.0015μ	82k	680
27	16k	0.0047μ	980p	47k	680



$$L_0 = C_0 R_0 R_2$$

$$C_1 = \frac{1}{2\pi f_0 R_1 R_2}$$

$$Q_0 = \sqrt{\frac{R_2}{C_0 R_1}}$$

$$Q_{1-6} = \frac{R_2}{R_1 + R_2}$$

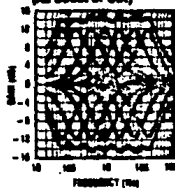
FLAMP-11

FIGURE 8. Tuned Circuit for Stereo 7-Band Equalizer (Figure 7)

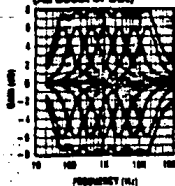
Typical Applications (Continued)

Performance Characteristics (Circuit of Figure 7)

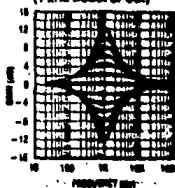
LM336 Gain vs Frequency
± 12 dB Range
(All Boost or Cut)



LM203 Gain vs Frequency
@ ± 6 dB Range
(All Boost or Cut)



LMS35 Gain vs Frequency
 • ± 12 dB Range
 (1 kHz Boost or Cut)



LM435 Gain vs Frequency
@ ± 6 dB Range
(1 kHz Boost or Cut)

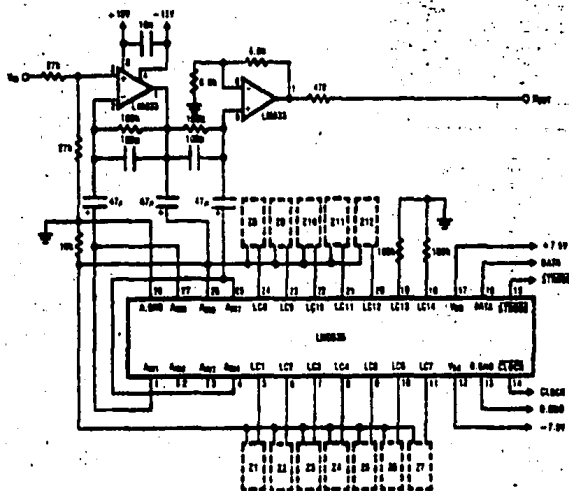
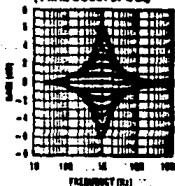


FIGURE 9.12-Bard Exchanger

LWC335

PL/SQL-19

S
12

PL 74-9720-14

Typical Applications (Continued)

TABLE 8. Tuned Circuit Elements

$Q_0 = 4.7, Q_{23} @ = 1.4$					
	L_0 (nH)	C_0 (pF)	C_2 (pF)	R_1 (Ω)	R_0 (Ω)
Z1	18	3.3μ	0.47μ	100Ω	890
Z2	31.5	15μ	0.22μ	100Ω	890
Z3	60	1μ	0.1μ	100Ω	890
Z4	125	0.39μ	0.089μ	91Ω	890
Z5	250	0.22μ	0.033μ	62Ω	890
Z6	500	0.1μ	0.015μ	100Ω	890
Z7	1k	0.047μ	0.01μ	62Ω	890
Z8	2k	0.022μ	0.0047μ	91Ω	890
Z9	4k	0.01μ	0.0022μ	110Ω	890
Z10	8k	0.005μ	0.001μ	62Ω	890
Z11	16k	0.0022μ	990p	62Ω	890
Z12	32k	0.0015μ	470p	62Ω	510

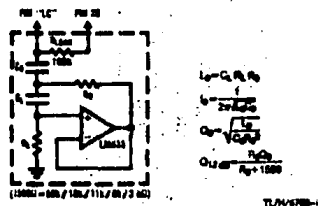
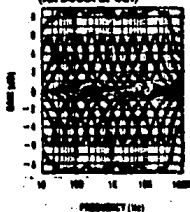
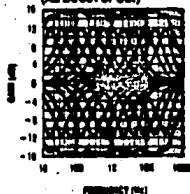
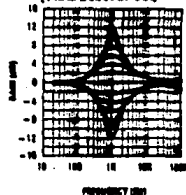
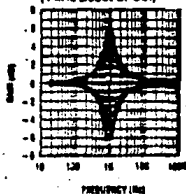


FIGURE 10. Tuned Circuit for 12-Band Equalizer (Figure 9)

Performance Characteristics (Circuit of Figure 9)

12 Band Equalizer Application
LMC335 Gain vs Frequency
0 ± 8 dB Range
(All Boost or Cut)12 Band Equalizer Application
LMC335 Gain vs Frequency
0 ± 12 dB Range
(All Boost or Cut)LMC335 12 Band E.Q. Application
Gain vs Frequency
0 ± 12 dB Range
(1 kHz Boost or Cut)LMC335 12 Band E.Q. Application
Gain vs Frequency
0 ± 8 dB Range
(1 kHz Boost or Cut)

Typical Applications (Continued)

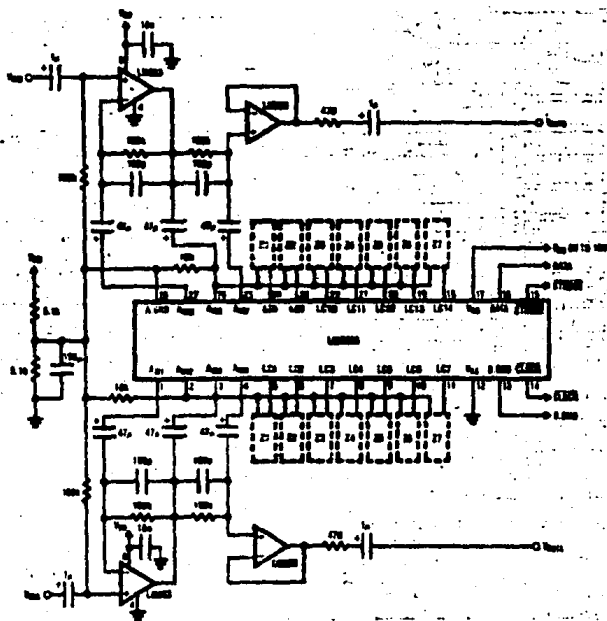


FIGURE 11. Single Supply Storage Equations

TLN-17

LMC22

Typical Applications (Continued)

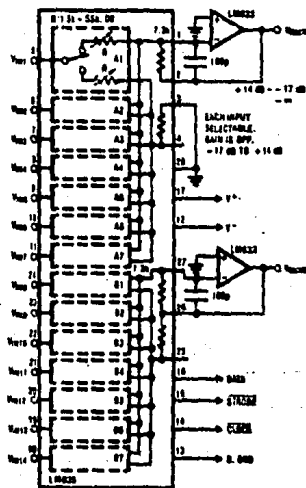


FIGURE 12. Stereo 7-Input/1-Output Mixers
(THD is not as low as equalizer circuit)

TLV4972B-10

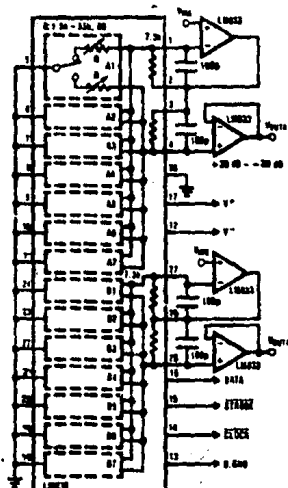


FIGURE 13. Stereo Volume Control, Very Low THD

TLV4972B-10

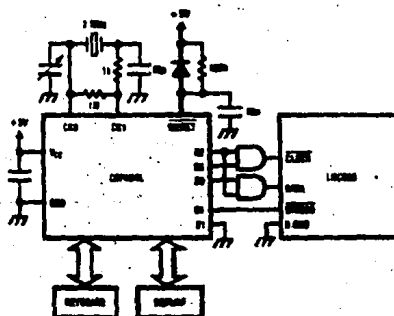


FIGURE 14. LMC22S-COP404L CPU Interface

TLV4972B-10

Typical Applications (Continued)

Sample Subroutine Program for Figure 14, LMC835-COP404L CPU Interface

HEX	CODE	LABEL	MOEONICS	COMMENTS
37	LMC835:	LBI	37	:POINT TO RAMADDRESS 37
05		SEND	LD	:RAMDATA TO A
28			SC	:SET CARRY
135F			OGI	:SET PORT G=1111, OPEN THE AND GATES
47			XAS	:SWAP A AND SIO, CLOCK START
05			LD	:RAMDATA TO A, MAKE SURE A = DATA
07			XDS	:SWAP A AND RAMDATA, RAMADDRESS=RAMADDRESS-1
05			LD	:RAMDATA TO A
47			XAS	:SWAP A AND SIO
05			LD	:RAMDATA TO A, MAKE SURE A=NEWDATA
07			XDS	:SWAP A AND RAMDATA, RAMADDRESS=RAMADDRESS-1
32			RC	:RESET CARRY
47			XAS	:SWAP A AND SIO, CLOCK STOP
335D			OGI	:SET PORT G=1101, MAKE STROBE LOW
335B			OGI	:SET PORT G=1011, MAKE STROBE HIGH, CLOSE THE GATES
48			CBA	:BD TO A
43			AISC	:RAMADDRESS < 3C THEN RETURN
48			RRT	
80			JP	SEND

HEX	RAM ADDRESS	COMMENTS
3C	DATA	:GAIN DATA D4-D7
3D	DATA	:GAIN DATA D0-D3
3E	DATA	:BAND DATA D4-D7
3F	DATA	:BAND DATA D0-D3

Application Hints

SWITCHING NOISE

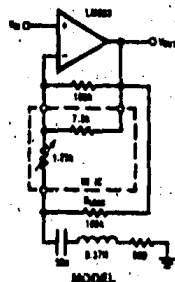
The LMC835 uses CMOS analog switches that have small leakage (less than 50 nA). When a band is selected for flat gain, all the switches in that band are open and the resonator circuit is not connected to the LMC835 resistor network. It is only in the flat mode that the small leakage currents can cause problems. The input to the resonator circuit is usually a capacitor and the leakage currents will slowly charge up this capacitor to a large voltage if there is no relative path to limit it. When the band is set to any value other than flat, the charge on the capacitor will be discharged by the resistor network and there will be a transient at the output. To limit the size of this transient, R_{LEAK} is necessary.

HOW TO AVOID SWITCHING NOISE DUE TO LEAKAGE CURRENT (Refer to Figures 7 and 8)

To avoid switching noise due to leakage currents when changing the gain, it is recommended to put $R_{LEAK} = 100$ k Ω between Pin 3 and Pin 5—11 each, Pin 20 and Pin 12—24 each. The resistor limits the voltage that the capacitor can charge to, with minimal effects on the equalization. The frequency response change due to R_{LEAK} are shown in Figure 15. The gain error is only 0.2 dB and Q error is only 5% at 12 dB boost or cut.

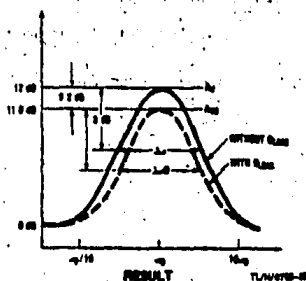
LMC333

Application Hints (Continued)



TLV475B-21

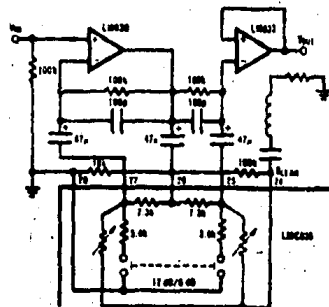
FIGURE 15. Effect of R_{LEAK}



REDUCING EXTERNAL COMPONENTS

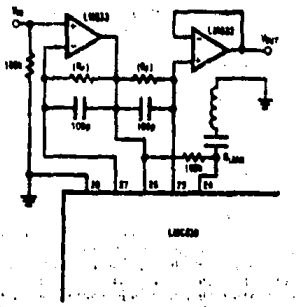
The typical application shown in Figure 7 is switching noise free. The DC-coupled circuit in Figure 16 is also switching noise free, except at 12 dB/6 dB switch turn ON/OFF. This switching noise is caused by the I_{bias} and V_{offset} of the op

amps. Selecting a low I_{bias} and V_{offset} op amp can minimize the switching noise due to the 12 dB/6 dB switch. The DC-coupled application can also eliminate the $R_F = 100k$ resistors with only a 0.5 dB gain error at 12 dB boost or cut.



TLV475B-23

AC COUPLING



TLV475B-24

DC COUPLING

FIGURE 16. Reducing External Components

BIBLIOGRAFIA

- (1).- Fletcher, William I. "AN ENGINEERING APPROACH TO DIGITAL DESIGN", ed. Prentice-Hall, New York, 1980.
- (2).- Boylestad, Robert y L. Nashelsky. "ELECTRONICA TEORIA DE CIRCUITOS", ed. Prentice-Hall, Bogotá, 1982.
- (3).- Schilling, Donald y C. Belove. "ELECTRONIC CIRCUITS. DISCRETE AND INTEGRATED", 2a. edición, McGraw-Hill, Tokio, 1979.
- (4).- Peatman, John B. "THE DESIGN OF DIGITAL SYSTEMS", ed. McGraw-Hill, Tokio, 1972.
- (5).- Ziemer, R.E. "PRINCIPIOS DE COMUNICACIONES. SISTEMAS, MODULACION Y RUIDO", ed. Trillas, México, 1981.
- (6).- Gray, Paul E. y Campbell L.S. "PRINCIPIOS DE ELECTRONICA. ELECTRONICA FISICA, MODELOS Y CIRCUITOS ELECTRONICOS", ed. Reverté, Barcelona, 1978.
- (7).- Tobey, Gene E. y J. Graeme. "AMPLIFICADORES OPERATIVOS. DISEÑO Y APLICACION", ed. Diana, México, 1979.
- (8).- Taub, Herbert y D. Schilling. "DIGITAL INTEGRATED ELECTRONICS", ed. McGraw-Hill, Tokio, 1977.
- (9).- Ogata, Katsuhiko. "INGENIERIA DE CONTROL MODERNA", ed. Prentice-Hall, Madrid, 1980.
- (10).- Markus, John "MODERN ELECTRONIC CIRCUITS REFERENCE MANUAL" McGraw-Hill.

Manuales.

- (11).- Prácticas de Laboratorio de Análisis de Circuitos Eléctricos. Salvá Calleja A., Sánchez Esquivel V. UNAM, 1984.

- (12).- *The TTL Data Book for Design Engineers*, 2a. Edición. Dallas: Texas Instruments Inc., 1981.
- (13).- *The TTL Data Book. Volume 3. Advanced Low-Power Schottky. Advanced Schottky*. Dallas: Texas Instruments Inc., 1981.
- (14).- *Voltaje Regulator Data Book. Switching, Series Pass, Shunt, Precision*. Dallas: Texas Instruments Inc., 1983.
- (15).- *Manual de Semiconductores de Silicio. Edición Técnica*. Texas Instruments de México, 1983.
- (16).- *General Electric Replacement Semiconductor Guide*, Kentucky: General Electric Company, 1982.
- (17).- *The Bipolar Microcomputer Components Data Book for Design Engineers*, 3a. Edición, Dallas: Texas Instruments Inc., 1981.
- (18).- *1982 Linear Data Book*, California: National Semiconductor Corporation, 1982.
- (19).- *1984 Linear Supplement Data Book*, California: National Semiconductor Corporation, 1984.
- (20).- *CMOS Data Book*, California: National Semiconductor Corporation, 1980.
- (21).- *1984 Memory Data*, Austin, Texas: Technical Information Center, Motorola Semiconductors Products Inc. 1984.
- (22).- *Sansui SE-7 Ecualizador. Manual y diagrama*.

Artículos.

- (23).- Bode H.W. "Variable Equalizers", *Bell Systems Technical Journal*, Volumen 17 No 2 p.p.229-244 Apr.1983.
- (24).- "A New Family of Variable Equalizers", *IEEE Transaction on Circuits and Systems*. Vol CAS 29, No 5 May 1982.

- (25).- Roberts, John. "Stereo Parametric Equalizer" Popular Electronics. Volumen 16 No 3. Sept. 1979.
- (26).- Morrison, Bryan. "Delta Graph Octave-Band Equalizer", Electronic Experimenter's Handbook 1980 p.p. 57-61.
- (27).- Popular Electronics, Volumen 19, Numero 10, octubre, 1981.
- (28).- Salvá Calleja A., Sánchez Esquivel V. "Simulación de un Generador Trifásico Balanceado de Baja Potencia para Fines Didácticos", Revista Ingeniería. Volumen LI, No.4, UNAM, 1981.