



Universidad Nacional Autónoma de México

Facultad de Ingeniería

DISEÑO Y REALIZACION DE UN
AMPLIFICADOR OPERACIONAL MOS

TESIS PROFESIONAL

Que para obtener el Título de
INGENIERO MECANICO ELECTRICISTA

P r e s e n t a

YIN CHEN RONG



México, D. F.

1984



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

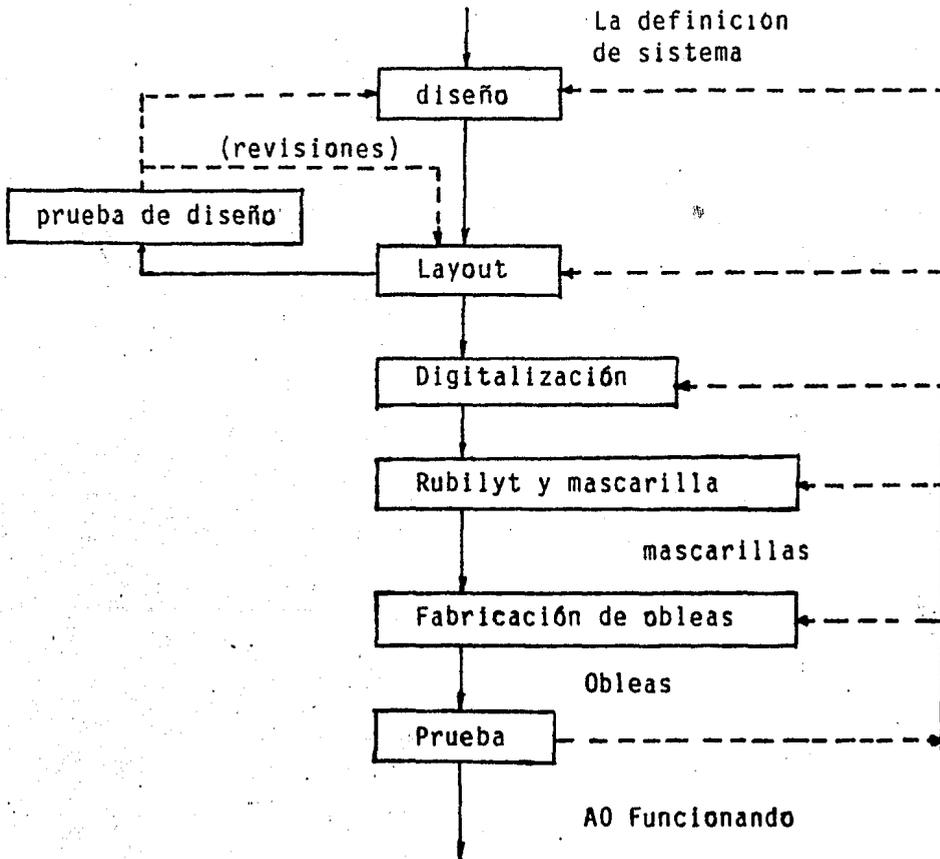
Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

SUMARIO

Un amplificador operacional (AO) fué diseñado y fabricado - utilizando transistores NMOS de enriquecimiento exclusivamente.- En este trabajo se presenta el diseño, la simulación, el proceso de construcción, la obtención de un modelo de transistor MOS, -- las pruebas y la caracterización del AO NMOS fabricado.

El proceso que desarrollamos se muestra en el siguiente diagrama de flujo:



Donde la definición de sistema se refiere a: arquitectura, - diseño de circuitos, simulación (MSINC).

I N D I C E

	PAG.
I. INTRODUCCION	1
I.1 Tecnología MOS	1
I.2 Ventajas y limitaciones de los circuitos MOS	2
II. DISEÑO DEL AMPLIFICADOR OPERACIONAL CON NMOS.	5
II.1 El Amplificador Operacional (AO)	5
II.2 Transistores NMOS.	7
II.3 Análisis y diseño del AO MOS	10
(i) Análisis de cada etapa de AO MOS usando sólo NMOS	10
(ii) Diseño del AO MOS	17
II.4 Simulación del AO NMOS con MSINC	23
III. CONSTRUCCION DE UN AO UTILIZANDO TECNOLOGIA NMOS....	31
III.1 Layout	31
(i) Descripción del Layout.	31
(ii) Reglas del Layout.	33
III.2 Proceso de fabricación	35
(i) Oxidación y difusión	35
(ii) Fotolitografía	36

	PAG.
IV. PRUEBAS DEL AO MOS	40
IV.1 Características de transistores de prueba ...	40
IV.2 Resimulación del AO MOS con MSINC	42
IV.3 Características del AO MOS	43
APENDICE I Resultados de la simulación del AO MOS ..	55
APENDICE II Reglas de diseño NMOS (compuertas de Al)..	60
APENDICE III Proceso para NMOS (con compuerta metali_	
ca).....	63
BIBLIOGRAFIAS	65

I.- INTRODUCCION.

I.1 TECNOLOGIA MOS.

Los circuitos integrados a grande y muy grande escala (LST-VLSI) con tecnología Metal-Oxido-Semiconductor (MOS) están actualmente encabezando el avance de la electrónica de tal forma que pueden presentar el desarrollo más significativo desde la introducción del transistor bipolar. Si se combina el diseño imaginativo de sistemas con el buen planeamiento de producción, casi todos los tipos de circuitos y electrónicos pueden fabricarse con la tecnología MOS. Esta tecnología puede utilizarse para fabricar tanto circuitos y sistemas digitales tales como compuertas, contadores, registros, memorias y microprocesadores como circuitos analógicos tales como convertidores A/D, D/A. filtros analógicos conmutados, etc. Estos circuitos emplean principalmente los siguientes componentes:

- a). Capacitores MOS.
- b). Transistores MOS.
- c). Amplificadores Operacionales MOS.
- d). Dispositivos de transferencia de carga.

Aunque LSI y VLSI MOS se consideran como una tecnología nueva en el mundo de los semiconductores hasta hace pocos años. El concepto básico del MOS para el transistor FET que algunas veces se llama también transistor de efecto de campo con compuerta aislada (IGFET), surgieron antes del transistor bipolar. Sólo por el reciente desarrollo de un estable proceso con alta producción de LSI Y VLSI MOS se convierte hoy la tecnología MOS en realidad. Antes de este desarrollo, el pobre control y la escasez de enten

dimiento completo de condiciones de la superficie del estado sólido, dieron por resultado una baja producción y características eléctricas inestables de los circuitos MOS.

Los intentos iniciales de realizar transistores de estado sólido que operaran en base al principio de efecto de campo fueron emprendidos por J.E. Lilienfield en 1930 y el primer modelo del transistor de efecto de campo funcionado fué desarrollado en el laboratorio de telefono Bell donde el FET fué descubierto por Bardeen y Brattain en 1948. Sin embargo, los primeros intentos de fabricar MOSFETs no tuvieron exitos debido a la falta de una superficie estable y controlable. Hasta cerca de 1967, la producción de circuitos MOS con características de funcionamiento estables se incrementó por medio de un refinamiento del proceso de fabricación, y el conocimiento del fenómeno de superficie del semiconductor llegó el año de 1971. El primer microprocesador del mundo (Intel 4004) se produjo gracias a la tecnología MOS.

Actualmente se investiga mucho en el campo de los circuitos analógicos MOS tales como AO MOS. Pero existen todavía muchos -- obstáculos para desarrollar el AO MOS (Amplificador Operacional-MOS) debido a las limitaciones de los circuitos MOS. Sin embargo, el AO MOS es muy atractivo como un componente de circuitos integrados porque el AO MOS ocupa de tres a cinco veces menos áreas que los AOs ordinarios (convencionales) y además, a medida que se perfecciona el proceso de fabricación de circuitos MOS y se refina la tecnología MOS, se espera que los circuitos MOS se utilicen en todo el campo de la electrónica en un futuro cercano.

1.2. VENTAJAS Y LIMITACIONES DE LOS CIRCUITOS MOS.

Los circuitos MOS como todos los componentes electrónicos tienen sus ventajas y limitaciones en el campo de las aplicaciones. Existen dos ventajas básicas para la realización de circuitos integrados con la tecnología MOS: Los cuales son la economía y el funcionamiento.

LA ECONOMIA

Debido a la rápida perfección de la tecnología MOS, a la versatilidad de los circuitos MOS, y a las características especiales de funcionamiento que presentan, existe una demanda tremenda de estos circuitos, por consiguiente una gran producción de circuitos MOS resulta a un bajo costo de fabricación. Una ventaja muy importante es que la tecnología MOS permite alta densidad de integración, es decir, en el mismo tamaño de circuitos integrados, los MOS realizan mucho más funciones que los otros, o bien, para realizar la misma función que otros circuitos integrados, el tamaño de los circuitos MOS es menor, además, para fabricar un mismo circuito, el proceso con tecnología MOS es mucho más simple que el de otras tecnologías tales como bipolares y JFET, todo esto disminuye más los costos de producción significativamente. Otro factor considerable de la economía es que los circuitos MOS consumen menos energía en comparación de otros tipos de circuitos, en el mundo de hoy, que escasean la energía, esta consideración también afecta mucho la disminución de los costos de aplicación de los circuitos electrónicos.

EL FUNCIONAMIENTO:

Dependiendo de diferentes aplicaciones, los circuitos MOS se manifiestan muchas ventajas especiales. Primero, su alta impedancia de entrada, muy baja la corriente de fuga, lo cual lo hace relativamente insensible a las variaciones de la temperatura son factores útiles en muchos circuitos, particularmente, los amplificadores operacionales. Su capacitor natural en la entrada sirve para circuitos de acoplamiento directo, sobre todo, para circuitos conmutados. Su mejor inmunidad de ruidos y amplio rango dinámico de trabajo son factores importantes de funcionamiento en casi todos los circuitos electrónicos.

Obviamente, los circuitos MOS tienen sus limitaciones. ---
Principalmente, su baja velocidad de trabajo lo cual limita mucho la frecuencia de operación lo que es un factor muy importante en las aplicaciones de circuitos integrados, sobre todo, las aplicaciones de microprocesadores. Asimismo, su impedancia capacitiva de entrada afecta la precisión de la operación lo cual es un requisito importante en las aplicaciones de circuitos analógicos.

Finalmente, queremos mencionar que dentro de la tecnología MOS, existen tres tipos diferentes MOS, los cuales son MOS de canal P (PMOS), MOS de canal N (NMOS) y MOS complementario (CMOS).

II.- DISEÑO DEL AMPLIFICADOR OPERACIONAL CON NMOS.

II.1. EL AMPLIFICADOR OPERACIONAL (AO)

El amplificador operacional (AO) se ha utilizado hace mucho tiempo, pero sus aplicaciones están inicialmente en las áreas de computación analógica e instrumentación. En la mitad de 1960, el primer amplificador operacional en circuito integrado fué producido. Su aparición señala una nueva era en el diseño de circuitos electrónicos, y dentro de un lapso de pocos años, amplificadores operacionales de alta calidad llegan a estar disponibles con un precio muy bajo y realizados por un gran número de fabricantes.

Una de las razones de la popularidad del AO es su versatilidad. Más importante, el AO CI tiene características que están bastante cerca de las características del ideal supuesto. Esto implica que es sumamente fácil diseñar circuitos utilizando el AO. Así, los AO no solamente pueden realizar funciones matemáticas sino también pueden utilizarse en sistemas como reguladores, filtros activos, comparadores, convertidores, generadores de funciones y muchos otros circuitos. El símbolo de un amplificador operacional está dibujado en la Fig. 1.a, donde V_1 y V_2 son dos señales de entrada y V_{out} es la señal de salida del AO.

Un amplificador operacional ideal debe tener las siguientes características principales.

1. Ganancia de voltaje de modo diferencial ($V_1 - V_2$) es infinita;

2. Corriente de entrada es nula;
3. Impedancia de entrada es infinita;
4. Impedancia de salida es nula;
5. Ancho de banda es infinito, es decir, un AO ideal es un filtro paso todo.

Desgraciadamente, ningún AO existente en la práctica llega a ser ideal, aunque la suposición del AO no está tan mal en muchas aplicaciones. Por supuesto, las propiedades no ideales, -- que se analizan en seguida, de un AO limitan el rango de operación de los sistemas que contienen AOs.

Primero, la ganancia de modo diferencial no es infinita, típicamente la ganancia de modo diferencial de un AO es de un orden de 100dB. Esta ganancia es muy buena para casi todas las aplicaciones.

La corriente de entrada de un AO real no es nula, porque -- siempre se necesita cierta corriente en la entrada llamada corriente de polarización para polarizar el AO.

Ni la impedancia de entrada es infinita, ni la impedancia de salida es nula en un AO real. Existen una impedancia de entrada finita, el típico valor es del orden de Mohm, y una impedancia de salida no nula, el típico valor es cerca de 25 ohms.

El ancho de banda tampoco es infinito. Al contrario, un AO real se comporta como un filtro paso bajo, es decir, su ganancia $A(\omega)$ puede expresarse como:

$$A(\omega) = A_0 / (1 + j\omega/\omega_c)$$

donde A_0 es la ganancia en la baja frecuencia y ω_c es la frecuencia de corte en 3dB indicada en la fig. 2.

Como pueden ver en la figura, la ganancia $|A|$ alcanza la unidad (0dB) en una frecuencia denotada por BW que se llama comúnmente ancho de banda de ganancia unitaria, el valor de $f_B = BW/2$ está generalmente especificado en la hoja de datos de AO.

Otro fenómeno llamado Slew Rate sucede siempre en un AO real. Cuando la frecuencia de una señal de entrada se sobrepasa cierta frecuencia máxima f_m , el AO no alcanza a responder a tal señal y provoca una distorsión en la señal de salida como se observa en la fig. 3.

Además de estos defectos de un AO real, hay otros problemas molestos que son: problemas de corriente directa (CD) tales como voltaje de offset de entrada que es el voltaje necesario de entrada para obtener un cero volts de salida y la corriente de offset de entrada que se define como el valor absoluto de la diferencia de las corrientes de polarización: $I_{oh} = |I_{b1} - I_{b2}|$, típicamente. Fig. 1.b. se muestra un circuito equivalente de un AO real.

II.2. TRANSISTORES DE NMOS.

El transistor es un amplificador de voltaje y es un elemento básico en los circuitos electrónicos tanto discretos como integrados. El transistor NMOS es un transistor el cual se fabrica con la tecnología NMOS (Fig. 4. b).

En base a la teoría de la física de semiconductores y las-

propiedades electrónicas de la superficie del semiconductor, se aplica un voltaje negativo sobre la compuerta, este voltaje negativo atrae las cargas positivas o bien los huecos del sustrato que es un semiconductor de tipo P, a través de la capa del dióxido de silicio (SiO_2), y los huecos se acumulan en la superficie del sustrato, en este momento, no puede circular corriente entre el drenaje y la fuente comportándose como una barrera que impide el movimiento de las cargas negativas o electrones. Si ahora se aplica un voltaje positivo en la compuerta, este voltaje positivo atrae los electrones del sustrato, así enriquecen los electrones móviles sobre la superficie del sustrato. Si siguen aumentando este voltaje hasta un valor definido como el voltaje de encendido V_t , se invierte el tipo de semiconductor cerca de la superficie del sustrato, es decir, forman un canal N entre el drenaje y la fuente. Así cuando se aplica un voltaje entre el drenaje y la fuente, los electrones pueden moverse fácilmente a través del canal inducido y producen una corriente. El transistor PMOS opera de una manera similar a la del NMOS sólo se intercambia los tipos de semiconductor, y su canal es una región de huecos (tipo P).

En la figura 4.c se ilustra un modelo simple del transistor NMOS.

De este modelo tenemos las definiciones de corrientes en:

La región de triodo: $V_{ds} < V_{gs} - V_t$,

canal "n": $I_{ds} = (\mu_n \epsilon_{ox} / 2 t_{ox}) (w/l) [2(V_{gs} - V_t)V_{ds} - V_{ds}^2]$

La región de saturación: $V_{ds} \geq V_{gs} - V_t$,

canal "n": $I_{ds} = (\mu_n \epsilon_{ox} / 2 t_{ox}) (w/l) (V_{gs} - V_t)^2$.

Donde: μ_n : la movilidad promedio de los electrones superficiales en el canal;

t_{ox} : es el espesor del óxido encima del canal;

l : es la longitud del canal en la dirección de flujo de corriente;

w : es el ancho del canal;

ϵ_{ox} : es la permitividad del óxido.

Los parámetros más importantes del transistor MOS tanto para señal grande como para señal pequeña son:

El factor de conducción: $K' = \mu_n \epsilon_{ox} / 2 t_{ox}$.

La conductancia de señal grande: $G = I_{ds} / V_{ds}$.

$$G = K' (w/l) [2 (V_{gs} - V_t) - V_{ds}]$$

$$G_0 = I_{ds} / V_{ds} \Big|_{V_{ds} \rightarrow 0} = 2K' (w/l) (V_{gs} - V_t);$$

La transconductancia de señal pequeña: $g_m = dI_{ds} / dV_{gs} = 2K' (w/l) (V_{gs} - V_t)$.

La resistencia dinámica de drenaje: $r_d = dV_{ds} / dI_{ds}$, típicamente: 10 - 500 kohm.

El factor de amplificación del transistor en saturación: -
 $f = dVds/dVgs = g_m r_d$.

Por último, mencionamos el efecto de cuerpo. Este efecto manifiesta el cambio de voltaje de encendido, cuando hay un voltaje de polarización aplicado entre la fuente y sustrato (cuerpo), es decir, su valor es diferente de cero: $V_{bs} \neq 0$.

$$V_t \text{ (efectivo)} = V_t (V_{bs} = 0) + \Delta V_t.$$

$$\text{donde } \Delta V_t = \left((2 q \epsilon_s N_{sub})^{1/2} / C_{ox} \right) (V_{bs} + \phi_b)^{1/2} - (\phi_b)^{1/2}.$$

Donde: $\gamma = (2 \epsilon_s q N_{sub})^{1/2} / C_{ox}$, y N_{sub} es la concentración del sustrato; C_{ox} , la capacitancia del óxido entre la unidad de área; $\phi_b = 2 \phi_f$, y ϕ_f es el potencial de Fermi.

II.3. ANALISIS Y DISEÑO DEL AO MOS.

(1) Análisis de cada etapa de AO MOS usando sólo NMOS.

El amplificador operacional MOS consiste principalmente en cuatro etapas, las cuales son: etapa de entrada, etapa cascodo o etapa de ganancia, seguidor de fuente, y etapa de salida. La descripción de cada etapa se presentan a continuación:

Etapa de entrada (amplificadores diferenciales):

Cualesquiera dos señales de entrada de un AO, V_1 y V_2 pueden descomponerse en dos partes: el voltaje de modo diferencial, $V_d = V_1 - V_2$ y el voltaje de modo común, $V_c = (V_1 + V_2)/2$. El propósito de esta etapa es precisamente amplificar la señal-

de modo diferencial y rechazar la señal de modo común.

Así el amplificador diferencial determina la razón de rechazo de modo común que se define como la razón entre la ganancia de modo diferencial y la de modo común, y tiene una influencia fuerte sobre la respuesta de frecuencia del A0.

La figura 5 ilustra un amplificador diferencial, y sus modelos de modo diferencial y de modo común respectivamente.

La figura 5.a muestra un modelo de señal pequeña para modo diferencial y la ganancia de modo diferencial está dada por:

$$V_{d1}/V_{id} = - \frac{g_{m1}}{2(1 + \eta_3)g_{m3}} = - \frac{1}{2} \sqrt{\frac{(w/l)_1}{(w/l)_3}} \frac{1}{1 + \frac{1}{2\sqrt{\phi_b + V_{D1} - V_{bb}}}}$$

donde $V_{id} = V_{g1} - V_{g2}$, y $V_o = V_{d1} - V_{d2}$, $V_o/V_{id} = 2 V_{d1}/V_{id}$

Para el modo común, la ganancia se obtiene por medio de un modelo de señal pequeña mostrando en la figura 5.b:

$$V_{d1}/V_{ic} = - \frac{g_{m1} r'_{ds3}}{1 + 2g_{m1} r'_{ds5} (1 + \eta_1)} = - \frac{1}{2r'_{ds5} g_{m3} (1 + \eta_1) (1 + \eta_3)}$$

$$\text{donde: } r'_{ds3} \approx \frac{1}{(1 + \eta_3)g_{m3}}$$

La ganancia de modo común debe ser tan pequeña como sea posible para obtener una buena figura de mérito. La razón de rechazo de modo común (CMRR) entonces está dada por:

$$CMRR = (V_{d1}/V_{id}) / (V_{d1}/V_{ic}) \approx 2g_{m1} r'_{ds5} (1 + \eta_1)$$

Etapa cascodeo (etapa de ganancia).

Es muy útil esta etapa en el diseño de circuitos analógicos MOS porque esta etapa tiene la capacitación de entrada pequeña la cual es una carga de la etapa precedente.

La figura 6 presenta una etapa cascodeo. La polarización del cuerpo V_{bb} normalmente es nula o negativa. El transistor M2 se comporta como una carga con pequeña resistencia al drenaje del transistor M1, esta carga conserva la variación de voltaje V_i que es pequeña. Así se disminuye la capacitancia de entrada C_{gd1} , que es una carga capacitiva de la etapa anterior. El transistor M3 sirve como una carga resistiva para M2. El voltaje, V_{gg} polariza la compuerta de M2 ya que M1 opera en la región de saturación. El modelo de señal pequeña se ha establecido en la figura 6, y su ganancia se calcula por:

$$V_{out}/V_{in} = \frac{-g_m((1 + \eta_2)g_{m2} + g_{ds2})}{((1 + \eta_2)g_{m2} + g_{ds2})((1 + \eta_3)g_{m3} + g_{ds3}) + g_{ds1}((1 + \eta_3)g_{m3} + g_{ds2} + g_{ds3})}$$

Si $g_m' s > g_{ds}' s$,

$$V_{out}/V_{in} = - \frac{g_{m1}}{(1 + \eta_3)g_{m3}} = - \frac{g_{m1}}{g_{mb3}} = - \frac{1}{1 + \eta_3} \left(\frac{(w/l)_1}{(w/l)_3} \right)^{1/2}$$

donde: $g_m = g_{mbs}$, y $\eta = \delta^2 / 2 (\phi_b - V_{bs})^{1/2}$

Si esta ganancia es grande, entonces el efecto de Miller se toma en cuenta cuando se conecta a la etapa anterior y la etapa anterior tiene una carga capacitiva significativa. Para reducir el efecto de Miller sobre C_{gd1} ; es necesario que $(w/l)_1$ no sea mayor que $(w/l)_2$, típicamente, $(w/l)_1$ es apro-

ximadamente igual a $(w/l)_2$, y $(w/l)_3$ es mucho menor que $(w/l)_1$. Bajo condiciones normales, la respuesta en frecuencia del circuito cascado se afecta por la resistencia $1/g_{mbs3}$ y la capacitancia asociada con el nodo de salida. Esta capacitancia incluye C_{gs3} más CL, la carga capacitiva de esta etapa se comporta como un polo del A0.

Seguidor de fuente:

Las configuraciones del seguidor de fuente o drenaje común manifiestan otra utilidad de circuito analógico MOS. En la figura 7 se presenta una configuración del seguidor de fuente y su modelo de señal pequeña respectivamente.

El efecto de substrato de transistor M1 se ha incorporado dentro del modelo. La polarización de la compuerta del transistor M2 es V_{gg} y la ganancia de esta etapa es:

$$V_{out}/V_{in} = \frac{g_{m1}}{1/r_{ds1} + 1/r_{ds2} + g_{m1}(1 + \eta_1)} \approx \frac{1}{1 + \eta_1}$$

Se supone que $g_{m1}(1 + \eta_1)$ es mayor que $(1/r_{ds1} + 1/r_{ds2})$ y resulta típicamente una ganancia de voltaje 0.911. Si la compuerta de M2 se conecta a la salida del seguidor de fuente indicada por la línea punteada, la ganancia de voltaje de señal pequeña se vuelve entonces:

$$V_{out}/V_{in} = \frac{g_{m1}}{1/r_{ds1} + 1/r_{ds2} + g_{m1}(1 + \eta_1) + g_{m2}} \approx \frac{1}{1 + \eta_1 + \frac{g_{m2}}{g_{m1}}}$$

Obviamente, esta ganancia resulta menor que la anterior. En este caso, la razón (w/l) de M2 debe ser mucho menor que-

la de M_1 para conservar la ganancia igual a la unidad. En esta etapa la ganancia de señales CA y CD es función de la geometría de los transistores. La ganancia de CD se define -

$$\text{aproximadamente como: } V_{out} = \frac{\left[(w/l)_1 / (w/l)_2 \right]^{1/2}}{1 + \sqrt{(w/l)_1 / (w/l)_2}} V_{in}.$$

Convertidor:

Uno de los requisitos importantes de un AO es tener una sola salida. Si el amplificador diferencial se usa como la etapa de entrada, entonces es necesario convertir las dos señales diferenciales de la salida en una señal sola. El convertidor sirve exactamente para este objetivo. Tal conversión quizá sea trivial, pero es importante no alterar la ganancia, y la CMRR de la etapa de entrada.

La figura 8 ilustra un convertidor. En la fig. 8, V_a y V_b son dos salidas de amplificador diferencial, cuando $V_a = V_b$, $I_{d3} = I_{d4}$, consecuentemente, el valor CD de V_{out} es cero. Si $V_a - V_b$ se incrementa, entonces I_{d1} se incrementa y I_{d3} disminuye, la corriente de M_4 se incrementa debido al espejo de corriente M_2 y M_4 , así la I_{out} es igual a dos veces el incremento de I_{d1} . La corriente incrementada fluye por la resistencia asociada con el nodo de salida y así se decrementa el V_{out} . Por eso, de la acción "push-pull" de M_3 y M_4 no hay pérdida en la ganancia de señal diferencial. La ganancia del convertidor de señal pequeña puede calcularse fácilmente usando los resultados previos y el principio de la superposición:

$$\text{Si } V_b = 0, V_{out} = K_2 V_a = - \left(\frac{g_{m1}}{1/r_{ds1} + 1/r_{ds2} + g_{m2} + g_{m1}(1 + \eta_1)} \frac{g_{m4}}{g_{m3}(1 + \eta_3)} \right) V_a$$

$$\text{Si } V_a = 0, V_{out} = K_1 V_b = \left(\frac{g_{m3}}{1/r_{ds3} + 1/r_{ds4} + g_{m3}(1 + \eta_3)} \right) V_b.$$

$$V_{out} = K_1 V_b + K_2 V_a \text{ y}$$

$$V_{out} = A_d (V_a - V_b) + A_c (V_a + V_b).$$

Se iguala las dos últimas ecuaciones a:

$$A_d = - (K_1 - K_2)/2; \quad A_c = (K_1 + K_2)/2$$

sustituyendo K_1 y K_2 , obtiene

$$A_d = -1/2 [K_1 - K_2] = -1/2 \left[\frac{g_{m3}}{1/r_{ds3} + 1/r_{ds4} + g_{m3}(1 + \eta_3)} + \frac{g_{m1}(g_{m4}/g_{m3}(1 + \eta_3))}{1/r_{ds1} + 1/r_{ds2} + g_{m2} + g_{m1}(1 + \eta_1)} \right]$$

Y puede simplificarse a:

$$A_d = -1/2 [K_1 - K_2] = -1/2 \left(\frac{1}{(1 + \eta_3)} + \frac{g_{m4}/g_{m3}}{(1 + \eta_1)(1 + \eta_3)} \right)$$

La CMRR de esta etapa se multiplica por la CMRR del amplificador diferencial conectado para obtener la CMRR total. Es importante que la CMRR de esta etapa sea la mayor posible para que no se afecte la CMRR total. La CMRR de esta etapa está dada por:

$$CMRR = 1 (K_1 - K_2)/(K_1 + K_2) \cong \frac{g_{m4}/g_{m3}}{2(1 + \eta_1) + (g_{m4}/g_{m3})}$$

Como se ve, el resultado siempre es menor que la unidad.

Etapa de salida:

La etapa de salida es otra componente muy importante del AO la cual influye mucho en el funcionamiento del amplificador -- operacional. El primer objetivo de la etapa de salida es, que sea capaz de manejar una carga externa, dentro del rango de voltaje de salida deseado, ésto significa que la etapa de salida debe tener suficiente corriente para crear la variación de voltaje al través de una carga resistiva y/o capacitiva externa. La impedancia de salida debe ser suficientemente pequeña para que el AO sea una fuente ideal de voltaje. Otro objetivo importante es obtener un buen rango dinámico de la señal. Es decir, el voltaje de salida llega a los límites positivos y negativos de voltaje CD cual alimenta al AO, al realizarse la acción de "push-pull". La variación máxima de la señal de salida (max. swing) con respecto al nivel de CD o punto de operación, en las partes positiva y negativa debe ser aproximadamente igual para evitar la distorsión no lineal de la salida. En circuitos de capacitores conmutados, esta variación se considera particularmente importante como el efecto de Slew Rate de amplificador operacional, porque en este caso la mayoría de las cargas externas son capacitivas. La rapidez de elevación del voltaje de salida es igual a la corriente de la salida dividida entre la capacitancia de la carga conectada a la terminal de salida:

$$|i_{out}| = C |dv_{out}/dt|$$

Si la rapidez de elevación es 1 volt/ μ s. y un capacitor de 100 pf se conecta en la salida, entonces la corriente de salida debe ser 100 μ amp, ésto sucede generalmente cuando el AO tiene una carga grande.

Una implementación de esta etapa se presenta en la Fig. 9.

la parte derecha de las líneas punteadas es un inversor simple. La ventaja de esta configuración es que la señal de salida puede llegar al máximo valor limitado por $(V_{dd} - V_{t1})$ en la parte positiva (Fig. 9.b). Esto implica que existe un rango de variación de voltaje grande. Y su ganancia está dada por:

$$A = V_{out}/V_{in} = - \frac{g_{m2}}{g_{ds2} + g_{ds1} + g_{m1}(1 + \eta_1)} \approx - \frac{g_{m2}}{g_{m1}(1 + \eta_1)}$$

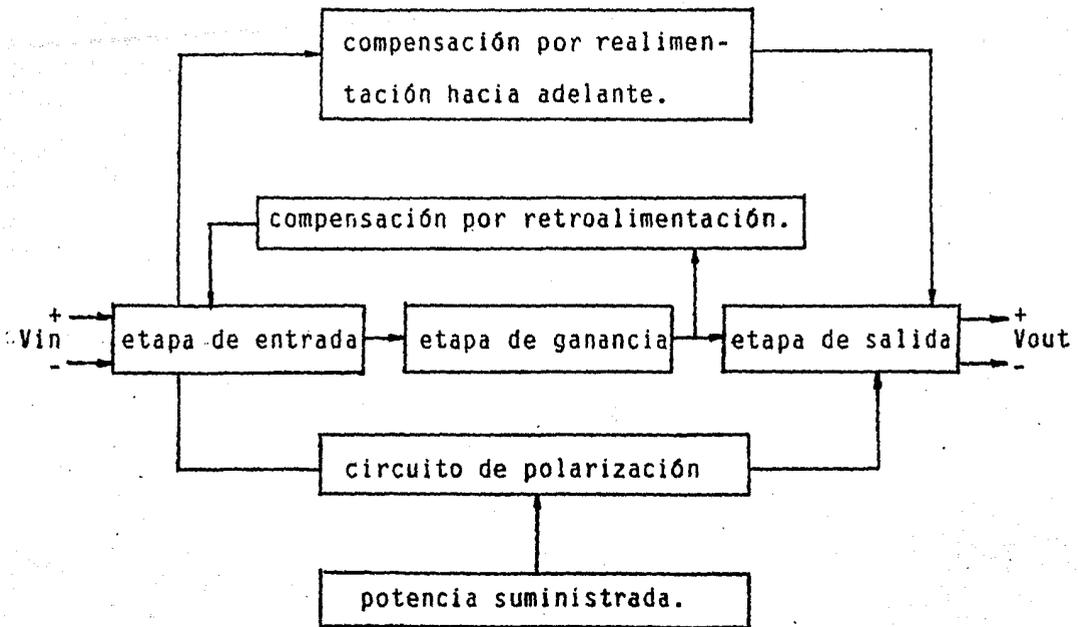
Pero la resistencia de salida de esta configuración es muy grande y tiene relativamente una respuesta de frecuencia pobre, es decir, existen una banda de frecuencia muy estrecha. Por eso, se usa la retroalimentación para disminuir la impedancia de salida. La configuración de retroalimentación se presenta también en la Fig. 9 y se forma por cuatro transistores. La impedancia de salida entonces está dada por:

$$r_{out} = 1 / (g_{m1} + g_{m2}).$$

Como la etapa de salida maneja corrientes grandes, los transistores de salida deben ser muy grandes. La mayoría de las etapas de salida tienen una ganancia menor que la unitaria.

(ii) Diseño del AO MOS:

Un diagrama de bloque del circuito de un AO está presentado:



En el diseño de un AO, se puede empezar a partir de muchos puntos, pero, de ninguna manera, no es posible que se relacione simultáneamente todas las especificaciones de un AO. Por lo tanto el proceso debe iterarse varias veces. Con la regla de diseño, todos los transistores MOS del AO deben operarse en la región de saturación. Es decir, $V_{ds} > V_{gs} - V_t$.

La razón es que en la región de saturación se puede lograr grandes valores de g_m y la variación de voltaje.

Las características que queremos lograr son:

$$A_V > 10^4; \quad f_c > 3\text{KHz}; \quad BW > 20\text{ MHz}; \quad \text{CMRR} > 80\text{dB}$$

Las características de las obleas que tenemos son:

$$\begin{aligned}
 N_{\text{sub}} &= 1 \text{E}15 \text{ cm}^{-3}, \quad \mu_n = 750 \text{ cm/Vs}, \quad t_{\text{ox}} = 1000 \text{ \AA}, \quad \epsilon_{\text{ox}} = \\
 &= 0.3 \times 10^{-14}, \quad \epsilon_{\text{si}} = 11.7 \epsilon_0, \quad \phi = 2\phi_f = 2kT/q \ln(N_{\text{sub}}/n_i) = \\
 &= 0.5811,
 \end{aligned}$$

$$\gamma = \sqrt{2q \epsilon_{\text{si}} N_{\text{sub}} / C_{\text{ox}}} = 0.6055$$

$$V_{\text{bb}} = -15\text{V}, V_{\text{ss}} = -10\text{V}, V_{\text{dd}} = +10\text{V}, T = 300^{\circ}\text{K}, n_i = 1.45 \times 10^{14} \text{ cm}^{-3}$$

El diagrama de bloque de nuestro diseño se presenta en la Fig. 10:

El esquema de este AO se muestra en la figura 11.

Amplificador diferencial:

Esta etapa contiene los transistores M1, M2, M3, M4, M5.

$$S = w/l.$$

$$A_d = - \sqrt{(S_1/S_3)} \times \frac{V_{\text{D1}} = 4\text{V}}{0.9359 \sqrt{(S_1/S_3)}} \quad (1);$$

$$\text{donde: } X = \frac{1}{1 + 2 \sqrt{\frac{r}{\phi_b + V_{\text{D1}} - V_{\text{bb}}}}}$$

$$A_c \approx - \frac{1}{2 r'_{\text{ds5}} g_m (1 + \eta_1) (1 + \eta_3)}$$

$$\text{sea } I_{\text{d3}} = I_{\text{d1}} = I_{\text{d5}}/2 = 25 \mu\text{A} \text{ y } A_d = 12.$$

$$S_3 = (1/I_{\text{d3}}) K_3 (V_{\text{gs3}} - V_{\text{t3}})^2 = 0.194 \text{ (Determinado iterativa} \\
 \text{mente con el programa)}$$

Entonces de (1) $\sqrt{(S_1/S_3)} = 12/0.9359 = 12.82$, y $S_1 = 31.89$

S_5 se escogerá igual a S_1 , $S_5 = 31.89$.

La finalidad de M5 es actuar como fuente de corriente constante.

$V_{t5} = 1.46V$, y $V_{ds} > V_{gs} - V_t = 0.24V$.

Para que M5 no se salga de región de saturación, $V_{ds5} > 0.24V$.

El modo común, cuando V_t aumenta, $V_{ds1} = V_{ds2}$ disminuye y V_{ds5} aumenta y viceversa. Para encontrar el V_c mínimo permitido:

fijamos $V_{ds5} = 0.24V$, $I_{ds1} = 25 \mu A$ y obtenemos $V_{cmin} = -8.25V$.

Para encontrar el V_c max. permitido el V_{ds1} puede llegar a ser muy pequeño sin salirse de saturación. El límite es cuando $V_{gs1} = V_{t1}$:

$V_{gs1} > V_{t1}$, $V_{ds1} > V_{gs1} - V_{t1}$, $V_{t1} + V_{ds1} > V_{gs1}$,

$V_{t1 \text{ max}} = 2.73$, $V_c \text{ max} = 7V$

Seguidor de fuente.

Esta etapa contiene los transistores M9 y M10.

$$V_{t9} = 1.68V; \quad V_{t10} = 1.46V$$

Si $S_{10} = 31.89$ (misma corriente que la etapa anterior).

$$\text{Como } I_{d9} = I_{d10}; \quad S_9 = f_n(S_{10}) = 0.02$$

$$\text{Y } A_v \approx 0.9.$$

$$R_{out} = 1/g_{m9} // r_{ds9} // r_{ds10} = 129.74 \text{ ohm. (2)}$$

Para formar el polo dominante del amplificador operacional, se utiliza un capacitor de compensación C_c y se retroalimenta al circuito de tal forma que la suma de las capacitancias parásitas conectadas al nodo 10 y C_c junto con R_{out} forman el polo dominante A_0 .

Primera etapa de ganancia (inversor):

Esta etapa contiene los transistores de M_{11} y M_{12} .

$$V_{11}/V_5 = - \frac{g_{m11} + (0.9)g_{m12}}{1/r_{ds12} + 1/r_{ds11} + g_{m11}(1 + \eta_{11})} = - \frac{\sqrt{S_{11}} + 0.9 \sqrt{S_{12}}}{(1 + \eta_{11}) \sqrt{S_{11}}}$$

$$\text{Si } S_{12} = 31.89, \quad V_{11}/V_5 = -27 \quad (\text{la ganancia deseada})$$

$$S_{11} = 0.03.$$

$$g_{m12} = 267.74 \times 10^{-6} \text{ mhos y } C_c = 11.8 \text{ pf.}$$

De (2), tenemos $R_1 = R_{out} = 129.7 \text{ Khom.}$

Y de esta etapa, la resistencia de salida es: $R_2 = r_{out} = 58 \text{ kohm.}$

Polo dominante $p_1 = 1/g_{m12} R_1 R_2 C_c$; $f_c \cong 6.7 \text{ KHz.}$

Cuando $V_{gs10} = V_{ds10}$, los transistores M9, M10, M11, M12 se comportan como el convertidor que mencionamos anteriormente.

Segunda etapa de ganancia:

Esta etapa contiene los transistores M17, M18 y M19. Esta etapa es un circuito cascode y tiene una ganancia: $V_{15}/V_{11} = -25.7.$

Etapa de salida:

Esta etapa contiene los transistores M13, M14, M15, y M16. Supongamos que la salida se conecta una carga capacitiva de 65 pf a 3 V con un tiempo de elevación de $1 \mu\text{s}$.

$$y I_{15} = K' S_{15} [V_{dd} - V_{out} - V_{t15}]^2 = C_L dV_{out}/dt.$$

$$K' S_{15} \int_{t_1}^{t_2} dt = C_L \int_{V_{out1}}^{V_{out2}} dV_{out}/(V_{dd} - V_{out} - V_{t15})^2$$

$$S_{15} = 0.963 \cong 1.$$

$$y V_{13}/V_{15} = g_{m14}/g_{m13} \times g_{m16}/(g_{m16} + g_{m15})$$

$$V_{t14} = 1.3829, \text{ para } V_{out}(DC) = 0, V_{t15} = 2.5716.$$

$$\text{Se fija la impedancia de salida: } r_o = 1/(g_{m15} + g_{m16}) = 1 \text{ Kohm}$$

$$S_{16} = 17.7936.$$

La salida de voltaje se limita por la impedancia de salida del AO.

$$V_{dd} - 1000 I_d = 9.2581V \quad (=V_{dd} - V_{t15})$$

$$V_{ss} + 1000 I_d = -9.2581V$$

Consideramos que la variación de voltaje: $\pm 7.0V$,
 $V_{t13} = 1.7161$.

Si suponemos que $A_V = 7.5V$, y $V_{15} = -8.0V$

Sea $S_{13} = 0.5$, entonces $S_{14} = 40$.

II.4. SIMULACION DEL AO MOS CON MSINC.

MSINC es un simulador de circuitos integrados que considera las no linealidades de sus componentes, él puede realizar la simulación de redes no lineales en C.D. y respuesta de tiempo en circuitos de transistores MOS, diodos, etc. MSINC es un paquete de programa hecho por T.K. Young y R.W. Dutton en la Universidad de Stanford. Los usuarios necesitan sólo numerar los nodos del circuito y meterlos junto con sus modelos de cada elemento del circuito. Por ejemplo, el modelo de transistor MOS incluye: movilidad del canal, voltaje de compuerta, las dimensiones del canal, etc. (en los listados).

A partir de este simulador, el circuito AO se diseña iterativamente para cumplir los requisitos. Esta simulación se --

realiza en una computadora PDP -11/34, con el sistema operativo de RSX-11M en I.N.A.O.E. Los listados del programa que se anejan en el Apéndice I incluyen la ganancia de lazo abierto en baja frecuencia, la respuesta de frecuencia, la variación máxima de voltaje de salida, etc.

Las caracterizaciones del AO que diseñamos con MSINC, son:

Ganancia de lazo abierto (baja frecuencia) ≈ 58000 .

Voltaje offset de salida = 2.2mV.

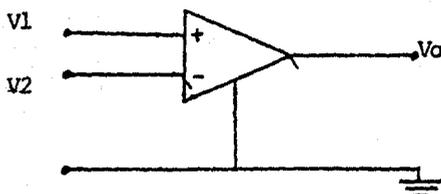
Frecuencia de corte = 5KHz.

Ancho de banda de ganancia unitaria (BW) = 30 KHz.

Razón de rechazo de modo común (CMRR) = 106dB.

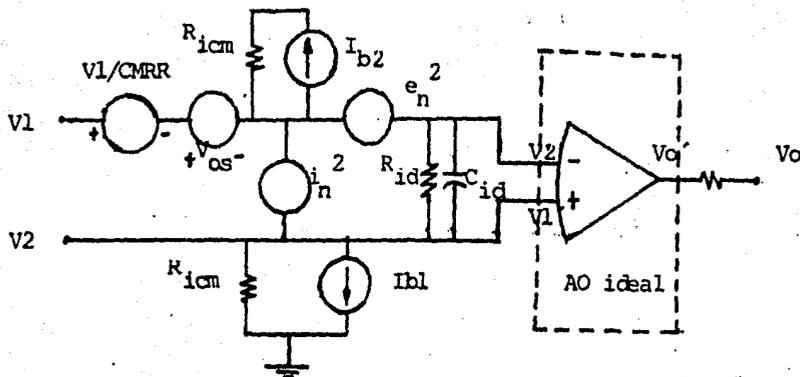
Variación máxima del voltaje de salida = + 8.54V a - 4.4V.

Consumo de potencia = 20 mW.



$$V_o = A_d (V_1 - V_2)$$

(a)



(b)

FIG. 1. a) Símbolo del AO real.
b) Circuito equivalente del AO real.

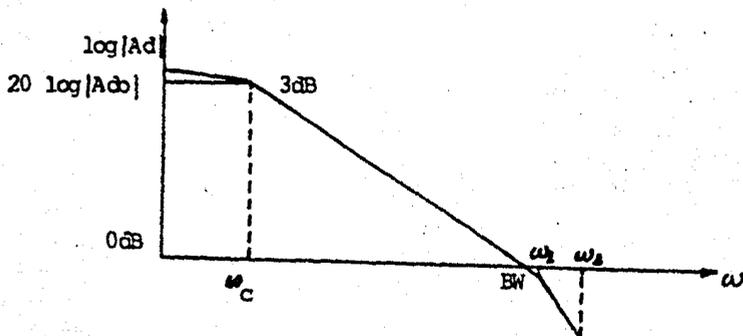


FIG. 2. Respuesta en frecuencia del AO.

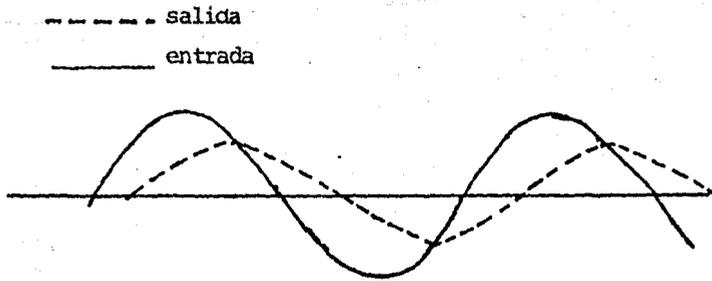


FIG. 3. Efecto de S.R.

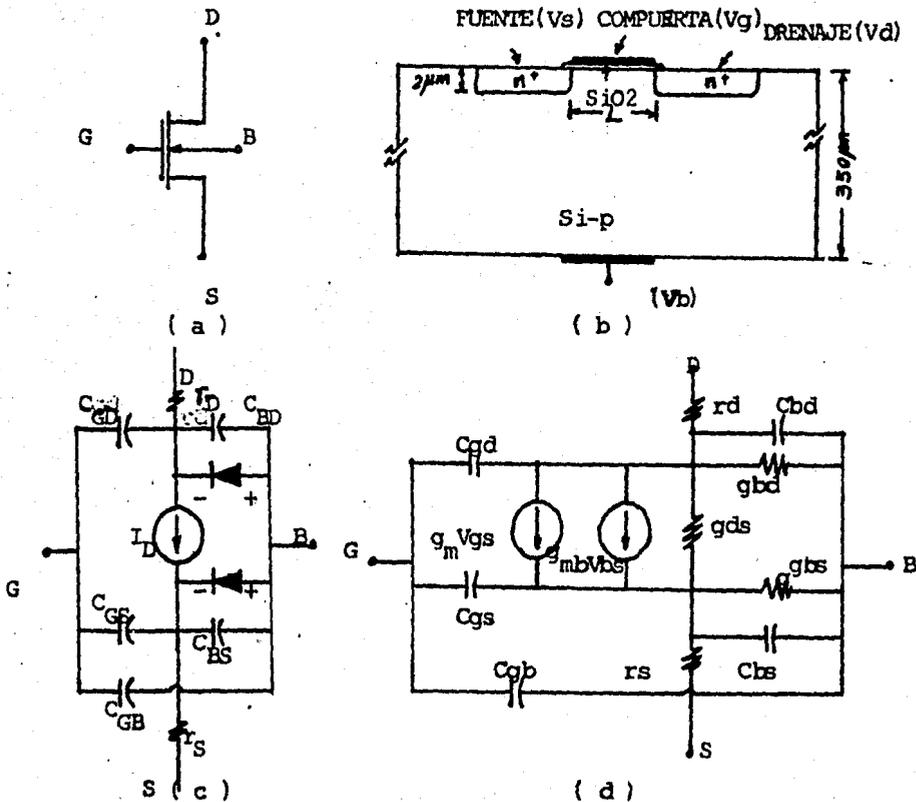


FIG. 4.a) y b) Símbolo del transistor NMOSEFET de enriquecimiento y su estructura respectivamente; c) Modelo de la señal grande; d) Modelo de la señal pequeña.

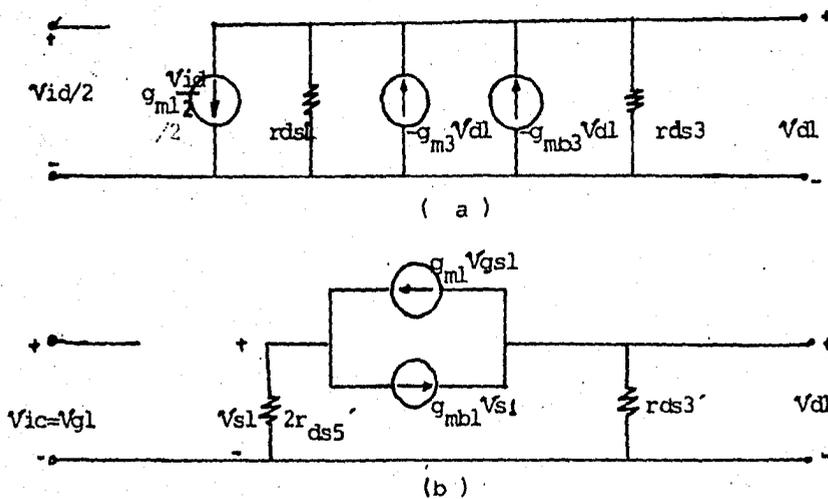
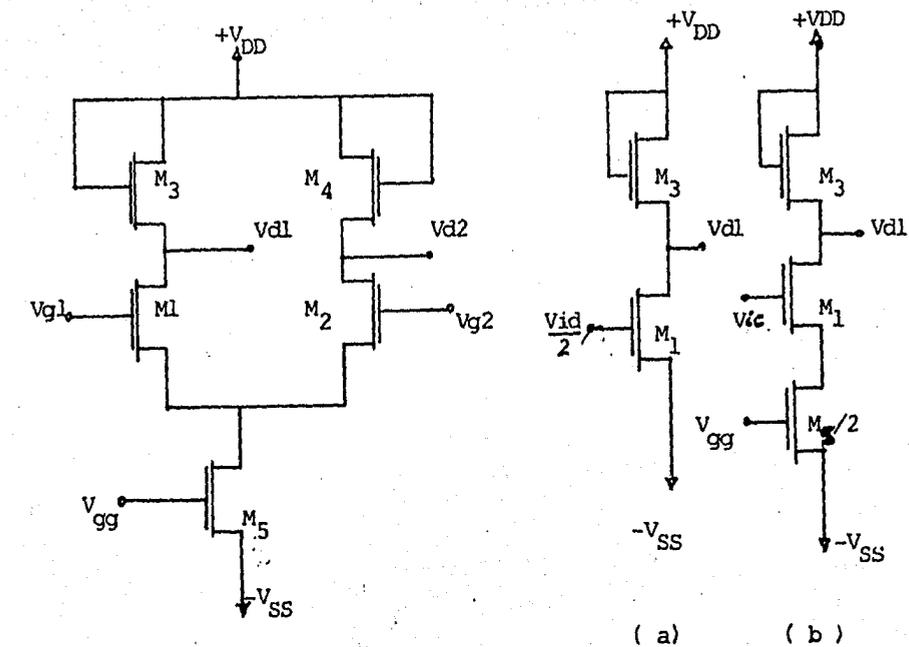


FIG. 5. Etapa de entrada.

a) modo diferencial; b) modo común.

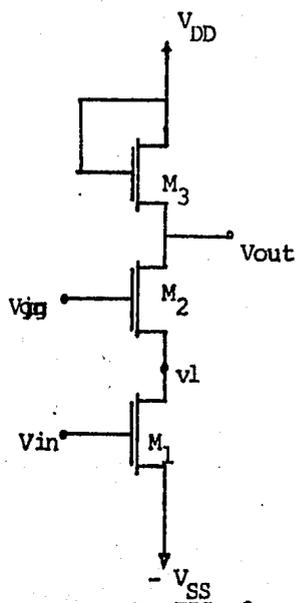
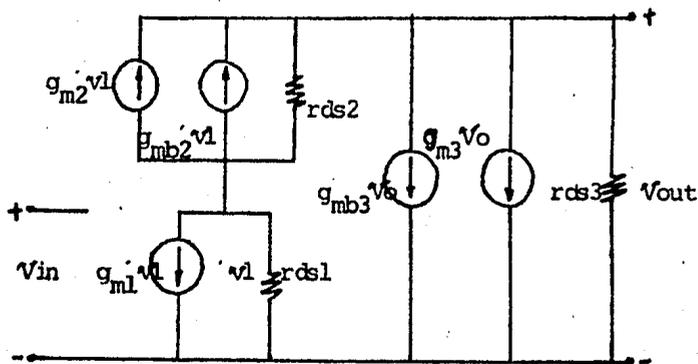


FIG. 6.



Etapa cascode.

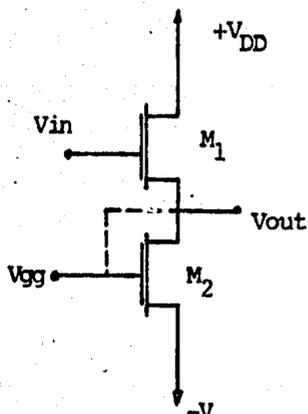
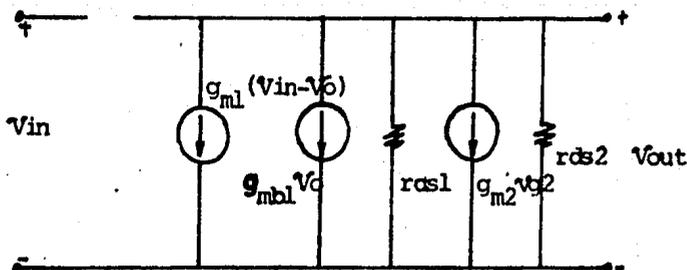


FIG. 7.



Seguidor de fuente.

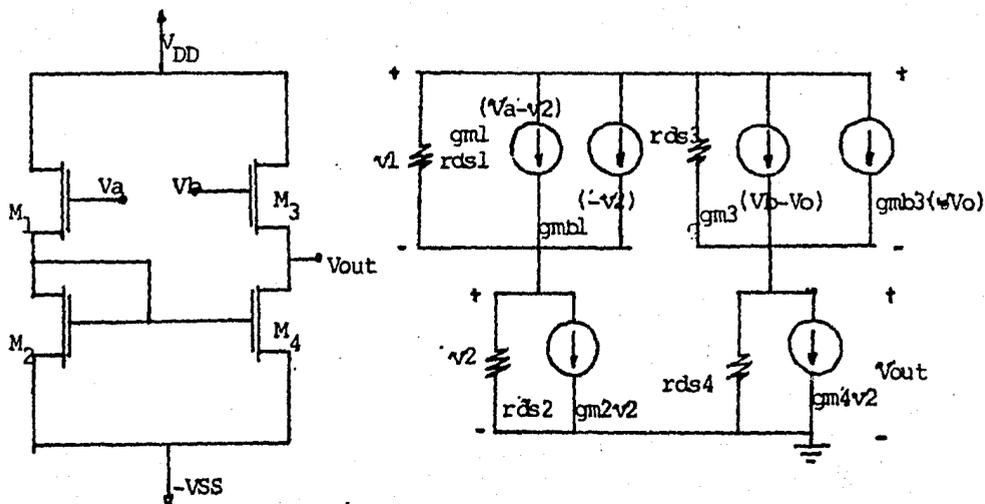


FIG. 8. Convertidor.

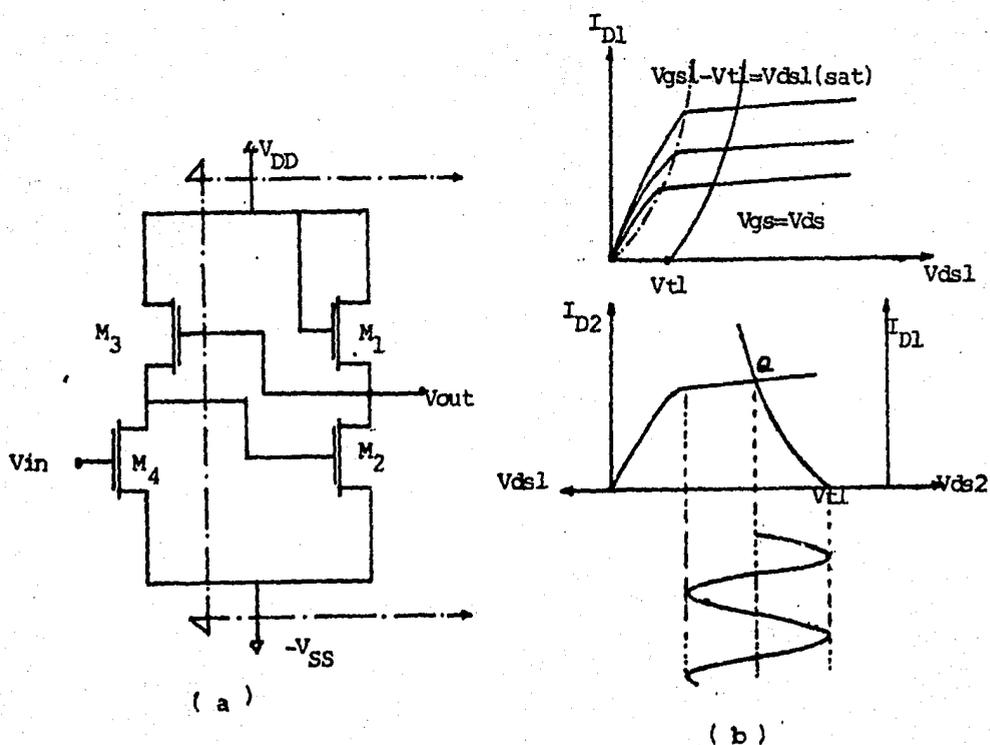
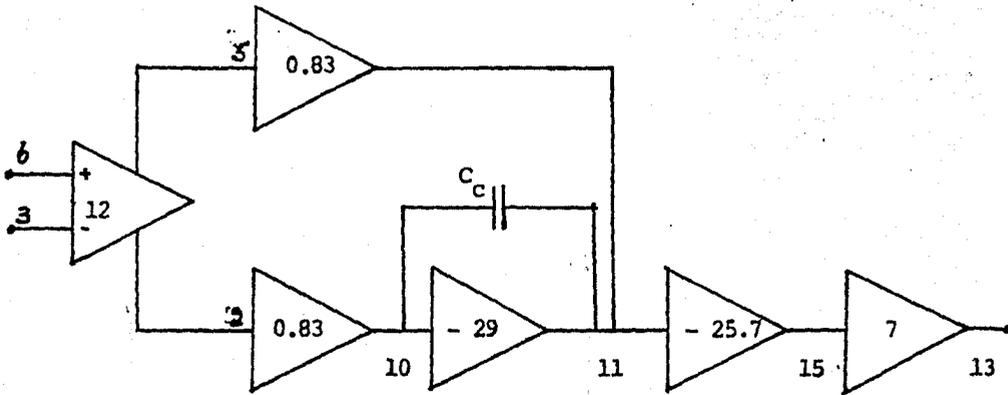


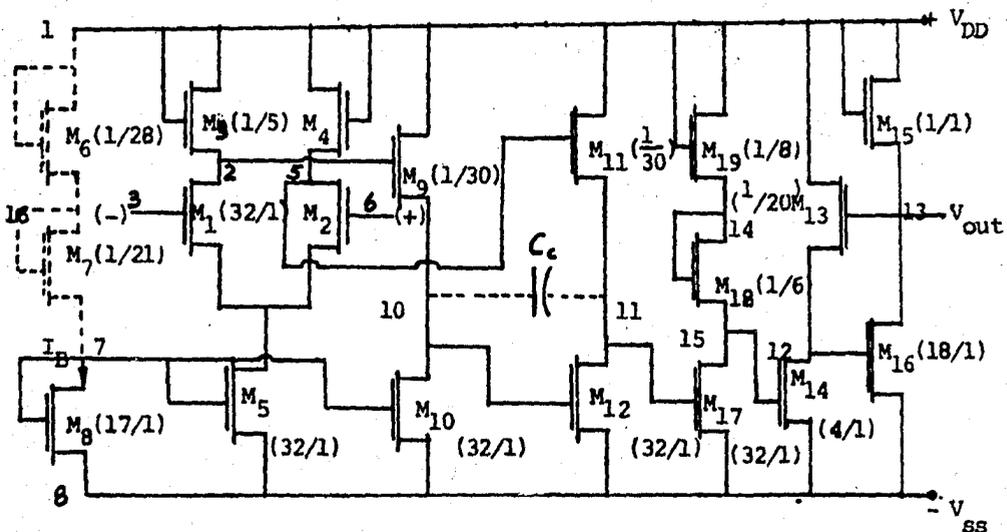
FIG. 9 a) Etapa de salida;
b) Análisis del punto de operación de un inversor simple.

FIG . 10. Diagrama de bloque de diseño.



ETAPA	SEGUIDOR	1ª ETAPA	2ª ETAPA	ETAPA
DIFERENCIAL	DE FUENTE	DE GANANCIA	DE GANANCIA	DE SALIDA
($G = 12$)	($G = 10$)	($G = -290$)	($G = 7450$)	($G = 52680$)
CONVERTIDOR				

FIG . 11. Esquema del AO NMOS.

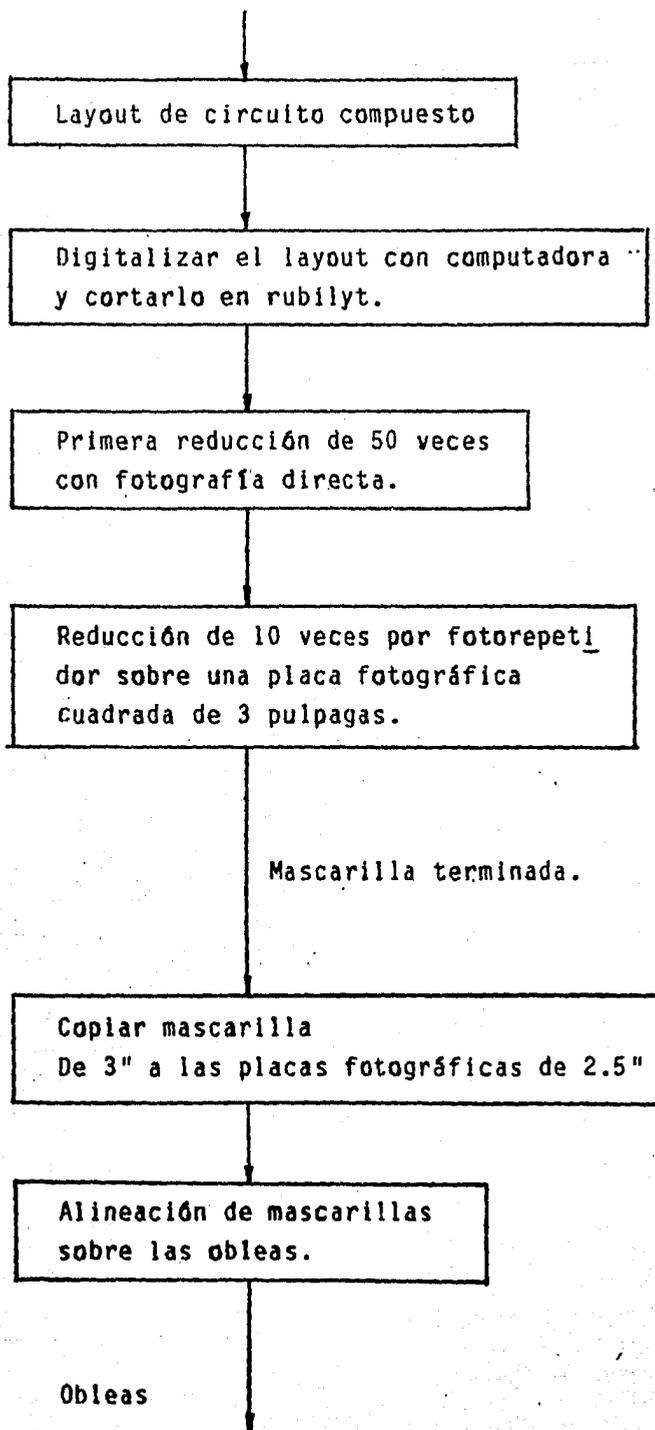


III.- CONSTRUCCION DE UN AO UTILIZANDO TECNOLOGIA NMOS.

III.1 LAYOUT:

(1) DESCRIPCION DEL LAYOUT

Para cada paso definido estructuralmente en la fabricación de los circuitos integrados se requiere una mascarilla. La mascarilla es una foto de layout sobre una placa fotográfica. Un lado de la placa es de emulsión. Uno de los sistemas de fotolitografía se observa en el siguiente diagrama de flujo.



Un método simple y común para hacer el layout es dibujarlo manualmente en forma de rectángulos. Se usa típicamente una familia de colores para distinguir los diferentes niveles. Los niveles para el layout generalmente se identifican como sigue: región de difusión, compuertas o regiones de óxido delgado, los contactos entre metal y área de difusión, área del metal. Estos niveles del layout se presentan en el Apéndice II, donde sólo se manifiestan para transistores MOS. Una vez que el layout se ha dibujado a mano, se puede entonces digitalizarlo, la digitalización del layout se lleva a cabo por un programa de computadora. El usuario define los parámetros que describe el layout, tal como localizaciones y dimensiones. Estos parámetros se consideran como variables de una función $f(X_i, Y_i, h, b)$, donde: X_i , Y_i son coordenadas de la localización original, y h , b son altura y ancho respectivamente. Y se registran y almacenan en la memoria de la computadora. Según la información dada por el usuario, la computadora grafica el layout en la pantalla de la terminal. Generalmente se usan los procesos iterativos para que el diseñador pueda corregir el layout con una tecla o una pluma luminosa. Así el layout completo puede almacenarse digitalmente en cinta perforada.

(ii) REGLAS DEL LAYOUT:

El layout de un CI MOS debe considerar un número de factores importantes. Particularmente, la atención debe enfocarse en los factores de funcionamiento tales como respuestas transitorias del circuito, inmunidad de ruidos, y distorsión de voltaje de salida debida a la resistencia acumulada en la región de difusión. Otro factor muy importante es que el layout debe ser simple para reducir los posibles errores en la fabricación de mascarillas, la configuración del layout debe ser tan simple como sea posible para realizar la función deseada. Las configuraciones complejas del layout deben evitarse excepto en el caso especial.

El layout se prepara manualmente o con ayuda de la computadora. Primero, se reduce el tamaño o mejor dicho se optimizan -- las áreas del circuito. Luego, se usa en coordinatografo que toma el circuito diseñado como dato y lo aumenta en 500 veces para cortar el rubilyt. El rubilyt está compuesta por dos partes: Una es la base transparente, y otra es un rubí rojo. La parte de rubí rojo del rubilyt puede cortarse con una punta caliente que se controla por el coordinatografo. Después de cortarse completamente, el rubí-rojo cortado se quita. El control que mencionamos -- usa las cintas perforadas. El proceso de diseño del layout asistido por computadora (CAD) tiene la ventaja de bajo costo de desarrollo por su rapidez.

Las mascarillas se hacen siguiendo los siguientes pasos:

1) Se pega el rubilyt cortado sobre un vidrio atrás del -- cual hay una luz blanca. En ese momento, el rubilyt pegado en el vidrio se considera como un objetivo. Y se le toma con una cámara así se realiza la primera reducción del layout en 50 veces. -- Luego se revela en una placa fotográfica cuadrada de 3".

2) Se reduce otra 10 veces y se expone el circuito reducido muchas veces sobre otra placa cuadrada de 3" mediante la cámara fotorepetidora, finalmente se le revela.

3) Se le copia en una placa fotográfica de 3" a otra de -- 2.5" y se le revela. Esta última placa es la mascarilla que puede alinearse en el paso de la alineación.

Para mejorar los circuitos integrados, es necesario examinar cada paso de fabricación mediante las siguientes técnicas.

1) Alineación exacta de las mascarillas que se usan en cada nivel de patrones.

2) Control de dimensiones críticas. Esto se completa por --

control de las tolerancias de dimensiones de la parte superior de recha del layout (Fig. 12) cual está fuera del AO MOS: Y se considera como referencia de alineación.

3) Utilización de pilotos que son pedazos de oblea en cada proceso de fabricación para verificar todos procesos de fabricación de la oblea.

4) Unos transistores de prueba que se presentan en la parte inferior izquierda del layout (Fig. 12). los cuales sirven para probar las características eléctricas de los transistores que constituye todo el circuito.

III.2 PROCESO DE FABRICACION.

(i) OXIDACION Y DIFUSION.

Los dispositivos de semiconductor se fabrican en substratos delgados de silicio llamado "obleas". Las características eléctricas de las obleas se determinan por el tipo de dopantes y concentraciones, que son controlados durante el proceso de crecimiento del cristal.

La unión pn se forma en el substrato por el dopante de tipo opuesto con una concentración mayor que la del substrato, la cual penetra al substrato por medio de la difusión del estado sólido.

La capa de oxido se crece sobre una oblea bajo un ambiente de oxígeno o vapor de agua o ambos en una temperatura elevada -- (típicamente en el rango de 900 a 1200°C). Esto se realiza en un tubo de cuarzo. Las condiciones de oxidación debe mantenerse para que exista un exceso de reacción de oxidación en el horno atmosférico. La reacción química durante la oxidación es.



La difusión del dopante generalmente se realiza por un proceso de dos pasos. Primero, se llama "predeposición" que se usa para introducir impurezas con una penetración pequeña en el substrato de Si. La predeposición se logra de una manera similar a la oxidación, pero en el horno atmosférico se incluye un gas compuesto de los dopantes para cubrir la superficie de la oblea. -- Las impurezas depositadas sobre el substrato de Si se emplean como una fuente de dopantes que sirven en el siguiente paso que se llama redifusión. En este paso se difunde el dopante profundamente dentro del substrato de Si con una concentración dada. El paso de redifusión se realiza en el horno inicial donde fluyen el vapor de agua. Mientras se difunde los dopantes del paso anterior, se crece una capa delgada de óxido sobre la superficie del substrato y se protege las regiones de difusión.

(ii) FOTOLITOGRAFIA:

Se necesitan tres materiales para cumplirse el proceso de fotolitografía, estos son: una mascarilla fotográfica; una materia fotosensible llamada "fotoresist"; y una solución de grabante.

Las mascarillas fotográficas son las placas que contienen muchos patrones opacos del circuito y sirven para el proceso de alineación.

Fotoresist, el segundo material, es un grabante resistente de polímero que es fotosensible. Se ponen unas gotas de fotoresist sobre la oblea y se coloca ésta en un centrifugador el cual debe estar girando para formar una capa uniforme de fotoresist sobre la oblea. Si el fotoresist es del tipo negativo, se puede revelar la parte de la oblea que está polimerizada por la luz ultravioleta. La polimerización no ocurre en las áreas opacadas por la mascarilla.

El material usado para grabar el óxido es una solución de ácido hidrófluórico (HF) y NH_4F con una razón de 1:7. El grabado de óxido es necesario para la difusión, ventanas de contacto, región de óxido delgado etc.

Para realizar el proceso de fotolitografía se usa una técnica de alineación de mascarillas mediante un alineador. El alineador consiste en un microscopio óptico y controlado por servomecanismos. Generalmente se usa el alineador para alinear las mascarillas sobre la oblea con precisión. Mediante este proceso se producen los diferentes niveles del layout sobre la misma oblea. La fig. 13 indica los procesos de alineación y grabado del óxido.

El último paso es la metalización. El metal se calienta en un evaporador vacío donde se vaporiza el metal y se cubre uniformemente en la superficie de la oblea. Comúnmente se usa Aluminio. Después de la evaporación de metal se pone fotoresist positivo sobre la capa de aluminio de la oblea para grabar el aluminio en forma deseada.

El proceso total de fabricación de un AO NMOS empleado en el I.N.A.O.E. se presenta en el Apéndice III.

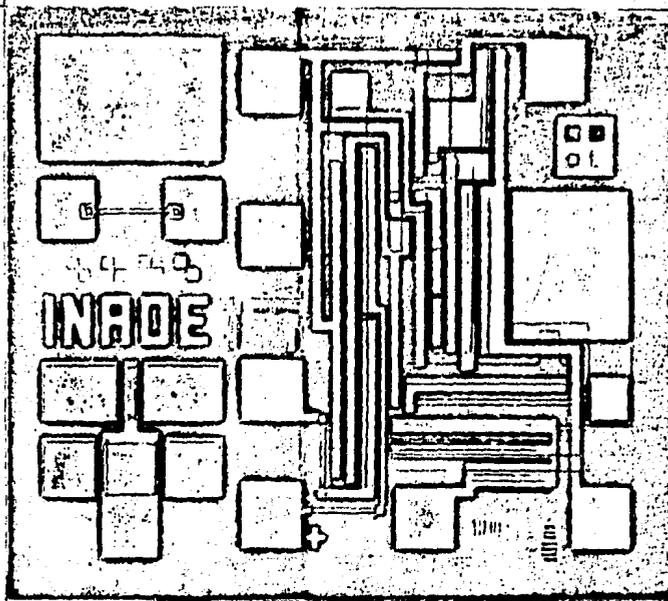
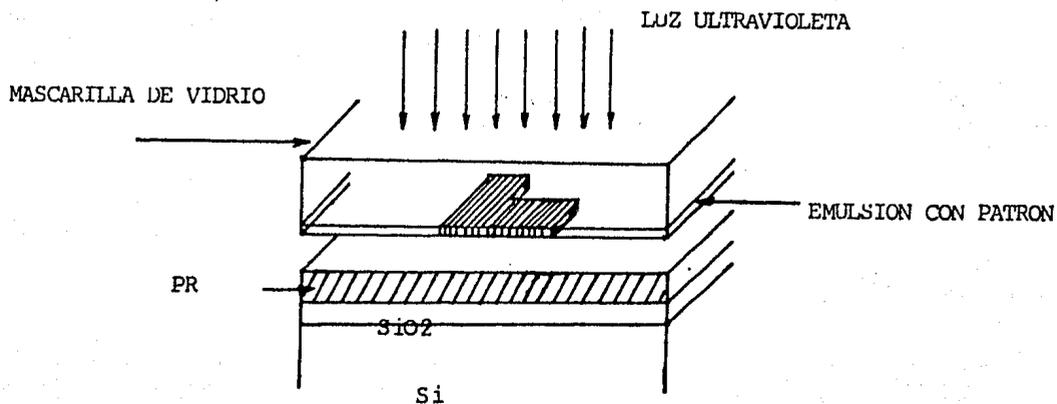
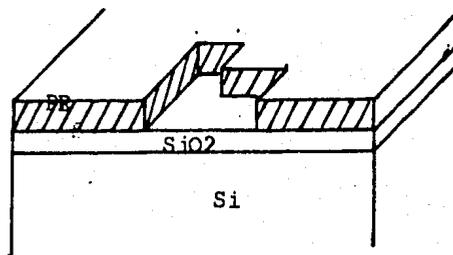


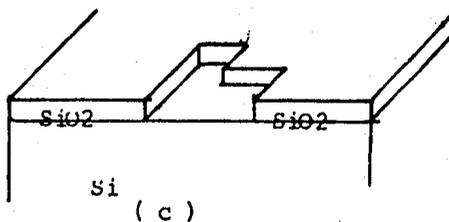
FIG. 12 Layout del AO NMOS.
($A = 0.83 \text{ mm}^2$)



(a)



(b)



(c)

FIG. 13. Fotolitografía: a) Exposición con luz ultravioleta; b) Révelado de las ventanas; c) Grabar el óxido y quitar fotoresist (PR).

IV.- PRUEBAS DEL AO MOS.

En este capítulo, se caracteriza el AO a partir de los transistores de prueba.

IV.1 CARACTERISTICAS DE TRANSISTORES DE PRUEBA:

En el mismo layout del circuito del AO que se mostró en la fig. 12, existe dos transistores de prueba: uno es de $(w/l) = 100/100$, y otro es de $(w/l) = 100/10$.

Primero, se mide el voltaje de encendido promedio de los transistores de prueba bajo la misma condición en la cual el transistor está saturado, es decir $V_{gs} = V_{ds}$, esta medición se lleva a cabo por medio del aparato "Curve Tracer type 576". El voltaje de encendido se mide prácticamente con una corriente definida (generalmente $1 \mu A$), aunque el voltaje de encendido teóricamente se define con cero amperes. El circuito de prueba se muestra en la figura 14 a.

Segundo, se determina la movilidad promedio a partir del factor de conductividad del canal. El método común es usar la configuración que satura al transistor como se indica en la fig. 14 b. Pero ahora, se fija el valor $(V_{gs} - V_t)$ en la ecuación de corriente de drenaje saturada.

ESTO ES:

$$I_{ds1} = K(V_{gs1} - V_t)^2 \quad \text{y} \quad I_{ds2} = K(V_{gs2} - V_t)^2$$

$$K = \left(\frac{\sqrt{I_{ds1}}}{V_{gs2} - V_t} - \frac{\sqrt{I_{ds2}}}{V_{gs1} - V_t} \right)$$

$$\text{donde } K = K' (w/l) - \mu_n E_{ox} / 2t_{ox} (w/l)$$

Realmente, existen difusiones laterales entre la fuente S y el drenaje D, por eso debemos considerar la longitud efectiva -- del canal; $l' = l - 2X_n$ y $X_n = 0.7X_j$

Entonces una nueva definición para K es: $K = K' (w/l') = E_{ox} \mu_n / 2 \cdot t_{ox} (w/l')$

En esta ecuación existe dos incógnitas: l' y μ_n , si supongamos que $t_{ox} = 1000 \text{ \AA}$. Para resolverla se mide K's de los transistores de prueba y así tenemos:

$$K_1 = \mu_n E_{ox} / 2t_{ox} (w/l'_1) \quad (\text{para } w/l = 100/10)$$

$$K_2 = \mu_n E_{ox} / 2t_{ox} (w/l'_2) \quad (\text{para } w/l = 100/100)$$

Finalmente, obtenemos los valores promedios;

$$V_t = 1 \text{ volts}; X_n = 1.45 \mu\text{m}, X_j = 2 \mu\text{m}; \mu_n = 700 \text{ cm/v.s.}$$

En la fig. 15, se presenta el efecto de cuerpo del transistor de prueba $(w/l) = 100/100$. Después de las mediciones, podemos encontrar un modelo de transistor MOS de prueba. Usando este modelo se simula con MSINC. Generalmente existen diferencias entre los resultados experimentales y simulados del transistor mediante este modelo, por esta razón, se modifica el modelo y se utiliza para simularse otra vez. Así se itera el paso anterior varias veces para establecer un modelo final que obviamente debe ser -- más preciso. La fig. 16 es una comparación de los resultados experimentales y simulados del transistor de prueba $(w/l) = 100/10$ -- con el modelo final establecido.

El listado de la simulación se presenta a continuación:

En donde: UB es una movilidad variable que cumple la siguiente ecuación:

$$UB = 1480 / (1 + 0.12 * (VGS - VTH)).$$

y VTH, el voltaje de encendido es una función de Vbs. Si $Vbs = 0$, entonces $VTH = VTO$.

NDB es la concentración del sustrato, $NDB = 10^{16} \text{ cm}^{-3}$;

CTUN es la capacitancia de la unión pn en unidades de pf;

XD, XS, la mascarilla de compuerta sobre la región de drenaje y fuente en μm respectivamente.

XJ, XN, la profundidad de la difusión y la difusión lateral respectivamente;

GDS es la segunda ecuación de la modulación del canal.

IV.2 RESIMULACION DEL AO MOS CON MSINC.

Con el modelo final, se hace una resimulación del AO MOS -- fabricado. El propósito es obtener los valores óptimos para la fuente de alimentación y la corriente de polarización del AO. Estos incluyen: Vdd, Vss, Vbb, y Ib.

Los siguientes listados presentan las características del AO bajo las condiciones: Vdd=8.85 V; Vss=-8.85 V; y - - - - Ib=10.36 μAmp ; Vbb= -10 V.

IV.3. CARACTERISTICAS DEL AO MOS.

A partir de los datos obtenidos en la resimulación, volvemos a caracterizar el AO real, y tenemos las siguientes características.

Ganancia de lazo abierto (baja frecuencia): $A_v \approx 10^5$.

Razón de rechazo de modo común (CMRR): 120 dB

Frecuencia de corte: $f_c = 5$ KHz,

Ancho de banda de ganancia unitaria: $BW = 30$ MHz,

Voltaje de offset de salida: $V = -1.0V$

Variación máxima del voltaje de salida: -2V a 4V,

Slew rate - 0.24 V/ μ s,

Impedancia de entrada: $R_{in} = 0.25$ M Ω ,

Impedancia de salida: $R_{out} = 1.3$ K Ω ,

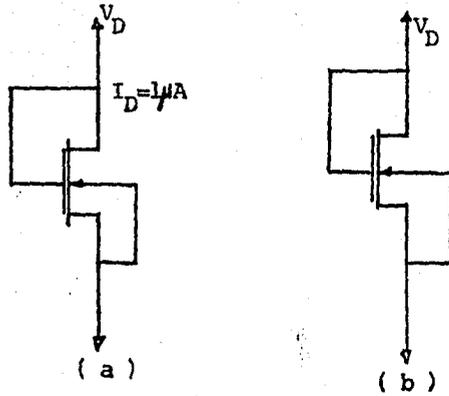


FIG. 14 a) Circuito de prueba para medir V_t ;
b) Circuito de prueba para medir K' .

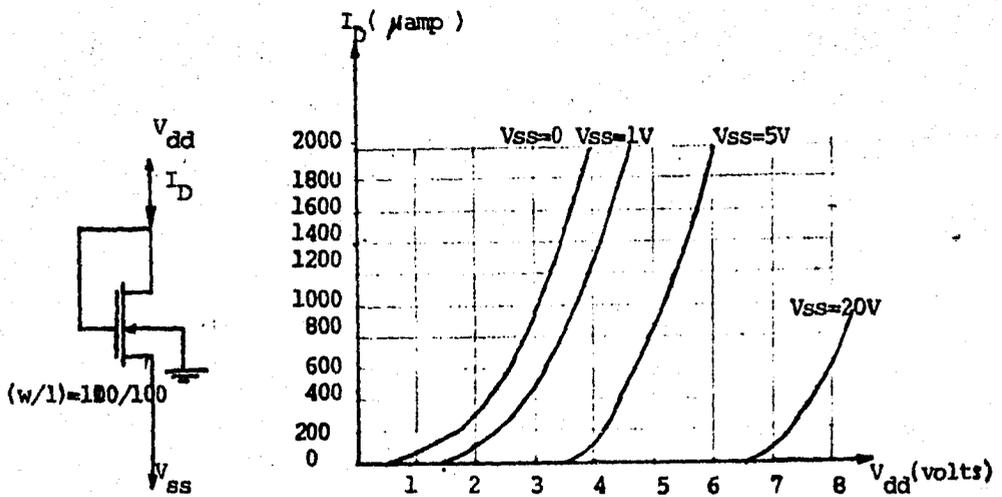


FIG. 15. Efecto de cuerpo del transistor de prueba $(w/l)=100/100$.

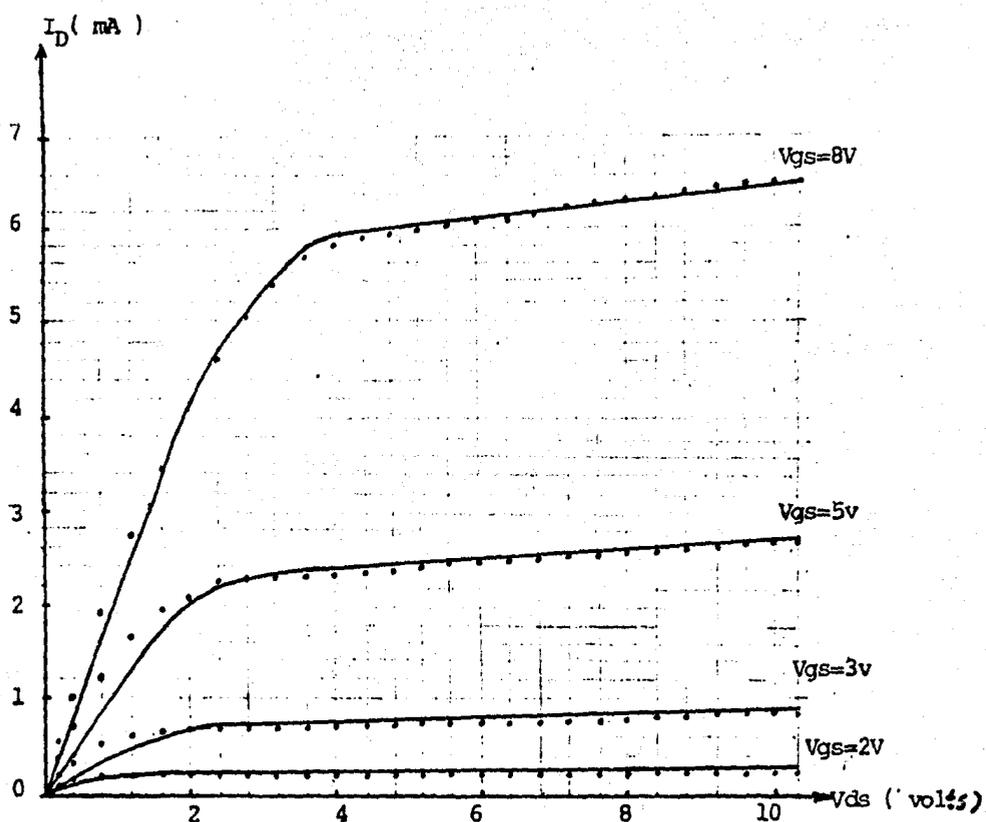


FIG. 16. Comparación entre los resultados experimentales y simulados del transistor de prueba $(w/l)=100/10$.

..... de simulación.
 ————— de medición.

- M S I N C - VER. CO. 09 JUN-81
ESTRUCTURA OVERLAY- F4PLUS 3.0
PDP 11/34 RBX-11H V3.2

*CHARACTERISTICAS DE NMOS

DATE: 08-OCT-84 TIME IS: 10:23:42

TIME 0.2U 10U
VDD 1 0 0 0U 10 10U
G1 1 2 0 0 M1 100 10 0 0 17 17
G2 1 3 0 0 M1 100 10 0 0 17 17
G3 1 4 0 0 M1 100 10 0 0 17 17
G4 1 5 0 0 M1 100 10 0 0 17 17
MODE= M1 NMO V10=1.0 UB=1490, 1.0, 12, TOX=1000
+DNB=1E+16 CJUN=3E-4 XD 5 XS=5 XJ=2.07
+XN=1.45 GDS=2E-6 0.0, 0.64
VG2 2 0 2
VG3 3 0 3
VG4 4 0 5
VG5 5 0 8
OPT NM
PLOT G1, G2, G3, G4
PLOT G3, G4, G1, G2
END

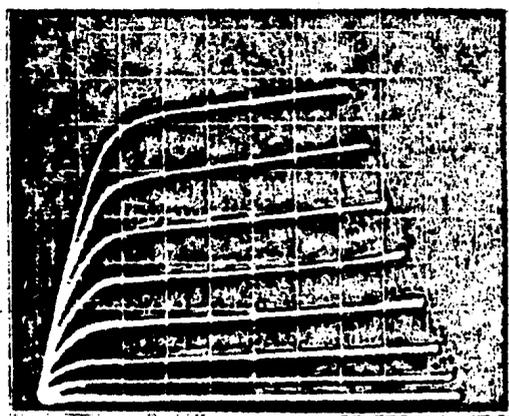


FIG. 17. Curvas características I-V del transistor de prueba (w/l)=100/10.

*CARACTERISTICAS DE NMOS

TEMP = 300.00

NO. OF ITER. = 3

MODE VOLTAGE -

(1) 0.00000 (2) 2.00000 (3) 3.00000 (4) 5.00000
 (5) 8.00000

TRANSISTOR OP. PT. --

NAME	VGS	VDS	VSB	IDS(MA)
Q1	2.0000	0.0000	0.0000	0.000000
Q2	3.0000	0.0000	0.0000	0.000000
Q3	5.0000	0.0000	0.0000	0.000000
Q4	8.0000	0.0000	0.0000	0.000000

ELAPSED TIME IS : 0 H 0 M 14 S 83 M.S
 PBRPT. TRPPT, CLOP, TUP= 0.0000E+00 0.1000D 04 0.1000D+07 0.1000D-04

TOTAL NEWTON ITERATION = 14

ELAPSED TIME IS : 0 H 0 M 23 S 833 M.S

M S I N C - VER. CO. 09

*CHARACTERISTICAS DE MODOS

- * 01
- * 02
- * 03
- * 04

TIME IN MICRO-SECONDS

	0.00	2.00	4.00	6.00	8.00		
0.000						0.000	0.000
0.200 I	I**e	I	I	I	I	0.103	0.210
0.400 I	I**e	I	I	I	I	0.137	0.355
0.600 I	I* # e I	I	I	I	I	0.170	0.499
0.800 I	I+ * # e	I	I	I	I	0.171	0.535
1.000 I	I+ * # I e	I	I	I	I	0.172	0.570
1.200 I	I+ * # I e	I	I	I	I	0.173	0.606
1.400 I	I+ * # I e	I	I	I	I	0.175	0.641
1.600 I	I+ * # e	I	I	I	I	0.176	0.645
1.800 I	I+ * # e I	I	I	I	I	0.177	0.649
2.000	I+ * # e	I	I	I	I	0.179	0.653
2.200 I	I+ * # I e	I	I	I	I	0.180	0.657
2.400 I	I+ * # I e	I	I	I	I	0.181	0.661
2.600 I	I+ * # I e	I	I	I	I	0.183	0.665
2.800 I	I+ * # I e	I	I	I	I	0.184	0.669
3.000 I	I+ * # I e	I	I	I	I	0.186	0.673
3.200 I	I+ * # I e	I	I	I	I	0.187	0.678
3.400 I	I+ * # I e	I	I	I	I	0.189	0.682
3.600 I	I+ * # I e	I	I	I	I	0.190	0.686
3.800 I	I+ * # I e	I	I	I	I	0.192	0.671
4.000	I+ * # I e	I	I	I	I	0.193	0.695
4.200 I	I+ * # I e	I	I	I	I	0.195	0.700
4.400 I	I+ * # I e	I	I	I	I	0.196	0.704
4.600 I	I+ * # I e	I	I	I	I	0.198	0.709
4.800 I	I+ * # I e	I	I	I	I	0.200	0.713
5.000 I	I+ * # I e	I	I	I	I	0.202	0.719
5.200 I	I+ * # I e	I	I	I	I	0.203	0.723
5.400 I	I+ * # I e	I	I	I	I	0.205	0.728
5.600 I	I+ * # I e	I	I	I	I	0.207	0.733
5.800 I	I+ * # I e	I	I	I	I	0.209	0.738
6.000	I+ * # I e	I	I	I	I	0.210	0.743
6.200 I	I+ * # I e	I	I	I	I	0.212	0.748
6.400 I	I+ * # I e	I	I	I	I	0.214	0.753
6.600 I	I+ * # I e	I	I	I	I	0.216	0.759
6.800 I	I+ * # I e	I	I	I	I	0.218	0.764
7.000 I	I+ * # I e	I	I	I	I	0.220	0.769
7.200 I	I+ * # I e	I	I	I	I	0.222	0.775
7.400 I	I+ * # I e	I	I	I	I	0.224	0.780
7.600 I	I+ * # I e	I	I	I	I	0.227	0.786
7.800 I	I+ * # I e	I	I	I	I	0.229	0.791
8.000	I+ * # I e	I	I	I	I	0.231	0.797
8.200 I	I+ * # I e	I	I	I	I	0.233	0.803
8.400 I	I+ * # I e	I	I	I	I	0.236	0.809
8.600 I	I+ * # I e	I	I	I	I	0.238	0.815
8.800 I	I+ * # I e	I	I	I	I	0.240	0.822
9.000 I	I+ * # I e	I	I	I	I	0.243	0.828
9.200 I	I+ * # I e	I	I	I	I	0.245	0.834
9.400 I	I+ * # I e	I	I	I	I	0.248	0.841
9.600 I	I+ * # I e	I	I	I	I	0.251	0.847

#####

- M S I N C - VER. CO.09 JUN-81
ESTRUCTURA OVERLAY--F4PLUS 3.0
PDP 11/34 RSX-11M V3.2

#####

AMPLIFICADOR OPERACIONAL NMOS

DATE: 24-MAY-84 TIME IS: 10:17:36

#####

+RESIMULACION
TIME 0.0125M 0.5M
VDD 1 0 DC 8.85
VSS 8 0 DC -8.85
VBB 9 0 DC -10
VB 7 0 DC -6.8136816
VIN+ 3 0 SIN 0 0.00001 2K
VIN- 5 0 SIN 0 -0.00001 2K
C 11 10 11
R3 1 1 2 9 ENHN 10 50 0 0 17 17
M1 2 3 4 9 ENHN 320 10 0 0 17 17
M2 5 6 4 9 ENHN 320 10 0 0 17 17
M4 1 1 5 9 ENHN 10 50 0 0 17 17
M5 4 7 8 9 ENHN 320 10 0 0 17 17
M8 7 7 8 9 ENHN 170 10 0 0 17 17
M9 1 2 10 9 ENHN 10 300 0 0 17 17
M10 10 7 8 9 ENHN 320 10 0 0 17 17
M11 1 5 11 9 ENHN 10 300 0 0 17 17
M12 11 10 8 9 ENHN 320 10 0 0 17 17
M13 1 13 12 9 ENHN 10 200 0 0 17 17
M14 12 15 8 9 ENHN 40 10 0 0 17 17
M15 1 1 13 9 ENHN 10 10 0 0 17 17
M16 13 12 8 9 ENHN 180 10 0 0 17 17
M19 1 1 14 9 ENHN 10 80 0 0 17 17
M18 14 14 15 9 ENHN 10 60 0 0 17 17
M17 15 11 8 9 ENHN 320 10 0 0 17 17
MODEL ENHN NMO VIO=1.0 UB=1480,1.0.12. TDX=1000
+DNS=1E+16 CJUN=3E-4 XD=5 XS=5 XJ=2.07
+XN=1.45 GDS=2.0.0.0.64
OPT NP
OPT NC
PLOT 3,13
END

LISTADOS DE LA RESIMULACION.

M S I N C - VER. CO:09

AMPLIFICADOR OPERACIONAL NMOS

TEMP = 300.00

NO. OF ITER. = 32

NODE VOLTAGE -

(1)	8.85000	(2)	1.95140	(3)	0.00000	(4)	-4.00772
(5)	1.95140	(6)	0.00000	(7)	-6.84368	(8)	-8.85000
(9)	-10.00000	(10)	-6.84559	(11)	-6.77255	(12)	-5.92549
(13)	<u>-1.01139</u>	(14)	0.26590	(15)	-6.82352		

TRANSISTOR OP. PT. --

NAME	VGS	VDS	VSB	IDS(MA)
M3	6.8986	6.8986	11.9514	0.007075
M1	4.0077	5.9591	5.9923	0.007075
M2	4.0077	5.9591	5.9923	0.007075
M4	6.8986	6.8986	11.9514	0.007075
M5	2.0063	4.8423	1.1500	0.014151
M8	2.0063	2.0063	1.1500	0.006872
M9	8.7970	15.6956	3.1544	0.012934
M10	2.0063	2.0014	1.1500	0.012934
M11	8.7240	15.6226	3.2274	0.012594
M12	2.0014	2.0774	1.1500	0.012594
M13	4.9141	14.7755	4.0745	0.002206
M14	2.0265	2.9245	1.1500	0.002206
M15	9.8614	9.8614	8.9886	0.489189
M16	2.9245	7.8386	1.1500	0.489189
M19	9.1159	9.1159	9.7341	0.030430
M18	6.5576	6.5576	3.1765	0.030430
M17	2.0774	2.0265	1.1500	0.030430

TOTAL NEWTON ITERATION = 80

ELAPSED TIME IS : 0 H 1 M 29 S 331 MLS

- M S I N C - VER. CO.09

AMPLIFICADOR OPERACIONAL NM05

+ : 3 0
* : 13 0

TIME IN MICRO SECONDS

	-2.00	-1.60	-1.20	-0.80	-0.40	0.00		
	I	I	I	I	I	I		
0.000	-	-	-	-	-	-	+	0.000 -1.011
12.500	I						+	0.000 -1.017
25.000	I						+	0.000 -1.048
37.500	I						+	0.000 -1.077
50.000	I						+	0.000 -1.129
62.500	I						+	0.000 -1.191
75.000	I						+	0.000 -1.234
87.500	I						+	0.000 -1.286
100.000	I						+	0.000 -1.340
112.500	I						+	0.000 -1.393
125.000	-	-	-	-	-	-	+	0.000 -1.447
137.500	I	*					+	0.000 -1.501
150.000	I	*					+	0.000 -1.525
162.500	I	*					+	0.000 -1.549
175.000	I	*					+	0.000 -1.573
187.500	I	*					+	0.000 -1.597 ←
200.000	I	*					+	0.000 -1.576
212.500	I	*					+	0.000 -1.556
225.000	I	*					+	0.000 -1.535
237.500	I	*					+	0.000 -1.514
250.000	-	-	-	-	-	-	+	0.000 -1.451
262.500	I						+	0.000 -1.388
275.000	I	*					+	0.000 -1.325
287.500	I						+	0.000 -1.262
300.000	I						+	0.000 -1.177
312.500	I						+	0.000 -1.092
325.000	I						+	0.000 -1.006
337.500	I						+	0.000 -0.921
350.000	I						+	0.000 -0.844
362.500	I						+	0.000 -0.767
375.000	-	-	-	-	-	-	+	0.000 -0.690
387.500	I						+	0.000 -0.613
400.000	I						+	0.000 -0.575
412.500	I						+	0.000 -0.537
425.000	I						+	0.000 -0.499
437.500	I						+	0.000 -0.461 ←
450.000	I						+	0.000 -0.477
462.500	I						+	0.000 -0.493
475.000	I						+	0.000 -0.509
487.500	I						+	0.000 -0.526

ELAPSED TIME IS : 0 H 1 M 30 S 598 MLS

GANANCIA DEL LAZO ABIERTO (BAJA FRECUENCIA: 2 KHz)

AMPLIFICADOR OPERACIONAL NMOS

+ : 3 0
 * : 13 0

TIME IN MICRO-SECONDS

	-5.00	-3.00	-1.00	1.00	3.00	5.00		
	I	I	I	I	I	I		
0.000	-	-	-	-	-	-	0.000	-1.011
12.500	I	I *	I +	I	I	I	0.078	-2.321
25.000	I	I *	I +	I	I	I	0.155	-2.320
37.500	I	I *	I +	I	I	I	0.227	-2.319
50.000	I	I *	I +	I	I	I	0.294	-2.319
62.500	I	I *	I +	I	I	I	0.354	-2.320
75.000	I	I *	I +	I	I	I	0.405	-2.320
87.500	I	I *	I +	I	I	I	0.446	-2.320
100.000	I	I *	I +	I	I	I	0.476	-2.320
112.500	I	I *	I +	I	I	I	0.494	-2.320
125.000	-	-	-	-	-	-	0.500	-2.320
137.500	I	I *	I +	I	I	I	0.494	-2.321
150.000	I	I *	I +	I	I	I	0.476	-2.321
162.500	I	I *	I +	I	I	I	0.446	-2.321
175.000	I	I *	I +	I	I	I	0.405	-2.321
187.500	I	I *	I +	I	I	I	0.354	-2.321
200.000	I	I *	I +	I	I	I	0.294	-2.321
212.500	I	I *	I +	I	I	I	0.227	-2.322
225.000	I	I *	I +	I	I	I	0.155	-2.322
237.500	I	I *	I +	I	I	I	0.078	-2.322
250.000	-	-	-	-	-	-	0.000	-2.322
262.500	I	I *	I +	I	I	I	-0.078	-2.322
275.000	I	I *	I +	I	I	I	-0.154	-2.324
287.500	I	I	I +	I	* I	I	-0.227	2.596
300.000	I	I	I +	I	* I	I	-0.292	2.695
312.500	I	I	I +	I	*	I	-0.350	2.998
325.000	I	I	I +	I	*	I	-0.394	3.029
337.500	I	I	I +	I	*	I	-0.438	3.060
350.000	I	I	I +	I	*	I	-0.462	3.059
362.500	I	I	I +	I	*	I	-0.485	3.057
375.000	-	-	-	-	*	-	-0.471	3.062
387.500	I	I	I +	I	*	I	-0.458	3.067
400.000	I	I	I +	I	*	I	-0.444	3.072
412.500	I	I	I +	I	*	I	-0.430	3.075
425.000	I	I	I +	I	*	I	-0.377	3.072
437.500	I	I	I +	I	*	I	-0.323	3.068
450.000	I	I	I +	I	*	I	-0.270	3.063
462.500	I	I	I +	I	*	I	-0.216	3.059
475.000	I	I	I +	I	*	I	-0.149	3.072
487.500	I	I	I +	I	*	I	-0.076	3.062

ELAPSED TIME IS : 0 H 3 M 9 S 717 MLS

LA MAXIMA VARIACION DEL VOLTAJE.

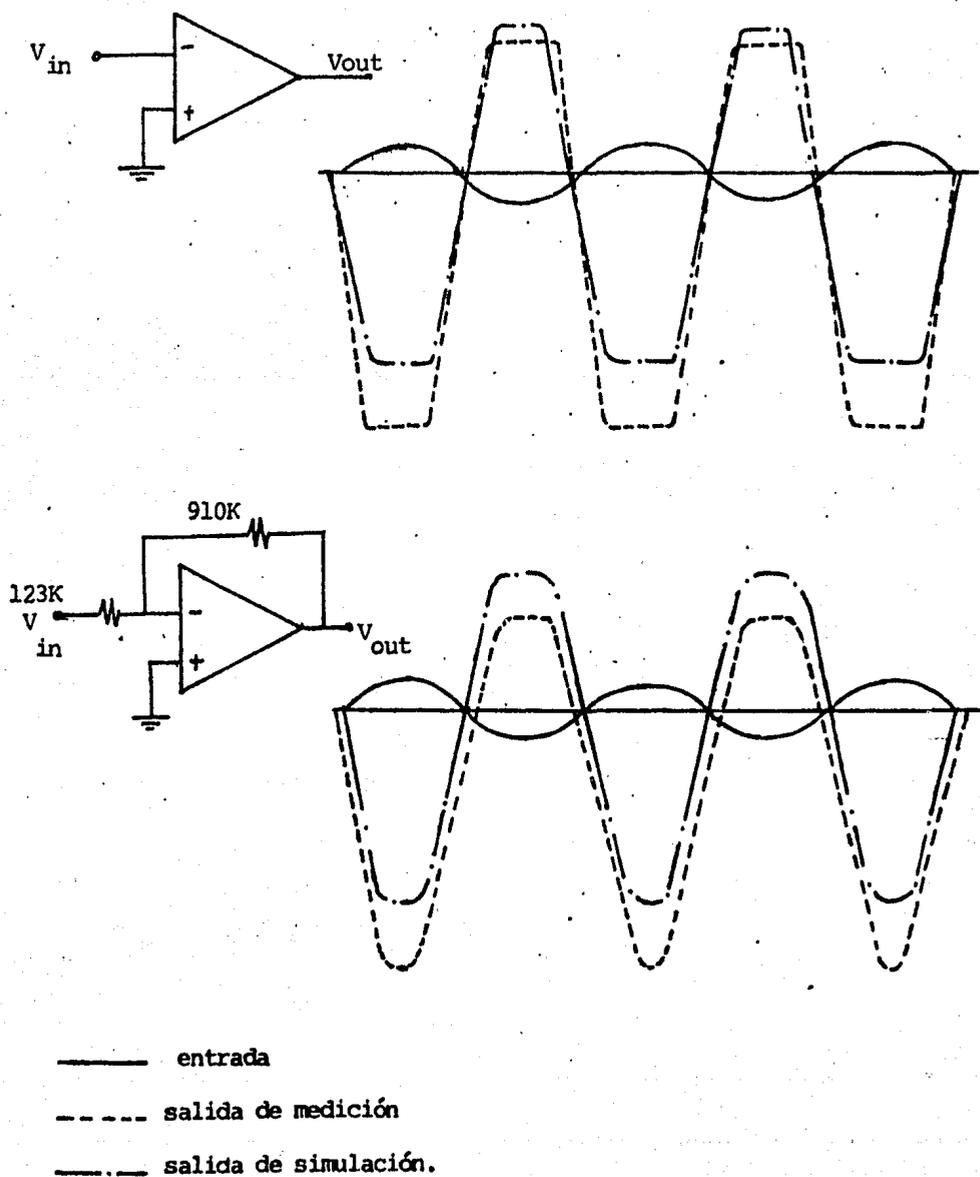


FIG. 18. Comparaciones entre los resultados experimentales y simulados del AO NMOS.

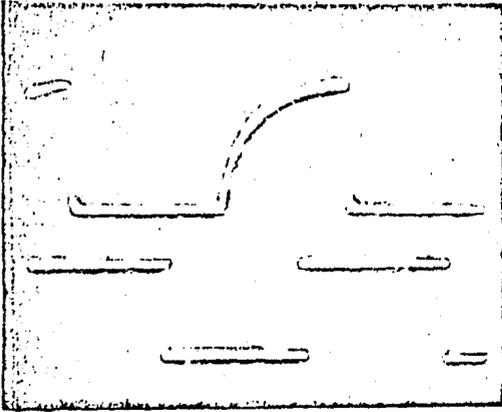


FIG. 19.a) Tiempo de retardo
del AO NMOS.

time: 50 μ s/DIV

Vin (función escalón): 0.5V/DIV

Vout : 2V/DIV.

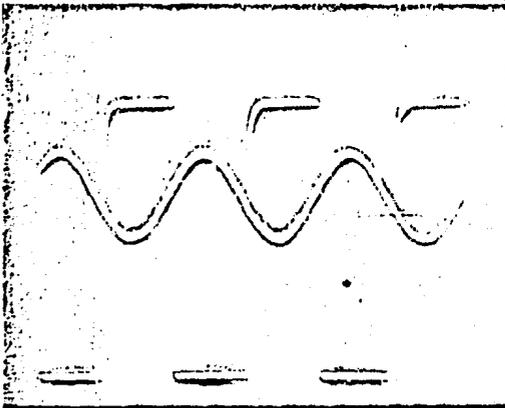


FIG. 19.b) E/S del AO con
lazo abierto.

time: 1 ms/DIV

Vin (Seno): 0.5V/DIV

Vout: 1V/DIV.

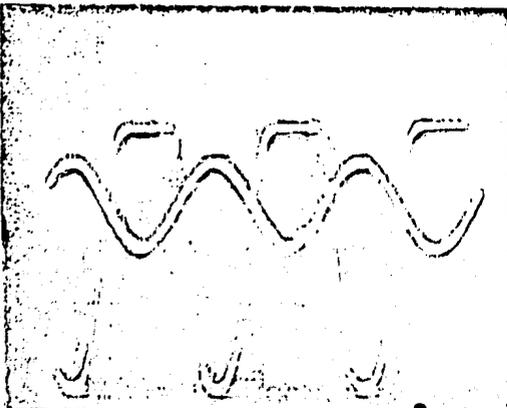


FIG19. c) E/S del AO con
retroalimentación.

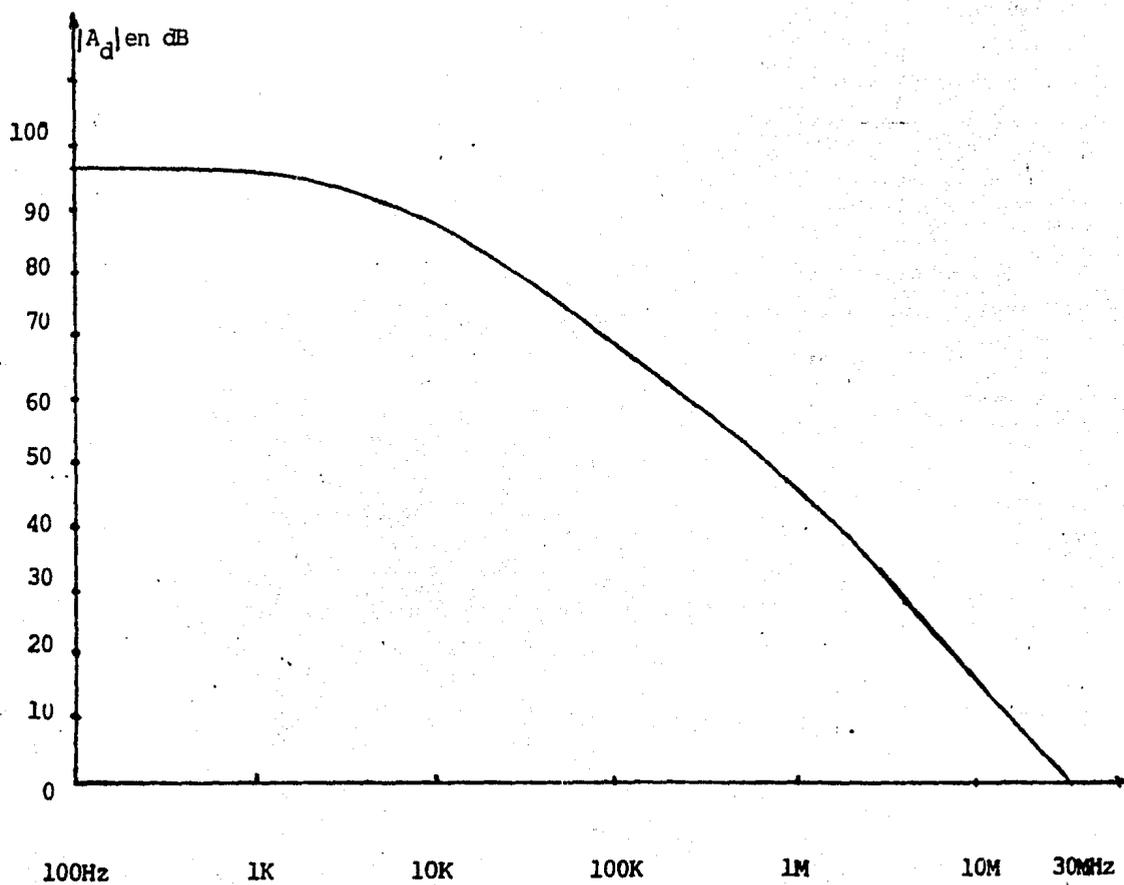
time: 1 ms/DIV

Vin (función seno): 0.5V/DIV

Vout: 1 V/DIV.

APENDICE I

RESULTADOS DE LA SIMULACION DEL AO NMOS.



- M S I N C - VER. CO.09 JUN-81
ESTRUCTURA OVERLAY--F4PLUS 3.0
PDP 11/34 R6X-11M V3.2

AMPLIFICADOR OPERACIONAL NMOS

DATE: 29-APR-84 TIME IS: 11:17:59

```

*SIMULACION
TIME 0.0125M 0.5M
VDD 1 0 DC 10
VSS 8 0 DC -10
VBB 9 0 DC -15
VIN- 6 0 SIN 0 -0.05M 2K
VIN+ 3 0 SIN 0 0.05M 2K
C 11 10 11
M3 1 1 2 9 ENHN 10 51.55 .05 .05
M1 2 3 4 9 ENHN 318.9 10 .05 .05
M2 5 6 4 9 ENHN 318.9 10 .05 0.05
M4 1 1 5 9 ENHN 10 51.55 .05 .05
M5 4 7 8 9 ENHN 318.9 10 .05 .05
M6 1 1 16 9 ENHN 10 283.76 0.05 .05
M7 16 16 7 9 ENHN 10 213 .05 .05
M8 7 7 8 9 ENHN 169.08 10 .05 .05
M9 1 2 10 9 ENHN 10 304.4 0.05 0.05
M10 10 7 8 9 ENHN 318.9 10 0.05 .05
M11 1 5 11 9 ENHN 10 304.4 0.05 0.05
M12 11 10 8 9 ENHN 318.9 10 0.05 0.05
M13 1 13 12 9 ENHN 10 200 0.05 0.05
M14 12 15 8 9 ENHN 42.7 10 0.05 0.05
M15 1 1 13 9 ENHN 10 10 .05 .05
M16 13 12 8 9 ENHN 180.65 10 0.05 0.05
M19 1 1 14 9 ENHN 10 80.11 0.05 0.05
M18 14 14 15 9 ENHN 10 60.5 0.05 0.05
M17 15 11 8 9 ENHN 318.9 10 0.05 0.05
MODEL ENHN NMO VTO=0.5 UB=750 TOX=1000 GDS=3
OPT M#
OPT NC
PLOT 3,13
END

```

LISTADOS DE SIMULACION CON MSINC

AMPLIFICADOR OPERACIONAL NMOS

TEMP = 300.00

NO. OF ITER. = 34

NODE VOLTAGE -

(1)	10.00000	(2)	4.34713	(3)	0.00000	(4)	-2.27507
(5)	4.34713	(6)	0.00000	(7)	-8.29100	(8)	-10.00000
(9)	-15.00000	(10)	-8.29578	(11)	-8.16154	(12)	-6.74677
(13)	<u>0.00220</u>	(14)	0.16334	(15)	-8.09741	(16)	0.04383

TRANSISTOR OP. PT. --
NAME VGS

NAME	VGS	VDS	VSB	IDB(MA)
M3	5.6529	5.6529	19.3471	0.024312
M1	2.2751	6.6222	12.7249	0.024312
M2	2.2751	6.6222	12.7249	0.024312
M4	5.6529	5.6529	19.3471	0.024312
M5	1.7090	7.7249	5.0000	0.048623
M6	9.9562	9.9562	15.0438	0.025960
M7	8.3348	8.3348	6.7090	0.025960
M8	1.7090	1.7090	5.0000	0.025960
M9	12.6429	18.2958	6.7042	0.048623
M10	1.7090	1.7042	5.0000	0.048623
M11	12.5087	18.1615	6.8385	0.047362
M12	1.7042	1.8385	5.0000	0.047362
M13	6.7490	16.7468	8.2532	0.015460
M14	1.9026	3.2532	5.0000	0.015460
M15	9.9978	9.9978	15.0022	0.737846
M16	3.2532	10.0022	5.0000	0.737846
M19	9.8367	9.8367	15.1633	0.088895
M18	8.2607	8.2607	6.9026	0.088895
M17	1.8385	1.9026	5.0000	0.088895

TOTAL NEWTON ITERATION = 37

ELAPSED TIME IS : 0 H 1 M 51 S 218 MLS

+ : 3 0
 * : 13 0

TIME IN MICRO-SECONDS

	-5.00	-3.00	-1.00	1.00	3.00	5.00		
	I	I	I	I	I	I		
0.000							0.000	0.002
12.500	I		I	*	I	I	0.000	-0.066
25.000	I		I	**	I	I	0.000	-0.287
37.500	I		I	* +	I	I	0.000	0.493
50.000	I		I +	+	I	I	0.000	-0.803
62.500	I		+ I	+	I	I	0.000	-1.108
75.000	I		* I	+	I	I	0.000	-1.413
87.500	I		* I	+	I	I	0.000	-1.718
100.000	I		+ I	+	I	I	0.000	-1.933
112.500	I		+ I	+	I	I	0.000	-2.147
125.000							0.000	-2.362
137.500	I	*	I	+	I	I	0.000	-2.576
150.000	I	*	I	+	I	I	0.000	-2.557
162.500	I	*	I	+	I	I	0.000	-2.537
175.000	I	*	I	+	I	I	0.000	-2.520
187.500	I	*	I	+	I	I	0.000	-2.502
200.000	I	*	I	+	I	I	0.000	-2.245
212.500	I	*	I	+	I	I	0.000	-1.989
225.000	I	*	I	+	I	I	0.000	-1.733
237.500	I	*	I	+	I	I	0.000	-1.477
250.000							0.000	-1.079
262.500	I		I	* +	I	I	0.000	0.652
275.000	I		I	**	I	I	0.000	-0.281
287.500	I		I	**	I	I	0.000	0.113
300.000	I		I	+ *	I	I	0.000	0.500
312.500	I		I	+	* I	I	0.000	0.697
325.000	I		I	+	I *	I	0.000	1.274
337.500	I		I	+	I *	I	0.000	1.661
350.000	I		I	+	I *	I	0.000	1.890
362.500	I		I	+	I *	I	0.000	2.119
375.000							0.000	2.347
387.500	I		I	+	I *	I	0.000	2.576
400.000	I		I	+	I *	I	0.000	2.559
412.500	I		I	+	I *	I	0.000	2.541
425.000	I		I	+	I *	I	0.000	2.524
437.500	I		I	+	I *	I	0.000	2.506
450.000	I		I	+	I *	I	0.000	2.250
462.500	I		I	+	I *	I	0.000	1.993
475.000	I		I	+	I *	I	0.000	1.737
487.500	I		I	+	I *	I	0.000	1.480

ELAPSE TIME IS : 0 H 1 M 56 S 18 MLS

GANANCIA DE LAZO ABIERTO (BAJA FRECUENCIA: 2 KHz)

+ : 3 0
 * : 13 0

TIME IN MICRO-SECONDS

	-10.00	-6.00	-2.00	2.00	6.00	10.00		
	I	I	I	I	I	I		
0.000	-	-	-	-	-	-	0.000	0.002
12.500	I		I	**	I	I	0.000	0.271
25.000	I		I	*	I	I	0.000	-1.132
37.500	I		I	*	I	I	0.000	-1.992
50.000	I		I	*	I	I	0.000	-2.877
62.500	I		I	*	I	I	0.000	-3.762
75.000	I		I	*	I	I	0.000	-4.040
87.500	I		I	*	I	I	0.000	-4.359
100.000	I		I	*	I	I	0.000	-4.360
112.500	I		I	*	I	I	0.000	-4.361
125.000	-	-	-	-	-	-	0.000	-4.362
137.500	I		I	*	I	I	0.000	-4.363
150.000	I		I	*	I	I	0.000	-4.364
162.500	I		I	*	I	I	0.000	-4.365 ←
175.000	I		I	*	I	I	0.000	-4.366
187.500	I		I	*	I	I	0.000	-4.367
200.000	I		I	*	I	I	0.000	-4.368
212.500	I		I	*	I	I	0.000	-4.370
225.000	I		I	*	I	I	0.000	-4.371
237.500	I		I	*	I	I	0.000	-4.372
250.000	-	-	-	-	-	-	0.000	-4.373
262.500	I		I	*	I	I	0.000	-2.921
275.000	I		I	*	I	I	0.000	-1.164
287.500	I		I	**	I	I	0.000	0.557
300.000	I		I	*	I*	I	0.000	2.227
312.500	I		I	*	I	*	0.000	3.862
325.000	I		I	*	I	*	0.000	5.383
337.500	I		I	*	I	*	0.000	6.786
350.000	I		I	*	I	*	0.000	7.311
362.500	I		I	*	I	*	0.000	7.928
375.000	-	-	-	-	-	-	0.000	8.651
387.500	I		I	*	I	*	0.000	8.600
400.000	I		I	*	I	*	0.000	8.535
412.500	I		I	*	I	*	0.000	8.517 ←
425.000	I		I	*	I	*	0.000	8.557
437.500	I		I	*	I	*	0.000	8.666
450.000	I		I	*	I	*	0.000	8.714
462.500	I		I	*	I	*	0.000	7.928
475.000	I		I	*	I	*	0.000	7.202
487.500	I		I	*	I	*	0.000	5.789

ELAPSED TIME IS : 0 H 4 M 3 S 914 MLS

LA MAXIMA VARIACION DEL VOLTAGE.

APENDICE II

REGLAS DE DISEÑO-NMOS (COMPUERTAS DE ALUMINIO).

1.0 REGLAS ELECTRICAS:

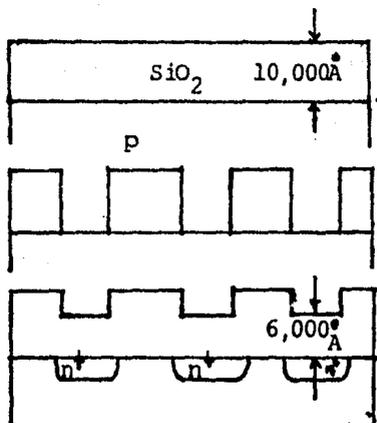
- a. $V_{tn} = 1.0 \pm 0.4$ volts (voltaje de encendido)
- b. $\mu_n = 900 \pm 12.5\%$ cm/V.s
- c. $T_{ox} = 1000 \text{ \AA} \pm 15\%$ (espesor de oxido de compuerta).
- d. $C_{ox} = 3.45 \times 10^{-14}$ F/cm.
- e. $T_{fox} = 10,000 \text{ \AA}$ (espesor de oxido de campo).
- f. $T_{ox(N)} = 6,000 \text{ \AA}$ (espesor de canal N).
- g. Difusión lateral $\approx 1.0 \mu\text{m}$.

2.0 REGLAS DEL LAYOUT.

a. FOTOLITOGRAFIA.

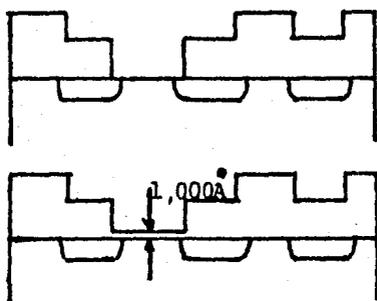
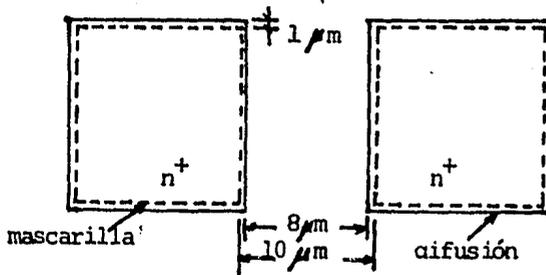
NIVELES	NOMBRES DE NIVELES	FOTORE- SIST.	ALINEACION A:	TOLERANCIA DE ALINEA.
1	N S/D	Neg.	-	-
2	Ox. de comp.	Neg.	1.	3 μ m
3	Contacto.	Neg.	1	3 μ m
4	Metal	Pos.	2,3	6 μ m

La tolerancia incluye la fabricación de mascarillas y restricciones fotomáscaras de nivel a nivel.

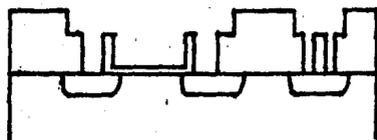
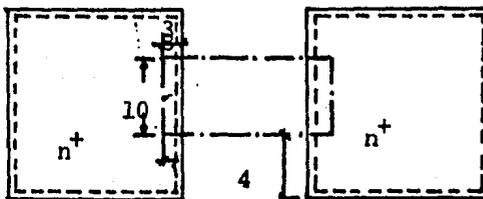


OXIDACION.

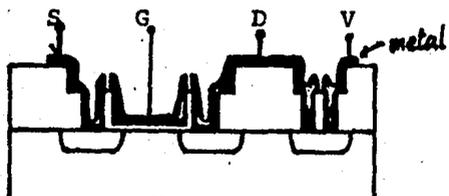
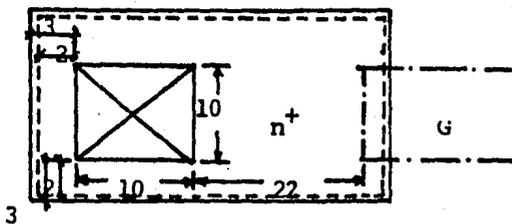
1a MASCARILLA N⁺ S/D, (Grabado de ox. y dif.)



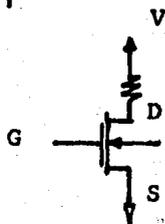
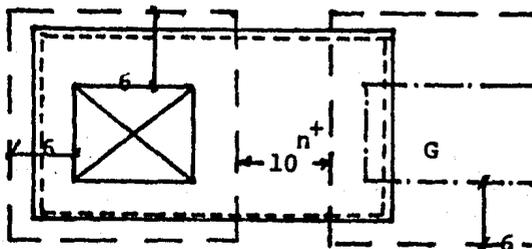
2a MASCARILLA GATE-OXIDO



3a MASCARILLA DE CONTACTO



4a MASCARILLA DE METAL



APENDICE III

PROCESO PARA NMOS (CON COMPUERTA METALICA)

Canal N.

Material inicial

Obleas de $p: 0.8-3.0 \Omega\text{-cm}(100)$.

1.- Limpieza

2.- Oxidación de campo.

Horno de oxidación inicial 1200°C , con vapor de agua en - -
 $t=135\text{min}$. $\text{tox}=1.2 \mu\text{m}$.

3.- Fotolitografía 1: Ventanas de difusión de fuente y --
 drenaje.

4.- Limpieza.

5.- Difusión de fuente y drenaje. Con un horno de predeposición de fósforo a $\text{Temp}=1050^{\circ}\text{C}$, con los flujos de N_2 , O_2 , y PH .

Redifusión de fósforo: el horno inicial 1050°C con vapor -
 de agua y N_2 .

6.- Fotolitografía 2 de óxido de compuerta.

7.- Limpieza.

8.- Crecimiento de óxido de compuerta a $\text{Temp}=1000^{\circ}\text{C}$.

9.- Fotolitografía 3 de contactos.

- 10.- Limpieza.
- 11.- Metalización en ambos lados de la oblea.
- 12.- Fotolitografía 4 de metal.
- 13.- Disolución del fotoresist con HNO_3 fumante o acetona.
- 14.- Aleación a baja Temp.
- 15.- Prueba con los pilotos.

BIBLIOGRAFIA

- 1.- MOS Integrated circuits --William M. Penney.
- 2.- Device electronics for integrated circuits. --Richard S. Muller. ed. Jhon Wiley.
- 3.- Switched Capacitor circuits. -- P.E.Lien and E Sanchez Sinencio.
- 4.- Integrated circuits:Materials, devices, and fabrication -- Willian C. Till, ed. Prentice Hall.
- 5.- Solid state electronic devices. -- Ben G. Streetman.- ed. Prentice Hall.
- 6.- Phisics of semiconductor devices. -- S.M. Sze. ed. -- John Wiley Sous.
- 7.- "An integrated NMOS operational amplifier with internal compensation" -Y.P. Tsividis P.R.Gray. IEEE S.S.C.Vol, SC-11.No. 6 Dec. 1976 pp. 748-753.
- 8.- "Design considerations in single-channel MOS analog in tegrated circuits-- A tutorial." Y.P. tsividis. IEEE S.S.C. Vol,SC-13.pp.383-391. June 1978.