



Universidad Nacional Autónoma de México

FACULTAD DE INGENIERIA

**DISPOSITIVO DE COBRO AUTOMATICO PARA
LLAMADAS DE LARGA DISTANCIA DESDE UN
TELEFONO PUBLICO MEDIANTE TRAGAMONEDAS.**

T E S I S

**QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA
P R E S E N T A N**

**LEOPOLDO PEREZ LOPEZ
JOAQUIN VILLAVICENCIO RAMIREZ
LUIS PAREDES SANDOVAL**



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

P R O L O G O

Aunque los microprocesadores aparecieron en el mercado apenas hace algunos años, se están imponiendo con inusitada fuerza, y las nuevas generaciones de Ingenieros particularmente sensibles y atentos a las innovaciones tecnológicas han comprendido que el microprocesador está destinado a convulsionar el mundo de la electrónica.

En efecto, los microprocesadores están abriendo nuevos caminos y facilitando el diseño y sistemas complejos, ofreciendo una gran flexibilidad y posibilitando la introducción de nuevas opciones en los sistemas ya construidos.

Entre las muchas ventajas que proporcionan estos dispositivos cuenta la reducción de costos de innumerables aplicaciones en los que docenas de circuitos integrados pueden ser reemplazados por unos pocos chips.

La reducción del cableado y minimización del --
circuito supone una mayor fiabilidad, menor consumo-
de potencia y por último una gran facilidad para el-
diagnóstico de averías, reparación y mantenimiento -
de los equipos.

Basándose en estas aplicaciones se incursionó -
en los problemas existentes en servicio telefónico.

LOS AUTORES

C A P I T U L O I

- I-1.- PLANTEAMIENTO GENERAL DEL PROBLEMA
- I-2.- DISPOSITIVOS ACTUALES SIMILARES
 - a).- La Caseta Telefónica para Llamadas de Larga Distancia.
 - b).- Sistemas de Protección de Larga Distancia.
- I-3.- ALTERNATIVAS
- I-4.- DISPOSITIVOS PROPUESTOS

C A P I T U L O II

- II-1.- EL APARATO TELEFONICO
- II-2.- DESCRIPCION CENTRAL - TELEFONO
- II-3.- DESCRIPCION GENERAL DEL DISPOSITIVO DE COBRO AUTOMATICO.

- II-3-1 SENSOR
- II-3-2 UNIDAD DE CONTROL Y PARTE OPERATIVA
- II-3-3 UNIDAD INTERRUPTORA

C A P I T U L O I I I

- III-1 DESCRIPCION DE LOS CIRCUITOS EMPLEADOS EN EL SISTEMA
- III-1-2 CIRCUITO DETECTOR
- III-1-3 CIRCUITO INTEGRADOR
- III-1-4 CIRCUITO INTERRUPTOR
- III-1-5 CIRCUITO PROCESADOR
- III-1-6 MEMORIAS
- III-1-7 ESQUEMA GENERAL DEL DISPOSITIVO

C A P I T U L O I V

- IV-1 PROCESAMIENTO DE LA INFORMACION
- IV-1-1 DEFINICION Y FUNCIONAMIENTO DEL MICROPROCESADOR
- IV-1-2 AUTOMATA SECUENCIAL
- IV-1-3 CARACTERISTICAS DE UN AUTOMATA SECUENCIAL (MICROPRO-
CESADOR).

- IV-1-4 FUNCIONAMIENTO SECUENCIAL
- IV-1-5 NOCION DEL PROGRAMA, LENGUAJE E INSTRUCCION
- IV-1-6 VARIABLES INTERNAS DEL MICROPROCESADOR
- IV-1-7 ENTRADAS/SALIDAS
- IV-2 DEFINICION DE LAS PARTES DE CONTROL Y OPERATIVA
- IV-3 UTILIZACION DEL MICROPROCESADOR
- IV-4 ALGORITMO DE CONTROL EN GENERAL, PROPUESTO PARA EL PROYECTO.
- IV-5 IDENTIFICACION DE LOS ALGORITMOS
- IV-6 ESTRUCTURA DEL PROGRAMA
- IV-7 DESCRIPCION DE LOS PROGRAMAS
- IV-8 PRUEBA DE ACEPTACION DE CADA ALGORITMO

C A P I T U L O V

- V-1 POSIBLES MEJORAS AL SISTEMA
- V-1-2 COMENTARIOS Y CONCLUSIONES

APENDICE A.- CARACTERISTICAS DEL MICROPROCESADOR
MC6802

APENDICE B.- LENGUAJE DEL MICROPROCESADOR
MC6802

APENDICE C.- CARACTERISTICAS DE LA EPROM 2716

APENDICE D.- LISTADO DEL PROGRAMA INVOLUCRADO DE LA
SOLUCION DEL ALGORITMO DE CONTROL EN -
GENERAL.

BIBLIOGRAFIA.-

C A P I T U L O I

I.1.- PLANTEAMIENTO GENERAL DEL PROBLEMA.

Dentro de los Sistemas Telefónicos Actuales, se realizan intercomunicaciones de larga distancia y locales.

En un teléfono particular se efectúan llamadas de larga distancia de dos maneras:

La primera por "operadora" y la segunda por "LADA" -- (Larga Distancia Automática). Esta última comunicación no es válida para un teléfono público*.

En el teléfono público las llamadas de larga distancia únicamente se efectúan por "operadora". Para este tipo de comunicación el usuario necesita enlazarse con la operadora de la central telefónica correspondiente. Esta a su vez, pide autorización para ser aceptada y una vez efectuada el abonado -- llamado absorbe el costo de la intercomunicación.

Existen actualmente casetas telefónicas que realizan llamadas de larga distancia y una vez efectuada, el costo es cubierto por cualquiera de los abonados.

Sin embargo, surge la necesidad de realizar llamadas de larga distancia automática (LADA) a través de un teléfono público donde el usuario efectúe el pago correspondiente en el momento de realizar la llamada, mediante un tragamonedas, permitiendo además las llamadas locales.

Para satisfacer esta necesidad surge la idea de llevar a cabo un proyecto denominado:

"DISPOSITIVO DE COBRO AUTOMÁTICO PARA LLAMADAS "LADA"
EN UN TELEFONO PUBLICO MEDIANTE UN TRAGAMONEDAS"

* En otros países ya es válido.

I.2.- DISPOSITIVOS ACTUALES SIMILARES.

La caseta telefónica para llamadas de larga distancia es un sistema telefónico similar al propuesto.

Los inconvenientes en este tipo de comunicación de larga distancia por "operadora" a través de una caseta telefónica o teléfono público son:

- a).- La comunicación es lenta.
- b).- Que la operadora de la central esté atendiendo a otro abonado.
- c).- Que la caseta telefónica esté fuera de sus horas de servicio.
- d).- Que exista demanda de usuarios en la caseta telefónica.
- e).- Que la ubicación de la caseta telefónica se encuentre retirada.
- f).- Que después de efectuada la llamada puede ser necesario esperar para cubrir el costo.

Sistemas de Protección de Larga Distancia.

La comunicación de larga distancia automática (LADA) en teléfonos particulares es más rápida y económica, sin embargo, la facilidad con que se accesa al sistema LADA permite la intercomunicación por larga distancia y en perjuicio del propietario del aparato telefónico; esto se hace más notorio en establecimientos públicos y oficinas con gran número de líneas o conmutadores automáticos.

Actualmente existen dispositivos, los cuales consisten empezando por el más simple es colocando un candado en el disco de marcar.

Esto es bastante económico pero presenta la desventaja de tener que retirar el candado cada vez que se realice una llamada, además de ocasionar rupturas de discos.

Esta solución no es aplicable a teléfonos con teclado. Otra solución es empleando un aparato electrónico que determina si una persona trata de establecer comunicación por larga distancia usando contadores de pulsos y números marcados. Una vez que se reconoce la solicitud de larga distancia el protector interrumpe la comunicación a menos que se emplee una llave que inhiba su acción.

Estos dispositivos resultan ser caros y requieren de una llave como en el caso anterior.

En conmutadores suelen utilizarse detectores electromecánicos, cuya función es suprimir cualquier intento de acceso de larga distancia, sin ninguna otra opción. Esto representa un inconveniente pues deben proporcionarse "líneas directas" a quienes tengan la necesidad de emplear este servicio.

Una última solución consiste en aprovechar el cambio de polaridad en el voltaje de alimentación de la central cuando se utiliza el servicio de larga distancia, para poner en inversa un diodo conectado en serie con la línea telefónica.

Esto sólo es aplicable en aparatos conectados a centrales modernas.

I-3.- ALTERNATIVAS.

Una alternativa para eliminar algunos de los inconvenientes en la caseta telefónica es interconectando un dis-

positivo que calcule el tiempo y costo automáticamente de la llamada de larga distancia. Para eliminar pérdida de tiempo por el usuario.

Entre los sistemas de protección de larga distancia se observa que algunos tienen cualidades de las cuales carecen los otros y que existen características deseables que ninguno de éstos posee, por ejemplo, que permitan al usuario efectuar llamadas de larga distancia independientemente del sistema de protección. Una posible solución es instalando un dispositivo de cobro automático, que además evita perjuicios en contra del propietario del aparato telefónico.

I-4.- DISPOSITIVO PROPUESTO.

Analizando todos los inconvenientes a los que se enfrenta el usuario para efectuar una llamada de larga distancia a través de teléfonos particulares que cuentan con sistemas de protección, casetas telefónicas y teléfonos públicos.

Proponemos como solución un dispositivo que efectúe el cobro automático en el momento que se realice la intercomunicación y además permita la comunicación local.

Resumiendo las características que deberá satisfacer este "Dispositivo de Cobro Automático para Llamadas de Larga Distancia en un Teléfono Público o Mediante un Tragamonedas" deberá ser:

-AUTOMATICO.- Que permita la comunicación local y otorgue acceso de larga distancia cuando se le solicite.

- PROGRAMABLE.- Sea capaz de manejar todas las claves LADA-existentes en México y tenga capacidad para nuevas claves.
- CONFIABLE.- Efectúe correctamente los tiempos y costos-de las llamadas LADA a la Zona o población-afectada.
- ECONOMICO.- Estos dispositivos sean de bajo costo.
- DE FACIL -
INSTALACION.- Que no ocasione problemas técnicos en su co-
locación.
- DE FACIL USO.- Que no exija entrenamiento previo y que el-
usuario pueda manejarlo en forma inmediata.

Este proyecto forma parte de una serie de experien-
cias con diversos elementos electrónicos y diferentes me-
dios de control.

Es el propósito de tesis describir un sistema con-
las cualidades enunciadas en los siguientes capítulos.

II.1.- EL APARATO TELEFONICO.

El término teléfono denota al aparato del abonado - conectado en el extremo de una línea. Por medio de su teléfono, el abonado produce dos tipos de información completamente diferentes. El primer tipo consiste de señales pulsantes y se utiliza para establecer una conexión entre el abonado que llama y el llamado.

El segundo tipo de información es la voz, que se transmite en ambos sentidos simultáneamente.

El equipo de conmutación procesa la información — que se relaciona con el establecimiento de conexiones, en tanto que la segunda información voz, sólo para a través — de este equipo, transmitiéndose en un extremo de la conexión y recibiendo mediante otro teléfono en el otro extremo, esto indica que el teléfono actúa como trasmisor — receptor y que una conexión esta determinada en los extremos con teléfonos.

Existen dos tareas fundamentales que un aparato telefónico debe desarrollar, la primera la realiza el aparato cuando se inicia el establecimiento de una conexión, — convierte los números marcados con la ayuda del disco en — señales pulsantes que normalmente son trenes de pulsos.

La segunda tarea se cumple durante la conversación:

Por medio del micrófono se convierten las vibraciones sonoras de la voz en oscilaciones eléctricas y a su — vez el receptor o audífono convierte las oscilaciones eléctricas de entrada en vibraciones sonoras.

De aquí, que un circuito telefónico básico está --- constituido por un audífono y un micrófono en serie, tanto del lado trasmisor como del lado receptor, los que se encuentran unidos por una línea bifilar. A esta unidad integrada por el micrófono y el audífono se le denomina "micro teléfono".

II.2.- DESCRIPCION CENTRAL-TELEFONO.

La función primaria de una central telefónica es la conexión, bajo demanda, de dos teléfonos. Cada teléfono está conectado a la central más próxima por un par de cables, los cuales transmiten las señales de voz, así como la información de control al y del usuario. Con el fin de ilustrar las acciones que realiza la central, se expone en la figura II-2.1 el diagrama eléctrico para C.D. de un teléfono conectado a una central, cuyo cometido es interconectar dos teléfonos. Esta funciona con voltaje directo (c.d.) para detectar si el teléfono se encuentra descolgado o en proceso de marcado. Para transmitir el tono de invitación a marcar utiliza corriente alterna (c.a.).

En la figura II-2.1 la batería de la central y la resistencia entre el teléfono y la central vienen representadas por V_c y R_c respectivamente. R_t es la resistencia que en C.D. presenta el teléfono.

El interruptor "1" está abierto ya que el teléfono se encuentra colgado en "A" y "B" existe una diferencia de potencial igual que en la central (V_c) originando la primera ecuación:

$$V_{ab} = V_c - - - - - Ec. 2.1.$$

Cuando se descuelga, el interruptor "1" se cierra -
existiendo una diferencia de potencial entre "A" y "B" o sea:

$$V_{ab} = \frac{R_t}{R_c + R_t} V_c \text{ --- Ec. 2.2.}$$

Estando cerrados los tres interruptores, la diferen-
cia de potencial entre las térmáles es nula dando origen a la
tercera ecuación:

$$V_{ab} = 0 \text{ --- Ec. 2.3.}$$

El interruptor "2" se encuentra normalmente abierto y -
cierra durante el proceso de marcado. El interruptor "3" abre
y cierra cuantas veces sea el número marcado. Esto no es vál*í*
do para el cero que realiza diez veces el abre y cierra.

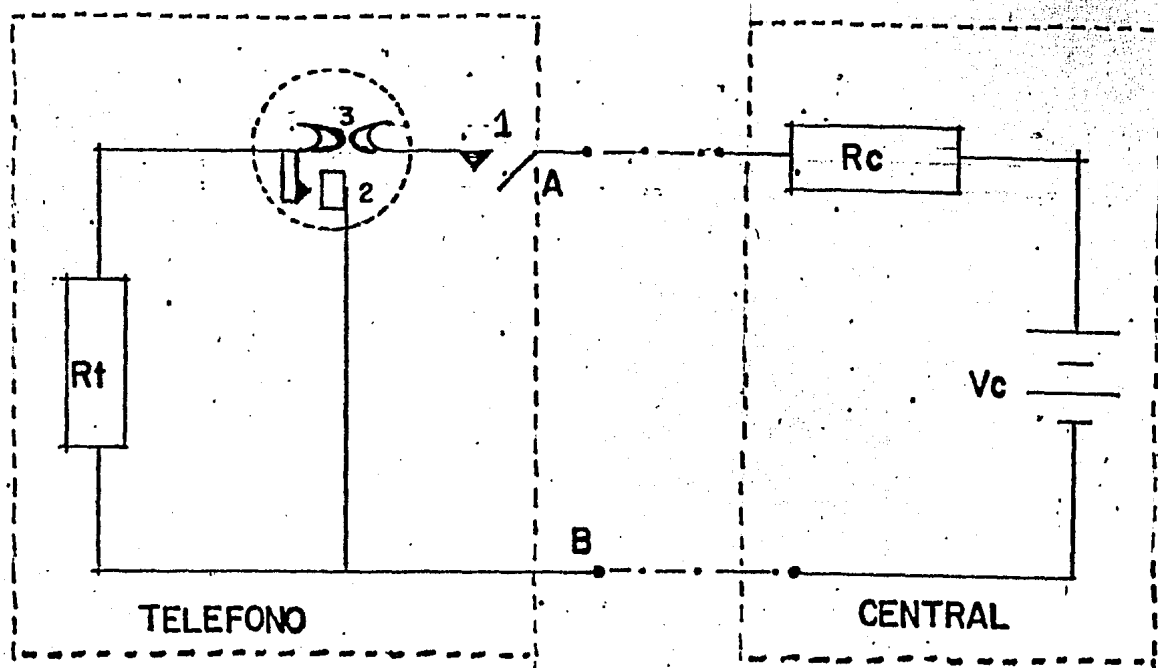


FIGURA II-2.1 DIAGRAMA ELECTRICO PARA C.D. DE UN -
TELEFONO CONECTADO A UNA CENTRAL TELEFONICA.

Las diferentes posiciones de los interruptores "1", "2" y "3" cuando el teléfono está colgado, descolgado o en proceso de marcado se resumen en la figura II-2.2.

Bajo un proceso normal de marcado en un teléfono, la figura II-2.3 muestra la tensión existente entre las terminales "A" y "B" de la figura II-2.1. No tomándose en cuenta la voz ni el tono ya que no son necesarios para determinar el estado de la línea, la cual indica que el teléfono está colgado para después descolgarlo y marcar los números tres y dos, colgándose posteriormente. T_1 y T_2 son los tiempos en que el interruptor "3" está abierto y cerrado respectivamente en el momento de marcar.

Entre las terminales del teléfono se definen dos niveles. Nivel alto ec. II-2.1 y el nivel bajo ecs. II-2.2 y II-2.3.

Estos niveles se denominarán "Estado de Línea" por lo tanto posteriormente se hablará de estado de línea alto o bajo.

ESTADO DEL TELEFONO	I N T E R R U P T O R E S		
	1	2	3
COLGADO	ABIERTO	ABIERTO	CERRADO
DESCOLGADO	CERRADO	ABIERTO	CERRADO
MARCANDO	CERRADO	CERRADO	ABIERTO

FIGURA II - 2.2. - LAS DIFERENTES POSICIONES DE LOS INTERRUPTORES 1, 2 y 3 CUANDO EL TELEFONO SE ENCUENTRE COLGADO, DESCOLGADO O EN PROCESO DE MARCADO

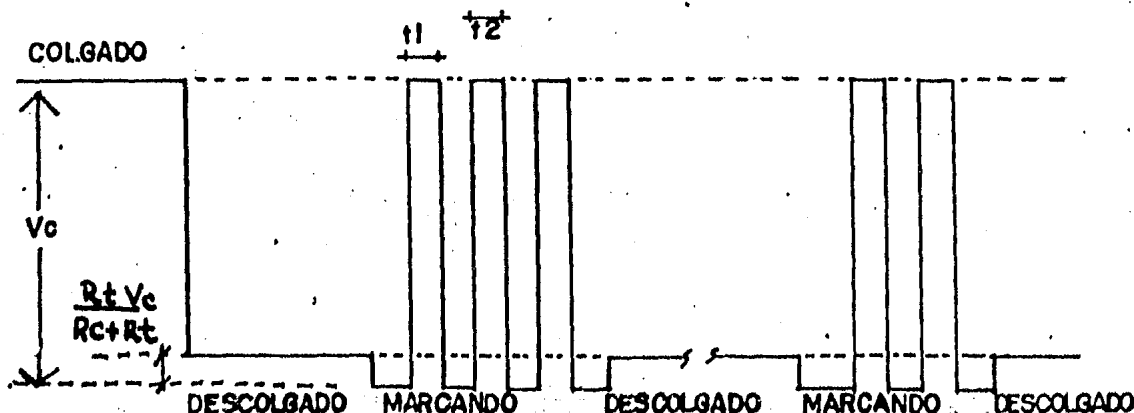


FIGURA II - 2.3. - MUESTRA LA TENSION EXISTENTES EN LAS TERMINALES A y B MARCANDO LOS DIGITOS TRES y DOS RESPECTIVAMENTE

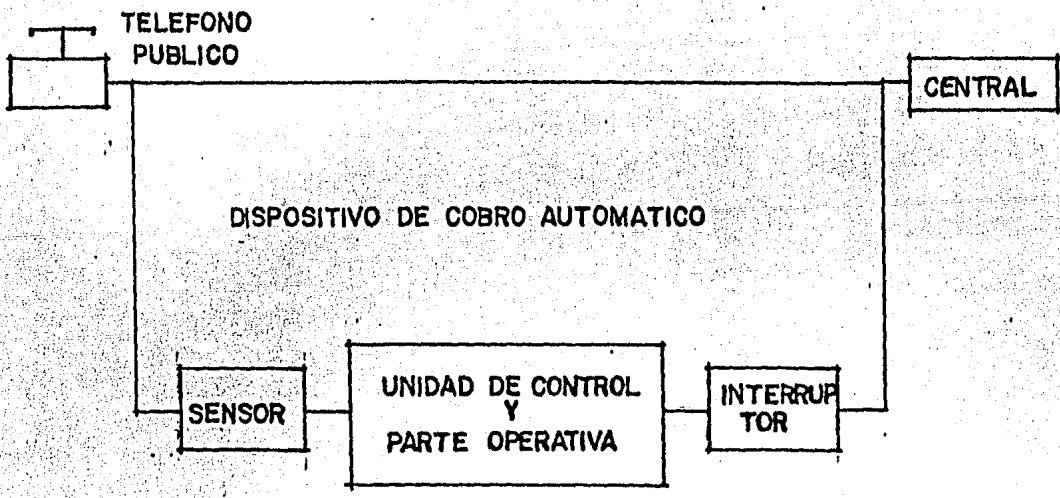


FIGURA II-3-1. — DIAGRAMA UNIFILAR DEL DISPOSITIVO DE COBRO AUTOMATICO PARA LLAMADAS DE LARGA DISTANCIA EN UN TELEFONO PUBLICO

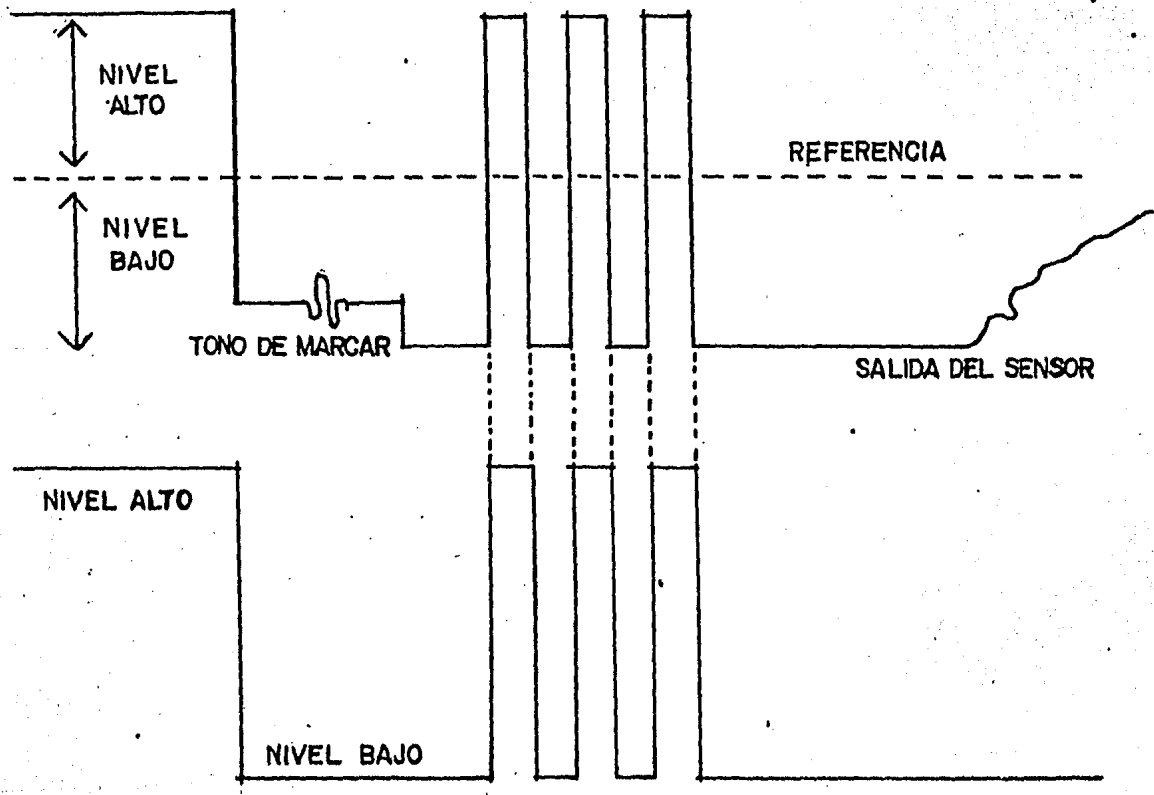


FIGURA II-3-2. — SEÑALES DE ENTRADA Y SALIDA AL SENSOR NIVELES DESEADOS TTL

II-3.- DESCRIPCION GENERAL DEL DISPOSITIVO DE COBRO AUTOMATICO.

En la figura II-3.1 se presenta el diagrama unifilar del dispositivo propuesto en el Capítulo I al cual lo desglosaremos en tres bloques para identificar las necesidades y funciones a cubrir.

II-3.1.- Sensor:

II-3.2.- Unidad de Control y Parte Operativa.

II-3.3.- Unidad Interruptora

En la figura II-3.1 se presenta el diagrama unifilar del dispositivo propuesto en el capítulo I.

II-3.1.- Sensor

Los sensores son semiconductores, los más comunes son los fototransistores y fotodiodos, sus aplicaciones incluyen, el conteo industrial, lectores de cinta y tarjetas, indicadores de velocidad, codificadores ópticos y cadenas de comunicación.

Para nuestro objetivo se utiliza para discriminar la señal de corriente alterna y proporcionarnos los niveles TTL deseados, tal como lo muestra la figura II-3.2.-

Esta información es transmitida a la unidad de control para determinar si el teléfono se encuentra colgado, descolgando en proceso de marcado.

Sensando el voltaje entre las terminales del teléfono o la corriente a través de la línea, se determinan así dos clases de sensores paralelo o serie respectivamente. La figura II-3.3. muestra al sensor de voltaje y corriente sin polaridad.

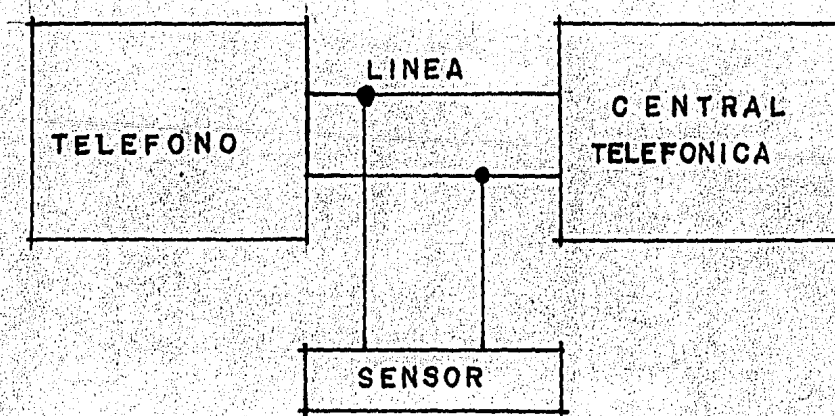
II-3.1.1.- sensor de Voltaje.-

Es colocado en paralelo a la línea, teniendo como característica que la corriente que requiere es mínima y su resistencia de entrada debe ser muy alta. Esto se logra por medio de un optoacoplador, ya que la resistencia del sensor puede ser cambiada como se desee variando el valor de una resistencia en serie con el fotodiodo. Además el optoacoplador aísla eléctricamente al dispositivo de la línea telefónica.

La figura II-3.4 muestra un puente de diodos para eliminar el problema de polaridad al conectarse a la línea telefónica. La resistencia R debe ser mucho mayor que la resistencia del teléfono y también debe cumplir con la Ec. II-3.1.

$$R > \frac{V_{\max}}{I. \max} \quad \text{--- --- Ec. II.3.1}$$

Donde V_{\max} es el voltaje máximo entre las terminales del teléfono, e I_{\max} la corriente máxima que puede tomarse de la línea. Con la corriente que circula por el fotodiodo puede manejar al fototransistor entre corte y saturación, donde a través del bloque "A" se obtienen los niveles deseados



13.-

FIGURA II.. 3-3a. — SENSOR DE VOLTAJE

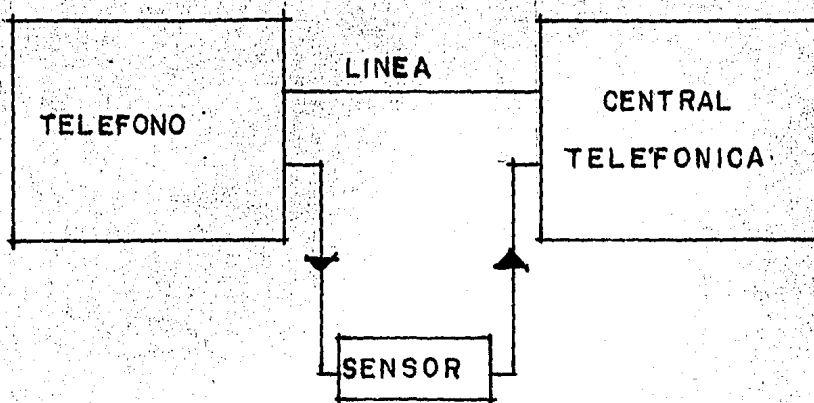


FIGURA II.. 3-3b. — SENSOR DE CORRIENTE

FIGURA II.. 3-3. — SENSOR DE VOLTAJE Y CORRIENTE SIN POLARIDAD.

II-3.1.2 Sensor de corriente.-

Es colocado en serie y deberá tener una resistencia muy pequeña y sensar la corriente a través de la línea. Al detectarse la corriente, el estado de la línea es bajo, en caso contrario, alto. Consta de un puente de diodos y un optoacoplador según es mostrado en la figura II-3.5.

II-3.2. Unidad de Control y Parte Operativa.

La unidad de control y parte operativa son las más importantes del dispositivo de cobro automático por lo que es necesario un análisis estructurado de las fases a seguir.

FASE 1.- Reconocer cuando el abonado descuelga el teléfono.

FASE 2.- Contando los pulsos en la línea y distinguiendo el principio y fin de cada dígito marcado, detectar si existe acceso de larga distancia.

FASE 3.- Cuando no exista acceso LADA. El dispositivo debe permitir sus funciones al teléfono público.

FASE 4.- Al existir acceso "LADA" tener control y conocer los dígitos de la clave LADA marcada.

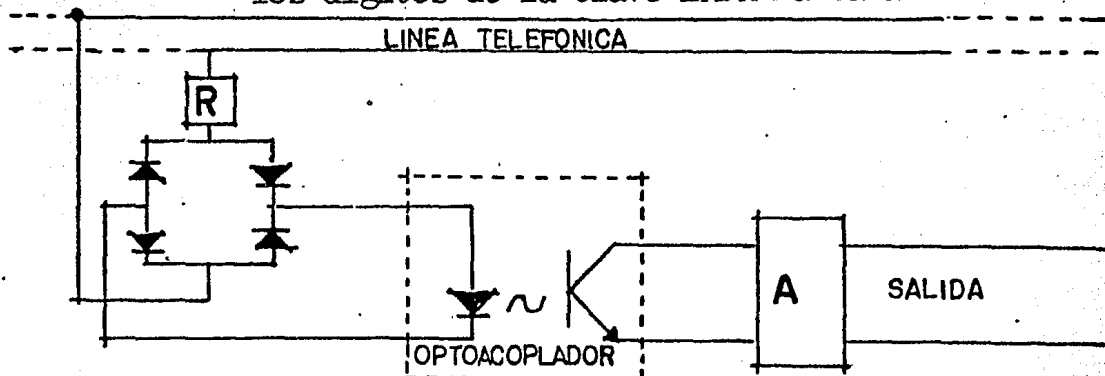


FIGURA II-3-4. - SENSOR DE VOLTAJE

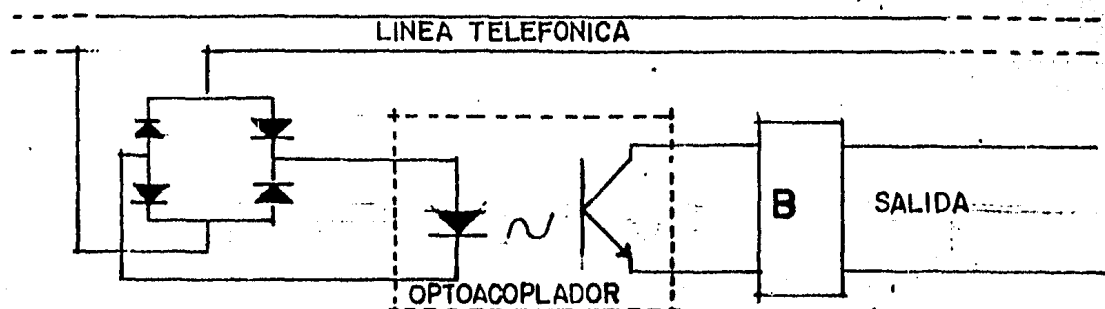


FIGURA II-3-5. - SENSOR DE CORRIENTE

- FASE 5.- Comparar (buscar) si existe la clave marcada en memoria en caso contrario interrumpir la comunicación.
- FASE 6.- Al existir la clave LADA en memoria arrojar el factor de cobro conque se encuentre afectada.
- FASE 7.- Calcular el tiempo permitido en base al dinero depositado por el usuario
- FASE 8.- Permitir la comunicación una vez obtenido el tiempo autorizado en la fase 7. En caso contrario interrumpir la comunicación.
- FASE 9.- Reconocer el fin de la conversación para restablecer el dispositivo de cobro automático.

Hasta ahora se ha hablado a nivel general y no hemos puesto limitaciones puesto que no las hay en cuanto a la capacidad del dispositivo de cobro automático, ya que a través de él pueden hacerse llamadas de larga distancia automática desde un teléfono público a nivel nacional o internacional, almacenando todas las claves "LADA" existentes en la memoria y afectarlas por un factor de cobro. También es posible desplegar el tiempo y dinero depositado por el usuario y encontraremos más cualidades para mejorar el dispositivo de cobro automático. Para nuestro dispositivo experimental hemos considerado lo más elemental y de antemano dar una pauta para proyectos más ambiciosos.

II-3.3.- Unidad Interruptora

La función de esta unidad es la de permitir o cortar - la comunicación de acuerdo a la orden de la unidad de control.

Cuando un teléfono se encuentra colgado, no circula corriente a través de él, en caso contrario (teléfono descolgado) si existe corriente y por lo tanto la central lo detecta - habiendo comunicación con ésta. En base a esto, la forma para interrumpir una llamada es abriendo la línea telefónica, por lo que es necesario que la unidad interruptora esté en serie - con la línea. Este interruptor ejecutará la orden de la unidad de control la de permitir o bloquear la comunicación. Además - de permitir el paso de corriente alterna (voz y tono) para realizar la conversación.

La figura II-3.3.1 muestra el diagrama de la unidad interruptora. Para integrar esta unidad, se pueden utilizar transistores, optoacopladores y relevadores como interruptores.

II-3.3.1.- Los transistores se utilizan entre corte y saturación, pero los inconvenientes radican cuando el teléfono se encuentra colgado, el transistor debe permanecer en saturación, por lo que la unidad de control deberá suministrar la -- energía necesaria para lograrlo. Su unidireccionalidad, esto - es, la corriente circula, en un sólo sentido por lo que deberá colocarse correctamente a la línea, en caso contrario nunca -- existirá comunicación con la central.

III-3.2.- Los optoacopladores. Con dos optoacopladores se evita el inconveniente de unidireccionalidad del transistor, ya que se puede colocar indistintamente a la línea te

telefónica y uno de ellos siempre conducirá sin embargo, sigue existiendo el inconveniente del suministro de energía ya que se necesita la corriente para saturar los fototransistores.

II-3.3.- Los relevadores.- El relevador no presenta problemas de polaridad y además proporciona aislamiento eléctrico con la línea telefónica. Este se activará siempre y cuando la unidad de control se lo ordene. Como puede observarse en la figura II-3.3.2 que si el interruptor del relevador se encuentra normalmente cerrado (corto circuito) cuando la bobina no está energizada y circuito abierto en caso contrario. Como se ve el relevador es el elemento más adecuado para emplearse como interruptor, teniendo un consumo mínimo de energía y que actualmente es fabricado en un circuito integrado.

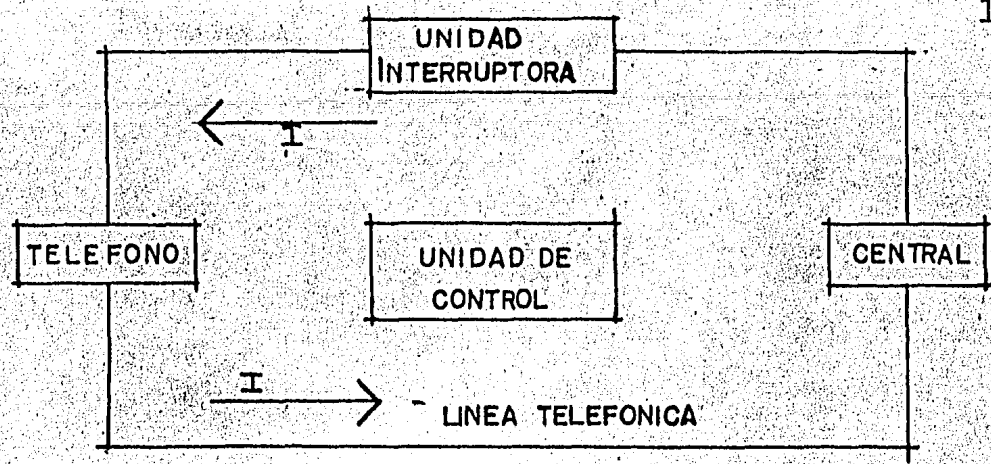


FIGURA II 3-3;1 UNIDAD INTERRUPTORA.

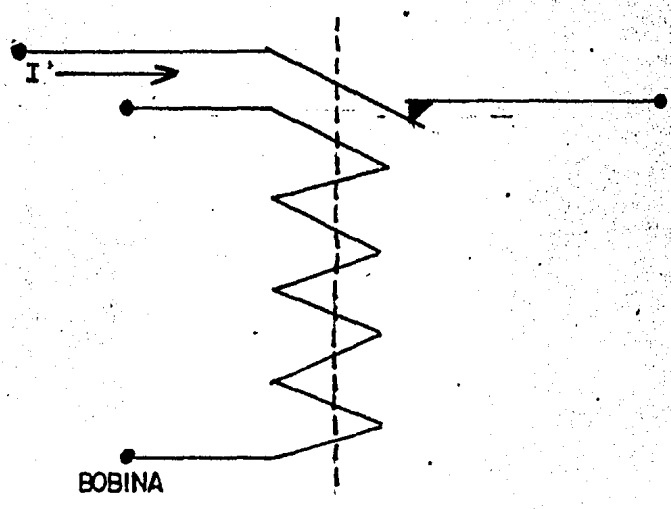


FIGURA II 3-3-2a OPERACION NORMAL (cerrado)

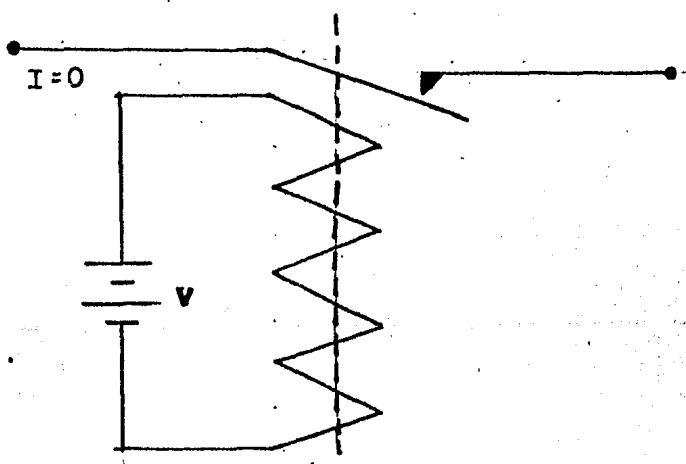


FIGURA II 3-3-2b SE ACTIVA LA BOBINA (abierto)

FIGURA II 3-3-2 EL RELEVADOR COMO INTERRUPTOR

C A P I T U L O III

III-1.- DESCRIPCION DE LOS CIRCUITOS EMPLEADOS EN EL SISTEMA.

Para lograr el objetivo se idealizaron los diferentes circuitos mencionados en este capítulo, y de acuerdo a las características analizadas en los capítulos I y II, hacemos la descripción de cada circuito empleado.

Para lograr nuestra finalidad fué necesario hacer una investigación para seleccionar el circuito más adecuado para satisfacer nuestras necesidades y no ocasionar problemas en la línea telefónica.

III.1.1.- CIRCUITO SENSOR.

Este circuito se diseñó para aislar eléctricamente a todo el sistema de la línea telefónica, cuenta con una alta impedancia de entrada, esto permite no cargar a la línea telefónica.

En este diseño el elemento principal es el relevador RL (tipo w172 Dip - 5), de velocidad de apertura y cierre de contactos.

Como característica principal sigue fácilmente las pulsaciones generadas al marcar en el dial telefónico.

El circuito compuesto por los diodos Da, Db, Dc, - Dd, rectifica la tensión de línea que alimenta al aparato telefónico, teniendo como atributo, no alterarse, inversión de polaridad, cambios bruscos de alimentación.

El transistor Qa está polarizado por el puente de diodos por medio de la resistencia Ra manteniéndolo en corte o saturación, según sea el estado de nivel en la línea telefónica.

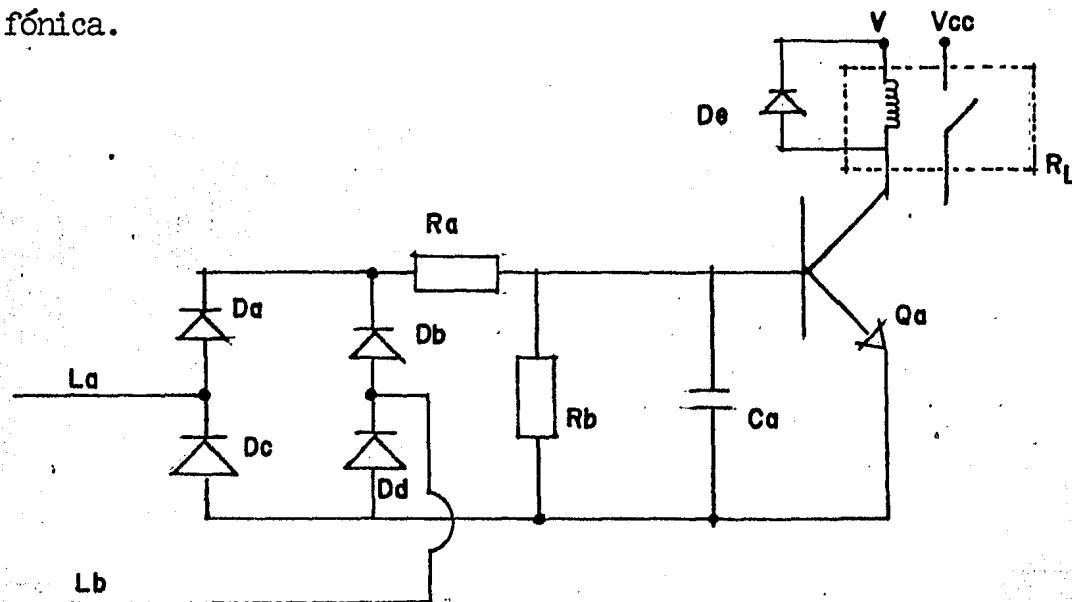


FIGURA _III-1.1._ CIRCUITO SENSOR

La resistencia R_a también funciona para que el circuito de la línea telefónica no sea cargado al sistema, ésta impide que la corriente de mantenimiento del relevador en la central telefónica permanezca operando, aún después de colgar el teléfono, y al mismo tiempo permite que el transistor Q_a pase del estado de corte al de saturación, esto depende del estado que guarda la alimentación de la línea telefónica.

El capacitor C_a tiene como finalidad evitar que los transitorios que puedan ocurrir, en un cambio de inversión de polaridad, influyan en el contacto del relevador.

El diodo D_e , en paralelo con la bobina del relevador R_l , se ocupa para proteger al transistor Q_a del contra-inducido de la bobina. Este diodo conduce cuando la salida en el colector trata de elevarse más allá de la tensión de 12 volts, (esto se origina en la detección de pulsos marcados en el dial telefónico o en la detección de los estados colgado/descolgado).

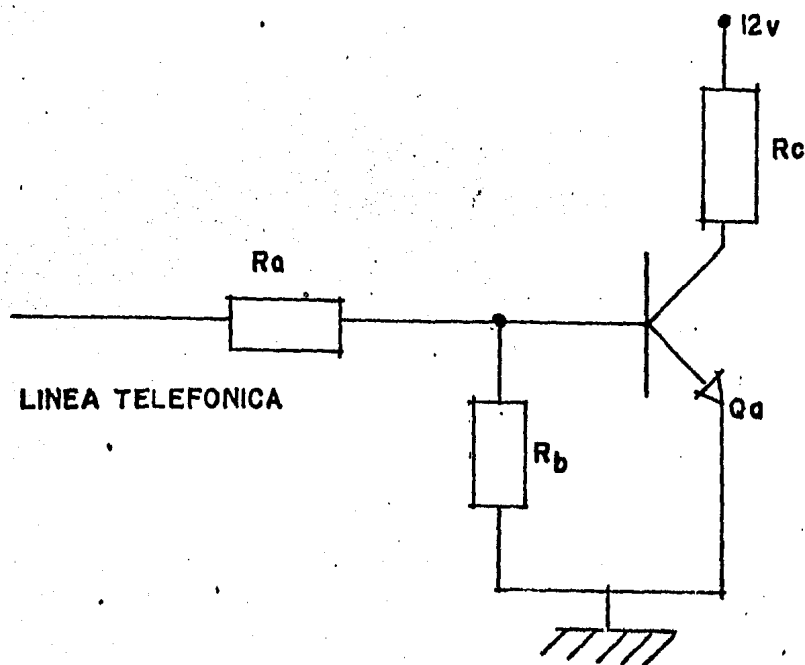


FIGURA III - 1' 2 .. CIRCUITO EQUIVALENTE DEL SENSOR

Características aproximadas del Relevador R1 = W172 DIP-5

Voltaje de Bobina = 12 V

Resistencia de Bobina = 850 Ω

Cálculamos la corriente que circula por la bobina.

$$I_H = \frac{V_H}{R_H}$$

$$I_H = \frac{12}{850}$$

$$I_H = 14.117 \text{ ma}$$

La Potencia.

$$P = V I = I^2 R$$

$$P = 12 \times 14.117$$

$$P = 169.4 \text{ mw}$$

Potencia especificada por fabricante 170 mw.

En el circuito armado se midió una corriente en la bobina de aproximadamente 14 ma, por lo que ésto origina una potencia de:

$$P = VI$$

$$P = 12 \times 14$$

$$P = 168 \text{ mw.}$$

Haciendo una consideración de la resistencia de la bobina como la resistencia del colector del transistor y la corriente

de bobina como la corriente de colector, podemos calcular el circuito de conmutación.

Ya que la I_c es la corriente máxima, para nuestro caso la llamaremos $I_{c_{sat}}$ y como ésta depende de la corriente de base I_b entonces el valor mínimo de I_b que asegura la $I_{c_{sat}}$

es:

$$I_{c_{sat}} = H_{femin} I_{b_{min}}$$

Despejando la $I_{b_{min}}$ tenemos:

$$I_{b_{min}} = \frac{H_{femin}}{I_{c_{sat}}}$$

$$I_{b_{min}} = \frac{14.117}{60}$$

$$I_{b_{min}} = 0.235 \text{ ma.}$$

Para ésto se usó el transistor BC239 con una $H_{femin} = 60$ para asegurar la saturación del transistor, y $V_{be} = 0.620\text{v}$

La resistencia R_a se calculó de la siguiente manera para asegurar la saturación de Q_a con el teléfono colgado.

$$R_a = \frac{V_{BEmin}}{I_{bmin}}$$

$$R_a = \frac{48 - 12}{0.235}$$

$$R_a = 153,190 \Omega$$

Este valor es el máximo para la resistencia R_a , su valor — más próximo en el mercado es de $150\text{ K}\Omega$. cuando el teléfono se levanta, la tensión de la base de a cae a 12 volt máximo y 0 Volt mínimo, esto debe representar la condición de corte de Q_a . La corriente de base es:

$$I_{b\max} = \frac{V_{BB}}{R_a}$$

$$I_{b\max} = \frac{12}{153.190\text{ K}\Omega}$$

$$I_{b\max} = 0.078\text{ ma}$$

Para calcular R_b tenemos:

$$R_b = \frac{V_{BE}}{I_{b\max}}$$

$$R_b = \frac{0.620}{0.078}$$

$$R_b = 7948\ \Omega$$

Con esto se reduce a cero la I_b asegurando el corte del — transistor Q_a .

III.1.2.- CIRCUITO DETECTOR.

El diseño de este circuito tiene como finalidad - detectar el estado del microteléfono (colgado/descolgado) ya que se aprovecha la función que realiza el relevador R1 (tipo w 172 DIP-5), en los cierres y aperturas de sus contactos.

Cuando el microteléfono se encuentra colgado los - contactos del relevador están cerrados, ésto provoca que el diodo en el circuito no conduzca.

La tensión a través de la resistencia R_3 mantiene- cargado al capacitor C_1 ; ésto hace que se tenga un nivel al- to en las entradas de la compuerta 12,13 del circuito inte- grado (CI_1), provocando ésto un nivel alto en la salida de - detección (salida de la compuerta 10 del circuito integrado- (CI_1), esto indica que el microteléfono se encuentra en el - estado colgado, si se levanta al microteléfono, los contac- tos del relevador R1 (tipo w 172 DIP-5) se abren, provocando que el transistor Qa vaya al corte y que el nivel de tensión que se tiene a la entrada de la compuerta 12 del circuito in- tegrado (CI_1) caiga a cero volts.

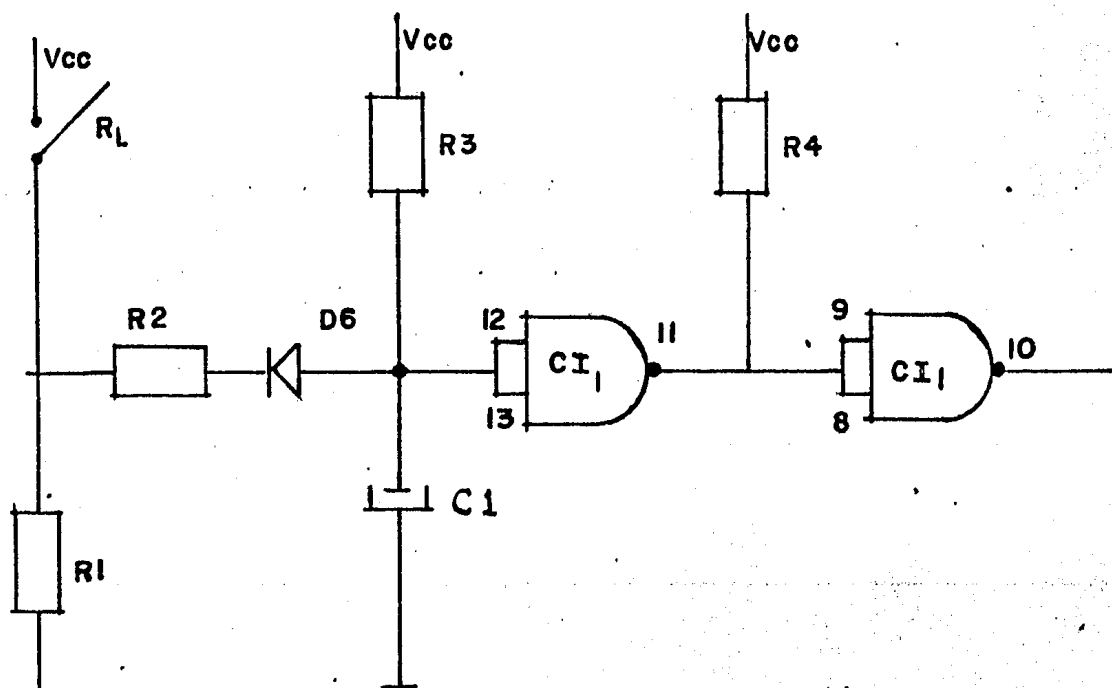


FIGURA III.1-2.- CIRCUITO DETECTOR

El diodo mostrado en el circuito se polariza directamente, ocasionando con ésto que el capacitor C_1 se descargue.

Esta descarga se realiza a través del diodo y de las resistencias R_1 y R_2 a tierra, teniendo entonces un nivel de tensión bajo a la entrada de la compuerta 12 del circuito integrado (CI_1), dando como resultado un nivel bajo en la salida de detección.

La figura ilustra el circuito electrónico que se describe debido a que la salida de los contactos del relevador (tipo W 172 DIP-5) se conectan al circuito detector y al circuito integrador, este circuito se ha diseñado de tal manera que éste no responda a los pulsos de marcación, los cuales abren y cierran los contactos del relevador (tipo W 172 DIP-5) a consecuencia de los estados de corte y saturación del transistor Q_a .

Para evitar que estas condiciones sean interpretadas como condiciones de (colgado/descolgado) sucesivos, el circuito se implementó con diferentes tiempos de carga y descarga del capacitor C_1 de tal manera que se cumpla que:

$$C_1 \cdot (R_1 + R_2) \ll C_1 \cdot R_3$$

Con esta condición se asegura que la descarga del capacitor C_1 sea más rápida que la carga.

Esto provoca que el nivel de tensión en la entrada de la compuerta 13 del circuito integrado (CI_1) se mantenga bajo.

Y el circuito detector no reconozca a los pulsos - de marcación como condiciones sucesivas de (colgado/descolgado) del microteléfono.

Para este circuito las ecuaciones de carga y descarga de un capacitor son:

$$V_s = V_e (1 - e^{-t/rc}) = \text{carga}$$

$$V_s = V_e (e^{-t/rc}) = \text{descarga}$$

Para la carga, conocemos V_s , V_e , R y C : despejando a t .

$$t = -R_3 C_1 \ln \left(1 - \frac{V_{s1}}{V_e} \right)$$

Donde V_{s1} es el umbral de la conmutación de 1 a 0 -

de la compuerta,

para la carga:

$$t = - (68 \times 10^3 \times 2.5 \times 10^{-6}) \ln \left(1 - \frac{3}{5} \right)$$

$$t = - (170 \times 10^{-3}) (-.916)$$

$$t = 155.72 \text{ m seg.}$$

para la descarga:

$$t = -R_c \ln \frac{V_{s2}}{V_e}$$

Dónde V_{s2} es el umbral de la conmutación de 1 a 0 de

la compuerta:

$$t = - (2.7 \times 10^3 + 0.820 \times 10^3) \times 2.5 \times 10^{-6} \ln \frac{2}{5}$$

$$t = - (3.52 \times 10^3 \times 2.5 \times 10^{-6}) \ln \frac{2}{5}$$

$$t = - (8.8 \times 10^{-3}) (-.916)$$

$$t = 8.06 \text{ m seg}$$

Estos resultados comprueban que la descarga de —
(8.06 m seg) es más rápida que la carga de (155.72 m seg).

Dado que el microprocesador que controla las funciones del dispositivo telefónico debe "conocer" de alguna manera los dígitos que se marquen en el disco dactilar, se requirió condicionar las pulsaciones generadas tanto en su amplitud como en su duración, de tal manera, que puedan ser compatibles con el nivel de interfazamiento, además, dado que el impulsor electromecánico del teléfono produce una cierta cantidad de "rebotes" en cada pulsación (lo que provoca espigas parásitas en los pulsos), se requirió que éstos sean eliminados para evitar que el microprocesador los reconozca como una secuencia de pulsos válidos en lugar de reconocer a un sólo pulso, la figura III.1.3 muestra el circuito diseñado para solucionar el problema.

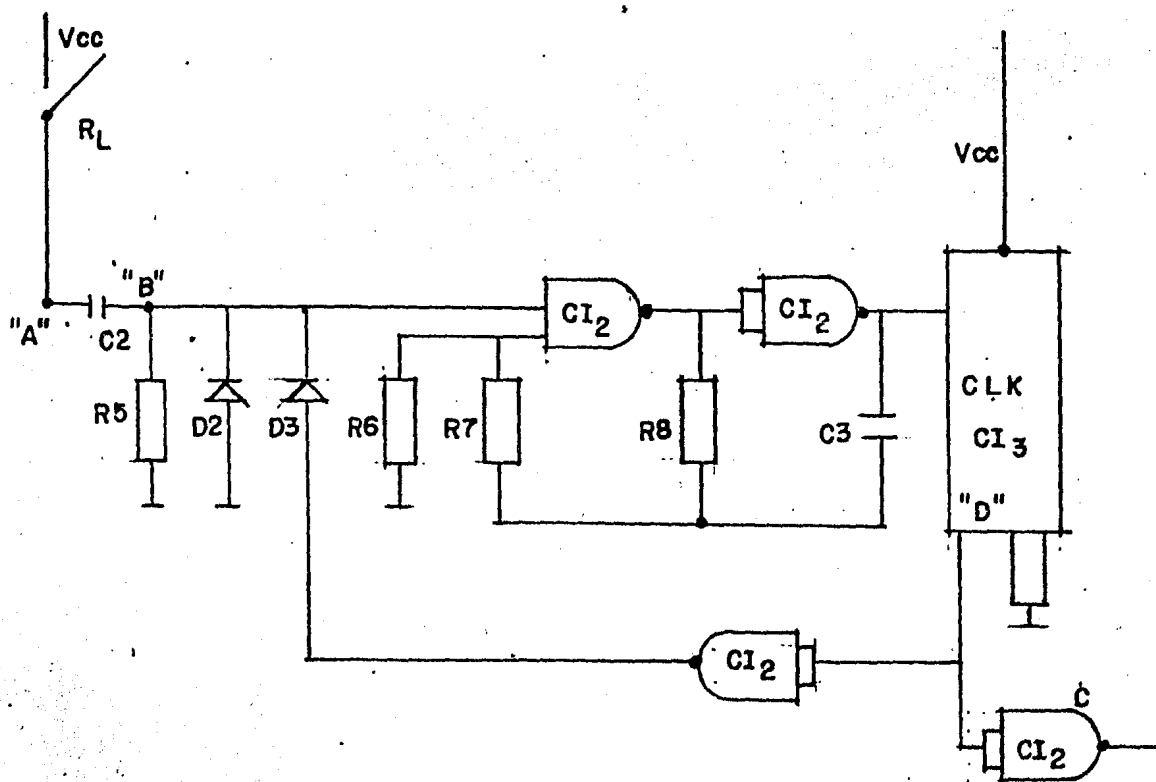


FIGURA... III.- 1-3.- CIRCUITO INTEGRADOR

El circuito está conectado directamente al contacto del relevador R1 (Tipo W172 Dip - 5) del circuito detector como uno de los extremos del contacto está conectado a 5 volts, entonces los pulsos entregados en el punto de referencia marcado como "A" tiene esta misma magnitud.

Como ya se describió anteriormente, cuando el microteléfono se encuentra en el estado colgado, los contactos del relevador R1 (tipo W172 Dip -5) se cierran originando que el punto "A" se tenga una tensión de 5 volts: luego entonces en el capacitor C2 se descarga a través de la resistencia R5, teniendo la misma tensión de 5 volts en sus terminales, de tal forma que el punto de referencia "B" del circuito descrito, la tensión sea de cero volts. lo que origina que el circuito oscilador formado por R7, R8, C3 y las compuertas 2, 6 del circuito integrado CI₂ no trabajen.

En el caso del microteléfono descolgado; el contacto del relevador R1 (tipo W172 Dip -5) se abre provocando que el punto "A" se vaya a tierra a través de R1 localizada en el circuito detector, la derivada de esta transición aparece como una espiga negativa en el punto "B" provocando que el capacitor C₂ se descargue.

El diodo D₃ limitará a la espiga para proteger la entrada de la compuerta 1 del circuito integrado CI₂.

Cuando se genera un pulso en el disco dactilar de duración suficiente para cerrar el contacto del relevador - R1 (tipo W172 Dip - 5) la transición positiva en el punto - "A" hace aparecer una espiga positiva en el punto "B", si se asume que el contador del circuito integrado CI₃ en el -

instante anterior a la espiga, tiene su salida "D" en un nivel alto, por lo que el anodo del diodo D_3 está en cero volts.

La aparición de la espiga positiva hace que el oscilador trabaje con el primer pulso que se genere, la salida -- del contador cambia a un estado bajo con lo que el anodo de D_3 sube a 5 volts.

De esta forma el punto "B" se mantiene en ese nivel-- permitiendo que el oscilador continúe en operación, hasta que la salida "D" del contador se encuentre en el estado alto, es to es, hasta que hayan pasado 10 pulsos del oscilador.

Ya que la frecuencia del oscilador está dada por los valores de R_8 y C_3 , el período de una transición completa en la salida "D" del contador es constante e independiente de la duración real de un pulso generado por el disco dactilar.

La frecuencia del oscilador está dada por la ecuación:

$$f = \frac{0.482}{R_8 \cdot C_3}$$

Con los valores de $R_8 = 36 \text{ K}\Omega$ y $C_3 = 0.15 \text{ uf}$, la -- frecuencia es aproximadamente de 120 Hz. De donde se puede ana lizar que es 10 veces mayor que la frecuencia posible de un im pulsor electromecánico (12 pulsos por segundo), de manera que se considera imposible que llegue una segunda espiga positiva al punto "B" antes de que la salida "D" del contador haya com pletado un ciclo, ésto garantiza que no se pierda ningún pulso del circuito integrador de pulsos.

El nivel de la salida "D" es invertido por la compuer

ta para que el microprocesador detecte los pulsos al discar
 la figura III.1.3.1 describe las señales que genera este -
 circuito.

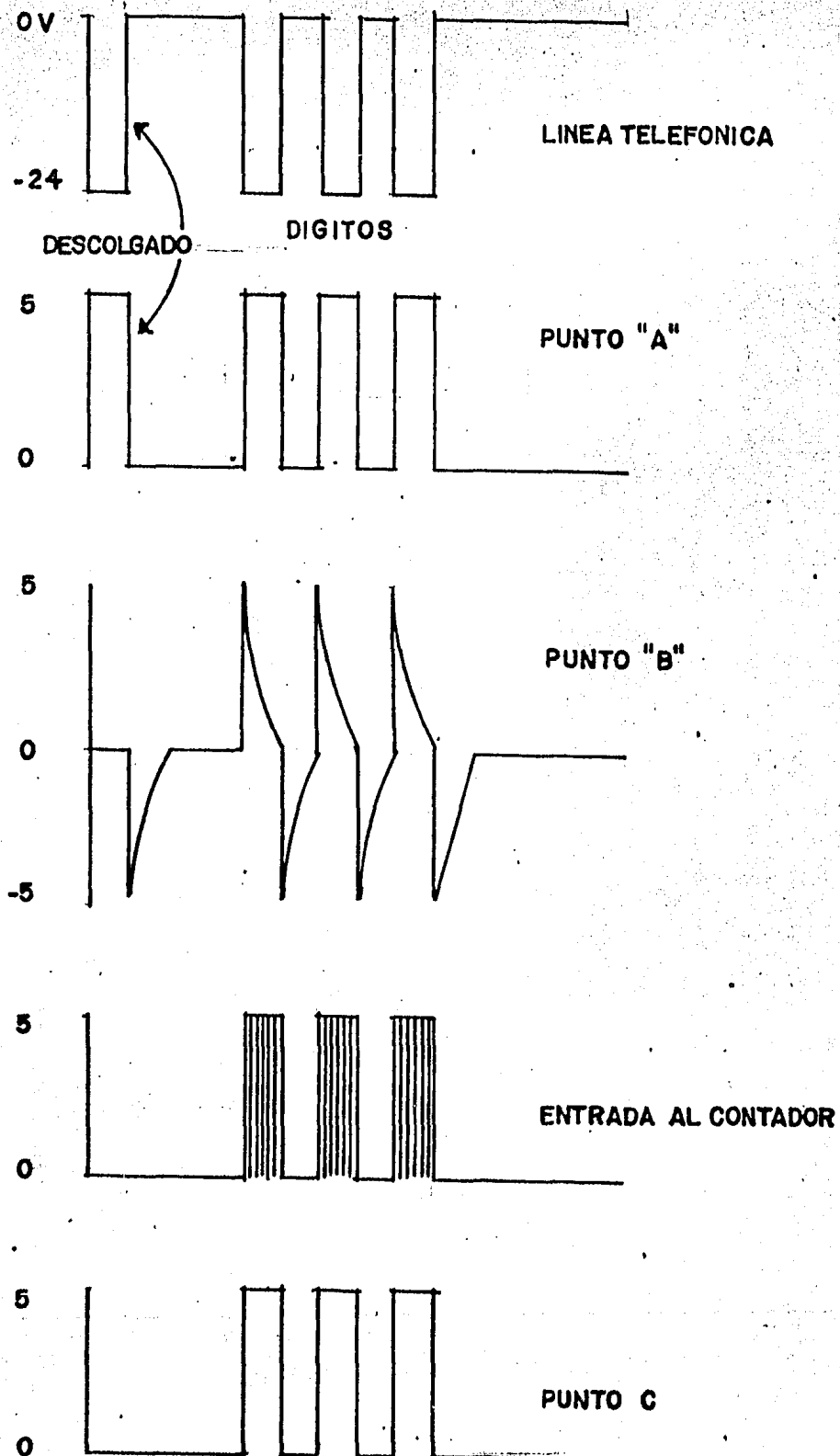


FIGURA. III.1.3.1. PULSOS GENERADOS EN LOS DIFERENTES PUNTOS DE REFERENCIA

III.1.4 CIRCUITO INTERRUPTOR.

Para controlar las llamadas a las claves no incluidas en la programación, el circuito mostrado en la figura - III.1.4, debe ser controlado por el microprocesador para - abrir o cerrar la línea telefónica según sea el caso de no - permitir o permitir que la llamada sea transmitida con cierta clave.

Cuando el microprocesador "lee" los dígitos originados al marcar el número de la clave, realiza una comparación contra las registradas en la memoria; si ésta se encuentra incluida dentro de las programadas, el microprocesador envía un nivel de tensión alto, lo cual provoca que el transistor Q_B se mantenga en saturación, y así, el contacto del relevador R_{L2} (Tipo W172 Dip - 5) permanezca cerrado, acción que permite el cierre de la línea telefónica, en caso contrario si al comparar el microprocesador el número de la clave "leído" contra las registradas en la memoria, determina que la clave no está permitida, genera un nivel de tensión bajo hacia la base del transistor Q_B .

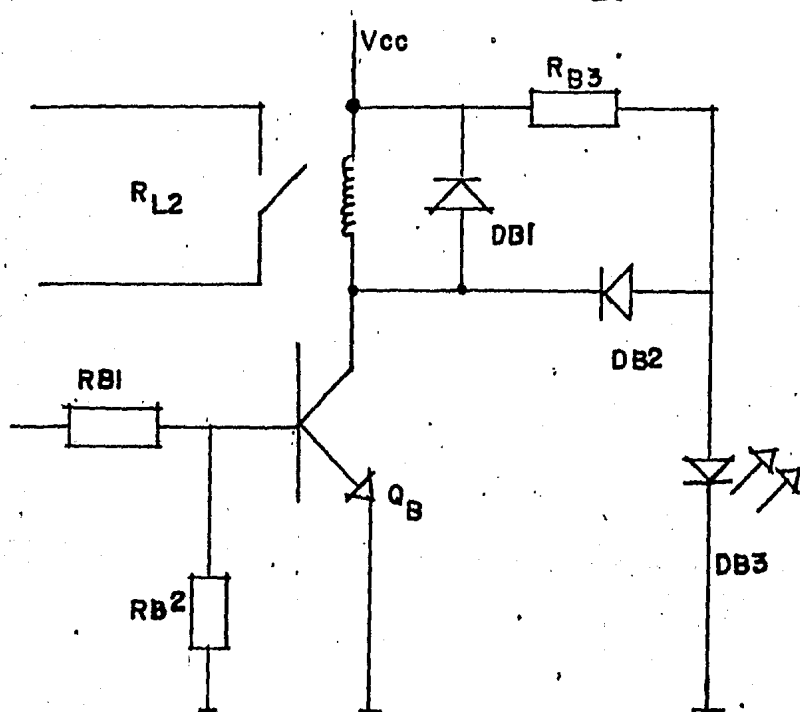


FIGURA III.1-4. - CIRCUITO INTERRUPTOR

Lo que ocasiona que el contacto del relevador RL_2 (Tipo W172 Dip - 5) se abra, interrumpiendo así la línea telefónica.

Cuando el contacto del relevador RL_2 se encuentra cerrado, la caída de tensión que aparece en el colector Q_B es menor que la caída que aparece en el diodo emisor de luz (D_{B3}), y la corriente fluye a través del transistor Q_B , cuando el transistor pasa a la condición de corte la circulación de la corriente es a través de R_{B3} y del diodo D_{B3} , el cual se ilumina.

Al concluir el tiempo de interrupción, el microprocesador restablece el nivel de tensión alto en la base de Q_B , cerrando nuevamente el contacto del relevador R_{B2} (Tipo W172 Dip - 5) y restableciéndose entonces la línea telefónica.

De las características del relevador RL (Tipo W172-Dip - 5) tenemos su $V_{cc} = 5$ volts, con un rango de 4.5 volts a 18 volts.

La resistencia de la bobina es aproximadamente 330 ahora se calcularán los elementos del circuito, en primer lugar R_{B3} con la condición de que el transistor Q_B se encuentre en corte. De esto el circuito será:

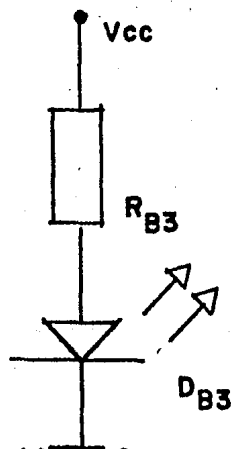


FIGURA III-1.4.1.- CALCULO DEL CIRCUITO

Con las características del diodo emisor de luz (LED), su valor de umbral aproximado de 1.5 volts, y su corriente de 15 ma, tenemos la siguiente ecuación:

$$V_{cc} = R_{B3} I_{B3} + V_{D3}$$

Despejando la resistencia R_{B3}

$$R_{B3} = \frac{V_{cc} - V_{DB3}}{I_{B3}}$$

$$R_{B3} = \frac{5 - 1.5}{15}$$

$$R_{B3} = 233 \Omega$$

Para nuestro caso usaremos $R_{B3} = 270 \Omega$

Ahora calculamos el valor efectivo de la corriente

I_{B3}

$$I_{B3} = \frac{V_{cc} - V_{DB3}}{R_{B3}}$$

$$I_{B3} = \frac{5 - 1.5}{270}$$

$$I_{B3} = 13 \text{ ma.}$$

Considerando Q_B en la condición de saturación y el valor de R_{B3} calculamos la corriente del colector del transistor Q_B .

El circuito en la figura III.1.42 queda de la manera siguiente:

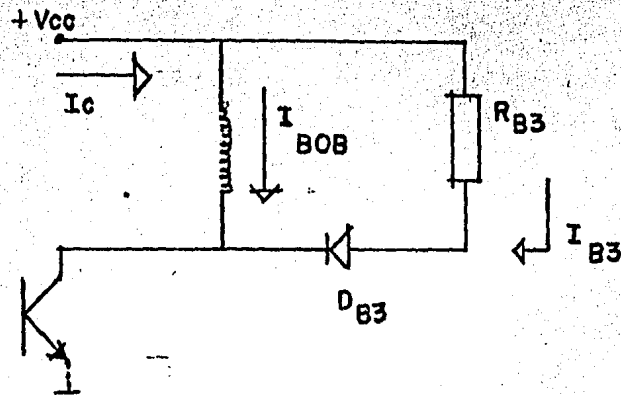


FIGURA III. 1.4.2. - CIRCUITO SIMPLIFICADO

Con esta condición, la corriente I_{B3} cambia de valor debido al diodo D_{B2} , el cual queda polarizado directamente; el valor de I_{B3} será:

$$I_{B3} = \frac{V_{cc} - V_{ce} - V_{DB2}}{R_{B3}}$$

$$I_{B3} = \frac{5 - 0.2 - 0.7}{270}$$

$$I_{B3} = 15.1 \text{ ma.}$$

Del circuito por el método de divisor de corriente:

$$I_c = I_{BoB} + I_{B3}$$

$$I_c = \frac{I_{B3} (R_{BoB} + R_{B3})}{R_{BoB}}$$

$$I_c = \frac{15 (270 + 330)}{330}$$

$$I_c = 27.27 \text{ ma.}$$

Pero:

$$I_c = I_{BoB} + I_{B3}$$

$$I_{BoB} = I_c - I_{B3}$$

$$I_{BoB} = 27.27 - 15.1$$

$$I_{BoB} = 12.17 \text{ ma}$$

La corriente mínima de base del transistor Q_B será:

$$I_b \text{ min} = \frac{I_{c \text{ max}}}{h_{f \text{ min}}}$$

$$I_b \text{ min} = \frac{27.27}{60}$$

$$I_b \text{ min} = 0.4545 \text{ ma}$$

Usando el método de divisor de voltaje para obtener los valores de R_{B1} y R_{B2} , para este caso el circuito será: - en la fig. III.1.4.3: de la manera siguiente:

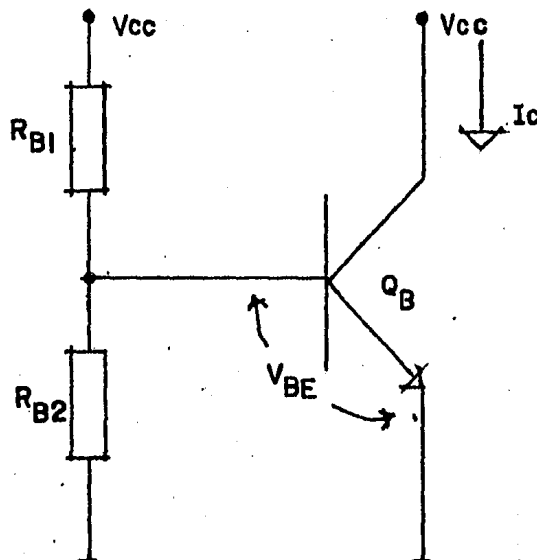


FIGURA III.1.4.3. CIRCUITO SIMPLIFICADO

$$R_s = \frac{V_{cc}}{I_{bmin}}$$

$$R_s = \frac{5}{0.4545}$$

$$R_s = 11.11 \text{ K}\Omega$$

Para que el transistor esté saturado, proponemos un $V_{BE} = 4.5V$ que es mucho mayor que 0.7 volts y los valores de R_{B1} y R_{B2} serán:

$$\frac{V_{cc}}{V_{BE}} = \frac{R_s}{R_{B2}}$$

$$R_{B2} = \frac{V_{BE} R_s}{V_{cc}}$$

$$R_{B2} = \frac{(4.5)(11.11) \text{ K}\Omega}{5}$$

$$R_{B2} = 9.9 \text{ K}\Omega$$

$$R_{B1} = R_s - R_{B2}$$

$$R_{B1} = (11.11 - 9.9) \text{ K}\Omega$$

$$R_{B1} = 1.1 \text{ K}\Omega$$

Los valores usados para nuestro propósito son:

$$R_{B1} = 1 \text{ K}\Omega$$

$$R_{B2} = 10 \text{ K}\Omega$$

III.1.5 CIRCUITO PROCESADOR.

Con lo tratado hasta este momento puede deducirse que tipo de información requiere el circuito procesador: - el estado de la línea telefónica, con un conocimiento de él se puede saber con certeza la situación en que se encuentra el teléfono.

Un microprocesador puede ser considerado como un autómata universal capaz de ejecutar, a partir de una secuencia interna fija, un conjunto de encadenamientos particulares que corresponden a otro conjunto de operaciones — predefinidas llamadas "instrucciones".

Para definir de una manera precisa el encadenamiento de operaciones es necesario agregarle al microprocesador órganos de memorización que van a contener los algoritmos (bajo la forma de programa escrito en lenguaje del microprocesador) a ejecutar.

Hay que agregarle también mecanismos de entrada/salida para que pueda comunicar con el exterior.

El comportamiento de un microprocesador es idéntico al de una unidad central de procesamiento, es decir al de un autómata secuencial sincrónico o asíncrónico el cual es función del estado de las entradas y de su estado interno; éste último es obtenido en función de las diferentes entradas y de los estados precedentes.

De esta definición, es interesante constatar que los instantes en los cuales un autómata secuencial evoluciona su estado, constituyen una serie t_0, t_1, t_2, \dots es decir que el autómata evoluciona de una manera discreta.

El microprocesador de la familia MC6800 introducido por motorola en julio de 1977, manteniendo todas las características del popular MC6800, éste nuevo modelo ofrece un más alto nivel de integración al reunir en un sólo chip una unidad central MC6800, un generador de reloj y 128 octetos de memoria RAM, permitiendo la realización de sistemas con un número de componentes y costo muy reducido.

El microprocesador MC6802 conectado con un MC6808 (1 K octetos de memoria E PRM) y un MC 6820 (16 líneas de entrada/salida) constituye un microcomputador completo.

Como se ha dicho el MC6802, como unidad central — conserva todos los registros, repertorio de instrucciones y posibilidades de control del MC6800. El generador de reloj — precisa únicamente un cuarzo externo de 4 MHz para poder — funcionar. La memoria RAM interna es de 128 octetos.

Puede ser inhibida mediante una línea de control y dispone de una alimentación especial de bajo consumo que — mantiene en funcionamiento los 32 primeros octetos de RAM.

Alimentando esta entrada con una batería se dispone de un método para almacenar datos críticos en caso de fallo de tensión.

Las características del microprocesador MC6802 se hacen en el apéndice A.

III.1.6 MEMORIAS.

En este capítulo trataremos de las memorias para microprocesadores considerándolas como subsistemas destinados a almacenar los programas y datos para suministrarlos a otros subsistemas (normalmente la CPU) bajo su demanda.

Nos limitaremos en este estudio a las memorias de semiconductores.

Una memoria se caracteriza fundamentalmente por:

- 1.- Un conjunto de celdas capaces de almacenar en cada una de ellas un Bit de información y que se organiza en conjuntos o palabras normalmente de 1, 4, 8 ó 16 celdas.
- 2.- Un dispositivo de acceso que nos permite la lectura de la información contenida en una palabra y/o su modificación, según su forma de acceso, las memorias se clasifican como:

A1.- De acceso directo o aleatorio.

En estas memorias se asocia una dirección a cada palabra, y al suministrar a la memoria una dirección, determina que se suministre o modifique la información de la palabra asociada a dicha dirección en un tiempo que no depende del valor de la dirección.

B1.- De acceso secuencial.

En estas memorias el tiempo de acceso a una palabra determinada depende de su posición con respecto a una posición de re-

ferencia. El dato es accesible mediante una secuencia temporal.

C1.- Asociativas.

En estas memorias el acceso a una palabra determinada se consigna mediante la información contenida en una parte de la propia palabra.

Según las operaciones que se pueden efectuar con la información contenida en sus palabras, las memorias se clasifican en:

A2.- Vivas.

Se puede leer y modificar el valor de las palabras.

B2.- Muertas.

Se pueden leer el valor de una palabra pero no se puede modificar.

Cuando al leer una palabra se destruye la información que contienen sus celdas, la llamaremos memoria destructiva y en caso contrario no destructiva. Las memorias destructivas serán siempre vivas, a todo ciclo de lectura debe seguir un ciclo de reescritura.

Una memoria es volátil si necesita suministro de energía para mantener la información, en caso contrario la llamaremos no volátil.

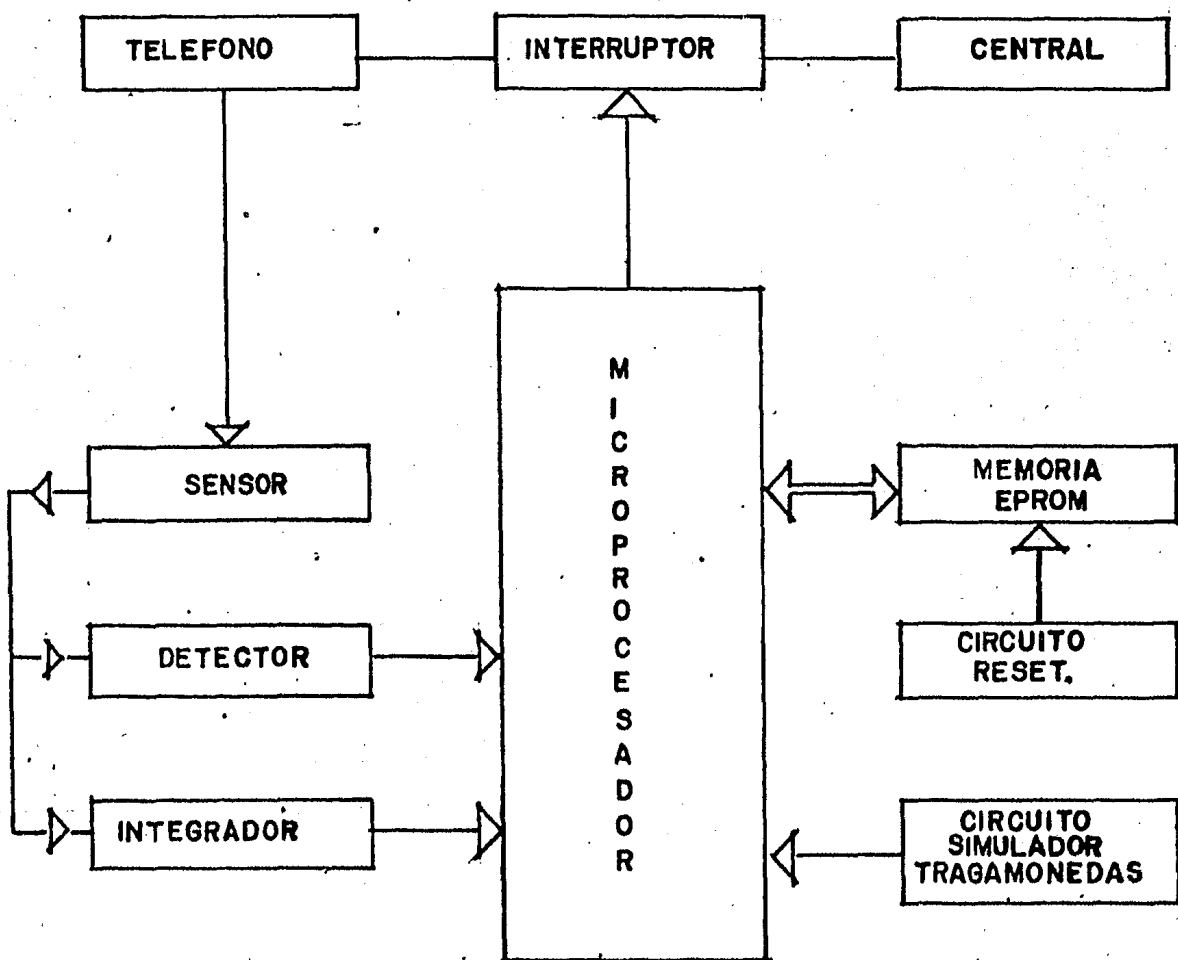
Memorias Dinámicas son aquellas en que la información almacenada se degenera en el tiempo; aunque estén alimentadas y es preciso un refresco para que no pierda la información, en caso contrario, las llamaremos estáticas.

III.1.7 ESQUEMA GENERAL DEL DISPOSITIVO.

Representado en la figura III.1.7

Los circuitos que intervienen en este esquema se desglosan en los capítulos anteriores, éstos son:

TELEFONO
 SENSOR
 DETECTOR
 INTEGRADOR
 INTERRUPTOR
 MICROPROCESADOR
 MEMORIA
 CENTRAL



IV.1.- PROCESAMIENTO DE LA INFORMACION.

La finalidad de este capítulo es la de introducir nociones básicas del microprocesador y presentar el algoritmo de control para el procesamiento de la información.

Obtenida de la parte operativa (señal TTL), no sin antes haber hecho una descripción de las funciones y facilidades de las subrutinas involucradas en este algoritmo.

IV.1.1.- Definición y Funcionamiento del Microprocesador. (up).

Un microprocesador puede ser considerado como un autómata universal capaz de ejecutar, a partir de una secuencia interna fija, un conjunto de encadenamientos particulares que corresponden a otro conjunto de operaciones predefinidas llamadas instrucciones.

Para definir de una manera precisa el encadenamiento de operaciones es necesario de agregarle al microprocesador órganos de memorización que van a contener los algoritmos (bajo la forma de programa escrito en lenguaje del microprocesador) a ejecutar. Hay que agregarle también mecanismos de entrada/salida para que pueda comunicar con el exterior.

La utilización de los microprocesadores en una aplicación cualquiera presenta varios problemas, el más importante es decidir que parte de la solución será cableada. (Hardware) y que parte será programada (Software).

La experiencia muestra que existen ciertos problemas que son muy simples de resolver utilizando lógica ca-

bleada y que una implantación programada sería muy complicada. El caso inverso existe también, ciertos problemas que en lógica cableada son muy difíciles de realizar, en lógica programada son muy fáciles de implantar, por ejemplo: el procesamiento de cálculos numéricos.

El comportamiento de un microprocesador es idéntico al de una unidad central de procesamiento, es decir, al de un átoma secuencial. Para comprender esto, se da a continuación algunas nociones de base.

IV.1.2.- Autómata Secuencial.-

El comportamiento de un átoma secuencial ya sea sincrónico o asincrónico, es función del estado de las entradas (E) y de su estado interno (q_i), éste último es obtenido en función de las diferentes entradas y de los estados precedentes.

$$Q, q_0, E, S,$$

Donde:

$Q = q_0, q_1, q_2, \dots$ es el conjunto de sus estados internos, q_0 es el estado inicial.

$E = e_1, e_2, e_3, \dots$ es el conjunto de los vectores de entrada que puede recibir el autómata.

$S = s_1, s_2, s_3, \dots$ es el conjunto de vectores de salida que puede emitir el autómata.

- Es la función de transición entre los estados internos. e_1 ó e_t define el estado q_{t+1} en el instante $t+1$, a partir del estado q_t y del vector de entrada e_t del instante t .

$$q_{t+1} = \delta(q_t, e_t)$$

f .- Es la función de salida y define el vector de salida s_t a partir del estado interno q_t y del vector de entrada e_t en el instante t .

$$s_t = f(q_t, e_t)$$

De esta definición es interesante constatar que los instantes en los cuales un autómata secuencial evoluciona su estado, constituyen una serie t_0, t_1, t_2, \dots - es decir que el autómata evoluciona de una manera discreta.

Un autómata secuencial puede ser representado de la manera siguiente. Figura IV.1

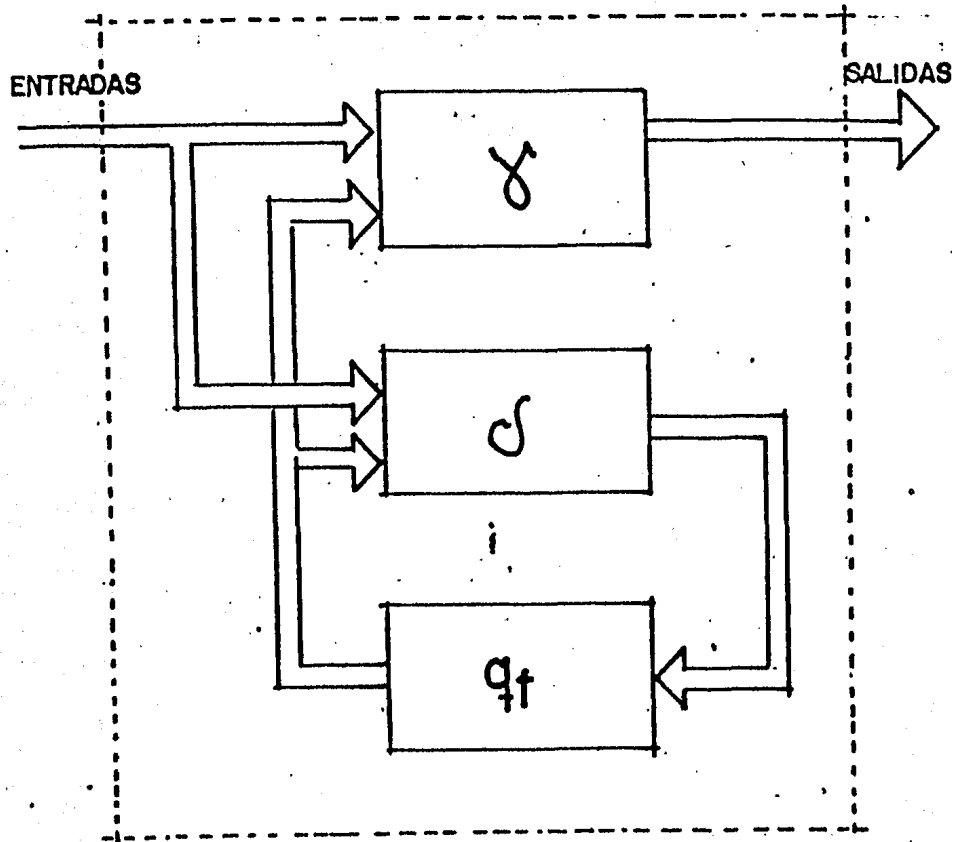


FIGURA IV. 1. AUTOMATA SECUENCIAL

IV.1.3.- Características de un Autómata secuencial. (Microprocesador).

Una máquina secuencial llamada unidad central es un autómata secuencial que presenta las siguientes características:

a).- Las entradas tienen al menos dos sentidos semánticos:

Unas serán consideradas como "instrucciones" las cuales van a permitir un funcionamiento muy particular del autómata. Las otras serán consideradas como datos (operandos de las operaciones definidas en las instrucciones).

La distinción entre instrucciones y datos es hecha automáticamente por el autómata (microprocesador).

b).- Las salidas son de dos tipos:

Las primeras constituyen los comandos quienes van a controlar los órganos (Memorias, E/S,...) que se encuentran alrededor de la unidad central (microprocesador).

Las segundas son los resultados propiamente dichos, por ejemplo:

La unidad central puede solicitar a través de los comandos el almacenamiento de los resultados en algún órgano de memorización

La unidad central (microprocesador) es re-

presentada por la Fig. IV.2

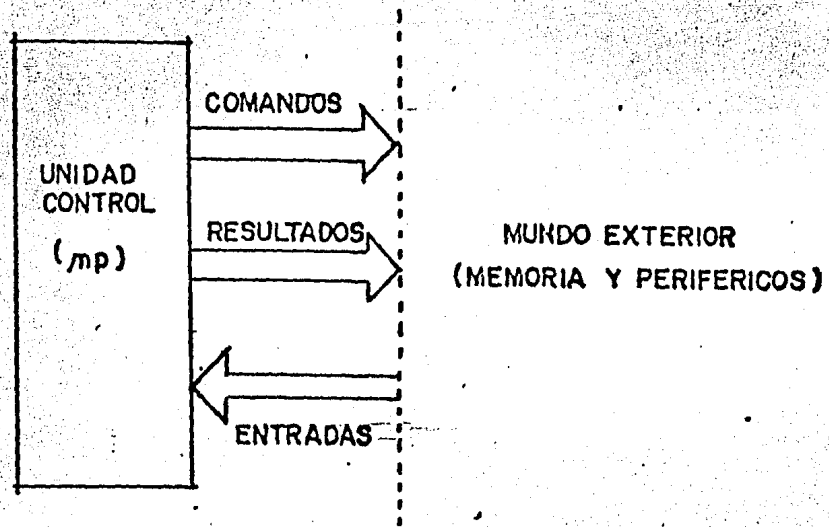


FIGURA IV. 2.- UNIDAD CENTRAL

IV.1.4.- Funcionamiento Secuencial.

La actividad de una unidad central (up) consiste en repetir sistemáticamente una secuencia constituida por las tres etapas siguientes:

- Búsqueda del código de instrucción
- Decodificación
- Ejecución

En la primera etapa, la información que se busca — (Código de la Instrucción) es obtenida por una lectura — —

en la memoria donde se encuentra el programa a interpretar.

La información leída será considerada como un descriptor de la acción que el microprocesador debe efectuar.

En la segunda etapa, el código será codificado a fin de poder seleccionar dentro del autómata interno del microprocesador la secuencia de acciones propias a la interpretación de la instrucción en la etapa, el microprocesador va a ejecutar el conjunto de acciones que constituyen la ejecución de la instrucción en sí.

El tiempo que se toma para ejecutar esta etapa depende del tipo de instrucción a interpretar.

Una vez ejecutada la tercera etapa, el microprocesador recomienza con la primera etapa, es decir, que existe una ejecución secuencial de las instrucciones.

La fig. IV.3. representa el funcionamiento secuencial del microprocesador.

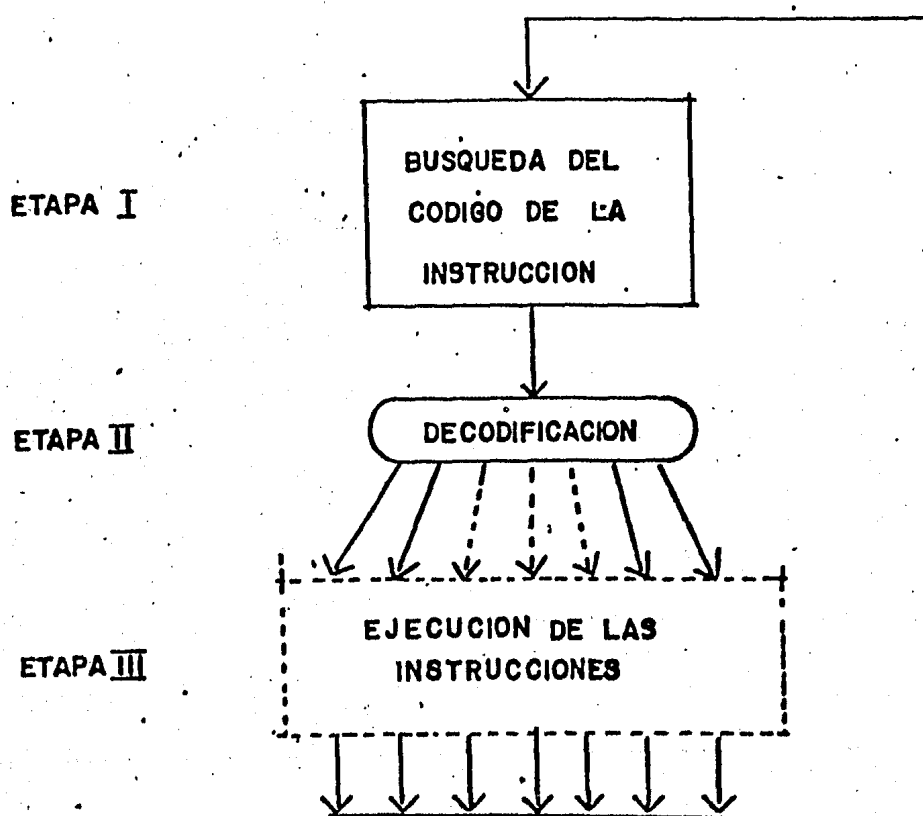


FIGURA IV, 3. FUNCIONAMIENTO SECUENCIAL DEL MICROPROCESADOR

IV.1.5.- Noción del Programa, Lenguaje e Instrucción.

Un programa puede ser definido como la representación de un algoritmo escrito en un lenguaje dado.

Un lenguaje está constituido por un vocabulario de base y una gramática que define las reglas de composición. Dicho de otra manera un lenguaje está formado por un conjunto de instrucciones parametrables cuya validez está dada por reglas de sintáxis y cuya función es definida por una semántica propia a cada instrucción.

En general una instrucción está constituida de dos campos.

- El Campo de Código de Operación y,
- El Campo de los Operandos.

IV.1.6.- Variables Internas del Microprocesador (mp).

Para efectuar el encadenamiento secuencial de las instrucciones, el microprocesador dispone de un conjunto de variables locales concretizadas bajo la forma de registros.

El más importante de estos registros es el contador de programa (cp) el cual siempre contiene la dirección en memoria de la próxima instrucción.

IV.1.7.- Entradas Salidas (E/S)

Para comunicarse con los periféricos (impresora, lectura, etc.) el microprocesador se sirve de unos mecanismos llamados de entrada/salida. Existen diferentes tipos de estos mecanismos, citaremos algunos:

a).- Entradas/Salidas Programables.

En este método los intercambios de información son ejecutados por la unidad central, es decir, que el utilizador está obligado a escribir todos los programas de E/S. El inconveniente de este método es que durante la transferencia de la información, ninguna otra acción podrá ser realizada por el microprocesador.

b).- Entradas/Salidas programables con pruebas de indicadores.

Con este método, la operación E/S se va a ejecutar solamente si el periférico está listo para esto, se considera que el periférico es capaz de indicar su estado. Así el programa de E/S antes de efectuar la entrada (salida) va a checar si el periférico está listo. Este método permite ganar tiempo. Ya que es mejor que el microprocesador haga otra cosa en lugar de estar checando el estado del periférico.

c).- Entrada/Salida Automática (DMA)

Este tipo de entrada/salida necesita la ayuda de funciones particulares (órganos especializados) para realizar la transferencia de información. En este caso podemos decir que el periférico es el que hace un acceso directo a la memoria. Este acceso se realiza durante los intervalos de tiempo en los cuales el microprocesador no accede a la memoria, por ejemplo, durante la decodificación de la instrucción a ejecutar.

d).- Entrada/Salida con Interrupción.

Un sistema de interrupción es un mecanismo -- que permite la suspensión de un programa en -- curso con la finalidad de ejecutar otro pro-- grama. La commutación de programa es obtenida por una solicitud de interrupción.

El microprocesador guardará generalmente en -- una pila, el contexto del programa suspendido, y podrá regresar a continuar el programa sus-- pendido.

IV.2.- DEFINICION DE LAS PARTES DE CONTROL Y OPERATIVA.

El comportamiento de un microprocesador o de cual-- quier otro órgano lógico puede ser descrito bajo la forma de un algoritmo, por ejemplo como lo muestra la Fig. IV.2

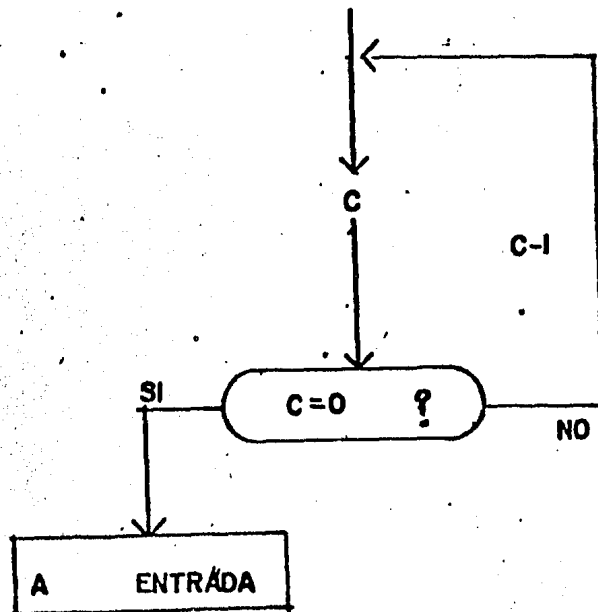


FIGURA IV . 2 . — ALGORITMO

La realización de un órgano que ejecute ese algoritmo se puede descomponer en dos partes:

Una parte operativa que va a realizar el conjunto de acciones y pruebas, por ejemplo:

Acciones: $C \leftarrow \text{entrada}$

$C \leftarrow C-1$

$A \leftarrow \text{entrada}$

Prueba: $C = 0 \quad ?$

Una parte de control que va a realizar el encadenamiento de las acciones, por ejemplo como lo muestra la fig. IV.2.1.

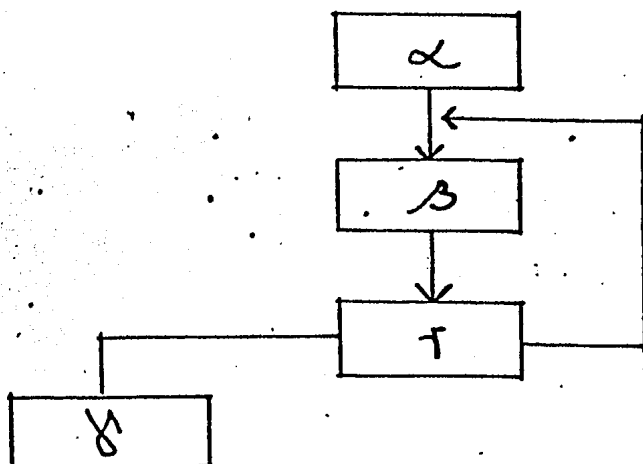


FIGURA IV. 2 - 2. — ENCADENAMIENTO DE LAS ACCIONES

Encadenamiento de las acciones.

Así el dispositivo se presenta ahora como un ensamblaje de esas dos partes representadas por la Fig. IV.2.2.

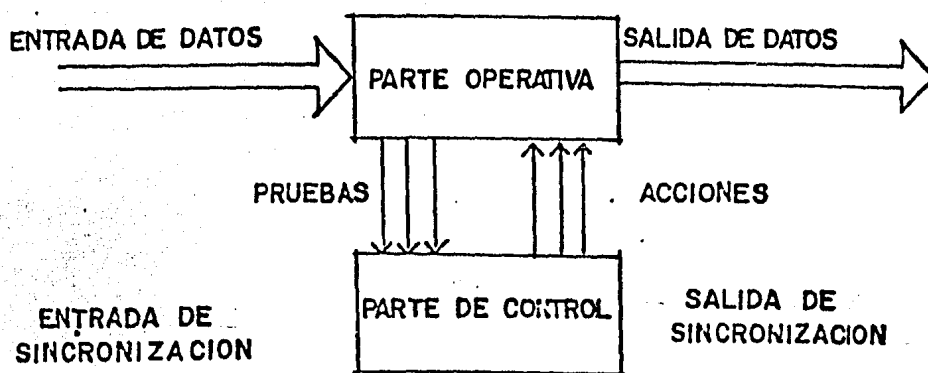


FIGURA IV.2-2. — ENSAMBLE DE LA PARTE OPERATIVA Y DE CONTROL

En general, a nivel de un microprocesador la parte operativa está constituida de las siguientes partes:

- Una subunidad de memoria local capaz de almacenar y restituir la información sobre el bus.
- Una unidad aritmética y lógica con registros de cálculo y temporización.
- Una unidad de cálculo de direcciones conteniendo un registro de direcciones (contador).

Una realización física en la parte operativa lo muestra la fig. IV.2.3.

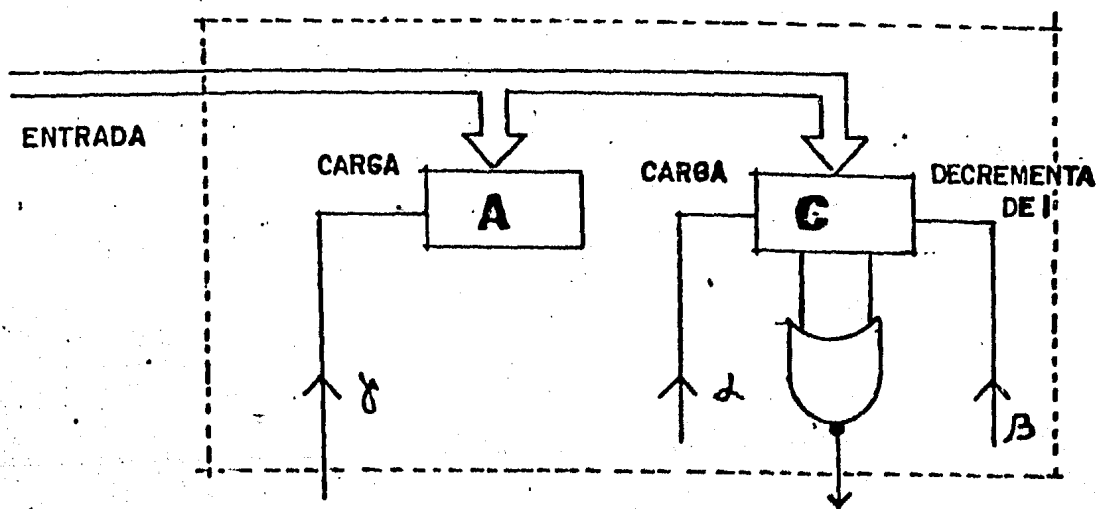


FIGURA IV 2.3. — RELACION FISICA DE LA PARTE OPERATIVA

La parte de control es en general realizada a base de perfiles binarios colocados en una memoria muerta, la cual contiene las informaciones de encadenamiento.

Hay que señalar que son muy pocos los microprocesadores que están microprogramados, esto se debe a que la microprogramación sólo se justifica cuando la relación frecuencia de reloj/velocidad de interpretación es 20.

La lentitud en tecnología MOS, a obligado a reducir a un mínimo esa relación.

Una realización física en la parte de control lo muestra la Fig. IV.2.4.

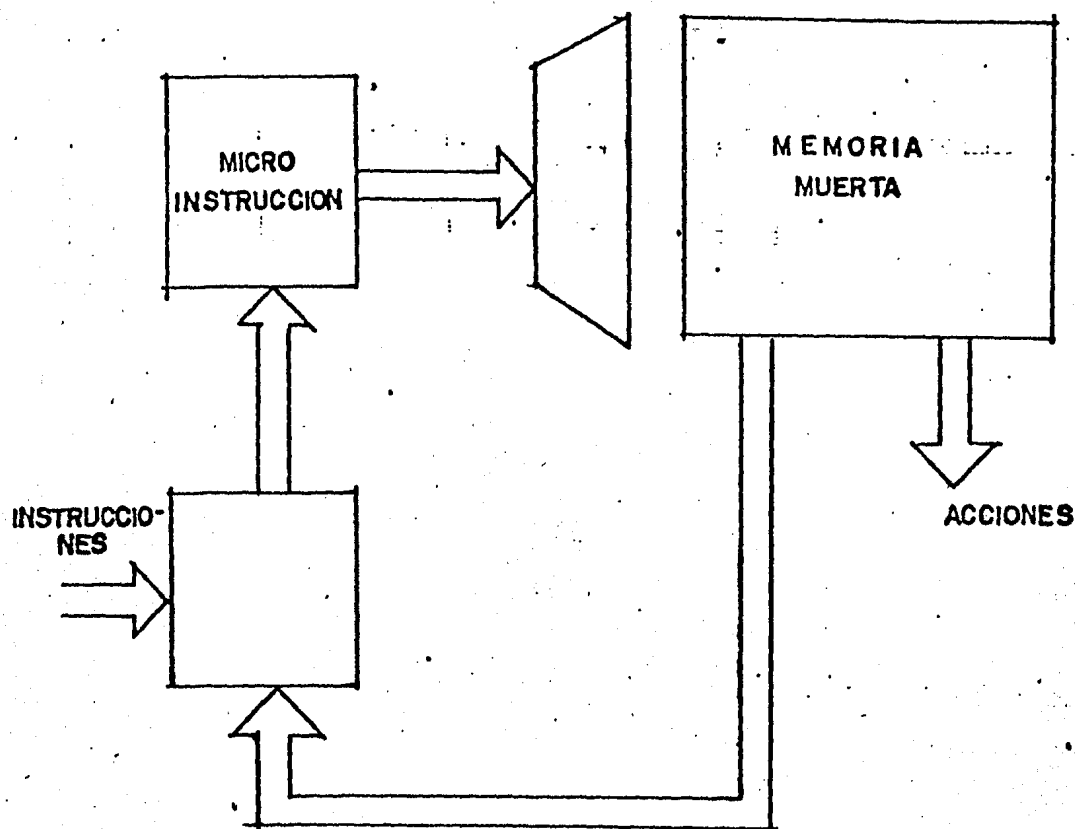


FIGURA IV.2.4.-REALIZACION FISICA DE LA PARTE DE CONTROL

IV.3.- UTILIZACION DEL MICROPROCESADOR. (up)

En la actualidad, la utilización de microprocesadores se ha extendido a casi todos los campos de la ciencia y tecnología, ésto se debe a que su funcionamiento es idéntico al de una computadora.

Ante un problema dado, si se desea utilizar un microprocesador, es recomendable como primer paso, hacer un análisis profundo del caso a fin de evaluar si realmente se necesita o justifica el utilizar un microprocesador.

El argumento a favor del microprocesador es que se tiene la ventaja de poder adaptarse mejor a situaciones futuras (simple cambio de programa).

En la concepción de sistemas a base de microprocesadores, la elección de un método de concepción es muy importante ya que ésto permitirá un ahorro de tiempo y esfuerzo. Existen varios métodos de concepción, sólo citaremos dos:

a).- Método descendente.

Este método consiste en definir primeramente las especificaciones generales (a nivel de funciones) de lo que se quiere hacer, creando así un conjunto de módulos disociados funcionalmente. Cada módulo se puede descomponer en otros más pequeños y se continúa el procedimiento hasta llegar a encontrar que el material con que se cuenta es capaz de realizar esas últimas funciones.

b).- Método Ascendente.

Con este método se inicia a partir del material con que se cuenta y se comienza por — crear funciones de más alto nivel hasta llegar a realizar funciones más generales.

Este método tiene la desventaja de que el — prototipo que resulta puede ser diferente de lo que se esperaba.

La experiencia muestra que el método descendente es el más natural ya que antes de definir el funcionamiento interno de un módulo, — es necesario conocer el rol preciso que va a tener.

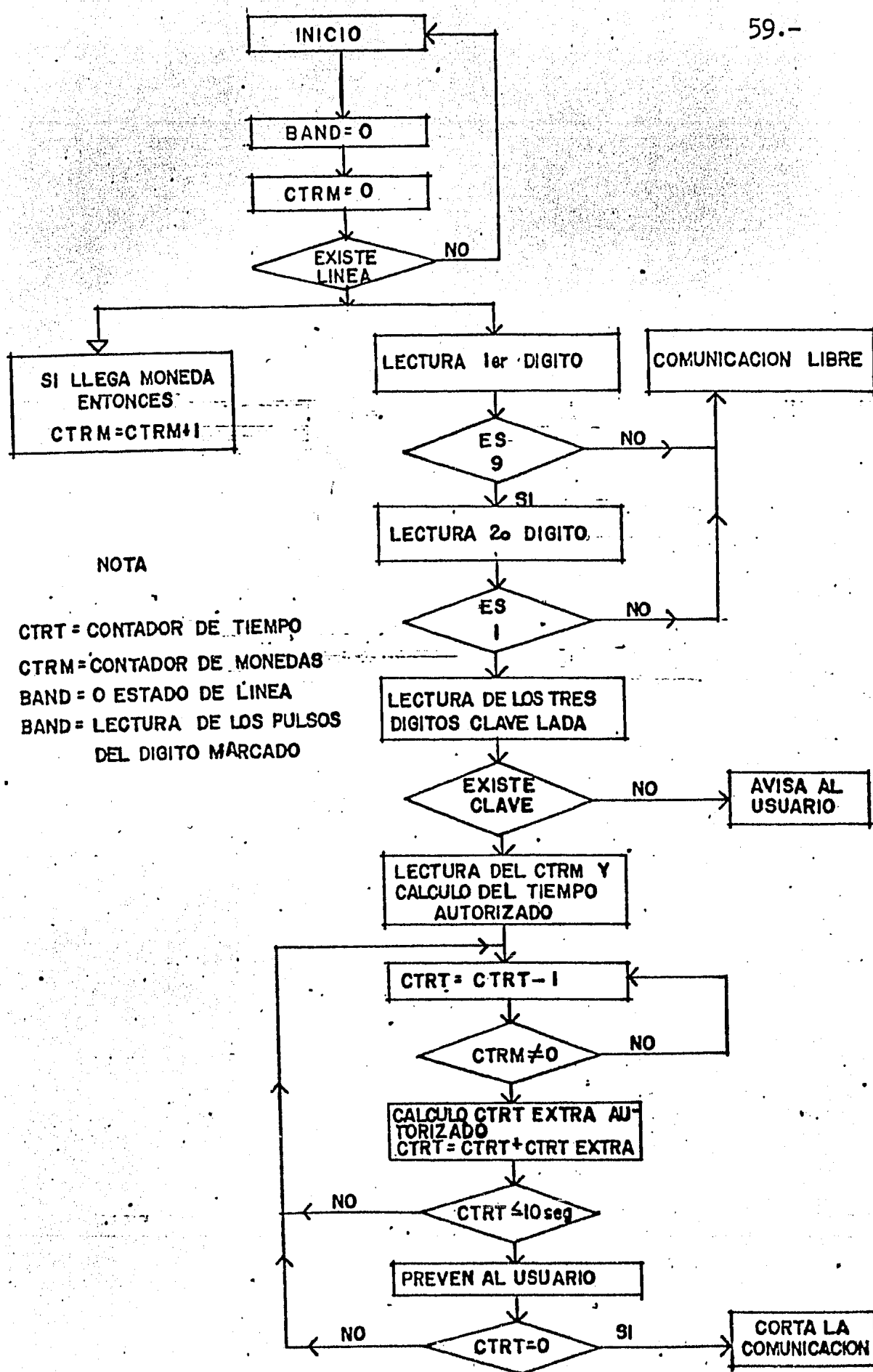
Así, ante una explicación dada, una vez especificado lo que se quiere realizar, se puede dividir el problema en dos partes:

Una parte que será cableada (Hardware).

Y otra que será programada (Software).

IV.4.- ALGORITMO DE CONTROL EN GENERAL, PROPUESTO PARA — EL PROYECTO.

Una vez hecha las nociones de nuestro elemento — procesador de la información y definida la parte operativa y de control, proponemos a continuación en la Fig. IV.1 el algoritmo de control en general como una posible solución de nuestro dispositivo de cobro automático para llamadas — LADA desde un teléfono público mediante tragamonedas.



SI LLEGA MONEDA
ENTONCES
CTRM=CTRM+1

NOTA

CTR = CONTADOR DE TIEMPO
CTRM = CONTADOR DE MONEDAS
BAND = 0 ESTADO DE LINEA
BAND = LECTURA DE LOS PULSOS
DEL DIGITO MARCADO

FIGURA IV.1. ALGORITMO DE CONTROL EN GENERAL DEL DISPOSITIVO DE COBRO AUTOMATICO PARA LLAMADAS LADA DESDE UN TELEFONO PUBLICO MEDIANTE TRAGAMONEDAS

IV.5.- IDENTIFICACION DE LOS ALGORITMOS.

Para identificar los algoritmos es necesario especificar en forma global todas las funciones involucradas en el algoritmo de control general, que a continuación se describen:

- a).- Detección de Línea. (La genera la central telefónica).
- b).- Detección de Pulso. (Es generada por el usuario).
- c).- Conteo de Pulsos. (Se obtiene el dígito marcado).
- d).- Detección de Acceso Lada Nacional (91).
- e).- Detección de Clave Lada Solicitada (XXX).
- f).- Búsqueda del Factor Correspondiente.
- g).- Detección de Monedas (Unidades).
- h).- Conteo de Monedas Depositadas.
- i).- Asignación de Tiempo Autorizado.
- j).- Actualización del Tiempo Autorizado.
- k).- Interrupción de Comunicación.

IV.6.- ESTRUCTURA DEL PROGRAMA.

Un método sugerido para producir mejores programas es la programación estructurada, su objetivo es organizar y disciplinar el diseño del programa y el proceso de codificación con el propósito de evitar el mayor número de errores lógicos y detectar aquellos errores que se cometan.

La programación estructurada tiene dos características principales: Diseño Descendente y Diseño Modular.

Diseño Descendente.- Un programa que ha sido diseñado en forma descendente, es un programa que ha sido estructurado jerárquicamente y escrito de manera tal que se parte siempre de la jerarquía más alta. Con este método de trabajo, el programador está continuamente forzado a brindar mayor atención a la estructura, los datos y las pruebas que le va a hacer a su programa que la que brindaría programando en forma lineal.

Diseño Modular.- Para que la programación estructurada tenga éxito, el programa debe plantearse en forma modular. La programación modular es la división del programa en partes lógicas denominadas módulos, al igual que la programación sucesiva de cada parte. Una vez que un problema se ha dividido en unidades lógicas más pequeñas y trabajables se lee y entiende con mayor facilidad.

A continuación se mencionan dos de las ventajas del diseño modular.

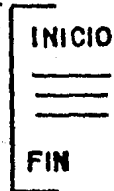
- a).- Disciplina en la Solución del Problema, El diseño modular de programas obliga al programador a analizar el problema con mayor profundidad. El análisis debe identificar cada función (que el programa deberá realizar).
- b).- Facilidad de Corrección. Los módulos reducen el esfuerzo necesario para corregir un programa, limitando el alcance de cualquier error.

Para nuestro objetivo se describirá el programa principal y las subrutinas (algoritmos) en pseudolenguaje,

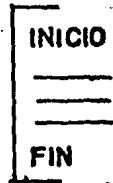
en el punto siguiente. Para esto es necesario las instrucciones de control y selección que presentamos:

A) INSTRUCCION DE CONTROL

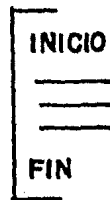
a) SI <CONDICION> ENTONCES



b) MIENTRAS <CONDICION= VERDADERA> HACER

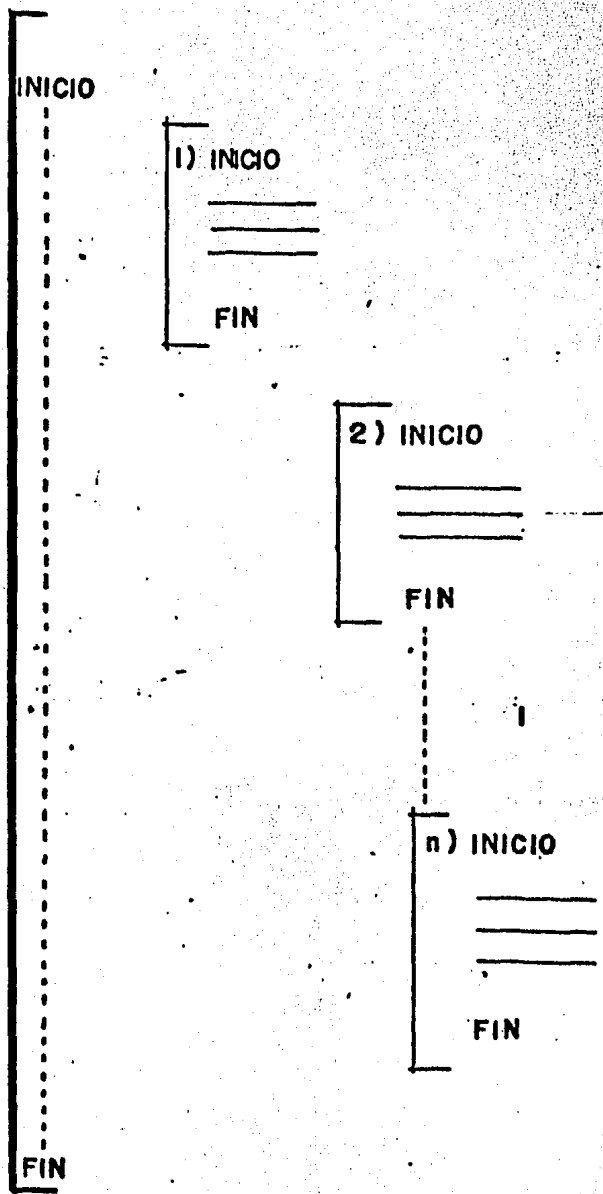


c) PARA i=1 PASO HACER



B) .- INSTRUCCION DE SELECCION (PROGRAMA PRINCIPAL)

SELECCION "I" ENTRE



IV.7.- DESCRIPCION DE LOS PROGRAMAS.

Una vez establecidas de manera global, las funciones y facilidades de los subprogramas (algoritmos), puede abordarse la descripción detallada de cada uno de ellos.

- A).- Programa Principal.
- B).- Deteccion de Línea.
- C).- Lectura del Dígito Marcado.
- D).- Lectura del Dígito "9".
- E).- Lectura del Dígito 1.
- F).- Lectura del Primer Dígito LADA.
- G).- Lectura del Segundo Dígito LADA.
- H).- Lectura del Tercer Dígito LADA.
- I).- Fin de Comunicación.
- J).- Programa NMI

Antes de abordar la descripción de los programas es necesario tener conocimiento de las características del microprocesador Mc 6802 y del lenguaje de máquina que se utiliza para la codificación de la programación.

Para ésto remitimos al lector a los apéndices A y B - respectivamente.

A).- Programa Principal.-

Se encarga de las operaciones de:

A.a).- Inicializar al Sistema.

A.b).- Controla la ejecución de los subprogramas asegurando una secuencia fija.

B).- Detección de Línea.-

Para detectar cuando el abonado ha descolgado el

microteléfono, es necesario realizar muestreos en ciertos intervalos de tiempo, los cuales es tarán restringidos a la central telefónica.

C).- Lectura de Dígito Marcado.-

Para detectar el dígito marcado por el usuario es necesario muestrear los pulsos generados en el disco dactilar e irlos almacenando para tener conocimiento verídico y no ocasionar problemas a la parte de control.

D).- Lectura del Dígito "9".-

Una vez detectado la línea telefónica y almacenado los pulsos del primer dígito marcado se preguntará si es 9. siendo afirmativo se trata de una llamada de larga distancia y se continúa con la siguiente subrutina.

En caso contrario se trata de una llamada local y se toma la decisión de inhibir al sistema o de cortar la comunicación.

E).- Lectura del Dígito "1".-

Para conocer el siguiente dígito marcado, se ejecuta una vez más la subrutina "Lectura de Dígito Marcado", y se pregunta si es 1, en caso afirmativo se trata de una llamada de larga distancia nacional y se procede la siguiente subrutina, de lo contrario se trata de otro tipo de llamada y se decidirá si se permite la comunicación o se interrumpe.

Para nuestro proyecto en particular fué a ni-

vel nacional. (91).

F,G,H).- Lectura del Primero, Segundo y Tercero Dígito de la Clave Lada Nacional.-

Tratándose de un acceso de llamada de larga distancia, se procederá a conocer la clave lada marcada por el usuario.

Para esto se ejecutará tres veces la subrutina "Lectura de Dígito Marcado". Una vez conocida la clave lada se ejecuta el algoritmo "Busqueda Clave Lada en Memoria", en caso de no existir se toma la decisión de avisar al usuario o de cortar la comunicación. Si existe la clave Lada se procede a obtener el factor correspondiente y almacenarlo.

Para realizar las subrutinas del cálculo de las monedas depositadas y el tiempo autorizado de la comunicación, desplegándolo simultáneamente.

Cuando es llamada la subrutina "Cálculo del Tiempo Autorizado (ctr_t)", el contador de monedas CIRM se obtiene el número de monedas depositadas. En CIRT veremos el tiempo actual registrado y en el casillero FAC sabremos el número de segundos autorizados por cada moneda registrada. Al final de esta subrutina se limpiará el valor CIRM de Monedas.

Para desplegar el contenido del CIRT el cual estará contenido en 1 BYTE, es decir, su va-

lor máximo es de $256(2^8)$, inicialmente se hará la conversión binaria a minutos, teniendo-se en memoria dos Bytes para almacenar los minutos y los segundos respectivamente.

I).- Fin de Comunicación.-

En esta subrutina se checará que el usuario -cuelgue (estado de la línea telefónica = 0),- para ello es necesario muestrear la línea telefónica y al final se posicionará en espera -de una presencia de línea (descuelgue el microteléfono el usuario).

J).- Programa NMI.-

Este programa calcula el número de monedas depositadas por el usuario, es decir, actualiza el contador de monedas CTRM.

A continuación presentamos el programa principal y las subrutinas codificadas en pseudolenguaje para una mejor comprensión de lo antes-expuesto.

A).- PROGRAMA PRINCIPAL EN PSEUDOLENGUAJE:

INICIO.

(PROGRAMA RESTART)

BAND = 0

CLEAR CTRF; LIMPIA EL CONTADOR DE
TIEMPO AUTORIZADO.

CLEAR CTRM; LIMPIA EL CONTADOR DE
MONEDAS.

INICIALIZA APUNTADEOR DE PILA.

HABILITA INTERRUPCIONES IRQ.

ESPERA INTERRUPCIONES IRQ

ESCOGE BAND ENTRE: (PROGRAMA IRQ).

INICIO.

0: DETECCION DE LINEA

1: LECTURA DEL DIGITO 9

2: LECTURA DEL DIGITO 1

3: LECTURA PRIMER DIGITO
CLAVE LADA.

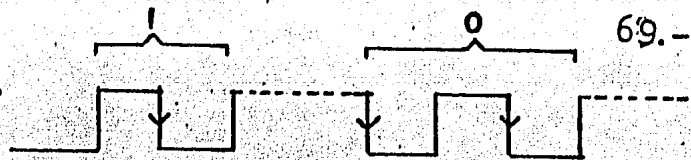
4: LECTURA SEGUNDO DIGITO
CLAVE LADA.

5: LECTURA TERCER DIGITO
CLAVE LADA.

FIN

FIN

B).- DETECCION DE LINEA.



BAND = 1; DETECCION DE LINEA

BAND = 0; LECTURA DE DIGITO MARCADO

INICIO.

INHIBE INTERRUPCIONES IRQ.

REALIZA 5 LECTURAS CADA 20 MSEG.

SI LECTURA 1=LECTURA 2=0 Y

LECTURA 3= LECTURA 4=LECTURA 5=1;

ENTONCES HABILITA INTERRUPCIONES IRQ

WAIT; ESPERA

FIN.

C).- LECTURA DE UN DIGITO MARCADO.

INICIO.

INHIBE INTERRUPCIONES IRQ

DIGITO = 0

REALIZA 5 LECTURAS CADA 20 MSEG Y

ALMACENALAS EN LEC (X); MIENTRAS

LEC 1 = LEC 2 = LEC 3 = 0 Y LEE 4=LEC5=1

HACER:

INICIO.

DIGITO = DIGITO + 1.

REALIZA 5 LECTURAS CADA 20 MSEG

Y ALMACENALAS EN LEC (X).

FIN

FIN

CØ: EN DIGITO SE TIENE EL DIGITO MARCADO -
(NUMERO DE PULSOS DETECTADOS DE ACUERDO
AL MARCADO) HABILITAR INTERRUPCIONES IRQ.

D).- LECTURA DEL DIGITO 9

INICIO

INHIBE INTERRUPCIONES IRQ
EJECUTA ALGORITMO "LECTURA DIGITO
MARCADO"

SI "DIGITO MARCADO" IGUAL A 9.

ENTONCES

INICIO.

BAND=1; SI NO EJECUTA "FIN"
HABILITA INTERRUPCIONES IRQ
WAIT; ESPERA

FIN

FIN

E).- LECTURA DEL DIGITO "1"

INICIO

INHIBE INTERRUPCIONES IRQ
EJECUTA ALGORITMO "LECTURA DIGITO
MARCADO"

SI "DIGITO MARCADO" IGUAL A "1"

ENTONCES

INICIO.

BAND=2; SI NO EJECUTA "FIN"
HABILITA INTERRUPCIONES IRQ
WAIT: ESPERA

FIN

FIN

F).- LECTURA DEL PRIMER DIGITO CLAVE LADA.

INICIO



FIN

INHIBE INTERRUPCIONES IRQ
EJECUTA ALGORITMO "LECTURA DIGITO MARCADO"
ALMACENALO EN "CLAVE 1"
BAND = 3
HABILITA INTERRUPCIONES IRQ
WAIT; ESPERA

G).- LECTURA DEL SEGUNDO, DIGITO CLAVE LADA

INICIO



FIN

INHIBE INTERRUPCIONES IRQ
EJECUTA ALGORITMO "LECTURA DIGITO MARCADO"
ALMACENALO EN "CLAVE 2"
BAND = 4
HABILITA INTERRUPCIONES IRQ
WAIT; ESPERA

H).- LECTURA DEL TERCER DIGITO CLAVE LADA.

INICIO

INHIBE INTERRUPCIONES IRQ
 EJECUTA ALGORITMO LECTURA DIGITO MARADO
 ALMACENALO EN "CLAVE 3"
 BAND = 5
 EJECUTA ALGORITMO "BUSQUEDA CLAVE LADA
 EN MEMORIA"
 NO EXISTE LA CLAVE
 EJECUTA ALGORITMO "CORTE DE LINEA"
 EXISTE LA CLAVE; ENTONCES:

INICIO

OBTENER FACTOR CORRESPONDIENTE Y
 ALMACENALO EN "FAC"
 LEE ESTADO CIRM Y HAZ CIRM=0;
 CONTADOR DE MONEDAS.
 CALCULA CIRT Y DESPLIEGALO; TIEMPO
 AUTORIZADO.
 MIENIRAS CIRT \neq 0 HCER:

INICIO

ESPERA 1 SEG
 DECREMENTA CIRT EN 1 SEG
 DESPLIEGA CIRT
 SI CIRT \neq 0 HACER;

INICIO

CALCULA CIRT EXTRA
 AUTORIZADO.
 ACTUALIZA CIRT=CIRT+
 CIRT EXTRA
 ACTUALIZA CIRM; CIRM=0

FIN

FIN (CORTE DE LINEA)

FIN (EJECUTA FIN)

FIN(LECTURA TERCER DIGITO)

I).- FIN DE LA COMUNICACION.

INICIO



FIN

INHIBE INTERRUPCIONES IRQ

MUESTREA 10 VECES LA LINEA CADA 20 MSEG

SI LAS 10 MUESTRAS IGUAL A CERO

INICIO



FIN

BAND = 0

ACTUALIZA CONTADOR DE MONEDAS

CTRM = 0

WAIT; ESPERA

J).- PROGRAMA NMI

INICIO



FIN

CØ: ACTUALIZA CONTADOR DE MONEDAS

INCREMENTA CTRM: CTRM=CTRM+1

IV.8.- PRUEBA DE ACEPTACION DE CADA ALGORITMO.

Se revisará minuciosamente cada algoritmo desde el programa principal y todas las subrutinas tanto en lenguaje objeto, ensamblador y MC 6802 para verificar que realmente se cumplen todas las instrucciones de control y de antemano llegar a nuestro objetivo principal.

NOTA: No es necesario hacer la codificación en lenguaje ensamblador cuando se cuenta con un compilador en el cual se introduce el programa en lenguaje del microprocesador MC6802 y el realiza la codificación (interna de la máquina).

IV.9.- INTEGRACION DEL SISTEMA.

Todos los algoritmos involucrados tendrán asignadas las direcciones (previamente dadas), etiquetas para verificar la secuencia de nuestro objetivo final.

Para asignar las direcciones en nuestro órgano de memorización es necesario conocer el espacio de direccionamiento del microprocesador.

Por ejemplo:

Elemento	Sistema Hexadecimal	
RAM	EXXX — (0 - 007F)	128 BYTES
ROM	F 800 -- FFFF	2 K BYTES

Para nuestro caso particular nuestro órgano de memorización (ver definición de microprocesador), es la memoria EPROM 2716 INTEL (Ver Apéndice C) la cual fué direccionada en el siguiente orden como lo representa la figura IV.9

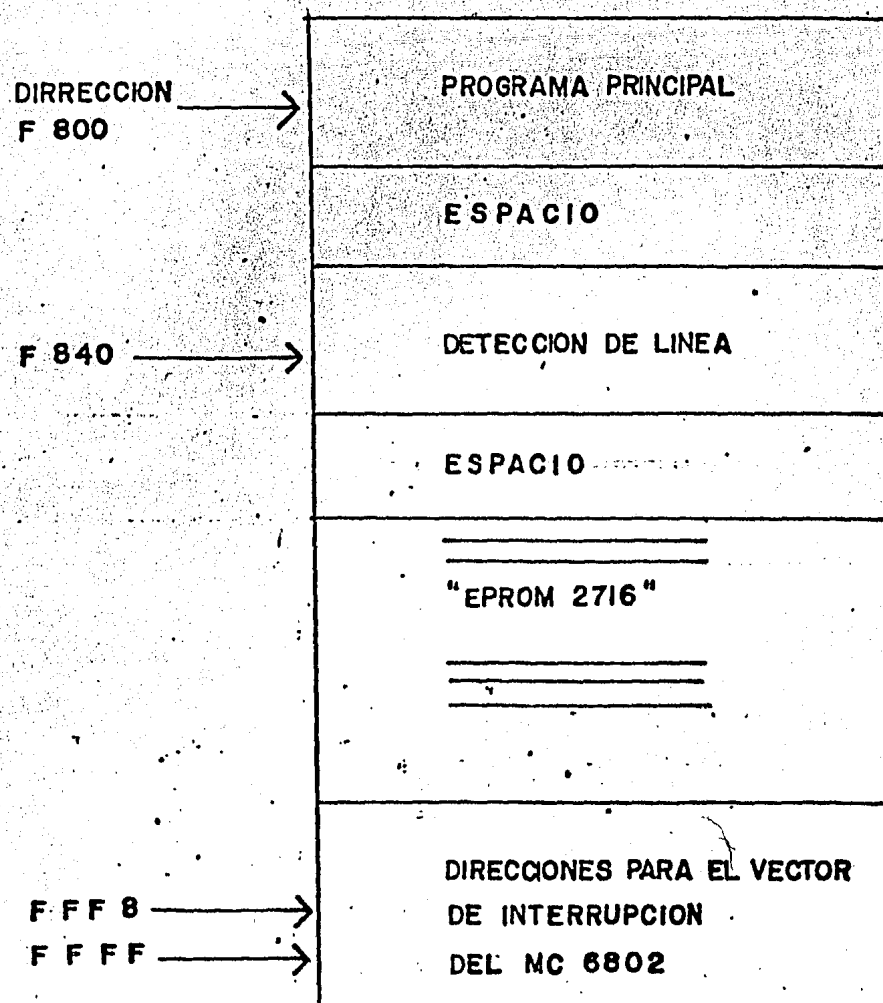


FIGURA IV..9_ DIRECCIONAMIENTO DE LA EPROM 2716 DE 2K BYTES

Enseguida mostraremos el direccionamiento del — programa principal y todas las subrutinas, así como de las etiquetas y del vector de interrupción del microprocesador MC6802.

DIRECCIONES DEL PROGRAMA PRINCIPAL
Y SUBRUTINAS.

- 1).- F 800 PROGRAMA ASOCIADO AL "RESTART" PROGRAMA PRINCIPAL
- 2).- F 810 PROGRAMA "IRQ"
- 3).- F 840 PROGRAMA DETECCION DE LINEA "DET LIN"
- 4).- F 890 PROGRAMA PARA LEER UN DIGITO MARCADO EN -:
"LEC DIG"
- 5).- F 940 PROGRAMA "ESPERA DE 18 MSEG"
- 6).- F 950 PROGRAMA "ESPERA DE 20 MSEG"
- 7).- F 960 PROGRAMA "ESPERA DE 22 MSEG"
- 8).- F 970 PROGRAMA "ESPERA DE 0.5 SEG"
- 9).- F 980 PROGRAMA LECTURA DEL DIGITO "9". "LEC DIG 9"
- 10).- F A00 PROGRAMA LECTURA DEL DIGITO "1"
- 11).- F A20 PROGRAMA DE LECTURA DEL PRIMER DIGITO LADA "PDIGLAD"
- 12).- F A40 PROGRAMA DE LECTURA DEL SEGUNDO DIGITO LADA —
"5 DIG LAD"
- 13).- F A60 PROGRAMA DEL TERCER DIGITO LADA "T DIG LADA"
- 14).- F B00 PROGRAMA DE LA BUSQUEDA DE LA CLAVE LADA EN
MEMORIA "EQD CVE MEM"
- 15).- F B30 PROGRAMA INCREMENTAR 4 VECES EL REGISTRO INDICADO
- 16).- F B40 PROGRAMA PARA CALCULAR EL TIEMPO AUTORIZADO —
"CALC CRT"
- 17).- F C60 PROGRAMA DESPLIEGUE DEL CONTENIDO CRT "DESCRT"
- 18).- F C00 PROGRAMA FIN DE LA COMUNICACION "FIN"
- 19).- F C30 PROGRAMA ASOCIADO AL LLEGAR LA INTERRUPCION NMI
- 20).- F D00 TABLA DE CLAVES "LADA" Y FACTORES ASOCIADOS

ASIGNACION DE DIRECCIONES PARA LAS
ETIQUETAS

DIRECCIONES PARA LAS ETIQUETAS.

BAND —————→ E050
 PIIA —————→ E04F
 CTRM —————→ E051
 CLAVE 1 —————→ E052
 CLAVE 2 —————→ E053
 CLAVE 3 —————→ E054
 FAC —————→ E055
 DIG —————→ E056
 NIN —————→ E057
 SEG —————→ E058
 CTRT —————→ E059

DIRECCIONES PARA VECTOR DE INTERRUPCION.

CODIGO (MC6802)

FFF 8	XX
FFF 9	XX
FFF A	F8
FFF B	20
FFF C	F8
FFF D	0A
FFF E	F8
FFFF	00

La programación estructurada permitió el logro de un conjunto de programas con todas las ventajas de modularidad, claridad y en buen grado confiabilidad, mencionadas anteriormente.

El lector puede consultar el apéndice D donde se encuentra el listado de los programas y corroborar el direccionamiento antes mencionado, y además con ayuda del Apéndice A y B puede verificar la codificación del lenguaje de máquina del microprocesador MC 6802.

CAPITULO V

V.1.- POSIBLES MEJORAS AL SISTEMA.

Parece razonable, y así lo corrobora la experiencia, que el paso previo a la realización de un sistema basado en microprocesador será la evaluación de necesidades. Ya sea una nueva realización o la modificación de un diseño — existente, ésta se caracterizará por una serie de prestaciones y características de tipo global. El estudio de la velocidad necesaria, el tiempo de respuesta a un cambio externo, la cantidad de datos a manejar, la posterior requisición de unas prestaciones más extensas, el número de funciones que se deben de conformar etc., nos dan suficiente información — en la decisión de utilizar lógica cableada, o microprocesador de 4, 8 a 16 Bits.

La solución de utilizar componentes digitales de baja o media escala de integración puede ser la óptima en los casos en que la complejidad del sistema sea baja o bien que ningún microprocesador posea la velocidad requerida.

En general una solución a base de microprocesador será interesante en los casos siguientes:

- El sistema debe de realizar un gran número de funciones distintas.
- Gran número de entradas y salidas. Probablemente cada una de ellas debe ser tratada de forma completamente diferente.
- Se debe almacenar en memoria gran número de datos o estados.

- Se toman decisiones en función de la "Historia del Sistema".
- Las operaciones lógicas o aritméticas son numerosas.
- La necesidad de modificación del programa o de sus características operativas externamente -- por Software.
- El sistema debe ser flexible de forma que pueda adaptarse a distintos equipos.
- El ciclo de desarrollo-lanzamiento comercial - del producto debe ser corto para así poder acceder a un mercado potencial.

Normalmente es el costo del equipo más los gastos de desarrollo lo que marca fundamentalmente la rentabilidad de un proyecto. La tendencia actual es la de baja de precios en los componentes mientras que tiende a aumentar el costo de la Hora-Hombre.

Esta tendencia parece favorecer la implantación de diseño a base de microprocesadores.

Se prevé que el 60% de las aplicaciones futuras del microprocesador sea el reemplazo de diseños actuales - realizados con lógica cableada.

No obstante lo anterior, debemos evaluar muy cuidadosamente el costo de diseño y producción de cada una de las opciones apuntadas.

Si nuestro proyecto es la elección de uno de estos microprocesadores con el fin de desarrollar una aplica

ción con él, parece lógico tratar de obtener de cada uno de los distintos microprocesadores la más extensa información posible. Una buena documentación disminuirá el riesgo de tener que decidir algún día "si lo hubiese sabido antes".

La información debe extenderse a los siguientes -- puntos considerados como decisivos en la elección de un microprocesador:

- a).- Componentes disponibles con características fundamentales de cada uno de ellos.
- b).- Programas de apoyo al desarrollo del software disponible e información de los ordenadores -- que pueden utilizar estos programas.
- c).- Precios actuales, segundas fuentes y tendencia en función de las cantidades y fecha de -- nuestra posible producción.
- d).- Nuevos productos en desarrollo.
- e).- Equipos en soporte.

En la forma en que se realizó la descripción del -- diseño del dispositivo de cobro automático, fué la de un -- sistema básico, el cual conforme se fué avanzando se fueron satisfaciendo las características y necesidades enunciadas -- en el capítulo I. A partir de ésto podemos encontrar las po -- sibles mejoras.

- a).- Ampliar las llamadas LADA a nivel internacio -- nal.
- b).- Modificar el factor de cobro con que se en -- cuentra afectada la clave LADA.
- c).- Que sea variable el factor de cobro, de acuer -- do a la hora en que se realice la comunica -- ción.

d).- Optimizar el número de elementos que integran el dispositivo para minimizar el costo de fabricación.

e).- Modificar el aparato telefónico electromecánico, a digital.

Conforme vayan surgiendo más necesidades a satisfacer se irán encontrando alternativas para mejorar al dispositivo.

Para ésto el diseñador deberá analizar las ventajas y desventajas que se obtengan, sin evadir las restricciones que imponga la central telefónica.

Sin duda alguna se pueden efectuar modificaciones al diseño del dispositivo, ya que es claro que existen más soluciones para este problema; o bien para algunos puntos en particular. En este reporte se hizo el análisis de reconocer el número de pulsos para conocer el fígito marcado - en el disco dactilar, y a partir del cual ser procesado para tomar la decisión de permitir la intercomunicación o interrumpirla.

V.1.2.- COMENTARIOS Y CONCLUSIONES.

Indudablemente el desarrollo del sistema básico - transforma a este dispositivo en un aparato deseable para las compañías telefónicas y compañías particulares.

Las primeras podrían evitar las casetas telefónicas y las segundas obtener un beneficio económico por el hecho de contar con este sistema.

En este diseño sólo se tomaron 10 claves LADA NACIONAL al azar con el fin de experimentar este proyecto.

El factor de cobro con que se les afectó fué arbitrario se simuló el tragamonedas electromecánico por medio de un interruptor, que a su vez se interconectó a un circuito tipo Flip-Flop.

A P E N D I C E A

CARACTERISTICAS DEL

MICROPROCESADOR

MC6802



Advance Information

MICROPROCESSOR WITH CLOCK AND RAM

The MC6802 is a monolithic 8-bit microprocessor that contains all the registers and accumulators of the present MC6800 plus an internal clock oscillator and driver on the same chip. In addition, the MC6802 has 128 bytes of RAM on board located at hex addresses 0000 to 007F. The first 32 bytes of RAM, at hex addresses 0000 to 001F, may be retained in a low power mode by utilizing V_{CC} standby, thus facilitating memory retention during a power-down situation.

The MC6802 is completely software compatible with the MC6800 as well as the entire M6800 family of parts. Hence, the MC6802 is expandable to 65K words.

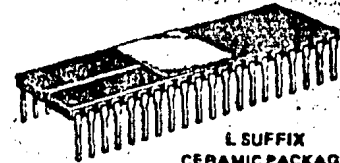
- On-Chip Clock Circuit
- 128 x 8 Bit On-Chip RAM
- 32 Bytes of RAM Are Retainable
- Software-Compatible with the MC6800
- Expandable to 65K words
- Standard TTL-Compatible Inputs and Outputs
- 8 Bit Word Size
- 16 Bit Memory Addressing
- Interrupt Capability

MC6802

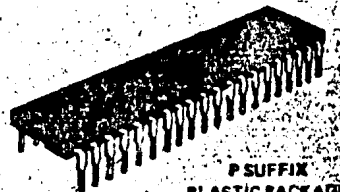
MOS

(N-CHANNEL, SILICON-GATE,
DEPLETION LOAD)

MICROPROCESSOR WITH CLOCK AND RAM



L SUFFIX
CERAMIC PACKAGE
CASE 718



P SUFFIX
PLASTIC PACKAGE
CASE 711-03

FIGURE 1 - TYPICAL MICROCOMPUTER

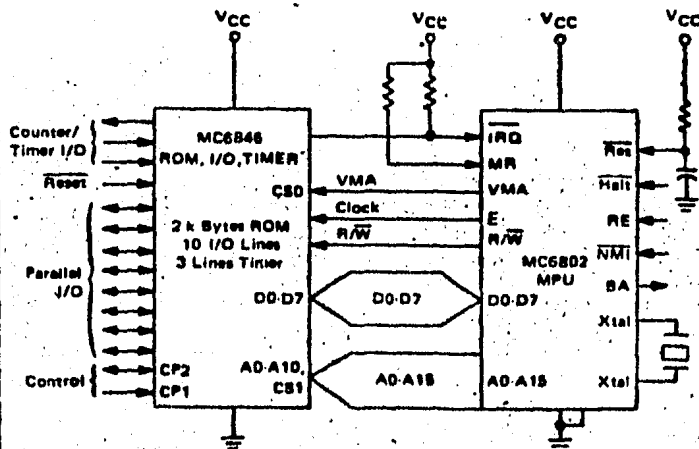


Figure 1 is a block diagram of a typical cost effective microcomputer. The MPU is the center of the microcomputer system and is shown in a minimum system interfacing with a ROM combination chip. It is not intended that this system be limited to this function but that it be expandable with other parts in the M6800 Microcomputer family.

PIN ASSIGNMENT

1	V _{SS}	Reset	40
2	Halt	EXtal	39
3	MR	Xtal	38
4	IRQ	EO	37
5	VMA	RE	36
6	NMI	V _{CC} Standby	35
7	BA	R/W	34
8	V _{CC}	D0	33
9	A9	D1	32
10	A1	O2	31
11	A2	D3	30
12	A3	O4	29
13	A4	O5	28
14	A5	O6	27
15	A6	D7	26
16	A7	A19	25
17	A8	A18	24
18	A9	A17	23
19	A10	A16	22
20	A11	V _{SS}	21

MC6802

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V _{CC}	-0.3 to +7.0	Vdc
Input Voltage	V _{in}	-0.3 to +7.0	Vdc
Operating Temperature Range	T _A	0 to +70	°C
Storage Temperature Range	T _{stg}	-55 to +150	°C
Thermal Resistance	θ _{JA}	70	°C/W

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit.

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0V ± 5%, V_{SS} = 0, T_A = 0 to 70°C unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Input High Voltage Logic, EXtal Reset	V _{IH}	V _{SS} + 2.0 V _{SS} + 4.0	-	V _{CC} V _{CC}	Vdc
Input Low Voltage Logic, EXtal Reset	V _{IL}	V _{SS} - 0.3 V _{SS} - 0.3	-	V _{SS} + 0.8 V _{SS} + 2.3	Vdc
Input Leakage Current (V _{in} = 0 to 5.25 V, V _{CC} = max)	I _{in}	-	1.0	2.5	μAdc
Output High Voltage (I _{Load} = -205 μAdc, V _{CC} = min) (I _{Load} = -145 μAdc, V _{CC} = min) (I _{Load} = -100 μAdc, V _{CC} = min)	V _{OH}	V _{SS} + 2.4 V _{SS} + 2.4 V _{SS} + 2.4	-	-	Vdc
Output Low Voltage (I _{Load} = 1.6 mA, V _{CC} = min)	V _{OL}	-	-	V _{SS} + 0.4	Vdc
Power Dissipation	P _D **	-	0.600	1.2	W
Capacitance # (V _{in} = 0, T _A = 25°C, f = 1.0 MHz)	C _{in}	-	10 6.5	12.5 10	pF
	C _{out}	-	-	12	pF
Frequency of Operation (Input Clock +4) (Crystal Frequency)	f f _{Xtal}	0.1 1.0	-	1.0 4.0	MHz
Clock Timing					
Cycle Time	t _{cyt}	1.0	-	10	μs
Clock Pulse Width (Measured at 2.4 V)	PW _{CH} PW _{CL}	450	-	9500	ns
Fall Time (Measured between V _{SS} + 0.4 V and V _{SS} + 2.4 V)	t _p	-	-	25	ns

*Except \overline{RD} and \overline{NM} , which require 3 kΩ pullup load resistors for wire-OR capability at optimum operation. Does not include EXtal and Xtal, which are crystal inputs.

**In power-down mode, maximum power dissipation is less than 40 mW.

#Capacitances are periodically sampled rather than 100% tested.

READ/WRITE TIMING (Figures 2 through 6; Load Circuit of Figure 4.)

Characteristic	Symbol	Min	Typ	Max	Unit
Address Delay	t _{AD}	-	-	270	ns
Peripheral Read Access Time t _{acc} = t _{AD} + t _{DSR} (t _{ut} = t _{cyt} - t _p)	t _{acc}	-	-	830	ns
Data Setup Time (Read)	t _{DSR}	100	-	-	ns
Input Data Hold Time	t _H	10	-	-	ns
Output Data Hold Time	t _L	30	-	-	ns
Address Hold Time (Address, R/W, VMA)	t _{AH}	20	-	-	ns
Bus Delay Time (Write)	t _{DDW}	-	165	225	ns
Processor Controls					
Processor Control Setup Time	t _{PCS}	200	-	-	ns
Processor Control Rise and Fall Time (Measured between 0.8 V and 2.0 V)	t _{PCr} , t _{PCf}	-	-	100	ns

MC6802

FIGURE 2 - READ DATA FROM MEMORY OR PERIPHERALS

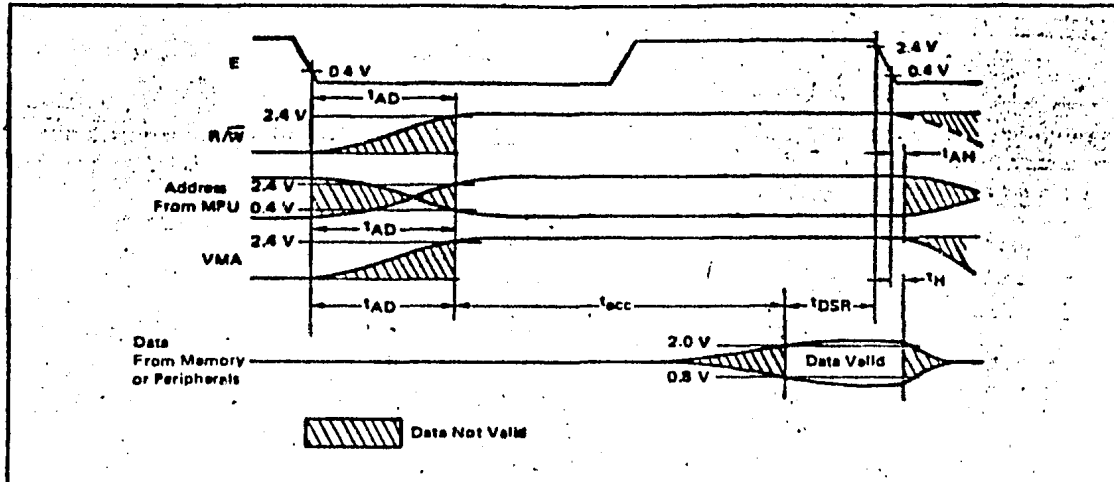


FIGURE 3 - WRITE DATA IN MEMORY OR PERIPHERALS

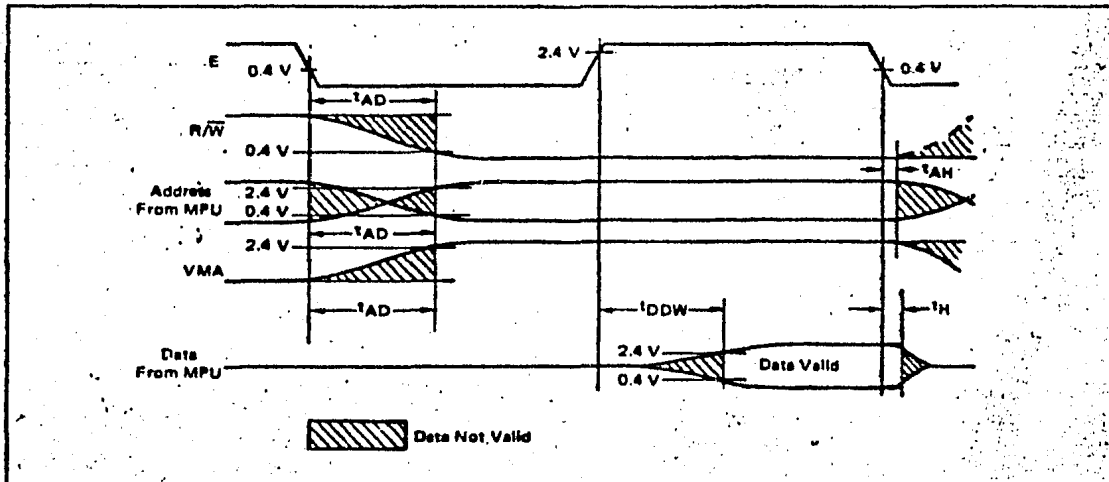
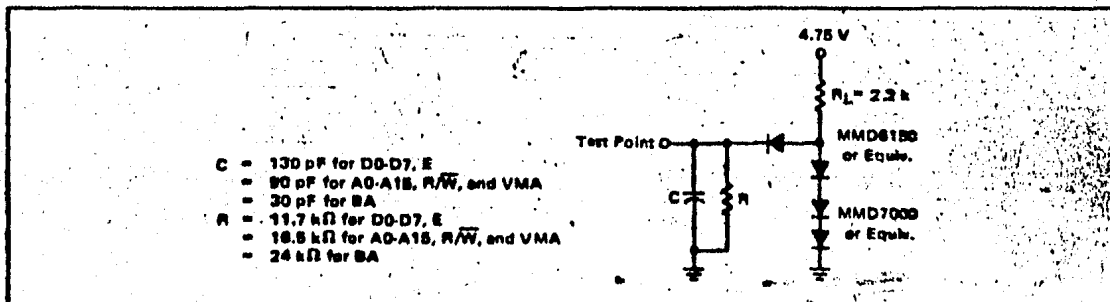


FIGURE 4 - BUS TIMING TEST LOAD



MC6802

FIGURE 5 - TYPICAL DATA BUS OUTPUT DELAY versus CAPACITIVE LOADING

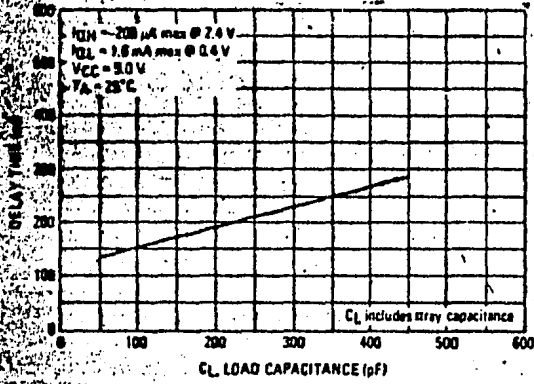


FIGURE 6 - TYPICAL READWRITE, VMA, AND ADDRESS OUTPUT DELAY versus CAPACITIVE LOADING

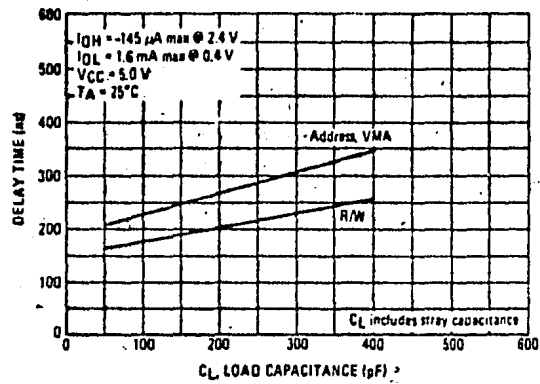
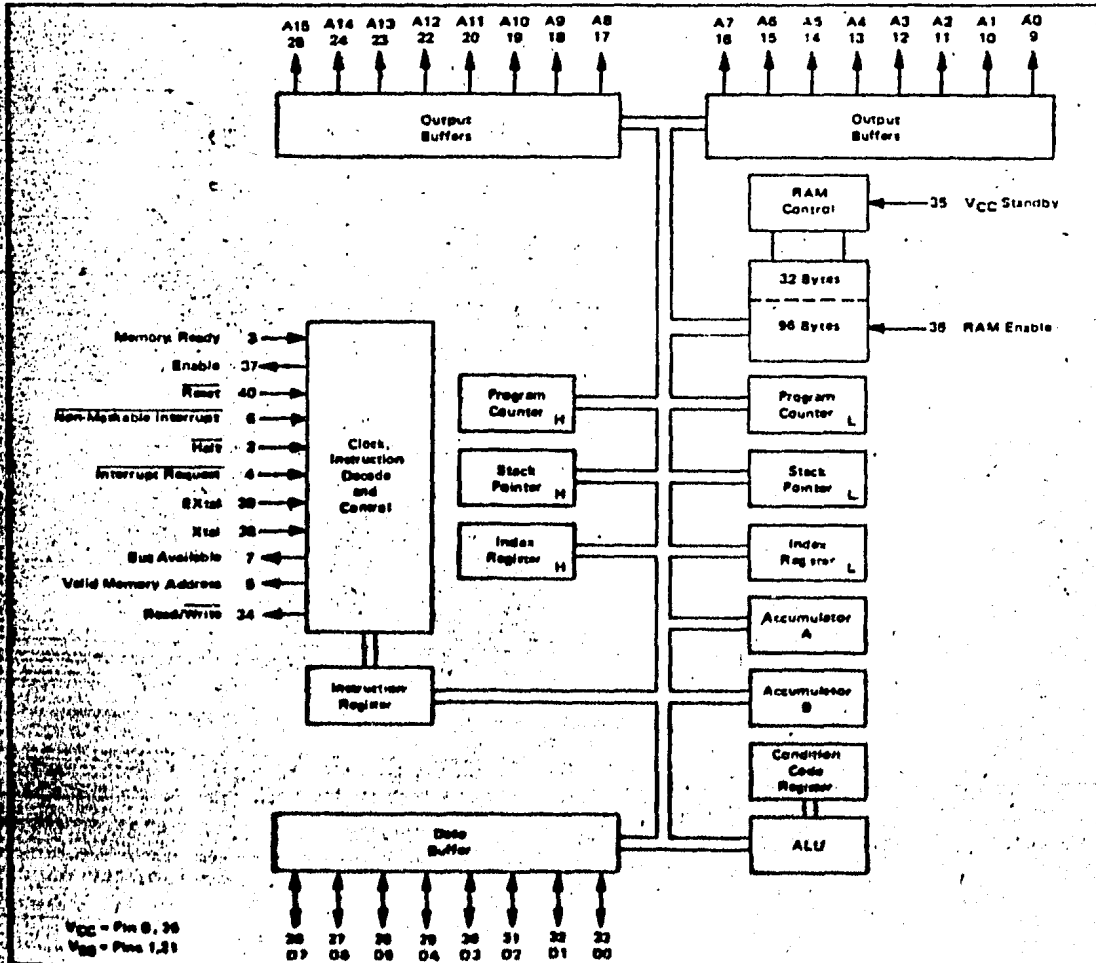


FIGURE 7 - MC6802 EXPANDED BLOCK DIAGRAM



MC6802

MPU REGISTERS

A general block diagram of the MC6802 is shown in Figure 7. As shown, the number and configuration of the registers are the same as for the MC6800. The 128 x 8 bit RAM has been added to the basic MPU. The first 32 bytes may be operated in a low power mode via a V_{CC} standby. These 32 bytes can be retained during power-up and power-down conditions via the RE signal.

The MPU has three 16-bit registers and three 8-bit registers available for use by the programmer (Figure 8).

Program Counter — The program counter is a two byte (16-bits) register that points to the current program address.

Stack Pointer — The stack pointer is a two byte register that contains the address of the next available location in an external push-down/pop-up stack. This stack is normally a random access Read/Write memory that may have any location (address) that is convenient. In those applications that require storage of information in the stack

when power is lost, the stack must be non-volatile.

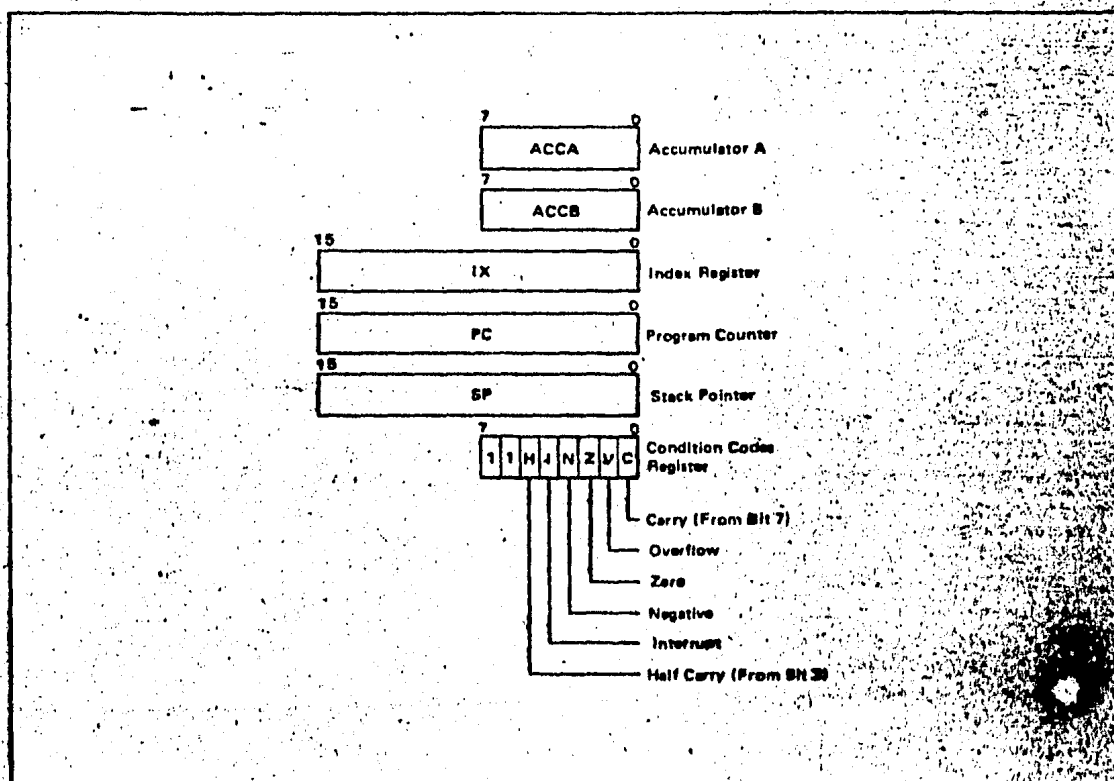
Index Register — The index register is a two byte register that is used to store data or a sixteen bit memory address for the Indexed mode of memory addressing.

Accumulators — The MPU contains two 8-bit accumulators that are used to hold operands and results from an arithmetic logic unit (ALU).

Condition Code Register — The condition code register indicates the results of an Arithmetic Logic Unit operation: Negative (N), Zero (Z), Overflow (V), Carry from bit 7 (C), and half carry from bit 3 (H). These bits of the Condition Code Register are used as testable conditions for the conditional branch instructions. Bit 4 is the Interrupt mask bit (I). The used bits of the Condition Code Register (b6 and b7) are ones.

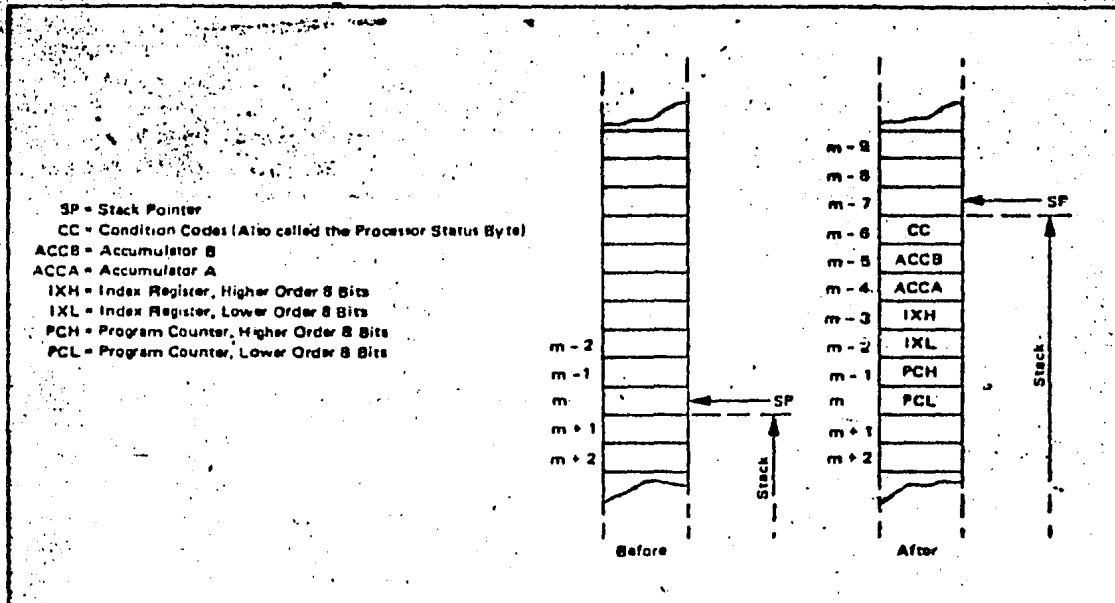
Figure 9 shows the order of saving the microprocessor status within the stack.

FIGURE 8 — PROGRAMMING MODEL OF THE MICROPROCESSING UNIT



MC6802

FIGURE 9 — SAVING THE STATUS OF THE MICROPROCESSOR IN THE STACK



MC6802 MPU SIGNAL DESCRIPTION

Proper operation of the MPU requires that certain control and timing signals be provided to accomplish specific functions and that other signal lines be monitored to determine the state of the processor. These control and timing signals for the MC6802 are similar to those of the MC6800 except that TSC, DBE, $\phi 1$, $\phi 2$ input, and two unused pins have been eliminated, and the following signal and timing lines have been added:

- RAM Enable (RE)
- Crystal Connections Extal and Xtal
- Memory Ready (MR)
- VCC Standby
- Enable $\phi 2$ Output (E)

The following is a summary of the MC6802 MPU signals:

Address Bus (A0-A15) — Sixteen pins are used for the address bus. The outputs are capable of driving one standard TTL load and 90 pF.

Data Bus (D0-D7) — Eight pins are used for the data bus. It is bidirectional, transferring data to and from the memory and peripheral devices. It also has three-state output buffers capable of driving one standard TTL load and 130 pF.

Data Bus will be in the output mode when the internal RAM is accessed. This prohibits external data entering the MPU. It should be noted that the internal RAM is fully decoded from \$0000 to \$007F. External RAM at \$0000 to \$007F must be disabled when internal RAM is accessed.

Halt — When this input is in the low state, all activity in the machine will be halted. This input is level sensitive. In the halt mode, the machine will stop at the end of an instruction, Bus Available will be at a high state, Valid Memory Address will be at a low state. The address bus will display the address of the next instruction.

To insure single instruction operation, transition of the Halt line must not occur during the last 200 ns of E and the Halt line must go high for one Clock cycle.

Halt should be tied high if not used. This is good engineering design practice in general and necessary to insure proper operation of the part.

Read/Write (R/W) — This TTL compatible output signals the peripherals and memory devices whether the MPU is in a Read (high) or Write (low) state. The normal standby state of this signal is Read (high). When the processor is halted, it will be in the logical one state. This output is capable of driving one standard TTL load and 90 pF.

Valid Memory Address (VMA) — This output indicates to peripheral devices that there is a valid address on the address bus. In normal operation, this signal should be utilized for enabling peripheral interfaces such as the PIA and ACIA. This signal is not three-state. One standard TTL load and 90 pF may be directly driven by this active high signal.

MC6802

Bus Available (BA) — The Bus Available signal will normally be in the low state; when activated, it will go to the high state indicating that the microprocessor has stopped and that the address bus is available (but not in a three-state condition). This will occur if the $\overline{\text{Halt}}$ line is in the low state or the processor is in the WAIT state as a result of the execution of a WAIT instruction. At such time, all three-state output drivers will go to their off state and other outputs to their normally inactive level. The processor is removed from the WAIT state by the occurrence of a maskable (mask bit I = 0) or nonmaskable interrupt. This output is capable of driving one standard TTL load and 30 pF.

Interrupt Request ($\overline{\text{IRQ}}$) — This level sensitive input requests that an interrupt sequence be generated within the machine. The processor will wait until it completes the current instruction that is being executed before it recognizes the request. At that time, if the interrupt mask bit in the Condition Code Register is not set, the machine will begin an interrupt sequence. The Index Register, Program Counter, Accumulators, and Condition Code Register are stored away on the stack. Next the MPU will respond to the interrupt request by setting the interrupt mask bit high so that no further interrupts may occur. At the end of the cycle, a 16-bit address will

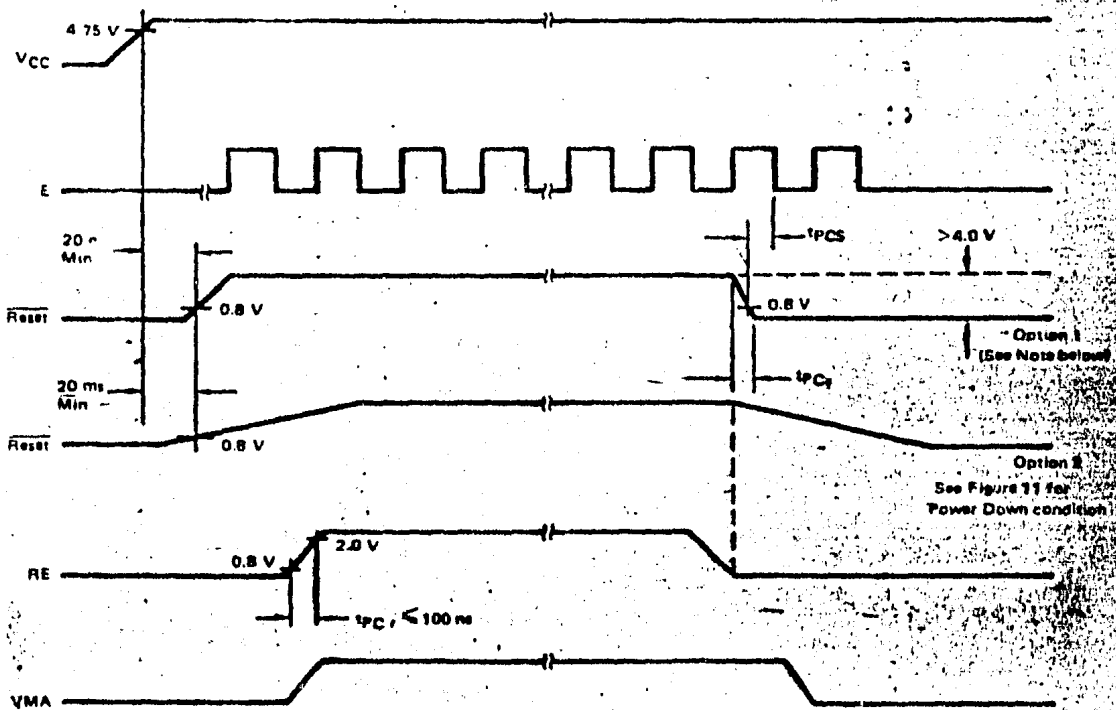
be loaded that points to a vectored address which is located in memory locations FFF8 and FFF9. An address loaded at these locations causes the MPU to branch to an interrupt routine in memory.

The $\overline{\text{Halt}}$ line must be in the high state for interrupts to be serviced. Interrupts will be latched internally while $\overline{\text{Halt}}$ is low.

The $\overline{\text{IRQ}}$ has a high impedance pullup device internal to the chip; however, a 3 k Ω external resistor to VCC should be used for wire-OR and optimum control of interrupts.

Reset — This input is used to reset and start the MPU from a power-down condition, resulting from a power failure or an initial start-up of the processor. When this line is low, the MPU is inactive and the information in the registers will be lost. If a high level is detected on the input, this will signal the MPU to begin the restart sequence. This will start execution of a routine to initialize the processor from its reset condition. All the higher order address lines will be forced high. For the restart, the last two (FFFE, FFFF) locations in memory will be used to load the program that is addressed by the program counter. During the restart routine, the interrupt mask bit is set and must be reset before the MPU can be interrupted by $\overline{\text{IRQ}}$. Power-up and reset timing and power-down sequences are shown in Figures 10 and 11, respectively.

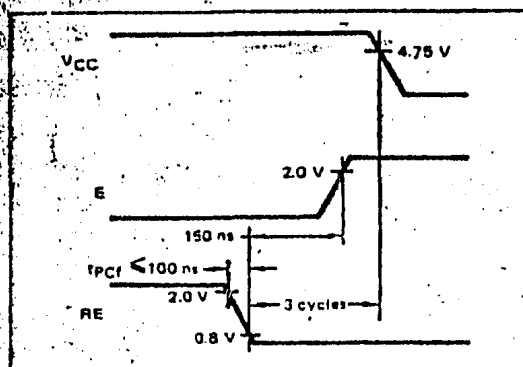
FIGURE 10 — POWER-UP AND RESET TIMING



NOTE: If option 1 is chosen, $\overline{\text{Reset}}$ and RE pins can be tied together.

MC6802

FIGURE 11 - POWER-DOWN SEQUENCE



Reset, when brought low, must be held low at least three clock cycles. This allows the MC6802 adequate time to respond internally to the reset. This is independent of the 20 ms power-up reset that is required.

When Reset is released it **MUST** go through the low-to-high threshold without bouncing, oscillating, or otherwise causing an erroneous Reset (less than three clock cycles). This may cause improper MPU operation until the next valid Reset.

Non-Maskable Interrupt (NMI) - A low-going edge on this input requests that a non-mask-interrupt sequence be generated within the processor. As with the Interrupt Request signal, the processor will complete the current instruction that is being executed before it recognizes the NMI signal. The interrupt mask bit in the Condition Code Register has no effect on NMI.

The Index Register, Program Counter, Accumulators, and Condition Code Register are stored away on the stack. At the end of the cycle, a 16-bit address will be loaded that points to a vectoring address which is located in memory locations FFFC and FFFD. An address loaded at these locations caused the MPU to branch to a non-maskable interrupt routine in memory.

NMI has a high impedance pullup resistor internal to the chip; however, a 3 k Ω external resistor to VCC should be used for wire-OR and optimum control of interrupts.

Inputs TRQ and NMI are hardware interrupt lines that are sampled when E is high and will start the interrupt routine on a low E following the completion of an instruction.

NMI should be tied high if not used. This is good engineering design practice in general and necessary to insure proper operation of the part.

Figure 12 is a flowchart describing the major decision paths and interrupt vectors of the microprocessor. Table 1 gives the memory map for interrupt vectors.

RAM Enable (RE) - A TTL-compatible RAM enable input controls the on-chip RAM of the MC6802. When placed in the high state, the on-chip memory is enabled to respond to the MPU controls. In the low state, RAM is disabled. This pin may also be utilized to disable reading and writing the on-chip RAM during a power-down situation. RAM enable must be low three cycles before VCC goes below 4.75 V during power-down.

RE should be tied to the correct high or low state if not used. This is good engineering design practice in general and necessary to insure proper operation of the part.

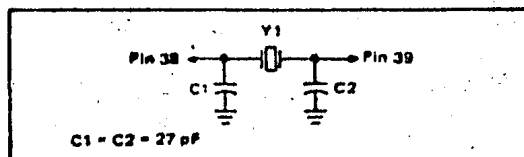
EXtal and Xtal - The MC6802 has an internal oscillator that may be crystal controlled. These connections are for a parallel resonant fundamental crystal. (AT cut.) A divide-by-four circuit has been added to the MC6802 so that a 4 MHz crystal may be used in lieu of a 1 MHz crystal for a more cost-effective system. Pin 39 of the MC6802 may be driven externally by a TTL input signal if a separate clock is required. Pin 38 is to be left open in this mode.

An RC network is not directly usable as a frequency source on pins 38 and 39. An RC network type TTL or CMOS oscillator will work well as long as the TTL or CMOS output drives the MC6802.

LC networks are not recommended to be used in place of the crystal. Simulating the crystal characteristics with discrete components has not been investigated. It would probably be more expensive than the crystal alone after all costs are considered. Performance would also be worse.

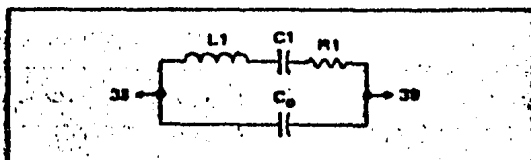
If an external clock is used, it may not be halted for more than 4.5 μ s. The MC6802 is a dynamic part except for the internal RAM, and requires the external clock to retain information.

Crystal Specification - The 4.0 MHz specification case is shown below:



MC6802

The following is the figure and parameters to be supplied to the crystal vendor.



AT - Cut Parallel Resonance Crystal
 $C_0 = 7.0$ pF Max
 Frequency = 4.0 MHz @ $C_L = 24$ pF
 $R1 = 50$ ohms Max
 Frequency Tolerance - $\pm 5\%$ to $\pm 0.02\%$

TOLERANCE NOTE:

Critical timing loops may require a better tolerance than $\pm 5\%$. Because of production deviations and the Temperature Coefficient of the MC6802, the best "worst-case design" tolerance is $\pm 0.05\%$ (500 ppm) using a $\pm 0.02\%$ crystal. If the MC6802 is not going to be used over its entire temperature range of 0°C to 70°C, a much tighter overall tolerance can be achieved.

In those applications where other than a 4.0 MHz crystal is used, the following table gives the designer the crystal parameters to be specified. The table contains the entire spectrum of usable crystals for the MC6802. Crystal frequencies not shown (that lie between 1.0 MHz and 4.0 MHz) may be interpolated from the table.

V1 Crystal Frequency	C1 and C2	C Load	R1 (Max)	C_0 (Max)
4.0 MHz	27 pF	24 pF	50 ohms	7.0 pF
3.58 MHz	27 pF	20 pF	50 ohms	7.0 pF
3.0 MHz	27 pF	18 pF	75 ohms	6.7 pF
2.5 MHz	27 pF	18 pF	75 ohms	6.0 pF
2.0 MHz	33 pF	24 pF	100 ohms	5.5 pF
1.5 MHz	39 pF	27 pF	200 ohms	4.5 pF
1.0 MHz	39 pF	30 pF	250 ohms	4.0 pF

Memory Ready (MR) - MR is a TTL compatible input control signal which allows stretching of E. When MR is high, E will be in normal operation. When MR is low, E may be stretched integral multiples of half period, thus allowing interface to slow memories. Memory Ready timing is shown in Figure 13.

MR should be tied high if not used. This is good engineering design practice in general and necessary to insure proper operation of the part. A maximum stretch is 10 μ s.

Enable (E) - This pin supplies the clock for the MPU and the rest of the system. This is a single phase, TTL compatible clock. This clock may be conditioned by a Memory Ready Signal. This is equivalent to $\phi 2$ on the MC6800.

VCC Standby (Range = 4.0 V to 5.25 V) - This pin supplies the dc voltage to the first 32 bytes of RAM as well as the RAM Enable (RE) control logic. Thus retention of data in this portion of the RAM on a power up, power-down, or standby condition is guaranteed. Maximum current drain at 5.25 V is 8 mA.

TABLE 1 - MEMORY MAP FOR INTERRUPT VECTORS

Vector		Description
MS	LS	
FFFE	FFFF	Restart
FFFC	FFFD	Non-Maskable Interrupt
FFFA	FFFB	Software Interrupt
FFF8	FFF9	Interrupt Request

MC6802

FIGURE 12 - MPU FLOW CHART

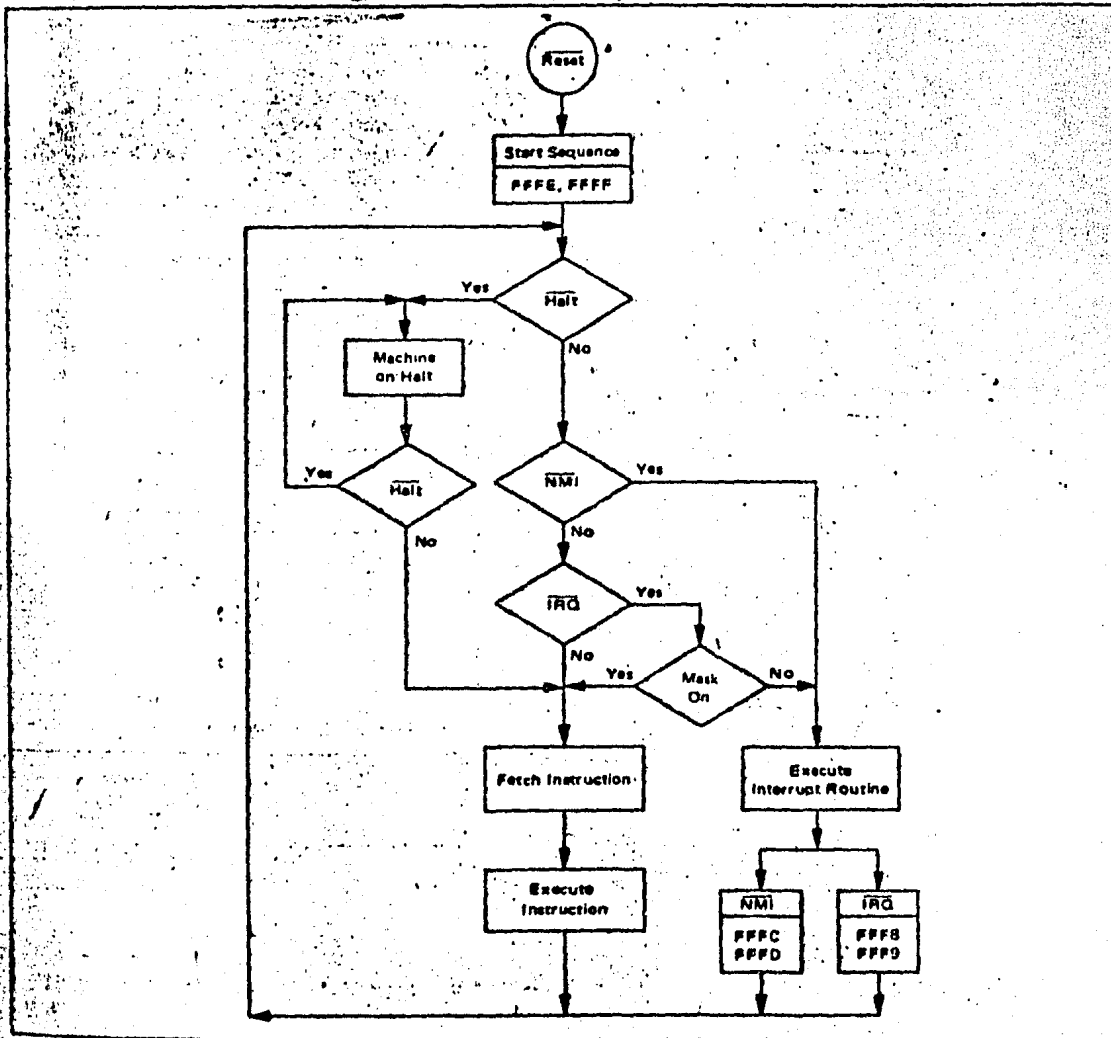
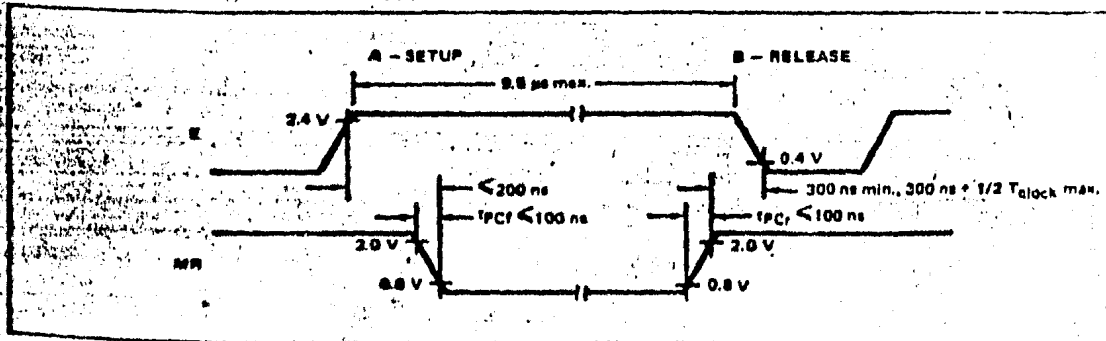


FIGURE 13 - MEMORY READY CONTROL FUNCTION



A P E N D I C E B

LENGUAJE DEL
MICROPROCESADOR

MC6802

MC6802

MPU INSTRUCTION SET

The MC6802 has a set of 72 different instructions. Included are binary and decimal arithmetic, logical, shift, rotate, load, store, conditional or unconditional branch, interrupt and stack manipulation instructions (Tables 2 thru 6). This instruction set is the same as that for the MC6800.

MPU ADDRESSING MODES

The MC6802 eight-bit microprocessing unit has seven address modes that can be used by a programmer, with the addressing mode a function of both the type of instruction and the coding within the instruction. A summary of the addressing modes for a particular instruction can be found in Table 7 along with the associated instruction execution time that is given in machine cycles. With a clock frequency of 1 MHz, these times would be microseconds.

Accumulator (ACCX) Addressing — In accumulator only addressing, either accumulator A or accumulator B is specified. These are one-byte instructions.

Immediate Addressing — In immediate addressing, the operand is contained in the second byte of the instruction except LDS and LDX which have the operand in the second and third bytes of the instruction. The MPU addresses this location when it fetches the immediate instruction for execution. These are two or three-byte instructions.

Direct Addressing — In direct addressing, the address of the operand is contained in the second byte of the instruction. Direct addressing allows the user to directly address the lowest 256 bytes in the machine i.e., locations zero through 255. Enhanced execution times are achieved by storing data in these locations. In most configurations, it should be a random access memory. These are two-byte instructions.

Extended Addressing — In extended addressing, the address contained in the second byte of the instruction is used as the higher eight-bits of the address of the operand. The third byte of the instruction is used as the lower eight-bits of the address for the operand. This is an absolute address in memory. These are three-byte instructions.

Indexed Addressing — In indexed addressing, the address contained in the second byte of the instruction is added to the index register's lowest eight bits in the MPU. The carry is then added to the higher order eight bits of the index register. This result is then used to address memory. The modified address is held in a temporary address register so there is no change to the index register. These are two-byte instructions.

Implied Addressing — In the implied addressing mode the instruction gives the address (i.e., stack pointer, index register, etc.). These are one-byte instructions.

Relative Addressing — In relative addressing, the address contained in the second byte of the instruction is added to the program counter's lowest eight bits plus two. The carry or borrow is then added to the high eight bits. This allows the user to address data within a range of -125 to +129 bytes of the present instruction. These are two-byte instructions.

TABLE 2 — MICROPROCESSOR INSTRUCTION SET — ALPHABETIC SEQUENCE

ABA	Add Accumulators	CLR	Clear	PUL	Pull Data
ADC	Add with Carry	CLV	Clear Overflow	ROL	Rotate Left
ADD	Add	CMP	Compare	ROR	Rotate Right
AND	Logical And	COM	Complement	RTI	Return from Interrupt
ASL	Arithmetic Shift Left	CPX	Compare Index Register	RTS	Return from Subroutine
ASR	Arithmetic Shift Right	DAA	Decimal Adjust	SBA	Subtract Accumulators
BCC	Branch if Carry Clear	DEC	Decrement	SBC	Subtract with Carry
BCS	Branch if Carry Set	DES	Decrement Stack Pointer	SEC	Set Carry
BEQ	Branch if Equal to Zero	DEX	Decrement Index Register	SEI	Set Interrupt Mask
BGE	Branch if Greater or Equal Zero	EOR	Exclusive OR	SEV	Set Overflow
BGT	Branch if Greater than Zero	INC	Increment	STA	Store Accumulator
BHI	Branch if Higher	INS	Increment Stack Pointer	STS	Store Stack Register
BIT	Bit Test	INX	Increment Index Register	STX	Store Index Register
BLE	Branch if Less or Equal	JMP	Jump	SUB	Subtract
BLS	Branch if Lower or Same	JSR	Jump to Subroutine	SWI	Software Interrupt
BLT	Branch if Less than Zero	LDA	Load Accumulator	TAB	Transfer Accumulators
BM	Branch if Minus	LDS	Load Stack Pointer	TAP	Transfer Accumulators to Condition Code Reg.
BNE	Branch if Not Equal to Zero	LDX	Load Index Register	TBA	Transfer Accumulators
BPL	Branch if Plus	LSR	Logical Shift Right	TPA	Transfer Condition Code Reg. to Accumulators
BRA	Branch Always	NEG	Negate	TST	Test
BSR	Branch to Subroutine	NOP	No Operation	TSX	Transfer Stack Pointer to Index Register
BVC	Branch if Overflow Clear	ORA	Inclusive OR Accumulator	TXS	Transfer Index Register to Stack Pointer
BVS	Branch if Overflow Set	PSH	Push Data	WAI	Wait for Interrupt
CBA	Compare Accumulators				
CLC	Clear Carry				
CLI	Clear Interrupt Mask				

MC6802

TABLE 3 - ACCUMULATOR AND MEMORY INSTRUCTIONS

OPERATIONS	SYMBOLIC	ADDRESSING MODES					BOOLEAN/ARITHMETIC OPERATION (All register labels refer to contents)	COND. CODE REG.				
		IMMED	DIRECT	INDEX	EXTND	IMPLIED		N	Z	V	C	
		OP - #	OP - #	OP - #	OP - #	OP - #						
Add	ADDA	1A 1 2	1B 3 2	1C 5 2	1D 4 3		A ← M - A	1	0	1	1	1
Add	ADDB	1B 2 2	1B 3 2	1C 5 2	1D 4 3		B ← M - B	1	0	1	1	1
Add Accum	ADCA	1B 2 2	1B 3 2	1C 5 2	1D 4 3	1E 2 1	A ← M - A	1	0	1	1	1
Add with Carry	ADCB	1B 2 2	1B 3 2	1C 5 2	1D 4 3	1E 2 1	A ← M + C - A	1	0	1	1	1
And	ANDA	1B 2 2	1B 3 2	1C 5 2	1D 4 3		A ← M & A	1	0	1	1	1
And	ANDB	1B 2 2	1B 3 2	1C 5 2	1D 4 3		B ← M & B	1	0	1	1	1
Bit Test	BITA	1B 2 2	1B 3 2	1C 5 2	1D 4 3		A ← M	1	0	1	1	1
Bit Test	BITB	1B 2 2	1B 3 2	1C 5 2	1D 4 3		B ← M	1	0	1	1	1
Clear	CLR			1F 7 2	1F 6 3		00 ← M	1	0	1	1	1
Clear	CLRA					4F 2 1	00 ← A	1	0	1	1	1
Clear	CLRB					5F 2 1	00 ← B	1	0	1	1	1
Compare	CMPA	1B 1 2	1B 3 2	1C 5 2	1D 4 3		A ← M	1	0	1	1	1
Compare	CMPB	1B 2 2	1B 3 2	1C 5 2	1D 4 3		B ← M	1	0	1	1	1
Compare Accum	CMA			1C 7 2	1C 6 3		A ← M	1	0	1	1	1
Compare with Complement, 1's	COMA					43 2 1	A ← A	1	0	1	1	1
Compare with Complement, 2's	COMB					53 2 1	B ← B	1	0	1	1	1
Compare with Neg	NEGA			0B 7 2	1D 6 3		0B ← M - M	1	0	1	1	1
Compare with Neg	NEGB					40 2 1	00 ← A - A	1	0	1	1	1
Compare with Neg	NEGC					50 2 1	00 ← B - B	1	0	1	1	1
Decimal Adjust, A	DAA					19 2 1	Converts Binary Add of BCD Characters into BCD Format	1	0	1	1	1
Decrement	DEC			1A 7 2	1A 6 3		M ← M - 1	1	0	1	1	1
Decrement	DECA					4A 2 1	A ← A - 1	1	0	1	1	1
Decrement	DECB					5A 2 1	B ← B - 1	1	0	1	1	1
Exclusive OR	EXORA	1B 2 2	1B 3 2	1C 5 2	1D 4 3		A ← M ⊕ A	1	0	1	1	1
Exclusive OR	EXORB	1B 2 2	1B 3 2	1C 5 2	1D 4 3		B ← M ⊕ B	1	0	1	1	1
Increment	INC			1C 7 2	1C 6 3		M ← M + 1	1	0	1	1	1
Increment	INCA					4C 2 1	A ← A + 1	1	0	1	1	1
Increment	INCB					5C 2 1	B ← B + 1	1	0	1	1	1
Load Accum	LDA	1B 2 2	1B 3 2	1C 5 2	1D 4 3		M ← A	1	0	1	1	1
Load Accum	LDA	1B 2 2	1B 3 2	1C 5 2	1D 4 3		M ← B	1	0	1	1	1
Or Accum	ORA	1B 2 2	1B 3 2	1C 5 2	1D 4 3		A ← M A	1	0	1	1	1
Or Accum	ORB	1B 2 2	1B 3 2	1C 5 2	1D 4 3		B ← M B	1	0	1	1	1
Push Data	PSHA					16 4 1	A ← M; SP ← SP - 1	1	0	1	1	1
Push Data	PSHB					17 4 1	B ← M; SP ← SP - 1	1	0	1	1	1
Push Data	PULA					12 4 1	SP ← SP; M ← A	1	0	1	1	1
Push Data	PULB					13 4 1	SP ← SP; M ← B	1	0	1	1	1
Rotate Left	ROL			0B 7 2	1D 6 3		M ← M	1	0	1	1	1
Rotate Left	ROLA					4B 2 1	A ← M	1	0	1	1	1
Rotate Left	ROLB					5B 2 1	B ← M	1	0	1	1	1
Rotate Right	ROR			0B 7 2	1D 6 3		M ← M	1	0	1	1	1
Rotate Right	RORA					4B 2 1	A ← M	1	0	1	1	1
Rotate Right	RORB					5B 2 1	B ← M	1	0	1	1	1
Shift Left, Arithmetic	ASL			0B 7 2	1D 6 3		M ← M	1	0	1	1	1
Shift Left, Arithmetic	ASLA					4B 2 1	A ← M	1	0	1	1	1
Shift Left, Arithmetic	ASLB					5B 2 1	B ← M	1	0	1	1	1
Shift Right, Arithmetic	ASR			0B 7 2	1D 6 3		M ← M	1	0	1	1	1
Shift Right, Arithmetic	ASRA					4B 2 1	A ← M	1	0	1	1	1
Shift Right, Arithmetic	ASRB					5B 2 1	B ← M	1	0	1	1	1
Shift Right, Logical	LSR			0B 7 2	1D 6 3		M ← M	1	0	1	1	1
Shift Right, Logical	LSRA					4B 2 1	A ← M	1	0	1	1	1
Shift Right, Logical	LSRB					5B 2 1	B ← M	1	0	1	1	1
Store Accum	STA			0F 4 2	0F 3 3		A ← M	1	0	1	1	1
Store Accum	STAB			0F 4 2	0F 3 3		B ← M	1	0	1	1	1
Subtract	SUBA	1B 2 2	1B 3 2	1C 5 2	1D 4 3		A ← M - A	1	0	1	1	1
Subtract	SUBB	1B 2 2	1B 3 2	1C 5 2	1D 4 3		B ← M - B	1	0	1	1	1
Subtract Accum	SBA			1C 7 2	1C 6 3		A ← M - A	1	0	1	1	1
Subtract with Carry	SBCA	1B 2 2	1B 3 2	1C 5 2	1D 4 3		A ← M - C - A	1	0	1	1	1
Subtract with Carry	SBCB	1B 2 2	1B 3 2	1C 5 2	1D 4 3		B ← M - C - B	1	0	1	1	1
Transfer Accum	TAA					16 2 1	A ← B	1	0	1	1	1
Transfer Accum	TBA					17 2 1	B ← A	1	0	1	1	1
Test, Zero or Minus	TST			1D 7 2	1D 6 3		M ← 0B	1	0	1	1	1
Test, Zero or Minus	TSTA					40 2 1	A ← 00	1	0	1	1	1
Test, Zero or Minus	TSTB					50 2 1	B ← 00	1	0	1	1	1

LEGEND

- OP - Operation Code (Hexadecimal)
- # - Number of MPU Cycles
- OP - Number of Program Bytes
- OP - Arithmetic Flag
- OP - Arithmetic Mode
- OP - Boolean AND
- OP - Contents of memory location pointed to by Stack Pointer

- OP - Boolean Inclusive OR
- OP - Boolean Exclusive OR
- OP - Complement of M
- OP - Transfer Accum
- OP - Set - Zero
- OP - Zero - Zero

CONDITION CODE SYMBOLS

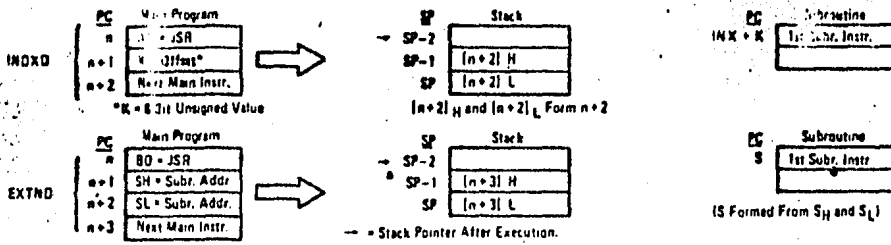
- OP - Half Carry from bit 3
- OP - Interrupt mask
- OP - Negative Logic bit
- OP - Zero flag
- OP - Overflow 1's complement
- OP - Carry from bit 7
- OP - First Always
- OP - Set always
- OP - Test and set if true, cleared otherwise
- OP - Not Affected

Note - Accumulator addressing mode instructions are indicated in the column for IMPLIED addressing

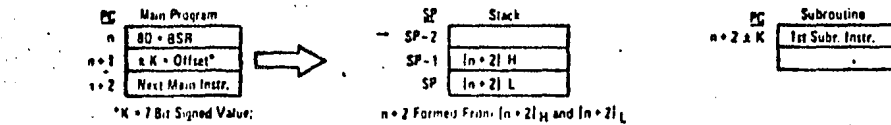
MC6802

SPECIAL OPERATIONS

JSR, JUMP TO SUBROUTINE:



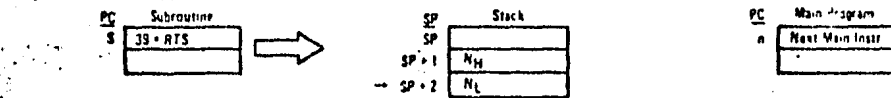
BSR, BRANCH TO SUBROUTINE:



JMP, JUMP:



RTS, RETURN FROM SUBROUTINE:



RTI, RETURN FROM INTERRUPT:

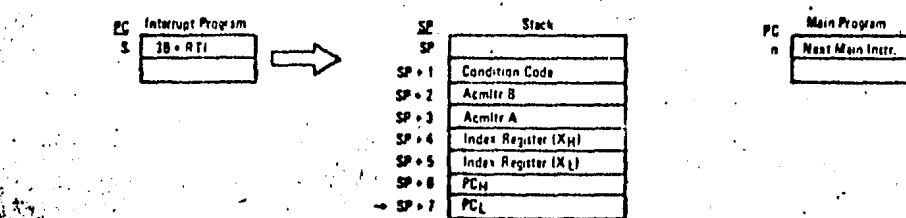


TABLE 6 -- CONDITION CODE REGISTER MANIPULATION INSTRUCTIONS

OPERATIONS	MNEMONIC	IMPLIED		BOOLEAN OPERATION	COND. CODE REG.						
		OP	DP		N	Z	V	C	S		
Clear Carry	CLC	0C	2 1	0 - C	•	•	•	•	•	•	R
Clear Interrupt Mask	CLI	0E	2 1	0 - I	•	R	•	•	•	•	•
Clear Overflow	CLV	0A	2 1	0 - V	•	•	•	•	•	R	•
Set Carry	SEC	0D	2 1	1 - C	•	•	•	•	•	•	S
Set Interrupt Mask	SEI	0F	2 1	1 - I	•	•	•	•	•	•	S
Set Overflow	SEV	0B	2 1	1 - V	•	•	•	•	•	•	S
Accum A ← CCR	TAP	06	2 1	A ← CCR	•	•	•	•	•	•	•
CCR ← Accum A	TPA	07	2 1	CCR ← A	•	•	•	•	•	•	•

CONDITION CODE REGISTER NOTES: (Bit set if test is true and cleared otherwise)

- 0 (Bit V) Test: Result = 10000000
- 1 (Bit C) Test: Result ≠ 00000000
- 2 (Bit Z) Test: Decimal value of most significant BCD Character greater than nine? (Not cleared if previously set)
- 3 (Bit V) Test: Operand = 10000000 prior to execution?
- 4 (Bit V) Test: Operand = 01111111 prior to execution?
- 5 (Bit V) Test: Set equal to result of N/D/C after shift has occurred
- 6 (Bit R) Test: Sign bit of most significant (MS) byte = 1?
- 7 (Bit V) Test: 2's complement overflow from subtraction of MS bytes?
- 8 (Bit W) Test: Result less than zero? (Bit 15 = 1)
- 9 (Bit W) Load Condition Code Register from Stack. (See Special Operations)
- 10 (Bit I) Bit when interrupt occurs. If previously set, a Non-Maskable Interrupt is required to end the wait state.
- 11 (Bit I) Bit when interrupt occurs. If previously set, a Non-Maskable Interrupt is required to end the wait state.
- 12 (Bit I) Bit according to the contents of Accumulator A.

MC6802

TABLE 7 - INSTRUCTION ADDRESSING MODES AND ASSOCIATED EXECUTION TIMES
(Times in Machine Cycles)

	Immediate	Direct	Extended	Indirect	Indexed	Relative		Immediate	Direct	Extended	Indirect	Indexed	Relative
ABA	1	1	1	1	1	1	INC	1	1	1	1	1	1
ADC	1	1	1	1	1	1	INS	1	1	1	1	1	1
ADD	1	1	1	1	1	1	IRP	1	1	1	1	1	1
AND	1	1	1	1	1	1	JMP	1	1	1	1	1	1
ASL	1	1	1	1	1	1	JSR	1	1	1	1	1	1
ASR	1	1	1	1	1	1	LDA	1	1	1	1	1	1
BCC	1	1	1	1	1	1	LDS	1	1	1	1	1	1
BCS	1	1	1	1	1	1	LDR	1	1	1	1	1	1
BEA	1	1	1	1	1	1	LSR	1	1	1	1	1	1
BGE	1	1	1	1	1	1	NEG	1	1	1	1	1	1
BGT	1	1	1	1	1	1	NOP	1	1	1	1	1	1
BH	1	1	1	1	1	1	ORA	1	1	1	1	1	1
BIT	1	1	1	1	1	1	P54	1	1	1	1	1	1
BLE	1	1	1	1	1	1	PLA	1	1	1	1	1	1
BLS	1	1	1	1	1	1	RCL	1	1	1	1	1	1
BLT	1	1	1	1	1	1	ROR	1	1	1	1	1	1
BMI	1	1	1	1	1	1	RTI	1	1	1	1	1	1
BNE	1	1	1	1	1	1	RTS	1	1	1	1	1	1
BPL	1	1	1	1	1	1	SBA	1	1	1	1	1	1
BRA	1	1	1	1	1	1	SBC	1	1	1	1	1	1
BSR	1	1	1	1	1	1	SEC	1	1	1	1	1	1
BVC	1	1	1	1	1	1	SEI	1	1	1	1	1	1
BVS	1	1	1	1	1	1	SEV	1	1	1	1	1	1
CBA	1	1	1	1	1	1	STA	1	1	1	1	1	1
CUC	1	1	1	1	1	1	STS	1	1	1	1	1	1
CLI	1	1	1	1	1	1	STX	1	1	1	1	1	1
CLR	1	1	1	1	1	1	SUB	1	1	1	1	1	1
CLV	1	1	1	1	1	1	SWI	1	1	1	1	1	1
CMP	1	1	1	1	1	1	TAB	1	1	1	1	1	1
COM	1	1	1	1	1	1	TAP	1	1	1	1	1	1
CPX	1	1	1	1	1	1	TBA	1	1	1	1	1	1
DAA	1	1	1	1	1	1	TPA	1	1	1	1	1	1
DEC	1	1	1	1	1	1	TST	1	1	1	1	1	1
DEB	1	1	1	1	1	1	TSX	1	1	1	1	1	1
DEX	1	1	1	1	1	1	WAI	1	1	1	1	1	1
EOR	1	1	1	1	1	1							

NOTE: Interrupt time is 12 cycles from the end of the instruction being executed, except following a WAI instruction. Then it is 4 cycles.

A P E N D I C E C

CARACTERISTICAS DE LA

EPROM 2716



2716

16K (2K x 8) UV ERASABLE PROM

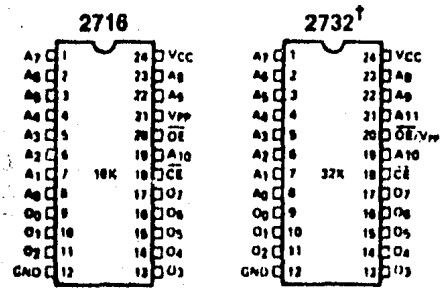
- **Fast Access Time**
 - 350 ns Max. 2716-1
 - 390 ns Max. 2716-2
 - 450 ns Max. 2716
 - 490 ns Max. 2716-5
 - 650 ns Max. 2716-6
- **Single +5V Power Supply**
- **Low Power Dissipation**
 - 525 mW Max. Active Power
 - 132 mW Max. Standby Power
- **Pin Compatible to Intel® 2732 EPROM**
- **Simple Programming Requirements**
 - Single Location Programming
 - Programs with One 50 ms Pulse
- **Inputs and Outputs TTL Compatible during Read and Program**
- **Completely Static**

The Intel® 2716 is a 16,384-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2716 operates from a single 5-volt power supply, has a static standby mode, and features fast single address location programming. It makes designing with EPROMs faster, easier and more economical.

The 2716, with its single 5-volt supply and with an access time up to 350 ns, is ideal for use with the newer high performance +5V microprocessors such as Intel's 8085 and 8086. A selected 2716-5 and 2716-6 is available for slower speed applications. The 2716 is also the first EPROM with a static standby mode which reduces the power dissipation without increasing access time. The maximum active power dissipation is 525 mW while the maximum standby power dissipation is only 132 mW, a 75% savings.

The 2716 has the simplest and fastest method yet devised for programming EPROMs — single pulse TTL level programming. No need for high voltage pulsing because all programming controls are handled by TTL signals. Program any location at any time—either individually, sequentially or at random, with the 2716's single address location programming. Total programming time for all 16,384 bits is only 100 seconds.

PIN CONFIGURATION



†Refer to 2732 data sheet for specifications

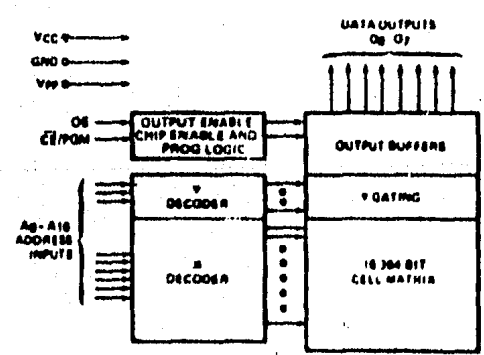
PIN NAMES

A ₀ - A ₁₀	ADDRESSES
CE/PGM	CHIP ENABLE/PROGRAM
OE	OUTPUT ENABLE
O ₀ - O ₇	OUTPUTS

MODE SELECTION

MODE	PINS	CE/PGM (18)	OE (20)	V _{pp} (21)	V _{CC} (24)	OUTPUTS (0-11, 13-17)
Read		V _{IL}	V _{IL}	+5	+5	DOUT
Standby		V _{IH}	Don't Care	+5	+5	High Z
Program		Pulsed V _{IL} to V _{IH}	V _{IL}	+25	+5	DIN
Program Verify		V _{IL}	V _{IL}	+25	+5	DOUT
Program Inhibit		V _{IL}	V _{IH}	+25	+5	High Z

BLOCK DIAGRAM



PROGRAMMING

The programming specifications are described in the Data Catalog PROM/ROM Programming Instructions Section.

Absolute Maximum Ratings*

Temperature Under Bias	-10°C to +80°C
Storage Temperature	-65°C to +125°C
All Input or Output Voltages with Respect to Ground	+6V to -0.3V
V _{pp} Supply Voltage with Respect to Ground During Program	+26.5V to -0.3V

*COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC and AC Operating Conditions During Read

	2716	2716-1	2716-2	2716-5	2716-8
Temperature Range	0°C - 70°C	0°C - 70°C	0°C - 70°C	0°C - 70°C	0°C - 70°C
V _{CC} Power Supply(1,2)	5V ±5%	5V ±10%	5V ±5%	5V ±5%	5V ±5%
V _{pp} Power Supply(2)	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}

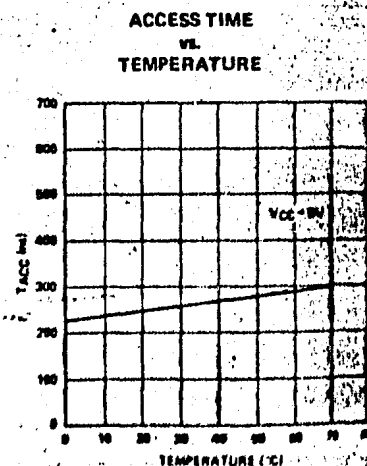
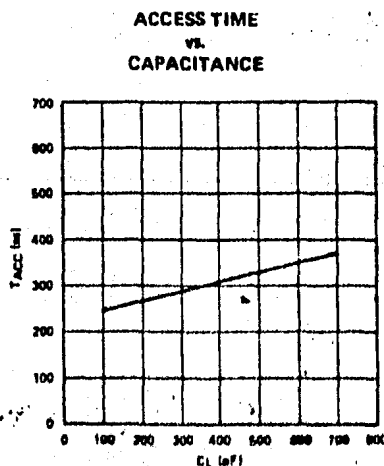
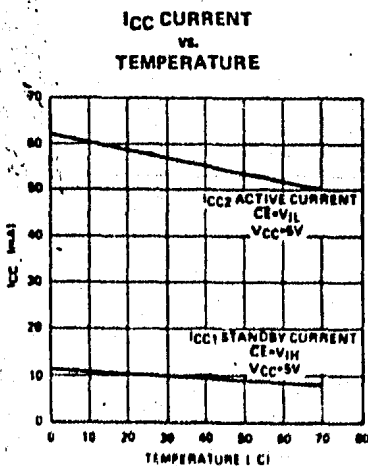
READ OPERATION

D.C. and Operating Characteristics

Symbol	Parameter	Limits			Unit	Conditions
		Min.	Typ. [3]	Max.		
I _{LI}	Input Load Current			10	µA	V _{IN} = 5.25V
I _{LO}	Output Leakage Current			10	µA	V _{OUT} = 5.25V
I _{pp1} [2]	V _{pp} Current			5	mA	V _{pp} = 5.25V
I _{CC1} [2]	V _{CC} Current (Standby)		10	25	mA	$\overline{CE} = V_{IH}, \overline{OE} = V_{IL}$
I _{CC2} [2]	V _{CC} Current (Active)		57	100	mA	$\overline{OE} = \overline{CE} = V_{IL}$
V _{IL}	Input Low Voltage	-0.1		0.8	V	
V _{IH}	Input High Voltage	2.0		V _{CC} +1	V	
V _{OL}	Output Low Voltage			0.45	V	I _{OL} = 2.1 mA
V _{OH}	Output High Voltage	2.4			V	I _{OH} = -400 µA

- NOTES: 1. V_{CC} must be applied simultaneously or before V_{pp} and removed simultaneously or after V_{pp}.
 2. V_{pp} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{pp1}.
 3. Typical values are for T_A = 25°C and nominal supply voltages.
 4. This parameter is only sampled and is not 100% tested.

Typical Characteristics



2716

A.C. Characteristics

Symbol	Parameter	Limits (ns)										Test Conditions
		2716		2716-1		2716-2		2716-5		2716-8		
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
t_{ACC}	Address to Output Delay	450		350		390		450		450		$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	\overline{CE} to Output Delay	450		350		390		490		650		$\overline{OE} = V_{IL}$
t_{OE}	Output Enable to Output Delay	120		120		120		160		200		$\overline{CE} = V_{IL}$
t_{DF}	Output Enable High to Output Float	0	100	0	100	0	100	0	100	0	100	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses, \overline{CE} or \overline{OE} Whichever Occurred First	0		0		0		0		0		$\overline{CE} = \overline{OE} = V_{IL}$

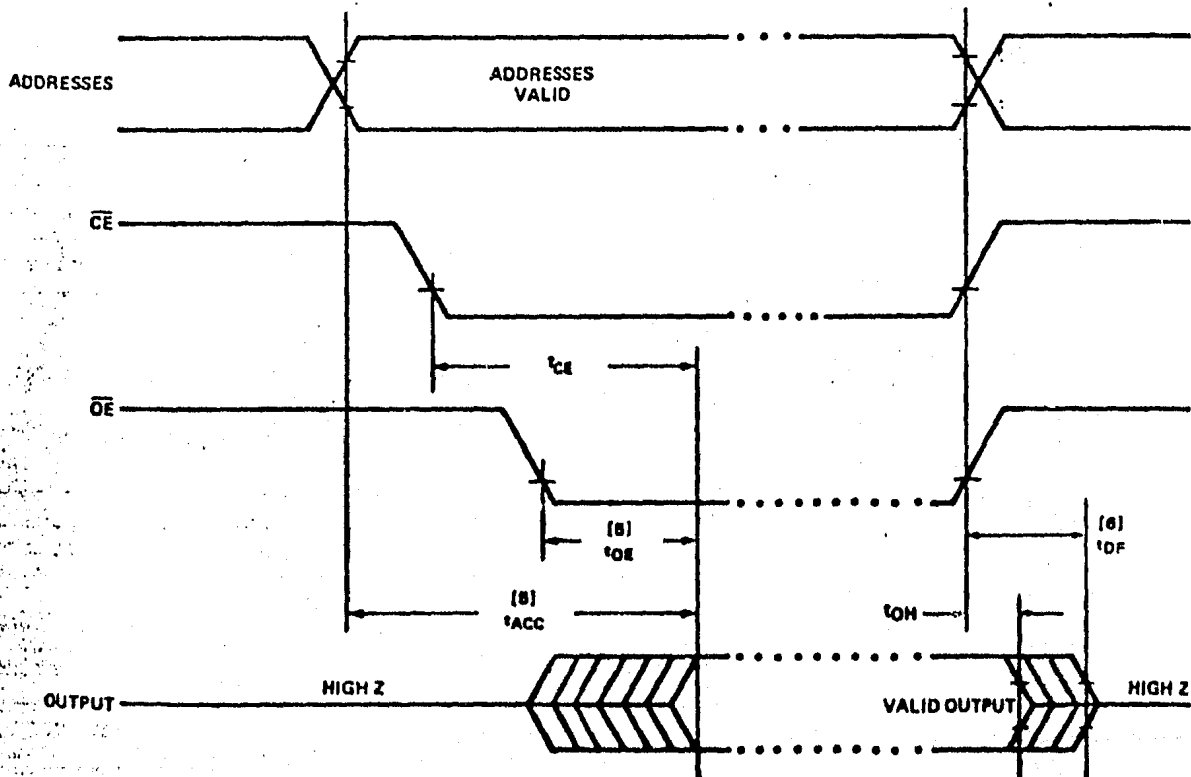
Capacitance [4] $T_A = 25^\circ C, f = 1 MHz$

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	$V_{IN} = 0V$
C_{OUT}	Output Capacitance	8	12	pF	$V_{OUT} = 0V$

A.C. Test Conditions:

Output Load: 1 TTL gate and $C_L = 100 pF$
 Input Rise and Fall Times: $\leq 20 ns$
 Input Pulse Levels: 0.8V to 2.2V
 Timing Measurement Reference Level:
 Inputs 1V and 2V
 Outputs 0.8V and 2V

A. C. Waveforms [1]



NOTE:

1. V_{CC} must be applied simultaneously or before V_{pp} and removed simultaneously or after V_{pp} .
2. V_{pp} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{pp} .
3. Typical values are for $T_A = 25^\circ C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested.
5. \overline{OE} may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of \overline{CE} without impact on t_{ACC} .
6. t_{DF} is specified from \overline{OE} or \overline{CE} , whichever occurs first.

2716

ERASURE CHARACTERISTICS

The erasure characteristics of the 2716 are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2716 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2716 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels are available from Intel which should be placed over the 2716 window to prevent unintentional erasure.

The recommended erasure procedure (see Data Catalog PROM/ROM Programming Instruction Section) for the 2716 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm² power rating. The 2716 should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure.

DEVICE OPERATION

The five modes of operation of the 2716 are listed in Table I. It should be noted that all inputs for the five modes are at TTL levels. The power supplies required are a +5V V_{CC} and a V_{pp}. The V_{pp} power supply must be at 25V during the three programming modes, and must be at 5V in the other two modes.

TABLE I. MODE SELECTION

MODE \ PINS	\overline{CE}/PGM (18)	\overline{OE} (20)	V _{pp} (21)	V _{CC} (24)	OUTPUTS (8-11, 13-17)
Read	V _{IL}	V _{IL}	+5	+5	D _{OUT}
Standby	V _{IH}	Don't Care	+5	+5	High Z
Program	Pulsed V _{IL} to V _{IH}	V _{IH}	+25	+5	D _{IN}
Program Verify	V _{IL}	V _{IL}	+25	+5	D _{OUT}
Program Inhibit	V _{IL}	V _{IH}	+25	+5	High Z

READ MODE

The 2716 has two control functions, both of which must be logically satisfied in order to obtain data at the outputs. Chip Enable (\overline{CE}) is the power control and should be used for device selection. Output Enable (\overline{OE}) is the output control and should be used to gate data to the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from \overline{CE} to output (t_{CE}). Data is available at the outputs 120 ns (t_{OE}) after the falling edge of \overline{OE} , assuming that \overline{CE} has been low and addresses have been stable for at least t_{ACC} - t_{OE}.

STANDBY MODE

The 2716 has a standby mode which reduces the active power dissipation by 75%, from 525 mW to 132 mW. The 2716 is placed in the standby mode by applying a TTL high signal to the \overline{CE} input. When in standby mode, the outputs are in a high impedance state, independent of the \overline{OE} input.

OUTPUT OR-TIEING

Because 2716's are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connections. The two line control function allows for:

- the lowest possible memory power dissipation, and
- complete assurance that output bus contention will not occur.

To most efficiently use these two control lines, it is recommended that \overline{CE} (pin 18) be decoded and used as the primary device selecting function, while \overline{OE} (pin 20) be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is desired from a particular memory device.

PROGRAMMING

Initially, and after each erasure, all bits of the 2716 are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be presented in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2716 is in the programming mode when the V_{pp} power supply is at 25V and \overline{OE} is at V_{IH}. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec, active high, TTL program pulse is applied to the \overline{CE}/PGM input. A program pulse must be applied at each address location to be programmed. You can program any location at any time — either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2716 must not be programmed with a DC signal applied to the \overline{CE}/PGM input.

Programming of multiple 2716s in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2716s may be connected together when they are programmed with the same data. A high level TTL pulse applied to the \overline{CE}/PGM input programs the paralleled 2716s.

PROGRAM INHIBIT

Programming of multiple 2716s in parallel with different data is also easily accomplished. Except for \overline{CE}/PGM , all like inputs (including \overline{OE}) of the paralleled 2716s may be common. A TTL level program pulse applied to a 2716's \overline{CE}/PGM input with V_{pp} at 25V will program that 2716. A low level \overline{CE}/PGM input inhibits the other 2716 from being programmed.

PROGRAM VERIFY

A verify should be performed on the programmed bits to determine that they were correctly programmed. The verify may be performed with V_{pp} at 25V. Except during programming and program verify, V_{pp} must be at 5V.

A P E N D I C E D

LISTADO DEL PROGRAMA INVOLUCRADO

EN LA SOLUCION DEL ALGORITMO DE

CONTROL EN GENERAL

LOCATION OBJECT CODE LINE

SOURCE LINE

12 ; DEFINICION DE VARIABLES Y DIRECCIONES ASIGNADAS

13 ;
 14 ; BAND E050H INDICADOR DEL EDO. DE LA SECUENCIA
 15 ; CTRM E051H CONTADOR DE MONEDAS INTRODUCIDAS
 16 ; CLAVE1 E052H CONTIENE PRIMER DIGITO DE LA CLAVE
 17 ; CLAVE2 E053H CONTIENE SEGUNDO DIGITO DE CLAVE
 18 ; CLAVE3 E054H CONTIENE TERCER DIGITO DE LA CLAVE
 19 ; FAC E055H CONTIENE EL FACTOR DE CLAVE MARCADA
 20 ; DIG E056H CONTIENE EL DIGITO MARCADO
 21 ; MIN E057H CONTIENE LOS MINUTOS AUTORIZADOS
 22 ; SEG E058H CONTIENE LOS SEGUNDOS AUTORIZADOS
 23 ; CTRT E059H CONTIENE EL TIEMPO EN HEXA AUTORIZA
 24 ; PILA E04FH INICIO DE LA PILA DEL PROGRAMA
 25 ;

26 ; *****
 27 ; PROGRAMA ASOCIADO AL "RESTART" DEL SISTEMA (INICIALIZACION)
 28 ; *****
 29 ;

F000	7FE050	30	ORG	0F000H			
F003	7FE052	31	INICIO	DB	7FH,0E0H,50H	CLR	BAND ;BAND=0
F006	DEE04F	32		DB	7FH,0E0H,52H	CLR	CTRM ;CTR MON = 0
F009	0C	33		DD	0E0H,0E0H,4FH	LDS	E04FH ;INICIA APTR PILA
F00A	3E	34		DB	0EH	CLI	;HABILITA IT'S
		35		DB	3EH	WAIT	;ESPERA IT'S IRQ

36 ;
 37 ; *****
 38 ; PROGRAMA ASOCIADO AL INTERRUPTON QUE LLEGUE POR IRQ (LINEA)
 39 ; *****
 40 ;

F010	D6E050	41	PIRQ	ORG	0F010H		
F013	2603	42		DB	0D6H,0E0H,50H	PIRQ	LDA A,BAND
F015	7EF040	43		DB	26H,03H		DNE SUITE1
F010	0101	44		DD	7EH,0F0H,40H		JMP DETLIN
F01A	2603	45		DB	01H,01H	SUITE1	CMF A,01
F01C	7CF980	46		DB	26H,03H		DNE SUITE2
F01F	0102	47		DB	7EH,0F7H,00H		JMP LECTDIG
F021	2603	48		DD	01H,02H	SUITE2	CMF A,02
F023	7EFA00	49		DB	26H,03H		DNE SUITE3
F026	0103	50		DD	7EH,0FAH,00H		JMP LECTDIG
F020	2603	51		DD	01H,03H	SUITE3	CMF A,03
F02A	7EFA20	52		DB	26H,03H		DNE SUITE4
F02D	0104	53		DD	7EH,0FAH,20H		JMP LECTDIG
F02F	2604	54		DD	01H,04H	SUITE4	CMF A,04
F031	7EFA40	55		DD	26H,04H		DNE SUITE5
F034	7EFA60	56		DD	7EH,0FAH,40H		JMP LECTDIG
		57		DD	7EH,0FAH,60H	SUITE5	JMP LECTDIG

58 ;
 59 ; *****
 60 ; PROGRAMA DE DETECCION DE LINEA "DETLIN"

FILE: TESIS:DF HEMLETT-PACKARD: PROGRAMAS DEL SISTEMA DE LADA AUTOMATICA

LOCATION	OBJECT	CODE	LINE	SOURCE	LINE			
			61	*****				
			62	ORG	01 040H			
F040	0F		63	DETLIN	DB	0FH	DETLIN	SET
F041	DDF950		64	DB	0BDH, 0F7H, 50H		JSR	;HABILITA IT'S
F044	D6D000		65	DB	0B6H, 0B0H, 00H		LDA	ESP20
F047	47		66	DB	47H		ASRA	A, D000H
F040	2403		67	DB	24H, 03H		BCC	A
F04A	7EFC00		68	DB	7EH, 0FCH, 00H		JMP	SIGUE1
F04D	DDF940		69	DB	0BDH, 0F7H, 40H	SIGUE1	JSR	ESP10
F050	D6D000		70	DB	0B6H, 0B0H, 00H		LDA	A, D000H
F053	47		71	DB	47H		ASRA	A
F054	2403		72	DB	24H, 03H		BCC	SIGUE2
F056	7EFC00		73	DB	7EH, 0FCH, 00H		JMP	FIN
F059	DDF960		74	DB	0BDH, 0F7H, 60H	SIGUE2	JSR	ESP22
F05C	DDF000		75	DB	0BDH, 0B0H, 00H		LDA	A, D000H
F05F	47		76	DB	47H		ASRA	A
F060	2503		77	DB	25H, 03H		BCC	SIGUE3
F062	7EFC00		78	DB	7EH, 0FCH, 00H		JMP	FIN
F065	DDF950		79	DB	0BDH, 0F7H, 50H	SIGUE3	JSR	ESP20
F068	D6D000		80	DB	0B6H, 0B0H, 00H		LDA	A, D000H
F06B	47		81	DB	47H		ASRA	A
F06C	2503		82	DB	25H, 03H		BCC	SIGUE4
F06E	7EFC00		83	DB	7EH, 0FCH, 00H		JMP	FIN
F071	DDF950		84	DB	0BDH, 0F7H, 50H	SIGUE4	JSR	ESP20
F074	D6D000		85	DB	0B6H, 0B0H, 00H		LDA	A, D000H
F077	47		86	DB	47H		ASRA	A
F070	2503		87	DB	25H, 03H		BCC	SIGUE5
F07A	7EFC00		88	DB	7EH, 0FCH, 00H		JMP	FIN
F07D	7CE050		89	DB	7CH, 0E0H, 50H	SIGUE5	INC	BAND
F080	0E		90	DB	0EH		CLI	;HABILITA IT'S
F081	3D		91	DB	3DH		RTI	;RLGRESA DE IT
			92	;				
			93	*****				
			94	;	PROGRAMA DE LECTURA DE UN DIGITO MARCADO "LECDIG"			
			95	*****				
			96	ORG	01070H			
F090	7FC056		97	LECDIG	DB	07FH, 0E0H, 56H	LECDIG	CLK
F093	DDF950		98	DB	0BDH, 0F7H, 50H		JSR	ESP20
F096	D6D000		99	DB	0B6H, 0B0H, 00H	SIGUE01	LDA	A, D000H
F099	47		100	DB	47H		ASRA	A
F09A	2403		101	DB	24H, 03H		BCC	SIGUE10
F09C	7CF048		102	DB	7EH, 0FCH, 48H		JMP	FINLEDI
F09F	DDF950		103	DB	0BDH, 0F7H, 50H	SIGUE10	JSR	ESP20
F0A2	D6D000		104	DB	0B6H, 0B0H, 00H		LDA	A, D000H
F0A5	47		105	DB	47H		ASRA	A
F0A6	2403		106	DB	24H, 03H		BCC	SIGUE20
F0A8	7CF048		107	DB	7EH, 0FCH, 48H		JMP	FINLEDI
F0AD	DDF940		108	DB	0BDH, 0F7H, 40H	SIGUE20	JSR	ESP10
F0AE	D6D000		109	DB	0B6H, 0B0H, 00H		LDA	A, D000H
F0B1	47		110	DB	47H		ASRA	A
F0B2	2403		111	DB	24H, 03H		BCC	SIGUE30
F0B4	7CF048		112	DB	7EH, 0FCH, 48H		JMP	FINLEDI
F0B7	DDF960		113	DB	0BDH, 0F7H, 60H	SIGUE30	JSR	ESP22
F0BA	D6D000		114	DB	0B6H, 0B0H, 00H		LDA	A, D000H
F0BD	47		115	DB	47H		ASRA	A
F0BE	2503		116	DB	25H, 03H		BCC	SIGUE40
F0C0	7EFC00		117	DB	7EH, 0FCH, 48H		JMP	FINLEDI

FILE: REGISTRO	HEWLETT-PACKARD: PROGRAMAS DEL SISTEMA DE LEIDA AUTOMATICA							
LOCATION	OBJECT	CODE	LINE	SOURCE	LINE			
F8C3	DDF740		110	DB	0000,0000,40H	SIGUE40	JSR	ESP10
F8C6	D60000		119	DB	0000,0000,00H		LDA	A,D000H
F8C9	47		120	DB	47H		ACRA	A
F8CA	2506		121	DB	25H,06H		BDS	SIGUES0
F8CC	7EF048		122	DB	7EH,010H,40H		JMP	FINLEDI
F8CF	7CE056		123	DB	7CH,0C0H,56H	SIGUES0	INC	DIG
F8D2	DDF960		124	DB	0000,010H,60H		JSR	ESP22
F8D5	7CF076		125	DB	7EH,010H,76H		JMP	SIGUE01
F8D8	39		126	DB	39H	FINLEDI	RTS	
			127					
			128					
			129					
			130					
			131	ORG	0F940H			
F940	CE0664	ESP10	132	DB	0CEH,06H,64H	ESP10	LDX	X,0664H
F943	09		133	DB	09H	CONT.	DEC	X
F944	0C0000		134	DB	0CH,00H,00H		CMF	X,00H
F947	26FC		135	DB	26H,0FCH		BNE	CONT
F949	39		136	DB	39H		RTS	
			137					
			138					
			139					
			140					
			141	ORG	0F950H			
F950	CC071A	ESP20	142	DB	0CEH,07H,1AH	ESP20	LDX	X,071AH
F953	09		143	DB	09H	CONT	DEC	X
F954	0C0000		144	DB	0CH,00H,00H		CMF	X,00H
F957	26FC		145	DB	26H,0FCH		BNE	CONT
F959	39		146	DB	39H		RTS	
			147					
			148					
			149					
			150					
			151	ORG	0F960H			
F960	CC07D0	ESP22	152	DB	0CEH,07H,0D0H	ESP22	LDX	X,07D0H
F963	09		153	DB	09H	CONT	DEC	X
F964	0C0000		154	DB	0CH,00H,00H		CMF	X,00H
F967	26FC		155	DB	26H,0FCH		BNE	CONT
F969	39		156	DB	39H		RTS	
			157					
			158					
			159					
			160					
			161	ORG	0F970H			
F970	CCD1F2	ESP1MSEG	162	DB	0CEH,0D1H,0F2H	ESP1MSEG	LDX	X,D1F2H
F973	09		163	DB	09H	CONT	DEC	X
F974	0C0000		164	DB	0CH,00H,00H		CMF	X,00H
F977	26FC		165	DB	26H,0FCH		BNE	CONT
F979	39		166	DB	39H		RTS	
			167					
			168					
			169					
			170					
			171	ORG	0F980H			
F980	0F	LEDIG7	172	DB	0FH	LEDIG7	SLI	
F981	DDF090		173	DB	0DDH,0F0H,90H		JSR	LECDIG
F984	D6L056		174	DB	0D0H,0E0H,56H		LDA	A,DIG

FILE: TESIS.DI

HENLETT PACKARD: PROGRAMAS DEL SISTEMA DE LADA AUTOMATICA

LOCATION	OBJECT	COOL	LINE	SOURCE	LINE		
F907	0109		175	DB	01H,02H	CMF	A,02H
F908	2703		176	DB	27H,03H	BEW	NUM?
F909	70FC00		177	DB	70H,01CH,00H	JMP	FIN?
F90E	0602		178	DB	06H,02H	LEI	A,02H
F990	D7L050		179	DB	0D7H,0E0H,50H	STA	A,BAND
F993	3D		180	DB	3DH	RTI	
F994	0E		181	DB	0EH	CLI	
F995	3L		182	DB	3EH	WAIT	
			183				
			184				
			185				
			186				
			187				
			188				
			189				
			190				
			191				
			192				
			193				
			194				
			195				
			196				
			197				
			198				
			199				
			200				
			201				
			202				
			203				
			204				
			205				
			206				
			207				
			208				
			209				
			210				
			211				
			212				
			213				
			214				
			215				
			216				
			217				
			218				
			219				
			220				
			221				
			222				
			223				
			224				
			225				
			226				
			227				
			228				
			229				
			230				
			231				

PROGRAMA DE VERIFICACION LECTURA DIGITO "1"

PROGRAMA DE LECTURA PRIMER DIGITO CLAVE LADA

PROGRAMA DE LECTURA DEL SEGUNDO DIGITO LADA

PROGRAMA DE LECTURA DEL TERCER DIGITO LADA

FILE: TEBIS:DF HEMLETT-PACKARD: PROGRAMAS DLL SISTEMA DE LADA AUTOMATICA

LOCATION	OBJECT CODE	LINE	SOURCE	LINE			
FA60	01	232	DD	01H		TWIG	DLI
FA61	010000	233	DD	000H,010H,20H			JSR
FA64	00L056	234	DD	006H,000H,56H			LDA
FA67	07L054	235	DD	007H,000H,54H			STA
FA6A	001000	236	DD	000H,010H,00H			JSR
FA6D	0100	237	DD	01H,00H			CHP
FA6F	2737	238	DD	27H,37H			BEQ
FA71	07L055	239	DD	007H,000H,55H			STA
FA74	001040	240	DD	000H,010H,40H			JSR
FA77	001060	241	DD	000H,010H,60H			JSR
FA7A	00L059	242	DD	006H,000H,59H		MTDO	LDA
FA7D	2718	243	DD	27H,18H			BEQ
FA7F	001070	244	DD	000H,010H,70H			JSR
FA82	001070	245	DD	000H,010H,70H			JSR
FA85	7AL059	246	DD	7AH,0L0H,59H			DEC
FA88	001060	247	DD	000H,010H,60H			JSR
FA8B	00L051	248	DD	006H,000H,51H			LDA
FA8E	271C	249	DD	27H,1CH			BEQ
FA90	001040	250	DD	000H,010H,40H			JSR
FA93	001060	251	DD	000H,010H,60H			JSR
FA96	20E4	252	DD	20H,0E4H			BRA
FA98	0601	253	DD	06H,01H			LDI
FA9A	07C000	254	DD	007H,000H,00H		CORLIN	STA
FA9D	28FC00	255	DD	28H,0F0H,00H			JMP
		256					
		257					
		258					
		259					
		260					
FB00	FCFD00	261	DD	010H,010H,00H		BOCLADA	LDX
FB03	A600	262	DD	0A6H,00H		BUSCA	LDA
FB05	01FF	263	DD	01H,01FH			CHP
FB07	2720	264	DD	27H,20H			BEQ
FB09	01L052	265	DD	001H,000H,52H		BUSCA1	CHP
FB0C	2706	266	DD	27H,06H			BEQ
FB0E	001030	267	DD	000H,010H,30H		BUSCA3	JSR
FB11	70103F	268	DD	70H,0F0H,03FH			JMP
FB14	A601	269	DD	0A6H,01H		BUSCA2	LDA
FB16	01L053	270	DD	001H,000H,53H			CHP
FB19	2605	271	DD	26H,05H			BNE
FB1B	A602	272	DD	0A6H,02H			LDA
FB1D	01L054	273	DD	001H,000H,54H			CHP
FB20	260E	274	DD	26H,0EH			BNE
FB22	A603	275	DD	0A6H,03H			LDA
FB24	37	276	DD	37H			RTS
FB25	4F	277	DD	4FH		NOCLAVE	CLR
FB26	37	278	DD	37H			RTS
		279					
		280					
		281					
		282					
		283					
FB30	0000	284	DD	00H,00H		INC4X	INC
FB32	0000	285	DD	00H,00H			INC
FB34	37	286	DD	37H			RTS
		287					
		288					

FILET TESTS: HP HEWLETT PACKARD PROGRAMAS DEL SISTEMA DE LANA AUTOMATICA

LOCATION	OBJECT	CODE	LINE	SOURCE	LINE					
			287			PROGRAMA PARA CALCULAR TILAS AUTORIZADO				
			290			*****				
			291		ORG	01040H				
FD40	D6L050		292	CALCTRI	DD	0B6H,0C0H,50H	CLC	TRT	LDA	A,CTR
FD43	2711		293	DD		27H,11H			DLG	ENDRUT
FD45	F6L055		294	DD		01GH,0L0H,55H			LDA	D,FAC
FD40	F6L059		295	DD		7CH,0C0H,57H	INC	TRT	INC	CTR
FD40	5A		296	DD		5AH			DEC	D
FD4C	261C		297	DD		26H,01CH			DNE	INCRT
FD4C	7AC051		298	DD		7AH,0E0H,51H			DEC	CTR
FD51	20LF		299	DD		20H,011H			BRA	CLC
FD53	71E051		300	DD		7CH,0C0H,51H			CLR	CTR
FD56	39		301	DD		39H	ENDRUT		RTS	
			302							
			303							
			304			*****				
			305			PROGRAMA PARA DESPLIEGUE DEL CONTENIDO DEL CRT				
			306			*****				
			307		ORG	01D60H				
FD60	7FC057		308	DESCRIT	DD	7FH,0C0H,57H	DESCRIT		CLR	MIN
FD63	71E050		309	DD		7FH,0C0H,50H			CLR	SEG
FD66	D6L059		310	DD		0B6H,0C0H,59H			LDA	A,CTR
FD69	013C		311	DD		01H,3CH	CONT		CHP	A,3C
FD6B	2E07		312	DD		2DH,07H			DLI	FINELC
FD6D	7CC057		313	DD		7CH,0C0H,57H			INC	MIN
FD70	003C		314	DD		00H,3CH			SUBA	A,3CH
FD72	20F7		315	DD		20H,0F7H			BRA	CONT
FD74	D7D007		316	DD		0D7H,0D0H,07H	FINELC		STA	A,D007H
FD77	D6L057		317	DD		0B6H,0C0H,57H			LDA	A,MIN
FD7A	D7D008		318	DD		0D7H,0D0H,08H			STA	A,D008H
FD7D	39		319	DD		39H			RTS	
			320							
			321			*****				
			322			PROGRAMA DE FIN DE LA COMUNICACION				
			323			*****				
			324		ORG	01FC0H				
FC00	0F		325	FIN	DD	01H	FIN		SLI	
FC01	D6D000		326	DD		0B6H,0D0H,00H	LINENI		LDA	A,D000H
FC04	47		327	DD		47H			ASRA	A
FC05	251C		328	DD		25H,0FCH			DCS	LINENI
FC07	5F		329	DD		5FH	LIMPD		CLR	D
FC08	D01950		330	DD		0D0H,0F2H,50H	OTRAVEZ		JSR	ESP20
FC0B	D6D000		331	DD		0B6H,0D0H,00H			LDA	A,D000H
FC0E	47		332	DD		47H			ASRA	A
FC0F	25F0		333	DD		25H,0F0H			DCS	LIMPD
FC11	5C		334	DD		5CH			INC	D
FC12	C10A		335	DD		0C1H,0AH			CHP	D,0AH
FC14	2702		336	DD		27H,02H			DEW	POSCE
FC16	2012		337	DD		20H,012H			BRA	OTRAVEZ
FC18	71E050		338	DD		7CH,0C0H,50H	POSCE		CLR	BAND
FC1D	71L051		339	DD		7FH,0L0H,51H			CLR	CTR
FC1E	3D		340	DD		3DH			RTI	
FC1F	0C		341	DD		0CH			CLI	
FC20	3E		342	DD		3EH			WAIT	
			343							
			344			*****				
			345			PROGRAMA ASOCIADO A LA INTERRUPCION "NAI"				

FILE: TCS15.DI

HEWLETT PACKARD: PROGRAMAS DEL SISTEMA DE LADA AUTOMATICA

LOCATION OBJECT CODE LINE

SOURCE LINE

```

346 ;*****
347 ;
FC30 7CE051 348 PNA1 DB 7LH,0L0H,51H UNCL INC CTRM
FC33 3B 349 DB 31H RTI
350 ;
351 ;*****
352 ; TABLA DE CLAVES LADA Y FACTORES ASOCIADOS
353 ;*****
354 ;
FD00 02040602 355 TABLA DB 02H,04H,06H,02H TLAXCALA TLAX.
FD04 04030301 356 DB 04H,06H,03H,01H GUERETARO GRO.
FD08 04070103 357 DB 04H,07H,01H,03H LLON GRO.
FD0C 07020102 358 DB 07H,02H,01H,02H TOLUCA MEX.
FD10 07030101 359 DB 07H,03H,01H,01H CULNAVACA MOR.
FD14 07030302 360 DB 07H,03H,03H,02H IGUALA GRO.
FD18 07040703 361 DB 07H,04H,07H,03H CHILPANCIÑO GRO.
FD1C 07040004 362 DB 07H,04H,00H,04H ACAPULCO GRO.
FD20 07070102 363 DB 07H,07H,01H,02H PACHUCA HGO.
FD24 07000205 364 DB 07H,00H,02H,05H POZA RICA VER.
365 ;
366 ;*****
367 ; FIN DE LA TABLA DE CLAVES LADA
368 ;*****
369 ;
370 ;*****
371 ; DEFINICION DEL CONTENIDO DE LOS VECTORES DE INTERRUPCION
372 ; DEL MICROPROCESSADOR M6802
373 ;*****
374 ;
FFFD 1010 375 SWIT DB 0F0H,10H IT IRQ (LINEA TELEFONO)
FFFA 0000 376 DB 00H,00H IT SOFTWARE (NO UTILIZADA)
FFFC FC30 377 DB 0FC0H,30H IT NMI (LLEGADA DE MONEDAS)
FFFE FD00 378 DB 0FD0H,00H IT RESTART (INICIALIZACION)
379 ;*****
380 ;
381 ;
382 ; F I N D E L P R O G R A M A
383 ;
384 ;*****

```

Errors= 0

B I B L I O G R A F I A

MILMAN Y TAUB

Circuitos de Pulsos Digitales y de Conmutación

Editorial Mc Graw-Hill

Año 1965

PHILLIP CUTLER

Análisis de Circuitos con semiconductores

Editorial Mc Graw-Hill

Año 1966

TEXAS INSTRUMENTS INCORPORATED

Transistores, circuitos, diseño

Editorial Continental, S.A.

Año 1973

TEXAS INSTRUMENTS INCORPORATED

Diseño con circuitos integrados

TTL.

Editorial Continental, S.A.

Año 1980

MANUAL INTEL

Component Data Catalog

Impreso en U.S.A.

Año 1980

MANUAL MOTOROLA

Cmos Integrated Circuits

Impreso en U.S.A.

Año 1976

MANUAL MOTOROLA

The Complete Microcomputer

Data Library

Impreso en U.S.A.

Año 1978

MANUAL TEXAS INSTRUMENTS

Impreso en U.S.A.

Año 1976