



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

Diseño y Construcción del Sistema FI-001 para prácticas  
de Laboratorio, basado en el Microprocesador Z80

**T E S I S**

Que para obtener el Título de  
**INGENIERO MECANICO ELECTRICISTA**

**P r e s e n t a n**

Ricardo Luciano Bernón  
Guadalupe Rivas Fuentes  
Jorge Rodríguez Hernández  
José C. Valencia Castrejón



Director: Ing. GERARD KEIL GEIGER

México, D. F.

1984



Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE

Pág.	
4 . . . .	INTRODUCCION
6 . . . .	CONCEPTOS FUNDAMENTALES SOBRE MICROPROCESADORES
10 . . . .	ANTECEDENTES DE DISEÑO DEL SISTEMA FI-001
14 . . . .	DESCRIPCION DE LA ARQUITECTURA DEL SISTEMA
22 . . . .	DESCRIPCION DEL PROGRAMA MONITOR
46 . . . .	DESARROLLO DE LAS PRACTICAS
47 . . . .	CONCLUSIONES Y PERSPECTIVAS
48 . . . .	ANEXOS
141 . . . .	REFERENCIAS

## INTRODUCCION

LA IMPORTANCIA DE HABER DISEÑADO UNA MICROCOMPUTADORA PARA FINES DE ENSEÑANZA SE COMPRENDERÁ MEJOR SI SE ANALIZA LA SITUACIÓN ACTUAL DEL PAÍS EN EL CAMPO DE LA ELECTRONICA.

CADA DIA SE ACRECENTA LA BRECHA ENTRE LA OFERTA Y LA DEMANDA DE SERVICIOS Y SISTEMAS EN EL AREA DE LA MICROELECTRONICA. ESTO SE OBSERVA SOBRE TODO EN LA CARENCIA DE RECURSOS HUMANOS CON CAPACITACION FORMAL QUE DESARROLLE EN FORMA EFICIENTE EL SOFTWARE REQUERIDO. EN EL CAMPO DEL HARDWARE EL PROBLEMA ES MUCHO MAYOR, YA QUE PRACTICAMENTE NO EXISTE UNA INDUSTRIA NACIONAL.

LA SOCIEDAD EN GENERAL SE HA VISTO AFECTADA POR LA APARICION DEL MICROPROCESADOR. AUNQUE SU ORIGEN Y APLICACION SE UBICAN PRINCIPALMENTE EN LA ELECTRONICA, PUEDE DECIRSE QUE NO HAY AREA DONDE NO SE ESTE EMPLEANDO, O BIEN, SU USO SEA FACTIBLE.

RECIENTEMENTE SE HAN ESTUDIADO CON PROFUNDIDAD LOS EFECTOS DE LOS MICROPROCESADORES, OBSERVANDOSE QUE SU APLICACION PUEDE TENER DIFERENTES REPERCUSIONES: POR UNA PARTE ES UN AUXILIAR MUY EFECTIVO EN AREAS COMO LA MEDICINA, SEGURIDAD, DISEÑO, ADMINISTRACION, AVIACION Y TRANSPORTES EN GENERAL ETC, EN LAS QUE SE REQUIEREN CONTROL DE PROCESOS, MANEJO DE INFORMACION Y OTRAS FUNCIONES ESPECIFICAS DE CADA ACTIVIDAD; POR EJEMPLO, ES FACIL COMPROBAR QUE LOS BANCOS REALIZAN LA IDENTIFICACION DE TARJETAS DE CREDITO POR MEDIO DE UN SISTEMA CUYO CEREBRO ES UN MICROPROCESADOR, QUE EL CONSUMO DE COMBUSTIBLE EN UN VEHICULO SE OPTIMIZA POR LOS MISMOS MEDIOS Y QUE LOS NIÑOS UTILIZAN JUGUETES ELECTRONICOS BASADOS EN MICROPROCESADORES. POR OTRA PARTE AUMENTA LA NECESIDAD DE CONTAR CON PERSONAL CONVENIENTEMENTE CAPACITADO, QUE DESEMPEÑE SUS FUNCIONES EN FORMA EFICAZ DENTRO DE LAS AREAS QUE HEMOS MENCIONADO. ESTOS EFECTOS APOYAN LA IDEA DE QUE EL MICROPROCESADOR VA CONVIRTIENDOSE CADA VEZ MAS EN UN DISPOSITIVO INDISPENSABLE.

LA NECESIDAD ANTERIORMENTE EXPUESTA CONDICIONA LA ORIENTACION Y PREPARACION QUE RECIBEN LOS INGENIEROS EN LA UNIVERSIDAD. SE HAN REALIZADO ANALISIS DE LAS IMPLICACIONES EDUCACIONALES DE LA MICROELECTRONICA Y LOS MICROPROCESADORES EN TODAS LAS AREAS DEL CONOCIMIENTO, PERO CUANDO HABLAMOS DE LA FORMACION DEL INGENIERO EN ELECTRONICA, LA IMPORTANCIA DEL TEMA SE INTENSIFICA, YA QUE NO SON SOLO AUXILIARES DE TRABAJO SINO ELEMENTOS DE ESTUDIO Y DESARROLLO.

LAS UNIVERSIDADES Y OTRAS INSTITUCIONES PREPARAN CADA DIA

MAS INGENIEROS Y CIENTIFICOS EN ELECTRONICA Y COMPUTACION;  
SIN EMBARGO HACE FALTA UNA CANTIDAD MUCHO MAYOR PARA PODER  
CUBRIR LA DEMANDA ACTUAL.

LA IMPORTANCIA DE LOS MICROPROCESADORES HA PROPICIADO QUE  
MUCHAS PERSONAS PROFUNDICEN EN SU ESTUDIO Y ADQUIERAN LA  
EXPERIENCIA NECESARIA PARA EMPLEARLOS COMO HERRAMIENTA DE  
USO COTIDIANO.

EN ESTE CASO PARTICULAR HEMOS VISTO LA CONVENIENCIA DE  
CONTAR CON UN EQUIPO DISENADO Y CONSTRUIDO DE ACUERDO A  
LAS NECESIDADES DE NUESTRO MEDIO, Y QUE AL MISMO TIEMPO  
RESULTE MAS ACCESIBLE DESDE EL PUNTO DE VISTA ECONOMICO.

NUESTRO TRABAJO PRETENDE AYUDAR AL FOMENTO DE LA  
INFRAESTRUCTURA DISPONIBLE PARA LA DIDACTICA DE LA  
ELECTRONICA EN LA UNIVERSIDAD, APOYANDONOS EN EL DISENO  
TANTO DEL CIRCUITO COMO DE LOS PROGRAMAS NECESARIOS PARA UN  
EQUIPO DE LABORATORIO BASADO EN EL MICROPROCESADOR Z-80.

## CONCEPTOS FUNDAMENTALES SOBRE MICROPROCESADORES.

DEBIDO AL COMPLEJO Y ACELERADO DESARROLLO DE LA TECNOLOGIA ELECTRONICA EN NUESTROS DIAS, ESPECIALMENTE EN EL AREA DIGITAL, CADA VEZ ES MAYOR EL NUMERO DE CONCEPTOS BASICOS NECESARIOS PARA LA MEJOR COMPRESION DE ESTOS TEMAS, SOBRE TODO LO QUE SE REFIERE A CIRCUITOS LOGICOS Y SU MANEJO A TRAVES DE TECNICAS DE PROGRAMACION. LO ANTERIOR NO SERA TEMA DE DISCUSION EN NUESTRO TRABAJO PUES SE ESPERA QUE EL LECTOR ESTE FAMILIARIZADO CON ESTOS TERMINOS, POR LO TANTO, A CONTINUACION SE HARA UNA DESCRIPCION DE CONCEPTOS FUNDAMENTALES SOBRE MICROPROCESADORES.

UN MICROPROCESADOR REALIZA LAS FUNCIONES DE UNA UNIDAD CENTRAL DE PROCESO EN UN SOLO CIRCUITO INTEGRADO. REALIZA LAS FUNCIONES DE EJECUCION Y DECODIFICACION JUNTO CON LA SINCRONIZACION Y CONTROL REQUERIDOS PARA TODAS LAS OPERACIONES.

EL MICROPROCESADOR TIENDE A TENER LA MISMA CONFIGURACION BASICA FUNCIONAL DE UNA COMPUTADORA DIGITAL. LOS BLOQUES FUNCIONALES REQUERIDOS INCLUYEN UNA UNIDAD ARITMETICA Y LOGICA (ALU), UN DECODIFICADOR DE INSTRUCCIONES, REGISTROS DE ALMACENAMIENTO TEMPORAL Y CIRCUITOS DE CONTROL Y TIEMPO PARA SECUENCIACION.

LA ALU REALIZA LAS OPERACIONES ARITMETICAS Y LOGICAS REQUERIDAS POR LAS INSTRUCCIONES, CON LOS DATOS BINARIOS GUARDADOS EN LOS REGISTROS. ESTAS OPERACIONES PUEDEN SER REALIZADAS USANDO LA LOGICA DE LA ALU PARA SUMA, RESTA, MULTIPLICACION Y DIVISION, ASI COMO FUNCIONES DE ALGEBRA BOOLEANA TALES COMO OR, AND, NOR, NAND, ETC.

EL DECODIFICADOR DE INSTRUCCIONES USUALMENTE ES UNA ROM, LA CUAL TRADUCE LAS INSTRUCCIONES CODIFICADAS PARA SER EJECUTADAS POR EL PROCESADOR. LA ROM ESTA ALGUNAS VECES LOCALIZADA FUERA DEL  $\mu P$  PARA PERMITIR AL USUARIO FACILMENTE DEFINIR Y MODIFICAR EL CONJUNTO DE INSTRUCCIONES.

LAS SECCIONES DE CONTROL Y TIEMPO INTERPRETAN LAS INSTRUCCIONES Y ENVIAN LAS SEÑALES DE SINCRONIZACION CORRECTAS A LA ALU Y OTRAS PARTES DEL SISTEMA DE LA MICROCOMPUTADORA. LA OPERACION DEL MICROPROCESADOR REQUIERE LA DEFINICION DE UNA SECUENCIA DE INSTRUCCIONES PARA REALIZAR UNA TAREA DESEADA. LAS INSTRUCCIONES SON DEFINIDAS POR UN PATRON DE BITS ESPECIFICO PARA CADA OPERACION. ADEMAS DE LAS OPERACIONES ARITMETICAS Y LOGICAS, LAS INSTRUCCIONES PUEDEN CAUSAR TRANSFERENCIA DE DATOS DENTRO DEL SISTEMA O ENTRE EL MICROPROCESADOR Y LOS DISPOSITIVOS EXTERNOS.

PARA TENER UNA IDEA MAS PRECISA DE LA FUNCION DEL MICROPROCESADOR DENTRO DE UNA MICROCOMPUTADORA,

REPRESENTAREMOS SUS COMPONENTES DENTRO DE UN SENCILLO DIAGRAMA DE BLOQUES:

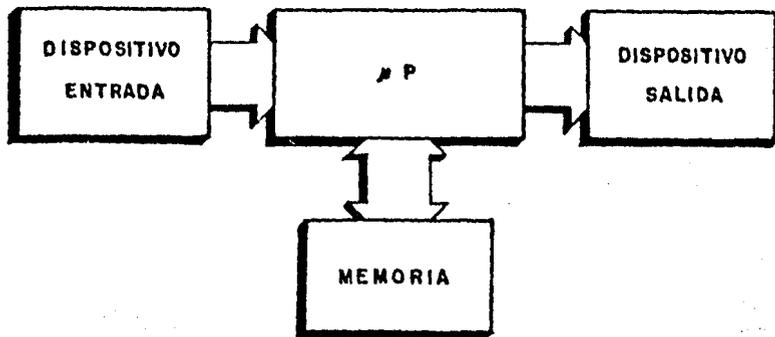


FIG.1 MICROCOMPUTADORA BASICA

EL FLUJO DE INFORMACION ENTRE ESTOS BLOQUES SE REALIZA A TRAVES DE LOS LLAMADOS "BUSES" O CANALES DE DATOS, DIRECCIONES Y CONTROL:

- "BUS" DE DATOS: CONDUCE LOS DATOS QUE INTERCAMBIAN LOS DIFERENTES ELEMENTOS DEL SISTEMA.
- "BUS" DE DIRECCIONES: CONDUCE UNA DIRECCION GENERADA POR EL CPU, LA CUAL DEFINE LA FUENTE O DESTINO DE LOS DATOS.
- "BUS" DE CONTROL: CONDUCE LAS SENALES DE SINCRONIZACION Y MANDO REQUERIDAS POR EL SISTEMA.

LAS CARACTERISTICAS FUNDAMENTALES DE UN MICROPROCESADOR SON LAS SIGUIENTES:

- a) LONGITUD DE LA PALABRA PROCESADA, SIENDO LAS MAS COMUNES DE 8 Y 16 BITS.
- b) CAPACIDAD DE MEMORIA, LA CUAL ESTA EN FUNCION DEL NUMERO DE

LINEAS DE DIRECCION QUE POSEE.

- c) VELOCIDAD DE EJECUCION DE LAS INSTRUCCIONES, DENTRO DE LA QUE SE ENCUENTRA EL CONCEPTO "CICLO DE INSTRUCCION", QUE ES EL TIEMPO QUE REQUIERE EL MICROPROCESADOR PARA COMPLETAR UNA INSTRUCCION.

CON BASE EN ESTAS CARACTERISTICAS PUEDEN ANALIZARSE DIFERENTES TIPOS DE MICROPROCESADORES, ANTES DE DECIDIRSE POR EL EMPLEO DE UNO EN PARTICULAR. UNA TABLA COMO LA REPRESENTADA A CONTINUACION, NOS AYUDA EN EL ANALISIS MENCIONADO.

FABRICANTE	MICROPRO CESADOR	LONGITUD PALABRA	CICLO MINIMO	CICLO MAXIMO
INTEL	8080	8 BITS	1.5uSEG	3.75uSEG
MOTOROLA	6800	8 BITS	1 uSEG	2.5 uSEG
ZILOG	Z80	8 BITS	1 uSEG	5.75uSEG

CONSIDERANDO ADEMAS DE ESTOS PUNTOS EL ASPECTO ECONOMICO, SE HACE LA SELECCION OPTIMA DE UN MICROPROCESADOR DE ACUERDO A LA UTILIDAD QUE SE PRETENDA DARLE DENTRO DE UN SISTEMA.

LA NECESIDAD DE COMPLEMENTAR LA FUNCIONALIDAD DEL MICROPROCESADOR EXIGE EL EMPLEO DE UNA SERIE DE CIRCUITOS INTEGRADOS ADAPTABLES AL MISMO. EN EL CASO DEL Z80 EXISTEN DOS DISPOSITIVOS ESPECIALES QUE TIENEN LA CAPACIDAD DE ENTRADA Y SALIDA DE DATOS EN SERIE Y PARALELO, LOS CUALES SON EL SID Y EL PIO, RESPECTIVAMENTE. ESTE ULTIMO SE USA COMO CONTROLADOR DE PUERTOS DE ENTRADA Y SALIDA EN PARALELO; CUENTA CON DOS PUERTOS BIDIRECCIONALES DE 8 BITS CADA UNO Y PUEDE PROGRAMARSE PARA OPERAR EN 4 MODOS DIFERENTES: ENTRADA, SALIDA, BIDIRECCIONAL Y DE CONTROL.

AL IGUAL QUE EL ANTERIOR, EL SID ES UN DISPOSITIVO PROGRAMABLE DE 2 CANALES, QUE TRANSMITE LOS DATOS EN SERIE.

ESTA TRANSMISION ES MAS LENTA, PERO TIENE LA VENTAJA DE QUE SE PUEDE EFECTUAR CON UN SOLO CANAL Y ES EL INDICADO CUANDO HAY NECESIDAD DE COMUNICAR UNO O MAS SISTEMAS ENTRE LOS CUALES EXISTE UNA DISTANCIA CONSIDERABLE.

EL CTC ES UN CIRCUITO PROGRAMABLE DE 4 CANALES, QUE APORTA A LOS SISTEMAS BASADOS EN EL Z80 LA CAPACIDAD DE CONTAR PULSOS

Y MARCAR EL TIEMPO EN LOS PROCESOS QUE CONTROLA.

EL DMA ES UN CONTROLADOR DE ACCESO DIRECTO A MEMORIA. SU FUNCION ES AGILIZAR LA TRANSFERENCIA DE DATOS ENTRE LA MEMORIA Y ALGUN DISPOSITIVO EXTERNO O PERIFERICO, YA QUE ELIMINA EL PASO DE ESTOS DATOS POR EL CPU. ESTE CIRCUITO OPERA EN TRES MODOS DIFERENTES: TRANSFERENCIA, BUSQUEDA Y BUSQUEDA-TRANSFERENCIA Y SE CONFIGURA ENTERAMENTE A TRAVES DE PROGRAMACION. ES HASTA 10 VECES MAS RAPIDO QUE EL CPU PARA ESTAS OPERACIONES.

ADICIONALMENTE EXISTEN OTROS CIRCUITOS QUE AUN CUANDO NO PERTENECEN A LA FAMILIA Z80, SON PERFECTAMENTE COMPATIBLES CON LOS ANTERIORES. TAL ES EL CASO DE MEMORIAS, DECODIFICADORES, ALMACENADORES TEMPORALES Y OTROS COMPONENTES DE USO GENERAL.

## ANTECEDENTES DE DISEÑO DEL SISTEMA FI-001

LA SELECCION DEL MICROPROCESADOR Z80 COMO BASE DEL SISTEMA SE FUNDAMENTO, ADEMAS DE LAS CARACTERISTICAS TECNICAS QUE OFRECE AL USUARIO, EN EL HECHO DE QUE ES UNO DE LOS DISPOSITIVOS DIDACTICOS EMPLEADOS EN LA FACULTAD DE INGENIERIA.

DE ACUERDO A LO ANTERIOR, EL DISEÑO CONTEMPLA LA NECESIDAD DE ADQUIRIR LOS PERIFERICOS CORRESPONDIENTES, ASI COMO ALGUNOS OTROS CIRCUITOS COMPATIBLES TALES COMO MEMORIAS, COMPUERTAS Y COMPONENTES DISCRETOS.

LA PRIMERA ETAPA CONSISTIO EN BUSCAR EN LOS MANUALES LOS CIRCUITOS QUE CUMPLIERAN CON LAS CARACTERISTICAS TECNICAS NECESARIAS: NIVEL DE VOLTAJE, CORRIENTE MANEJADA Y TIEMPOS DE ACCESO.

DEBIDO A QUE UNA DE LAS PRIMERAS ADQUISICIONES FUE EL MICROPROCESADOR Z80 (CON FUNCIONAMIENTO A 2 MHZ), TANTO EL PIO COMO EL CTC TUVIERON QUE CUMPLIR CON ESA CARACTERISTICA. SE DECIDIO REALIZAR EL DISEÑO DEL SISTEMA EN FORMA DE BLOQUES PARA FACILITAR LAS ACTIVIDADES DE ANALISIS DE RESPUESTA DE LOS CIRCUITOS OPERANDO EN CONJUNTO, ASI COMO PARA REALIZAR LAS CORRECCIONES NECESARIAS. LOS GRANDES GRUPOS QUE SE CONSIDERARON FUERON:

- DESPLIEGADO Y TECLADO
- UNIDAD DE MEMORIA
- CONEXION DE PUERTOS
- CIRCUITO DE RELOJ

EN SEGUIDA SE EXPONDRAN BREVEMENTE LAS ACTIVIDADES MAS SIGNIFICATIVAS RELACIONADAS CON EL TRABAJO POR BLOQUES.

### DESPLIEGADO Y TECLADO.

SE DECIDIO EMPLEAR UN PIO PARA CONTROLAR ESTA SECCION, CONSIDERANDO QUE DA UNA GRAN FACILIDAD DE MANEJO A TRAVES DE PROGRAMACION, LA CUAL ES UNA OPCION UTILIZADA FRECUENTEMENTE PARA EL CONTROL DE ESTE TIPO DE PERIFERICOS.

DEBIDO A QUE EL PUERTO B DEL PIO TIENE COMO CARACTERISTICA UNA MAYOR CAPACIDAD EN EL MANEJO DE CORRIENTE, FUE SELECCIONADO PARA TRANSMITIR LA INFORMACION A LOS SEGMENTOS DE CADA UNO DE LOS DIGITOS DEL DESPLIEGADO, RESERVANDO EL PUERTO A PARA LA SELECCION DE LOS DIGITOS Y PARA LA RECEPCION DE DATOS DEL TECLADO, ASI COMO DEL SELECTOR DE

OPERACION DEL PROGRAMA MONITOR, O DEL PROGRAMA DEL USUARIO EN PROM.

#### UNIDAD DE MEMORIA.

PARA LAS NECESIDADES DEL SISTEMA SE CONSIDERO NECESARIO CONTAR CON DOS TIPOS DE MEMORIA: RAM Y PROM. LOS CIRCUITOS SELECCIONADOS FUERON, PARA LA MEMORIA RAM, EL 2114 QUE ESTA CONSTITUIDO POR 1024 PALABRAS DE 4 BITS CADA UNA. PARA INTEGRAR PALABRAS DE 8 BITS SE ADQUIRIERON 2 CIRCUITOS. EN CUANTO A LA MEMORIA PROM, SE ANALIZARON VARIOS TIPOS ANTES DE SELECCIONAR LA 2716, INTEGRADA POR 2048 PALABRAS DE 8 BITS DE LONGITUD, QUE FUE LA QUE SE ADAPTO MEJOR A LAS NECESIDADES DE FUNCIONAMIENTO DEL SISTEMA, Y DIO LA CAPACIDAD REQUERIDA POR LA LONGITUD DEL PROGRAMA MONITOR.

EL ANALISIS DE LA UNIDAD DE MEMORIA SE REALIZO INTEGRANDOLA AL "STARTER KIT" DE ZILOG, LO QUE PERMITIO OBSERVAR SU RESPUESTA A LAS DIFERENTES PRUEBAS DE FUNCIONAMIENTO.

EN EL CASO PARTICULAR DEL PROGRAMA MONITOR, LAS PRUEBAS NECESARIAS SE REALIZARON EN MEMORIA RAM. LA GRABACION DEL PROGRAMA DEFINITIVO SE HIZO A TRAVES DEL PROGRAMADOR DE MEMORIAS DEL SISTEMA "STARTER KIT", CON LA AYUDA DE DOS FUENTES DE VOLTAJE DE 5 Y 25 VOLTS CONSTRUIDAS PARA TAL EFECTO.

#### CIRCUITO DE RELOJ.

EN VISTA DE QUE EL CIRCUITO DE RELOJ CON QUE SE CONTO FUNCIONABA A 3.99 MHZ, SE REDUJO SU FRECUENCIA MEDIANTE DIVISION POR 2 EMPLEANDO EL BIESTABLE (FLIP FLOP) 74LS74 TIPO D, QUE CUMPLIO EN FORMA OPTIMA CON SU FUNCION.

#### CONEXION DE PUERTOS.

SE SELECCIONARON PUERTOS EN PARALELO POR CONSIDERARSE QUE SU USO BRINDABA MAYOR VERSATILIDAD EN LAS CONEXIONES QUE EL SID, LO CUAL FUE COMPROBADO EN LA PRACTICA.

TAMBIEN PARA ESTA ACTIVIDAD SE EMPLEO COMO AUXILIAR EL SISTEMA "STARTER KIT", PUES HACIENDO USO DEL AREA DE ALAMBRADO, FUE MUY SIMPLE LA PRUEBA DE LAS CONEXIONES DEL PIO Y CTC PARA CIRCUITOS EXTERNOS.

#### DISTRIBUCION DE COMPONENTES.

SE ESTUDIARON DIVERSAS DISTRIBUCIONES DE COMPONENTES ANTES DE OBTENER LA DEFINITIVA, PUES HABIENDOSE DECIDIDO UTILIZAR

EL SISTEMA DE ALAMBRADO "WIRE WRAP", ERA IMPORTANTE CONSIDERAR LA COLOCACION DE LOS CIRCUITOS CON EL FIN DE SIMPLIFICAR ESTE TRABAJO.

LAS DIMENSIONES DE LA TARJETA EMPLEADA PARA ARMAR EL SISTEMA FUERON OTRA LIMITANTE PARA LA DISTRIBUCION DE LOS CIRCUITOS, DADO QUE SE CONTO CON UN AREA DE 15 X 23 CMS. FUE DE GRAN AYUDA CONTAR CON TECLAS DE DIMENSIONES REDUCIDAS, PUES EL ESPACIO PARA EL TECLADO RESULTO PEQUENO Y SE ENCONTRO UNA DISTRIBUCION OPTIMA EN RELACION AL APROVECHAMIENTO DEL ESPACIO.

EN LA FIG 2 PUEDE OBSERVARSE EL RESULTADO DE LA DISTRIBUCION FINAL.

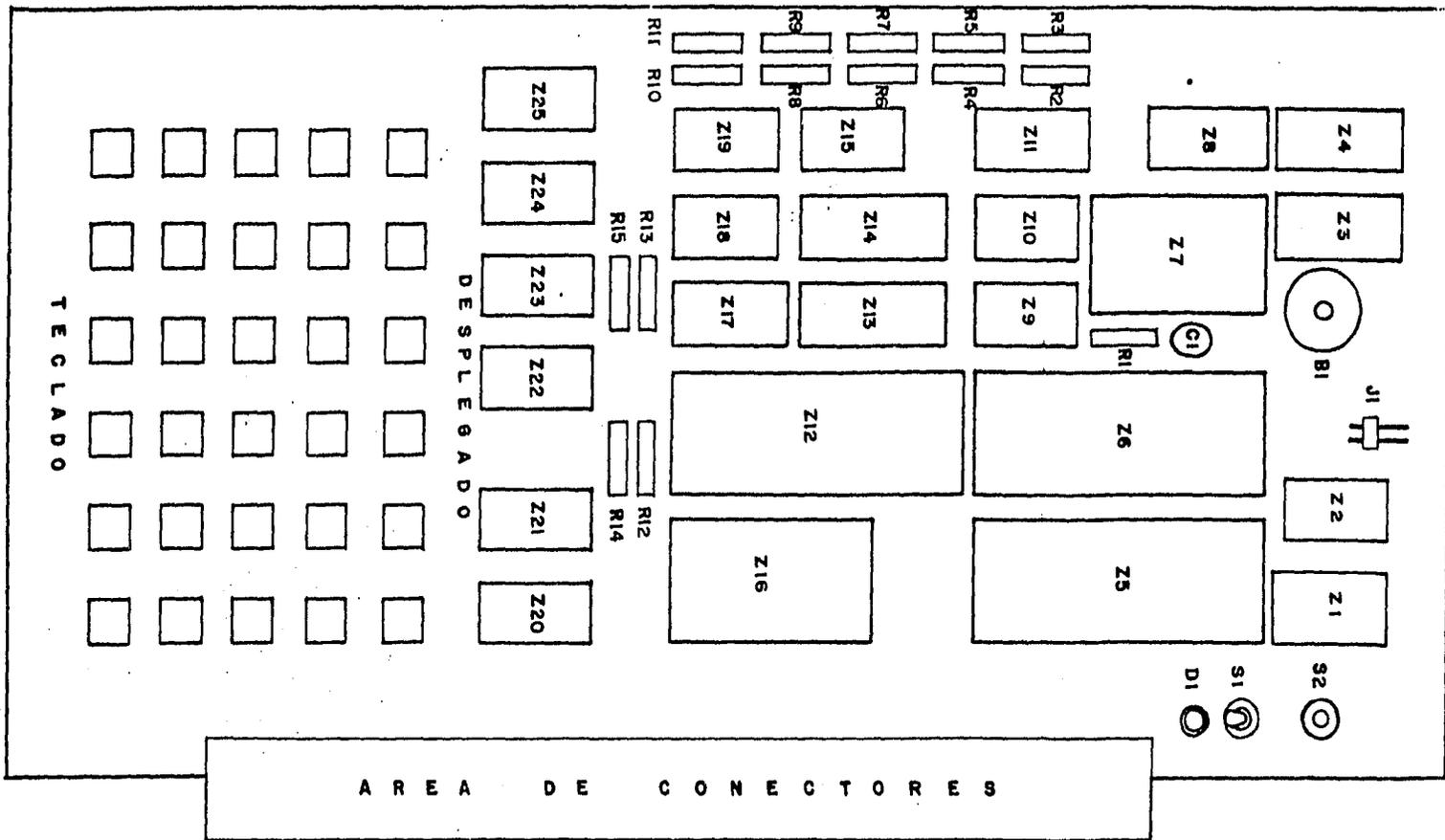


FIG. 2 LOCALIZACION DE COMPONENTES

DESCRIPCION DE LA ARQUITECTURA DEL SISTEMA

LA DESCRIPCION DE LA ARQUITECTURA DEL SISTEMA FI-001, SE HACE TOMANDO COMO REFERENCIA LA FIGURA 2, EL DIAGRAMA DE BLOQUES MOSTRADO EN LA FIGURA 3 Y EL DIAGRAMA ESQUEMATICO PRESENTADO EN EL MANUAL DE OPERACION QUE SE ANEXA COMO PARTE FINAL.

CIRCUITOS DE LA FAMILIA Z80.

CPU Z80. EL MICROPROCESADOR Z80 (Z6) ES EL COMPONENTE FUNDAMENTAL DE LOS QUE CONSTITUYEN EL SISTEMA FI-001. SU FUNCION PRINCIPAL ES LA DE GENERAR LAS SEÑALES DE CONTROL PARA LA OPERACION CORRECTA DE LOS DISPOSITIVOS NECESARIOS PARA EL MANEJO DEL INDICADOR LUMINOSO, TECLADO, MEMORIA Y PERIFERICOS.

EL CPU OPERA CON UN "BUS" DE DIRECCIONES DE 16 BITS, UN "BUS" DE DATOS BIDIRECCIONAL DE 8 BITS Y 8 SEÑALES DE CONTROL.

ESTAS SEÑALES SE HAN ALAMDRADO A CONECTORES DE FACIL ACCESO, EN LOS CUALES SE PUEDEN AUMENTAR LOS CIRCUITOS DISEÑADOS POR EL USUARIO, YA SEA PRACTICAS DE USO ESPECIFICO O DE EXPANSION DEL SISTEMA. EL RESUMEN DEL MANUAL TECNICO DEL CPU PROPORCIONA MAYOR INFORMACION ACERCA DE ESTE DISPOSITIVO.

PIO Z80. EL CIRCUITO DE ENTRADA/SALIDA EN PARALELO PIO (PARALLEL INPUT/OUTPUT) ES UN DISPOSITIVO PROGRAMABLE QUE PROPORCIONA LA INTERFAZ COMPATIBLE ENTRE EL CPU Y PERIFERICOS.

EL PIO CONTIENE DOS PUERTOS BIDIRECCIONALES PARA CONEXION EN PARALELO. AMBOS PUERTOS PUEDEN HACER USO DE LINEAS ESPECIALES PARA EL PROTOCOLO DE INTERRUPCION Y PARA EL CONTROL EN LA TRANSFERENCIA DE DATOS.

EL SISTEMA FI-001 CUENTA CON DOS CIRCUITOS PIO. UNO DE ELLOS ESTA COMPLETAMENTE DISPONIBLE PARA EL USUARIO (Z5), Y SUS LINEAS DE CONTROL Y DATOS HAN SIDO ALAMBRADAS EN EL AREA DE CONECTORES.

EL OTRO PIO ES DE USO EXCLUSIVO PARA EL MANEJO DEL DESPLEGADO Y DEL TECLADO DEL SISTEMA (Z12) Y SE HACE UNA EXPLICACION MAS AMPLIA DE SU FUNCIONAMIENTO EN LA SECCION

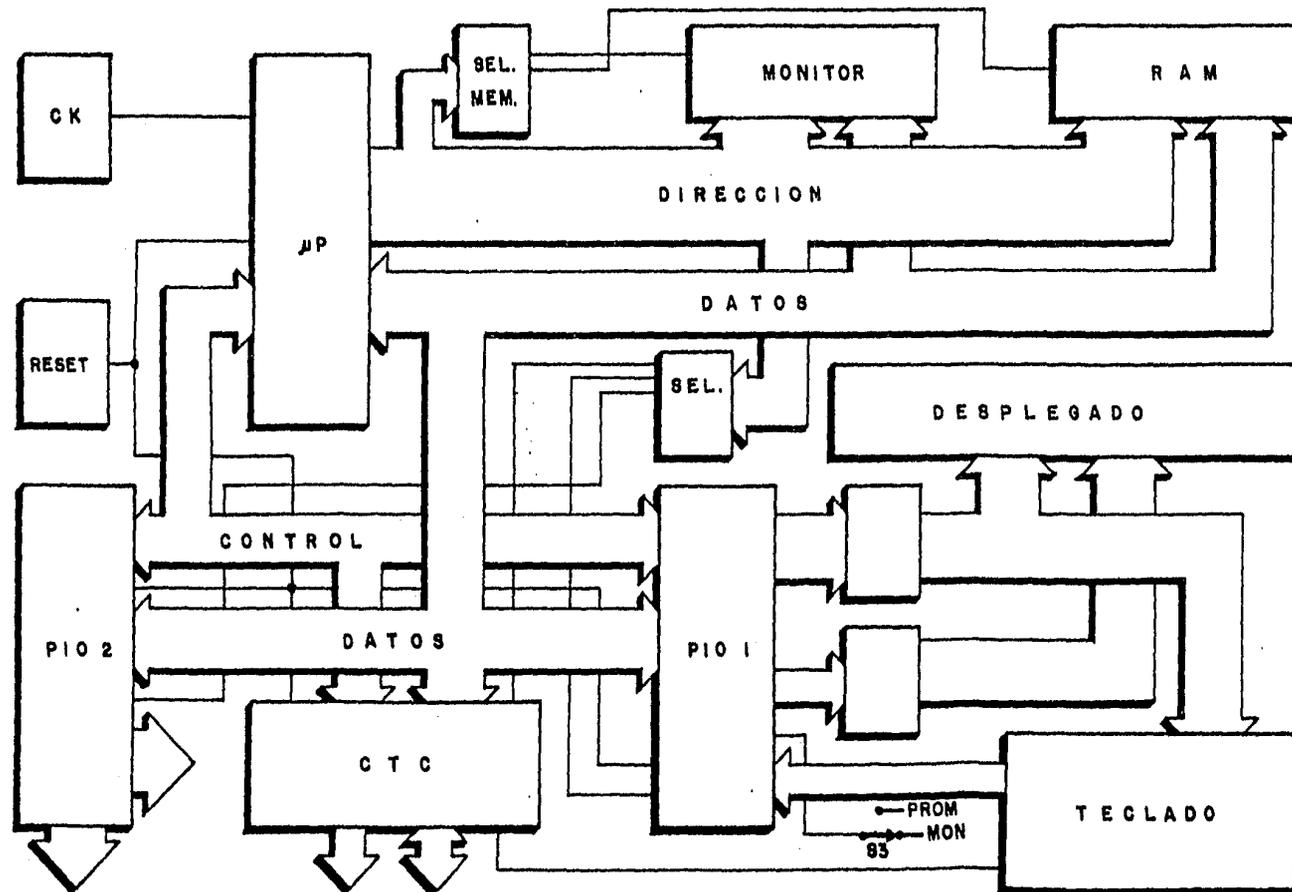


FIG.3 DIAGRAMA DE BLOQUES DEL SISTEMA FI-001

CORRESPONDIENTE. PARA MAYOR INFORMACION DE ESTE CIRCUITO SE PUEDE CONSULTAR EL RESUMEN DEL MANUAL TECNICO INCLUIDO AL FINAL.

CTC Z80. EL CIRCUITO CONTADOR O MARCADOR DE TIEMPO (COUNTER TIMER CIRCUIT) ES UN COMPONENTE PROGRAMABLE DE CUATRO CANALES INDEPENDIENTES (Z16), QUE PROPORCIONA LAS FUNCIONES DE CONTEO O TEMPORIZACION, TOMANDO COMO BASE DE TIEMPO EL RELOJ DEL SISTEMA O UNA SENAL DE DISPARO Y CONTEO EXTERNA.

EL PROGRAMA MONITOR DEL SISTEMA FI-001 USA EL CANAL 0 DEL CTC PARA REALIZAR ALGUNAS DE SUS FUNCIONES COMO SON LA RECUPERACION DEL CONTROL DEL SISTEMA A TRAVES DE LA TECLA MONITOR, Y LA EJECUCION DE PROGRAMAS PASO A PASO.

LOS TRES CANALES RESTANTES PUEDEN SER UTILIZADOS POR EL USUARIO, POR LO QUE SE HAN DEJADO DISPONIBLES SUS LINEAS DE CONTROL CORRESPONDIENTES EN EL AREA DE CONECTORES. PARA MAYOR INFORMACION DE ESTE CIRCUITO SE PUEDE CONSULTAR EL RESUMEN DEL MANUAL TECNICO DEL CTC .

#### RELOJ DEL SISTEMA.

EL RELOJ PARA LA BASE DE TIEMPO DE ESTE SISTEMA SE HA IMPLEMENTADO CON UN CIRCUITO INTEGRADO DE "OHIO NUCLEAR" (Z1), EL CUAL GENERA UNA SENAL DE 3.99 MHZ DE 5 VOLTS DE AMPLITUD. ESTA SENAL ES REDUCIDA A LA MITAD DE FRECUENCIA POR EL BIESTABLE 74LS74 (Z2A) Y ASI ALIMENTADA COMO RELOJ GENERAL DEL SISTEMA A TODOS LOS CIRCUITOS QUE REQUIEREN DE ESTE.

#### DESPLEGADO Y TECLADO.

EL DESPLEGADO Y TECLADO DEL SISTEMA FI-001 SON MANEJADOS POR EL CPU A TRAVES DEL PIO 1, EFECTUANDO UN BARRIDO ALTERNADO DE CADA UNO DE ELLOS. EL DATO DEL CARACTER QUE SE VA A DESPLEGAR ES ENVIADO POR EL PUERTO B DEL PIO. ESTA INFORMACION ES TRANSMITIDA AL DESPLEGADO (Z20-Z25) POR MEDIO DE LOS CIRCUITOS SN75491 (Z18 Y Z19) QUE PROPORCIONAN LA CORRIENTE NECESARIA A CADA SEGMENTO.

LA SELECCION DEL DIGITO CORRESPONDIENTE AL CARACTER ENVIADO, SE HACE POR MEDIO DEL CIRCUITO SN74LS145 (Z17) DE ACUERDO AL NUMERO BINARIO PRESENTE EN LOS BITS 0,1, Y 2 DEL PUERTO A.

LA INFORMACION DESPLEGADA PERMANECE POR 1.5 MILISEGUNDOS APROXIMADAMENTE, EN FORMA HEXADECIMAL. DESPUES DE ESTE

TIEMPO SE CAMBIA LA INFORMACION EN EL PUERTO B Y SE SELECCIONA SU DIGITO CORRESPONDIENTE EN EL PUERTO A.

DESPUES DE HABER EFECTUADO EL BARRIDO COMPLETO DEL DESPLEGADO SE INICIA EL DEL TECLADO.

EL TECLADO SE ENCUENTRA EN UN ARREGLO MATRICIAL FORMADO POR LAS OCHO LINEAS QUE SE PROLONGAN DEL DESPLEGADO Y QUE ESTAN CONECTADAS AL PUERTO B DEL PIO, COLOCADAS EN FORMA DE COLUMNAS. EN FORMA HORIZONTAL ESTAN CONECTADAS LAS CUATRO LINEAS ALTAS DEL PUERTO A Y ES POR ESTAS EN DONDE SE RECIBE LA INFORMACION PARA DETECTAR ALGUNA TECLA OPRIMIDA. EL BARRIDO SE REALIZA ENVIANDO UN PATRON DE 8 BITS EN EL PUERTO B DE MANERA QUE UNA COLUMNA SE PUEDA ANALIZAR, Y EN CASO DE QUE NO HAYA ALGUNA TECLA PRESENTE, SE RECORRE ESTE PATRON HASTA TERMINAR EL ANALISIS DE LAS OCHO COLUMNAS.

PARA LA REALIZACION DE ESTAS FUNCIONES SE TIENE OPERANDO AL PUERTO B COMO SALIDA Y AL PUERTO A EN FORMA DE ENTRADA-SALIDA. UN ELEMENTO IMPORTANTE DE ESTA PARTE DEL SISTEMA ES EL SELECTOR S3. EN LA SUBROUTINA DE INICIO, DESPUES DE APLICAR ALIMENTACION AL SISTEMA O DE OPERAR EL BOTON DE RESET (S2) SE EFECTUA UNA LECTURA A TRAVES DEL PUERTO A DEL PIO PARA DETECTAR LA POSICION DE S3. SI EL SELECTOR SE ENCUENTRA EN LA POSICION DE PROM, EL CPU REALIZA UN SALTO A LA DIRECCION 0800H EN LA CUAL SE ENCUENTRA EL PRIMER BYTE DIRECCIONABLE DE UNA PROM O EPROM QUE CONTENGA ALGUN PROGRAMA DE USUARIO.

EN CASO DE QUE ESTE SELECTOR SE ENCUENTRE EN LA POSICION DE MON, EL CPU CONTINUA CON LA EJECUCION DEL PROGRAMA MONITOR DESPLEGANDO LOS CARACTERES FI-001 Y QUEDA LISTO PARA LA OPERACION POR PARTE DEL USUARIO.

#### DECODIFICACION DE MEMORIA.

EL CPU PUEDE DIRECCIONAR HASTA 64 KILOBYTES DE MEMORIA POR MEDIO DE SUS 16 LINEAS DE DIRECCION.

EN EL SISTEMA FI-001 SE HAN DECODIFICADO 16 KILOBYTES EN BLOQUES DE 2 KILOBYTES DE MEMORIA POR MEDIO DEL CIRCUITO 74LS138 (28), UTILIZANDO LAS LINEAS 11, 12, 13 Y 14 DE DIRECCION Y LA LINEA DE CONTROL MREQ.

EL USUARIO PUEDE EMPLEAR LAS LINEAS DE DIRECCION RESTANTES PARA DECODIFICAR MEMORIA ADICIONAL CONECTADA AL SISTEMA, O BIEN, USANDO LAS MISMAS PARA HACER UNA DECODIFICACION POR BLOQUES SIMILAR.

POR LA FORMA EN QUE SE HA DECODIFICADO LA MEMORIA EXISTENTE SE DEBE TENER EN CUENTA LA PRESENCIA DE UN ESPEJO DE MEMORIA. ESTO SE DEBE A QUE LA LINEA 15 DE DIRECCION NO SE HA USADO PARA LA DECODIFICACION Y SE PUEDE HABILITAR ESTA MEMORIA CON LAS DIRECCIONES DE 0000H A LA 3FFFH O CON SU ESPEJO 8000H A LA CFFFH.

LA UTILIZACION DE LOS BLOQUES DE MEMORIA DECODIFICADA SE MUESTRA EN LA TABLA SIGUIENTE:

DIRECCION HEXADECIMAL	USO EN EL SISTEMA
0000 - 07FF	PROM PROGRAMA MONITOR
0800 - 0FFF	PROM PROGRAMA USUARIO
1000 - 13FF	1KB RAM DEL SISTEMA
1400 - 17FF	NO USADA
1800 - 1FFF	NO USADA
2000 - 27FF	NO USADA
2800 - 2FFF	NO USADA
3000 - 37FF	NO USADA
3800 - 3FFF	NO USADA

EN EL SISTEMA FI-001 SE ENCUENTRA 1 KILOBYTE DE MEMORIA RAM (Z13 Y Z14) DISPONIBLE PARA EL USUARIO LOCALIZADA COMO LO INDICA LA TABLA ANTERIOR A PARTIR DE LA DIRECCION 1000H.

DE ESTA MEMORIA, EL SISTEMA UTILIZA PARA EL PROGRAMA MONITOR 100 BYTES DESTINADOS A ALMACENAR EL ESTADO TEMPORAL DE BANDERAS Y REGISTROS. TAMBIEN EN ESTA SE ENCUENTRA EL AREA DE APILAMIENTO DE DATOS, EL CUAL SE INICIA EN LA DIRECCION 139CH Y AVANZA A DIRECCIONES INFERIORES DEPENDIENDO DE LA FORMA EN QUE ES EMPLEADO POR EL USUARIO EN SUS PROGRAMAS.

LAS LINEAS PARA SELECCIONAR LOS BLOQUES DE MEMORIA DECODIFICADOS SE HAN ALAMBRADO AL AREA DE CONECTORES PARA QUE EL USUARIO TENGA FACIL ACCESO A ESTAS.

**DECODIFICACION DE PUERTOS.**

EL CPU TIENE CAPACIDAD PARA DIRECCIONAR HASTA 256 PUERTOS POR MEDIO DE SUS OCHO LINEAS DE DIRECCION BAJAS, ES DECIR DE LA LINEA 0 A LA LINEA 7. EN EL SISTEMA SE HA USADO EL CIRCUITO 74LS138 (Z11) PARA DECODIFICAR OCHO LINEAS DE SELECCION DE PUERTOS EN BLOQUES DE CUATRO, CADA UNA DE ELLAS.

LAS LINEAS 0, 1 Y 2 HAN SIDO UTILIZADAS PARA SELECCIONAR EL CTC, EL PIO DEL SISTEMA Y EL PIO DEL USUARIO, RESPECTIVAMENTE.

LA ASIGNACION DE LOS PUERTOS SELECCIONADOS POR ESTAS LINEAS SE MUESTRA EN LA SIGUIENTE TABLA.

DIRECCION DE PUERTO	SECCION SELECCIONADA
00	CANAL 0 DEL CTC
01	CANAL 1 DEL CTC
02	CANAL 2 DEL CTC
03	CANAL 3 DEL CTC
04	REGISTRO DATOS A PIO SISTEMA
05	REGISTRO DATOS B PIO SISTEMA
06	REGISTRO CONTROL A PIO SISTEMA
07	REGISTRO CONTROL B PIO SISTEMA
08	REGISTRO DATOS A PIO USUARIO
09	REGISTRO DATOS B PIO USUARIO
0A	REGISTRO CONTROL A PIO USUARIO
0B	REGISTRO CONTROL B PIO USUARIO

LAS LINEAS 3 A LA 7 DEL DECODIFICADOR 74LS138 QUEDAN A DISPOSICION DEL USUARIO PARA CONEXION DE CIRCUITOS DISENADOS POR EL, QUE NECESITEN DE DIRECCIONAMIENTO EN FORMA DE PUERTOS.

CON LA DECODIFICACION HECHA DE LOS PUERTOS DEL SISTEMA, OCURRE LO MISMO QUE CON LA MEMORIA; ESTO ES, SE TIENE UN ESPEJO DE PUERTOS DECODIFICADOS LOCALIZADOS A PARTIR DE LA DIRECCION 80H A LA 9FH.

EN CASO DE QUE SEA NECESARIO AUMENTAR LA CAPACIDAD DE PUERTOS DIRECCIONABLES, SE PUEDE HACER USO DE LAS LINEAS DE DIRECCION DE LA 0 A LA 7 PARA DECODIFICAR MAS PUERTOS, SIEMPRE Y CUANDO SE TENGA PRESENTE LA FORMA EN QUE OPERAN Y SE SELECCIONAN LOS QUE YA EXISTEN EN EL SISTEMA FI-001, PARA EVITAR PROBLEMAS EN EL FUNCIONAMIENTO DE ESTE.

CIRCUITO DE EJECUCION PASO A PASO.

EL SISTEMA FI-001 PROPORCIONA AL USUARIO LA FACILIDAD DE EJECUTAR PROGRAMAS POR INSTRUCCIONES O PASO A PASO.

ESTA FUNCION ES EFECTUADA EN REALIDAD, EN FORMA ALAMBRADA O "HARDWARE", POR LO QUE SE PUEDE OPERAR CON CUALQUIER PROGRAMA QUE SE ENCUENTRE EN LOCALIDADES DE MEMORIA DIRECCIONABLES POR EL CPU, INDEPENDIEMENTE DEL TIPO DE MEMORIA QUE SE TENGA, YA SEA RAM, ROM O EPROM.

SE UTILIZA AL CANAL O DEL CTC PARA GENERAR UN PULSO AL MOMENTO EN QUE SE ESTA EJECUTANDO LA PRIMERA INSTRUCCION CONSECUTIVA A LA SELECCION DE LA FUNCION PASO A PASO.

ESTE PULSO SE OBTIENE POR LA SALIDA Z/T DEL CANAL O DEL CTC Y SE INVIERTE PARA APLICARLO A LA ENTRADA DE INTERRUPCION NO MASCARABLE (NMI) DEL CPU .

LA INTERRUPCION NO MASCARABLE ES RECONOCIDA, PERO SOLO SE ATIENDE HASTA QUE EL CPU TERMINA DE EFECTUAR LA INSTRUCCION QUE ESTA REALIZANDO. TERMINADA ESTA, EL CPU EJECUTA UN SALTO A LA DIRECCION 0066H, EN LA QUE SE INICIA LA SUBROUTINA DE LAS INTERRUPCIONES NO MASCARABLES.

EN ESTA SUBROUTINA SE RECONOCE LA FUNCION DE EJECUCION PASO A PASO Y SE PROCEDE A SALVAR EL CONTENIDO DE LOS REGISTROS EN EL AREA CORRESPONDIENTE, DESPLEGANDOSE EL CONTENIDO DEL ACUMULADOR Y LA DIRECCION DE LA SIGUIENTE INSTRUCCION.

TAMBIEN ES NECESARIO MENCIONAR QUE ESTE PULSO, GENERADO POR EL CTC, PROPORCIONA UNA SENAL DE RESET PARA EL MISMO, POR LO QUE ESTA FORMA DE OPERACION INICIALIZA EL ESTADO DE FUNCIONAMIENTO PROGRAMADO PARA ESTE DISPOSITIVO Y DETIENE LAS OPERACIONES DE CONTEO O TEMPORIZACION QUE HAYA ESTADO EFECTUANDO.

#### PRIORIDAD DE INTERRUPCION.

TODOS LOS DISPOSITIVOS PERIFERICOS DE LA FAMILIA Z80 TIENEN INTERCONSTRUIDO UN CIRCUITO DE CONTROL DE INTERRUPCIONES, POR LO QUE NO ES NECESARIO DISEÑAR O ALAMBRAR UNO ADICIONAL PARA ESTA FUNCION.

LA PRIORIDAD DE CADA DISPOSITIVO QUEDA DETERMINADA POR LA POSICION QUE OCUPAN SUS LINEAS IEI (INTERRUPT ENABLE INPUT) E IEO (INTERRUPT ENABLE OUTPUT) EN LA CONEXION DE "DAISY CHAIN" QUE SE HACE ENTRE ELLOS.

EN EL SISTEMA FI-001 SE HA DADO LA MAYOR PRIORIDAD AL CTC ; DESPUES ESTA CONECTADO EL PIO DEL SISTEMA Y AL FINAL SE HA

DEJADO EL PIO DESTINADO AL USUARIO, QUIEN PUEDE HACER USO DE LA SALIDA IEO DE ESTE ULTIMO PARA EXTENDER EL CONTROL DE PRIORIDAD DE INTERRUPCION A OTROS DISPOSITIVOS.

AREA DE CONECTORES.

POR ULTIMO, SE MENCIONA LA EXISTENCIA DE UN AREA DESTINADA A LA COLOCACION DE CONECTORES, LOS CUALES PROPORCIONAN ALGUNAS DE LAS SEÑALES MAS IMPORTANTES DISPONIBLES.

ESTOS CONECTORES CONCEDEN AL USUARIO LA FACILIDAD DE EXTENDER EL SISTEMA, SIEMPRE Y CUANDO SE OBSERVEN LAS CARACTERISTICAS DE USO DEL MISMO.

## DESCRIPCION DEL PROGRAMA MONITOR.

LA INTRODUCCION DE LOS MICROPROCESADORES EN LOS SISTEMAS DE MICROCOMPUTACION HA IMPLICADO EL AUMENTO DE COMPLEJIDAD EN LA LOGICA DE SU FUNCIONAMIENTO.

PARA CONSEGUIR UN USO MAS RACIONAL Y UN MEJOR APROVECHAMIENTO DE ESTOS SISTEMAS, SE HAN DESARROLLADO UNA SERIE DE PROGRAMAS QUE CONSTITUYEN EL SOFTWARE FUNCIONAL, GENERALMENTE LLAMADOS PROGRAMA MONITOR PARA SISTEMAS PEQUENOS, HASTA SISTEMAS OPERATIVOS PARA SISTEMAS MAYORES.

EL PROGRAMA MONITOR ES UNA COLECCION ORDENADA DE RUTINAS Y PROCEDIMIENTOS QUE ACOMPAÑAN AL MICROPROCESADOR Y QUE NORMALMENTE REALIZA TODAS O ALGUNA DE LAS SIGUIENTES FUNCIONES:

- PLANIFICACION, CARGA, INICIALIZACION Y SUPERVISION DE LA EJECUCION DE PROGRAMAS
- SUPERVISION DE MEMORIA, UNIDADES DE ENTRADA/SALIDA Y OTROS DISPOSITIVOS.
- INICIALIZACION Y CONTROL DE LAS OPERACIONES DE ENTRADA/SALIDA.
- TRATAMIENTO DE ERRORES DE OPERACION.
- COORDINACION DE LAS COMUNICACIONES ENTRE EL SISTEMA Y EL OPERADOR.
- MANTENIMIENTO DE UN REGISTRO CON LAS OPERACIONES DEL SISTEMA.

EL PROGRAMA MONITOR O SUPERVISOR DEBE ESTAR SIEMPRE EN LA MEMORIA Y CONTIENE EN GENERAL, TODOS LOS SUBPROGRAMAS QUE REALIZAN LAS FUNCIONES BASICAS DEL SISTEMA.

LOS ELEMENTOS DEL MONITOR SON: CONTROL DE ENTRADA/SALIDA, COMUNICACIONES Y RECUPERACION DEL SISTEMA.

EL CONTROL DE E/S REGULA LAS ACTIVIDADES DE LOS DISPOSITIVOS DE E/S. COMPRENDE: LA PLANIFICACION DE LOS RECURSOS DE E/S, LA TRANSFERENCIA DE DATOS Y EL SOPORTE DE LOS PERIFERICOS EXTERNOS.

EL AREA DE COMUNICACIONES SE RESPONSABILIZA DE LOS INTERCAMBIOS DE INFORMACION ENTRE EL SISTEMA Y EL USUARIO.

CUANDO UN ERROR DE OPERACION IMPIDE LA CONTINUACION NORMAL DE UN TRABAJO, INTERVIENEN LAS SUBROUTINAS DE RECUPERACION QUE PERMITEN EL RETORNO AL PROGRAMA MONITOR.

EN RESUMEN, EL MONITOR ES EL CONJUNTO DE PROGRAMAS DEL SISTEMA, QUE PERMITEN AL USUARIO EMPLEAR ESTE EN FORMA COMODA Y OPTIMIZAN SU RENDIMIENTO.

EL MONITOR DEL SISTEMA FI-001 ES UN PROGRAMA DE 2 KILOBYTES DE MEMORIA, ESCRITO PARA EL MICROPROCESADOR Z80, EL CUAL PERMITE AL USUARIO CORREGIR Y EJECUTAR PROGRAMAS A NIVEL DE LENGUAJE DE MAQUINA ELABORADOS PARA ESTE MICROPROCESADOR.

EL PROGRAMA MONITOR UTILIZA UN TECLADO MATRICIAL Y UN DESPLEGADO DE 4 DIGITOS HEXADECIMALES, PARA LA ENTRADA Y DESPLIEGUE DE DATOS RESPECTIVAMENTE.

LAS OPCIONES DE PAUSA (BREAKPOINT), EJECUCION PASO A PASO, LECTURA O MODIFICACION DE REGISTROS DEL CPU, DETECCION DE ERRORES DE OPERACION Y FUNCIONES PROGRAMABLES, PROPORCIONAN AL USUARIO UNA CAPACIDAD DE DIAGNOSTICO Y OPERACION AVANZADAS, QUE NORMALMENTE SE ENCUENTRAN SOLO EN EQUIPOS O SISTEMAS MAS GRANDES Y COSTOSOS.

EL MONITOR DEL SISTEMA FI-001 PROPORCIONA AL USUARIO LAS SIGUIENTES FUNCIONES A TRAVES DEL TECLADO HEXADECIMAL:

- RETORNO AL MONITOR (MON). COMO SU NOMBRE LO INDICA, CONSISTE EN DEVOLVER EL CONTROL DE LA OPERACION DEL SISTEMA AL MONITOR.
- EXAMINAR MEMORIA (EXMEM). PERMITE CONOCER EL CONTENIDO DE UNA LOCALIDAD DE MEMORIA, Y MODIFICARLO SI ES NECESARIO.
- EXAMINAR REGISTROS (EXREG). ES EQUIVALENTE AL CASO ANTERIOR, EN LO QUE RESPECTA AL GRUPO DE REGISTROS PRINCIPALES DEL CPU.
- EXAMINAR REGISTROS ALTERNOS (EXRCA). PERMITE CONOCER Y MODIFICAR EL CONTENIDO DE LOS REGISTROS ALTERNOS.
- EXAMINAR PUERTOS (EXPTO). SIRVE PARA EFECTUAR FUNCIONES DE LECTURA Y ESCRITURA EN LOS PUERTOS.
- PAUSA (PSA). PROPORCIONA AL USUARIO LA CAPACIDAD DE EJECUTAR UN PROGRAMA HASTA EN 7 PARTES.
- EJECUCION PASO A PASO (EPP). FACILITA AL USUARIO EL CONTROL DE LA EJECUCION DEL PROGRAMA, EFECTUANDO UNA INSTRUCCION CADA VEZ.

- EJECUCION (EJEC). PRINCIPIA LA REALIZACION DE UN PROGRAMA DESPUES DE HABERSE DEFINIDO SU DIRECCION DE INICIO.
- SIGUIENTE (SIG). PERMITE AL USUARIO INCREMENTAR LA DIRECCION, REGISTRO O PUERTO DURANTE LA REALIZACION DE LA FUNCION "EXAMINAR" DE CADA UNO DE ELLOS.
- ANTERIOR (ANT). OPERA EN FORMA SIMILAR AL CASO ANTERIOR, PERO DECREMENTANDO LAS DIRECCIONES, REGISTROS O PUERTOS.
- FUNCION PROGRAMABLE 1 (F1)
- FUNCION PROGRAMABLE 2 (F2)
- FUNCION PROGRAMABLE 3. (F3) ESTAS TRES ULTIMAS PERMITEN AL USUARIO GENERAR NUEVAS FUNCIONES DENTRO DEL SISTEMA O EJECUTAR PROGRAMAS EN CUALQUIER AREA DE MEMORIA, OPERANDO SOLO UNA TECLA.

ADICIONALMENTE, EL MONITOR CONTIENE PROGRAMAS Y SUBROUTINAS PARA LA OPERACION DEL SISTEMA, COMO SON LAS SIGUIENTES:

- INICIALIZACION. SE ENCARGA DE ESTABLECER LOS ESTADOS INICIALES DE OPERACION DEL SISTEMA.
- SALVAR REGISTROS. ALMACENA EL ESTADO TEMPORAL DE LOS REGISTROS DEL USUARIO EN EL AREA CORRESPONDIENTE.
- REINICIO 0. HABILITA EL REGRESO AL SISTEMA DESPUES DE QUE SE HA RECONOCIDO UNA PAUSA DENTRO DEL PROGRAMA DEL USUARIO.
- INTERRUPCION NO MASCARABLE. ESTA SUBROUTINA SE ENCARGA DE COMPLEMENTAR LAS FUNCIONES DE EJECUCION PASO A PASO, RETORNO A MONITOR Y PAUSA.
- DESPLEGAR. PERMITE EL MANEJO DE ESTE DISPOSITIVO DE SALIDA DE LA INFORMACION DEL SISTEMA EN FORMA VISUAL.
- TECLADO. REALIZA EL TRATAMIENTO DE LA INFORMACION PROPORCIONADA POR EL USUARIO.
- ERROR DE OPERACION. DESPLIEGA 6 DIFERENTES MENSAJES QUE INDICAN AL USUARIO QUE LA SECUENCIA DE OPERACION NO HA SIDO CORRECTA.
- CAMBIAR DATO. EFECTUA LA ACTUALIZACION DE DATOS EN MEMORIA, REGISTROS O PUERTOS.

A CONTINUACION SE INCLUYE EL DIAGRAMA DE FLUJO DE LAS FUNCIONES, PRECEDIDOS POR LA DEFINICION DE CADA UNO DE LOS TERMINOS USADOS EN LOS MISMOS.

## SUBROUTINAS

CAMDAT            CAMBIA DATO EN MEMORIA, PUERTO O REGISTRO.

ERROR0           CARGA LOS CARACTERES CORRESPONDIENTES AL MENSAJE DE ERROR EN EL DISPLAY, Y LLAMA A LA SUBDRUTINA SALERR.

ERROR1           NO HAY COMANDO PREVIO. CARGA EL NUMERO DE ERROR EN DISPLAY Y LLAMA SUBDRUTINA ERROR 0.

ERROR2           NO EXISTE REGISTRO (0,1). CARGA EL NUMERO DE ERROR Y LLAMA SUBDRUTINA ERROR0.

ERROR3           EL APUNTADOR DE PILA (SP) NO SE PUEDE MODIFICAR. CARGA NUMERO DE ERROR Y LLAMA SUBDRUTINA ERROR0.

ERROR4           NO SE PUEDEN REALIZAR LAS FUNCIONES ANT, SIG, EPP; NECESITAN INFORMACION.

ERROR5           SE TIENE YA EL NUMERO MAXIMO DE PAUSAS. (6)

ERROR6           NO SE PUEDE CAMBIAR EL CONTENIDO DEL AREA DEL APUNTADOR DE PILA (SP) CON LA FUNCION EXMEM.

LIMDAN           SE LIMPIAN LOS BANDERAS.

SALREG           SE CARGA EL CONTENIDO DE LOS REGISTROS EN LA TABLA CORRESPONDIENTE.

SIGPSA           SE OBTIENE LA DIRECCION DE LA SIGUIENTE PAUSA.

SUDDE0           CONVIERTE LOS 4 PRIMEROS DIGITOS DE RODES EN UNA DIRECCION EN DC.

SUDEE1           SEPARA UN DYTE EN 2 PARTES Y LOS COLOCA EN (IX + 0) Y EN (IX + 1).

SUDEE2           GENERA UN DYTE CON EL CONTENIDO DE (IX + 0) E (IX + 1) Y LO GUARDA EN D.

SUDRET           SUBDRUTINA DE RETRASO (PARA EL TIEMPO ENTRE DIGITO DEL DISPLAY).

## REGISTROS TEMPORALES

APDIG GUARDA EL APUNTADOR DEL DIGITO ACTUAL EN EL DISPLAY.

APPILA GUARDA LA PARTE BAJA DEL APUNTADOR DE PILA DEL USUARIO.

APPIL1 GUARDA LA PARTE ALTA DEL APUNTADOR DE PILA DEL USUARIO.

DIRCOM GUARDA LA DIRECCION DE LA FUNCION QUE SE ESTA EFECTUANDO.

DIRDAT GUARDA PARTE DE LA DIRECCION DEL DATO QUE SE VA A EXAMINAR O A CAMBIAR (MEMORIA, PUERTO).

FILTRO GUARDA EL NO. DE VECES QUE SE HA EXAMINADO LA TECLA (2, 1 O 0).

RGDES0-5 GUARDAN LOS VALORES EQUIVALENTES DE LOS CARACTERES QUE SE VAN A ENVIAR AL DISPLAY.

RGDES 6-7 GUARDA LOS VALORES EQUIVALENTES DE LOS CARACTERES DEL NUEVO DATO.

TECFIL GUARDA EL CODIGO HEXADECIMAL DE LA TECLA OPRIMIDA FILTRADA.

TECLA GUARDA EL CODIGO HEXADECIMAL DE LA TECLA OPRIMIDA ANTES DE FILTRAR.

## REGISTROS DE BANDERAS

BANCOM BANDERA DE LA FUNCION QUE SE ESTA EFECTUANDO.

BANEPP BANDERA DE LA EJECUCION PASO A PASO.

BANMEM BANDERA DE LA FUNCION PARA EXAMINAR MEMORIA.

BANPSA BANDERA DE LA FUNCION DE PAUSA.

BANPTO BANDERA DE LA FUNCION DE EXAMINAR PUERTOS.

BANREG BANDERA DE LA FUNCION DE EXAMINAR REGISTROS.

BANRGA BANDERA DE LA FUNCION DE EXAMINAR REGISTROS ALTERNOS.

DANSIG BANDERA PARA INCREMENTO DE DIRECCION, PUERTO O REGISTRO. (SI NO ESTA ACTIVADA SE TOMA COMO BANDERA PARA LA FUNCION DE DECREMENTO DE DIRECCION, PUERTO O REGISTRO).

DIG 2 BANDERA PARA INDICAR QUE ENTRARON LOS 2 PRIMEROS DIGITOS.

DIG 4 BANDERA PARA INDICAR QUE ENTRARON LOS 4 DIGITOS.

## TABLAS

## 1) EN MEMORIA EPROM

TADCAR	GUARDA LOS CODIGOS DE 7 SEGMENTOS DE LOS CARACTERES PARA DISPLAY.
TADCOM	GUARDA LAS DIRECCIONES DE LAS FUNCIONES.

## 2) EN MEMORIA RAM

TADPSA	GUARDA LAS DIRECCIONES Y DATOS DE LAS PAUSAS (MAXIMO 6).
TADREG	GUARDA EL CONTENIDO DE LOS REGISTROS.
TADREL	GUARDA LAS DIRECCIONES DE LOS REINICIOS PROGRAMABLES.
TADRGA	GUARDA EL CONTENIDO DE LOS REGISTROS ALTERNOS.
TAVCTC	GUARDA LA PARTE BAJA DE LOS VECTORES DE INTERRUPCION DE LOS CANALES DEL CTC.

MONITOR

BANCOM ← 0  
 BANMEM ← 0  
 BANPTO ← 0  
 BANREG ← 0  
 BANRGA ← 0  
 BANSIG ← 0  
 DIG 2 ← 0  
 DIG 4 ← 0  
 (APDIG) ← RGDES0

(RGDES0) ← 0FH

(RGDES1) ← 13H

(RGDES2) ← 12H

(RGDES3) ← 00H

(RGDES4) ← 00H

(RGDES5) ← 01H

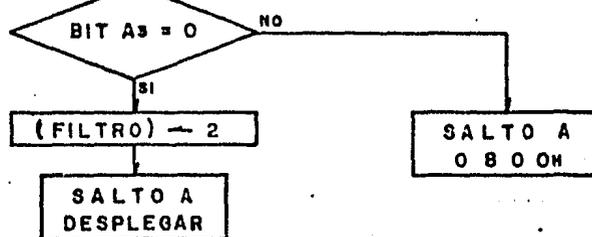
A ← (PT.ODIG)

BIT A3 = 0

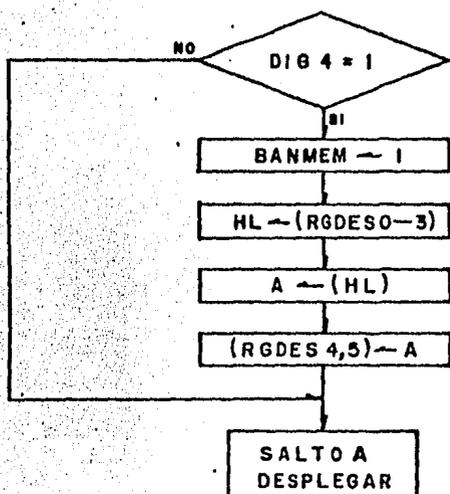
(FILTRO) ← 2

SALTO A  
 DESPLEGAR

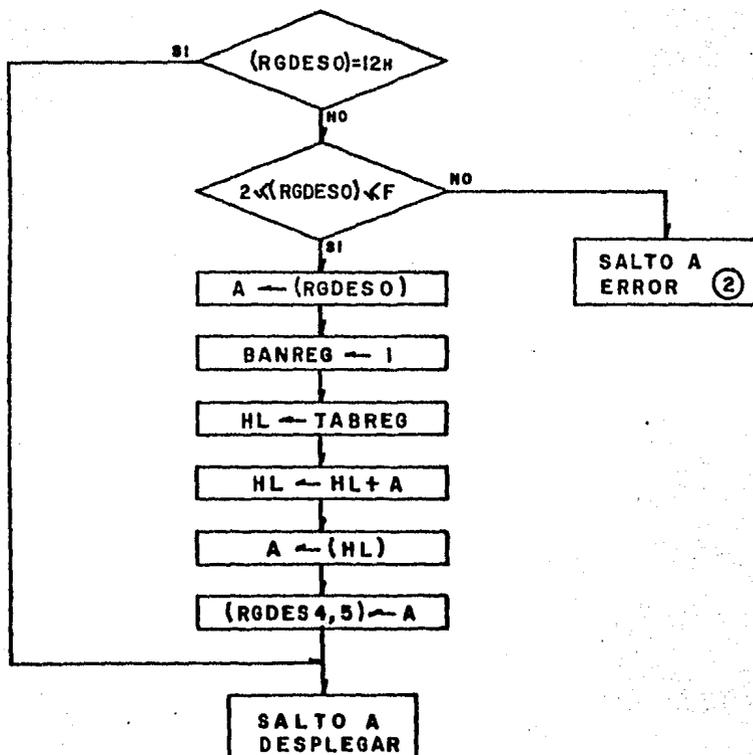
SALTO A  
 0800H



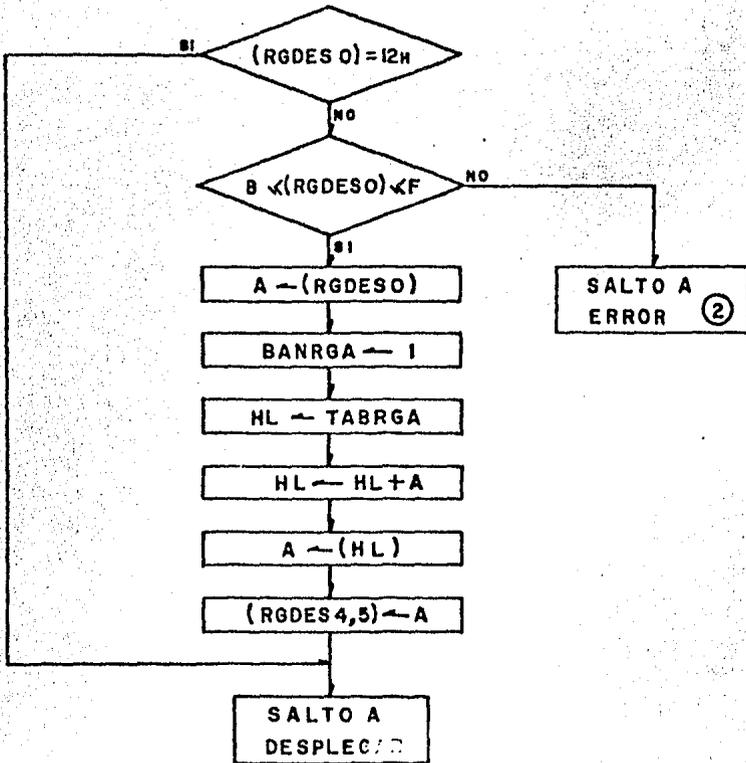
## EXAMINAR MEMORIA



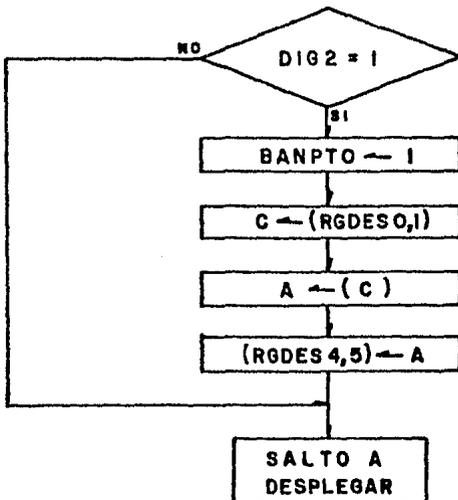
## EXAMINAR REGISTROS

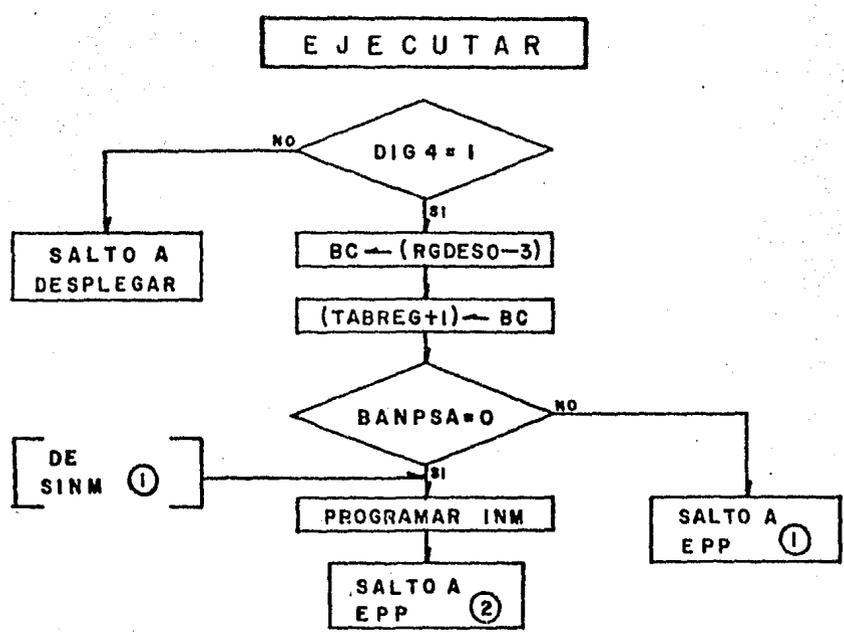
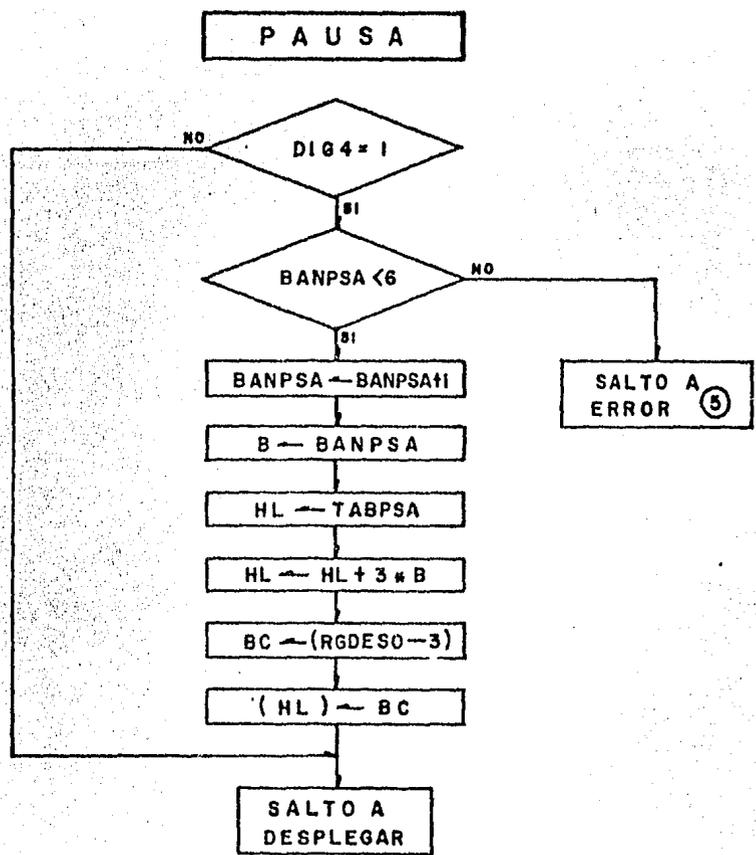


## EXAMINAR REGISTROS ALTERNOS

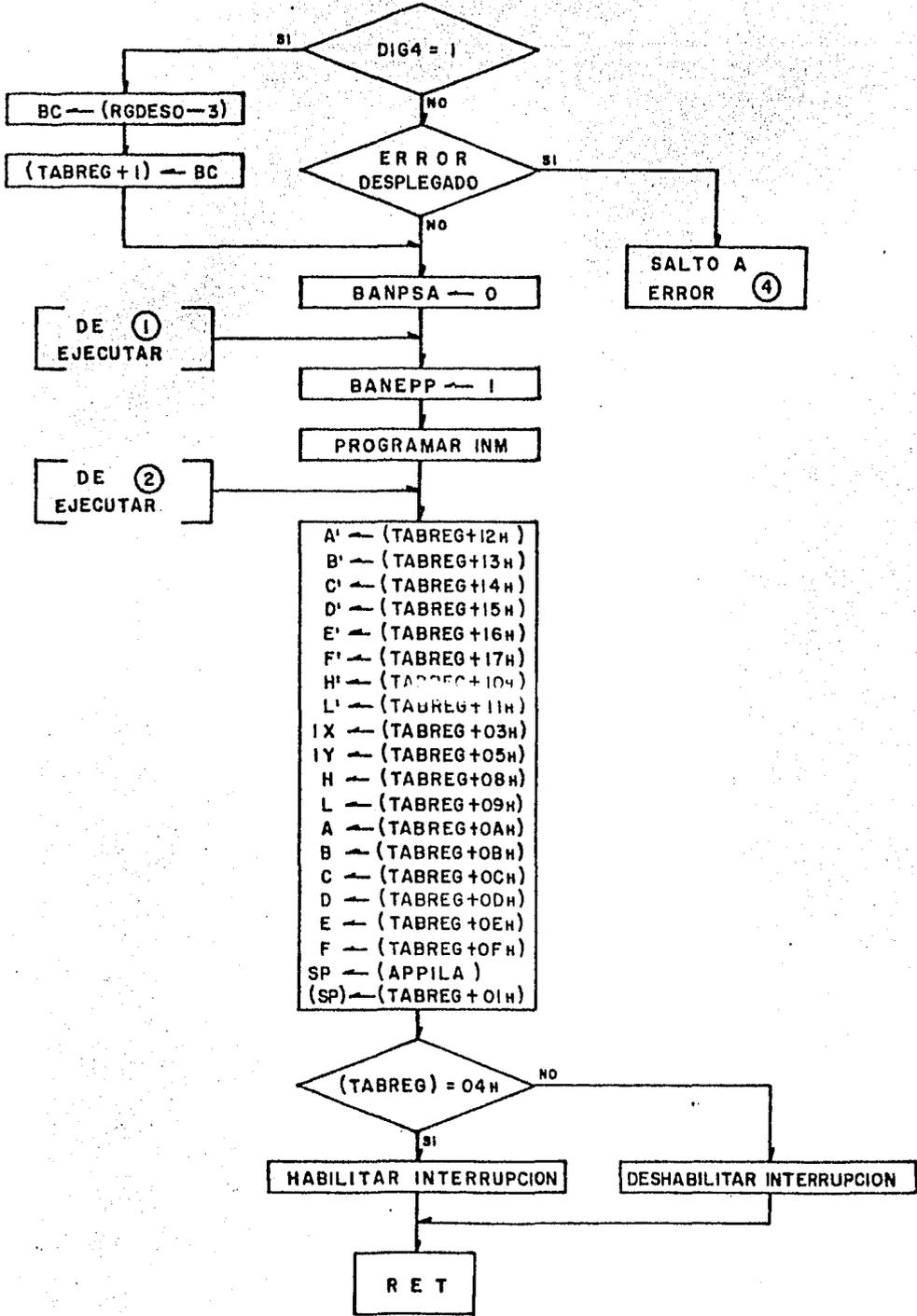


## EXAMINAR PUERTOS





EJECUCION PASO A PASO



SIGUIENTE

34

ANTERIOR

BANSIG ← 1

BANSIG ← 0

ERROR  
DESPLEGADO

SI

NO

BANMEM = 1

SI

NO

BANPTO = 1

SI

NO

BANREG = 1

SI

NO

BANRGA = 1

NO

SALTO A  
ERROR ④

BANSIG = 1

NO

(RGDESO) ← (RGDESO) - 1

(RGDESO) < 10H

NO

SALTO A  
ERROR ②

(RGDESO) ← (RGDESO) + 1

SALTO A  
EXREGAL

BC ← (RGDESO - 3)

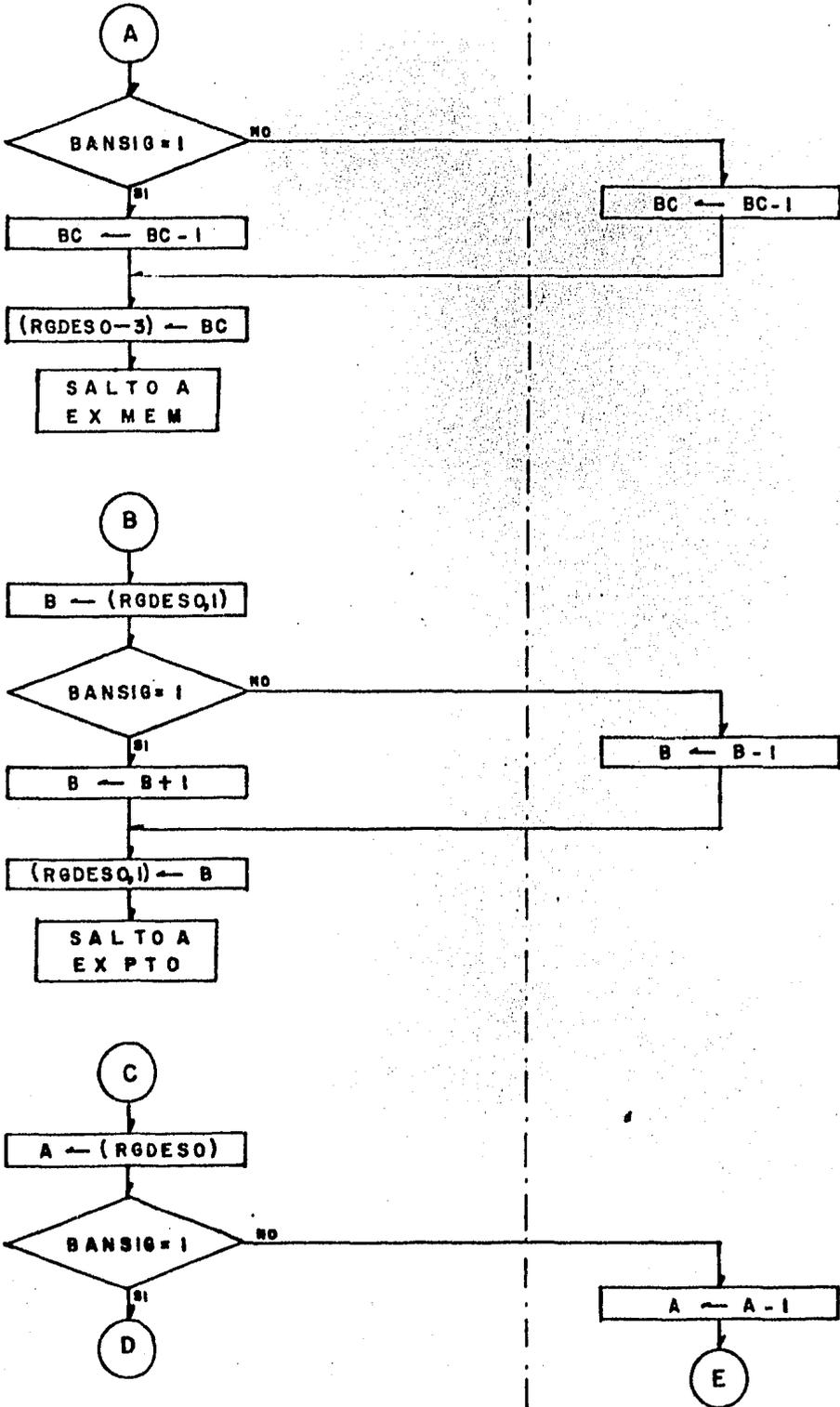
A

B

C

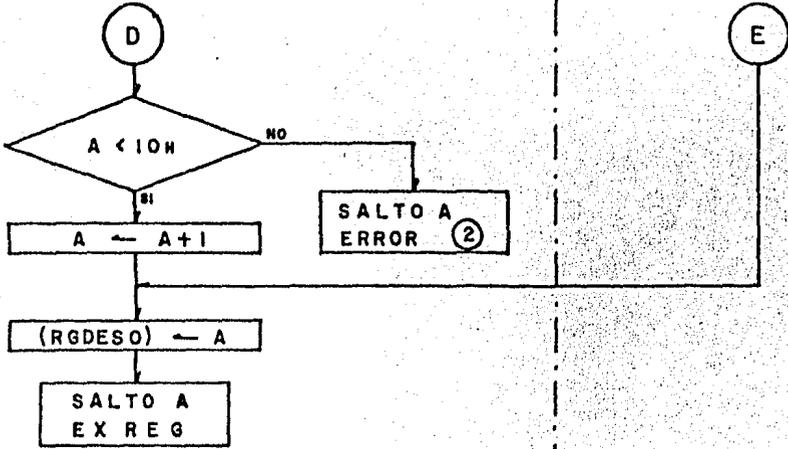
SIGUIENTE

ANTERIOR



SIGUIENTE

ANTERIOR



F 1

PC ← 1000H

F 2

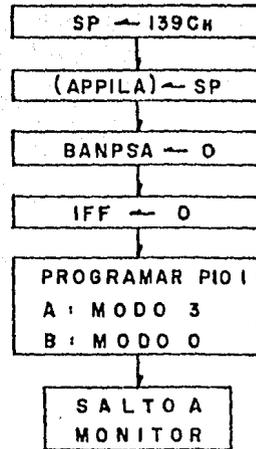
PC ← 1003H

F 3

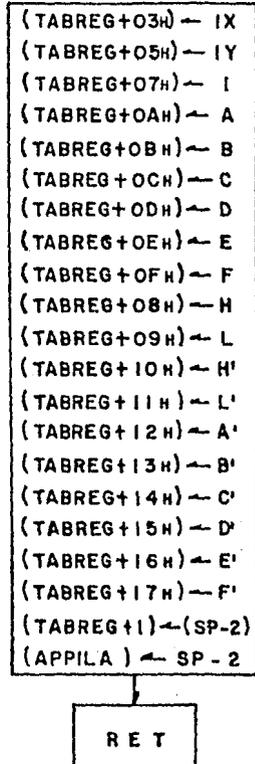
PC ← 1006H

## INICIALIZACION

37



## SALVAR REGISTROS



REINICIO 8

(APPILA) ← SP

(TABREG) ← IFF

DESHABILITAR  
CANAL O DEL CTC

LLAMAR SUBROUTINA  
SALVAR REGISTROS

(TABREG+1) ← (SP-2)-1

BANPSA = 0

B ← (BANPSA)

IX ← TABPSA

A ← (IX+02H)

L ← (IX+01H)

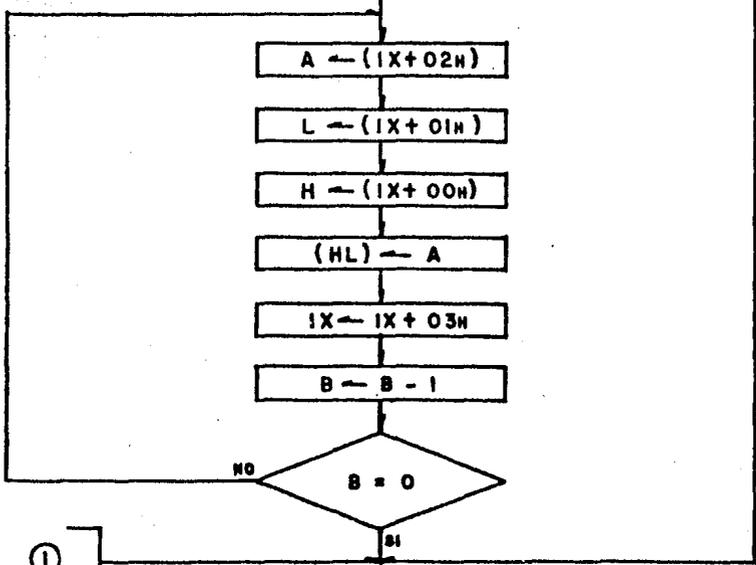
H ← (IX+00H)

(HL) ← A

IX ← IX + 03H

B ← B - 1

B = 0



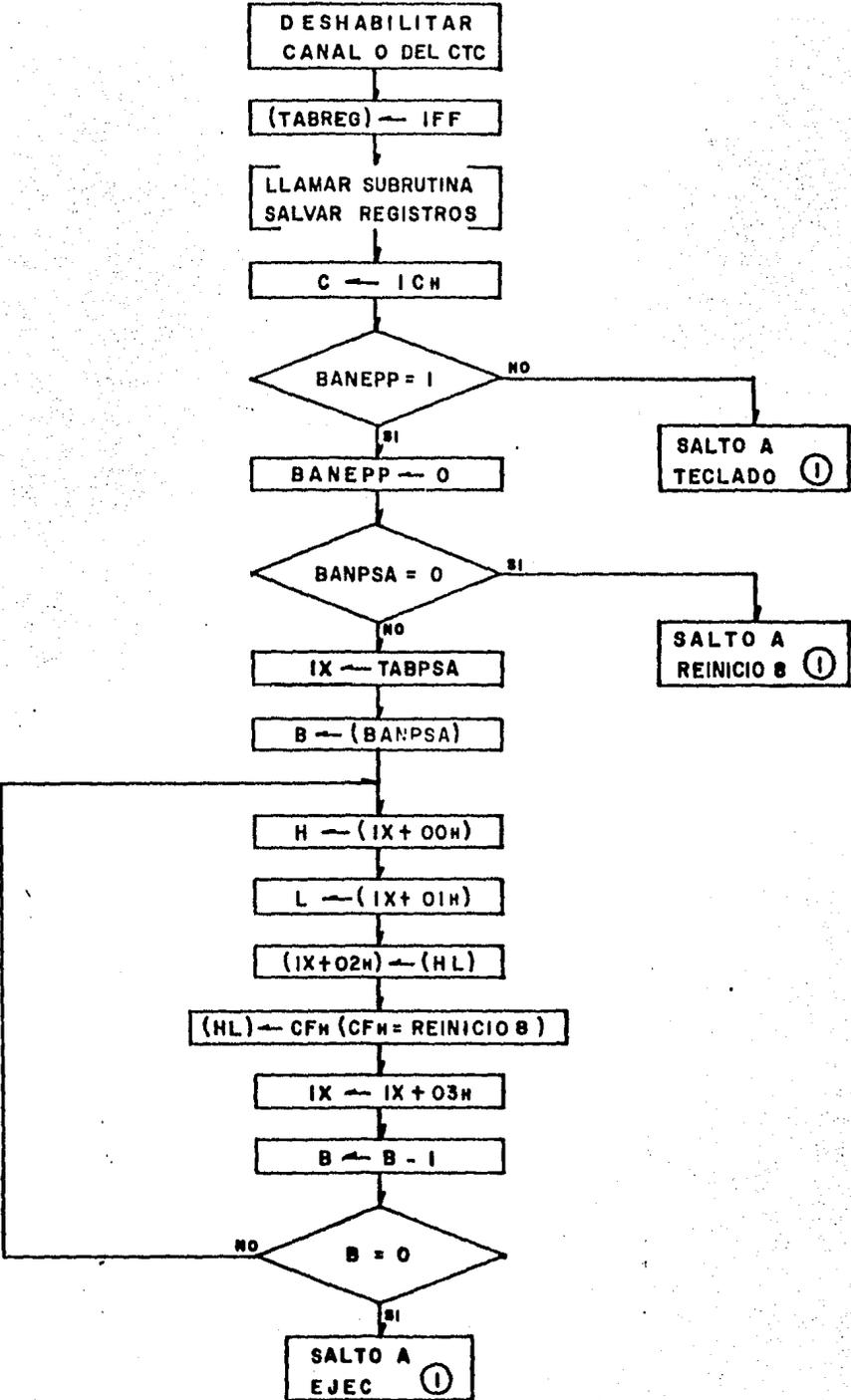
DE  
SINM ①

(RGDES0-3) ← (TABREGH)

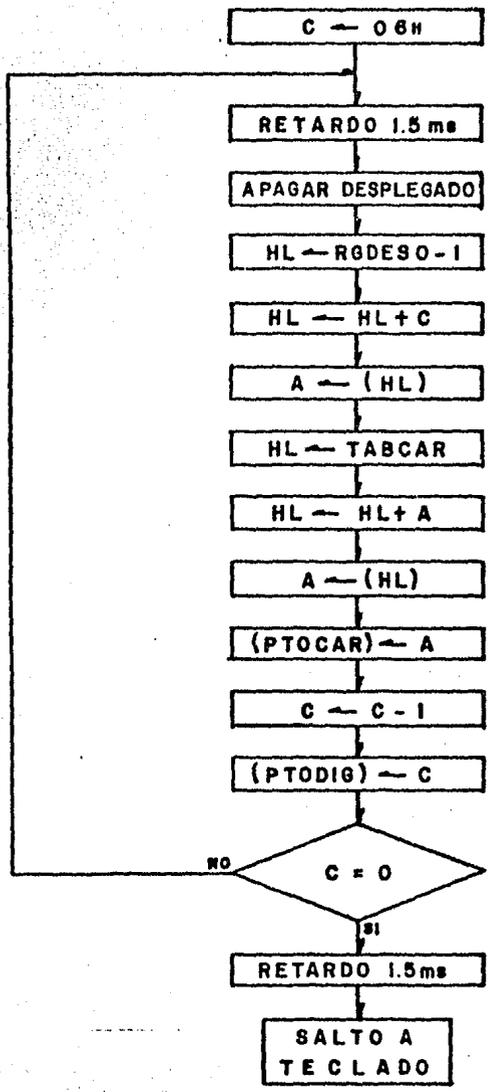
(RGDES4,5) ← (TABREG+0AH)

SALTO A  
DESPLGAR

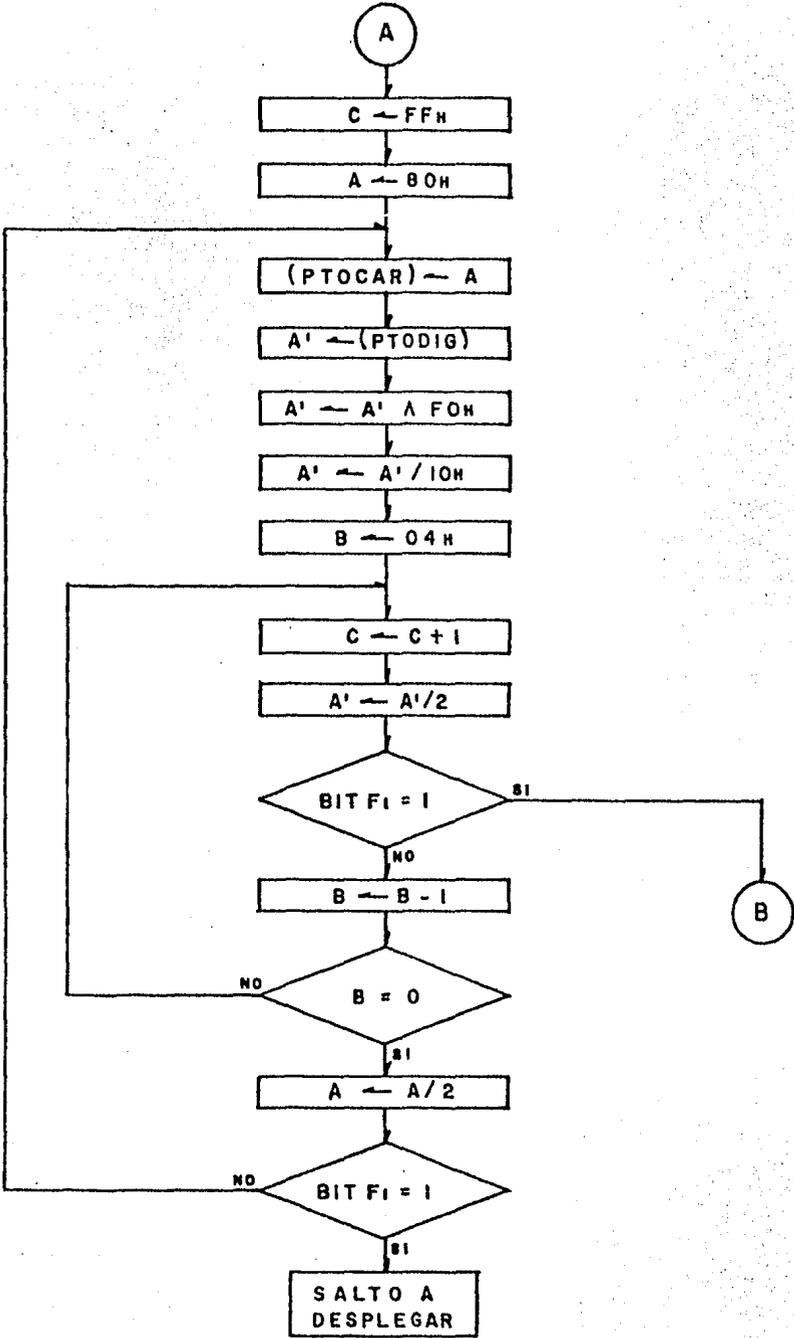
SUBROUTINA DE INTERRUPCION  
NO MASCARABLE



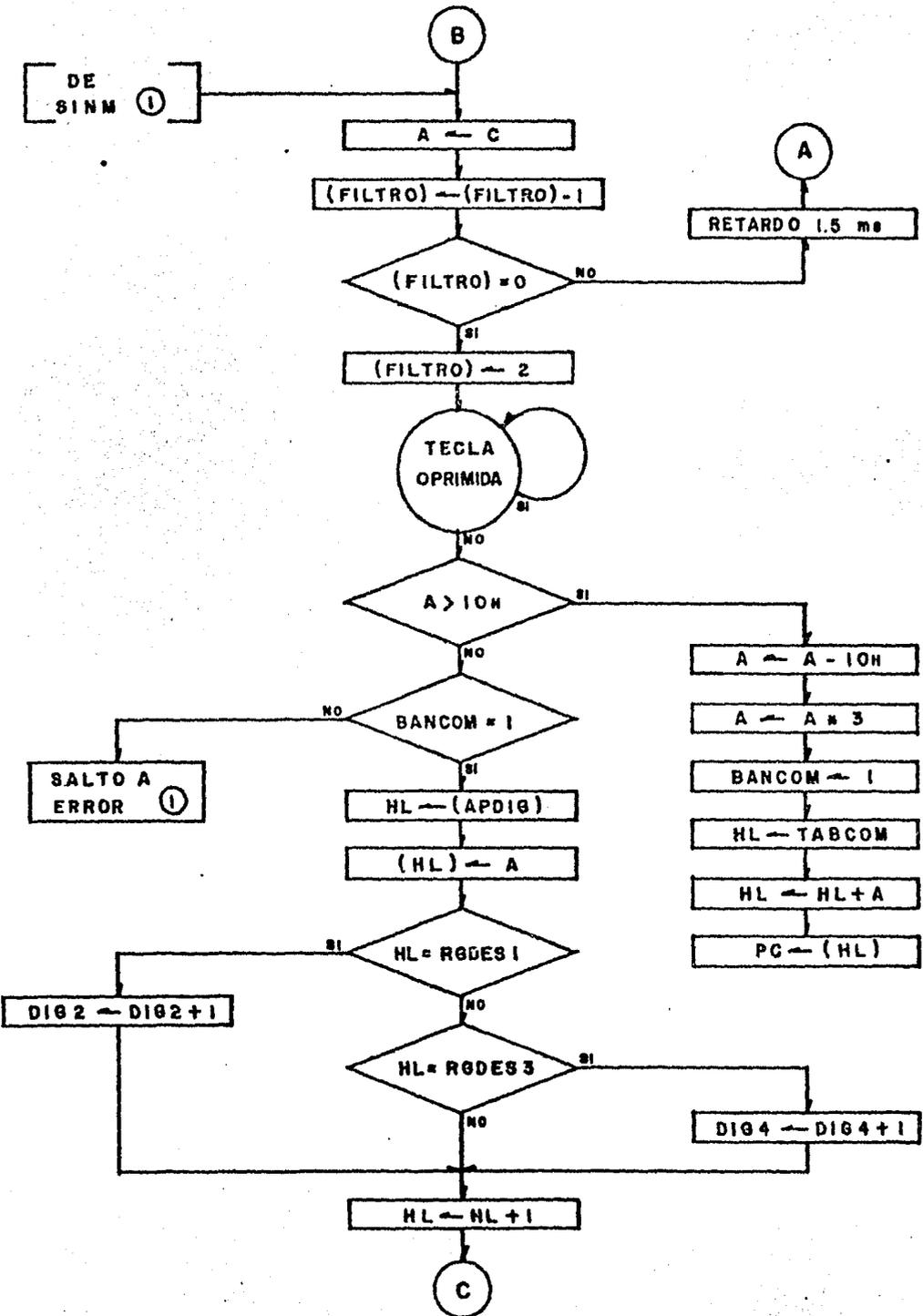
DESPLEGAR



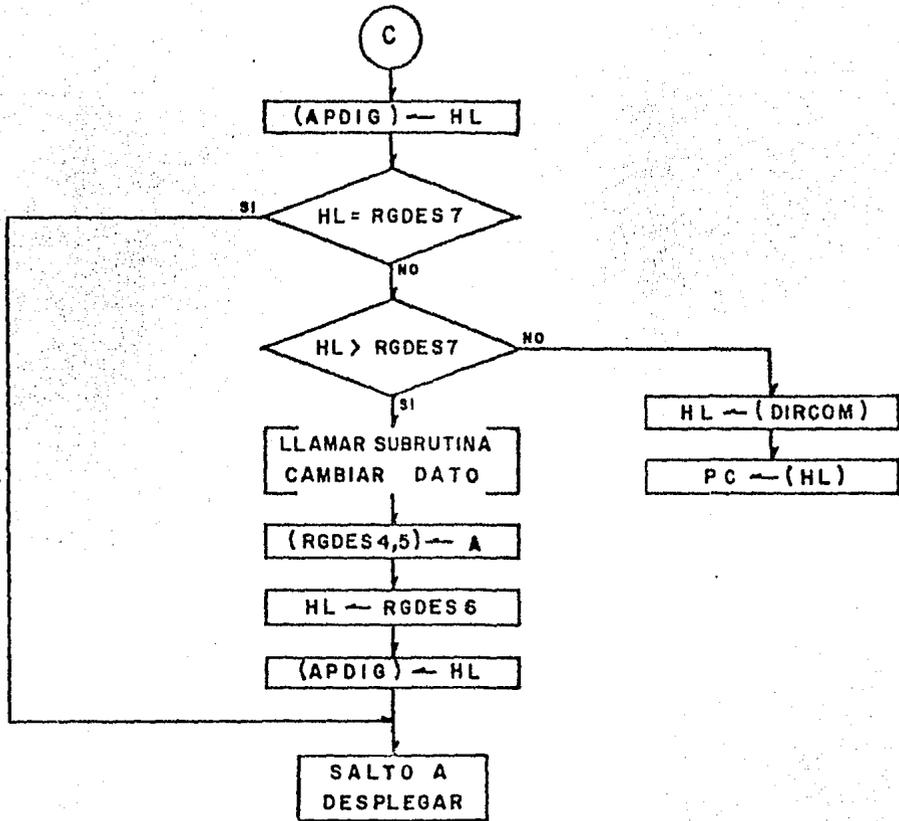
TECLADO



TECLADO

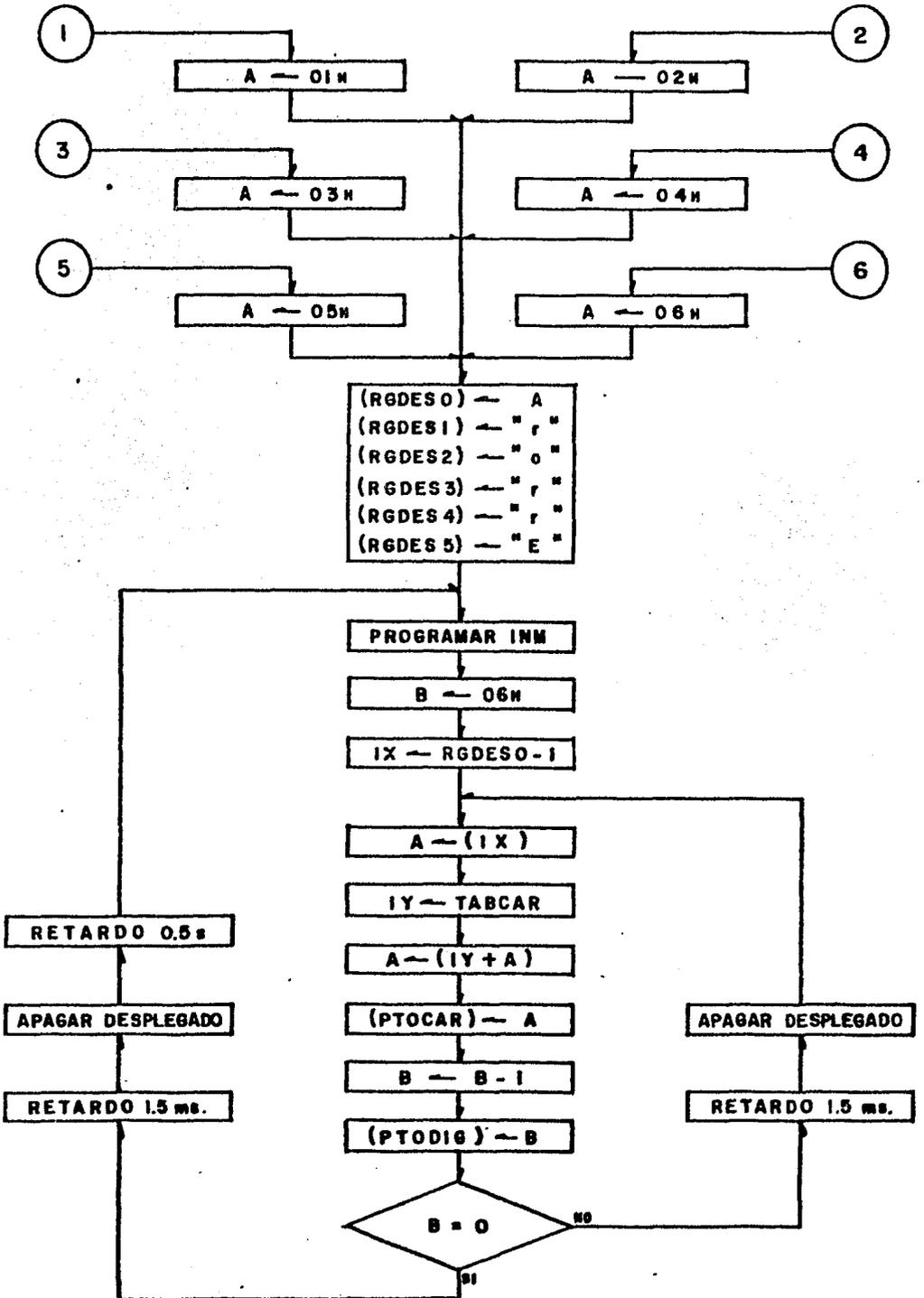


TECLADO

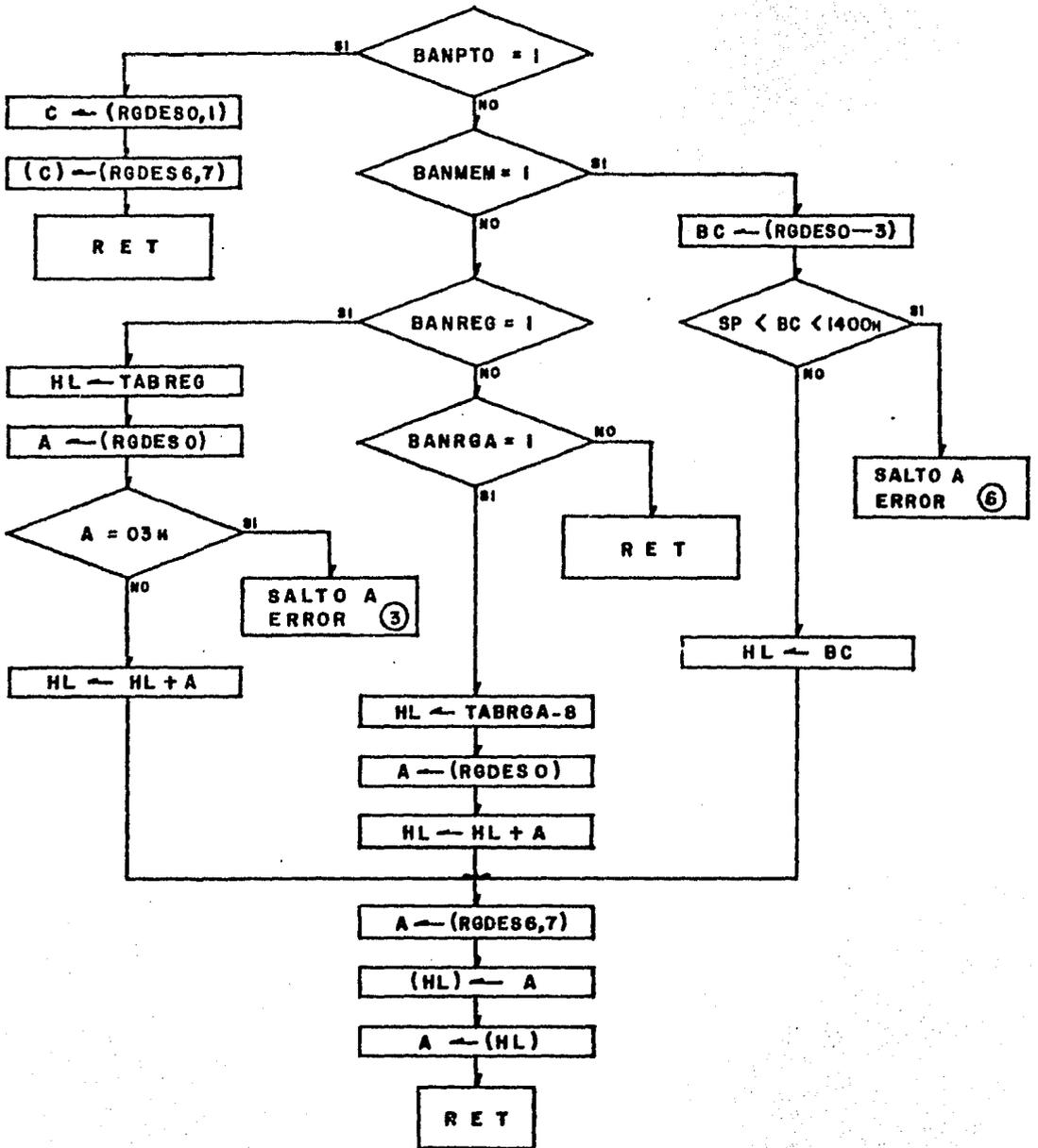


# ERROR

44



# CAMBIAR DATO



## DESARROLLO DE LAS PRACTICAS

EN EL MANUAL DE OPERACION DEL SISTEMA FI-001 (ANEXO 2), EXISTE UNA SECCION DESTINADA A LA REALIZACION DE 3 PRACTICAS, PROPUESTAS CON LA FINALIDAD DE INTRODUCIR AL USUARIO EN LA PROGRAMACION Y APLICACION DEL MISMO. LA PRIMERA DE ELLAS PRETENDE FAMILIARIZAR AL USUARIO CON LA OPERACION DEL TECLADO Y CON EL DESPLEGADO, Y LAS DOS RESTANTES LE PERMITIRAN ADQUIRIR LAS BASES PARA QUE EL MISMO PUEDA DESARROLLAR SUS PROPIOS PROGRAMAS. SIN EMBARGO, LA HABILIDAD QUE ADQUIERA EL USUARIO PARA LOGRARLO DEPENDERA DEFINITIVAMENTE DE LOS ANTECEDENTES QUE TENGA SOBRE LA MATERIA Y DE LA EXPERIENCIA QUE VAYA ADQUIRIENDO CON EL USO CONSTANTE DE ESTE TIPO DE SISTEMAS.

EN LAS 3 PRACTICAS SE MANEJAN CONJUNTAMENTE TANTO CONCEPTOS DE HARDWARE COMO DE SOFTWARE, CON EL FIN DE CUBRIR LOS DOS ASPECTOS IMPORTANTES RELACIONADOS CON LA UTILIZACION DE ESTOS EQUIPOS.

EN LA PRACTICA NUM.1 SE UTILIZA EL PIO DEL TECLADO Y EL DESPLEGADO. A ESTE ULTIMO SE ENVIAN LOS CARACTERES A SER DESPLEGADOS, PUDIENDO SER LETRAS, NUMEROS, O CARACTERES ESPECIALES.

EN LA PRACTICA NUM.2 SE UTILIZA EXCLUSIVAMENTE EL CANAL 1 DEL CTC PARA GENERAR UNA SECUENCIA DE NOTAS CON SUS TIEMPOS DE DURACION CADA UNA DE ELLAS.

EN LA PRACTICA NUM.3 SE UTILIZA EL PIO Y EL CTC PARA PROGRAMAR AL SISTEMA COMO UN RELOJ DIGITAL.

## CONCLUSIONES Y PERSPECTIVAS.

VIVIMOS ACTUALMENTE UNA ETAPA DE TRANSICION DE UNA SOCIEDAD BASADA EN LA PRODUCCION INDUSTRIAL, A OTRA CENTRADA EN EL MANEJO INTELIGENTE DE INFORMACION, POR LO TANTO ES IMPORTANTE CONSIDERAR DENTRO DE LAS TENDENCIAS ACTUALES DEL DESARROLLO TECNOLOGICO, LA CREACION DE PROGRAMAS DE EDUCACION Y DIFUSION DE LAS NUEVAS TECNOLOGIAS.

LAS TECNOLOGIAS DENOMINADAS DE ULTIMA GENERACION HAN PROPICIADO DESARROLLOS COMO REDES DE COMUNICACION POR FIBRA OPTICA, SATELITES DEDICADOS A LA INVESTIGACION Y A LAS COMUNICACIONES, Y SISTEMAS DE CONTROL DE PROCESOS INDUSTRIALES.

UNA DE LAS APLICACIONES MAS IMPORTANTES DE LOS MICROPROCESADORES ESTA EN EL DISEÑO DE LA INTELIGENCIA ARTIFICIAL, CONCRETAMENTE EN LOS SISTEMAS RECONOCEDORES DE FORMA E IMAGENES, POR EJEMPLO, LOS ROBOTS. LA PRINCIPAL CARACTERISTICA DE ESTAS MAQUINAS ES SU CAPACIDAD DE APRENDER, ESTO ES, MODIFICAR SU COMPORTAMIENTO EN FUNCION DE LA EXPERIENCIA ACUMULADA.

LOS OCHENTAS PARECEN SER LA DECADA INDICADA PARA HACER UNA PROYECCION AL FUTURO, PUES ES LA ETAPA INTERMEDIA ENTRE LA INFANCIA Y LA MADUREZ DE UNA TECNOLOGIA INDUSTRIAL QUE ESTA OBLIGADA A SER EL CENTRO DE NUESTRO DESARROLLO ECONOMICO, GRACIAS A LA EVOLUCION E IMPORTANCIA QUE HA ADQUIRIDO LA MICROELECTRONICA.

ESTA TECNOLOGIA TIENE AUN MUCHAS SORPRESAS QUE DARNOS ACORDE A LAS NECESIDADES DEL SER HUMANO. LA CONSTRUCCION DE EQUIPO OBTENDRA UN SENSIBLE INCREMENTO DE CAPACIDAD A MENOR COSTO, LO QUE OCASIONARA HONDOS EFECTOS EN LOS SISTEMAS DE COMPUTACION. ESTA REDUCCION DE COSTOS PONDRÁ LA TECNOLOGIA AL ALCANCE DEL HOMBRE COMUN, DEL ESTUDIANTE, ETC. POR OTRA PARTE, LA PROGRAMACION DE APLICACIONES SEGUIRA DESARROLLANDOSE EXTENSAMENTE Y SE PONDRÁ ENFASIS EN SU USO MASIVO Y SIMPLIFICADO. PARA FINES DE LOS AÑOS OCHENTA SERA POSIBLE PROVEER DE EDUCACION EFECTIVA A LOS ALUMNOS, USANDO INSTRUCCIONES PROGRAMADAS.

ESTA NUEVA POLITICA EDUCATIVA DEBE ADECUARSE A LAS NUEVAS EXIGENCIAS DEL MERCADO LABORAL Y A LAS NECESIDADES FUTURAS DE LOS CIUDADANOS. EN ESTE SENTIDO, ESPERAMOS QUE EL PRESENTE TRABAJO SEA DE UTILIDAD A LAS GENERACIONES VENIDERAS DE LA FACULTAD DE INGENIERIA ASI COMO A LOS INTERESADOS EN EL MISMO, YA QUE DE ESTA FORMA CONSIDERARIAMOS QUE SE ALCANZO NUESTRO OBJETIVO INICIAL.

## ANEXOS

	Pág.
I.- LISTADO DEL PROGRAMA MONITOR	49
II.- MANUAL DE OPERACION	72
1- INTRODUCCION	73
2- DESCRIPCION DEL SISTEMA	75
3- DESCRIPCION DE FUNCIONES	84
4- PRACTICAS	90
5- APENDICES	97
A. DIAGRAMA	97
D. MANUAL DEL CPU	98
C. MANUAL DEL PIO	109
D. MANUAL DEL CTC	120
E. LISTADO DE INSTRUCCIONES DEL CPU Z80	134

I. LISTADO DEL PROGRAMA  
MONITOR

REIN 00  
PROGRAMA DE INICIO AL OPERAR EL PULSADOR DE RESET.  
INICIALIZA EL APUNTADOR DE PILA Y PROSIGUE A MONITOR.

50

0000	319C13	REIN00:	LDSP,139C
0003	C39400		JP MON
0006	00		NOP
0007	00		NOP

REIN 08  
PROGRAMA DE RETORNO CON OPERACION CON PAUSA. SALVA  
EL CONTENIDO DE LOS REGISTROS UTILIZADOS EN LOS PRO-  
GRAMAS DEL USUARIO. MANEJA LA INFORMACION CONTENIDA  
EN LAS DIRECCIONES DE PAUSA Y REGRESA EL CONTROL AL  
PROGRAMA MONITOR.

0008	ED739C13	REIN08:	LD(APPILA),5P
000C	CS		PUSH DC
000D	FS		PUSH AF
000E	1803		JR PGPSA1
0010	C3CC13		JP REIN16
0013	ED57	PGPSA1:	LDA,I
0015	F3		DI
0016	1803		JR PGPSA2
0018	C3CD13		JP REIN24
001B	FS	PGPSA2:	PUSH AF
001C	C1		POP DC
001D	79		LDA,C
001E	100E		JR PGPSA3
0020	C3CE13		JP REIN32
0023	E604	PGPSA3:	AND 04
0025	00		NOP
0026	1003		JR PGPSA4
0028	C3D113		JP REIN40
002D	329E13	PGPSA4:	LD(TADREC),A
002E	1003		JR PGPSA5
0030	C3D413		JP REIN48
0033	3E03	PGPSA5:	LDA,03
0035	00		NOP
0036	1803		JR PGPSA6
0038	C3D713		JP REIN56
003D	D300	PGPSA6:	OUT(CTC 0),A
003E	F1		POP AF
003E	C1		POP DC
003F	CDE905		CALL SALREG
0042	DD219E13		LDIX,TADREC
0046	DD7E01		LDA,(IX+01)
0049	D7		OR A
004A	2003		JRNZ,PGPSA7
004C	DD3502		DEC(IX+02)
004F	DD3501	PGPSA7:	DEC(IX+01)
0052	3AF413		LDA,(DANPSA)
0055	B7		OR A
0056	281C		JRZ,SALPSA
0058	47	PGPSA8:	LDB,A

0059	DD21B613		LDIX, TABPSA	51
005D	DD7E02	LIPSA0:	LDA, (IX+02)	
0060	FECF		CP, CF	
0062	280B		JRZ, LIPSAZ	
0064	1802		JR, LIPSA1	
0066	1875		JR, SINM	
0068	DD6E01	LIPSA1:	LDL, (IX+01)	
006B	DD6600		LDH, (IX+00)	
006E	77		LD(HL), A	
006F	CD3F06	LIPSA2:	CALL SIGPSA	
0072	20E9		JRNZ LIPSA0	
0074	DD21ED13	SALPSA:	LDIX, RGDES0	
0078	2A9F13		LDHL, (TABREG+1)	
007D	7C		LDA, H	
007C	CD6106		CALL SUBDE1	
007F	7D		LDA, L	
0080	DD21ED13		LDIX, RGDES2	
0084	CD6106		CALL SUBDE1	
0087	3A8B13		LDA, (TABREG+A)	
008A	DD21EF13		LDIX, RGDES4	
008E	CD6106		CALL SUBDE1	
0091	C32101		JP DESPLE	

MON

SE PROGRAMAN LOS MODOS DE OPERACION DE LOS PUERTOS DEL PIO DEL SISTEMA. SE INICIALIZA EL CONTENIDO DE LAS BANDERAS. SE CARGAN LOS CARACTERES "FI-001" EN LOS REGISTROS CORRESPONDIENTES AL DESPLEGADO. SE IDENTIFICA LA POSICION DEL SELECTOR S3; SALTA A LA DIRECCION 0800H (PROMUS) O CONTINUA EN EL PROGRAMA (MON).

0074	CD739C13	MON:	LD(APILA), SP
0078	3E00		LDA, 00
007A	32F413		LD(BANPSA), A
007D	329E13		LD(TABREG), A
00A0	3E0F		LDA, OF
00A2	D307		OUT(PTOCAR), A
00A4	3EFF		LDA, FF ), A
00A6	D306		CUT(PTODIC), A
00A9	3EFD		LDA, FD ), A
00AA	D306		OUT(PTODIC), A
00AC	08DACC5	MON1:	CALL LINDAN
00AF	DD21ED13		LDIX, RGDES0
00B3	3E0F		LDA, "F"
00D3	DD7700		LD(IX+00), A
00D8	3E13		LDA, "I"
00DA	DD7701		LD(IX+01), A
00DD	3E12		LDA, "--"
00DF	DD7702		LD(IX+02), A
00C2	3E00		LDA, "0"
00C4	DD7703		LD(IX+03), A
00C7	DD7704		LD(IX+04), A
00CA	3E01		LDA, "1"
00CC	DD7705		LD(IX+05), A
00CF	DB04		INA, (PTODIC)
00D1	E608		AND 08
00D3	C20008		JPNZ, PROMUS
00D6	3E02		LDA, 02
00D8	32FD13		LD(FILTRO), A
00DB	1844		JR DESPLE

SINM  
 POR MEDIO DE ESTA SUBROUTINA EL MONITOR RECOPRA  
 EL CONTROL DEL SISTEMA DESPUES DE OPERAR LA  
 TECLA MON. OTRA DE SUS FUNCIONES ES LA DE COM-  
 PLEMENTAR LA EJECUCION PASO A PASO DE LOS PRO-  
 GRAMAS DE USUARIO.

00DD	FS	SINM:	PUSH AF
00DE	C5		PUSH BC
00DF	3E03		LDA,03
00E1	D300		OUT(CTC 0),A
00E3	ED57		LDA,I
00E5	F5		PUSH AF
00E6	C1		POP BC
00E7	79		LDA,C
00E8	E604		AND 04
00EA	329E13		LD(TADREG),A
00ED	C1		POP DC
00EE	F1		POP AF
00EF	CDE905		CALL SALREG
00F2	3AF313		LDA,(DANEPP)
00F5	E7		OR A
00F6	0E1C		LDC,1C
00F8	CA9106		JPZ,SUBAUX
00FB	3E00		LDA,00
00FD	32F313		LD(DANEPP),A
0100	3AF413		LDA,(DANPSA)
0103	D7		OR A
0104	CA7400		JPZ,SALPSA
0107	DD21D613		LDIX,TADPSA
010D	47		LDB,A
010C	DD6600	SINM1:	LDH,(IX+00)
010F	DD6E01		LDL,(IX+01)
0112	7E		LDA,(HL)
0113	CECF		LDC,CF
0115	71		LD(HL),C
0116	DD7702		LD(IX+02),A
0119	CDEF06		CALL SIGPSA
011C	2CEE		JRNZ,SINM1
011E	CE3402		JP EFEC3

DESPL  
 SE DESPLIEGA LA INFORMACION CONTENIDA EN RGDES0  
 HASTA RGDES5 EN SU DIGITO CORRESPONDIENTE. SE  
 INSERTA UN TIEMPO DE RETARDO ENTRE CADA UNO DE  
 ELLOS.

0121	0600	DESPL:	LDD,00
0123	0E06		LDC,06
0125	CDD706	REPITE:	CALL SUBRET
0128	3E06		LDA,06
012A	D304		OUT(PTODIG),A
012C	21EA13		LD HL,RGDES0-1
012F	09		ADD HL,DC
0130	7E		LDA,(HL)
0131	1600		LDD,00
0133	5F		LDE,A

0134	21BA07	LDHL, TABCAR
0137	19	ADD HL, DE
0138	7E	LDA, (HL)
0139	D305	OUT (PTOCAR), A
013B	0D	DEC C
013C	79	LDA, C
013D	D304	OUT (PTODIG), A
013F	20E4	JRNZ, REPITE
0141	CDB706	CALL SUBRET

## TECLAD

LA SUBROUTINA DE TECLADO REALIZA LA BUSQUEDA DE ALGUNA TECLA OPRIMIDA. SI ESTO OCURRE, REALIZA UN SALTO A LA FUNCION SOLICITADA, SI SE TRATA DE ESTE TIPO DE TECLA, O EN CASO CONTRARIO, RECONOCE EL DIGITO INTRODUCIDO Y SU POSICION CORRESPONDIENTE EN EL DESPLEGADO. SI LOS DIGITOS ENCONTRADOS SON UN NUEVO DATO, GESTIONA SU ACTUALIZACION.

0144	3E06	TECLAD:	LDA, 06
0146	D304		OUT (PTODIG), A
0148	0EFF		LDC, FF
014A	3E00		LDA, 00
014C	D305	BUSCAR:	OUT (PTOCAR), A
014E	00		EX AF, AF'
014F	DD04		INA, (PTODIG)
0151	E6F0		AND F0
0153	0F		RRCA
0154	0F		RRCA
0155	0F		RRCA
0156	0F		RRCA
0157	0604		LDD, 04
0159	0C	CICLO:	INC C
015A	1F		RRCA
015D	3C08		JRC, TECDE0
015E	10FA		DEC, CICLO
015F	03		EX AF, AF'
0160	0F		RRCA
0161	30E9		JRNC, BUSCAR
0163	10DC		JR DESPLE
0165	08	TECDE0:	EX AF, AF'
0166	79	TECDE1:	LDA, C
0167	DD21FB13		LDIX, FILT
0168	DD3500		DEC (IX+00)
016E	32FD13	LLAMA0:	LD (TECLA), A
0171	3AFD13		LDA, (FILTRO)
0174	FE00		CP00
0176	280B		JRZ, LLAMA1
0178	3AFD13		LDA, (TECLA)
017B	32FC13		LD (TECFIL), A
017E	CDB706		CALL SUBRET
0181	18C1		JR TECLAD

0183	DD36002 LLAMA1:	LD (IX+00),02
0187	3AFD13	LDA, (TECLA)
018A	21FC13	LDHL, TECFIL
018D	DE	CP (HL)
018E	2091	JRNZ, DESPLE
0190	CD9D06	CALL NOTEC
0193	00	NOP
0194	00	NOP
0195	00	NOP
0196	3AFC13	LDA, (TECFIL)
0199	FE10	CP10
019B	3312	JRC, DIGITO
019D	D410	SUB10
019F	4F	LDC,A
01A0	B1	ADD A,C
01A1	B1	ADD A,C
01A2	4F	LD C,A
01A3	3E01	LDA,01
01A5	52E313	LD(BANCOM),A
01A8	21D907	LDHL,TAECON
01AB	0600	LDD,00
01AD	09	ADD HL,DC
01AE	E9	JP (HL)
01AF	4F	LDC,A
01B0	3AE313	LDA, (BANCOM)
01B3	FE01	CP 01
01B5	C2C105	JFNE ERROR1
01B8	79	LDA,C
01B9	2AF513	LDHL, (APDIG)
01BC	77	LD(HL),A
01BD	D7	OR A
01DE	01EC13	LDDC, RGDES1
01C1	ED42	SDC HL,DC
01C3	200D	JRZ, SATECO
01C5	D7	OR A
01C6	01EE13	LD DC, RGDES3
01C9	2AF513	LDHL, (APDIG)
01CC	ED42	SDC HL,DC
01CE	200D	JRZ, SATEC1
01CF	100A	JR, SATEC2
01E2	21E913	SATECO: LDHL, DICE
01E5	34	INC (HL)
01E6	1004	JR, SATEC2
01D0	21EA13	SATEC1: LDHL, DIG4
01DB	34	INC (HL)
01DC	2AF513	SATEC2: LDHL, (APDIG)
01DF	23	INC HL
01E0	22F513	LD(APDIG),HL
01E3	D7	OR A
01E4	01F213	LD DC, RGDES7
01E7	ED42	SDC HL,DC
01E9	CA2101	JPZ, DESPLE
01EC	3004	JRNC, SATEC3
01EE	2AF713	LDHL, (DIRCOM)
01F1	E9	JP (HL)
01F2	C0CC04	SATEC3: CALL CAMDAT
01F5	C33A04	JP SALCOM

## EFEC

DESPUES DE QUE HAN ENTRADO 4 DIGITOS SE FORMA LA DIRECCION HEXADECIMAL DE INICIO DEL PROGRAMA Y SE ALMACENA EN TABREG+1 SI HAY PAUSAS PROGRAMADAS SE EFECTUA UN SALTO PARA CONTINUAR DENTRO DEL PROGRAMA DE EJECUCION PASO A PASO. EN CASO CONTRARIO, SE PROGRAMA EL CANAL O DEL CTC PARA RECONOCER LA TECLA "MON". DEVOLVIENDOSE EL CONTENIDO DE LOS REGISTROS DEL USUARIO.

01FB	3AEA13		LDA, (DIG4)
01FB	FE01		CP, 01
01FD	2B2F		JRZ EFEC2
01FF	3E12		LDA, "--"
0201	DD21EB13		LDIX, RGDES0
0205	DD7700		LD(IX+0), A
0208	DD7701		LD(IX+1), A
020B	DD7702		LD(IX+2), A
020E	DD7703		LD(IX+3), A
0211	3E10		LDHL, EFEC1
0213	DD7704		LD(DIRCOM), HL
0216	DD7705		LD(IX+05), A
0219	211F02		LD HL, EFEC1
021C	22F713		LD(DIRCOM), HL
021F	3AEA13	EFEC1:	LDA, (DIG4)
0222	FE01		CP01
0224	C22101		JRNZ DESPLE
0227	CD4706	EFEC2:	CALLSUDDE0
022A	ED439F13		LD(TABREG+1), BC
022E	34F413		LDA, (BANPSA)
0231	B7		ORA
0232	202B		JRNZ EPP3
0234	3E01	EFEC3:	LDA, 01
0236	D305		OUT(PTOCAR), A
0238	3E55		LDA, 55
023A	D300		OUT(CTC0), A
023C	3E01		LDA, 01
023E	D300		OUT(CTC0), A
0240	182A		JR DEVREG

## EPP

CON ESTA SUBROUTINA SE PROGRAMA AL CANAL O DEL CTC PARA QUE GENERE UNA SOLICITUD DE INTERRUPTACION NO MASCARABLE AL CPU, OTORGANDO EL TIEMPO NECESARIO PARA DEVOLVER EL CONTENIDO DE LOS REGISTROS CON LOS DATOS MANEJADOS EN LOS PROGRAMAS DE USUARIO, Y EJECUTAR LA PRIMERA INSTRUCCION DE ESTOS.

0242	3A2A13	EPP:	LDA(DIG4)
0243	FE01		CP01
0247	2009		JRNZ EPP1
0249	CD4706		CALL SUBDE0
024C	ED439F13		LD(TABREG+1),BC
0250	1803		JR EPP2
0252	3AEC13	EPP1:	LDA,(RGDES1)
0255	FE15		CP "R"
0257	CACE05		JPZ,ERROR4
025A	3E00	EPP2:	LDA,00
025C	32F413		LD(DANPSA),A
025F	3E01	EPP3:	LDA,01
0261	32F313		LD(DANPEP),A
0264	3E07		LDA07
0266	D300		CUT(CTCO),A
0268	3E23H		LDA,3E0
026A	D300		CUT(CTCO),A
026C	F5	DEVREG:	PUSH AF
026D	DD219E13		LDIX,TADREG
0271	03		EXAF,AF'
0272	D9		EXX
0273	DD4E17		LDC,(IX+17)
0276	C5		PUSH DC
0277	F1		POP AF
0278	DD7E12		LDA,(IX+12)
027D	DD4613		LDD,(IX+13)
027E	DD4E14		LDC,(IX+14)
0281	DD5615		LDD,(IX+15)
0284	DD5E16		LDE,(IX+16)
0287	DD6610		LDH,(IX+10)
028A	DD5E11		LDL,(IX+11)
028D	03		EXAF,AF'
028E	D9		EXX
028F	DD7E07		LDA,(IX+07)
0292	ED47		LDI,A
0294	DD4E0F		LDC,(IX+0F)
0297	C5		PUSH DC
0298	F1		POP AF
0299	ED7E0C13		LDSP,(APPILA)
029D	ED460B		LDD,(IX+0B)
02A0	DD4E0C		LDC,(IX+0C)
02A3	DD560D		LDD,(IX+0D)
02A6	DD5E0E		LDE,(IX+0E)
02A9	DD660B		LDH,(IX+0B)
02AC	DD6E09		LDL,(IX+09)
02AF	FD2A9F13		LDIY,(TABREG+01)

02B3	FDES		PUSH IY
02B5	FD2AA313		LDIY, (TABREG+05)
02B9	DD7E00		LDA, (IX+00)
02BC	DD2AA113		LDIX, (TABREG+03)
02C0	E604		AND 04
02C2	B7		OR A
02C3	C2CB02		JRNZ EPP4
02C6	3AAB13		LDA, (TABREG+0A)
02C9	F3		DI
02CA	C9		RET
02CB	3AAB13	EPP4:	LDA, (TABREG+0A)
02CE	F9		EI
02CF	C9		RET

## SIG

ESTA SUDRUTINA RECONOCE LA FUNCION QUE LA SOLICITA. INCREMENTA LA DIRECCION DE MEMORIA, EL NUMERO DE REGISTRO O PUERTO DESPLEGADO ACTUALMENTE Y PROSIGUE A LA FUNCION DE EXAMINAR RESPECTIVA.

02D0	3E01	SIG:	LDA, 01
02D2	32EB13		LD (DANSIG), A
02D3	3AEC13	SIG1:	LDA, (RGDES1)
02D3	FE15		CP "R"
02DA	CACE05		JPZ, ERROR4
02DD	3AE413		LDA, (DANMEM)
02E0	FE01		CP 01
02E2	202C		JRZ, SIG3
02E4	3AES13		LDA, (DANPTO)
02E7	FE01		CP 01
02E9	203E		JRZ, SIG5
02ED	3AE613		LDA, (DANREG)
02EE	FE01		CP 01
02F0	2052		JRZ, SIG7
02F2	3AE713		LDA, (DANROA)
02F5	FE01		CP 01
02F7	02CE05		JPNC, ERROR4
02FA	3AEB13		LDA, (DANSIG)
02FD	FE01		CP 01
02FF	2060		JRNZ, ANT1
0301	3AEB13		LDA (RGDES0)
0304	3C		INC A
0305	FE10		CP 10
0307	D2CS05		JPNC, ERROR2
030A	32EB13	SIG2:	LD (RGDES0), A
030D	C3F403		JP DIRRGA
0310	CD4706	SIG3:	CALL SUBDE0
0313	3AEB13		LDA, (DANSIG)
0316	FE01		CP 01
0318	204D		JRNZ, ANT2
031A	03		INC BC
031B	DD21EB13	SIG4:	LDIX, RGDES0

031F	79		LDA, B
0320	CD6106		CALL SUBDE1
0323	DD21ED13		LDIX, RGDES2
0327	79		LDA, C
0328	CD6106		CALL SUBDE1
032D	C32D04		JP, DIRMEM
032E	CD4706	SIG5:	CALL SUBDE0
0331	3AEB13		LDA, (DANSIG)
0334	FE01		CP 01
0336	2032		JRNZ, ANT3
0338	04		INC B
0339	DD21EB13	SIG6:	LDIX, RGDES0
033D	79		LDA, B
033E	CD6106		CALL SUBDE1
0341	C36C04		JP, DIRPT0
0344	3AEB13	SIG7:	LDA, (DANSIG)
0347	FE01		CP 01
0349	2022		JRNZ, ANT4
034B	3AEB13		LDA, (RGDES0)
034E	3C		INC A
034F	FE10		CP 10
0351	D2C505		JP NC, ERRORZ
0354	32EB13	SIG8:	LD(RGDES0), A
0357	1B23		JR EXREG0

## ANT

REALIZA LA FUNCION OPUESTA A LA RUTINA PRECEDENTE. ESTO ES, DECREMENTA LA DIRECCION DE MEMORIA, NUMERO DE REGISTRO O PUERTO QUE SE ESTA EXAMINANDO Y RETORNA A ESTA FUNCION.

0359	3E00	ANT:	LDA, 00
035B	32EB13		LD(DANSIG), A
035E	C35E02		JP SIG1
0361	3AED13	ANT1:	LDA, (RGDES0)
0364	3D		DEC A
0365	10AE		JR SIG2
0367	0B	ANT2:	DEC BC
0368	18D1		JR SIG4
036A	05	ANT3:	DEC B
036B	18CC		JR SIG6
036D	3AEB13	ANT4:	LDA, (RGDES0)
0370	3D		DEC A
0371	18E1		JR SIG8

## EXREG

SE VERIFICA Y ACEPTA LA VALIDEZ DEL REGISTRO SOLICITADO. SE LEE EL CONTENIDO DE ESTE EN EL AREA CORRESPONDIENTE EN RAM PARA LA TABLA DE REGISTROS Y SE ALMACENA EN RGDES4 Y RGDES5.

0373	3E12	EXREG:	LDA, "-"
0375	DD21EB13		LDIX, RGDES0
0379	DD7700		LD(IX+00), A
037C	3E10	EXREG0:	LDA, " "
037E	DD7701		LD(IX+01), A
0381	DD7702		LD(IX+02), A
0384	DD7703		LD(IX+03), A
0387	3E11		LDA, "7"
0389	DD7704		LD(IX+04), A
038C	DD7705		LD(IX+05), A
038F	219A03		LDHL, DIRREG
0392	22F713		LD(DIRCOM), HL
0395	FE11		CP11
0397	CA2101		JPZ, DESPLE
039A	0600	DIRREG:	LDB, 00
039C	3E01		LDA, 01
039E	32E613		LD(BANREG), A
03A1	3AEB13		LDA, (RGDES0)
03A4	4F		LDC, A
03A5	B7		OR A
03A6	FE02		CP 02
03A8	DAC505		JPC, ERROR 2
03AB	219E13		LDHL, TABREG
03AE	FE07		CP 07
03B0	3803		JRC, EXREG1
03B2	09		ADD HL, BC
03B3	1815		JR EXREG2
03B5	FE05	EXREG1:	CP 05
03B7	2811		JRZ, EXREG2
03B9	FE03		CP03
03BB	2003		JRNZ, EXCOM0
03BD	2B		DEC HL
03BE	1801		JR EXCOM1
03C0	09	EXCOM0:	ADD HL, BC
03C1	7E	EXCOM1:	LDA, (HL)
03C2	DD21ED13		LDIX, RGDES2
03C6	CD6106		CALL SUBDE1
03C9	2B		DEC HL
03CA	7E	EXREG2:	LDA, (HL)
03CB	186D		JR SALCOM

## EXREGA

ESTA RUTINA REALIZA LA MISMA FUNCION QUE LA ANTERIOR,  
OPERANDO SOBRE LOS REGISTROS ALTERNOS.

80

03CD	3E12	EXREGA:	LDA, "--"
03CF	DD21EB13		LDIX, RGDES0
03D3	DD7700		LD (IX+00), A
03D6	3E1D		LDA, " ' "
03DB	DD7701		LD (IX+01), A
03DB	3E10		LDA, " "
03DD	DD7702		LD (IX+02), A
03E0	DD7703		LD (IX+03), A
03E3	3E11		LDA, "7"
03E5	DD7704		LD (IX+04), A
03EB	DD7705		LD (IX+05), A
03EB	21F403		LDHL, DIRRGA
03EE	22F713		LD(DIRCOM), HL
03F1	C32101		JP DESPLE
03F4	3E01	DIRRGA:	LDA, 01
03F6	32E713		LD(BANRGA), A
03F9	3AEB13		LDA, (RGDES0)
03FC	4F		LDC, A
03FD	B7		OR A
03FE	FE0B		CPOB
0400	DAC505		JPC, ERROR 2
0403	21A613		LDHL, TABRGA-B
0406	0600		LDB, 00;
0408	09		ADD HL, BC
0409	18BF		JR EXREG2

## EXMEM

SE TOMA LA DIRECCION DE MEMORIA QUE SE VA A EXAMINAR DE LOS REGISTROS RGDES0 A RGDES3. SE OBTIENE EL DATO DE ESTA Y SE ALMACENA EN RGDES4 Y RGDES5. SE EFECTUA UN SALTO A LA RUTINA DESPLE.

040B	3E12	EXMEM:	LDA, "--"
040D	DD21EB13		LDIX, RGDES0
0411	DD7700		LD(IX+00), A
0414	DD7701		LD(IX+01), A
0417	DD7702		LD(IX+02), A
041A	DD7703		LD(IX+03), A
041D	3E11		LDA, "7"
041F	DD7704		LD(IX+04), A
0422	DD7705		LD(IX+05), A
0425	212B04		LDHL, DIRMEM
0428	22F713		LD(DIRCOM), HL
042B	3AEA13	DIRMEM:	LDA, (DIG4)
042E	FE01		CP 01
0430	C22101		JPNZ, DESPLE
0433	32E413		LD(BANMEM), A
0436	CD4706		CALL SUBDE0
0439	0A		LDA, (BC)
043A	DD21EF13	SALCOM:	LDIX, RGDES4
043E	CD6106		CALL SUBDE1
0441	21F113		LDHL, RGDES6
0444	22F513		LD(APDIG), HL
0447	C32101		JP DESPLE

EXPTO

EFFECTUA UNA LECTURA DEL PUERTO INDICADO POR LOS REGIS- 61  
TROS RADES0 Y RADES1 GUARDANDO EL DATO ENCONTRADO EN  
RADES4 Y RADES5. CONTINUA CON LA RUTINA DESPLE.

044A	3E12	EXPTO:	LDA, "-"
044C	DD21EB13		LDIX, RGDES0
0450	DD7700		LD (IX+00), A
0453	DD7701		LD (IX+01), A
0456	3E10		LDA, " "
045B	DD7702		LD (IX+02), A
045B	DD7703		LD (IX+03), A
045E	3E11		LDA, "7"
0460	DD7704		LD (IX+04), A
0463	DD7705		LD (IX+05), A
0466	216C04		LD, HL, DIRPTO
0469	22F713		LD (DIRCOM), HL
046C	3AE913	DIRPTO:	LDA, (DIG2)
046F	FE01		CP01
0471	C22101		JPNZ, DESPLE
0474	32E513		LD (BANPTO), A
0477	CD4706		CALL SUBDEO
047A	4B		LDC, B
047B	ED7B		INA, (C)
047D	18BB		JR SALCOM

PAUSA

RECONOCE EL NUMERO DE PAUSA SOLICITADA Y ALMACENA LA  
DIRECCION DE ESTA EN EL LUGAR CORRESPONDIENTE DENTRO  
DE LA TABLA.

047F	3AEA13	PAUSA:	LDA, (DIG4)
0482	B7		OR A
0483	201F		JRNZ, PAUSA1
0485	3E12		LDA, "-"
0487	DD21EB13		LDIX, RGDES0
048B	DD7700		LD (IX+00), A
048E	DD7701		LD (IX+01), A
0491	DD7702		LD (IX+02), A
0494	DD7703		LD (IX+03), A
0497	219D04		LDHL, DIRPSA
049A	22F713		LD (DIRCOM), HL
049D	3AEA13		LDA, (DIG4)
04A0	B7		OR A
04A1	CA2101		JPZ, DESPLE
04A4	3AF413	PAUSA1:	LDA, (BANPSA)
04A7	FE06		CP 06
04A9	CAD205		JPZ, ERRORS
04AC	DD21B613		LD IX, TABPSA
04B0	47		LD B, A
04B1	B7		OR A
04B2	2B0B		JRZ, PAUSA3
04B4	DD23	PAUSA2:	INC IX
04B6	DD23		INC IX
04BB	DD23		INC IX
04BA	107B		AJNZ, PAUSA2
04BC	3C	PAUSA3:	INC A
04BD	32F413		LD (BANPSA), A
04C0	CD4706		CALL SUBDEO
04C3	DD7000		LD (IX+00), B
04C6	DD7101		LD (IX+01), C
04C9	C32101		JP DESPLE

## CAMDAT

ESTA SUBROUTINA ES REQUERIDA DENTRO DEL RECONOCIMIENTO DEL TECLADO. LOCALIZA LA FUNCION PRESENTE EN LA OPERACION DEL SISTEMA Y REALIZA EL CAMBIO DE DATO EN LA MEMORIA, PUERTO O REGISTRO SOLICITADOS, REGRESANDO A LA RUTINA DE TECLADO.

04CC	3AE413	CAMDAT:	LDA, (BANMEM)
04CF	FE01		CP 01
04D1	2B20		JRZ, CAMMEM
04D3	3AE513		LDA, BANPTO
04D6	FE01		CP 01
04D8	2B36		JRZ, CAMPTO
04DA	3AE613		LDA, (BANREG)
04DD	FE01		CP 01
0ADF	2B5D		JRZ, CAMREG
04E1	3AE713		LDA, (BANRGA)
04E4	FE01		CP 01
04E6	C0		RETNZ
04E7	21A613	CAMRGA:	LDHL, TABRGA-0
04EA	3AED13		LDA, (RGDES0)
04ED	0600		LDB, 00
04EF	4F		LDC, A
04F0	09		ADD HL, DC
04F1	1B60		JR CAMCOM
04F3	CD4706	CAMMEM:	CALL SUBDEO
04F6	3E13		LDA, 13
04F8	D8		CP A,D
04F9	3B11		JRC, MENOR
04FB	3A9D13		LDA, (APPIL1)
04FE	B8		CP A,D
04FF	DAD605		JPC, ERROR6
0502	2008		JRNZ, MENOR
0504	3A9C13		LDA, (APPILA)
0507	3D		DEC A
0508	B9		CP A,C
0509	DAD605		JPC, ERROR6
050C	60	MENOR:	LDH, D
050D	69		LDL, C
050E	1043		JR CAMCOM
0510	CD4706	CAMPTO:	CALL SUBDEO
0513	48		LDC, D
0514	DD21F113		LDIX, RGDES6
0518	CD7006		CALL SUBDEZ
051D	ED79		OUT(C), A
051D	C9		RET
051E	0600	CAMREG:	LDB, 00
0520	219E13		LDHL, TABREG
0523	3AED13		LDA, (RGDES0)
0526	B7		OR A
0527	FE07		CP 07
0529	3B04		JRC, REGESP

052B	4F	CAMRG1:	LDC, A
052C	09		ADDHL, BC
052D	1B24		JR CAMCOM
052F	FE03	REGESP:	CP03
0531	CAC905		JPZ, ERROR3
0534	FE05		CP05
0536	2B1B		JRZ, CAMCOM
053B	4F		LDC, A
0539	09		ADDHL, BC
053A	DD21EF13		LD IX, RGDES4
053E	CD7B06		CALL SUBDEZ
0541	77		LD (HL), A
0542	DD21ED13		LD IX, RGDES2
0546	DD7E02		LDA, (IX+02)
0549	DD7700		LD (IX+00), A
054C	DD7E03		LDA, (IX+03)
054F	DD7701		LD (IX+01), A
0552	2B		DEC HL
0553	DD21F113	CAMCOM:	LDIX, RGDES6
0557	CD7B06		CALL SUBDEZ
055A	77		LD (HL), A
055B	7E		LDA, (HL)
055C	C9		RET

## ERRORO

CUANDO EXISTE UN ERROR DE OPERACION DEL SISTEMA POR PARTE DEL USUARIO SE GENERA UN MENSAJE QUE INDICA ESTO. SE PROGRAMA UNA INTERRUPCION NO MASCARABLE PARA PERMITIR LA RECUPERACION DEL CONTROL Y SE MANTIENE EL MENSAJE DESPLEGADO EN FORMA INTERMITENTE.

055D	DD21ED13	ERRORO:	LD IX, RGDES0
0561	DD7700		LD (IX+00), A
0564	3E0E		LDA, 0E
0566	DD7703		LD (IX+05), A
0569	3E15		LDA, "R"
056D	DD7704		LD (IX+04), A
056E	DD7703		LD (IX+03), A
0571	DD7701		LD (IX+01), A
0574	3E14		LDA, "0"
0576	DD7702		LD (IX+02), A
0579	CDDA05		CALL LINDAN
057C	3E01	SALERR:	LDA, 01
057E	D305		OUT (PTOCAR), A
0580	3E55		LDA, 55
0582	D300		OUT (CTC0), A
0584	3E01		LDA, 01
0586	D300		OUT (CTC0), A
058B	06C0		LDB, C0
058A	CDB706	CONTO:	CALL SUBRET
058D	10FB		DJNZ, CONTO
058F	0E50		LDC, 50
0591	0606	CONT1:	LDB, 06
0593	DD21EA13		LDIX, RGDES0-1
0597	DD23	VUELTA:	INCIX
0599	CDB706		CALL SUBRET
059C	3E06		LDA, 06
059E	D304		OUT (PTODIG), A
05A0	DD7E00		LDA, (IX+00)

05A3	1400		LDD, 00
05A5	5F		LDE, A
05A6	FD21DA07		LDIY, TABCAR
05AA	FD19		ADD IY, DE
05AC	FD7E00		LDA, (IY+00)
05AF	D305		OUT (PTOCAR), A
05B1	05		DEC B
05B2	78		LDA, B
05B3	D304		OUT (PTODIG), A
05B5	20E0		JRNZ, VUELTA
05B7	0D		DEC C
05B8	41		LDD, C
05B9	10D6		DJNZ, CONT1
05BB	3E06		LDA, 06
05BD	D304		OUT (PTODIG), A
05DF	18BB		JR SALERR
05C1	3E01	ERROR1:	LDA, 01
05C3	1898		JR ERROR0
05C5	3E02	ERROR2:	LDA, 02
05C7	1894		JR ERROR0
05C9	3E03	ERROR3:	LDA, 03
05CB	C1	ERRO3A:	POP BC
05CC	189F		JR ERROR0
05CE	3E04	ERROR4:	LDA, 04
05D0	188D		JR ERROR0
05D2	3E05	ERROR5:	LDA, 05
05D4	1C07		JR ERROR0
05D6	3E06	ERROR6:	LDA, 06
05D8	1CF11		JR ERRO3A

## LIMBAN

ESTA SUBROUTINA SE ENCARGA DE LIMPIAR EL CONTENIDO DE LAS BANDERAS PARA QUE PUEDAN SER MODIFICADOS POSTERIORMENTE DENTRO DE LA EJECUCION DE UN PROGRAMA.

05DA	3E00	LIMBAN:	LDA, 00
05DC	0608		LDB, 08
05DE	21E313		LDHL, TABBAN
05E1	77	PROX:	LD (HL), A
05E2	23		INC HL
05E3	10FC		DJNZ, PROX
05E5	22F513		LD (APDIG), HL
05E8	C9		RET

## SALREG

POR MEDIO DE ESTA RUTINA SE ALMACENA EL CONTENIDO DE  
 LOS REGISTROS UTILIZADOS EN LOS PROGRAMAS DE USUARIO.  
 ESTO SE REALIZA EN EL AREA DE RAM DESTINADA AL PROGRA-  
 MA MONITOR.

05E9	DD22A113	SALREG:	LD (TABREG+3), IX
05ED	DD219E13		LD IX, TABREG
05F1	DD770A		LD (IX+0A), A
05F4	DD700B		LD (IX+0B), B
05F7	DD710C		LD (IX+0C), C
05FA	DD720D		LD (IX+0D), D
05FD	DD730E		LD (IX+0E), E
0600	DD740B		LD (IX+0B), H
0603	DD7509		LD (IX+09), L
0604	F5		PUSH AF
0607	FD22AE13		LD (TABREG+5), IY
060B	C1		POP BC
060C	DD710F		LD (IX+0F), C
060F	C1		POP BC
0610	D1		POP DE
0611	ED739C13		LD (APPILA), SP
0613	ED539F13		LD (TABREG+1), DE
0619	ED57		LDA, I
061B	DD7707		LD (IX+07), A
061E	D5		PUSH DE
061F	C5		PUSH BC
0620	D9		EXX
0621	0B		EX AF, AF'
0622	DD7410		LD (IX+10), H'
0625	DD7511		LD (IX+11), L'
0628	DD7712		LD (IX+12), A'
062B	DD7013		LD (IX+13), B'
062E	DD7114		LD (IX+14), C'
0631	DD7215		LD (IX+15), D'
0634	DD7316		LD (IX+16), E'
0637	F5		PUSH AF
063B	C1		POP BC
0639	DD7117		LD (IX+17), C
063C	D9		EXX
063D	0B		EX AF, AF'
063E	C9		RET

SIGPSA

GENERA EL LUGAR CORRESPONDIENTE A LA SIGUIENTE PAUSA DENTRO DE LA TABLA QUE LAS CONTIENE.

68

063F	DD23	SIGPSA:	INC IX
0641	DD23		INC IX
0643	DD23		INC IX
0645	05		DEC B
0646	C9		RET

SUBDE0

CONVIERTE LOS 4 PRIMEROS DIGITOS DE RGDES EN UNA DIRECCION EN BC.

0647	3AEB13	SUBDE0:	LDA, (RGDES0)
064A	21F913		LDHL, DIRDAT
064D	77		LD (HL), A
064E	ED67		RRD
0650	3AEC13		LDA, (RGDES1)
0653	D6		OR (HL)
0654	47		LDB, A
0655	3AED13		LD A, (RGDES2)
0659	77		LD (HL), A
0659	ED67		RRD
065B	3AEE13		LDA, (RGDES3)
065E	D6		OR (HL)
065F	4F		LDC, A
0660	C9		RET

SUBDE1

SEPARA UN BYTE EN 2 PARTES Y LO COLOCA EN (IX + 0) Y EN (IX + 1).

0661	DD7700	SUBDE1:	LD (IX+00), A
0664	E60F		AND CF
0666	DD7701		LD (IX+01), A
0669	DD7E00		LDA, (IX+00)
066C	CDEF		SRL A
066E	CDEF		SRL A
0670	CDEF		SRL A
0672	CDEF		SRL A
0674	DD7700		LD (IX+00), A
0677	C9		RET

SUBDE2

GENERA UN BYTE CON EL CONTENIDO DE (IX+0) E (IX+1) Y LO GUARDA EN D.

0678	DD7700	SUBDE2:	LDA, (IX+00)
067D	CB27		SLA, A
067D	CB27		SLA, A
067F	CB27		SLA, A
0681	CB27		SLA, A
0683	DDB601		OR (IX+01)
0686	C9		RET

SUBRET

PERMANECE EN UN LAZO GENERANDO UN TIEMPO DE RETRASO,  
QUE DEPENDE DEL VALOR CONTENIDO EN LOS REGISTROS H Y L

```

0687      216001   SUBRET:  LDHL,0160
068A      2D       SUBRE1:  DEC L
068B      20FD    JRNZ, SUBRE1
068D      25      DEC H
068E      20FA    JRNZ, SUBRE1
0690      C9      RET
    
```

ESTAS SUBROUTINAS BRINDAN APOYO AL FUNCIONAMIENTO DE  
LA RUTINA DE TECLADO.

```

0691      3AF413   SUBAUX:  LDA (BANP5A)
0694      B7       OR A
0695      CD6601   JPZ TECDE1
069B      C35700   JP PGP5AB
069D      DB04     NOTEC:  INA, PTODIG
069D      E6F0     AND F0
069F      20FA    JRNZ, NOTEC
06A1      210040   LDHL, 4000
06A4      18E4     JR SUBRE1
    
```

TADCAR

		OFFSET	H	G	F	E	D	C	B	A
07BA	3F	(00)	0	0	1	1	1	1	1	1
07DB	06	(01)	0	0	0	0	0	1	1	0
07DC	5B	(02)	0	1	0	1	1	0	1	1
07DD	4F	(03)	0	1	0	0	1	1	1	1
07DE	66	(04)	0	1	1	0	0	1	1	0
07DF	6D	(05)	0	1	1	0	1	1	0	1
07C0	7D	(06)	0	1	1	1	1	1	0	1
07C1	07	(07)	0	0	0	0	0	1	1	1
07C2	7F	(08)	0	1	1	1	1	1	1	1
07C3	6F	(09)	0	1	1	0	1	1	1	1
07C4	77	(0A)	0	1	1	1	0	1	1	1
07C5	7C	(0B)	0	1	1	1	1	1	0	0
07C6	39	(0C)	0	0	1	1	1	0	0	1
07C7	5E	(0D)	0	1	0	1	1	1	1	0
07C8	79	(0E)	0	1	1	1	1	0	0	1
07C9	71	(0F)	0	1	1	1	0	0	0	1
07CA	00	(10)	0	0	0	0	0	0	0	0
07CB	53	(11)	0	1	0	1	0	0	1	1
07CC	40	(12)	0	1	0	0	0	0	0	0
07CD	30	(13)	0	0	1	1	0	0	0	0
07CE	5C	(14)	0	1	0	1	1	1	0	0
07CF	50	(15)	0	1	0	1	0	0	0	0
07D0	FF	(16)	R E S E R V A							
07D1	FF	(17)	R E S E R V A							
07D2	FF	(18)	R E S E R V A							
07D3	FF	(19)	R E S E R V A							
07D4	FF	(1A)	R E S E R V A							
07D5	FF	(1B)	R E S E R V A							
07D6	FF	(1C)	R E S E R V A							
07D7	20	(1D)	0	0	1	0	0	0	0	0
07D8	FF	(1E)	R E S E R V A							

TADCOM  
GUARDA LAS DIRECCIONES DE LAS FUNCIONES.

07D9	C3FC01	EFEC	JP 01FB
07DC	C35903	ANT	JP 0359
07DF	C3D002	SIG	JP 02D2
07E2	C34202	EPP	JP 0242
07E5	C37F04	PAUSA	JP 047F
07EB	C34404	EXPTD	JP 044A
07EB	C3CD03	EXRGA	JP 03CD
07EE	C37303	EXREG	JP 0373
07F1	C30D04	EXMEM	JP 040B
07F4	C30010	F1	JP 1000
07F7	C30E10	F2	JP 1003
07FA	C30610	F3	JP 1006
07FD	C3CA00	MON1	JP 00AC

TADREG  
GUARDA EL CONTENIDO DE LOS REGISTROS

139C	APPILA
139D	APPIL1
139E	IFF
139F	PCL
13A0	PCH
13A1	IXL
13A2	IXH
13A3	IYL
13A4	IYH
13A5	I
13A6	H
13A7	L
13A8	A
13A9	B
13AA	C
13AD	D
13AC	E
13AD	F

## TADPSA

GUARDA LAS DIRECCIONES Y DATOS DE LAS PAUSAS

13B6	PCL1
13B7	PCH1
13B8	DATO1
13B9	PCL2
13BA	PCH2
13BB	DATO2
13BC	PCL3
13BD	PCH3
13BE	DATO3
13BF	PCL4
13C0	PCH4
13C1	DATO4
13C2	PCL5
13C3	PCH5
13C4	DATO5
13C5	PCL6
13C6	PCH6
13C7	DATO6

## TADREI

GUARDA LAS DIRECCIONES DE LOS REINICIOS PROGRAMABLES

13C8	C3NN	REIN16
13C9	C3NN	REIN24
13CE	C3NN	REIN32
13D1	C3NN	REIN40
13D4	C3NN	REIN48
13D7	C3NN	REIN56

## TAVCTC

GUARDA LA PARTE BAJA DE LOS VECTORES DE INTERRUPCION DE LOS CANALES DEL CTC

13DA	C3NN	CTC1V
13DD	C3NN	CTC2V
13E0	C3NN	CTC3V

TADBAN  
GUARDA EL CONTENIDO DE LAS BANDERAS.

13E3	DANCOM
13E4	DANMEM
13E5	DANPTO
13E6	DANREG
13E7	DANRGA
13E8	DANSIG
13E9	DIG2
13EA	DIG4
13EB	RGDES0
13EC	RGDES1
13ED	RGDES2
13EE	RGDES3
13EF	RGDES4
13F0	RGDES5
13F1	RGDES6
13F2	RGDES7
13F3	DANEPP
13F4	DANPSA
13F5	APDIGL
13F6	APDIGH
13F7	DIRCOML
13F8	DIRCOMH
13F9	DIRDATL
13FA	DIRDATA
13FD	FILTRO
13FC	TECFIL
13FD	TECLA
13FE	RESERVA
13FF	RESERVA

## II. MANUAL DE OPERACION

## INTRODUCCION

EL SISTEMA FI-001 FUE DISEÑADO TENIENDO EN MENTE AL USUARIO DE MICROPROCESADORES, CON EL FIN DE HACERLE LLEGAR UN ELEMENTO DE UTILIDAD EN SU TRABAJO DENTRO DEL LABORATORIO Y QUE ADEMAS CUENTE CON UN RESPALDO EN SU PROPIO IDIOMA.

COMO INTEGRANTE FUNDAMENTAL DEL SISTEMA SE SELECCIONO EL MICROPROCESADOR Z80, POR CONSIDERARSE QUE ES UNO DE LOS MAS COMPLETOS Y VERSATILES DENTRO DE LA FAMILIA DE MICROPROCESADORES DE 8 BITS, YA QUE CUENTA CON LAS SIGUIENTES CARACTERISTICAS:

- ES COMPATIBLE CON CIRCUITOS TTL CUANDO SE PRETENDE EXPANDIR EL SISTEMA
- CUENTA CON UN JUEGO DE REGISTROS PRINCIPALES Y OTRO DE ALTERNOS, CON EL FIN DE MANIPULAR CON MAYOR FACILIDAD LAS VARIABLES QUE SE ESTEN EMPLEANDO. ESTA ACTIVIDAD SE COMPLEMENTA CON OTROS REGISTROS DE PROPOSITO ESPECIFICO.
- TIENE UN CONJUNTO DE 158 INSTRUCCIONES QUE LE PERMITEN EJECUTAR CUALQUIER PROGRAMA QUE SE DISENE.
- OFRECE 6 FORMAS DISTINTAS DE DIRECCIONAMIENTO.

EL USUARIO ENCONTRARA QUE ESTAS FACILIDADES IMPLICAN UNA GRAN VENTAJA CON RESPECTO A OTROS SISTEMAS, LO CUAL REPERCUTIRA EN UN APRENDIZAJE MAS EFECTIVO.

EL EMPLEO DE ESTE SISTEMA CUBRE DOS AREAS GENERALES: PRETENDE CAPACITAR AL ESTUDIANTE EN LA PROGRAMACION DEL CPU Y SUS PERIFERICOS, Y LE DA PRINCIPIOS PARA REALIZAR ALGUNAS INTERCONEXIONES QUE LE PERMITAN AUMENTAR LA CAPACIDAD DEL FI-001 EN ALGUNA ACTIVIDAD PARTICULAR.

CON EL FIN DE EFECTUAR UN USO ADECUADO DEL SISTEMA SE SUGIERE OBSERVAR EL ORDEN PROPUESTO EN EL LISTADO DE PRACTICAS, LAS CUALES VAN INTRODUCIENDO AL USUARIO EN CONCEPTOS CADA VEZ MAS PROFUNDOS.

SE OBSERVARA QUE ESTE SISTEMA CUENTA CON MAS FUNCIONES QUE ALGUNOS OTROS QUE EXISTEN EN EL MERCADO, COMO SON:

- REGRESAR A LA LOCALIDAD DE MEMORIA, PUERTO Y REGISTRO ANTERIOR, UTILIZANDO LA TECLA "ANT" CONJUNTAMENTE CON "EXMEM", "EXPTO", "EXREG", "EXRGA", SIN NECESIDAD DE TECLEAR ESTAS ULTIMAS NUEVAMENTE.

-DISPONER DE 3 TECLAS DE FUNCION PROGRAMABLE.

ADEMAS, DICHAS FUNCIONES Y LAS CONVENCIONALES, ESTAN DEFINIDAS EN ESPANOL EN ESTE MANUAL PARA FACILITAR SU MANEJO. TRATAMOS DE GENERALIZAR EN LO POSIBLE EL USO DE TERMINOS EN NUESTRO IDIOMA, CON LAS LIMITACIONES EVIDENTES QUE PUDIERON PRESENTARSE, PERO LLEGAMOS INCLUSO AL PUNTO DE RESUMIR Y TRADUCIR LOS MANUALES DEL CPU Y SUS CIRCUITOS PERIFERICOS, PARA SIMPLIFICAR AUN MAS LA LABOR DE LOS USUARIOS.

CONSCIENTES DE QUE EL EMPLEO COTIDIANO DEL SISTEMA FI-001 PODRIA HACER RESALTAR ALGUNA DIFICULTAD NO PREVISTA, ESPERAMOS SUS OBSERVACIONES Y SUGERENCIAS QUE COLABOREN AL MEJORAMIENTO DE NUESTRO TRABAJO.

## DESCRIPCION DEL SISTEMA.

## A) HARDWARE

EL SISTEMA FI-001 ESTA INTEGRADO CON LOS COMPONENTES BASICOS DE LA FAMILIA Z80, ASI COMO LOS PERIFERICOS INDISPENSABLES PARA SU OPERACION. A CONTINUACION SE EXPLICA EL FUNCIONAMIENTO DE CADA UNO DE SUS ELEMENTOS.

CPU.- ES EL COMPONENTE FUNDAMENTAL DEL SISTEMA. REALIZA OPERACIONES ARITMETICAS Y LOGICAS, CONTROLA EL PROCESAMIENTO DE LAS INSTRUCCIONES Y LA OPERACION DE MEMORIA Y PERIFERICOS.

PIO.- ES UN CONTROLADOR PROGRAMABLE DE ENTRADA Y SALIDA DE DATOS EN PARALELO. CONTIENE DOS PUERTOS PARA CONEXION EN PARALELO QUE PUEDEN USARSE EN MODO DE ENTRADA, SALIDA, BIDIRECCIONAL O CONTROL. SIRVE DE INTERCONEXION ENTRE EL CPU Y LOS PERIFERICOS. EL SISTEMA FI-001 CUENTA CON DOS CIRCUITOS PIO. UNO DE ELLOS ESTA A DISPOSICION DEL USUARIO CON SUS LINEAS DE CONTROL Y DATOS ALAMBRADOS AL AREA DE CONECTORES. EL OTRO PIO SE EMPLEA PARA EL MANEJO DEL TECLADO Y DESPLEGADO DEL SISTEMA.

CTC.- ES UN CIRCUITO CONTADOR Y MARCADOR DE TIEMPO, PROGRAMABLE, CON 4 CANALES INDEPENDIENTES. EL SISTEMA FI-001 EMPLEA EL CANAL 0 PARA LAS FUNCIONES DE RECUPERACION DEL CONTROL DEL SISTEMA A TRAVES DE LA TECLA MONITOR Y LA EJECUCION DE PROGRAMAS PASO A PASO. LOS 3 CANALES RESTANTES ESTAN ALAMBRADOS EN EL AREA DE CONECTORES PARA EL USUARIO.

RELOJ.- EL SISTEMA EMPLEA UN RELOJ (SEÑAL DE SINCRONIA DE LOS CIRCUITOS) DE 2 MHZ. ESTA FORMADO POR UN CIRCUITO INTEGRADO QUE GENERA UNA SEÑAL DE 3.99 MHZ. LA FRECUENCIA SE DIVIDE EN DOS CON UN BIESTABLE 74LS74 PARA DAR LA SEÑAL REQUERIDA CON LA CUAL SE SINCRONIZA TODO EL SISTEMA.

DESPLEGADO Y TECLADO.- CON LAS LINEAS 0, 1 Y 2 DEL PUERTO A DEL PIO Y EL DECODIFICADOR 74LS145 SE SELECCIONA EL DIGITO EN QUE SE VA A DESPLEGAR UN CARACTER. EL DATO DEL CARACTER SE ENVIA POR LAS 6 LINEAS DEL PUERTO B, A TRAVES DEL CIRCUITO INTEGRADO 73491, EL CUAL PROPORCIONA LA CORRIENTE NECESARIA. CADA DIGITO PERMANECE ENCENDIDO 1.5 ms APROXIMADAMENTE, PASANDO AL SIGUIENTE QUE SE VA A ENCENDER HASTA TERMINAR EL BARRIDO DE LOS 6 DIGITOS. CUANDO ESTE TERMINA COMIENZA EL

CORRESPONDIENTE AL TECLADO. POR CADA UNA DE LAS LINEAS DEL PUERTO B SE ENVIA SUCESIVAMENTE UN PATRON HASTA BARRER TOTALMENTE EL TECLADO; SI UNA TECLA FUE OPRIMIDA SE DETECTA EN ALGUNA DE LAS 4 LINEAS DEL PUERTO A CONECTADAS AL TECLADO.

- SELECTOR S3.- ESTA CONECTADO A LA LINEA 3 DEL PUERTO A DEL PIO. EL CPU EFECTUA UNA LECTURA DE SU POSICION AL INICIO DEL PROGRAMA MONITOR. CUANDO ESTE EN LA POSICION PROM SE HARA UN SALTO A LA DIRECCION 0800H EN DONDE SE ENCUENTRA LA PROM DEL USUARIO. SI ESTA EN LA POSICION MON, CONTINUA CON EL PROGRAMA MONITOR.

\*BUS\* DE DATOS.- ES UN CANAL DE 8 LINEAS POR EL CUAL SE TRANSMITEN LOS DATOS DENTRO DEL SISTEMA. ESTA CONECTADO ENTRE EL CPU, LOS 2 CIRCUITOS PIO, CTC, PROM, RAM Y AREA DE CONECTORES PARA EL USUARIO.

\*BUS\* DE DIRECCIONES.- ES UN CANAL DE 16 LINEAS PARA DIRECCIONAR HASTA 64 KILOBYTES DE MEMORIA Y 256 PUERTOS. CON LAS LINEAS 0 Y 1 CONECTADAS DIRECTAMENTE Y LAS LINEAS 2, 3, 4, 5 Y 6 A TRAVES DEL DECODIFICADOR 74LS138 SE SELECCIONAN LOS DIFERENTES CANALES DEL CTC Y PUERTOS DE LOS DOS PIO DEL SISTEMA. ADEMAS SE PROPORCIONAN AL USUARIO 5 LINEAS PARA CONECTAR OTROS PUERTOS. CON LAS LINEAS 11, 12, 13 Y 14 Y LA LINEA DE CONTROL MREQ, A TRAVES DE OTRO CIRCUITO 74LS138 SE HAN DECODIFICADO 16 KILOBYTES DE MEMORIA DE LOS CUALES EL PROGRAMA MONITOR UTILIZA 2 KILOBYTES, LA PROM DEL USUARIO 2 KILOBYTES Y LA RAM DEL SISTEMA 1 KILOBYTE. EN ESTE CASO SE PROPORCIONAN TAMBIEN 5 LINEAS PARA QUE EL USUARIO CONECTE HASTA 4 KILOBYTES DE MEMORIA ADICIONAL.

CIRCUITO DE EJECUCION PASO A PASO. ESTA FUNCION ES EFECTUADA POR HARDWARE Y SE PUEDE OPERAR EN CUALQUIER PROGRAMA QUE SE ENCUENTRE EN LOCALIDADES DE MEMORIA DIRECCIONABLES POR EL CPU. LA TECLA DE EJECUCION PASO A PASO ACTIVA AL CTC, EL CUAL A SU VEZ GENERA UNA INTERRUPCION NO MASCARABLE QUE LLEVA AL CPU A RECONOCER LA FUNCION, SALVAR EL CONTENIDO DE LOS REGISTROS Y A DESPLEGAR EL CONTENIDO DEL ACUMULADOR Y LA DIRECCION DE LA SIGUIENTE INSTRUCCION.

MEMORIA.- EL SISTEMA FI-001 CUENTA CON UNA MEMORIA PROGRAMABLE (PROM 2716) DE 2 KILOBYTES DE CAPACIDAD EN LA CUAL ESTA ALMACENADO EL PROGRAMA MONITOR; UNA MEMORIA RAM DE 1 KILOBYTE PARA EL USUARIO, FORMADA POR DOS CIRCUITOS INTEGRADOS 2114 DE 1 KILOBYTE X 4 BITS CADA UNO. DE ESTA MEMORIA EL PROGRAMA MONITOR UTILIZA 100 BYTES PARA ALMACENAR EL ESTADO TEMPORAL DE REGISTROS Y BANDERAS; A PARTIR DE LA DIRECCION 139CH SE ENCUENTRA EL

AREA DE APILAMIENTO DE DATOS. POR ULTIMO SE HA DEJADO ESPACIO PARA QUE EL USUARIO PUEDA CONECTAR UNA EPROM DEL TIPO 2716 O 2758.

AREA DE CONECTORES.- EL SISTEMA CUENTA CON UNA SERIE DE CONECTORES QUE PROPORCIONAN ACCESO A LAS SEÑALES DE DIRECCION, DATOS Y CONTROL, QUE PUEDAN SER UTILES AL USUARIO.

## B) SOFTWARE.

EL SOFTWARE PARA EL FUNCIONAMIENTO DEL SISTEMA FI-001 LO CONSTITUYE PRINCIPALMENTE EL PROGRAMA MONITOR DESARROLLADO PARA EL MICROPROCESADOR Z80. ESTE PROGRAMA ESTA GRABADO EN UNA EPROM DE 2 KILOBYTES Y PERMITE LA EJECUCION DE PROGRAMAS ELABORADOS EN LENGUAJE DE MAQUINA DE ESTE MICROPROCESADOR.

EL MONITOR DEL SISTEMA FI-001 PROPORCIONA AL USUARIO LAS SIGUIENTES FUNCIONES A TRAVES DE SU TECLADO Y DESPLEGADO HEXADECIMAL:

-RETORNO A MONITOR (MON).- ESTA ES UNA RUTINA EN LA QUE SE PROGRAMAN LOS MODOS DE OPERACION DEL PIO. SE LIMPIAN BANDERAS, SE CARGA EL MENSAJE "FI-001" EN EL DESPLEGADO Y SE DECIDE SI SE CONTINUA DENTRO DEL PROGRAMA MONITOR O SE SALTA A LA DIRECCION 0800H.

-HEXAMINAR MEMORIA (EXMEM).- ESTA RUTINA PERMITE CONOCER EL CONTENIDO DE UNA LOCALIDAD DE MEMORIA APUNTADA POR LOS REGISTROS RGDES0 A RGDES3. EL DATO ENCONTRADO SE ALMACENA EN RGDES4 Y RGDES5, PARA SER MODIFICADO SI SE DESEA.

-EXAMINAR REGISTROS (EXREG).- POR MEDIO DE ESTA RUTINA SE ALMACENA EN RGDES4 Y RGDES5 EL CONTENIDO DE LOS REGISTROS MODIFICADOS POR LOS PROGRAMAS DE USUARIO.

-EXAMINAR REGISTROS ALTERNOS (EXRGA).- TRABAJA EN FORMA SIMILAR A LA RUTINA PREVIA AL OPERAR SOBRE LOS REGISTROS ALTERNOS.

-EXAMINAR PUERTOS (EXPTO).- EFECTUA UNA LECTURA DEL PUERTO INDICADO POR LOS REGISTROS RGDES0 Y RGDES1, COLOCANDO EL DATO ENCONTRADO EN RGDES4 Y RGDES5.

-PAUSA (PSA).- ESTA RUTINA RECONOCE EL NUMERO DE LA PAUSA SOLICITADA Y ALMACENA LA DIRECCION DE ESTA EN EL LUGAR CORRESPONDIENTE DENTRO DE LA TABLA.

-EJECUCION PASO A PASO (EPP).- CON ESTA RUTINA SE GENERA UNA INTERRUPCION NO MASCARABLE CUANDO SE ESTA EJECUTANDO LA PRIMERA INSTRUCCION DEL PROGRAMA DE USUARIO.

-EJECUCION (EJEC).- RECONOCE EL MODO DE EJECUCION DEL PROGRAMA DE USUARIO TOMANDO COMO DIRECCION DE INICIO EL CONTENIDO DE LOS REGISTROS RGDESO A RGDESS.

-SIGUIENTE (SIG).- INCREMENTA LA DIRECCION, REGISTRO O PUERTO QUE SE ESTA EXAMINANDO Y ACTUALIZA EL DATO CONTENIDO EN CADA UNO DE ELLOS.

-ANTERIOR (ANT).- OPERA EN FORMA SIMILAR AL CASO ANTERIOR PERO DECREMENTANDO LA DIRECCION, REGISTRO O PUERTO.

-FUNCIONES PROGRAMABLES (F1,F2,F3).- ESTAS FUNCIONES PROPORCIONAN UN MEDIO AL USUARIO DE EJECUTAR PROGRAMAS EN CUALQUIER PARTE DE MEMORIA DISPONIBLE AL REALIZAR SALTOS EN LAS DIRECCIONES 1000H, 1003H Y 1006H PARA F1, F2 Y F3 REPECTIVAMENTE.

ADICIONALMENTE, EL PROGRAMA MONITOR CONTIENE SUBRUTINAS DE APOYO A LAS FUNCIONES ANTERIORMENTE DESCRITAS COMO SON:

-INICIALIZACION.- PERMITE ESTABLECER LAS CONDICIONES INICIALES DE OPERACION DEL SISTEMA.

-REINICIO B.- SUBRUTINA DE RETORNO DE OPERACION CON PAUSA. SALVA EL CONTENIDO DE LOS REGISTROS UTILIZADOS EN LOS PROGRAMAS DE USUARIO. MANEJA LA INFORMACION CONTENIDA EN LAS DIRECCIONES DE PAUSA Y REGRESA EL CONTROL AL PROGRAMA MONITOR.

-INTERRUPCION NO MASCARABLE.- ESTA SUBRUTINA PERMITE RECOBRAR EL CONTROL DEL SISTEMA DESPUES DE OPERAR LA TECLA MON. TAMBIEN COMPLEMENTA LA EJECUCION PASO A PASO DE LOS PROGRAMAS DE USUARIO.

-DESPLEGAR.- CON ESTA SUBRUTINA SE EFECTUA LA SALIDA AL DESPLEGADO DE LA INFORMACION CONTENIDA EN LOS REGISTROS RGDESO A RGDESS.

- TECLADO.- ESTA SUBROUTINA RECONOCE EL TIPO DE TECLA OPRIMIDA. SI ES UNA FUNCION, SALTA A LA DIRECCION CORRESPONDIENTE A ESTA. SI ES UN DATO PARA LA FUNCION PREVIAMENTE SOLICITADA, LO MANEJA DE ACUERDO A ESTA, Y SI ES UN NUEVO DATO, GESTIONA SU ACTUALIZACION.
  
- ERROR DE OPERACION.- DESPLIEGA 6 DIFERENTES MENSAJES DE ERROR PARA INDICAR AL USUARIO QUE LA SECUENCIA DE OPERACION NO HA SIDO CORRECTA. PROGRAMA UNA INTERRUPCION NO MASCARADLE PARA PERMITIR RECORDAR EL CONTROL DEL SISTEMA Y MANTIENE EL MENSAJE DESPLEGADO EN FORMA INTERMITENTE.
  
- SALVAR REGISTROS.- POR MEDIO DE ESTA SUBROUTINA SE ALMACENA EL CONTENIDO DE LOS REGISTROS UTILIZADOS EN LOS PROGRAMAS DE USUARIO. ESTO SE REALIZA EN EL AREA DE MEMORIA DESTINADA AL PROGRAMA MONITOR.
  
- CAMBIAR DATO.- ESTA SUBROUTINA ES REQUERIDA DENTRO DE LA RUTINA DE TECLADO. EFECTUA EL CAMDIO DE DATO EN LA MEMORIA, PUERTO O REGISTRO SOLICITADOS, REGRESANDO A LA RUTINA DE TECLADO.

## TABLAS DE MONITOR

## RAM (100 BYTES)

TABREG	139E 13AD
TABRGA	13AE 13DS
TABPSA	13B6 13C7
TABREI	13C8 13D9
TAVCTC	13DA 13E2
TABBAN	13E3 13FD
RESERVA	13FE 13FF

## PROM (70 BYTES)

TABCAR	07DA 07DB
TABCOM	07D9 07FF

## MAPA DE MEMORIA

## EPROM:

EPROM MONITOR	0000
	07FF
EPROM USUARIO	0800
	0FFF

## RAM:

RAM USUARIO	1000
	139D
RAM MONITOR	139C
	13FF

MEM OPCIONAL	1400
	3FFF

## PUERTOS

## CTC (P50)

00	CANAL 0
01	CANAL 1
02	CANAL 2
03	CANAL 3

## PIO TECLADO (P51)

04	PUERTO A DATOS
05	PUERTO B DATOS
06	PUERTO A CONTROL
07	PUERTO B CONTROL

## PIO USUARIO (P52)

08	PUERTO A DATOS
09	PUERTO B DATOS
0A	PUERTO A CONTROL
0B	PUERTO B CONTROL

## PUERTOS OPCIONALES (P53, P54, P55, P56, P57)

0C  
1F

## "DAISY CHAIN" PUERTOS:

CTC ----> PIO TECLADO ----> PIO USUARIO ---->

**ESPECIFICACIONES**

<b>VOLTAJE DE ALIMENTACION AL SISTEMA FI-001</b>	<b>5V DC + 5%</b>
<b>CONSUMO DE CORRIENTE</b>	<b>1 A (APROX).</b>
<b>FRECUENCIA DE RELOJ</b>	<b>2MHZ</b>
<b>LONGITUD PROGRAMA MONITOR</b>	<b>2 K BYTES EPROM</b>
<b>MEMORIA RAM</b>	<b>1 K BYTE</b>
<b>DESPLEGADO</b>	<b>6 DIGITOS HEXADECIMALES</b>
<b>TECLADO HEXADECIMALES</b>	<b>16 TECLAS DIGITOS Y REGISTROS 13 TECLAS</b>
<b>FUNCIONES</b>	

DESCRIPCION DE LAS FUNCIONES DEL SISTEMA  
FI-001

EL SISTEMA FI-001 CONSTA FISICAMENTE, ENTRE OTRAS COSAS, DE UN PULSADOR DE RESET, UN SELECTOR DE OPERACION, UN TECLADO HEXADecimal PARA METER FUNCIONES Y DATOS Y UN DESPLEGADO DE 6 DIGITOS PARA SALIDA DE INFORMACION.

PULSADOR DE RESET

CUANDO SE ACCIONA EL PULSADOR DE RESET (S2), EL CPU ES INICIALIZADO Y LA EJECUCION DEL PROGRAMA COMIENZA EN LA DIRECCION 0000H DONDE SE ENCUENTRA EL INICIO DEL MONITOR QUE MANEJA AL SISTEMA. SI EL SELECTOR DE OPERACION (S3) SE ENCUENTRA EN LA POSICION "MON" ENTONCES EN EL DESPLEGADO APARECERA FI-001, INDICANDO QUE EL SISTEMA ESTA LISTO PARA RECIBIR UNA FUNCION; EN CASO CONTRARIO EJECUTARA UN PROGRAMA DE USUARIO LOCALIZADO EN LA DIRECCION 0800H EN UNA PROM DENOMINADA PROMUS (PROM DE USUARIO), PARA REALIZAR UNA APLICACION ESPECIFICA. ESTE PULSADOR SIRVE TAMBIEN PARA INTERRUMPIR LA EJECUCION DE UN PROGRAMA DE USUARIO, PERO NO PRESERVA EL ESTADO DE LOS REGISTROS DEL CPU Y LAS VARIABLES DEL MONITOR EN SU AREA DE TRABAJO EN RAM.

TECLADO HEXADecimal

CONSTA DE 29 TECLAS, 10 DE ELLAS CORRESPONDEN A FUNCIONES YA DEFINIDAS, 3 A FUNCIONES PROGRAMABLES Y 16 A DIGITOS HEXADecimALES Y REGISTROS.

FUNCIONES DEFINIDAS

ES NECESARIO SELECCIONAR PRIMERO LA TECLA CORRESPONDIENTE A LA FUNCION DESEADA Y DESPUES DAR EL DATO, PARA EFECTUAR LA SECUENCIA DE OPERACION CORRECTA DEL SISTEMA, YA QUE DE LO CONTRARIO SI SE SELECCIONA PRIMERO CUALQUIER TECLA HEXADecIMAL, ENTONCES APARECERA ERROR1 EN EL DESPLEGADO.

- 1) MONITOR (MON).- AL IGUAL QUE EL PULSADOR DE RESET, ESTA TECLA TAMBIEN SUSPENDE LA EJECUCION DEL PROGRAMA DE USUARIO EN CUALQUIER INSTANTE, REGRESANDO EL CONTROL AL MONITOR PARA ESPERAR UNA NUEVA FUNCION, YA QUE PRODUCE UNA INTERRUPCION NO MASCARABLE AL CPU. SIRVE ADEMAS PARA CANCELAR O TERMINAR UNA FUNCION ANTERIOR, MEDIANTE LA DECODIFICACION DE ESTA TECLA AL SER OPRIMIDA. EN CUALQUIERA DE LOS DOS CASOS ANTERIORES, EN EL DESPLEGADO APARECERA FI-001 DESPUES DE SELECCIONAR "MON".
- 2) EXAMINAR MEMORIA (EXMEM).- ES USADA, COMO SU NOMBRE LO INDICA, PARA EXAMINAR EL CONTENIDO DE ALGUNA LOCALIDAD DE MEMORIA RAM O PROM. UNA VEZ QUE ESTA TECLA ES OPRIMIDA, EL DESPLEGADO MOSTRARA - - - -7?, INDICANDO QUE SE DEBEN

TECLEAR LOS 4 DIGITOS HEXADECIMALES DE LA DIRECCION DESEADA, EMPEZANDO POR EL MAS SIGNIFICATIVO. DESPUES DE ESCRIBIR EL ULTIMO DIGITO, EN EL DESPLEGADO APARECERA LA DIRECCION DE LA LOCALIDAD Y EL DATO CONTENIDO EN LA MISMA. PARA CAMBIAR ESTE ULTIMO, OBUVIAMENTE SOLO EN EL CASO DE MEMORIA RAM, BASTARA TECLEAR LOS DOS DIGITOS HEXADECIMALES DEL NUEVO DATO, EL CUAL APARECERA EN EL DESPLEGADO, DESPUES DE METER AMBOS.

SI SE TRATA DE CAMBIAR LOS DATOS EN RAM DE LAS DIRECCIONES DESDE LA ESPECIFICADA POR EL REGISTRO SP HASTA LA 13FFH, UN ERROR 6 SERA DESPLEGADO, INDICANDO QUE NO ES POSIBLE CAMBIAR EL CONTENIDO DEL AREA DE TRABAJO DEL MONITOR DEL SISTEMA.

- 3) EXAMINAR REGISTROS (EXREG). - SIRVE PARA EXAMINAR Y CAMBIAR EL CONTENIDO DE LOS REGISTROS DEL CPU QUE SON EL A, B, C, D, E, F, H, L, I, IFF, PC, IX E IY. EL S.P. SOLO PUEDE SER EXAMINADO, YA QUE SI SE INTENTA CAMBIAR SU CONTENIDO, UN ERROR 3 SERA DESPLEGADO INDICANDO QUE NO ES POSIBLE ALTERARLO CON ESTA FUNCION.

SE DEBERA OPRIMIR PRIMERO LA TECLA EXREG, APARECIENDO ENTONCES EL DESPLEGADO - 77, LO CUAL INDICA QUE ES NECESARIO TECLEAR EL REGISTRO DE INTERES. DESPUES DE REALIZAR ESTO, EL DESPLEGADO SERA EL NUMERO ASIGNADO AL REGISTRO CORRESPONDIENTE O LA LETRA DEL MISMO Y EL DATO QUE CONTIENE, EL CUAL ES TOMADO DEL AREA EN RAM DONDE SE ENCUENTRAN LOS REGISTROS DE USUARIO, CUYOS DATOS SON CARGADOS AHI CUANDO SE ENCUENTRA UNA PAUSA, SE EJECUTA UNA INSTRUCCION PASO A PASO O CUANDO ES OPRIMIDA LA TECLA "MON".

PARA CAMBIAR EL CONTENIDO DE ESTOS REGISTROS, ES NECESARIO UNICAMENTE, DESPUES DE LA SECUENCIA ANTERIOR, TECLEAR LOS 2 O 4 DIGITOS, DEPENDIENDO SI SE TRATA DE UNO DE 8 O DE 16 BITS RESPECTIVAMENTE.

SI DESPUES DE SELECCIONAR LA FUNCION "EX REG", SE OPRIME LA TECLA 0 O 1, EL DESPLEGADO NOS INDICARA CON EL MENSAJE ERROR 2 QUE ESAS TECLAS NO TIENEN ASIGNADO NINGUN REGISTRO.

- 4) EXAMINAR REGISTROS ALTERNOS (EXRGA). - SE USA PARA EXAMINAR Y CAMBIAR EL CONTENIDO DE LOS REGISTROS ALTERNOS DEL CPU: A', B', C', D', E', F', H' Y L'. EL PROCEDIMIENTO A SEGUIR PARA ESTA FUNCION ES SIMILAR AL ANTERIOR, SOLO QUE EN ESTE CASO EL DESPLEGADOR SERA -' 77 PARA DIFERENCIARLA DE LA FUNCION "EXREG". EL APOSTROFE NOS INDICA QUE SE TRATA DE UN REGISTRO ALTERNO. EL ERROR 2 APARECERA, SI DESPUES DE SELECCIONAR ESTA FUNCION, SE OPRIME ALGUNA DE LAS TECLAS SIN REGISTRO ASIGNADO.

- 5) EXAMINAR PUERTOS (EXPTO). - ES UTILIZADA PARA EXAMINAR Y CAMBIAR EL CONTENIDO DE ALGUN PUERTO. SE OPRIME LA TECLA "EXPTO" Y ENTONCES EL DESPLEGADO

MOSTRARA -- 77 EN SEGUIDA SE DEBERA TECLEAR LA DIRECCION DEL PUERTO DE INTERES, APARECIENDO DESPUES ADEMAS DE DICHA DIRECCION, EL CONTENIDO DEL PUERTO SELECCIONADO, EL CUAL PUEDE SER CAMBIADO SIMPLEMENTE AL ESCRIBIR LOS 2 DIGITOS HEXADECIMALES DEL NUEVO DATO.

- 6) SIGUIENTE (SIG).-- ES USADA DENTRO DE CUALQUIERA DE LAS FUNCIONES "EXMEM", "EXPTO", "EXREG" Y "EXRGA". ESTA TECLA SIRVE PARA INCREMENTAR POR 1 LA DIRECCION DE MEMORIA O DE PUERTO PRESENTE, ASI COMO PARA SELECCIONAR EL SIGUIENTE REGISTRO Y REGISTRO ALTERNO, DESPLEGANDO AUTOMATICAMENTE EL NUMERO O LETRA DE LOS MISMOS Y SU CONTENIDO. SI SE REBASA EL NUMERO DE REGISTROS, EL DESPLEGADO LO INDICARA CON EL MENSAJE ERROR 2.
- 7) ANTERIOR (ANT).-- FUNCIONA DE MANERA SIMILAR A LA FUNCION "SIG" SOLO QUE EN ESTE CASO HACE UN DECREMENTO POR 1 EN EL CASO DE MEMORIAS Y PUERTOS Y SELECCIONA EL REGISTRO Y REGISTRO ALTERNO ANTERIOR. SI LA TECLA "SIG" O "ANT" ES OPRIMIDA PRIMERO, EN EL DESPLEGADO APARECERA UN ERROR 4 INDICANDO QUE ES NECESARIO TECLEAR ANTES "EXMEM", "EXPTO", "EXREG" O "EXRGA".
- 8) EJECUCION PASO A PASO (EPP).-- PERMITE AL USUARIO, EJECUTAR UNA INSTRUCCION A LA VEZ DE CUALQUIER PROGRAMA, REGRESANDO DESPUES EL CONTROL AL PROGRAMA MONITOR PARA EXAMINAR MEMORIAS, PUERTOS, REGISTROS Y REGISTROS ALTERNOS. EL PROGRAMA DE USUARIO PUEDE ESTAR ALMACENADO EN RAM O EN PROM. TODOS LOS REGISTROS SON SALVADOS EN EL AREA DE TRABAJO DEL MONITOR EN RAM.

EL CANAL CERO DEL CTC PRODUCE UNA INTERRUPCION NO MASCARABLE AL CPU, EN EL PRINCIPIO DE CADA INSTRUCCION QUE SE VA A EJECUTAR. LA DIRECCION DE LA SIGUIENTE INSTRUCCION A EFECTUAR ES EL VALOR DEL REGISTRO PC EN EL AREA DE TRABAJO DEL MONITOR EN RAM, EL CUAL PUEDE SER EXAMINADO O CAMBIADO USANDO LA FUNCION "EX REG".

CUANDO LA FUNCION "EPP" ES SELECCIONADA, EL CPU CARGA TODOS LOS REGISTROS DEL AREA EN RAM Y EJECUTA UNA INSTRUCCION, REGRESANDO DESPUES EL CONTROL AL PROGRAMA MONITOR EN LA DIRECCION DE LA INTERRUPCION NO MASCARABLE 66H. EN ESTE MOMENTO DICHO PROGRAMA SALVARA TODOS LOS REGISTROS DE USUARIO EN EL AREA DE RAM, DESPLEGANDO ENTONCES LA DIRECCION DE LA SIGUIENTE INSTRUCCION A EJECUTAR, JUNTO CON EL CONTENIDO DEL ACUMULADOR.

AL USARSE ESTA TECLA AUTOMATICAMENTE SE CANCELAN LAS PAUSAS INSERTADAS EN EL PROGRAMA DE USUARIO.

PARA USAR ESTA FUNCION ES NECESARIO PRIMERO CAMBIAR EL CONTENIDO DEL REGISTRO PC CON LA FUNCION EXREG TECLEANDO LA DIRECCION DONDE COMIENZA EL PROGRAMA O DONDE SE ENCUENTRA LA INSTRUCCION QUE DESEAMOS EFECTUAR PASO A PASO, PARA DESPUES OPRIMIR LA TECLA EPP.

OTRA FORMA ES DENTRO DE LA FUNCION EXMEM TECLEAR LA DIRECCION DONDE QUEREMOS EJECUTAR UNA A LA VEZ Y DESPUES OPRIMIR LA TECLA EPP.

- 9). EJECUTAR (EJEC).- ES USADA PARA LA EJECUCION DE UN PROGRAMA DE USUARIO YA SEA EN RAM O PROM.

EL PROGRAMA PUEDE SER EJECUTADO DE CUALQUIERA DE LAS TRES FORMAS SIGUIENTES:

A) OPRIMIENDO LA TECLA EJEC, APARECIENDO EN EL DESPLEGADO - - - - , LO CUAL SIGNIFICA QUE SE DEBERA TECLEAR LA DIRECCION DE INICIO DEL PROGRAMA QUE SE DESEA EJECUTAR.

B) OPRIMIENDO LA TECLA EXMEM, TECLEANDO LA DIRECCION DE INICIO DEL PROGRAMA Y POR ULTIMO OPRIMIENDO LA TECLA EJEC.

C) SOLAMENTE OPRIMIENDO EJEC, DESPUES DE QUE HA SIDO ENCONTRADA UNA PAUSA. LA DIRECCION DE CONTINUACION DE EJECUCION DEL PROGRAMA, EN ESTE CASO ES LA QUE INDICA EL REGISTRO PC EN EL AREA DE RAM. ESTO SUCEDE TAMBIEN DESPUES DE USAR LA INSTRUCCION EPP.

DESPUES DE QUE LA EJECUCION HA SIDO INICIADA, EL PROGRAMA DE USUARIO TENDRA EL CONTROL DEL SISTEMA HASTA QUE UNA PAUSA ES ENCONTRADA O HASTA QUE SE OPRIME LA TECLA MON O EL PULSADOR DE RESET.

- 10) PAUSA (PSA).- SIRVE PARA COLOCAR PAUSAS EN UN PROGRAMA QUE VA A SER EJECUTADO, CON EL OBJETO DE EXAMINAR LAS VARIABLES DE INTERES EN EL MISMO. ESTO PUEDE SER EFECTUADO DE DOS MANERAS DIFERENTES:

A) OPRIMIENDO LA TECLA PSA, APARECIENDO EN EL DESPLEGADO - - - - 01, ENTONCES SE DEBERA TECLEAR LA DIRECCION DONDE QUEREMOS QUE SE DETENGA EL PROGRAMA.

B) DENTRO DE LA FUNCION EXMEM OPRIMIENDO LA TECLA PSA DESPUES DE QUE LA DIRECCION DONDE SE DESEA LA PAUSA, HA SIDO TECLEADA.

ES POSIBLE COLOCAR HASTA 6 PAUSAS EN UN PROGRAMA DE USUARIO; SI ESTE NUMERO ES REBASADO ENTONCES EL DESPLEGADO LO INDICARA CON EL MENSAJE ERRORS.

TODAS LAS PAUSAS PERMANECEN INTACTAS Y SOLO PUEDEN SER CANCELADAS OPRIMIENDO EL PULSADOR DE RESET O USANDO LA FUNCION EPP. EL USO DE LA FUNCION MON NO TIENE NINGUN EFECTO SOBRE LAS PAUSAS.

AL ENCONTRARSE UNA PAUSA LA EJECUCION DEL PROGRAMA ES DETENIDA Y EL DESPLEGADO MUESTRA LA DIRECCION DONDE SE ENCUENTRA ESTA, ASI COMO EL CONTENIDO DEL ACUMULADOR.

ESTE METODO DE PAUSAS CONSISTE EN INTERCAMBIAR EL CODIGO DE OPERACION DEL USUARIO POR UN RSTB (CFH) Y CONSERVARLO, AL IGUAL QUE LA DIRECCION DONDE ESTE SE ENCUENTRA, EN UNA TABLA DE DIRECCIONES DE PAUSAS Y CODIGOS DE OPERACION (TABPSA). CUANDO SE ENCUENTRA UNA PAUSA, EL CONTROL DEL SISTEMA ES REGRESADO AL MONITOR A TRAVES DEL RSTB Y TODOS LOS REGISTROS DEL CPU SON SALVADOS EN EL AREA EN RAM, ASI COMO TODAS LAS INSTRUCCIONES RSTB SON REMOVIDAS Y REEMPLAZADAS POR LOS CODIGOS DE OPERACION DEL USUARIO DE TAL FORMA QUE PUEDAN SER EXAMINADOS O MODIFICADOS USANDO LA FUNCION EXMEM.

EL NUMERO DE PAUSAS ACTIVAS ESTA CONTENIDO EN LA BANDERA DE PAUSA (BANPSA) EN LA DIRECCION 13F4H.

LAS DIRECCIONES DE LAS PAUSAS PUEDEN SER EXAMINADAS EN LA TABLA DE PAUSAS (TABPSA) CUYO FORMATO ES PRIMERO EL BYTE MENOS SIGNIFICATIVO DE LA DIRECCION, DESPUES EL MAS SIGNIFICATIVO Y POR ULTIMO EL CODIGO DE OPERACION DEL USUARIO, REPITIENDOSE ESTA SECUENCIA PARA TODAS LAS PAUSAS.

#### FUNCIONES PROGRAMABLES (FP1, FP2, FP3)

CORRESPONDEN A TRES TECLAS LAS CUALES, COMO SU NOMBRE LO INDICA, PUEDEN SER PROGRAMADAS PARA EJECUTAR PROGRAMAS ESPECIFICOS YA SEA EN RAM O PROM.

AL OPRIMIR CUALQUIERA DE ESTAS TECLAS, INMEDIATAMENTE ES DECODIFICADA PARA ACCESAR ASI EL SALTO ABSOLUTO QUE LE CORRESPONDE Y QUE SE ENCUENTRA EN LA TABLA DE COMANDOS (TABCOM).

CUALQUIERA DE ESOS TRES SALTOS VAN A LAS DIRECCIONES MAS BAJAS DE RAM DE TAL FORMA QUE AHI SE PUEDEN INTRODUCIR OTROS SALTOS ABSOLUTOS A OTRAS DIRECCIONES RAM O PROM DONDE SE ENCUENTRAN LOS PROGRAMAS DE UTILERIA.

## LISTADO DE ERRORES

- ERROR1 CUANDO SE OPRIMEN TECLAS CON DATOS HEXADECIMALES SIN FUNCION PREVIA.
- ERROR2 NO EXISTE REGISTRO EN LA TECLA OPRIMIDA DENTRO DE LAS FUNCIONES EXREG Y EXRCA, O YA SE REBASO EL MAXIMO O MINIMO DE REGISTROS EXISTENTES CON LAS FUNCIONES SIG Y ANT.
- ERROR3 NO SE PUEDE CAMBIAR EL CONTENIDO DEL REGISTRO APUNTAOR DE PILA (S.P.)
- ERROR4 CUANDO SE EFECTUA LA FUNCION ANT O SIG SIN SELECCIONAR PREVIAMENTE LA FUNCION EXMEN, EXREG, EXRCA O EXPTO.
- ERROR5 SE TIENEN YA MAS DE 6 PAUSAS
- ERROR6 CUANDO SE TRATA DE CAMBIAR EL CONTENIDO EN EL AREA DE TRAMISO DEL MONITOR EN RAM.

## PRACTICA NUM. 1

PROGRAMA DE EJEMPLO PARA EL USO DE LAS FUNCIONES DEL SISTEMA FI-001

ESTE PROGRAMA DESPLIEGA CARACTERES NUMERICOS, ESPECIALES Y ALGUNOS ALFABETICOS EN CADA UNO DE LOS 6 DIGITOS DEL DESPLEGADO. EL CODIGO HEXADECIMAL DE 7 SEGMENTOS PARA ELLOS SE ALMACENA EN UNA TABLA QUE AQUI SE DENOMINA TABCOD.

DIREC.	C. DE OP.	NEMONICO	DESCRIPCION
1000	1E00	INICIO: LDE,00	CARGA E CON 00
1002	01 5010	LDBC, TABCOD	CARGA BC CON LA DIR. INICIAL DE LA TABLA DE CODIGOS.
1005	0A	REPITE: LDA,(BC)	CARGA A CON EL CONTENIDO DE LA DIR. EN BC
1006	D305	OUT PTOCAR	ENVIA EL DATO EN A AL PUERTO DE CARACTERES
1008	7B	LDA,E	CARGA A CON EL CONTENIDO DE E.
1009	D304	OUT,PTODIG	ENVIA EL DATO EN A AL PUERTO DE DIGITOS.
100B	CD8706	CALL SUBRET	LLAMA SUBROUTINA DE RETARDO ENTRE DIGITOS.
100E	1C	INC E	INCREMENTA EL CONTENIDO DE E.
100F	0C	INC C	INCREMENTA EL CONTENIDO DE C.
1010	7B	LDA,E	CARGA A CON E
1011	FE06	CP,06	COMPARA EL CONTENIDO DE A CON 06
1013	20F0	JRNZ REPITE	SI ES DIFERENTE A 06 ENTONCES SALTA A REPITE
1015	1BE9	JR INICIO	SALTA A INICIO

TABLA DE CODIGOS DE 7 SEGMENTOS (SU VALOR DEPENDE DE LOS CARACTERES QUE SE DESEEN ENVIAR AL DESPLEGADO)

## TABCOD

1050	76
1051	3F
1052	3B
1053	77
1054	00
1055	00

## INSTRUCCIONES DE OPERACION DEL SISTEMA FI-001:

- ACCIONE EL SWITCH DE ENCENDIDO S1; EL LED D1 DEBERA ENCENDERSE.

- OPRIMA EL SWITCH DE RESET S2. EN EL DESPLEGADO APARECE FI-001 INDICANDO QUE EL SISTEMA ESTA LISTO PARA RECIBIR ALGUNA FUNCION. PARA METER EL PROGRAMA:

TECLEE:	EL DESPLEGADO MOSTRARA:	
EXMEM	- - - - 77	
1000	1000XX	
IE	1000IE	
S16	1001XX	
00	100100	
S16	1002XX	
01	100201	
S16	1003XX	
40	100340	ERROR
S16	1004XX	KAY UN ERROR EN EL CODIGO
10	100410	DE OPERACION ANT. ENTONCES:
ANT	100340	
S0	100350	
S16	100410	
S16	1005XX	
0A	10030A	
S16	1006XX	
D3	1006D3	
S16	1007XX	
05	100705	
.	.	CONTINUE METIENDO EL PRO-
.	.	GRAMA EN LA MISMA FORMA
.	.	
S16	1015XX	
10	101510	
S13	1016XX	
E9	1016E9	
NON	FI-001	
EXMEM	- - - - 77	
1050	1050XX	
76	105076	
S16	1051XX	
3F	10313F	
S16	1052XX	

TECLEE: EL DESPLEGADO MOSTRARA:

3B	10523B
516	1053XX
77	105377
516	1454XX
00	105400
516	1055XX
00	105500

REVISE EL PROGRAMA OPRIMIENDO CONSECUTIVAMENTE LA TECLA ANT

ANT	105400
ANT	105377
ANT	10523B

ANT	100000
ANT	1000IE

EFEC	HOLA	EJECUTAR EL PROGRAMA
------	------	----------------------

MON	FI-001
-----	--------

EFEC	- - - -	EJECUTAR EL PROGRAMA
------	---------	----------------------

1000	1000
------	------

	HOLA
--	------

MON	FI-001	EJECUTAR EL PROGRAMA PASO A PASO
-----	--------	----------------------------------

EXREG	- 77
-------	------

PC	2 XXXX
----	--------

1000	2 1000
------	--------

MON	FI-001
-----	--------

EXREG	- 77
-------	------

E	E XX
---	------

MON	FI-001
-----	--------

EPP	1002XX
-----	--------

MON	FI-001
-----	--------

YA SE EFECTUO LA 1A. INSTRUCCION DEL PROGRAMA LDE,00 (LA SIG. INS- A EJECUTAR ES LA QUE ESTA EN LA DIRECCION 1002)

\* XX SIGNIFICA CUALQUIER DATO QUE SE ESCRIBE EN MEMORIA AL MOMENTO DE ENCENDIDO.

TECLEE: EL DESPLEGADO MOSTRARA:

EXREG	- 77	
E	E 00	AQUI COMPROBAMOS QUE EFECTIVAMENTE
MON	FI-001	LA PRIMERA INSTRUCCION FUE EJECUTADA.
EXREG	- 77	
PC	21002	COINCIDE CON EL VALOR DEL PC QUE
MON	FI-001	MOSTRO EL DESPLEGADO ANTERIORMENTE.
EPP	1005XX	CONTENIDO ACTUAL DEL PC=1005H
MON	FI-001	
EXREG	- 77	
B	B10	SI CORRESPONDE A LOS DATOS EN EL
MON	FI-001	PROGRAMA.
SIG	C50	
EPP	100676	PC= 1006 A=76 QUE CORRESPONDE AL 1ER.
MON	FI-001	CODIGO DE B SEGMENTOS EN TABCOD.
EXREG	- 77	
A	A76	
EPP	100B76	
MON	FI-001	
PSA	- - - - 01	
1005	100501	
MON	FI-001	
EFEC	- - - -	
1000	1000	
	100501	
EFEC	10063F	
EPP	HOLA	
EJEC	FI-001	
MON	- - - - 77	
EXMEM	100B7B	
1008	100B7B	
PSA	FI-001	
MON	- - - -	
EFEC	1000	
1000	100B76	
EPP	100900	
EJEC	HOLA	
EPP	100900	
EJEC	HOLA	
MON	FI-001	REGRESAMOS DE NUEVO A MONITOR

## PRACTICA NUM. 2

## PROGRAMA PARA SINTESIS DE MUSICA

ESTE PROGRAMA UTILIZA EL CANAL 1 DEL CTC, PROGRAMANDO SU DIVISOR DE RELOJ PARA DIVIDIR POR 16 CON UNA CONSTANTE DE TIEMPO VARIABLE, QUE DEPENDE DEL VALOR HEXADECIMAL DE LA NOTA.

LA MELODIA SE ALMACENA EN UNA TABLA, AQUI DENOMINADA TABMEL ENCONTRANDOSE AHI EL VALOR HEXADECIMAL DE LA FRECUENCIA DE LA NOTA (PERIODOS DE TONOS EN UNIDADES DE 16 MSEG) Y EN SEGUIDA EL VALOR HEXADECIMAL DE LA DURACION DE LA MISMA (EN UNIDADES DE 33 MSEG).

UN VALOR HEXADECIMAL DE FRECUENCIA IGUAL A 00 CORRESPONDE A SILENCIO.

LA SALIDA ES UNA ONDA CUADRADA EN LA TERMINAL 8 DE Z15 LA CUAL PROVIENE DE LA SALIDA ZC/T01 DEL CANAL 1 DEL CTC.

1000	214010	COM:	LOHL, TABFYD	CARGA HL CON EL PRINC. DE LA TABLA.
1003	7E	RECOM:	LDA, (HL)	NOTA
1004	B7		OR A	CHECAR SI ES CERO
1005	CC2010		CALL Z, SILEN	
1008	C42B10		CALL NZ, NOTA	
100B	23		INC HL	
100C	56		LDD (HL)	DURACION
100D	CD3010		CALL ESP	SUBR. DE ESPERA
1010	CD2010		CALL SILEN	PAUSA ENTRE NOTAS
1013	1601		LDD, 01	
1015	CD3010		CALL ESP	
1018	23		INC HL	SIG. NOTA
1019	18EB		JR RECOM	
1020	3E03	SILEN:	LDA, 03	APAGAR CTC
1022	D301		OUT (01), A	CANAL 1
1024	AF		XOR A	REGRESAR CON "0"
1025	C9		RET	RETORNO
102A	3E05	NOTA:	LDA, 05	DIVIDIR ENTRE 16
102B	D301		OUT (01), A	CANAL 1
102C	7E		LDA, (HL)	SACAR PERIODO
102D	D301		OUT (01), A	
102F	C9		RET	RETORNO
1030	0610	ESP:	LDB, 10	16 VECES POR EL CICLO
1032	1E00		LDE, 00	
1034	1D	CICLO:	DEC E	
1035	20FD		JRNZ CICLO	
1037	10FB		DJNZ CICLO	
1039	15		DEC D	DURACION DE LA TABLA
103A	20F4		JRNZ ESP	
103C	C9		RET	RETORNO

TABLA  
 FRECS. EN UNIDADES DE 16 US DURACIONES EN  
 UNIDADES DE 33 US 00 INDICA SILENCIO.

EJEMPLO: C-0 (00) 1/269 C/S = 3731 US.  
 3731 U/S /16 US = (233)10 = (E9)H

	C-0	D-0	E-0	F-0	G-0	A-0	B-0	C-1	D-1	E-1	F-1
	DO	RE	MI	FA	SOL	LA	SI	DO	RE	MI	FA
FR.	260	602	337	350	401	451	506	536	602	675	716
COD. HEX.	E9	6D	D9	AF	9C	0D	7C			5D	57

TIEMPOS	COD. HEX.	DEC.
1/2 TIEMPO	04	04
1 TIEMPO	00	08
2 TIEMPO	10	16
3 TIEMPO	18	24
4 TIEMPO	20	32
5 TIEMPO	28	40

## PRACTICA NUM.3

## PROGRAMA DEL RELOJ DIGITAL

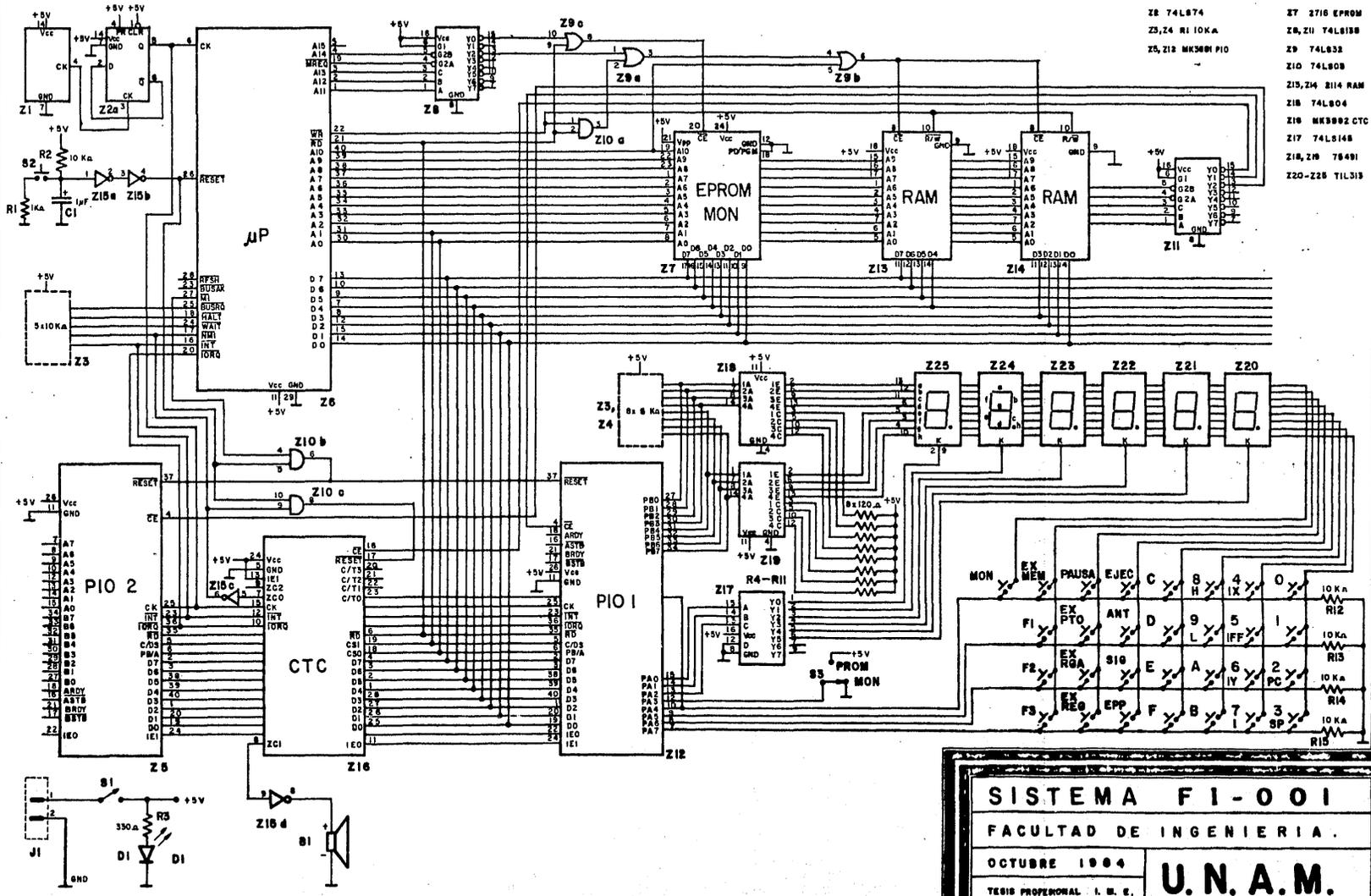
CONSIDERANDO QUE EL RELOJ DEL SISTEMA FI-001 (Ø) ES DE 1.9952 MHZ, EN ESTE PROGRAMA SE UTILIZA EL CANAL 1 DEL CTC EN MODO MARCADOR DE TIEMPO, PROGRAMANDO SU DIVISOR DE Ø PARA EFECTUAR LA DIVISION POR 256 CON UNA CONSTANTE DE TIEMPO IGUAL A 205. CADA VEZ QUE EL CONTADOR, DECREMENTADO POR LA SALIDA DEL DIVISOR LLEGA AL VALOR DE CERO, GENERA UNA INTERRUPCION DE MANERA QUE LOS SEGUNDOS SON INCREMENTADOS CADA 3Ø INTERRUPCIONES.

EL CPU ES PROGRAMADO EN EL MODO 2 DE INTERRUPCION.

1000	ED5E	IMZ
1002	3E10	LDA,10
1004	ED47	LDI,A
1006	3E1A	LDA,1A
1008	D300	OUT(00),A
100A	3EA5	LDA,AE
100C	D301	OUT(01),A
100E	3ECD	LDA,CD
1010	D301	OUT(01),A
1012	D9	EXX
1013	0626	LDB,26
1015	D9	EXX
1016	FB	EI
1017	C30011	JPDESP
101A	2010	VECTOR DE INTERRUPCION
1020	08	EXAF,A'F'
1021	D9	EXX
1022	05	DECB
1023	205C	JRNZRET
1025	0626	LDB,26
1027	3A3211	LDA,(1132)
102A	3C	INCA
102B	27	DAA
102C	FE60	CP60
102E	3B26	JRCSEG
1030	AF	XORA
1031	323211	LD(1132),A
1034	3A3111	LDA,(1131)
1037	3C	INCA
1038	27	DAA
1039	FE60	CP60
103B	3B14	JRCHIN
103D	AF	XORA

103E	323111		LD(1131),A
1041	3A3011		LDA,(1130)
1044	3C		INCA
1045	27		DAA
1046	FE13		CP13
1048	3802		JRCHOR
104A	3E01		LDA,01
104C	323011	HOR:	LD(1130),A
104F	1008		JRRGDES
1051	323111	MIN:	LD(1131),A
1054	1003		JRRGDES
1056	323211	SEC:	LD(1132),A
1059	3A3211	RGDES:	LDA,(1132)
105C	DD21EF13		LDIXRGDES4
1060	CD8610		CALL FORM
1063	3A3111		LDA,(1131)
1066	DD21ED13		LDIXRGDES2
106A	CD8610		CALL FORM
106D	3A3011		LDA,(1130)
1070	DD21ED13		LDIXRGDES0
1077	3AED13		LDA,(RGDES0)
107A	2005		JRNZ REG
107C	3E00		LDA,00
107E	32ED13		LD(12ED),A
1081	00	REG:	EXAF,A'F'
1082	59		EXX
1083	FD		EI
1084	ED4D		RETI
1086	4F	FORM:	LDC,A
1087	E6CF		ANDCF
1089	DD7701		LD(IX+1),A
108C	CD39		SRLC
108E	CD39		SRLC
1090	CD39		SRLC
1092	CD39		SRLC
1094	DD7100		LD(IX+0),C
1097	C9		RET
1100	0000	LESP:	LDD,00
1102	0000		LDD,00
1104	CD0706	REP:	CALL SUBRET
1107	3E06		LDA,06
1109	D304		OUT(PTODIG),A
110B	21EA13		LDHL,RGDES0-1
110E	09		ADCHL,0C
110F	7E		LDA,(HL)
1110	1600		LDD,00
1112	5F		LDI,A
1113	21BA07		LDHL,TABCAR

1116	19	ADDHL,DE
1117	7E	LDA,(HL)
1118	D303	OUT(PTOCAR),A
1119	0D	DECC
111D	79	LDA,C
111C	D304	OUT(PTODIG),A
111E	20E4	JRNZREP
1120	CE3706	CALL SUBRET
1123	1DD3	JRDESP
1130	HORAS EN BCD	
1131	MINUTOS EN BCD	
1132	SEGUNDOS EN BCD	



- Z1 CK 60EN 5.90 Mhz.
- Z2 MK3880 CPU
- Z3, Z4 RI 10KA
- Z5, Z12 MK3881 PIO
- Z6, Z11 74LS158
- Z7 2716 EPROM
- Z8, Z11 74LS158
- Z9 74LS32
- Z10 74LS08
- Z13, Z14 8114 RAM
- Z18 74LS04
- Z19 MK3882 CTC
- Z17 74LS148
- Z18, Z19 78491
- Z20-Z26 TIL319

SISTEMA F1-001

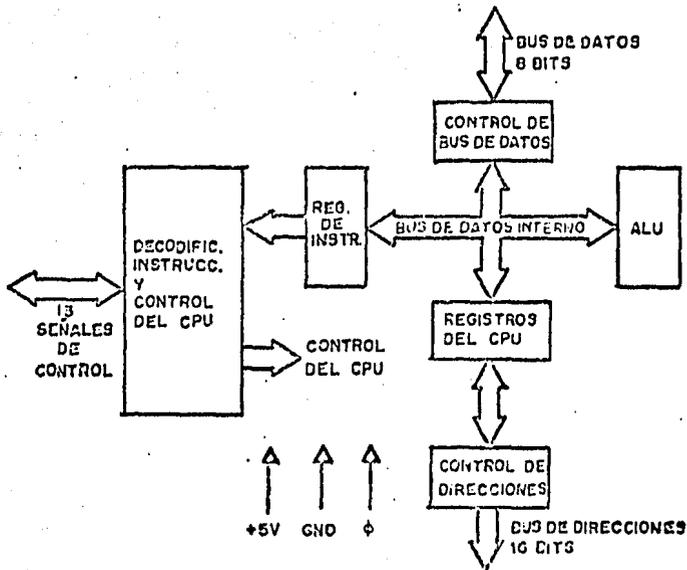
FACULTAD DE INGENIERIA.

OCTUBRE 1984	U.N.A.M.
TESIS PROFESIONAL I. M. E.	

EL CPU ES EL CORAZON DEL SISTEMA. SU FUNCION CONSISTE EN OBTENER INSTRUCCIONES DESDE MEMORIA Y EFECTUAR LAS OPERACIONES PROGRAMADAS. DEPENDIENDO DE ESTAS, PUEDE MANEJAR DISPOSITIVOS DE ENTRADA Y SALIDA, O REALIZAR OPERACIONES ARITMETICAS Y LOGICAS EMPLEANDO LOS REGISTROS QUE POSEE

ARQUITECTURA

DIAGRAMA DE BLOQUES CPU



REGISTROS

EL PROGRAMADOR TIENE A SU DISPOSICION DENTRO DEL CPU, UNA MEMORIA DE LECTURA/ESCRITURA DE 200 BITS, FORMADA POR 18 REGISTROS DE 8 BITS Y CUATRO REGISTROS DE 16 BITS. LOS REGISTROS ESTAN ORGANIZADOS DE LA SIGUIENTE FORMA:

REGISTROS DE PROPOSITO ESPECIAL

CONTADOR DE PROGRAMA (PC), 16 BITS. ESTE REGISTRO CONTIENE LA DIRECCION DE LA INSTRUCCION BUSCADA EN MEMORIA. SE INCREMENTA AUTOMATICAMENTE CUANDO SU CONTENIDO HA SIDO TRANSFERIDO AL "BUS" DE DIRECCIONES. SI SE EFECTUA UN SALTO EN EL PROGRAMA, EL NUEVO VALOR SE COLOCA AUTOMATICAMENTE EN EL PC, SIN HACER EL INCREMENTO

APUNTADOR DE PILA (SP), 16 BITS. GUARDA LA DIRECCION DE LA PARTE SUPERIOR DE UNA PILA LOCALIZADA EN RAM EXTERNA. DICHA PILA DE MEMORIA SE ORGANIZA EN ESTA FORMA: ULTIMA ENTRADA- PRIMERA SALIDA (LIFO). MEDIANTE LAS INSTRUCCIONES "PUSH" Y "POP" SE PUEDE COLOCAR Y RETIRAR DATOS EN LA PILA DE RAM DESDE Y HACIA REGISTROS ESPECIFICOS DEL CPU.

REGISTROS DE INDICE (IX E IY), 16 BITS. CADA REGISTRO DE ESTE TIPO GUARDA EN FORMA INDEPENDIENTE UNA DIRECCION BASE QUE SE USA EN DIRECCIONAMIENTOS CON INDICE. CON UN BYTE ADICIONAL (EN COMPLEMENTO A DOS) SE INDICA EL DESPLAZAMIENTO QUE SE DESEA A PARTIR DE LA DIRECCION BASE.

REGISTRO DE INTERRUPCION (I), 8 BITS. TAMBIEN LLAMADO VECTOR DE INTERRUPCION, SIRVE PARA SELECCIONAR EN FORMA INDIRECTA UNA LOCALIDAD DE MEMORIA POR MEDIO DE UNA INTERRUPCION. I SE CARGA CON LOS 8 BITS DE LA PARTE ALTA DE LA DIRECCION DE MEMORIA Y EL DISPOSITIVO DE INTERRUPCION PROPORCIONA LOS 8 BITS DE LA PARTE BAJA DE LA DIRECCION.

REFRESCAMIENTO DE MEMORIA (R), 7 BITS. SE INCREMENTA AUTOMATICAMENTE DESPUES DE CADA BUSQUEDA DE INSTRUCCION QUE HACE EL CPU. EL DATO DE REFRESCAMIENTO SE MANDA CON UNA SENAL DE CONTROL EN LA PARTE BAJA DEL "BUS" DE DIRECCIONES, MIENTRAS EL CPU ESTA DECODIFICANDO LA INSTRUCCION BUSCADA. POR TAL MOTIVO EL REFRESCAMIENTO DE MEMORIA ES COMPLETAMENTE TRANSPARENTE.

ACUMULADOR Y REGISTROS DE BANDERAS (A, A', F, F'), 8 BITS. EL CPU TIENE 2 ACUMULADORES INDEPENDIENTES, CADA UNO CON SU RESPECTIVO REGISTRO DE BANDERAS. EN EL ACUMULADOR SE GUARDAN LOS RESULTADOS DE LAS OPERACIONES ARITMETICAS Y LOGICAS, Y LA BANDERA INDICA CONDICIONES ESPECIFICAS DEL RESULTADO. EL CAMBIO DE UN ACUMULADOR CON SU BANDERA AL OTRO, SE LOGRA CON UNA SOLA INSTRUCCION.

REGISTROS DE PROPOSITO GENERAL (B, C, D, E, H, L, B', C', D', E', H', L'), 8 BITS. SE PUEDEN UTILIZAR COMO REGISTROS DE 8 BITS, O COMO REGISTROS DE 16 BITS UTILIZANDOS EN PARES: BC, DE, HL Y LOS COMPLEMENTARIOS BC', DE' Y HL'. TIENEN UN AMPLIO CAMPO DE APLICACION PARA EL PROGRAMADOR; POR EJEMPLO PARA SISTEMAS CON RESPUESTA DE INTERRUPCION RAPIDA, SE PUEDE USAR UN GRUPO DE ESTOS REGISTROS MAS EL ACUMULADOR PARA LA Rutina DE INTERRUPCION. EL GRUPO COMPLEMENTARIO PUEDE USARSE PARA LAS DEMAS RutINAS, LOGRANDO CON ESTO UNA GRAN RAPIDEZ.

UNIDAD ARITMETICA Y LOGICA (ALU). EL CPU EJECUTA LAS

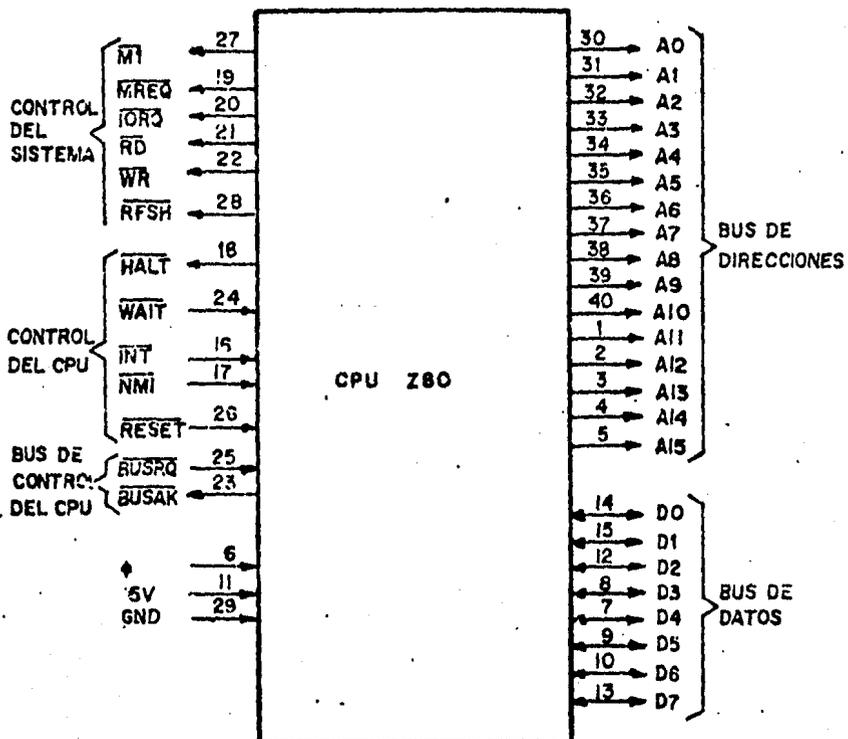
INSTRUCCIONES ARITMETICAS Y LOGICAS EN LA ALU, LA CUAL ESTA COMUNICADA POR MEDIO DEL "BUS" DE DATOS INTERNO CON LOS REGISTROS Y CON EL "BUS" DE DATOS EXTERNO.

REGISTRO DE INSTRUCCIONES Y CONTROL DEL CPU  
CADA INSTRUCCION OBTENIDA DE MEMORIA ES COLOCADA EN EL REGISTRO DE INSTRUCCIONES Y DECODIFICADA POR LA SECCION DE CONTROL. ESTA SECCION TAMBIEN GENERA LAS SENALES DE CONTROL PARA LA ALU, LA LECTURA Y ESCRITURA EN REGISTROS Y LAS QUE SON PROPORCIONADAS AL EXTERIOR.

#### DESCRIPCION DE TERMINALES

LA REPRESENTACION NEGADA DE LAS SENALES INDICA QUE SE ACTIVAN CON UN ESTADO BAJO. EN CASO CONTRARIO EL ESTADO ACTIVO SERA UN NIVEL ALTO.

#### DESCRIPCION DE TERMINALES CPU



A0-A15

101

(BUS DE DIRECCIONES). SALIDA DE TRES ESTADOS.  
"BUS" DE DIRECCIONES DE 16 BITS PARA SELECCIONAR MEMORIA (HASTA 64 K BYTES) Y DE 8 BITS (A0-A7) PARA PUERTOS DE ENTRADA/SALIDA (HASTA 256). A0 ES EL BIT MENOS SIGNIFICATIVO. DURANTE EL PERIODO DE REFRESCAMIENTO, LOS 7 BITS BAJOS CONTIENEN UNA DIRECCION DE REFRESCAMIENTO.

DO-D7

(BUS DE DATOS) ENTRADA SALIDA DE TRES ESTADOS, ACTIVA ALTA. "BUS" DE 8 BITS PARA INTERCAMBIO DE DATOS CON MEMORIA Y CON PUERTOS E/S.

M1

(CICLO DE MAQUINA UNO). SALIDA. INDICA QUE ESTA OCURRIENDO EL CICLO DE MAQUINA DE BUSQUEDA DE UNA INSTRUCCION. SI EL CODIGO DE LA INSTRUCCION ES DE 2 BYTES, M1 SE ACTIVA 2 VECES. TAMBIEN SE ACTIVA CON IORQ PARA INDICAR UN CICLO DE RECONOCIMIENTO DE INTERRUPCION.

MREQ

(SOLICITUD DE MEMORIA). SALIDA DE TRES ESTADOS. INDICA QUE EN EL "BUS" DE DIRECCIONES HAY UNA DIRECCION VALIDA PARA LECTURA O ESCRITURA EN MEMORIA.

IORQ

(SOLICITUD DE E/S). SALIDA DE TRES ESTADOS. INDICA QUE EN LA MITAD BAJA DEL "BUS" DE DIRECCIONES HAY UNA DIRECCION VALIDA PARA UNA OPERACION DE E/S. SE GENERA TAMBIEN CON UNA SENAL M1 PARA INDICAR QUE HA SIDO ACEPTADA UNA INTERRUPCION.

RD

(LECTURA DE MEMORIA). SALIDA DE TRES ESTADOS. INDICA QUE EL CPU PUEDE LEER DATOS DE MEMORIA O DE UN DISPOSITIVO DE E/S.

WR

(ESCRITURA EN MEMORIA). SALIDA DE TRES ESTADOS. INDICA QUE EN EL "BUS" DE DATOS HAY INFORMACION LISTA PARA ALMACENARSE EN MEMORIA O EN UN DISPOSITIVO DE E/S.

RFSH

(REFRESCAMIENTO). SALIDA. INDICA QUE LOS 7 BITS MAS BAJOS DEL BUS DE DIRECCIONES, CONTIENEN UNA DIRECCION DE REFRESCAMIENTO PARA MEMORIAS DINAMICAS Y LA SENAL MREQ SERA USADA PARA HACER UNA LECTURA DE REFRESCAMIENTO EN DICHAS MEMORIAS.

HALT

(ALTO). SALIDA. INDICA QUE EL CPU HA EJECUTADO UNA INSTRUCCION PROGRAMADA "HALT" Y ESTA ESPERANDO UNA

INTERRUPCION ANTES DE QUE LA OPERACION PUEDA CONTINUAR.

WAIT

(ESPERA). ENTRADA. INDICA AL CPU QUE LA MEMORIA O EL DISPOSITIVO DE E/S DIRECCIONADOS NO ESTAN LISTOS PARA TRANSFERIR DATOS.

INT

(SOLICITUD DE INTERRUPCION). ENTRADA. LA SOLICITUD DE INTERRUPCION ES ACEPTADA AL FINAL DE UNA INSTRUCCION. SI ESTA HABILITADO EL "FLIP FLOP" DE INTERRUPCION (IFF) Y LA SENAL BUSRQ NO ESTA ACTIVA. CUANDO EL CPU ACEPTA LA INTERRUPCION, ENVIA UNA SENAL IORQ DURANTE UN TIEMPO M1 AL PRINCIPIO DEL SIGUIENTE CICLO DE INSTRUCCION.

NMI

(INTERRUPCION NO MASCARABLE) ENTRADA; SE ACTIVA CON EL FLANCO NEGATIVO. SIEMPRE ES RECONOCIDA AL FINAL DE LA INSTRUCCION QUE SE ESTA EJECUTANDO. UBICA AL PC EN LA LOCALIDAD 0066H.

RESET

(INICIALIZACION) ENTRADA. UBICA AL PC EN LA DIRECCION 0000H E INICIALIZA EL CPU. DESHABILITA EL FLIP FLOP DE INTERRUPCION, CARGA LOS REGISTROS R E I CON 00H Y ACTIVA EL MODO DE INTERRUPCION 0. DURANTE EL TIEMPO DE RESET LOS BUSES DE DIRECCIONES Y DATOS SE PONEN EN ESTADO DE ALTA IMPEDANCIA Y TODAS LAS SENALES DE CONTROL QUE SON SALIDAS, QUEDAN INACTIVAS. NO HAY REFRESCAMIENTO.

BUSRQ

(SOLICITUD DE BUS) ENTRADA. CUANDO SE ACTIVA, EL CPU COLOCA EN ESTADO DE ALTA IMPEDANCIA LOS BUSES DE DATOS Y DIRECCIONES Y LAS SENALES DE CONTROL DE TRES ESTADOS, PARA QUE OTROS DISPOSITIVOS PUEDAN USARLOS. ESTO OCURRE CUANDO EL CICLO DE MAQUINA HA TERMINADO.

BUSAK

(RECONOCIMIENTO DE BUS) SALIDA. INDICA AL DISPOSITIVO QUE LO SOLICITA QUE LAS CONDICIONES ARRIBA MENCIONADAS (BUSRQ) SE HAN CUMPLIDO.

0

RELOJ DEL SISTEMA DE UNA FASE.

CONJUNTO DE INSTRUCCIONES

EXISTE PARA EL CPU Z80 UN CONJUNTO DE 158 INSTRUCCIONES QUE INCLUYE LAS 78 DEL CPU 8080A. A CONTINUACION SE EXPLICAN

CARGA E INTERCAMBIO. LAS INSTRUCCIONES DE CARGA MUEVEN DATOS INTERNAMENTE ENTRE REGISTROS O ENTRE REGISTROS Y MEMORIA EXTERNA. EN ESTAS INSTRUCCIONES SE DEBEN ESPECIFICAR LAS LOCALIDADES FUENTE Y DESTINO DEL DATO. LA LOCALIDAD FUENTE NO SE ALTERA. LAS INSTRUCCIONES DE INTERCAMBIO CAMBIAN EL CONTENIDO ENTRE DOS REGISTROS QUE PUEDEN SER LOS ALTERNOS.

TRANSFERENCIA Y BUSQUEDA DE BLOQUES. CON UNA INSTRUCCION DE TRANSFERENCIA SE PUEDE MOVER UN BLOQUE DE DATOS DE CUALQUIER TAMANO DE UN LUGAR A OTRO EN MEMORIA. CON UNA INSTRUCCION DE BUSQUEDA SE PUEDE ENCONTRAR UN DATO DE 8 BITS DENTRO DE UN BLOQUE DE CUALQUIER TAMANO. EN AMBAS INSTRUCCIONES PUEDE INTERRUMPIRSE SU EJECUCION PARA QUE NO OCUPEN POR MUCHO TIEMPO EL CPU.

ARITMETICA LOGICA. ESTAS INSTRUCCIONES OPERAN CON DATOS ALMACENADOS EN EL ACUMULADOR, CUALQUIER REGISTRO DE PROPOSITO GENERAL Y MEMORIA EXTERNA. EL RESULTADO DE LA OPERACION SE QUEDA EN EL ACUMULADOR Y LAS BANDERAS CORRESPONDIENTES SE DESPLIEGAN DE ACUERDO AL RESULTADO DE LA OPERACION.

ROTACION Y CORRIMIENTO. ESTAS INSTRUCCIONES MUEVEN BITS DE DATOS EN ACUMULADOR, REGISTROS DE PROPOSITO GENERAL O MEMORIA LO CUAL ES UTIL PARA MUCHAS APLICACIONES COMO MULTIPLICACION Y DIVISION DE ENTEROS.

MANIPULACION DE BITS. PERMITE QUE CUALQUIER BIT EN ACUMULADOR, REGISTROS DE PROPOSITO GENERAL O MEMORIA, SEA COLOCADO (SET), QUITADO (RESET) O PROBADO CON UNA SOLA INSTRUCCION.

SALTO, LLAMADA Y REGRESO. SE USAN PARA HACER TRANSFERENCIAS DE UNA LOCALIDAD A OTRA EN EL PROGRAMA DEL USUARIO. ESTE GRUPO UTILIZA DIVERSAS FORMAS DE OBTENER DIRECCIONES NUEVAS PARA EL PC EN MEMORIA EXTERNA. POR EJEMPLO, EN EL CASO DE LA INSTRUCCION "RESTART", SE PUEDE HACER UN SALTO CON UN SOLO CODIGO DE OPERACION DE 8 BITS. TAMBIEN SE PUEDE SALTAR CARGANDO DIRECTAMENTE HL, IX O IY EN PC.

ENTRADA/SALIDA. PERMITEN TRANSFERENCIAS ENTRE LOCALIDADES DE MEMORIA O REGISTROS DE PROPOSITO GENERAL, Y DISPOSITIVOS E/S EXTERNOS. EN CADA CASO, EL NUMERO DE PUERTO SE INDICA CON LOS 8 BITS BAJOS DEL "BUS" DE DIRECCIONES. EXISTE UNA INSTRUCCION QUE PERMITE QUE EL NUMERO DE PUERTO SEA ESPECIFICADO POR EL SEGUNDO BYTE, MIENTRAS QUE OTRA INSTRUCCION PERMITE QUE SEA ESPECIFICADO POR EL CONTENIDO DEL REGISTRO C. EL CPU INCLUYE INSTRUCCIONES QUE PUEDEN MOVER BLOQUES DE DATOS (HASTA 256 BYTES) HACIA O DESDE CUALQUIER PUERTO E/S A MEMORIA.

CONTROL BASICO DEL CPU. INCLUYE INSTRUCCIONES TALES COMO HABILITAR O DESHABILITAR EL BIESTABLE DE INTERRUPCION MASCARABLE O EL SELECCIONAR MODO DE RESPUESTA DE

## INTERRUPCION.

## MODOS DE DIRECCIONAMIENTO

LA MAYORIA DE LAS INSTRUCCIONES DEL Z80 OPERAN SOBRE DATOS ALMACENADOS EN REGISTROS INTERNOS DEL CPU, MEMORIA EXTERNA O PUERTOS E/S. EL DIRECCIONAMIENTO ES LA FORMA EN QUE SE GENERA LA DIRECCION DE ESTE DATO EN CADA INSTRUCCION.

**INMEDIATO.** EN ESTE MODO EL BYTE QUE SIGUE AL CODIGO DE OPERACION EN MEMORIA CONTIENE AL OPERANDO. POR EJEMPLO: CARGAR EL ACUMULADOR CON UNA CONSTANTE, LA CONSTANTE ES EL BYTE QUE SIGUE AL CODIGO DE OPERACION.

**INMEDIATO EXTENDIDO.** ES UNA EXTENSION DEL MODO INMEDIATO, EN QUE EL OPERANDO ESTA FORMADO POR LOS DOS BYTES QUE SIGUEN AL CODIGO DE OPERACION. EJEMPLO: CARGAR EL REGISTRO PAR HL (16 BITS) CON 16 BITS (2 BYTES) DE DATOS.

**PAGINA CERO MODIFICADA.** EL Z80 TIENE INSTRUCCIONES DE UN SOLO BYTE QUE COLOCAN AL PC EN CUALQUIERA DE 8 LOCALIDADES DE LA PAGINA CERO DE LA MEMORIA.

**RELATIVO.** CON UN SOLO BYTE DESPUES DEL CODIGO DE OPERACION (TAMBIEN DE UN BYTE) SE ESPECIFICA UN DESPLAZAMIENTO PARA QUE EL PROGRAMA DE UN SALTO AL CUMPLIRSE UNA CONDICION ESPERADA. EL DESPLAZAMIENTO ES UN NUMERO EN COMPLEMENTO A DOS QUE SE SUMA A LA DIRECCION DE LA SIGUIENTE INSTRUCCION. SU RANGO ES DE +127 Y -128 DESDE A+2, O SEA UN DESPLAZAMIENTO DE +129 A -126 DESDE LA DIRECCION DE LA INSTRUCCION DE SALTO.

**EXTENDIDO.** UTILIZA UN CODIGO DE OPERACION SEGUIDO DE 2 BYTES DE DIRECCION: PRIMERO EL MENOS SIGNIFICATIVO Y DESPUES EL MAS SIGNIFICATIVO. SE UTILIZA PARA SALTAR DE UNA LOCALIDAD DE MEMORIA A OTRA, O CARGAR Y ALMACENAR DATOS EN MEMORIA. EN ESTE MODO DE DIRECCIONAMIENTO SE UTILIZA LA NOTACION (NN) PARA INDICAR EL CONTENIDO DE MEMORIA EN NN, DONDE NN ES LA DIRECCION DE 16 BITS ESPECIFICADA EN LA INSTRUCCION. POR EJEMPLO, (1000) SE REFIERE AL CONTENIDO DE LA MEMORIA EN LA LOCALIDAD 1000H.

**CON INDICE.** EL BYTE DE DATOS QUE SIGUE DEL CODIGO DE OPERACION CONTIENE UN DESPLAZAMIENTO QUE ES SUMADO A UNO DE LOS DOS REGISTROS DE INDICE PARA FORMAR UN APUNTAOR A LA MEMORIA, LO CUAL ES MUY UTIL EN PROGRAMAS QUE UTILIZAN TABLAS DE DATOS, SI EL REGISTRO INDICE APUNTA AL INICIO DE LA TABLA. EL DESPLAZAMIENTO ES UN NUMERO EN COMPLEMENTO A DOS.

**DE REGISTRO.** UTILIZA CODIGOS DE OPERACION QUE INDICAN UNA OPERACION SOBRE UN REGISTRO ESPECIFICO. POR EJEMPLO: CARGAR LOS DATOS DEL REGISTRO C DENTRO DEL REGISTRO B.

**IMPLICADO.** EL CODIGO DE OPERACION IMPLICA QUE UNO O MAS

REGISTROS CONTENGA AL OPERANDO. POR EJEMPLO, EN LAS OPERACIONES ARITMETICAS EL ACUMULADOR SIEMPRE ES EL DESTINO DEL RESULTADO.

DE REGISTRO INDIRECTO. UTILIZA UN REGISTRO PAR COMO APUNTAOR A UNA LOCALIDAD DE MEMORIA. LA NOTACION UTILIZADA CONSISTE EN PONER ENTRE PARENTESIS EL SIMBOLO DEL REGISTRO QUE SE VA A UTILIZAR. POR EJEMPLO (HL) INDICA QUE EL CONTENIDO DEL REGISTRO HL SE USARA COMO APUNTAOR A UNA LOCALIDAD DE MEMORIA.

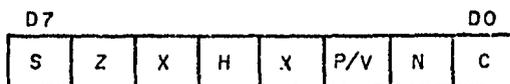
DE BIT. EXISTEN INSTRUCCIONES PARA COLOCAR (SET), QUITAR (RESET) Y PROBAR BITS. PERMITEN REALIZAR OPERACIONES EN MEMORIA O REGISTROS A TRAVES DE TRES MODOS DE DIRECCIONAMIENTO PREVIOS (DE REGISTRO, DE REGISTRO INDIRECTO Y CON INDICE) MIENTRAS 3 BITS EN EL CODIGO DE OPERACION ESPECIFICAN CUAL DE LOS 8 BITS SERA MANIPULADO.

#### MODOS DE DIRECCIONAMIENTO COMBINADOS

EN MUCHAS INSTRUCCIONES QUE INCLUYEN MAS DE UN OPERANDO, SE PUEDEN UTILIZAR DOS TIPOS DE DIRECCIONAMIENTO. POR EJEMPLO, CARGAR UN DATO PUEDE MACERSE CON DIRECCIONAMIENTO INMEDIATO PARA ESPECIFICAR EL ORIGEN, Y DE REGISTRO O INDEXADO PARA EL DESTINO.

#### BANDERAS (FLAGS).

LOS DOS REGISTROS BANDERA CONTIENEN 6 BITS DE INFORMACION QUE PUEDEN SER AFECTADOS POR OPERACIONES EN EL CPU. EL PROGRAMADOR TIENE ACCESO A ESTOS REGISTROS Y SU FORMATO ES EL SIGUIENTE:



X SIGNIFICA BANDERA INDETERMINADA

DE ESTOS BITS, 4 SE PUEDEN VERIFICAR PARA UTILIZARSE COMO CONDICIONES DE SALTOS, LLAMADAS Y REGRESOS:

- BANDERA DE ACARRED (C). ES EL CORRIMIENTO DEL BIT MAS SIGNIFICATIVO DEL ACUMULADOR. SE GENERA EN SUMAS DONDE SE EXCEDE EL MAXIMO NUMERO PERMITIDO PARA 8 BITS Y EN RESTAS DONDE EL SUSTRAYENDO ES MAYOR QUE EL MINUYENDO.
- BANDERA DE CERO (Z). SE GENERA SI EL RESULTADO DE LA OPERACION ES CERO EN EL ACUMULADOR.
- BANDERA DE SIGNO (S). SE EMPLEA EN NUMEROS CON SIGNO Y SE COLOCA SI EL RESULTADO DE LA OPERACION ES NEGATIVO. COMO EL BIT 7 REPRESENTA EL SIGNO DEL OPERANDO (1 SI ES NEGATIVO), ESTA BANDERA ALMACENA EL ESTADO DEL BIT 7 DEL

## ACUMULADOR.

-BANDERA DE PARIDAD/SOBREFLUJO (OVERFLOW) (P/V). INDICA LA PARIDAD DEL RESULTADO EN OPERACIONES LOGICAS O SOBREFLUJO EN OPERACIONES ARITMETICAS. ES UNO SI EL RESULTADO DE LAS OPERACIONES LOGICAS AND, OR Y XOR, ES PAR. TAMBIEN ES UNO SI EL NUMERO EN COMPLEMENTO A DOS EN EL ACUMULADOR HA EXCEDIDO EL VALOR MAXIMO (+127) O ES MENOR QUE EL MINIMO (-128).

EXISTEN ADICIONALMENTE DOS BITS QUE SE PUEDEN PROBAR. AMBOS SE USAN EN ARITMETICA BCD:

-BANDERA DE MEDIO ACARREO (H). ES EL ACARREO EN BCD O EL PRESTAMO (BORROW) DE LOS CUATRO BITS MENOS SIGNIFICATIVOS. CUANDO SE USA LA INSTRUCCION DAA (AJUSTE DECIMAL), LA BANDERA SE USA PARA CORREGIR EL RESULTADO BINARIO DE UNA SUMA O RESTA PREVIA.

-BANDERA DE SUMA/RESTA (N). ES IGUAL A UNO SI LA OPERACION REALIZADA FUE UNA RESTA, SE USA PARA INDICAR CUAL FUE LA ULTIMA INSTRUCCION EJECUTADA PARA QUE LA OPERACION DAA SEA CORRECTA.

## ·INTERRUPCIONES

UNA INTERRUPCION PERMITE LA SINCRONIZACION DE LOS DISPOSITIVOS EXTERNOS CON EL CPU, PARA SU OPERACION FORZANDOLO A EMPEZAR UNA RUTINA DE SERVICIO AL PERIFERICO. CUANDO LA RUTINA DE SERVICIO TERMINA, EL CPU CONTINUA LA OPERACION QUE FUE INTERRUMPIDA. EL CPU TIENE DOS TERMINALES PARA INTERRUPCIONES: UNA PARA INTERRUPCION MASCARABLE POR SOFTWARE Y LA OTRA PARA INTERRUPCION NO MASCARABLE. LA INTERRUPCION NO MASCARABLE (NMI) SERA ACEPTADA SIEMPRE QUE UN PERIFERICO LO REQUIERA. CUANDO ESTO OCURRE, EL CPU IGNORA LA INSTRUCCION QUE ESTA SIENDO BUSCADA Y EN SU LUGAR HACE UN "RESTART" A LA LOCALIDAD 0066H. ESTA INTERRUPCION SE RESERVA PARA FUNCIONES MUY IMPORTANTES QUE DEBEN SER ATENDIDAS SIEMPRE, POR EJEMPLO UNA FALLA DE ENERGIA.

LA INTERRUPCION MASCARABLE (INT) PUEDE SER HABILITADA O DESHABILITADA POR EL PROGRAMADOR. PARA ESTO SE UTILIZAN LAS INSTRUCCIONES HABILITAR INTERRUPCION (EI) Y DESHABILITAR INTERRUPCION (DI), LAS CUALES A SU VEZ HABILITAN Y DESHABILITAN LOS BIESTABLES LLAMADOS IFF1 E IFF2. CUANDO ESTAN DESHABILITADOS, EL CPU NO ACEPTA INTERRUPCIONES DE ESTE TIPO.

EL ESTADO DE IFF1 ES USADO PARA INHIBIR INTERRUPCIONES MIENTRAS IFF2 SE USA COMO ALMACENAMIENTO DEL PRIMERO, PARA SALVAR SU ESTADO CUANDO OCURRE UNA INTERRUPCION NO MASCARABLE. ENTONCES IFF1 ES DESHABILITADO PARA PREVENIR UNA INTERRUPCION MASCARABLE POSTERIOR.

IFF SE RESTABLECE CON LA INSTRUCCION REGRESO DE INTERRUPCION

NO MASCARABLE (RETN) ESTA INSTRUCCION INDICA QUE LA RUTINA DE INTERRUPCION NO MASCARABLE HA TERMINADO Y COPIA EL CONTENIDO DE IFF2 EN IFF1.

UN RESET AL CPU LLEVA A IFF1 Y A IFF2 A SU ESTADO DESHABILITADO, Y POR LO TANTO, NO PUEDE HABER INTERRUPCIONES. AMBOS PUEDEN REHABILITARSE CON LA INSTRUCCION EI, PERO NO SE EJECUTARA NINGUNA INTERRUPCION PENDIENTE HASTA QUE LA INSTRUCCION QUE SIGUE DE EI SEA EJECUTADA. ESTE RETRASO PERMITE, EN CASO DE QUE LA SIGUIENTE INSTRUCCION SEA UN REGRESO, QUE ESTE TERMINE, YA QUE DE OTRA MANERA NO SE PERMITEN INTERRUPCIONES.

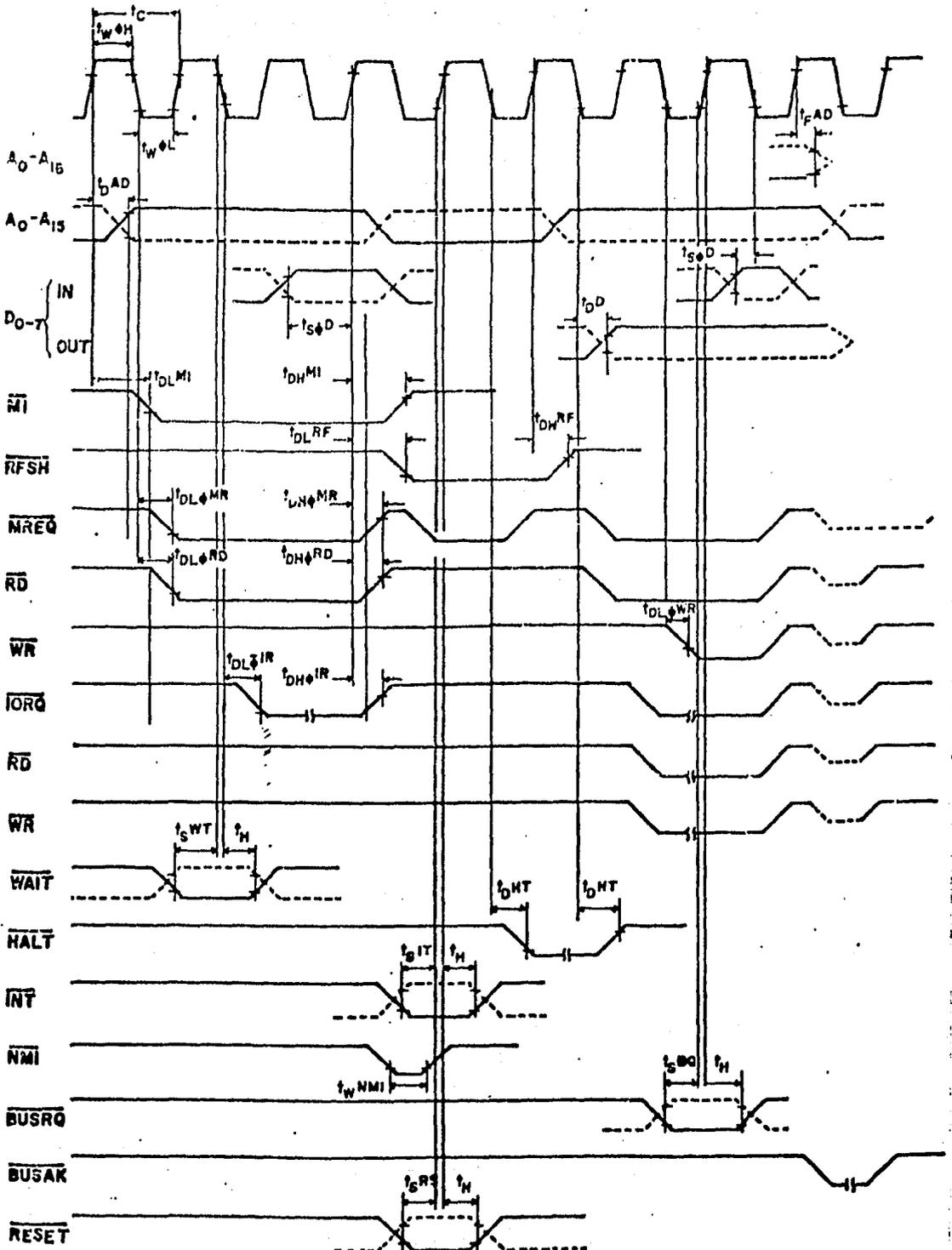
EL CPU PUEDE PROGRAMARSE PARA RESPONDER A LA INTERRUPCION MASCARABLE EN CUALQUIERA DE TRES MODOS.

MODO 0. IGUAL QUE EL 8080A. EN ESTE MODO EL DISPOSITIVO QUE SOLICITA LA INTERRUPCION, COLOCA LA INSTRUCCION A EJECUTARSE INMEDIATAMENTE DESPUES DE LA INTERRUPCION. GENERALMENTE ESTA INSTRUCCION ES UN RESTART YA QUE DEBE SER DE UN SOLO BYTE. DESPUES DE EFECTUAR UN RESET, EL CPU AUTOMATICAMENTE HACE UNA INTERRUPCION EN MODO 0.

MODO 1. EL CPU RESPONDE CON UN REINICIO A LA LOCALIDAD 0038H. LA RESPUESTA ES IDENTICA A LA INTERRUPCION NO MASCARABLE, EXCEPTO EN QUE SE COLOCA EN LA LOCALIDAD 0038H EN LUGAR DE LA 0066H.

MODO 2. CUANDO SE ACEPTA LA INTERRUPCION SE FORMA UN APUNTADOR DE 16 BITS, QUE ESTABA PREVIAMENTE ALMACENADO EN UNA TABLA EN MEMORIA. LOS 8 BITS SUPERIORES ESTAN EN EL REGISTRO I. EL DISPOSITIVO QUE SOLICITA LA INTERRUPCION PROPORCIONA LOS 8 BITS MENOS SIGNIFICATIVOS, DONDE EL BIT MAS BAJO DEBE SER CERO PARA QUE LA TABLA COMIENCE EN UNA LOCALIDAD PAR. EL PRIMER BYTE DE LA TABLA ES LA PARTE MENOS SIGNIFICATIVA DE LA DIRECCION. ESTE ES EL MODO DE INTERRUPCION MAS PODEROSO, YA QUE CON UN SOLO BYTE DEL USUARIO SE PUEDE LLAMAR A CUALQUIER LOCALIDAD DE MEMORIA.

DIAGRAMA DE TIEMPOS CPU

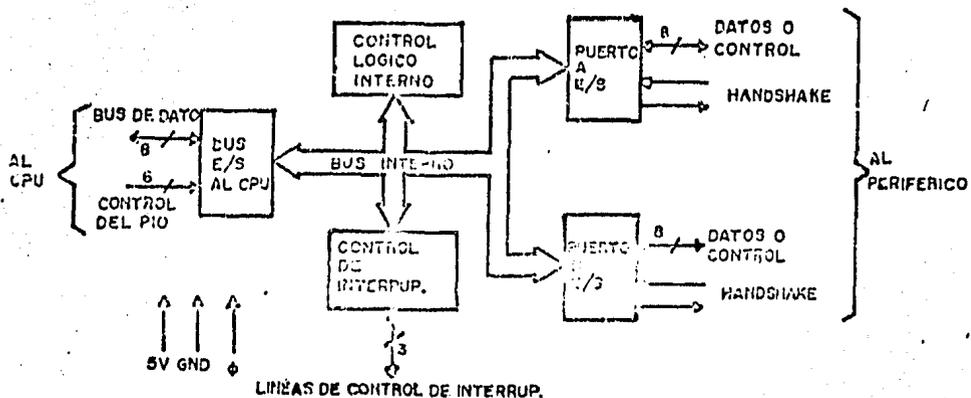


## MANUAL DEL PIO

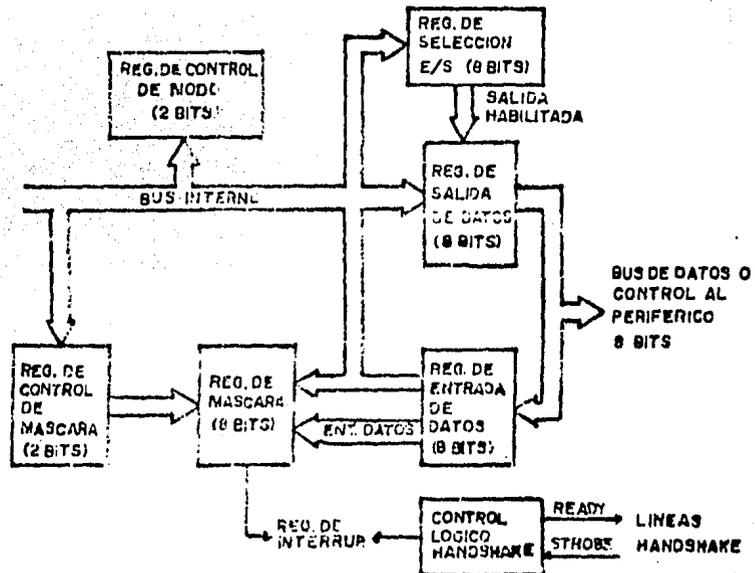
EL PIO Z80 (PARALLEL I/O CONTROLLER) ES UN DISPOSITIVO PROGRAMABLE CON DOS PUERTOS BIDIRECCIONALES DE 8 BITS, QUE SIRVE COMO CONTROLADOR ENTRE DISPOSITIVOS PERIFERICOS Y EL CPU.

## ARQUITECTURA

## DIAGRAMA DE BLOQUES



## DIAGRAMA DE BLOQUES DE UN PUERTO ENTRADA/SALIDA



EL CPU CARGA EL REGISTRO DE CONTROL DE MODO PARA SELECCIONAR LA FORMA DE OPERACION (SALIDA, ENTRADA, BUS BIDIRECCIONAL O CONTROL). LA TRANSFERENCIA DE INFORMACION ENTRE EL DISPOSITIVO PERIFERICO Y EL CPU SE EFECTUA A TRAVES DE LOS REGISTROS DE ENTRADA Y SALIDA DE DATOS. PARA CONTROLAR LA TRANSFERENCIA ENTRE EL DISPOSITIVO PERIFERICO Y EL PIO SE UTILIZAN LAS LINEAS DE PROTOCOLO (HANDSHAKE) ASOCIADAS CON CADA PUERTO.

LOS REGISTROS DE MASCARA Y DE SELECCION E/S SE USAN SOLO EN EL MODO DE CONTROL. EN ESTE MODO CUALQUIERA DE LAS 8 TERMINALES DE DATOS O CONTROL SE PUEDEN PROGRAMAR COMO ENTRADA O SALIDA POR EL REGISTRO DE SELECCION;

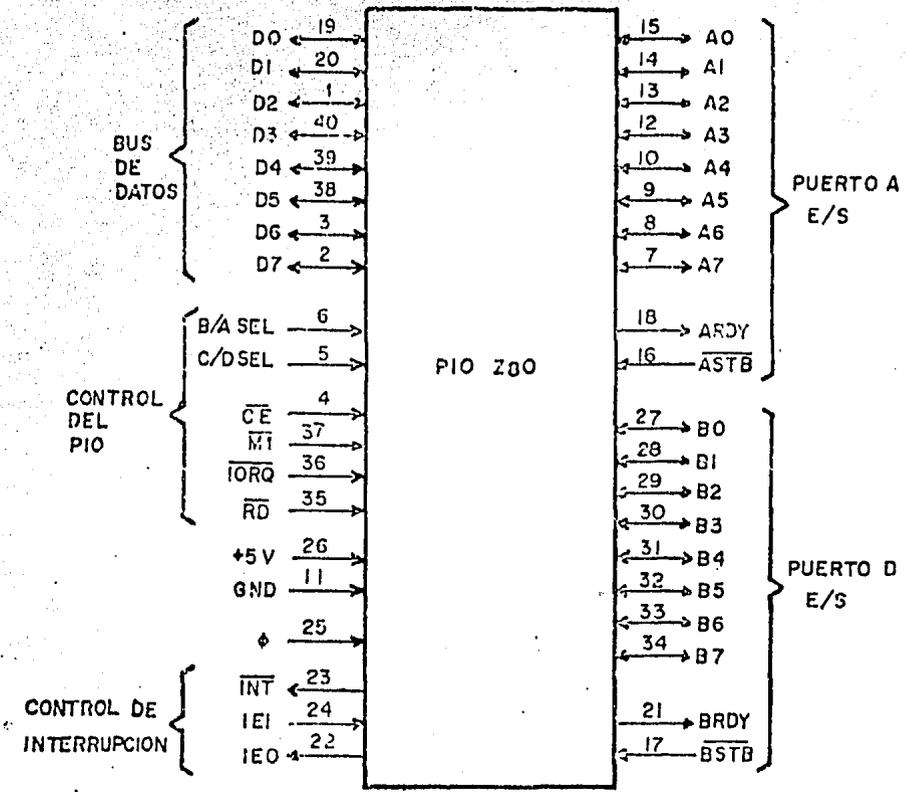
EL REGISTRO DE MASCARA SIRVE PARA GENERAR INTERRUPCIONES DE ACUERDO AL ESTADO DE LAS 8 TERMINALES NO MASCARADAS EN CONJUNTO CON EL REGISTRO DE CONTROL DE MASCARA DE 2 BITS, EL CUAL DE ACUERDO AL ESTADO DE ELLOS, DETERMINA EN QUE CONDICION SERA LA INTERRUPCION (OR O AND).

LA SECCION DE CONTROL LOGICO MANEJA EL PROTOCOLO DE LAS INTERRUPCIONES CON EL CPU PARA CONTROLAR LA PRIORIDAD, QUE ESTA DETERMINADA POR LA UBICACION FISICA DE LOS PERIFERICOS EN UNA CONFIGURACION "DAISY CHAIN".

### CONFIGURACION DE TERMINALES

LA REPRESENTACION NEGADA DE LAS SEÑALES INDICA QUE SE

ACTIVAN CON UN ESTADO BAJO. EN CASO CONTRARIO EL ESTADO ACTIVO SERA UN NIVEL ALTO.



DESCRIPCION:  
D0-D7

"BUS" DE DATOS AL CPU (TRES ESTADOS, BIDIRECCIONAL). "BUS" DE TRANSMISION DE DATOS Y COMANDOS ENTRE PIO Y CPU.

B/A SEL

SELECCION DE PUERTO A O D (ENTRADA). DEFINE CUAL PUERTO SERA UTILIZADO DURANTE UNA TRANSFERENCIA DE DATOS ENTRE PIO Y CPU. EL NIVEL BAJO SELECCIONA AL PUERTO A Y EL NIVEL ALTO AL PUERTO D.

C/D SEL

SELECCION DE DATOS O CONTROL (ENTRADA). CUANDO TIENE NIVEL ALTO EL "BUS" DE DATOS ES RECONOCIDO COMO COMANDO Y CUANDO TIENE NIVEL BAJO EXISTE TRANSFERENCIA DE DATOS ENTRE PIO Y CPU.

- $\overline{CE}$**  DISPOSITIVO HABILITADO. (ENTRADA). HABILITA AL PIO PARA INTERCAMBIAR COMANDOS O DATOS CON EL CPU.
- $\emptyset$**  RELOJ DEL SISTEMA (ENTRADA). RELOJ DE UNA FASE PARA SINCRONIZAR SEÑALES INTERNAS.
- $\overline{MI}$**  CICLO DE MAQUINA UNO. (ENTRADA). SINCRONIZA VARIAS OPERACIONES INTERNAS COMO LA LOGICA DE INTERRUPCION.
- $\overline{IORQ}$**  SOLICITUD E/S DEL CPU. (ENTRADA). PERMITE TRANSFERENCIA DE DATOS O COMANDOS CON EL CPU, DE ACUERDO AL ESTADO DE LAS DEMAS SEÑALES DE CONTROL. CON  $\overline{MI}$ , EL CPU RECONOCE UNA INTERRUPCION.
- $\overline{RD}$**  ESTADO DEL CICLO DE LECTURA DEL CPU (ENTRADA). CON LAS SEÑALES B/A SEL, C/D SEL,  $\overline{IORQ}$  Y  $\overline{RD}$  ACTIVAS, SE EFECTUARA UNA OPERACION DE LECTURA DESDE EL CPU. CON  $\overline{RD}$  NO ACTIVA, LA OPERACION SERA DE ESCRITURA.
- IEI** ENTRADA PARA HABILITAR INTERRUPCION (ENTRADA). ES USADO PARA FORMAR UNA PRIORIDAD DE INTERRUPCION "DAISY CHAIN". EL NIVEL ALTO INDICA QUE EL CPU NO ESTA ATENDIENDO INTERRUPCIONES DE OTROS DISPOSITIVOS DE MAYOR PRIORIDAD.
- IEO** SALIDA PARA HABILITAR INTERRUPCION (SALIDA). ES LA OTRA SENAL REQUERIDA PARA FORMAR LA PRIORIDAD DE INTERRUPCION "DAISY CHAIN". ES ALTA CUANDO IEI ES ALTA Y EL CPU NO ESTA ATENDIENDO UNA INTERRUPCION EN ESTE PIO. ESTA SENAL BLOQUEA LOS DISPOSITIVOS DE MENOR PRIORIDAD MIENTRAS OTRO DISPOSITIVO DE MAYOR PRIORIDAD ES ATENDIDO.
- $\overline{INT}$**  REQUERIMIENTO DE INTERRUPCION (SALIDA, DRENAJE ABIERTO). CUANDO ESTA ACTIVA, EL PIO ESTA REQUIRIENDO UNA INTERRUPCION AL CPU.
- A0-A7** "BUS" DEL PUERTO A (BIDIRECCIONAL, TRES ESTADOS). BUS DE TRANSFERENCIA DE DATOS Y/O CONTROLES ENTRE EL PUERTO A DEL PIO Y EL DISPOSITIVO PERIFERICO.
- A STB** PULSO DE REFERENCIA (STROBE) DEL PUERTO A (ENTRADA). SU SIGNIFICADO DEPENDE DEL MODO DE OPERACION SELECCIONADO PARA EL PUERTO A.
- MODO DE SALIDA: EL FLANCO POSITIVO ES EMITIDO POR EL PERIFERICO, PARA INDICAR QUE

RECIBIO LOS DATOS ENVIADOS POR EL PIO.

-MODO DE ENTRADA CUANDO ESTA ACTIVA, EL PIO ADMITE DATOS DEL PERIFERICO.

-MODO BIDIRECCIONAL: INDICA QUE LOS DATOS ESTAN EN EL BUS DEL PUERTO A. EL FLANCO POSITIVO RECONOCE LA RECEPCION DE DATOS.

-MODO DE CONTROL: NO ES USADA CON ESTE PUERTO.

A RDY

REGISTRO A LISTO (SALIDA). SU SIGNIFICADO DEPENDE DEL MODO DE OPERACION SELECCIONADO:

-MODO DE SALIDA: INDICA QUE EL "BUS" DE DATOS ESTA LISTO PARA TRANSFERIR

-MODO DE ENTRADA: INDICA QUE EL PUERTO ESTA LISTO PARA RECIBIR DATOS.

-MODO BIDIRECCIONAL: INDICA QUE LOS DATOS ESTAN LISTOS PARA TRANSFERIRSE. EN ESTE MODO, LOS DATOS NO SE COLOCAN EN EL PUERTO A, A MENOS QUE  $\overline{ASTB}$  ESTE ACTIVA.

-MODO DE CONTROL: ESTA SENAL NO ES USADA CON ESTE PUERTO

BD-B7

BUS DEL PUERTO B (BIDIRECCIONAL, TRES ESTADOS). ES CAPAZ DE SUMINISTRAR 1.5 mA A 1.5 V PARA MANEJAR TRANSISTORES DARLINGTON.

$\overline{B}$  STB

PULSO DE REFERENCIA (STROBE) DEL PUERTO B (ENTRADA). ES IGUAL A  $\overline{ASTB}$  CON LA EXCEPCION DE QUE EN EL MODO BIDIRECCIONAL DEL PUERTO A ESTA SENAL SINCRONIZA AL PERIFERICO CON EL PUERTO A.

BRDY

REGISTRO B LISTO (SALIDA). IGUAL QUE ARDY CON LA EXCEPCION DE QUE EN EL MODO BIDIRECCIONAL DEL PUERTO A ESTA SENAL ES ALTA CUANDO DICHO PUERTO ESTA VACIO Y LISTO PARA ACEPTAR DATOS DEL PERIFERICO.

#### PROGRAMACION DEL PIO

##### RESET

AL APLICAR ALIMENTACION AL PIO, ENTRA AUTOMATICAMENTE EN UN ESTADO DE RESET CON LO CUAL SUS REGISTROS QUEDAN LIBRES HASTA QUE SE RECIBA UNA PALABRA DE CONTROL DEL CPU.

TAMBIEN SE PUEDE HACER EL RESET APLICANDO UNA SENAL  $\overline{M1}$  EN AUSENCIA DE LAS SENALES  $\overline{RD}$  O  $\overline{IORQ}$ ; DE ESTE MODO SE PUEDE HACER EL RESET SIN NECESIDAD DE QUITAR LA ALIMENTACION AL PIO.

#### VECTOR DE INTERRUPCION

COMO EL PIO FUE DISENADO PARA SOLICITAR INTERRUPCIONES AL CPU EN MODO 2, SE DEBE CARGAR UN VECTOR DE INTERRUPCION EL CUAL ES USADO POR EL CPU PARA FORMAR LA DIRECCION DEL PUERTO QUE SOLICITO LA INTERRUPCION. EL VECTOR DE INTERRUPCION SE CARGA DENTRO DEL PIO CON UNA PALABRA DE CONTROL QUE TIENE EL SIGUIENTE FORMATO:

D7							D0
V7	V6	V5	V4	V3	V2	V1	0

D0=0 SIGNIFICA QUE ESTA PALABRA DE CONTROL ES UN VECTOR DE INTERRUPCION.

#### SELECCION DEL MODO DE OPERACION

EL PUERTO A DEL PIO PUEDE OPERAR EN CUATRO MODOS DIFERENTES:

MODO 0 (SALIDA), MODO 1 (ENTRADA), MODO 2 (BIDIRECCIONAL) Y MODO 3 (CONTROL). EL PUERTO B PUEDE OPERAR EN CUALQUIERA DE ELLOS EXCEPTO EL MODO 2.

LA PALABRA DE CONTROL PARA SELECCIONAR EL MODO DE OPERACION ES LA SIGUIENTE:

D7							D0
M1	M0	X	X	1	1	1	1

D7	D6	MODO
0	0	0 (SALIDA)
0	1	1 (ENTRADA)
1	0	2 (BIDIRECCIONAL)
1	1	3 (CONTROL)

EL MODO 0 PERMITE QUE CUALQUIER DATO ESCRITO EN EL REGISTRO DE SALIDA DEL PUERTO POR EL CPU, SEA HABILITADO EN EL "BUS" DE DATOS DEL PUERTO. CUANDO EL MODO 0 ESTA ACTIVO, LA ESCRITURA DE UN DATO DESDE EL CPU HACE QUE LA SENAL "READY" SE PONGA EN ESTADO ALTO PARA INDICAR AL PERIFERICO QUE HAY UN DATO DISPONIBLE. ESTA SENAL PERMANECE ALTA HASTA QUE SE RECIBE UN "STROBE" DEL PERIFERICO. EL FLANCO ASCENDENTE DEL "STROBE" GENERA UNA INTERRUPCION (SI FUE HABILITADA) Y PROVOCA QUE LA SENAL "READY" QUEDE INACTIVA.

EN MODO 1 EL CPU REALIZA UNA OPERACION DE LECTURA DEL PUERTO, ACTIVANDOSE LA SENAL "READY". CON ESTO SE INFORMA AL PERIFERICO QUE LOS DATOS PUEDEN SER CARGADOS EN EL REGISTRO DE ENTRADA LEIDO. EL PERIFERICO ENVIA LOS DATOS JUNTO CON LA SENAL DE "STROBE". LA CUAL GENERA UNA INTERRUPCION CON EL FLANCO POSITIVO, SI ES QUE HA SIDO HABILITADA, DESACTIVANDO LA SENAL "READY".

EN MODO 2 SE UTILIZAN LAS CUATRO LINEAS DE PROTOCOLO, POR LO CUAL SOLO SE PUEDE USAR AL PUERTO A EN ESTE MODO. LAS LINEAS PROTOCOLO DEL PUERTO A SE USAN PARA CONTROL DE ENTRADA Y LAS DEL PUERTO B PARA CONTROL DE SALIDA. DE ESTE MODO, "A RDY" Y "B RDY" SE ACTIVAN SIMULTANEAMENTE. LA UNICA DIFERENCIA ENTRE LA PARTE DE SALIDA DEL MODO 2 Y EL MODO 0 ES QUE EL DATO PUEDE ESTAR EN EL "BUS" DEL PUERTO, SOLO CUANDO A STRB ESTA ACTIVA PARA PERMITIR LA FORMA BIDIRECCIONAL.

EL MODO 3 NO UTILIZA LAS LINEAS "HANDSHAKE" YA QUE SE EMPLEA PARA CONTROL. CON UNA PALABRA DE CONTROL SE DEFINE QUE LINEAS DEL "BUS" DEL PUERTO SERAN ENTRADAS Y CUALES SALIDAS. EN ESTA PALABRA, CUANDO UN BIT ES 1, SIGNIFICA QUE LA LINEA CORRESPONDIENTE SERA ENTRADA. SI EL BIT ES CERO, LA LINEA SERA SALIDA. SU FORMATO SE MUESTRA A CONTINUACION:

D7							D0
I/O <sub>7</sub>	I/O <sub>6</sub>	I/O <sub>5</sub>	I/O <sub>4</sub>	I/O <sub>3</sub>	I/O <sub>2</sub>	I/O <sub>1</sub>	I/O <sub>0</sub>

#### CONTROL DE INTERRUPCION

LA PALABRA DE CONTROL DE INTERRUPCION DE CADA PUERTO TIENE EL SIGUIENTE FORMATO:

D7	D6	D5	D4	D3	D2	D1	D0
HABILITA INTERR.	AND/ OR	ALTO/ BAJO	SIGUE MASCARA	0	1	1	1

USADOS EN MODO 3

D7=1 EL BIESTABLE DE INTERRUPCION SE HABILITA Y EL PUERTO PUEDE GENERAR INTERRUPCION

D7=0 LA BANDERA DE HABILITAR ESTARA EN RESET Y NO SE PUEDE GENERAR INTERRUPCION.

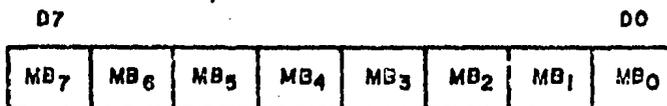
D6=1: SE REALIZARA UNA FUNCION AND.

D6=0 SE REALIZARA UNA FUNCION OR. POR EJEMPLO, SI SE ESCOGE AND, TODOS LOS BITS DEBEN ESTAR EN UN ESTADO ESPECIFICO DETERMINADO POR D5 PARA QUE SE GENERE LA INTERRUPCION Y SI SE ESCOGE OR, LA INTERRUPCION SE GENERARA SI CUALQUIER BIT ESTA ACTIVO.

D5=1: LAS LINEAS DEL PUERTO SE CHECARAN EN ESTADO ALTO.

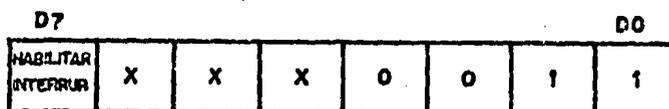
D5=0: SE CHECARAN EN ESTADO BAJO.

D4=1: SE DEBE ENVIAR UNA MASCARA CON EL SIGUIENTE FORMATO



SOLAMENTE LAS LINEAS DEL PUERTO DONDE EL BIT DE MASCARA SEA CERO, SERAN CHECADAS PARA GENERAR UNA INTERRUPCION.

SI SE DESEA HABILITAR O DESHABILITAR EL "FLIP FLOP" DE INTERRUPCION DE UN PUERTO, SIN MODIFICAR LAS DEMAS PALABRAS DE CONTROL DE INTERRUPCION, SE ENVIA LA SIGUIENTE PALABRA:



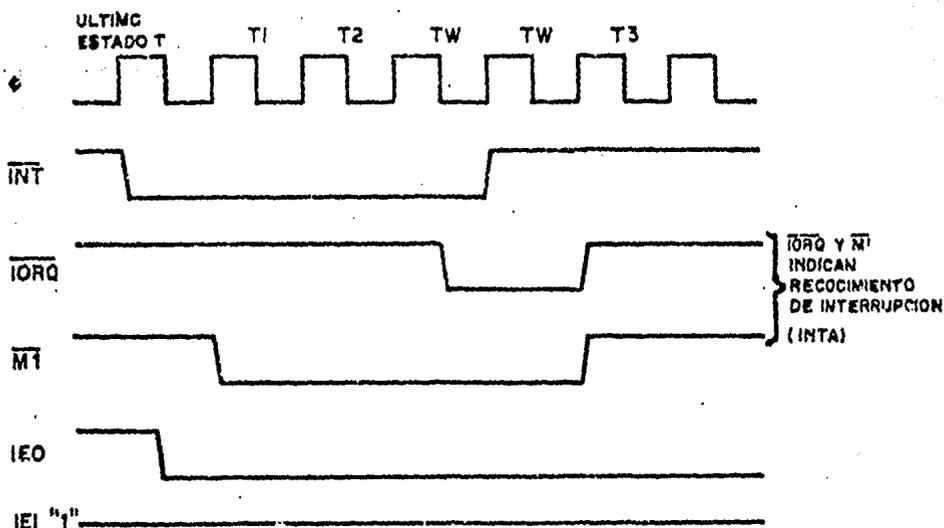
## INTERRUPCIONES

UN TIEMPO DESPUES DE QUE EL PIO SOLICITO UNA INTERRUPCION, EL CPU ENVIA UN RECONOCIMIENTO DE LA MISMA ( $\overline{MI}$  E  $\overline{IORQ}$ ). MIENTRAS TANTO EL PIO DETERMINA INTERNAMENTE CUAL ES EL PUERTO QUE ESTA SOLICITANDO INTERRUPCION (SIMPLEMENTE ES EL DISPOSITIVO CON SU  $\overline{IEI}$  ALTO Y SU  $\overline{IEO}$  BAJO). PARA ASEGURAR QUE LA LINEA "DAISY CHAIN" SEA ESTABLE, SE INHIBEN LOS CAMBIOS DE ESTADO DE SOLICITUD DE INTERRUPCION DE LOS PERIFERICOS, MIENTRAS  $\overline{MI}$  ESTE ACTIVA. EL DISPOSITIVO DE MAYOR PRIORIDAD COLOCA EL CONTENIDO DE SU VECTOR DE

INTERRUPCION EN EL BUS DE DATOS DURANTE EL RECONOCIMIENTO DE LA INTERRUPCION.

LA FIGURA MUESTRA LOS TIEMPOS ASOCIADOS CON LA SOLICITUD DE INTERRUPCION. DURANTE EL TIEMPO  $\overline{M1}$ , NO SE PUEDEN GENERAR SOLICITUDES DE INTERRUPCION, PARA DAR TIEMPO A QUE LAS SENALES IEI E IEO SE ESTABILICEN HASTA EN CUATRO CICLOS PIO. DURANTE EL RECONOCIMIENTO DE INTERRUPCION (INTA), EL PIO CON IEI ALTA E IEO BAJA COLOCARA SU VECTOR DE INTERRUPCION EN EL "BUS" DE DATOS.

### RECONOCIMIENTO DE INTERRUPCION



CUANDO EL REQUERIMIENTO DE INTERRUPCION ES RECONOCIDO Y SE DA SERVICIO AL PUERTO QUE LO SOLICITO, IEO PERMANECE BAJA HASTA QUE UNA INSTRUCCION RETI SE EJECUTA MIENTRAS IEI ES ALTA. SI EL REQUERIMIENTO DE INTERRUPCION NO ES RECONOCIDO, IEO SE FORZARA A ALTA POR UN CICLO  $\overline{M1}$  DESPUES DE QUE EL PIO DECODIFICA EL CODIGO DE OPERACION ED. ESTO GARANTIZA QUE LA INSTRUCCION RETI SEA DECODIFICADA POR EL PROPIO PUERTO DEL PIO. VER FIGURA.

## CICLO DE REGRESO DE INTERRUPCION

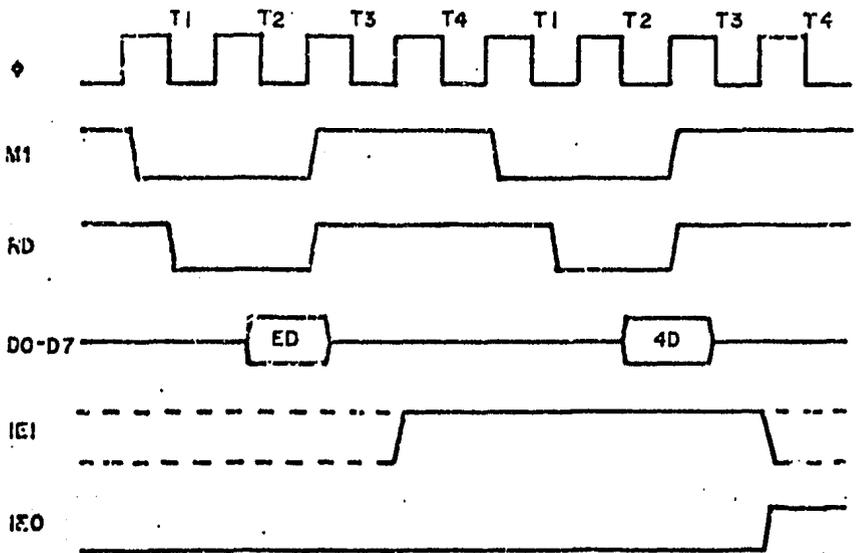
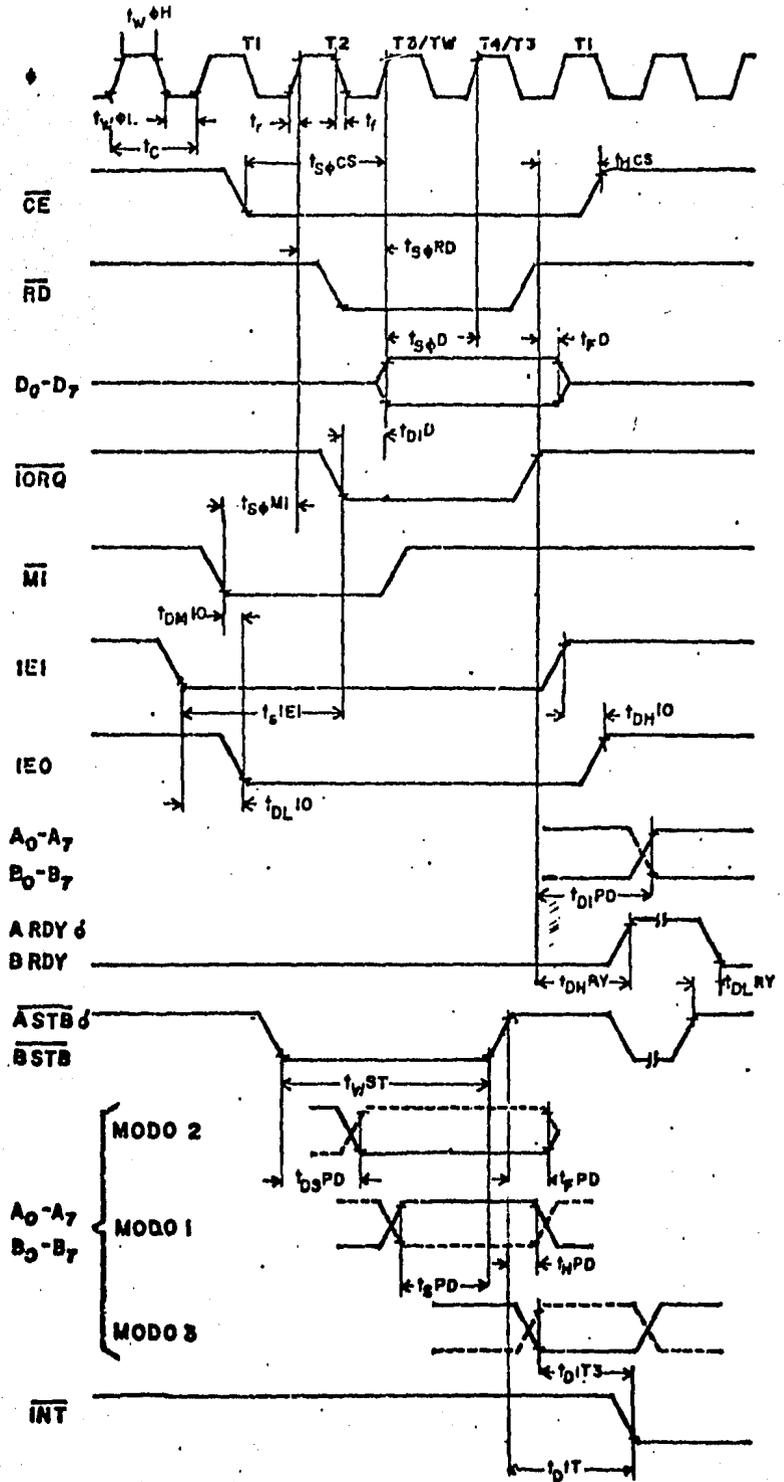


DIAGRAMA DE TIEMPOS PIO



## MANUAL DEL CTC

EL CTC-Z80 (COUNTER TIMER CIRCUIT) ES UN DISPOSITIVO DE CUATRO CANALES PROGRAMABLES QUE PROVEE FUNCIONES DE CONTEO Y DE TIEMPO PARA EL CPU. EL CPU CONFIGURA LOS CUATRO CANALES INDEPENDIENTES PARA OPERAR BAJO VARIOS MODOS Y CONDICIONES DE ACUERDO A LOS REQUERIMIENTOS.

## CONSTRUCCION

- TECNOLOGIA N-MOS
- 28 TERMINALES
- UNICAMENTE REQUIERE UNA FUENTE DE POLARIZACION DE 5 VOLTS
- REQUIERE DE UNA SENAL DE RELOJ DE 5 VOLTS Y DE UNA SOLA FASE
- CUATRO CONTADORES PROGRAMABLES INDEPENDIENTES DE 8 BITS/CANALES MARCADORES DE TIEMPO DE 8 BITS

## CARACTERISTICAS

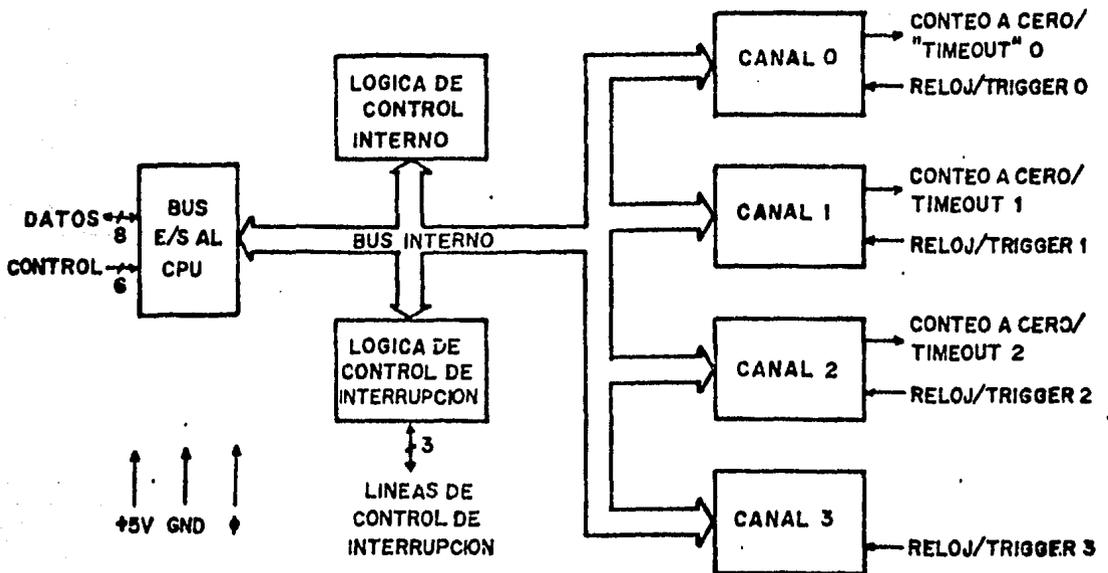
- CADA CANAL PUEDE SER SELECCIONADO PARA OPERAR YA SEA EN MODO CONTADOR O EN MODO MARCADOR DE TIEMPO.
- INTERRUPCIONES PROGRAMABLES EN ESTADOS DEL CONTADOR O DEL MARCADOR DE TIEMPO.
- UN REGISTRO CONSTANTE DE TIEMPO RECARGA AUTOMATICAMENTE EL CONTADOR DESCENDENTE CUANDO ALCANZA EL CONTEO DE CERO Y EL CICLO ES REPETIDO.
- LA LECTURA DEL CONTADOR DESCENDENTE INDICA EL NUMERO DE CONTEOS A CERO.
- DIVISOR DE RELOJ POR 16 O 256 SELECCIONABLE PARA CADA CANAL MARCADOR DE TIEMPO.
- SENAL DE DISPARO (TRIGGER), FLANCO POSITIVO O NEGATIVO SELECCIONABLE PARA INICIAR LA OPERACION DEL MARCADOR DE TIEMPO.
- TRES CANALES TIENEN SALIDAS "ZERO COUNT/TIME OUT" CAPACES DE MANEJAR TRANSISTORES "DARLINGTON".
- LOGICA DE INTERRUPCION POR PRIORIDAD "DAISY CHAIN" PARA PROVEER UN VECTOR DE INTERRUPCION AUTOMATICO SIN LOGICA EXTERNA
- TODAS LAS ENTRADAS Y SALIDAS SON TOTALMENTE COMPATIBLES

CON LA FAMILIA TTL.

-LAS SALIDAS SON DIRECTAMENTE COMPATIBLES CON EL SIO.

### ARQUITECTURA

### DIAGRAMA DE BLOQUES CTC

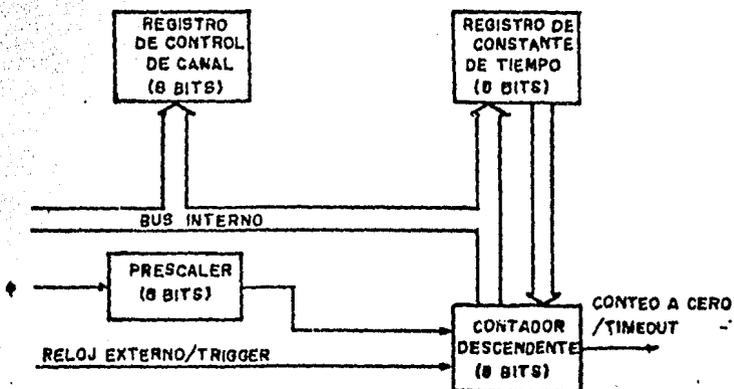


EN LA FIGURA SE MUESTRA UN DIAGRAMA DE BLOQUES DEL CTC. LA ESTRUCTURA INTERNA DEL CTC CONSISTE DE UNA INTERFAZ PARA EL "BUS" DEL CPU, LOGICA DE CONTROL INTERNO, CUATRO CANALES CONTADORES Y UNA LOGICA DE CONTROL DE INTERRUPCIONES. CADA CANAL TIENE UN VECTOR DE INTERRUPCION Y LA PRIORIDAD DE ESTA SE DETERMINA POR EL NUMERO DEL CANAL, SIENDO EL CERO EL DE MAS ALTA PRIORIDAD.

LA LOGICA DEL CANAL ESTA COMPUESTA POR DOS REGISTROS, DOS CONTADORES Y UNA LOGICA DE CONTROL COMO LO MUESTRA LA FIGURA

SIGUIENTE. LOS REGISTROS INCLUYEN UNO DE CONSTANTE DE TIEMPO DE 8 BITS Y UNO DE CONTROL DE CANAL DE 8 BITS. LOS CONTADORES INCLUYEN UN CONTADOR DESCENDENTE QUE PUEDE SER LEIDO Y UN DIVISOR DE 8 BITS. ESTE ULTIMO PUEDE SER PROGRAMADO PARA DIVIDIR EL RELOJ DEL SISTEMA POR 16 O POR 256.

### DIAGRAMA DE BLOQUES DE UN CANAL



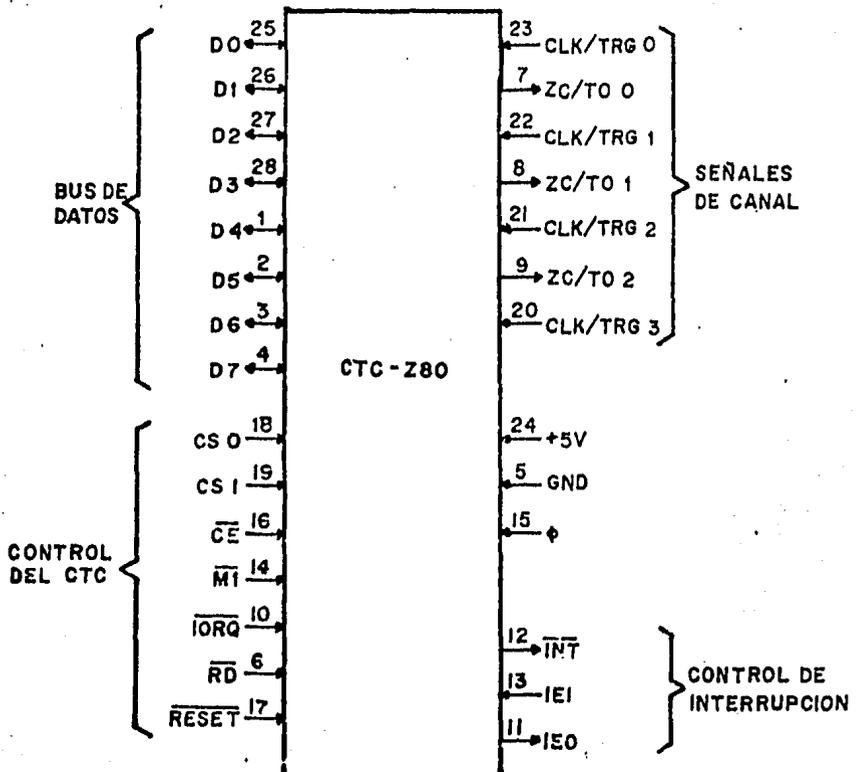
- REGISTRO DE LA CONSTANTE DE TIEMPO.- CONTIENE 8 BITS Y ES CARGADO POR EL CPU PARA INICIALIZAR Y CARGAR EL CONTADOR DESCENDENTE CUANDO ESTE ALCANZA EL CONTEO DE CERO.
- REGISTRO DE CONTROL DEL CANAL.- CONSTA DE 8 BITS Y ES CARGADO POR EL CPU PARA SELECCIONAR EL MODO Y CONDICIONES DE OPERACION DEL CANAL.
- CONTADOR DESCENDENTE.- ESTE CONTADOR DE 8 BITS ES CARGADO POR EL REGISTRO DE LA CONSTANTE DE TIEMPO BAJO EL CONTROL DEL PROGRAMA Y AUTOMATICAMENTE CUANDO ALCANZA EL CONTEO DE CERO. EN CUALQUIER MOMENTO EL CPU PUEDE LEER EL NUMERO DE CONTEOS A CERO. ESTE CONTADOR ES DECREMENTADO POR EL DIVISOR EN EL MODO MARCADOR DE TIEMPO Y POR CLK/TRIG EN MODO CONTADOR.

-DIVISOR.- CONTADOR DE 8 "BITS", DIVIDE EL RELOJ DEL SISTEMA POR 16 O 256 PARA EL DECREMENTO DEL CONTADOR DESCENDENTE. ES USADO UNICAMENTE EN EL MODO MARCADOR DE TIEMPO.

• DESCRIPCION DE TERMINALES

LA REPRESENTACION NEGADA DE LAS SENALES INDICA QUE SE ACTIVAN CON UN ESTADO BAJO. EN CASO CONTRARIO, EL ESTADO ACTIVO SERA UN NIVEL ALTO.

CONFIGURACION DE TERMINALES CTC



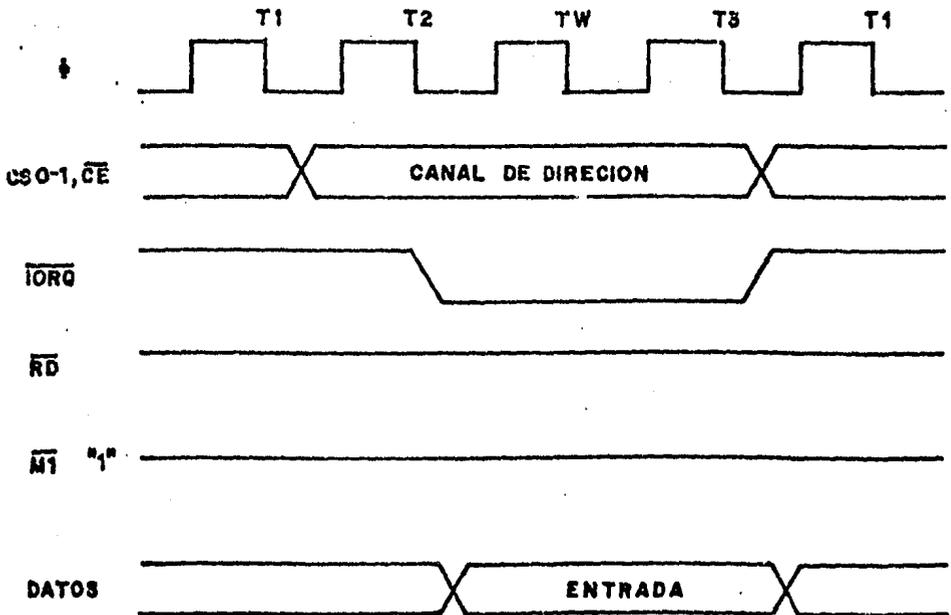
CLK/TRG 0,1,2,3	RELOJ EXTERNO PARA EL CANAL 0,1,2 Y 3, O SENAL DE DISPARO PARA EL MARCADOR DE TIEMPO (ENTRADAS).
ZC/TO 0,1,2	CONTEO A CERO DEL CANAL 0, 1 Y 2, O TIEMPO TRANSCURRIDO (TIME OUT). (SALIDAS).
CS1-CS0	SELECCION DEL CANAL (ENTRADA). FORMAN UNA DIRECCION BINARIA DE 2 "BITS" DEL CANAL A SER ACCESADO.
D7-D0	"BUS" DE DATOS DEL CPU (BIDIRECCIONAL, 3 ESTADOS).
$\overline{CE}$	HABILITADOR DEL CIRCUITO INTEGRADO (ENTRADA)
$\overline{MI}$	SENAL DEL CICLO DE MAQUINA DEL CPU (ENTRADA)
$\overline{IORQ}$	REQUERIMIENTO DE ENTRADA/SALIDA DEL CPU (ENTRADA).
$\overline{RD}$	ESTADO DEL CICLO DE LECTURA PARA EL CPU (ENTRADA).
IEI	ENTRADA DE CONTROL DE INTERRUPCION
IEO	SALIDA DE HABILITADOR DE INTERRUPCION  IEI E IEO FORMAN UNA CONEXION "DAISY CHAIN" PARA CONTROL DE PRIORIDAD DE INTERRUPCION.
$\overline{INT}$	SOLICITUD DE INTERRUPCION (SALIDA)
$\overline{RESET}$	SENAL DE INICIALIZACION PARA TODOS LOS CANALES DE CONTEO Y PARA LIMPIAR LOS BITS DE HABILITACION DE INTERRUPCION DEL CANAL EN TODOS LOS REGISTROS DE CONTROL. DURANTE EL TIEMPO DE INICIALIZACION, ZC/TOO-2 E $\overline{INT}$ VAN A LOS ESTADOS INACTIVOS. IEO REFLEJA EL ESTADO IEI Y LAS SALIDAS DEL "BUS" DE DATOS VAN AL ESTADO DE ALTA IMPEDANCIA (ENTRADA).

## DIAGRAMAS DE TIEMPO

## CICLO DE ESCRITURA.

AQUI ESTA ILUSTRADA LA SINCRONIZACION PARA LA CARGA DE UNA PALABRA DE CONTROL DEL CANAL, DE LA CONSTANTE DE TIEMPO Y DEL VECTOR DE INTERRUPCION. PARA LA ESCRITURA NINGUN OTRO ESTADO DE ESPERA ES PERMITIDO ADEMAS DEL INSERTADO AUTOMATICAMENTE (TW), YA QUE EL CTC NO RECIBE UNA SENAL ESPECIFICA DE ESCRITURA; INTERNAMENTE GENERA LA SUYA PROPIA EN LA AUSENCIA DE UNA SENAL DE RD.

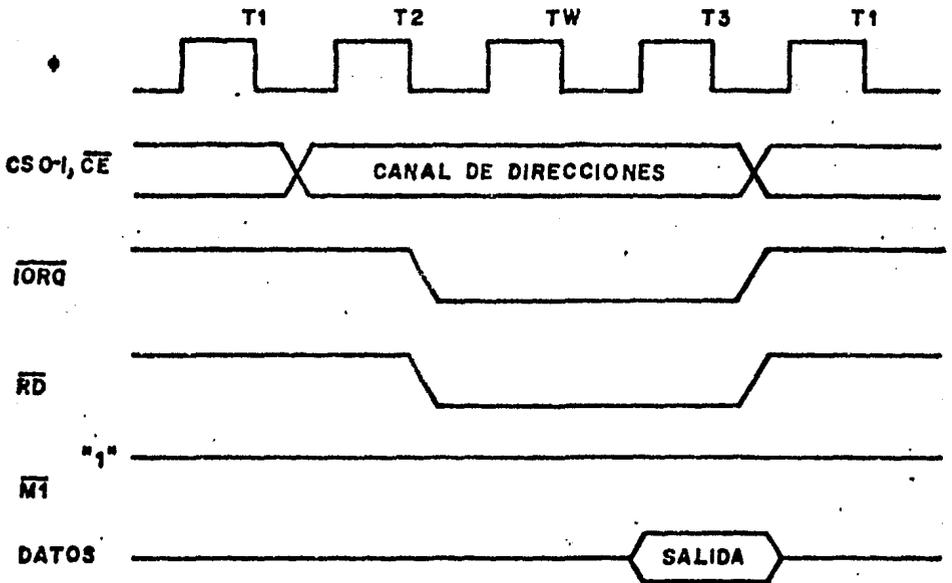
## CICLO DE ESCRITURA CTC



### CICLO DE LECTURA.

AQUI ESTA ILUSTRADA LA SINCRONIZACION PARA LA LECTURA DEL CONTADOR DESCENDENTE DEL CANAL EN MODO CONTADOR. EL VALOR LEIDO EN EL "BUS" DE DATOS REFLEJA EL NUMERO DE FLANCOS DE SUBIDA DEL RELOJ EXTERNO ANTERIOR AL FLANCO DE SUBIDA DEL CICLO (T2). NINGUN OTRO CICLO DE ESPERA ES PERMITIDO PARA LA LECTURA, ADEMAS DEL INSERTADO AUTOMATICAMENTE (TW).

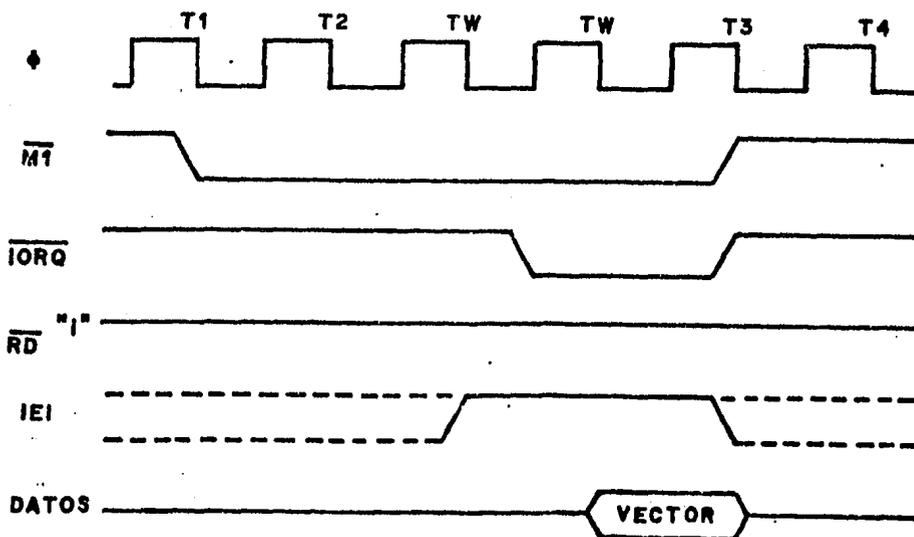
### CICLO DE LECTURA CTC



## CICLO DE RECONOCIMIENTO DE INTERRUPCION

UN TIEMPO DESPUES DE UNA INTERRUPCION REQUERIDA POR EL CTC, EL CPU ENVIARA UN RECONOCIMIENTO DE INTERRUPCION ( $\overline{M1}$  E  $\overline{IORQ}$ ). DURANTE ESTE TIEMPO LA LOGICA DE INTERRUPCION DETERMINARA EL CANAL DE MAS ALTA PRIORIDAD QUE ESTA REQUIRIENDO UNA INTERRUPCION. PARA ASEGURAR QUE LAS LINEAS DE HABILITACION DEL "DAISY CHAIN" SE ESTABILICEN, LOS CANALES SON INHIBIDOS DE CAMBIAR SU ESTADO DE REQUERIMIENTO DE INTERRUPCION CUANDO  $\overline{M1}$  ES ACTIVO. SI EL IEI DEL CTC ES ACTIVO, ENTONCES EL CANAL DE MAS ALTA PRIORIDAD COLOCA EL CONTENIDO DE SU REGISTRO DEL VECTOR DE INTERRUPCION EN EL "BUS" DE DATOS CUANDO  $\overline{IORQ}$  SE ACTIVA. SON PERMITIDOS CICLOS DE ESPERA ADICIONALES.

## CICLO DE RECONOCIMIENTO DE INTERRUPCION CTC

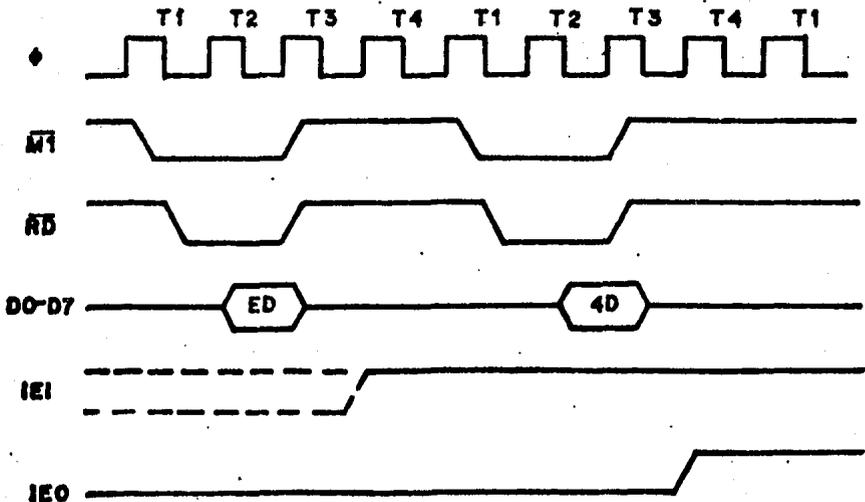


## CICLO DE REGRESO DE INTERRUPCION.

SI UN DISPOSITIVO PERIFERICO NO TIENE INTERRUPCION PENDIENTE Y NO ESTA BAJO SERVICIO, ENTONCES SU IEO = IEI. SI TIENE UNA INTERRUPCION BAJO SERVICIO (ES DECIR, YA HA INTERRUMPIDO Y RECIBIDO RECONOCIMIENTO DE LA MISMA) ENTONCES SU IEO ES SIEMPRE BAJA, INHIBIENDO LOS CIRCUITOS INTEGRADOS DE MAS BAJA PRIORIDAD DE INTERRUPCION. SI TIENE UNA INTERRUPCION PENDIENTE, LA CUAL TODAVIA NO HA SIDO RECONOCIDA, IEO SERA BAJA A MENOS QUE UN "ED" SEA DECODIFICADO COMO EL PRIMER BYTE DE UN CODIGO DE OPERACION DE 2 BYTES. EN ESTE CASO, IEO SERA ALTO HASTA QUE EL SIGUIENTE BYTE DEL CODIGO DE OPERACION ES DECODIFICADO, DESPUES DE LO CUAL SERA NUEVAMENTE BAJO. SI EL SEGUNDO BYTE FUE UN "4D" ENTONCES SE TRATABA DE UNA INSTRUCCION RETI.

DESPUES DE QUE UN CODIGO DE OPERACION ES DECODIFICADO, UNICAMENTE EL DISPOSITIVO PERIFERICO EL CUAL HA INTERRUMPIDO Y ESTA BAJO SERVICIO, TENDRA SU IEI ALTA Y SU IEO BAJA. ESTE DISPOSITIVO ES EL DE MAS ALTA PRIORIDAD EN EL "DAISY CHAIN" EL CUAL HA RECIBIDO RECONOCIMIENTO DE INTERRUPCION. TODOS LOS OTROS PERIFERICOS TIENEN IEI=IEO. SI EL SIGUIENTE BYTE DEL CODIGO DE OPERACION DECODIFICADO ES "4D" ESTE DISPOSITIVO LIMPIARA SU CONDICION DE INTERRUPCION BAJO SERVICIO. EN LOS CICLOS MI SON PERMITIDOS ESTADOS DE ESPERA.

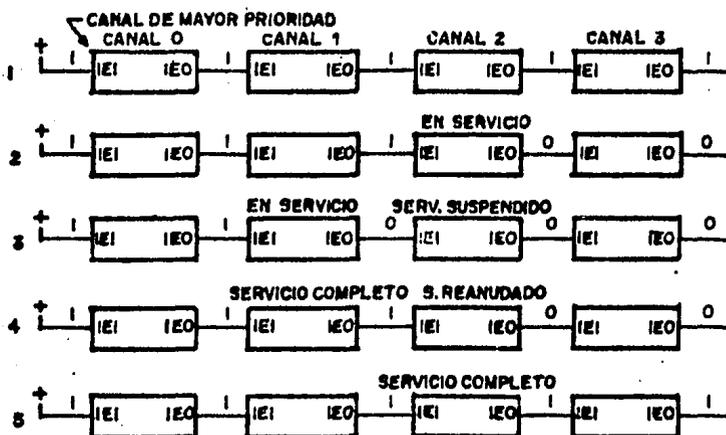
## CICLO DE REGRESO DE INTERRUPCION



## SERVICIOS DE INTERRUPCION "DAISY CHAIN".

AQUI SE ENCUENTRA ILUSTRADA UNA TIPICA SECUENCIA DE INTERRUPCION ANIDADA LA CUAL PUEDE OCURRIR EN EL CTC. EN ESTA SECUENCIA EL CANAL 2 INTERRUMPE Y LE ES OTORGADO EL SERVICIO. MIENTRAS QUE EL CANAL 2 ESTA SIENDO ATENDIDO, EL CANAL 1 QUE ES DE MAS ALTA PRIORIDAD, INTERRUMPE Y RECIBE EL SERVICIO SOLICITADO. LA RUTINA PARA EL CANAL 1 ES COMPLETADA Y UNA INSTRUCCION RETI ES EJECUTADA PARA INDICAR A DICHO CANAL QUE SU RUTINA HA TERMINADO. EN ESTE TIEMPO CONTINUA LA RUTINA DE SERVICIO DEL CANAL 2 DE MAS BAJA PRIORIDAD.

## SERVICIO DE INTERRUPCION "DAISY CHAIN"

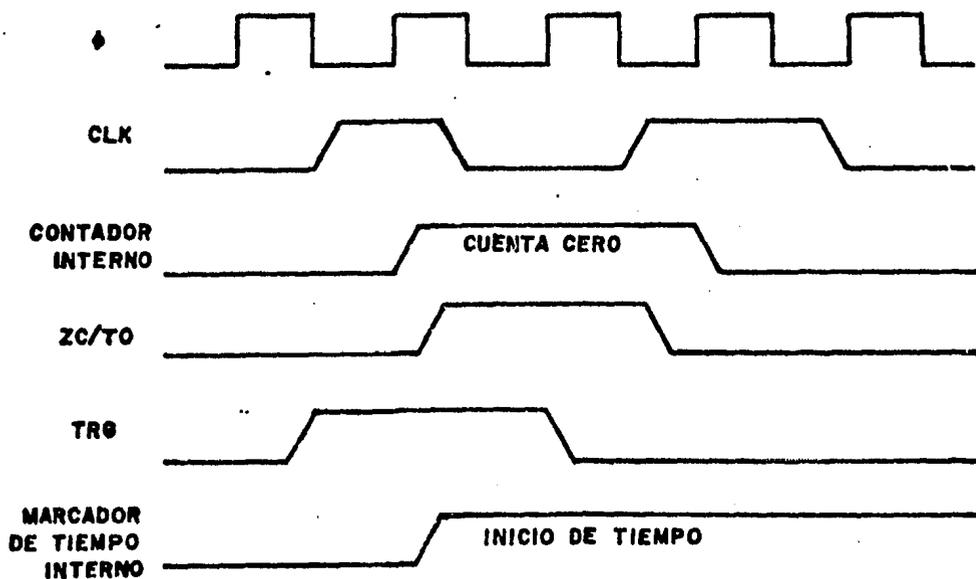


## MODOS DE CONTEO Y MARCADOR DE TIEMPO.

EN EL MODO CONTADOR EL FLANCO DE SUBIDA O BAJADA DE LA ENTRADA CLK CAUSA UN DECREMENTO EN EL CONTADOR. ESTE FLANCO ES DETECTADO TOTALMENTE ASINCRONO Y DEBE TENER UN ANCHO MINIMO DE PULSO. SIN EMBARGO, EL CONTADOR ESTA SINCRONIZADO CON EL RELOJ DEL SISTEMA (Ø) Y POR LO TANTO DEBE ALCANZARSE UN TIEMPO DE ESTABILIZACION, CUANDO SE DESEA TENER EL CONTADOR DECREMENTADO POR EL SIGUIENTE FLANCO DE SUBIDA DE Ø.

EN EL MODO MARCADOR DE TIEMPO EL DIVISOR PUEDE SER HABILITADO POR UN FLANCO DE SUBIDA O BAJADA EN LA ENTRADA TRG. COMO EN EL MODO CONTADOR, EL FLANCO ES DETECTADO TOTALMENTE ASINCRONO Y DEBE TENER UN ANCHO MINIMO DE PULSO. SIN EMBARGO CUANDO EL CONTEO ES INICIADO CON RESPECTO AL SIGUIENTE FLANCO DE SUBIDA DE  $\emptyset$ , DEBE ALCANZARSE UN TIEMPO DE ESTABILIZACION. EL DIVISOR CUENTA FLANCOS DE SUBIDA DE  $\emptyset$ .

### MODOS DE CONTADOR Y MARCADOR DE TIEMPO CTC:

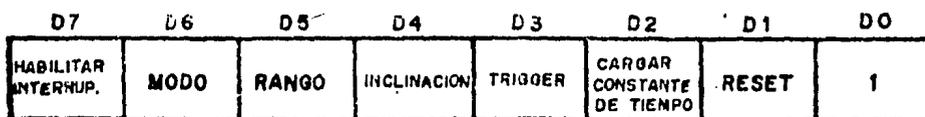


### PROGRAMACION DEL CTC

SELECCIONANDO UN MODO DE OPERACION.

CUANDO SE SELECCIONA UN MODO DE OPERACION DE UN CANAL, EL BIT 0 ES UN 1 PARA INDICAR QUE ESTA PALABRA DEBE SER GUARDADA EN EL REGISTRO DE CONTROL DEL CANAL.

## REGISTRO DE CONTROL DE CANAL



USADOS SOLO EN MODO MARCADOR DE TIEMPO

- BIT 7 = 0 DESHABILITAR INTERRUPTACION DEL CANAL  
 BIT 7 = 1 HABILITAR INTERRUPTACION DEL CANAL PARA OCURRIR CADA VEZ QUE EL CONTADOR DESCENDENTE ALCANZA UN CONTEO DE CERO.
- BIT 6 = 0 MODO MARCADOR DE TIEMPO. EL CONTADOR DESCENDENTE ES DECREMENTADO POR EL DIVISOR. EL PERIODO DE CONTEO ES  $t_c \cdot P \cdot TC$   
 $t_c$  = PERIODO DEL RELOJ DEL SISTEMA  
 $P$  = DIVISION POR 16 O 256  
 $TC$  = CONSTANTE DE TIEMPO PROGRAMABLE BINARIA DE 8 BITS (256 MAXIMA)
- BIT 6 = 1 MODO CONTADOR. EL CONTADOR DESCENDENTE ES DECREMENTADO POR UNA SENAL EXTERNA DE RELOJ. EL DIVISOR NO ES USADO.
- BIT 5 = 0 SOLAMENTE EN MODO MARCADOR DE TIEMPO. EL RELOJ DEL SISTEMA ES DIVIDIDO POR 16.
- BIT 5 = 1 SOLAMENTE EN MODO MARCADOR DE TIEMPO. EL RELOJ DEL SISTEMA ES DIVIDIDO POR 256.
- BIT 4 = 0 MODO MARCADOR DE TIEMPO: UNA SENAL DE DISPARO DE FLANCO NEGATIVO EMPIEZA LA OPERACION.  
 MODO CONTADOR: UN FLANCO POSITIVO DECREMENTA EL CONTADOR DESCENDENTE.

- BIT 4 = 1** MODO MARCADOR DE TIEMPO: UNA SENAL DE DISPARO DE FLANCO POSITIVO EMPIEZA LA OPERACION.  
MODO CONTADOR: UN FLANCO POSITIVO DECREMENTA EL CONTADOR DESCENDENTE.
- BIT 3 = 0** SOLAMENTE MODO MARCADOR DE TIEMPO. LA OPERACION COMIENZA CON EL FLANCO DE BAJADA DE T2 DEL CICLO DE MAQUINA SIGUIENTE AL QUE CARGA LA CONSTANTE DE TIEMPO.
- BIT 3 = 1** SOLAMENTE MODO MARCADOR DE TIEMPO. UNA SENAL DE DISPARO EXTERNA ES VALIDA PARA EMPEZAR LA OPERACION DESPUES DEL FLANCO DE BAJADA DEL CICLO DE MAQUINA SIGUIENTE AL QUE CARGA LA CONSTANTE DE TIEMPO. EL DIVISOR ES DECREMENTADO DOS CICLOS DE RELOJ DESPUES DE QUE SE ALCANZA EL TIEMPO DE ESTABILIZACION, DE OTRA FORMA SE DECREMENTA DESPUES DE TRES CICLOS DE RELOJ.
- BIT 2 = 0** NINGUNA CONSTANTE DE TIEMPO SEGUIRA A LA PALABRA DE CONTROL DEL CANAL. UNA CONSTANTE DE TIEMPO DEBE SER ESCRITA EN ESTE PARA INICIAR LA OPERACION.
- BIT 2 = 1** LA CONSTANTE DE TIEMPO PARA EL CONTADOR DESCENDENTE SERA LA SIGUIENTE PALABRA ESCRITA PARA EL CANAL SELECCIONADO. SI UNA CONSTANTE DE TIEMPO ES CARGADA MIENTRAS UN CANAL ESTA CONTANDO, EL PRESENTE CONTEO SERA COMPLETADO ANTES DE QUE ESTA NUEVA CONSTANTE SEA CARGADA DENTRO DEL CONTADOR DESCENDENTE.
- BIT 1 = 0** EL CANAL CONTINUA CONTANDO
- BIT 1 = 1** PARAR LA OPERACION. SI EL BIT 2 = 1 EL CANAL RESUMIRA LA OPERACION DESPUES DE CARGAR UNA CONSTANTE DE TIEMPO; DE OTRO MODO UNA NUEVA PALABRA DE CONTROL DEBE SER CARGADA.

## CARGANDO UNA CONSTANTE DE TIEMPO.

UNA CONSTANTE DE TIEMPO DE 8 BITS ES CARGADA DENTRO DEL REGISTRO CORRESPONDIENTE, DESPUES DE UNA PALABRA DE CONTROL DEL CANAL CON EL BIT 2 = 1. TODOS LOS BITS EN CERO INDICAN UNA CONSTANTE DE TIEMPO DE 256.

## REGISTRO DE CONSTANTE DE TIEMPO

D7	D6	D5	D4	D3	D2	D1	D0
TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0

## CARGANDO UN VECTOR DE INTERRUPCION.

EL CPU REQUIERE QUE UN VECTOR DE INTERRUPCION SEA PROVISTO POR EL CANAL QUE ESTE INTERRUPTIENDO, FORMANDO ASI LA DIRECCION PARA LA RUTINA DE SERVICIO DEL CANAL USANDO ESTE VECTOR. DURANTE UN CICLO DE RECONOCIMIENTO DE INTERRUPCION EL VECTOR ES COLOCADO EN EL "BUS" DE DATOS POR EL CANAL DE MAS ALTA PRIORIDAD, REQUIRIENDO SERVICIO EN ESTE TIEMPO. EL VECTOR DE INTERRUPCION DESEADO ES CARGADO DENTRO DEL CTC ESCRIBIENDO DENTRO DEL CANAL CERO CON UN 0 EN D0. D7-D3 CONTIENEN EL MENCIONADO VECTOR, D2 Y D1 NO SON USADOS EN LA CARGA DEL MISMO. CUANDO EL CTC RESPONDE A UN RECONOCIMIENTO DE INTERRUPCION ESOS DOS BITS CONTIENEN EL CODIGO BINARIO DEL CANAL DE MAS ALTA PRIORIDAD EL CUAL REQUIERE LA INTERRUPCION Y D0 CONTIENE UN CERO YA QUE LA DIRECCION DE LA RUTINA DE SERVICIO COMIENZA CON UN BYTE PAR. EL CANAL CERO TIENE LA MAS ALTA PRIORIDAD.

## VECTOR DE INTERRUPCION C T C

D7	D6	D5	D4	D3	D2	D1	D0
V7	V6	V5	V4	V3	X	X	0

0	0	CANAL 0
0	1	CANAL 1
1	0	CANAL 2
1	1	CANAL 3

NEMONICOS	CODIGOS	NEMONICOS	CODIGOS
ADC A, (HL)	8E	BIT 0, (IX+D)	DDCB0546
ADC A, (IX+D)	DD8E05	BIT 0, (IY+D)	FDCB0546
ADC A, (IY+D)	FD8E05	BIT 0, A	CB47
ADC A, A	8F	BIT 0, B	CB40
ADC A, U	88	BIT 0, C	CB41
ADC A, C	89	BIT 0, D	CB42
ADC A, D	8A	BIT 0, E	CB43
ADC A, F	8B	BIT 0, H	CB44
ADC A, H	8C	BIT 0, L	CB45
ADC A, L	8D	BIT 1, (HL)	CB4E
ADC A, N	CE20	BIT 1, (IX+D)	DDCB054E
ADC HL, BC	ED4A	BIT 1, (IY+D)	FDCB054E
ADC HL, DE	ED5A	BIT 1, A	CB4F
ADC HL, HL	ED6A	BIT 1, B	CB48
ADC HL, SP	ED7A	BIT 1, C	CB49
ADD A, (HL)	86	BIT 1, D	CB4A
ADD A, (IX+D)	DD8605	BIT 1, E	CB4B
ADD A, (IY+D)	FD8605	BIT 1, H	CB4C
ADD A, A	87	BIT 1, L	CB4D
ADD A, B	80	BIT 2, (HL)	CB56
ADD A, C	81	BIT 2, (IX+D)	DDCB0556
ADD A, D	82	BIT 2, (IY+D)	FDCB0556
ADD A, E	83	BIT 2, A	CB57
ADD A, H	84	BIT 2, B	CB50
ADD A, L	85	BIT 2, C	CB51
ADD A, N	C620	BIT 2, D	CB52
ADD HL, BC	09	BIT 2, E	CB53
ADD HL, DE	19	BIT 2, H	CB54
ADD HL, HL	29	BIT 2, L	CB55
ADD HL, SP	39	BIT 3, (HL)	CB5E
ADD IX, BC	DD09	BIT 3, (IX+D)	DDCB055E
ADD IX, DE	DD19	BIT 3, (IY+D)	FDCB055E
ADD IX, IX	DD29	BIT 3, A	CB5F
ADD IX, SP	DD39	BIT 3, B	CB58
ADD IY, BC	FD09	BIT 3, C	CB59
ADD IY, DE	FD19	BIT 3, D	CB5A
ADD IY, IY	FD29	BIT 3, E	CB5B
ADD IY, SP	FD39	BIT 3, H	CB5C
AND (HL)	A6	BIT 3, L	CB5D
AND (IX+D)	DDA605	BIT 4, (HL)	CB66
AND (IY+D)	FDA605	BIT 4, (IX+D)	DDCB0566
AND A	A7	BIT 4, (IY+D)	FDCB0566
AND B	A0	BIT 4, A	CB67
AND C	A1	BIT 4, B	CB60
AND D	A2	BIT 4, C	CB61
AND E	A3	BIT 4, D	CB62
AND H	A4	BIT 4, E	CB63
AND L	A5	BIT 4, H	CB64
AND N	E620	BIT 4, L	CB65
BIT 0, (HL)	CB46	BIT 5, (HL)	CB6E

NEMONICOS	CODIGOS	NEMONICOS	CODIGOS
BIT 5, (IX+D)	DDCB056E	CPD	EDA9
BIT 5, (IY+D)	FDCB056E	CPDR	EDB9
BIT 5,A	CB6F	CPI	EDA1
BIT 5,B	CB6B	CPIR	EDB1
BIT 5,C	CB69	CPL	2F
BIT 5,D	CB6A	DAA	27
BIT 5,E	CB6B	DEC (HL)	35
BIT 5,H	CB6C	DEC (IX+D)	DD3505
BIT 5,L	CB6D	DEC (IY+D)	FD3505
BIT 6, (HL)	CB76	DEC A	3D
BIT 6, (IX+D)	DDCB0576	DEC B	05
BIT 6, (IY+D)	FDCB0576	DEC BC	0B
BIT 6,A	CB77	DEC C	0D
BIT 6,B	CB70	DEC D	15
BIT 6,C	CB71	DEC DE	1B
BIT 6,D	CB72	DEC E	1D
BIT 6,E	CB73	DEC H	25
BIT 6,H	CB74	DEC HL	2B
BIT 6,L	CB75	DEC IX	DD2B
BIT 7, (HL)	CB7E	DEC IY	FD2B
BIT 7, (IX+D)	DDCB057E	DEC L	2D
BIT 7, (IY+D)	FDCB057E	DEC SP	3B
BIT 7,A	CB7F	DI	F3
BIT 7,B	CB7B	DJNZ DIS	102E
BIT 7,C	CB79	E1	FB
BIT 7,D	CB7A	EX (SP), HL	E3
BIT 7,E	CB7B	EX (SP), IX	DDE3
BIT 7,H	CB7C	EX (SP), IY	FDE3
BIT 7,L	CB7D	EX AF, AF'	0B
CALL C, NN	DCB405	EX DE, HL	EB
CALL M, NN	FCB405	EXX	D9
CALL NC, NN	D4B405	HALT	76
CALL NN	CDB405	IM 0	ED46
CALL NZ, NN	C4B405	IM 1	ED56
CALL P, NN	F4B405	IM 2	ED5E
CALL PE, NN	ECB405	IN A, (C)	ED7B
CALL PO, NN	E4B405	IN A, (N)	DB20
CALL Z, NN	CCB405	IN B, (C)	ED40
CCF	3F	IN C, (C)	ED4B
CP (HL)	BE	IN D, (C)	ED50
CP (IX+D)	DDBE05	IN E, (C)	ED5B
CP (IY+D)	FDDE05	IN H, (C)	ED60
CP A	BF	IN L, (C)	ED6B
CP B	B9	INC (HL)	34
CP C	B9	INC (IX+D)	DD3405
CP D	BA	INC (IY+D)	FD3405
CP E	BB	INC A	3C
CP H	BC	INC B	04
CP L	BD	INC B	03
CP N	FE20	INC C	0C

NEMONICOS	CODIGOS	NEMONICOS	CODIGOS
INC D	14	LD (IY+D),C	FD7105
INC DE	13	LD (IY+D),D	FD7205
INC E	1C	LD (IY+D),E	FD7305
INC H	24	LD (IY+D),H	FD7405
INC HL	23	LD (IY+D),L	FD7505
INC IX	DD23	LD (IY+D),N	FD360520
INC IY	FD23	LD (NN),A	328405
INC L	2C	LD (NN),BC	ED438405
INC SP	33	LD (NN),DE	ED538405
IND	EDAA	LD (NN),HL	228405
INDR	EDBA	LD (NN),IX	DD228405
INI	EDA2	LD (NN),IY	FD228405
INIR	EDB2	LD (NN),SP	ED738405
JP (HL)	E9	LD A,(BC)	0A
JP (IX)	DDE9	LD A,(DE)	1A
JP (IY)	FDE9	LD A,(HL)	7E
JP C,NN	DAB405	LD A,(IX+D)	DD7E05
JP M,NN	FAB405	LD A,(IY+D)	FD7E05
JP NC,NN	D28405	LD A,(NN)	3AB405
JP NN	C38405	LD A,A	7F
JP NZ,NN	C28405	LD A,B	78
JP P,NN	F28405	LD A,C	79
JP PE,NN	EAB405	LD A,D	7A
JP PO,NN	E28405	LD A,E	7B
JP Z,NN	CAB405	LD A,H	7C
JRC, E	382E	LD A,I	ED57
JR, E	182E	LD A,L	7D
JRNC, E	302E	LD A,N	3E20
JRNZ, E	202E	LD A,R	ED5F
JRZ, E	282E	LD B,(HL)	46
LD (BC),A	02	LD B,(IX+D)	DD4605
LD (DE),A	12	LD B,(IY+D)	FD4605
LD (HL),A	77	LD B,A	47
LD (HL),B	70	LD B,B	40
LD (HL),C	71	LD B,C	41
LD (HL),D	72	LD B,D	42
LD (HL),E	73	LD B,E	43
LD (HL),H	74	LD B,H,NN	44
LD (HL),L	75	LD B,L	45
LD (HL),N	3620	LD B,N	0620
LD (IX+D),A	DD7705	LD BC,(NN)	ED488405
LD (IX+D),B	DD7005	LD BC,NN	018405
LD (IX+D),C	DD7105	LD C,(HL)	4E
LD (IX+D),D	DD7205	LD C,(IX+D)	DD4E05
LD (IX+D),E	DD7305	LD C,(IY+D)	FD4E05
LD (IX+D),H	DD7405	LD C,A	4F
LD (IX+D),L	DD7505	LD C,B	48
LD (IX+D),N	DD360520	LD C,C	49
LD (IY+D),A	FD7705	LD C,D	4A
LD (IY+D),B	FD7005	LD C,E	4B

NEMONICOS	CODIGOS	NEMONICOS	CODIGOS
LD C,H	4C	LD L,C	69
LD C,L	4D	LD L,D	6A
LD C,N	0E20	LD L,E	6B
LD D,(HL)	56	LD L,H	6C
LD D,(IX+D)	DD5605	LD L,L	6D
LD D,(IY+D)	FD5605	LD L,N	2E20
LD D,A	57	LD SP,(NN)	ED7B8405
LD D,B	50	LD SP,HL	F9
LD D,C	51	LD SP,IX	DDF9
LD D,D	52	LD SP,IY	FDF9
LD D,E	53	LD SP,NN	318405
LD D,H	54	LDD	EDAB
LD D,L	55	LDDR	EDBB
LD D,N	1620	LDI	EDA0
LD DE,(NN)	ED5B8405	LDIR	EDB0
LD DE,NN	118405	NEG	ED44
LD E,(HL)	5E	NOP	00
LD E,(IX+D)	DD5E05	OR (HL)	B6
LD E,(IY+D)	FD5E05	OR (IX+D)	DDB605
LD E,A	5F	OR (IY+D)	FDB605
LD E,B	58	OR A	B7
LD E,C	59	OR B	B0
LD E,D	5A	OR C	B1
LD E,E	5B	OR D	B2
LD E,H	5C	OR E	B3
LD E,L	5D	OR H	B4
LD E,N	1E20	OR L	B5
LD H,(HL)	66	OR N	F620
LD H,(IX+D)	DD6605	OTDR	EDBB
LD H,(IY+D)	FD6605	OTIR	EDB3
LD H,A	67	OUT (C),A	ED79
LD H,B	60	OUT (C),B	ED41
LD H,C	61	OUT (C),C	ED49
LD H,D	62	OUT (C),D	ED51
LD H,E	63	OUT (C),E	ED59
LD H,H	64	OUT (C),H	ED61
LD H,L	65	OUT (C),L	ED69
LD H,N	2620	OUT (N),A	D320
LD HL,(NN)	2AB405	OUTD	EDAB
LD HL,NN	218405	OUTI	EDA3
LD I,A	ED47	POP AF	F1
LD IX,(NN)	DD2AB405	POP BC	C1
LD IX,NN	DD218405	POP DE	D1
LD IY,(NN)	FD2AB405	POP HL	E1
LD IY,NN	FD218405	POP IX	DDE1
LD L,(HL)	6E	POP IY	FDE1
LD L,(IX+D)	DD6E05	PUSH AF	F5
LD L,(IY+D)	FD6E05	PUSH BC	C5
LD L,A	6F	PUSH DE	D5
LD L,B	68	PUSH HL	E5

NEMONICOS	CODIGOS	NEMONICOS	CODIGOS
PUSH IX	DDE5	RES 4,H	CBA4
PUSH IY	FDES	RES 4,L	CBA5
RES 0,(HL)	CB86	RES 5,(HL)	CBAE
RES 0,(IX+D)	DDCB0586	RES 5,(IX+D)	DDCB05AE
RES 0,(IY+D)	FDCB0586	RES 5,(IY+D)	FDCB05AE
RES 0,A	CB87	RES 5,A	CBAF
RES 0,B	CB88	RES 5,B	CBA8
RES 0,C	CB89	RES 5,C	CBA9
RES 0,D	CB8A	RES 5,D	CBAA
RES 0,E	CB8B	RES 5,E	CBA8
RES 0,H	CB84	RES 5,H	CBAC
RES 0,L	CB85	RES 5,L	CBAD
RES 1,(HL)	CB8E	RES 6,(HL)	CB86
RES 1,(IX+D)	DDCB058E	RES 6,(IX+D)	DDCB0586
RES 1,(IY+D)	FDCB058E	RES 6,(IY+D)	FDCB0586
RES 1,A	CB8F	RES 6,A	CB87
RES 1,B	CB88	RES 6,B	CB88
RES 1,C	CB89	RES 6,C	CB89
RES 1,D	CB8A	RES 6,D	CB82
RES 1,E	CB8B	RES 6,E	CB83
RES 1,H	CB8C	RES 6,H	CB84
RES 1,L	CB8D	RES 6,L	CB85
RES 2,(HL)	CB96	RES 7,(HL)	CB8E
RES 2,(IX+D)	DDCB0596	RES 7,(IX+D)	DDCB058E
RES 2,(IY+D)	FDCB0596	RES 7,(IY+D)	FDCB058E
RES 2,A	CB97	RES 7,A	CB8F
RES 2,B	CB98	RES 7,B	CB88
RES 2,C	CB91	RES 7,C	CB89
RES 2,D	CB92	RES 7,D	CB8A
RES 2,E	CB93	RES 7,E	CB88
RES 2,H	CB94	RES 7,H	CB8C
RES 2,L	CB95	RES 7,L	CB8D
RES 3,(HL)	CB9E	RET	C9
RES 3,(IX+D)	DDCB059E	RET C	D8
RES 3,(IY+D)	FDCB059E	RET M	F8
RES 3,A	CB9F	RET NC	D0
RES 3,B	CB98	RET NZ	C0
RES 3,C	CB99	RET P	F0
RES 3,D	CB9A	RET PE	E8
RES 3,E	CB9B	RET PO	E0
RES 3,H	CB9C	RET Z	C8
RES 3,L	CB9D	RETI	ED4D
RES 4,(HL)	CBA6	RETN	ED45
RES 4,(IX+D)	DDCB05A6	RL (HL)	CB16
RES 4,(IY+D)	FDCB05A6	RL (IX+D)	DDCB0516
RES 4,A	CBA7	RL (IY+D)	FDCB0516
RES 4,B	CBA0	RL A	CB17
RES 4,C	CBA1	RL B	CB10
RES 4,D	CBA2	RL C	CB11
RES 4,E	CBA3	RL D	CB12

NEMONICOS	CODIGOS	NEMONICOS	CODIGOS
RL E	CB13	SBC A,A	9F
RL H	CB14	SBC A,B	9B
RL L	CB15	SBC A,C	99
RLA	17	SBC A,D	9A
RLC (HL)	CB06	SBC A,E	9B
RLC (IX+D)	DDCB0506	SBC A,H	9C
RLC (IY+D)	FDCB0506	SBC A,L	9D
RLC A	CB07	SBC A,N	DE20
RLC B	CB00	SBC HL,BC	ED42
RLC C	CB01	SBC HL,DE	ED52
RLC D	CB02	SBC HL,HL	ED62
RLC E	CB03	SBC HL,SP	ED72
RLC H	CB04	SCF	37
RLC L	CB05	SET 0,(HL)	CBC6
RLCA	07	SET 0,(IX+D)	DDCB05C6
RLD	ED6F	SET 0,(IY+D)	FDCB05C6
RR (HL)	CB1E	SET 0,A	CBC7
RR (IX+D)	DDCB051E	SET 0,B	CBC0
RR (IY+D)	FDCB051E	SET 0,C	CBC1
RR A	CB1F	SET 0,D	CBC2
RR B	CB18	SET 0,E	CBC3
RR C	CB19	SET 0,H	CBC4
RR D	CB1A	SET 0,L	CBC5
RR E	CB1B	SET 1,(HL)	CBC6
RR H	CB1C	SET 1,(IX+D)	DDCB05CE
RR L	CB1D	SET 1,(IY+D)	FDCB05CE
RAA	1F	SET 1,A	CBCF
RRC (HL)	CB0E	SET 1,B	CBC8
RRC (IX+D)	DDCB050E	SET 1,C	CBC9
RRC (IY+D)	FDCB050E	SET 1,D	CBCA
RRC A	CB0F	SET 1,E	CBCB
RRC B	CB08	SET 1,H	CBCD
RRC C	CB09	SET 1,L	CBCD
RRC D	CB0A	SET 2,(HL)	CBD6
RRC E	CB0B	SET 2,(IX+D)	DDCB05D6
RRC H	CB0C	SET 2,(IY+D)	FDCB05D6
RRC L	CB0D	SET 2,A	CBD7
RRCA	0F	SET 2,B	CBD0
RRD	ED67	SET 2,C	CBD1
RST 0	C7	SET 2,D	CBD2
RST 0BH	CF	SET 2,E	CBD3
RST 10H	D7	SET 2,H	CBD4
RST 1BH	DF	SET 2,L	CBD5
RST 20H	E7	SET 3,(HL)	CBD6
RST 2BH	EF	SET 3,(IX+D)	DDCB05DE
RST 30H	F7	SET 3,(IY+D)	FDCB05DE
RST 3BH	FF	SET 3,A	CBD7
SBC A,(HL)	9E	SET 3,B	CBD8
SBC A,(IX+D)	DD9E05	SET 3,C	CBD9
SBC A,(IY+D)	FD9E05	SET 3,D	CBDA

NEMONICOS	CODIGOS	NEMONICOS	CODIGOS
SET 3,E	CBDB	SLA E	CB23
SET 3,H	CBDC	SLA H	CB24
SET 3,L	CBDD	SLA L	CB25
SET 4,(HL)	CBE6	SRA (HL)	CB2E
SET 4,(IX+D)	DDCB05E6	SRA (IX+D)	DDCB052E
SET 4,(IY+D)	FDCB05E6	SRA (IY+D)	FDCB052E
SET 4,A	CBE7	SRA A	CB2F
SET 4,B	CBE0	SRA B	CB2B
SET 4,C	CBE1	SRA C	CB29
SET 4,D	CBE2	SRA D	CB2A
SET 4,E	CBE3	SRA E	CB2B
SET 4,H	CBE4	SRA H	CB2C
SET 4,L	CBE5	SRA L	CB2D
SET 5,(HL)	CBEE	SRL (HL)	CB3E
SET 5,(IX+D)	DDCB05EE	SRL (IX+D)	DDCB053E
SET 5,(IY+D)	FDCB05EE	SRL (IY+D)	FDCB053E
SET 5,A	CBEF	SRL A	CB3F
SET 5,B	CBEB	SRL B	CB3B
SET 5,C	CBE9	SRL C	CB39
SET 5,D	CBEA	SRL D	CB3A
SET 5,E	CBEB	SRL E	CB3B
SET 5,H	CBEC	SRL H	CB3C
SET 5,L	CBED	SRL L	CB3D
SET 6,(HL)	CBF6	SUB (HL)	96
SET 6,(IX+D)	DDCB05F6	SUB (IX+D)	DD9605
SET 6,(IY+D)	FDCB05F6	SUB (IY+D)	FD9605
SET 6,A	CBF7	SUB A	97
SET 6,B	CBF0	SUB B	90
SET 6,C	CBF1	SUB C	91
SET 6,D	CBF2	SUB D	92
SET 6,E	CBF3	SUB E	93
SET 6,H	CBF4	SUB H	94
SET 6,L	CBF5	SUB L	95
SET 7,(HL)	CBFE	SUB N	D620
SET 7,(IX+D)	DDCB05FE	XOR (HL)	AE
SET 7,(IY+D)	FDCB05FE	XOR (IX+D)	DDAE05
SET 7,A	CBFF	XOR (IY+D)	FDAE05
SET 7,B	CBF8	XOR A	AF
SET 7,C	CBF9	XOR B	AB
SET 7,D	CBFA	XOR C	A9
SET 7,E	CBFB	XOR D	AA
SET 7,H	CBFC	XOR E	AB
SET 7,L	CBFD	XOR H	AC
SLA (HL)	CB26	XOR L	AD
SLA (IX+D)	DDCB0526	XOR N	EE20
SLA (IY+D)	FDCB0526		
SLA A	CB27		
SLA B	CB20		
SLA C	CB21		
SLA D	CB22		

## REFERENCIAS

MOSTEK Z80 MICROCOMPUTER DEVICES  
TECHNICAL MANUAL  
MK 3880 CENTRAL PROCESSING UNIT  
TEXAS, USA; 1977

MOSTEK Z80 MICROCOMPUTER DEVICES  
TECHNICAL MANUAL  
MK 3881 PARALLEL I/O CONTROLLER  
TEXAS, USA; 1977

MOSTEK Z80 MICROCOMPUTER DEVICES  
TECHNICAL MANUAL  
MK 3882 COUNTER TIMER CIRCUIT  
TEXAS, USA; 1977

PROGRAMMING THE Z80  
RODNAY ZAKS  
SYBEX. CALIFORNIA, USA; 1980

THE TTL DATA BOOK FOR DESIGN ENGINEERS  
TEXAS INSTRUMENTS INC.  
TEXAS, USA; 1978

INTRODUCTION TO SWITCHING THEORY & LOGICAL DESIGN  
HILL AND PETERSON  
JOHN WILEY & SONS INC.  
NEW YORK, USA; 1979

MICROPROCESSORS. THEORY AND APPLICATIONS  
STREITMATTER AND FIORE  
PRENTICE-HALL CO.  
VIRGINIA, USA; 1982

CIENCIA Y DESARROLLO. COMPUTACION Y CAMBIO SOCIAL  
CONSEJO NACIONAL DE CIENCIA Y TECNOLOGIA  
ENERO-FEBRERO 1984/NUM. 54/ANO IX

SOFTWARE INTERPRETERS  
NATIONAL TECHNICAL INFORMATION SERVICE  
VIRGINIA USA; 1983

WORKSHOP ON MICROPROCESSORS AND EDUCATION  
PITTSBURG UNIV., PA. DEPT. OF ELECTRICAL ENGINEERING  
NATIONAL SCIENCE FOUNDATION  
WASHINGTON D.C USA; 1976

THE EFFECTS OF MICROPROCESSORS ON INDUSTRY, SOCIETY AND  
EMPLOYMENT  
HARRIS, N.D.C.  
SCIENCE AND TECHNOLOGY EDUCATION CENTER  
BATH UNIV., ENGLAND; 1979

EDUCATIONAL IMPLICATIONS OF MICROELECTRONICS AND  
MICROPROCESSORS  
HARRIS, N.D.C.  
SCIENCE AND TECHNOLOGY EDUCATION CENTER  
BATH UNIV., ENGLAND; 1979

INTERFACE DATA BOOK  
NATIONAL SEMICONDUCTOR  
CALIFORNIA, USA; 1980

MEMORY DATA BOOK  
NATIONAL SEMICONDUCTOR  
CALIFORNIA, USA; 1980

VOLTAGE REGULATOR HANDBOOK  
NATIONAL SEMICONDUCTOR  
CALIFORNIA, USA; 1982

LOGIC DATA BOOK  
NATIONAL SEMICONDUCTOR  
CALIFORNIA, USA; 1981

C MOS DATA BOOK  
NATIONAL SEMICONDUCTOR  
CALIFORNIA, USA; 1980

THE INTERFACE CIRCUITS DATA BOOK  
TEXAS INSTRUMENTS  
TEXAS, USA; 1981

THE OPTOELECTRONICS DATA BOOK  
TEXAS INSTRUMENTS  
TEXAS, USA; 1982

MICROCOMPUTER COMPONENTS  
ZILOG  
USA; 1980

MICROPROCESSOR AND DIGITAL COMPUTER TECHNOLOGY  
OLEKSY AND RUTKOWSKI  
PRENTICE HALL  
NEW JERSEY, USA; 1981

DESIGNING MICROPROCESSORS BASED INSTRUMENTATION  
JOSEPH J. CARR  
PRENTICE HALL  
VIRGINIA, USA; 1982