

24. 39

Universidad Nacional Autónoma de México

FACULTAD DE INGENIERIA

**DISEÑO Y CONSTRUCCION DE UN
CRONOMETRO DIGITAL PARA
OSCILOSCOPIO**

T E S I S

Que para obtener el Título de
INGENIERO MECANICO ELECTRICISTA
AREA: Ingeniería de Sistemas
Eléctricos y Electrónicos

P r e s e n t a n

RODOLFO R. CERVANTES RAMIREZ

NICOLAS GARDUÑO CALDERON

FCO. ALBERTO JIMENEZ COLIN

MIGUEL TORRES NOGUEZ



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE GENERAL

INTRODUCCION.....	Pág.	1
CAPITULO I.- DESCRIPCION GENERAL DEL DISEÑO.....		3
CAPITULO II.- GENERALIDADES SOBRE EL OSCILOSCOPIO.....		12
1.- Aspectos Fundamentales		13
2.- Generador de Barrido		20
3.- Canal "Z"		22
CAPITULO III.- FUENTE DE ALIMENTACION.....		25
1.- Introducción		26
2.- Transformador		28
3.- Rectificadores		32
4.- Filtro		36
5.- Regulador		37
6.- Disipador		40
7.- Cálculos		41
CAPITULO IV.- OSCILADOR.....		46
1.- Definición		47
2.- Condiciones de Oscilación		48
3.- Estabilidad		48
4.- Breve Análisis con Técnicas de Control		49
5.- Oscilador de Cristal		52
6.- Análisis del Circuito utilizado		58

CAPITULO V.- COMPARADOR.....	64
1.- Definición	65
2.- El Amplificador Operacional como Comparador	65
3.- Circuito utilizado	69
CAPITULO VI.- DISEÑO DE LOS CIRCUITOS SECUENCIALES.....	73
1.- Introducción	74
2.- Descripción de un Circuito Secuencial	75
3.- El Flip-Flop básico, Flip-Flops asíncronos y Flip-- Flops síncronos	77
4.- Tipos de Flip-Flops con reloj	82
5.- Diseño de un Circuito Secuencial	88
6.- Diseño de los Circuitos Secuenciales utilizados	94
CAPITULO VII.- LOGICA DE LA SEÑAL DE SALIDA.....	106
1.- Introducción	107
2.- Contador	107
3.- Descodificador	109
4.- Amplificador (Driver)	113
CAPITULO VIII.- CIRCUITOS COMPLEMENTARIOS AL DISEÑO.....	115
1.- Circuito de Sincronización	116
2.- Circuito Clear (Borrado)	117
3.- Circuito de Cambio de Frecuencia	118
4.- Circuito Indicador de Cambio de Escala	120

CAPITULO IX.- DIAGRAMAS.....	121
1.- Circuito Electrónico General	
2.- Chasis	
CONCLUSIONES.....	122
INFORMACION TECNICA.....	123
GLOSARIO DE TERMINOS.....	145
BIBLIOGRAFIA.....	149

INTRODUCCION

Los avances de la Electrónica Digital han logrado una aportación de gran trascendencia al desarrollo de los factores que rodean al hombre, como son el tecnológico y el científico y que se han proyectado en los campos de telecomunicación, computación, control, transportación, medición, etc.

Este progreso puede observarse en aparatos de medición, equipos de telefonía, radares, calculadoras, microprocesadores, etc.

El Trabajo aquí presentado trata del diseño y construcción de un CRONOMETRO DIGITAL PARA OSCILOSCOPIO; este dispositivo tiene como función medir intervalos de tiempo en una señal eléctrica. Normalmente, en un osciloscopio la obtención de estos intervalos en la señal se lleva a cabo mediante un cálculo visual, el cual se realiza de la siguiente manera:

- a) Lograr que la señal a medir esté en forma estática, para poder observarla con detenimiento.
- b) Establecer los límites a medir sobre la onda.
- c) Calcular el número de divisiones que comprende este intervalo.
- d) Finalmente el resultado se obtiene aplicando la siguiente relación:

$$\text{Número de divisiones} \times \text{Escala Seleccionada} = \text{TIEMPO}$$

Como puede observarse este procedimiento no es muy preciso ya que produce valores no muy exactos y por tanto depende más de la destreza visual del observador el obtener un resultado más confiable.

El CRONOMETRO DIGITAL realiza el procedimiento anteriormente descrito automáticamente, al detectar la diferencia en tiempo entre dos puntos de la señal a medir, lo cual se lleva a cabo por el conteo de pulsos de precisión durante dicho intervalo y que puede observarse en la pantalla del Osciloscopio por la intensificación de la señal en ese intervalo.

Esta característica generada en el dispositivo se controla mediante dos perillas de ajuste. El resultado de esta operación aparece en un desplegado de cuatro números de siete segmentos cada uno, habiendo establecido la escala previamente por medio de un botón.

Como podrá observarse, con el CRONOMETRO DIGITAL se tiene una mayor exactitud, rapidez, confiabilidad y mejor observación en el resultado que -- con el procedimiento anteriormente descrito.

CAPITULO I

DESCRIPCION GENERAL DEL DISEÑO

I.1.-DESCRIPCION GENERAL DEL DISEÑO

La descripción de las partes que forman el cronómetro, requirió de un estudio previo de los elementos con que se contaba, sobre todo el del funcionamiento del osciloscopio de rayos catódicos, que es la parte básica para el desarrollo del sistema. A partir de este estudio se pudo conocer qué señales se podían extraer y que señales se podían introducir al osciloscopio, con lo que se pudo pensar en todas las modificaciones que debía sufrir la señal obtenida del osciloscopio, así como las señales -- que debían ser generadas internamente en el cronómetro.

Una vez conocidos los distintos problemas, se pensó en varias alternativas de solución a partir de los conocimientos adquiridos anteriormente y de investigaciones acerca de nuevos temas para algún problema específico.

El primer punto que se trató, fue la obtención de un pulso cuyo inicio y terminación coincidieran con precisión con un par de marcas que aparecen en la señal a medir; la duración del mismo se puede medir posteriormente comparándola con un patrón de tiempo. La obtención de dicho pulso se logró usando comparadores de voltaje a los que se les aplicó por un lado, -- una muestra de la señal de barrido horizontal del osciloscopio y por otro dos voltajes de referencia ajustables, logrando así finalmente obtener el pulso, combinando las salidas de los comparadores en un inversor y una -- compuerta AND como lo indica el diagrama siguiente:

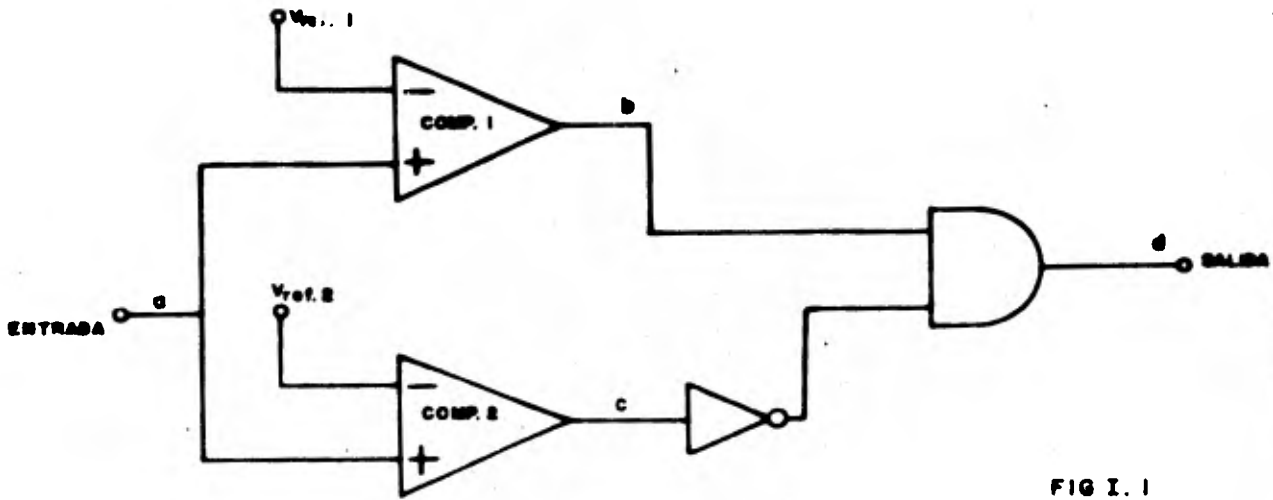


FIG I. 1

En el diagrama siguiente se pueden ver las señales de entrada a los comparadores, así como sus salidas para que finalmente muestre la combinación de las mismas:

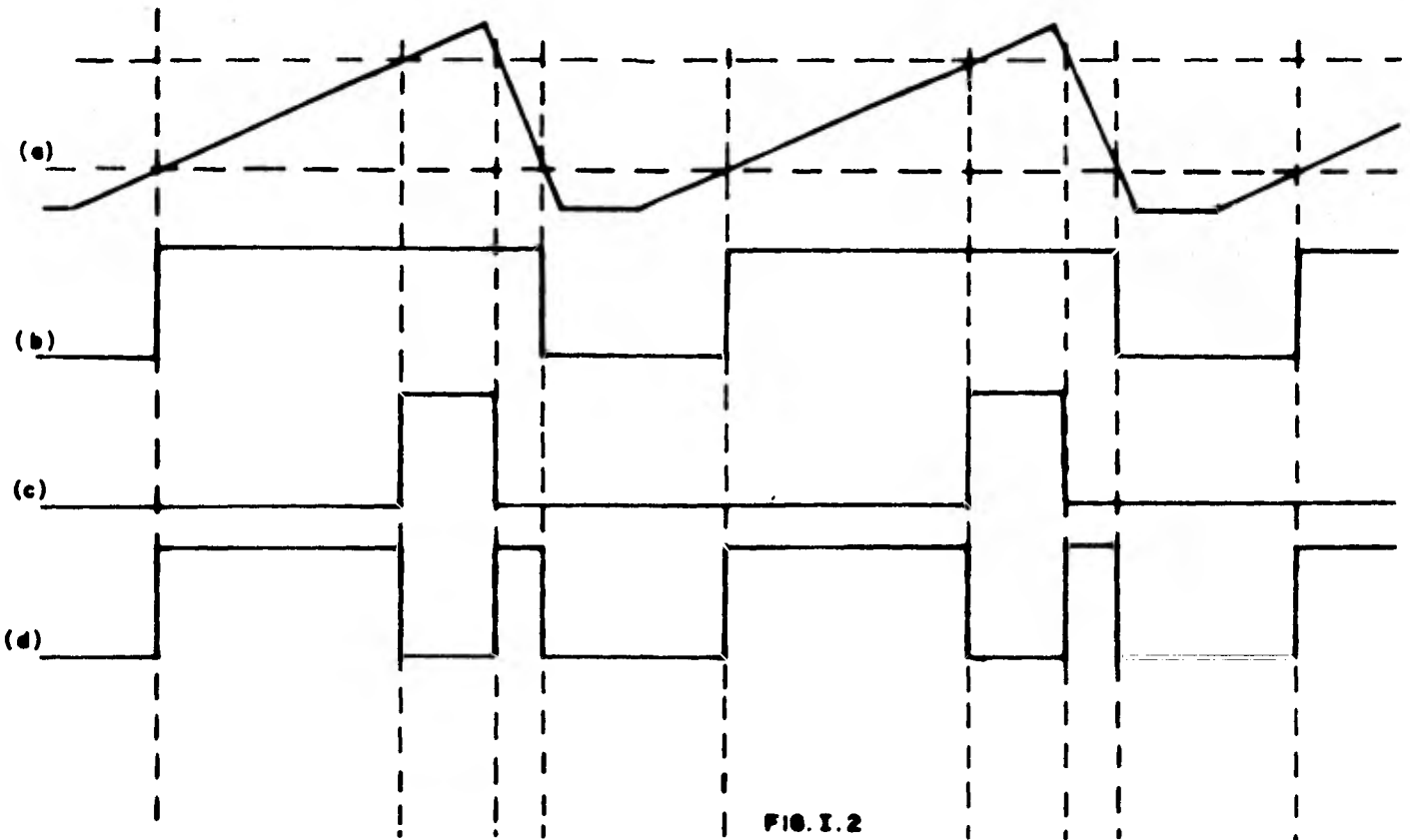


FIG. I. 2

s en la señal a medir, se puede añadir a la señal pe ecen en la pantalla sobre la señal; sin embargo, en ió utilizar la entrada de modulación de intensidad - luminosa (canal Z) con que cuentan la mayoría de los osciloscopios. Si el pulso obtenido en la compuerta AND se aplica a ésta entrada, la sección de señal que se desea medir aparece intensificada, con lo que la fijación se facilita.

El uso de un inversor y una compuerta AND para la obtención del pulso tiene un inconveniente que puede observarse en el diagrama de tiempo y que es la aparición de un pulso indeseable durante el retraso de la señal de barri do. La forma en que se solucionó este problema, fue sustituyendo el circuito combinacional formado por el inversor y la compuerta, por un circuito se cuencial, ya que para poder diferenciar el pulso a medir y el indeseable, se requiere tener una capacidad de memoria, la cual se tiene en este tipo de circu itos. Para aclarar lo anterior se puede observar el siguiente diagrama de tiempo:

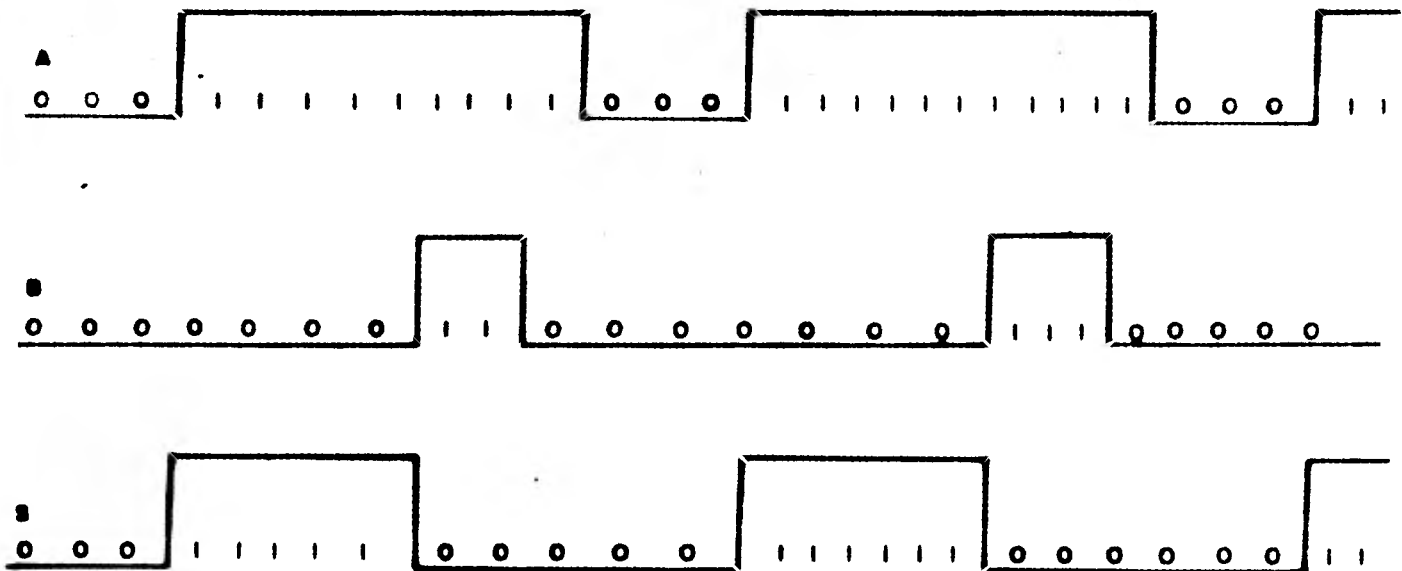


FIG. I. 3

El circuito se diseñó para obtener a la salida un estado bajo cuando se aplica un conjunto de "ceros" en sus dos entradas; cuando la salida del secuencial toma el estado "uno" también, el cual se mantiene hasta el instante en que el comparador B pasa al estado "alto".

Como se puede ver en el diagrama, la salida no vuelve a ser "uno" aún cuando los comparadores A y B vuelvan a tener los estados "uno" y "cero" respectivamente y solo se volverá a iniciar el ciclo cuando ambas entradas vuelvan a tener "ceros". El desarrollo completo de este circuito se puede ver en el capítulo correspondiente.

El pulso obtenido puede aplicarse directamente en la entrada "Z" del osciloscopio, en cambio no es muy apropiado para aplicarse a un circuito de conteo. Esto se debe a que su tiempo de repetición coincide con el período de la señal diente de sierra del barrido horizontal, que puede ser desde algunas décimas de segundo hasta microsegundos lo cual aunado a las pequeñas variaciones en el ancho de los pulsos y en la frecuencia del oscilador provocan un cambio continuo en el dígito menos significativo. Por ejemplo si éste varía entre 7 y 6 ó entre 5 y 4 en el desplegado aparecerá un 8 ó 9 respectivamente.

Para solucionar el problema anterior se decidió que el período de conteo fuera más lento e independiente del período de repetición. Esto pudo lograrse con un circuito astable de muy baja frecuencia, que determina los períodos de conteo; dicho circuito coloca a un segundo circuito secuencial en su estado inicial por medio de la entrada de reestablecer (reset) en sus Flip-Flop's. Este secuencial toma el primer pulso que llega a su entrada y lo --

transfiere a la salida, ignorando después todos los pulsos siguientes, permaneciendo en este estado hasta no ser reestablecido nuevamente por medio del circuito estable. La señal de reestablecer sirve también para limpiar los contadores y dejarlos listos para la siguiente cuenta.

Dado que el estable funciona asincrónicamente, la señal de reestablecer puede producirse en un instante en que el pulso a medir ya se ha iniciado, provocando un acortamiento del mismo a la salida del segundo secuencial.

A fin de evitar esto, se intercaló entre los dos secuenciales un flip-flop, un inversor y una compuerta AND, los cuales no permiten que llegue un pulso al segundo secuencial, si este pulso se había iniciado antes de producirse el reestablecimiento.

Con las siguientes figuras se explica su funcionamiento.

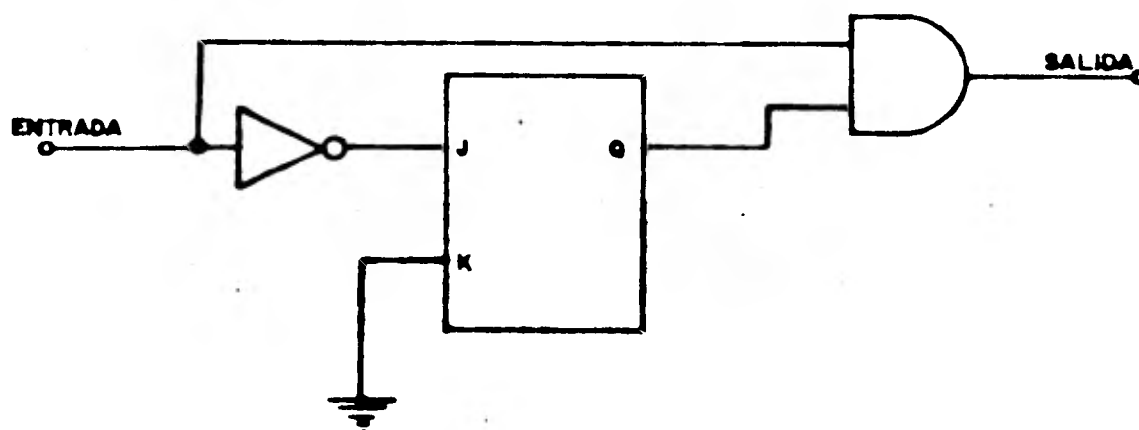


FIG. I. 4

Dependiendo del instante en que se produzca el reestablecer se pueden presentar dos casos:

Caso 1.- El reestablecimiento se produce cuando el pulso ya se ha iniciado.

(Ver Fig. 1.5)

Caso 2.- El reestablecimiento se produce antes que un pulso se haya iniciado

(Ver Fig. 1.6)

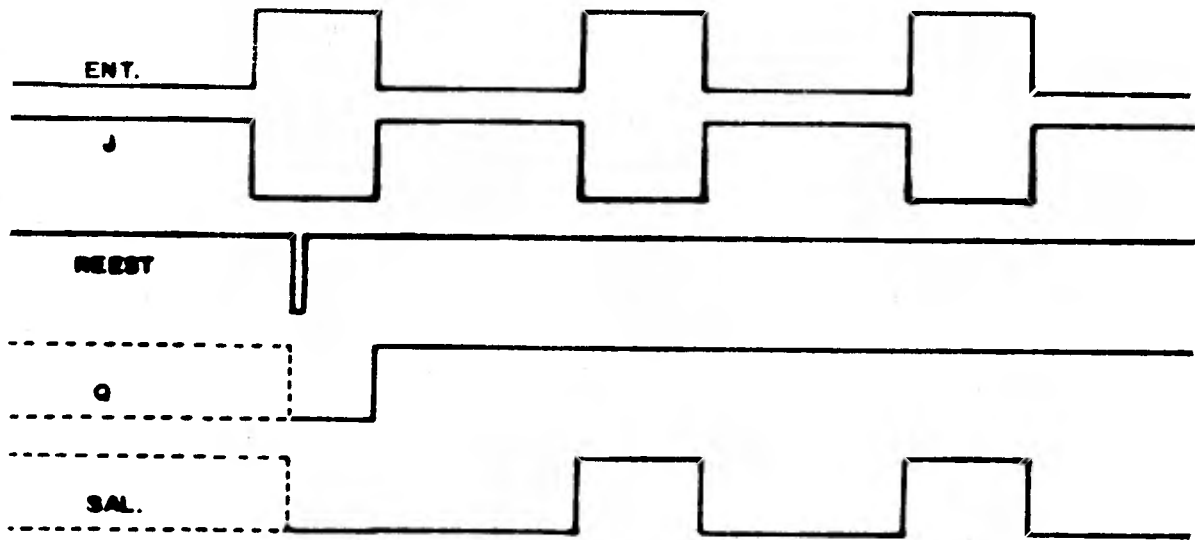


FIG. I.5

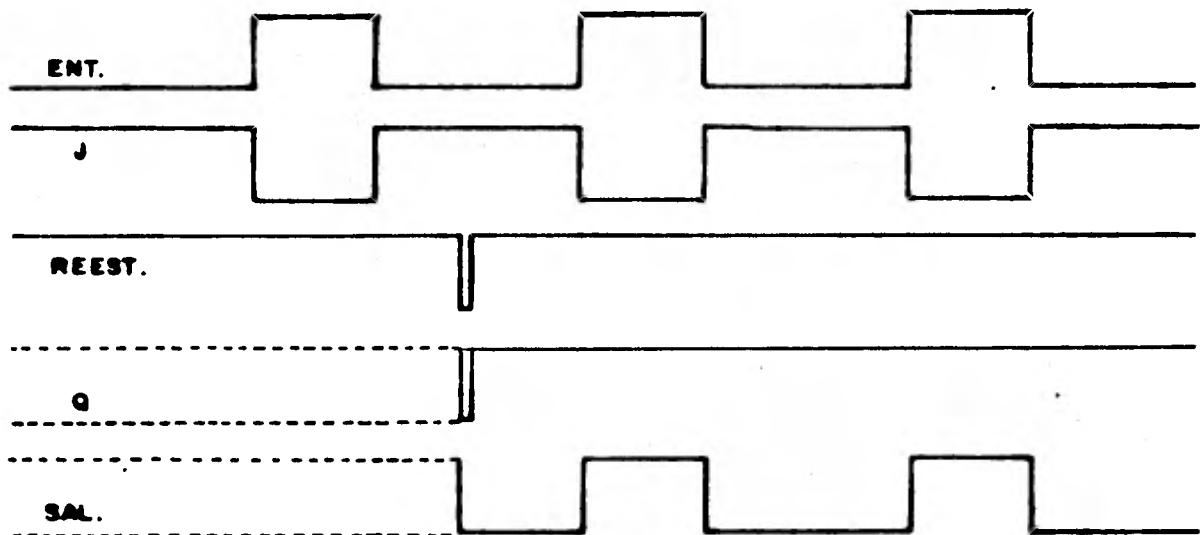


FIG I.6

Como se puede ver, en ambos casos el primer pulso que llega al segundo circuito secuencial es siempre un pulso completo.

El desarrollo completo del segundo circuito secuencial puede verse en el capítulo correspondiente.

El pulso que se obtiene del segundo circuito secuencial se aplica a los contadores junto con un reloj de precisión, constituido por un oscilador de cristal de cuarzo implementado con inversores TTL; éste reloj a su vez pro-

vee sincronización a todo el resto del sistema.

La sección de contadores, que además incluye descodificadores y amplificadores (drivers) se encuentra formada por circuitos integrados TTL de escala de integración media (MSI), lo que hace muy compacta esta sección. A la salida de los contadores/descodificadores se conectaron desplegados numéricos tipo LED de siete segmentos.

Como circuitos adicionales se tiene una sección de escalamiento encargada de reducir la frecuencia del reloj a un submúltiplo, cuando se desea medir tiempos que excedan la capacidad del contador; también se emplea para colocar el punto decimal en el desplegado y de indicar las unidades en que se está obteniendo la lectura (ms ó us). Además se tiene un circuito encargado de indicar cuando el contador ha sido excedido.

De todo lo anterior se puede hacer un diagrama de bloques general del sistema, con las interconexiones básicas y las señales en los puntos principales del mismo.

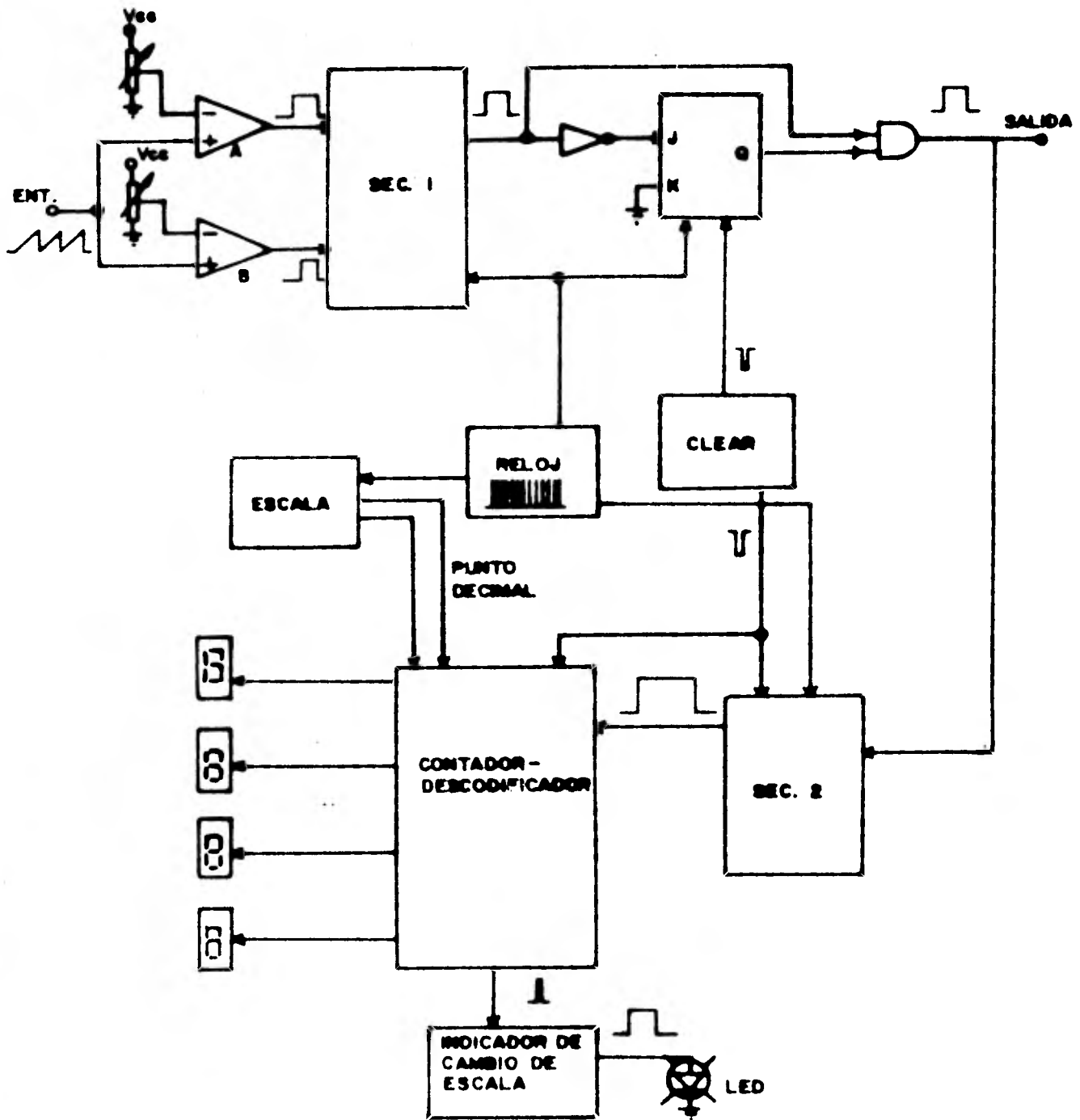


FIG. I,7

CAPITULO II

GENERALIDADES SOBRE EL OSCILOSCOPIO

II, 1.- ASPECTOS FUNDAMENTALES

Como se vió al principio de este trabajo, el cronómetro digital es un dispositivo auxiliar para usarse junto con un osciloscopio de rayos catódicos. Debido a esto se consideró necesario incluir un capítulo --- acerca de los principios básicos de funcionamiento y partes fundamentales de este tipo de instrumentos de medición, profundizando un poco en las secciones que tienen una relación directa con el funcionamiento - del cronómetro.

El osciloscopio de rayos catódicos es el instrumento de medición de señales eléctricas más versátil con que se cuenta actualmente; esto se - debe a sus múltiples ventajas sobre otros instrumentos de tipo electromecánico, siendo su principal ventaja la habilidad de mostrar señales eléctricas de alta velocidad, lo que permite medir y analizar fenóme--nos que no se podrían observar en otro tipo de instrumentos.

La parte fundamental de un osciloscopio es el Tubo de Rayos Catódicos desarrollado a partir del tubo de Crookes. En 1879, William Crookes - demostró que un haz de electrones (rayos catódicos) en un tubo al va--cío, puede ser desviado con un magneto. Posteriormente se encontró -- que dos placas metálicas entre las cuales se encuentra un campo eléc--trico producen una desviación (ó deflexión) similar; si el haz de electrones se hace incidir en una pantalla recubierta con un material fluorescente, se produce un punto luminoso en el lugar de incidencia. Los desplazamientos de dicho punto nos permiten observar y medir variaciones de voltaje en las placas siempre y cuando se calibre adecuadamente la pantalla.

En general un osciloscopio es un instrumento capaz de mostrar una gráfica luminosa "XY" de dos señales eléctricas relacionadas, en donde una de las señales se aplica a la sección de deflexión horizontal (eje X) y la otra a la de deflexión vertical (eje Y); además, es posible variar la intensidad luminosa por medio de la aplicación de una señal eléctrica más a la entrada de video o canal "Z" (eje Z).

En la mayoría de las aplicaciones el osciloscopio se usa para obtener gráficas de señales en el dominio del tiempo, para lo cual se aplica la señal a medir en el eje "Y" y en la entrada "X" se aplica una señal tipo diente de sierra. Un diagrama de bloques general de un osciloscopio puede ser como el que sigue:

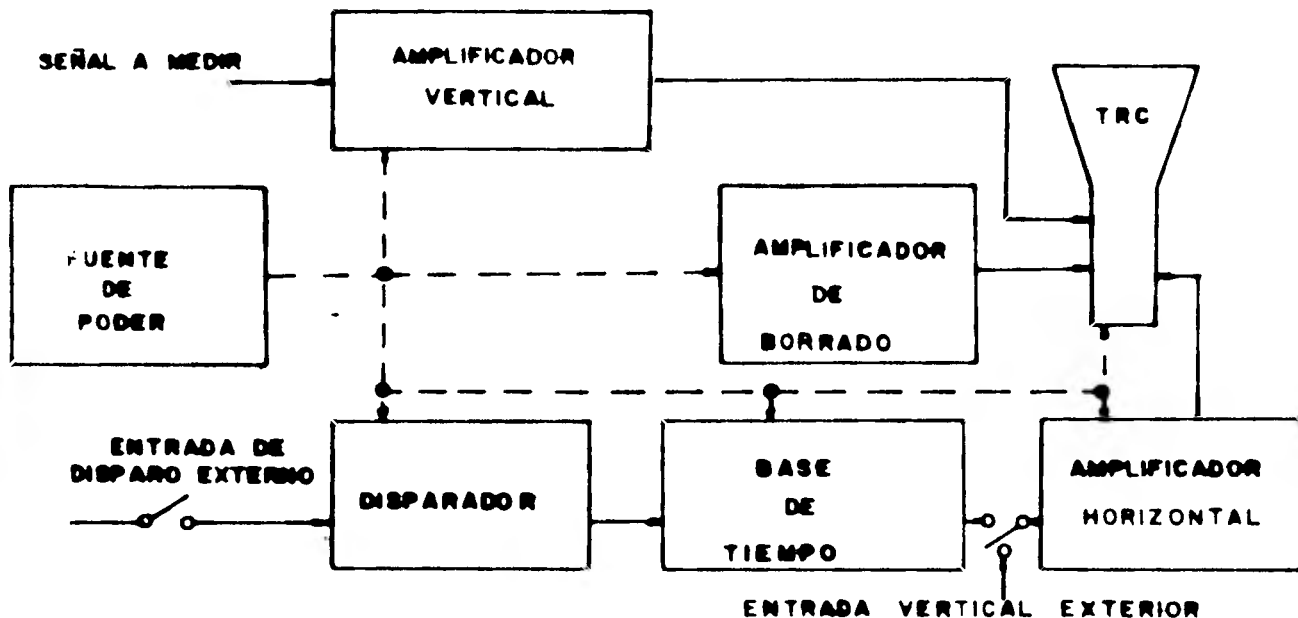


FIG. II.1

Las partes que lo componen son:

- 1) Tubo de Rayos Catódicos (TRC)
- 2) Amplificador vertical (incluyendo punta de prueba ó transductor para obtener la señal eléctrica).
- 3) Base de tiempo (genera señales diente de sierra de - varias frecuencias).
- 4) Amplificador horizontal
- 5) Circuitos de disparo y sincronización
- 6) Amplificador de borrado (para suprimir el haz durante los retrazos del diente de sierra y para modular la intensidad luminosa).
- 7) Fuente de poder

El tubo de Rayos Catódicos es un tubo de vidrio sellado, al cual se le ha hecho vacío y se le ha ensanchado en uno de sus extremos, que es en donde se coloca una pantalla recubierta de un material fluorescente; en el otro extremo se encuentra el cañón electrónico encargado de generar, acelerar y enfocar el haz de electrones y en la parte media del tubo se encuentran dos pares de placas situadas perpendicularmente para provocar deflexiones verticales u horizontales.

Para lograr la generación del haz de electrones se requiere aplicar al tubo voltajes del orden de algunos miles de volts.

En la figura de la siguiente página podemos observar las partes de un - TRC.

- 1.-Generador del haz
- 2.-Sección de enfoque
- 3.-Sección de deflexión
- 4.-Postaceleración
- 5.-Pantalla fluorescente

- | | |
|-------------|--------------------------------|
| a - Cátodo | e - Placas Ver
ticales |
| b - Rejilla | f - Placas Hori
zontales |
| c - Anodo | g - Pantalla -
Fluorescente |
| d - Enfoque | h - Tubo al Va
cío |

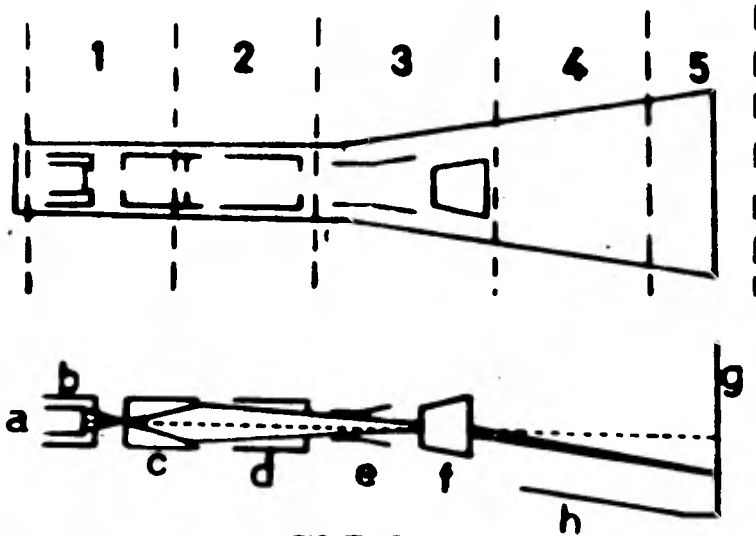


FIG. II. 2

El funcionamiento de un TRC es el siguiente:

Al aplicarse una corriente al filamento del calefactor éste aumenta su temperatura calentando también al cátodo el cual emite electrones; ya que este electrodo se encuentra a un voltaje mucho menor que el de el ánodo se produce una aceleración de los electrones en dirección de la pantalla. La intensidad del haz puede ser controlada por la aplicación de un voltaje de polarización en la rejilla. Un electrodo llamado enfoque con un voltaje negativo se coloca después del ánodo el cual concentra el haz para provocar un pequeño punto sobre la pantalla; el haz pasa entre las placas de deflexión donde es desviado proporcionalmente a las diferencias de voltaje entre placas opuestas ya sea en dirección vertical, horizontal o ambas; el rayo se desvía hacia la placa más positiva. Finalmente el rayo llega a la pantalla provocando la iluminación del lugar en que incide.

El objeto de los amplificadores vertical y horizontal es proveer los niveles de voltaje necesarios para obtener desplazamientos del punto luminoso adecuados, en el caso en que las señales de entrada sean voltajes reducidos, lo que ocurre muy frecuentemente. Además de esto, dichos amplificadores cuentan con ganancia variable por lo que se pueden exami--nar en un mismo aparato señales que van desde unos cuantos microvolts - hasta cientos de volts.

La base de tiempo proporciona la señal de diente de sierra necesaria para producir el barrido lineal que nos permite observar y medir señales en el dominio del tiempo; la frecuencia de dicha señal de diente de sierra puede ser ajustada desde fracciones de Hertz hasta miles de ellos - permitiendo la observación de señales en un amplio rango de frecuencias.

El circuito de disparo o sincronía se requiere para poder observar señales repetitivas continuamente ya que provoca el inicio de cada barrido siempre en el mismo punto de la señal a observar; esto lo hace comparando un voltaje ajustable con el nivel de voltaje de la señal de entrada.

El amplificador de borrado tiene por objeto suprimir el haz de electro-nes cuando la señal de diente de sierra se encuentra en el tiempo de re- trazo evitando la aparición de rayas en la pantalla. Además, esta sec-ción permite controlar la intensidad luminosa del trazo con la aplica--ción de una señal a su entrada.

La fuente de poder se encarga de proporcionar todos los voltajes de alimentación que requieren los circuitos y el TRC con la adecuada regulación.

En la actualidad son muy comunes los osciloscopios capaces de mostrar - simultáneamente dos o más señales en la pantalla lo que es muy útil en la comparación directa de señales. Para lograr esto se utiliza un circuito de conmutación electrónica que muestra alternadamente las señales. En la figura 2.3, se puede ver el diagrama de bloques de un osciloscopio Hewlett Packard de doble trazo. En este diagrama podemos ver que este osciloscopio tiene algunos bloques más que son:

- 1) Atenuadores y preamplificadores para ambos canales verticales (A y B).
- 2) Un control (chop/alt) que permite observar ambas señales ver ticales ya sea mostrando durante un primer barrido la primera de ellas y la otra señal en el siguiente barrido (sistema alternado) o mostrando pequeñas secciones de ambas señales en cada barrido (sistema por trozos).
- 3) Un circuito de separación de sincronía para observar mejor -- las señales que se encuentran en los circuitos de aparatos de televisión.
- 4) Una línea de retardo en la entrada vertical que permite ver el flanco de subida de pulsos cuando este mismo flanco es el que inició el barrido.
- 5) Un generador de onda cuadrada para ajustar la respuesta de pun tas de prueba.

Las secciones que intervienen directamente en la operación del cronómetro son el canal "Z" y la base de tiempo, ya que como se vió, la delimitación de la señal a medir se hace por la intensificación del trazo en la sección que se quiere medir, y la generación del pulso de medición re--

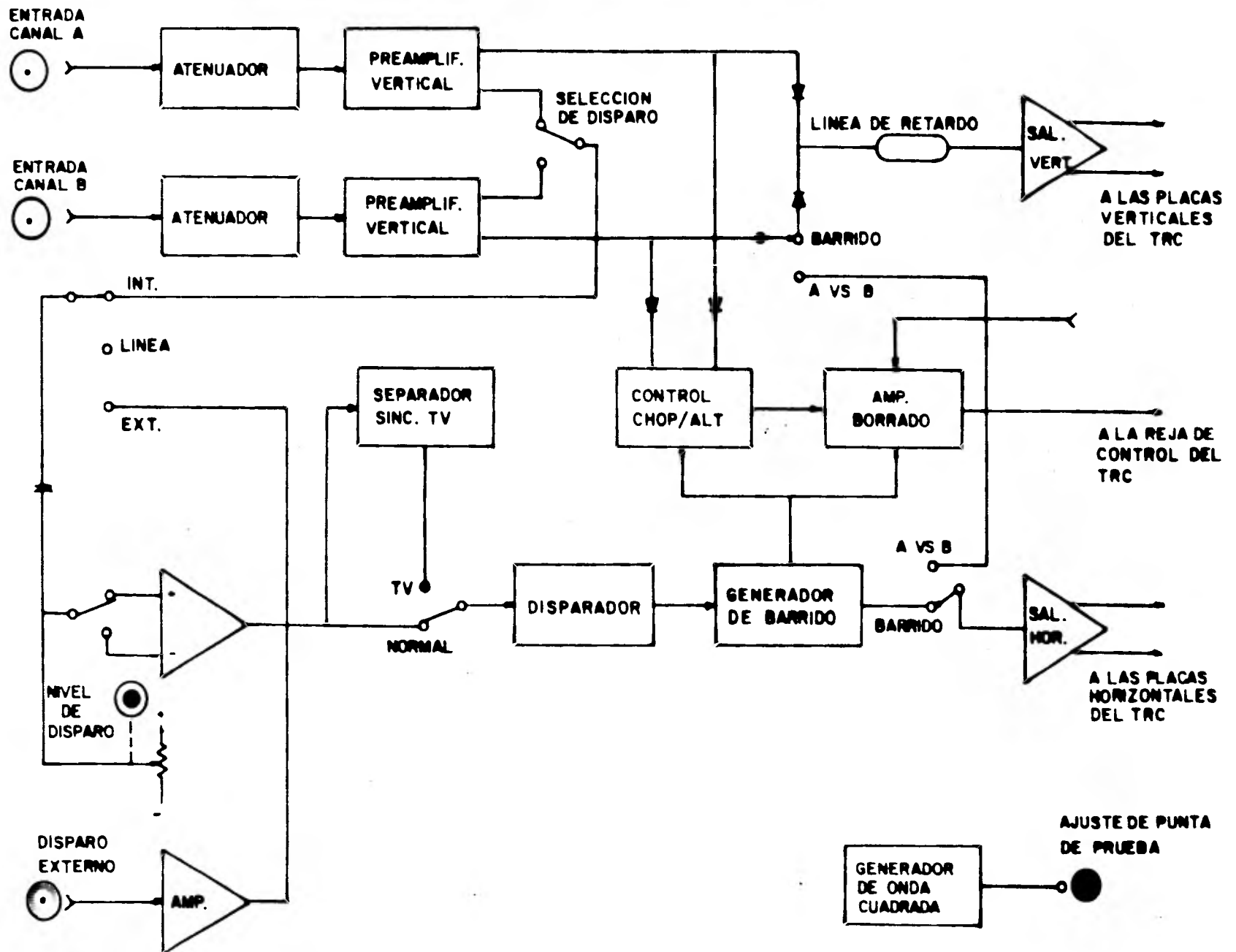


FIG. II. 3

quiere de una muestra de la señal de diente de sierra que se puede obtener a la salida de la base de tiempo.

II.2.- GENERADOR DE BARRIDO

Bases de Tiempo.- Los osciloscopios que trabajan en el dominio del tiempo requieren de un generador de barrido que sea lineal dentro del tiempo en que el eje X es mostrado en la pantalla. Estos circuitos de barrido junto con los circuitos de compuerta forman lo que se denominan bases de tiempo.

Una base de tiempo de alta calidad puede tener un rango de variación de 10 nanosegundos hasta 5 segundos por división con un error menor al 3% y un error en la linealidad menor al 1% en cualquier punto de la pantalla.

El circuito llamado integrador de Miller es el generador de bases de tiempo más comunmente usado en los osciloscopios de laboratorio. Consta básicamente de un amplificador operacional con realimentación capacitiva Miller, el cual convierte una función escalón en una rampa lineal.

Una de las grandes ventajas del integrador de Miller es su flexibilidad de selección de valores de resistencia y capacitancia en el lazo de realimentación. Con elementos de alta impedancia de entrada como tubos al vacío o transistores de efecto de campo es posible usar capacitores con valores desde 10 picofaradios hasta 1 microfaradio o más y resistencias desde 100 kilo-Ohms hasta 50 Mega-Ohms, lo cual nos da un rango de variación de tiempo que va desde 100 nanosegundos hasta 5 segundos por división con un solo generador.

Los componentes adicionales de una base de tiempo incluyen un generador -

de disparo para convertir la señal del amplificador vertical, o de una fuente externa de pulsos de disparo los cuales encienden un generador de compuerta para iniciar el funcionamiento del integrador de Miller, un circuito de espera para permitir la recuperación del integrador después de que un barrido se ha completado y un circuito de restablecimiento tipo Schmitt-trigger el cual prepara al generador de compuerta para un nuevo ciclo cuando el tiempo de espera se ha completado. Las siguientes figuras muestran un diagrama de bloques de una base de tiempo y las formas de onda en diferentes puntos del diagrama.

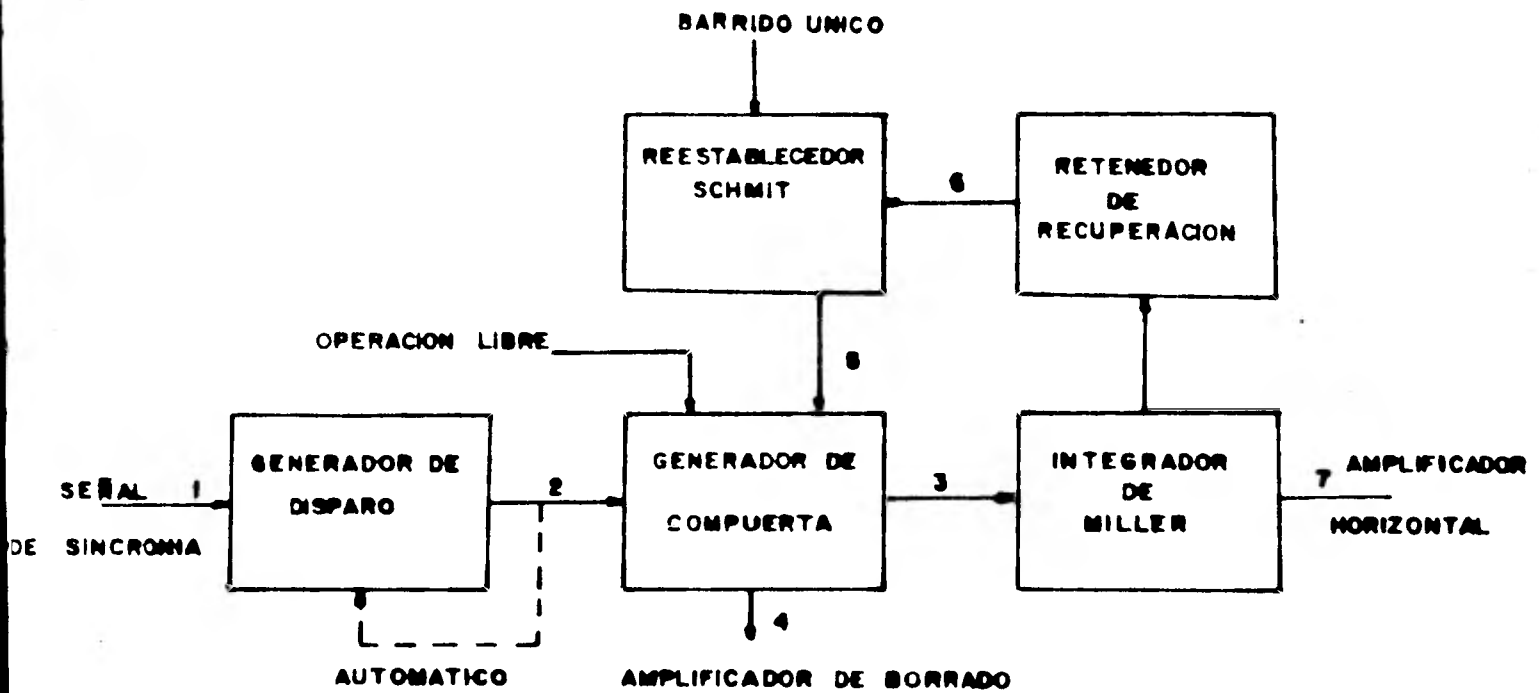


FIG. II. 4

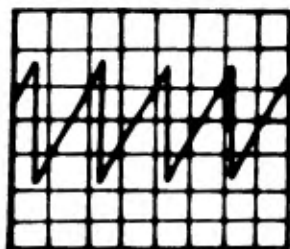


IMAGEN EN LA PANTALLA

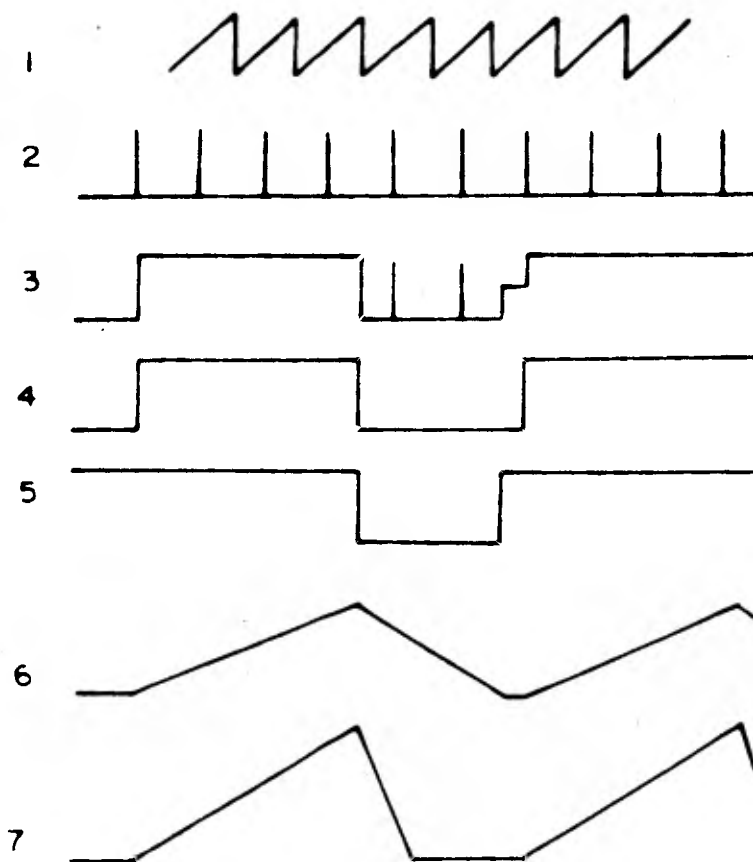


FIG. II. 5

II.3.-CANAL "Z"

El canal "Z" es una de las entradas del amplificador de borrado el cual se encarga de producir la señal que aplicada a la rejilla de control del TRC provoca la supresión parcial o total del haz de electrones con lo que disminuye la intensidad luminosa del trazo luminoso ó desaparece totalmente.

En la siguiente figura se puede ver un diagrama simplificado del amplificador de borrado. En él, se ve que además de la entrada externa (canal "Z") se tienen entradas que provienen por un lado del oscilador que proporciona la señal del sistema de barrido por trozos (choper), y por otro del genera

dor de diente de sierra, las cuales suministran señales que suprimen el haz durante la conmutación de canales (Y_1 y Y_2) y durante el retraso del barrido.

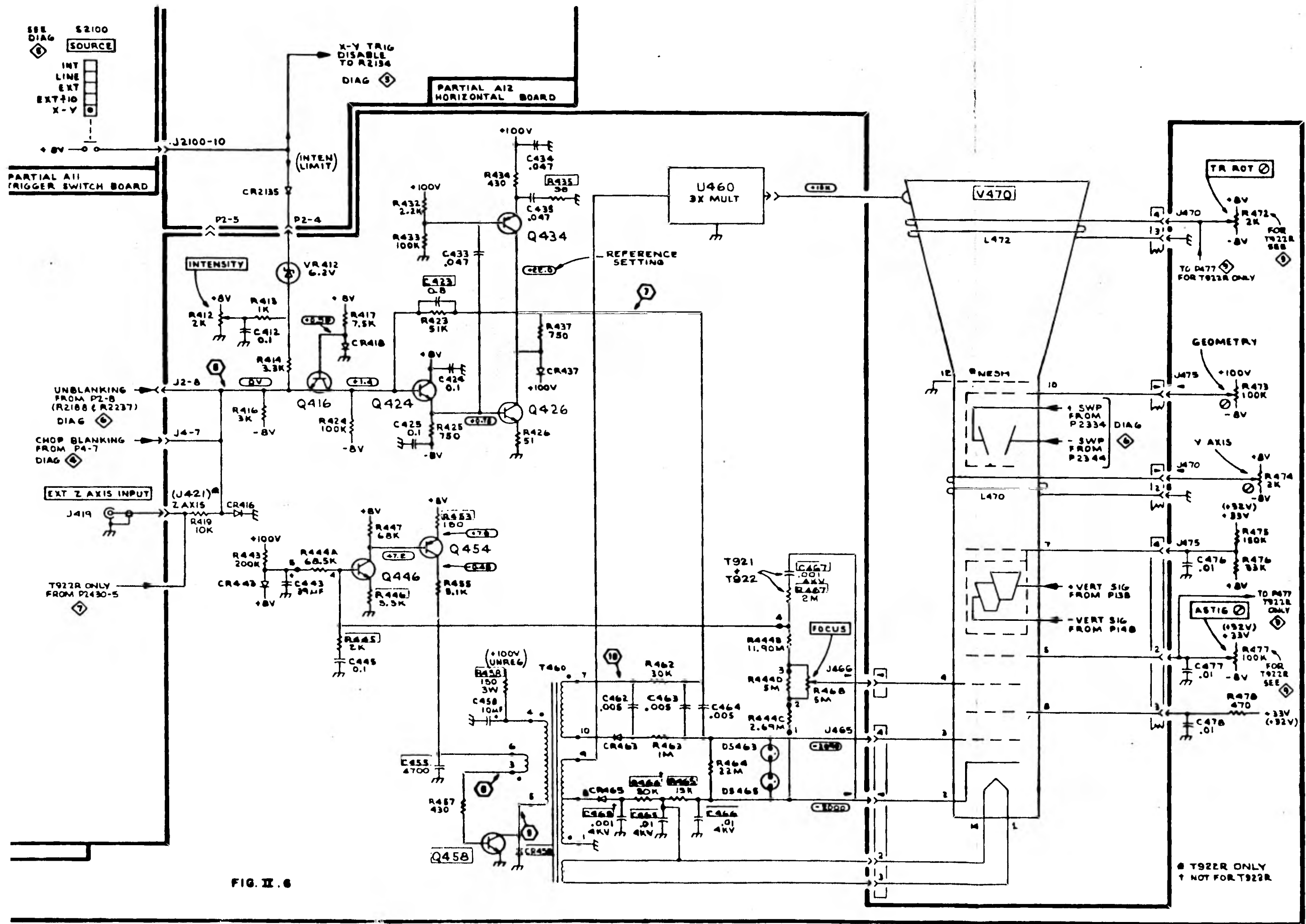


FIG. II. 6

CAPITULO III

FUENTE DE ALIMENTACION

III.1.- INTRODUCCION

En electrónica, los diferentes equipos utilizan una fuente de energía, mejor conocida con el nombre de FUENTE DE ALIMENTACION la cual consiste de un circuito que transforma la energía eléctrica primaria en la clase (C.D. ó C.A.) y cantidad de voltaje y corriente que necesitan los diferentes tipos de circuitos electrónicos.

Ya que existen algunos circuitos electrónicos que no trabajan correctamente cuando el voltaje de una fuente de alimentación varía, es necesario mantener este voltaje constante por medio de un circuito de Regulación, el cual nos mantendrá un voltaje constante en una carga específica, a pesar de las fluctuaciones del voltaje de la línea ó de las variaciones de la corriente de carga.

El cronómetro digital para un Osciloscopio requiere de una fuente capaz de suministrar +5 volts regulados y una corriente de aproximadamente 0.7 Amper. Se requieren de +5 volts regulados ya que los elementos utilizados en el aparato en su mayoría son de la familia TTL (Lógica con Transistor Transistor) y los elementos que le complementan pueden trabajar con este valor. El valor de la corriente es el demandado por el circuito para que éste funcione en condiciones normales; este valor se obtuvo experimentalmente mediante un Ampérmetro en las pruebas que se hicieron con el circuito del aparato en el proceso de su elaboración.

Una fuente de alimentación está formada por los siguientes elementos: Transformador, Diodos, Capacitor y ya que para nuestro caso se requiere de una tensión regulada será necesario un circuito de regulación, el cual puede estar formado por elementos discretos ó bien por un Circuito Integrado que lleve a cabo esta función y que es el que utiliza esta fuente.

III.2.- TRANSFORMADOR

La Energía Eléctrica puede ser transferida de un circuito eléctrico a otro al tenerse un aislamiento conductivo entre ambos, este acoplamiento puede lograrse mediante un Campo Magnético - variable en el tiempo. Para llevar a cabo esta función, se requiere de un dispositivo conocido con el nombre de TRANSFORMADOR, el cual consiste de un núcleo y dos embobinados como mínimo. El núcleo puede ser lineal (aire) ó no lineal (núcleo ferromagnético).

El transformador es un elemento eléctrico que además de transferir energía, sirve para transformar voltajes, corrientes e impedancias.

Los transformadores se clasifican de la siguiente manera:

- a) Transformadores de Comunicación
- b) Transformadores de Instrumento
- c) Transformadores de Potencia

Los transformadores de comunicación se utilizan en conjunto con amplificadores electrónicos para impedancias aparejadas de cargas y fuentes para una transferencia máxima de potencia así como para aislamiento conductivo de diferentes partes de un sistema.

Un transformador de instrumento se utiliza para medir altos voltajes y corrientes por medio de instrumentos sensitivos en conjunto con relevadores para protección de un Equipo.

Finalmente un Transformador de Potencia, proporciona con ayuda de generadores una transmisión y distribución eficiente de --
Energía Eléctrica

Como podrá observarse el Transformador utilizado en esta fuente de alimentación es del tipo de Transformadores de Comunicación, los otros dos tipos se refieren a transformadores utilizados en el Area de Ingeniería Eléctrica.

Este transformador es del tipo de núcleo laminado, es decir - de pilas de laminaciones de acero compuestas de cortes planos, reduciendo con ésto las corrientes de Foucault. Véase la figura siguiente:

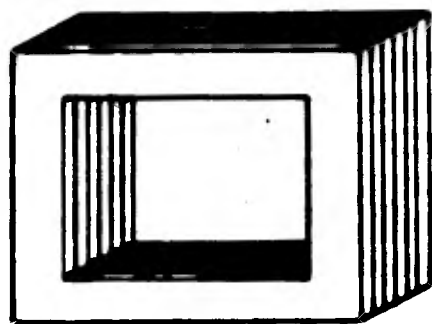


FIG. III.1

Cuando dos embobinados (alambre) son inductivamente acoplados, el flujo que pasa através de uno de ellos también pasa por completo ó en parte por el otro. Esto implica que los arrollamientos tienen un circuito magnético que es común a ellos.

Para que se produzca inducción lo suficientemente capaz para -

influir en otro elemento eléctrico se hace necesario una varia
ción de corriente.

Si este flujo es creado por la variación de la corriente a través
de una bobina habrá un flujo mutuo, bajo esta condición se
creará un voltaje inducido en el secundario.

El flujo mutuo varía senoidalmente, entonces el número de vueltas
de la bobina es proporcional al flujo mutuo pero inversamente
proporcional al tiempo, teniéndose que:

Si E_{PR} = Voltaje Promedio

$$E_{PR} = N \times \frac{\phi_m}{t} \times 10^{-8} \dots \dots \dots (1)$$

En donde:

N = número de vueltas

ϕ_m = flujo magnético medio (maxwells)

t = tiempo (segundos)

10^{-8} = Factor de compensación de unidades

Sabemos que según el período:

$$t = 1/4 f \dots \dots \dots (2)$$

en donde f = frecuencia (c.p.s.)

Esquemáticamente:

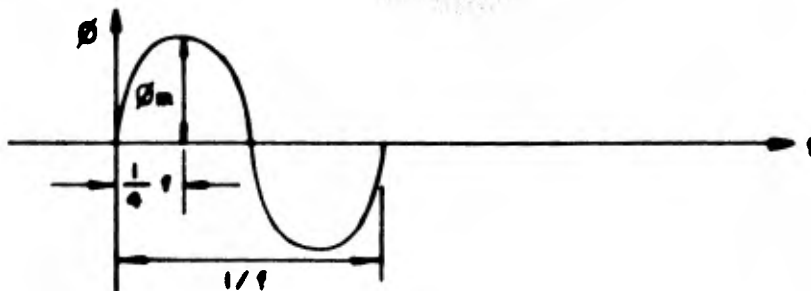


FIG. III.2

Sustituyendo la relación (1) en (2) :

$$E_{PR} = N \times \frac{\phi_m}{4f} \times 10^{-8}$$

Para onda senoidal el voltaje efectivo es igual a:

1.11 veces el voltaje promedio:

$$E = 1.11 \times E_{PR} = 1.11 \times N \times \frac{\phi_m}{f} \times 4 \times 10^{-8}$$

$$E = 4.44 \frac{N \times \phi_m}{f} \times 10^{-8} \quad (\text{volts})$$

Si se aplica al primario y secundario; P = primario
y S = secundario:

$$E_P = 4.44 \frac{\phi_m}{f_P} N_P \times 10^{-8} \quad \dots \dots \dots (3) \quad \text{y}$$

$$E_S = 4.44 \frac{\phi_m}{f_S} N_S \times 10^{-8} \quad \dots \dots \dots (4)$$

Ya que ϕ_m y f son iguales en los devanados:

$$\text{De Ec. (3)} \quad f_P = 4.44 \frac{\phi_m}{E_P} N_P \times 10^{-8} \quad \dots \dots (5)$$

$$\text{De Ec. (4)} \quad f_S = 4.44 \frac{\phi_m}{E_S} N_S \times 10^{-8} \quad \dots \dots (6)$$

Iguando las Ecuaciones (5) y (6):

$$\cancel{4.44} \frac{\cancel{\phi_m}}{E_P} N_P \times \cancel{10^{-8}} = \cancel{4.44} \frac{\cancel{\phi_m}}{E_S} N_S \times \cancel{10^{-8}}$$

$$\text{por lo tanto:} \quad \frac{N_P}{E_P} = \frac{N_S}{E_S}$$

Finalmente:

$$a = \frac{E_P}{E_S} = \frac{N_P}{N_S} \quad \text{y} \quad a = \frac{I_S}{I_P}$$

en donde:

- a = relación de transformación
 E_p = voltaje en el devanado primario
 E_s = voltaje en el devanado secundario
 I_p = corriente en el devanado primario
 I_s = corriente en el devanado secundario
 N_p = número de vueltas en el devanado primario
 N_s = número de vueltas en el devanado secundario

En la figura pueden observarse estos parámetros en forma esquemática:

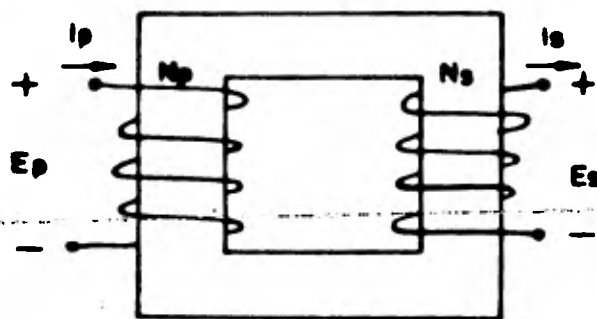


FIG. III,3

III.3.- RECTIFICADORES

El Rectificador es el elemento que tiene como función convertir la señal de corriente alterna (C.A.) en una corriente continua pulsante.

Los circuitos más comúnmente utilizados para llevar a cabo la rectificación son los siguientes: Rectificador de Media Onda y el Rectificador de Onda Completa.

A continuación se lleva a cabo un breve análisis sobre estos -

dos tipos de rectificación:

La Figura III.4, muestra un circuito Rectificador de Media Onda:

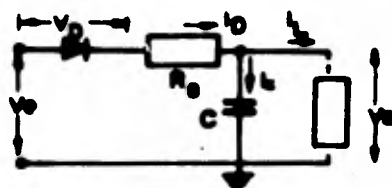


FIG. III.4

En este circuito al presentarse el medio ciclo positivo, el diodo conduce y el capacitor C se carga a la tensión de cresta aplicada. Cuando ésta disminuye, el capacitor conserva una mayor tensión que la aplicada y el rectificador se polariza en sentido inverso. Véanse las figuras (FIG. III.5), que muestran esta descripción:

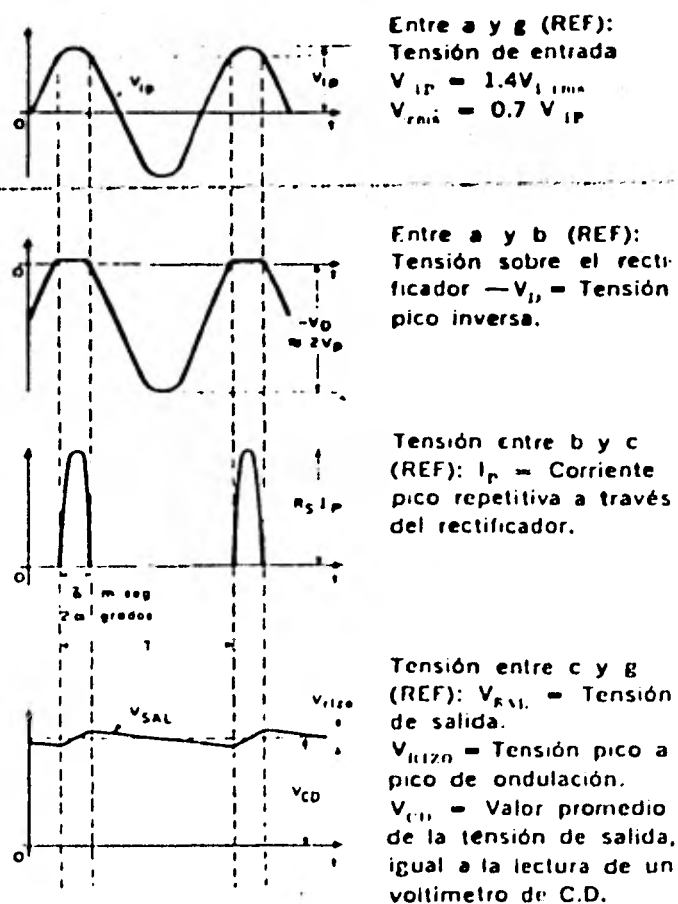


FIG. III.5

El capacitor se descarga lentamente a través de la carga hasta que la tensión aplicada alcanza nuevamente el valor de - - cresta y el capacitor se carga otra vez a este valor. Durante los medios ciclos negativos, el diodo no conduce y el capacitor se descarga.

La tensión en el capacitor no se eleva instantáneamente debido a la constante de tiempo formada por el capacitor y la resistencia de la fuente de poder más la del propio rectificador y cualquier otra resistencia en serie.

Cuando el rectificador conduce, la corriente a través de él, es la suma de las corrientes en el capacitor y en la carga. Cuando el rectificador no conduce, la corriente en la carga es producida por la descarga del capacitor.

En el circuito rectificador de media onda, con una corriente de carga, la componente de alterna de la tensión de salida llamada ONDULACION ó RIZO, tiende a ser de una amplitud que es de tomarse en consideración, por tanto para atenuar dicha componente a un grado razonable, es necesario emplear un capacitor. Además, como la corriente en el secundario del transformador lleva siempre una sola dirección, se corre el riesgo de saturar al núcleo, dando lugar a que la corriente magnetizante origine pérdidas por histéresis, introducción de armónicas y deformación de la tensión del secundario del transformador.

Las figuras que a continuación se muestran (FIG.III.6), son -- utilizados para una configuración de ONDA COMPLETA:

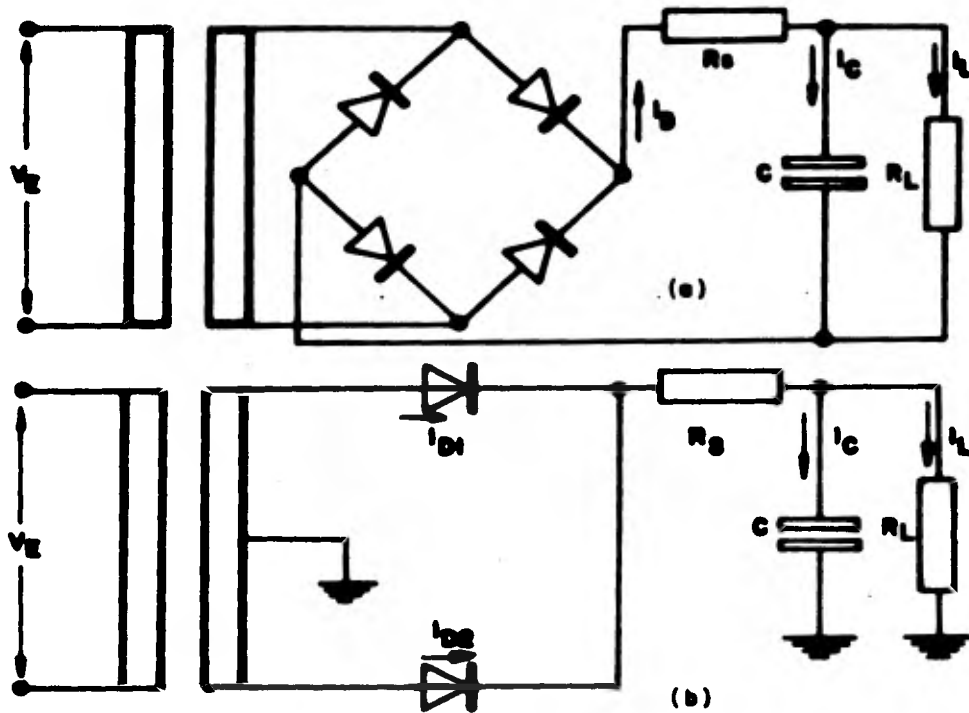
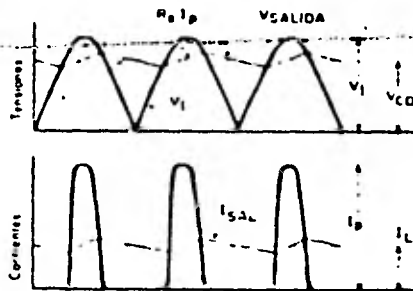


FIG.III.6. Rectificador monofásico de onda completa: a) tipo puente
b) derivación central

y las formas de onda de los mismos pueden apreciarse en la FIG.III.7:



Formas de onda de tensión y corriente para los circuitos de onda completa.

FIG.III.7

Como puede observarse, la rectificación en un circuito de onda completa es mayor que en uno de media onda, ya que el capacitor de filtro recupera su carga en tiempos más cortos.

La frecuencia de la ondulación es el doble que la frecuencia de ---

la tensión de la línea y la corriente de carga máxima es el doble de la que puede entregar un circuito de media onda para un mismo tipo de rectificador, así en el circuito rectificador de media onda la regulación y eficiencia de rectificación son bajas.

En el circuito con derivación central, las corrientes que -- circulan por cada mitad del secundario del transformador tienen sentidos opuestos, lo que elimina la posibilidad de saturar el núcleo del transformador, además, los diodos rectificadores deberán elegirse para soportar el valor pico de la tensión aplicada a través de ambas mitades del secundario -- del transformador.

El circuito Puente tiene todas las ventajas del circuito de onda completa. Suponiendo que los rectificadores se operen ~~a su máxima tensión inversa, la tensión de C.D. disponible~~ es el doble que la de un circuito con derivación central, para el mismo tipo de rectificador.

El circuito rectificador a utilizar en el aparato es del tipo de onda completa ya que, como se ha explicado, es más eficiente que el de media onda.

III.4 FILTRO

El elemento que se utiliza como filtro es un capacitor el -- cual deberá cumplir con ciertas características para obtener de él corriente y voltaje óptimos. El capacitor tiene como función eliminar las variaciones de C.A. ó rizo de la señal-

que se obtiene a la salida de los rectificadores a un valor tal que no influya en el buen funcionamiento del equipo; este RIZO depende de la intensidad de la carga, del valor del condensador y del tipo de rectificador.

Un buen criterio de diseño para un capacitor es que se tenga una tolerancia del 10% en el valor rizo. Si el capacitor es muy pequeño el rizo excederá el 10% y el voltaje de salida será muy bajo, causando en el circuito de regulación, una regulación muy pobre. Si el capacitor es muy grande, el rizo será pequeño pero el voltaje a la salida de la etapa no regulada será muy grande, es por esto que el capacitor debe determinarse adecuadamente. Cabe aclarar que cuando el capacitor es excesivamente grande puede causar fuentes de corriente considerables a través de los diodos durante su etapa de encendido, provocando daños en el circuito de alimentación.

III.5 REGULADOR

Esta etapa se encarga de mantener un voltaje constante a un circuito, independientemente de las variaciones de la carga y del voltaje de entrada dentro de un cierto rango.

Un diagrama de bloques de un circuito de Regulación es el siguiente:

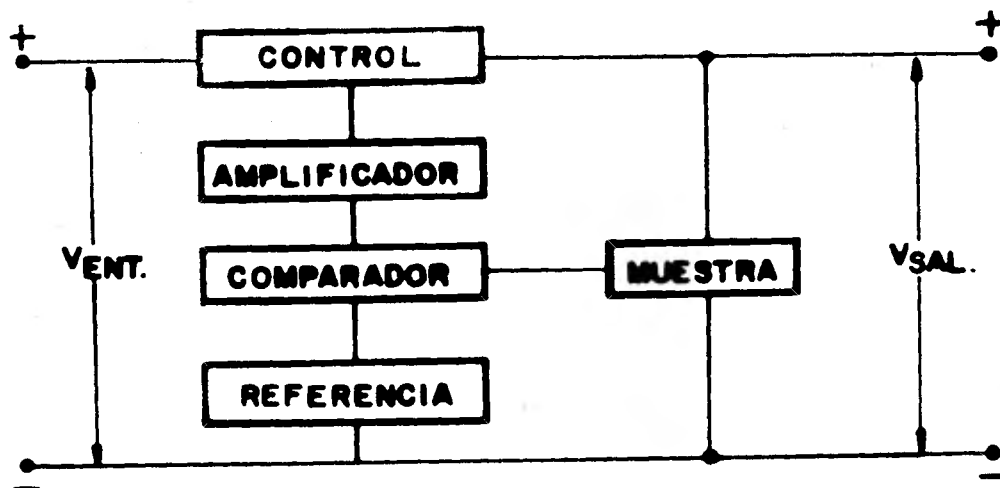


FIG. III.8

Muestreo: Toma una fracción del voltaje de salida y la entrega al circuito de Comparación.

Referencia: Formado por un elemento que proporciona un voltaje constante, normalmente constituido por un diodo Zener.

Comparación: Aquí, la muestra del voltaje de salida se compara con el voltaje de referencia, produciéndose una señal que es proporcional a la diferencia de ambos.

Amplificación: Aumenta el valor de la señal del elemento de comparación a un nivel suficiente para excitar al elemento de control. Proporciona una ganancia grande para suministrar la corriente requerida al elemento de control y al mismo tiempo, pequeña para mantener la estabilidad del circuito.

Control: Este elemento interpreta la señal del Amplificador y efectúa el ajuste necesario para mantener un voltaje constante de salida.

El circuito de regulación de esta fuente de alimentación lo -

constituye el Circuito Integrado LM723C, en un arreglo tal - que proporciona el voltaje y la corriente deseados. Dicho - arreglo contiene todos los elementos anteriormente descritos.

El circuito equivalente de regulación es el siguiente:

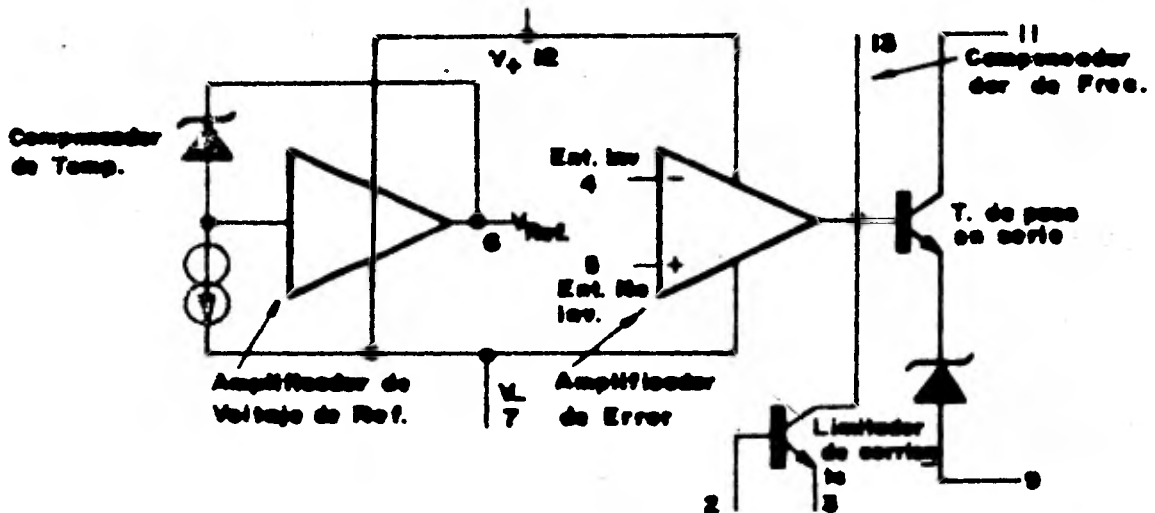


FIG. III.9

El circuito integrado incluye una sección de autoprotección, - el cual limita la corriente a un valor máximo preestablecido - mediante una Resistencia para evitar un corto circuito, la cual va conectada exteriormente al circuito integrado.

A continuación se mencionan algunas de las características más importantes del Circuito Integrado de Regulación:

- a) Por si mismo, es capaz de suministrar una corriente - de 150 mA, sin embargo, con un transistor externo esta corriente puede llegar a valores mayores de 10 Amperes.
- b) El voltaje de entrada al C.I. no debe ser mayor de 40 volts.
- c) Los voltajes de salida ajustable van desde 2 volts hasta 37 volts.

- d) Entre otras aplicaciones que tiene es que puede ser utilizado como regulador Shunt (Ver Glosario), regulador de corriente ó como controlador de temperatura.

Para el circuito de alimentación del Equipo se utilizará el C. I. LM723C que opera entre el rango de temperatura de 0°C a $+70^{\circ}\text{C}$, ya que el LM723 opera entre el rango de -55°C a $+125^{\circ}\text{C}$. Aunque los dos circuitos integrados son semejantes el segundo tiene un mayor rango de temperatura de trabajo siendo más costoso que el primero y por tanto más difícil de conseguir en el mercado.

Para una mayor información sobre este C.I. de regulación puede consultarse el Manual Linear Data Book de National Semiconductor.

III.6 DISIPADOR

Ya que los semiconductores al estar bajo condiciones de operación generan calor el cual si no es controlado puede llegar a dañarlos, se utiliza un dispositivo que sirve para disipar el calor y mantenerlo en tal forma que no dañe al semiconductor, este elemento recibe el nombre de DISIPADOR DE CALOR.

Un disipador de Calor tiene como función principal incrementar el área efectiva de disipación lo que equivale a reducir la resistencia térmica entre el encapsulado y el medio ambiente; es decir que, a medida que la temperatura se incrementa, la potencia de disipación decrece.

III.7 CALCULO DE LOS ELEMENTOS PARA LA FUENTE DE ALIMENTACION DE + 5 VOLTS.

Circuito a utilizar:

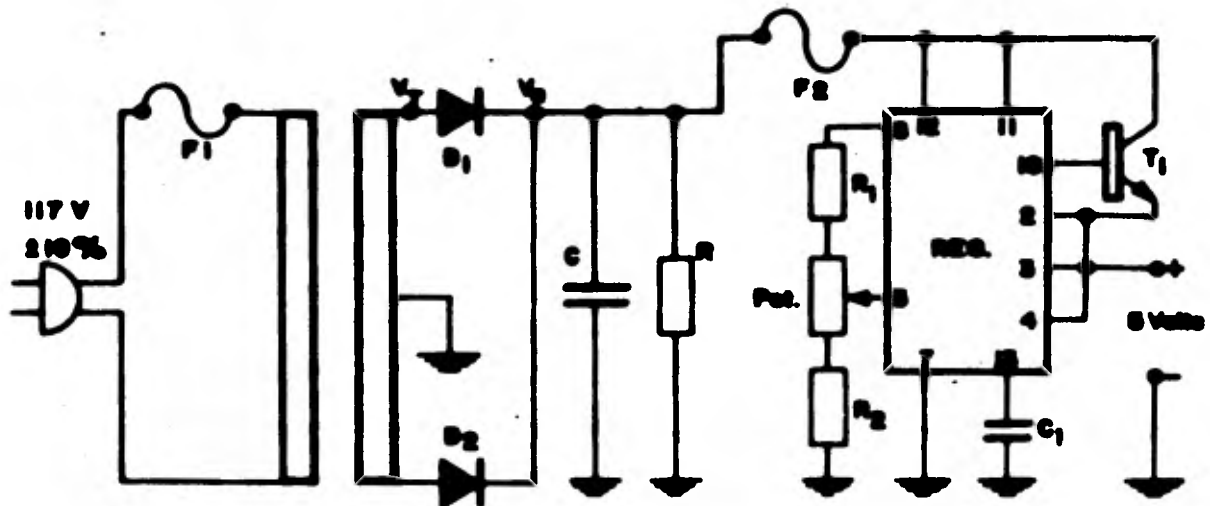


FIG. III.10

A) Transformador:

Ya que la salida Regulada son +5V y como condición de diseño para el funcionamiento del Regulador, el (Vent. = Voltaje de Entrada), al mismo será:

Vent (al Regulador) = $V_{sal. REG} + 3 \text{ volts.}$ (Necesarios - para el buen funcionamiento del Regulador)

$$\text{Vent.} = 5V + 3V = 8V$$

Este Vent. = V_a

La caída de tensión en un diodo de Silicio normalmente es igual a $\pm 0.7 \text{ volts.}$

Tomando el 30% como factor de seguridad, el voltaje a través del diodo en polarización directa:

$$V_D = 0.7 + 30\% V_{enc.} \approx 1 \text{ Volt.}$$

Por lo tanto el valor de $V_t = 9 \text{ V}$

Este valor es igual al 80% del voltaje en el secundario del Transformador, ya que es necesario considerar pérdidas como histéresis, R internas del transformador y corriente de Foucault.

$$\therefore 0.8 V_{sec} = 9 \text{ V}$$

$$V_{sec} = 11.25 \text{ volts}$$

Este valor en rms

$$V_{rms} = 7.955 \approx 8 \text{ volts}$$

El valor comercial de un transformador cercano a este valor es de 9 V y ya que como se vió al inicio de este capítulo la corriente necesaria es de 0.7 Amper, por lo tanto el transformador tiene las siguientes características:

$$I_{sec} = I \text{ a manejar} + 30\% \approx 1 \text{ Amper.}$$

Voltaje en el primario	117V \pm 10%
------------------------	----------------

Voltaje en el secundario	9V con tap central
--------------------------	--------------------

Corriente en el secundario	1 Amper
----------------------------	---------

Ya que se utilizará tap central, solo será necesario disponer de 2 diodos, para los cuales tenemos el siguiente cálculo:

a) Tiempo de Conducción del Rectificador:

$$\theta = \frac{T_2}{180^\circ}; T = \frac{1}{f} \quad (f = \text{frec. línea} = 60 \text{ hertz})$$

en donde : $\alpha = \cos^{-1} \frac{V_{CD}}{V_{CDO}}$

V_{CD} = Tensión con carga en el punto Va en valor RMS

V_{CDO} = Tensión sin carga en el punto Va en valor RMS;

$$VCD = \frac{8}{\sqrt{2}} = 5.657$$

$$VCDO \approx 6.5 \text{ volts}$$

$$\alpha = \cos^{-1} \frac{5.657}{6.5} = 29.508^\circ$$

Sustituyendo este valor en θ :

$$\theta = \frac{16.667 \times 2 \times 29.508}{180} = 5.465 \text{ (mseg)}$$

Recordar que: $T = \frac{1}{f} = \frac{1}{60} = 0.01667 \text{ seg} = 16.67 \text{ mseg.}$

b) Corriente de pico repetitiva:

$$I_p = 1.8 \times I_L \frac{T}{\theta}$$

En donde $I_L = \text{corriente de carga} = 0.7 \text{ Amper.}$

$$I_p = \frac{1.8 \times 0.7 \times 16.67}{5.465} = 3.843 \text{ Amper.}$$

c) Resistencia total en serie al Rectificador:

$$R_{s_{TOT}} = \frac{VCDO - VCD}{I_p} = \frac{6.5 - 5.657}{3.84} = 0.219 \Omega$$

d) Corriente de Pico transitoria de encendido:

$$I_{PT} \leq \frac{VCDO}{R_{s_{TOT}}} = \frac{6.5}{0.219} = 29.68 \text{ Amper.}$$

$$I_{PT} = 29.68 \text{ Amper.}$$

e) Cálculo del voltaje de pico inverso en el diodo:

$$VD = -2 VCDO = -2 \times 6.5 = -13 \text{ volts.}$$

De los pasos anteriores se desprende que de las características en el DIODO, se tiene el diodo SRO070 el cuál es de tipo comercial y tiene las siguientes características:

Voltaje de pico inverso = 100 volts
 Corriente promedio rectificad
 de sentido Directo = 3 amperes

Como puede observarse éstos valores dan un rango de seguridad al circuito bastante aceptable.

Filtro: Para el cálculo del filtro tenemos la siguiente relación:

$$C = \frac{I_L}{f \times V_{rizo}} \text{ (farads)}$$

El Vrizo = 10% de $V_a = 0.8$ volts.

f = frec. de la línea = 60 hertz

I_L = corriente a manejar por la carga ≈ 0.7 Amper.

$$\Rightarrow C = \frac{0.7}{60 \times 0.8} = 0.0145833 \text{ farads}$$

$\therefore C \approx 15000$ uf a un voltaje > 10 volts

tomando como factor de seguridad un 25% para el voltaje en el capacitor.

Para el cálculo de la R de descarga del capacitor:

$\tau_1 = RC$ y si τ_1 se elige = 10 seg.

$$R = \frac{\tau_1}{C} = \frac{10 \times 10^6 \text{ uS}}{15 \times 10^3 \text{ uf}} \approx 0.666 \times 10^3 \Omega$$

Potencia en R:

Como el voltaje en R = 8 volts.

$$I_R = \frac{8 \text{ V}}{500} = 0.016 \text{ A} \quad P = VI = 0.128 \text{ watts}$$

Un valor comercial es el siguiente:

$$560 \Omega \quad \text{a} \quad 1/2 \text{ watt}$$

Del Manual Linear Data Book de National Semiconductor las R_1 y

R_2 son:

$$R_1 = 0.75 \text{ K}\Omega = 750 \Omega \quad \text{a} \quad 1/2 \text{ watt}$$

$$R_2 = 2.2 \text{ K}\Omega \quad \text{a} \quad 1/2 \text{ watt}$$

$$\text{Potenci6metro} = 0.5 \text{ K}\Omega \quad (\text{para ajuste a } +5\text{V})$$

El transistor sugerido por el mismo libro es el 2N3054, el cual cumple con las caracteristicas necesarias para la amplificaci6n de corriente.

Protecciones (fusibles)

$$\text{Tomando en cuenta que} \quad a = \frac{E_p}{E_s} = \frac{117}{9} = 13$$

$$F_1 \Rightarrow I_p = \frac{I_s}{a} = \frac{0.7 \text{ A}}{13} = 0.05 \text{ Amp.}$$

$$F_1 \approx 1/4 \text{ Amp.}$$

$$\text{y} \quad F_2 = 0.750 \text{ Amp.}$$

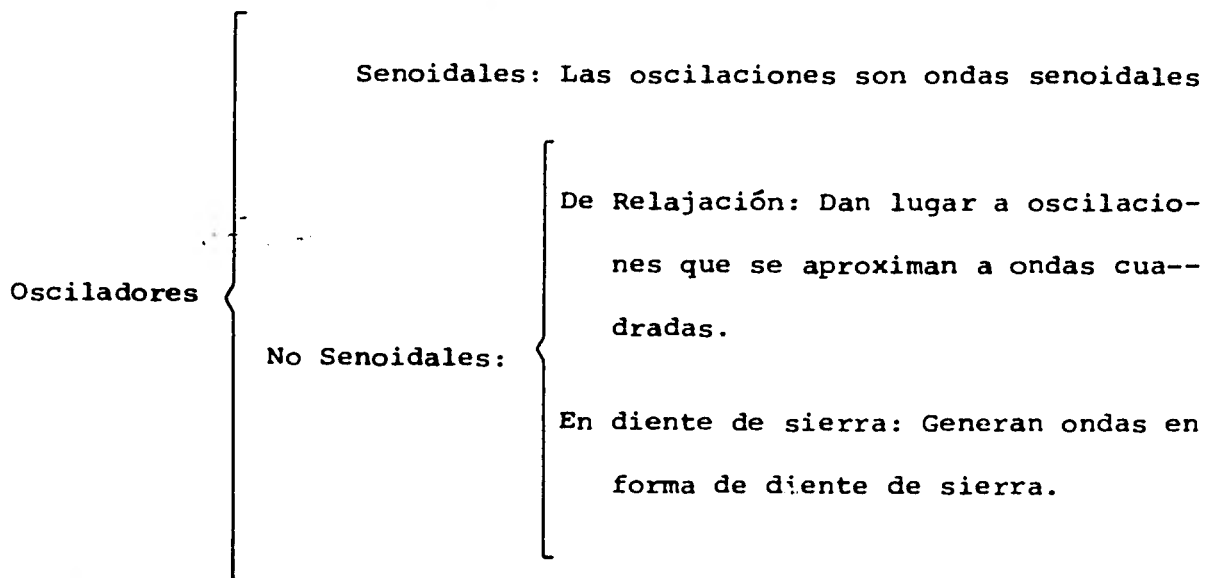
CAPITULO IV

OSCILADOR

IV.1.- DEFINICION

El oscilador es un circuito que genera una señal, la cual se repite -
continuamente.

Una división general de los osciladores es la siguiente:



Este circuito no requiere de una señal de entrada, porque produce su salida utilizando únicamente la potencia suministrada por la fuente de energía.

Esquemáticamente se tiene lo siguiente:

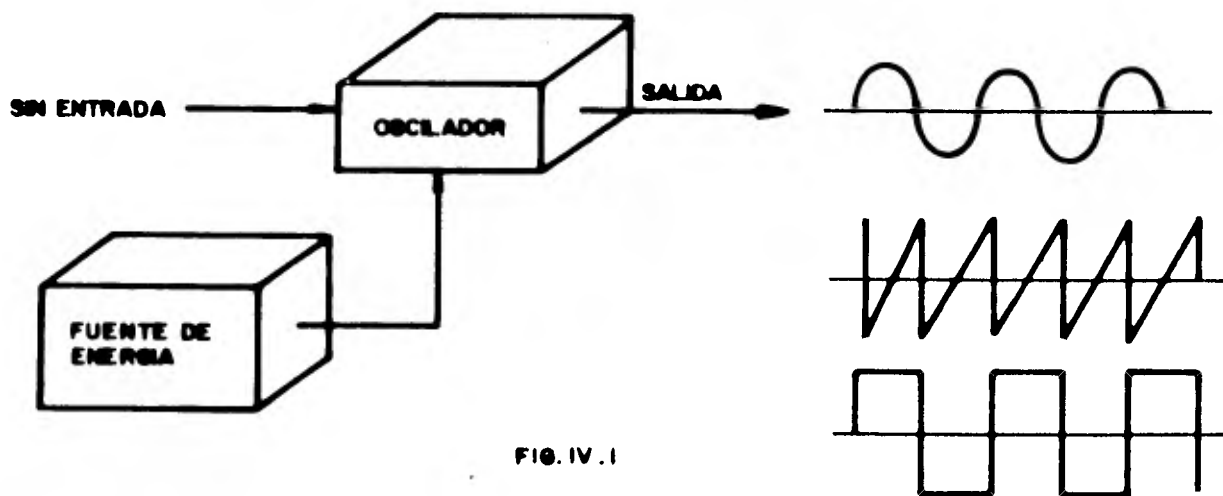


FIG. IV.1

IV.2.- CONDICIONES DE OSCILACION

Las condiciones para que el circuito oscile son:

- 1.- Que el circuito tenga una amplificación (Ganancia)
- 2.- Que una porción de la salida sea realimentada a la entrada, sabiendo que:
 - La realimentación deberá ser positiva.
 - La cantidad de energía realimentada a la entrada debe ser suficiente para superar las pérdidas de energía que haya en el circuito de entrada, implicando que:
 - a) El voltaje de realimentación debe ser el suficiente para poder producir la ganancia deseada.
 - b) La cantidad de energía realimentada a la entrada debe ser la necesaria para superar las pérdidas de energía que haya en el circuito de entrada.

IV.3.- ESTABILIDAD

Un oscilador debe producir la frecuencia deseada y mantener su amplitud constante dentro de ciertos límites cuando opera, es decir debe ser ESTABLE de tal manera que tendremos:

- Estabilidad de Frecuencia
- Estabilidad de Amplitud

La estabilidad de frecuencia se define de la manera siguiente:

$$S_F = F_0 \frac{dp}{df}$$

siendo: F_0 = Frecuencia de oscilación
 f = frecuencia de operación
 p = perturbación

Una perturbación es la variación de alguno de los parámetros que tienen acción sobre el punto de funcionamiento del oscilador como pueden ser: la temperatura, el voltaje de alimentación, la β del transistor, etc., o los cambios de valores resistivos, inductivos y capacitivos en los -- componentes del circuito.

Por lo tanto la fórmula nos dice como varía la perturbación en función de la frecuencia.

La estabilidad de amplitud se define así:

$$S_A = \frac{dp/p}{dA/A}$$

en donde A = amplitud

Es decir, es el cociente entre la variación relativa de la magnitud de -- la perturbación y la variación relativa de la amplitud.

IV.4.- BREVE ANALISIS CON TECNICAS DE CONTROL

Para analizar la oscilación del circuito se usan varias técnicas de control, una de ellas, la cual se mencionó anteriormente es la "realimentación"; así, podemos representar a un oscilador como:

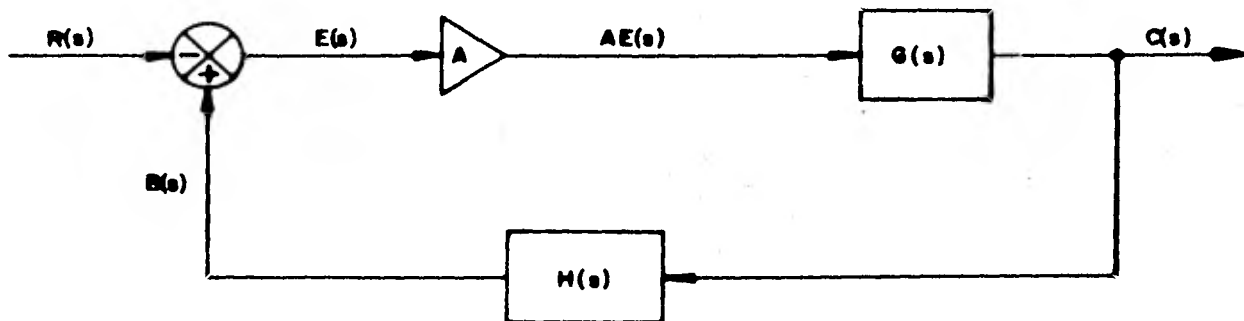


FIG. IV.2

donde:

- $R(s)$ es la señal de referencia
- $B(s)$ es la señal de realimentación
- $E(s)$ es la señal de error
- $G(s)$ es la función de transferencia
- $H(s)$ es el elemento de realimentación
- $C(s)$ es la señal de salida
- A es la amplificación

De esto sabemos que:

$$E(s) = R(s) + B(s) \quad (1)$$

$$G(s) = \frac{C(s)}{AE(s)} \quad (2)$$

$$B(s) = H(s) C(s) \quad (3)$$

De (2) \Rightarrow $C(s) = AG(s) E(s) \quad (4)$

Sustituyendo (3) en (1) tenemos que: $E(s) = R(s) + H(s) C(s) \quad (5)$

Eliminando $E(s)$: Sustituyendo (5) en (4)

$$C(s) = AG(s) [R(s) + H(s) C(s)]$$

$$= AG(s) R(s) + AG(s) H(s) C(s)$$

$$AG(s) R(s) = C(s) - G(s) H(s) C(s) A$$

$$= (1 - G(s) H(s) A) C(s)$$

$$\frac{C(s)}{R(s)} = \frac{AG(s)}{1 - AG(s) H(s)}$$

donde: $AG(s) H(s)$ es definida como "Lazo de Ganancia", entonces:

$$A_G(s) = AG(s) H(s)$$

$$\frac{C(s)}{R(s)} = \frac{AG(s)}{1 - A_G(s)}$$

La ecuación característica de este sistema se obtiene haciendo el denominador de lado derecho igual a cero es decir:

$$1 - A_G(s) = 0 \quad ; \quad A_G(s) = 1$$

$$AG(s) H(s) = 1$$

Como $AG(s) H(s)$ es una magnitud compleja, la ecuación anterior se puede dividir en dos ecuaciones a su vez, igualando los ángulos y los valores absolutos en ambos miembros respectivamente para obtener:

$$\angle G(s) H(s) = \pm \cdot 180^\circ (2K) \quad (K = 0, 1, 2, \dots)$$

y:

$$|AG(s) H(s)| = 1$$

(Nota) El factor $(2K)$ se usa en realimentación positiva y el factor $---$ $(2K+1)$ se usa en realimentación negativa.

Los valores de S que cumplen las ecuaciones de ángulo y amplitud, son -- las raíces de la ecuación característica. El diagrama de los puntos del plano complejo que satisfacen la condición de ángulo, solamente son el - lugar de las raíces. Las raíces de la ecuación característica correspon-- dientes a un solo valor de la ganancia, pueden ser determinados de la --

condición de amplitud.

En todo sistema que origine oscilaciones sostenidas se plantean cuatro preguntas esenciales:

- a) La determinación de la condición de oscilación
- b) La frecuencia de oscilación
- c) Su amplitud
- d) La forma de la señal o su porcentaje de armónicas

Las dos primeras cuestiones se pueden resolver por métodos lineales y las siguientes requieren de métodos especiales para sistemas no lineales.

Ahora bien, para el proceso de diseño de un oscilador nosotros podemos seleccionar un patrón conveniente para $AG(s)H(s) = 1$, que causa un -- para de raíces conjugadas y complejas, al cruzar el eje imaginario a -- una determinada frecuencia ω_0 tal que A ó $(-A)$ es incrementada. Entonces podemos determinar el valor mínimo (A_{\min}) de A con los lugares de las raíces sobre el eje imaginario, para posteriormente incorporar -- alguna técnica de análisis no lineal.

IV.5.- OSCILADOR DE CRISTAL

Cuando se requiere de gran estabilidad en frecuencia se usan los osciladores de cristal. En estos osciladores, una plaquita de cristal piezoeléctrica tales como el cuarzo, la turmalina y la sal de signette, constituye el elemento que determina la frecuencia. El cuarzo es sílice cristalizada en el sistema romboédrico. Presenta tres ejes de simetría,

que son conocidos con el nombre de ejes óptico, eléctrico y mecánico. - En electrónica se emplea en forma de láminas talladas en un bloque de cristal bruto.

El efecto piezoeléctrico consiste básicamente en lo siguiente:

Cuando se ejerce presión mecánica en uno de estos cristales, se producen cargas eléctricas de polaridad opuesta en sus caras. Si se aplica una fuerza opuesta o tracción en el cristal, se invierte la polaridad de estas cargas. Por lo tanto si se somete a torsión o dos fuerzas que actúan alternadamente en direcciones opuestas, se puede generar mecánicamente un voltaje de corriente alterna en el cristal. Recíprocamente si se aplica un voltaje de corriente alterna a las caras del cristal, se producen vibraciones mecánicas en él, dichas vibraciones se amortiguan gradualmente hasta cesar, cuando se deja de aplicar el voltaje de corriente alterna. Pero si la energía eléctrica que se suministra es suficiente para compensar las pérdidas de amortiguamiento, el cristal continuará vibrando y, al hacerlo, generará un voltaje de C.A. tal como lo hace un circuito tanque LC.

La amplitud de vibración de un cristal de cuarzo depende de la frecuencia natural de vibración mecánica del cristal y la frecuencia eléctrica de excitación. Un cristal tiene características de selección de frecuencias sumamente pronunciadas. Debido a esta propiedad los cristales se utilizan mucho en circuitos osciladores.

Las características que presenta un cristal dependen de muchos factores, tales como composición, corte y dimensiones físicas. Sin embargo, la frecuencia natural de un cristal llamada también frecuencia resonante por lo general está determinada por su espesor. Mientras más delgado sea el cristal, mayor será su frecuencia resonante.

Si se aplica en los extremos del cristal una tensión senoidal, se ha comprobado que el cuarzo se puede representar, desde el punto de vista eléctrico, por el esquema de la figura (a); la capacitancia C_0 está -- originada por la existente entre las armaduras. En la práctica, el comportamiento del cuarzo en las proximidades de su frecuencia de resonancia se traduce por el esquema de la figura (b).

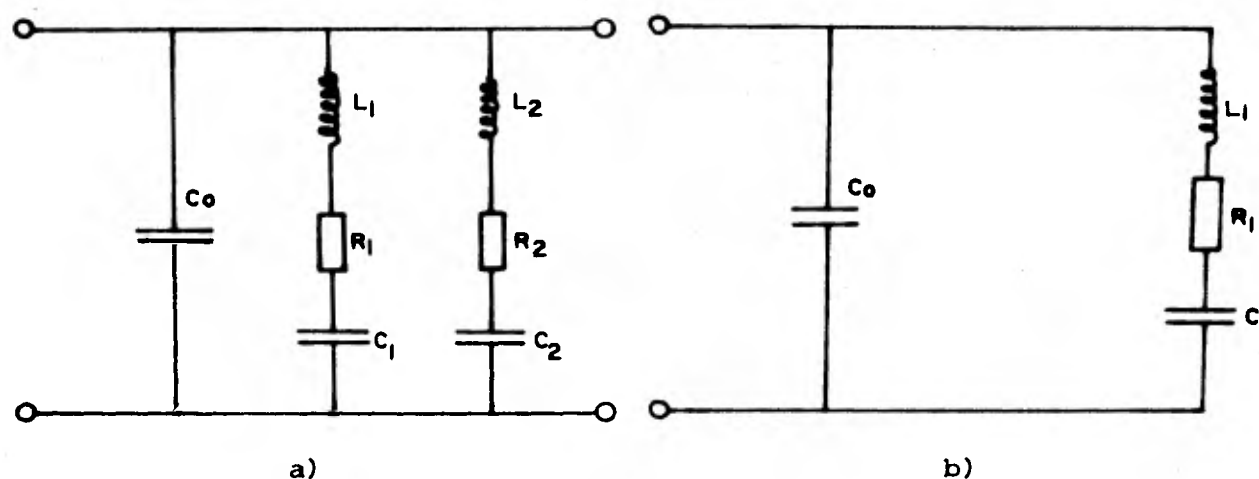


FIG. IV.3

Circuito equivalente de un cristal de cuarzo.

A título de ejemplo, citaremos los órdenes de magnitud de los parámetros de los cristales de cuarzo.

La resistencia R_1 es del orden de 10,000 ohmios a una frecuencia de -- 50 KHz y 1 MHz y decreciendo hasta un centenar de ohmios para frecuencias superiores a 1 MHz.

La inductancia L_1 es del orden de decenas o centenares de henrios. -- La capacitancia C_0 es del orden de algunos picofaradios, mientras que la capacitancia C_1 es mucho menor.

Todos estos valores dependen de la talla y las dimensiones de los cristales.

El factor calidad, comprendido entre 20,000 y 50,000, se multiplica por un factor 10 si se coloca el cuarzo en el vacío.

El cristal presenta dos frecuencias muy próximas; la f_s corresponde a la resonancia de L_1 y C_1 , siendo:

$$f_s = \frac{1}{2\pi \sqrt{L_1 C_1}}$$

La frecuencia f_p corresponde a la resonancia paralela de C_0 y del conjunto $L_1 C_1$, verificándose:

$$f_p \approx f_s \sqrt{1 + \frac{C_1}{C_0}}$$

como:

$$C_0 \gg C_1$$

$$C_1/C_0 \approx 0$$

$$\therefore f_p \approx f_s$$

En las frecuencias comprendidas entre f_s y f_p , el cuarzo se comporta como una inductancia de elevado valor, y por el exterior de este margen de frecuencias, como una capacidad de pequeño valor.

Las variaciones de la impedancia del cristal en función de la frecuencia presentan la forma indicada en la siguiente figura.

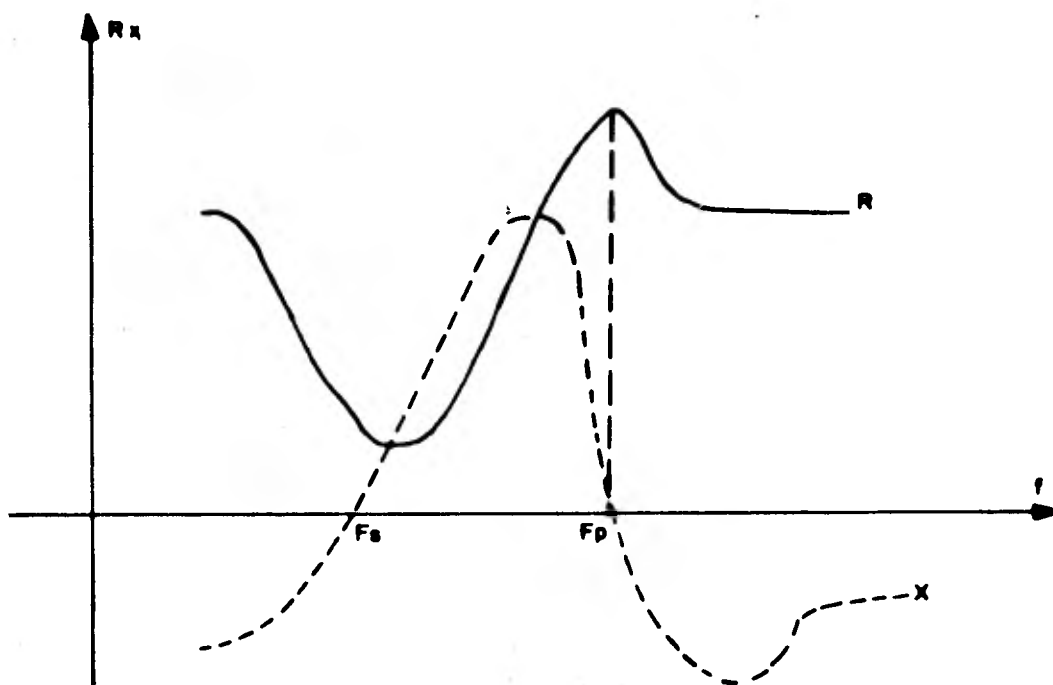
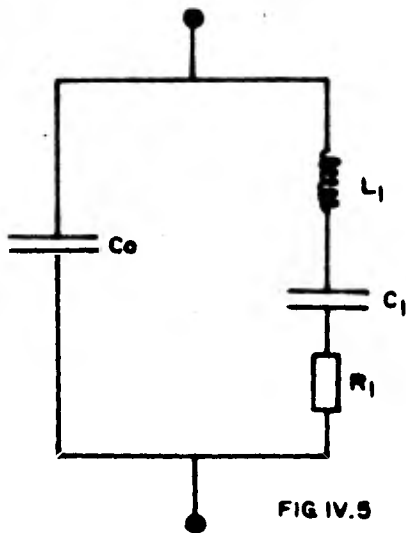


FIG. IV.4

Resistencia y reactancia de un cristal de cuarzo
en función de la frecuencia.

La mayor parte de las materias cristalinas se expanden o contraen, dependiendo de los cambios de temperatura circundante, por lo tanto la temperatura afecta la frecuencia del oscilador, para lo cual se coloca al cristal en un horno de temperatura controlada, así las fluctuaciones que hay tanto en la temperatura del equipo, como la carga del oscilador no influirán considerablemente en la frecuencia.

Parámetros típicos del cristal a 10 MHz.



$$R_1 \approx 12 \Omega$$

$$C_0 = 6 \text{ pF}$$

$$C_1 = 24 \times 10^{-15} \text{ F} = 0.024 \text{ pF}$$

$$L_1 = \frac{1}{4\pi^2 f^2 C_1}$$

$$L_1 = 0.01055 \text{ Hy}$$

$$f_o = \frac{1}{2\pi \sqrt{LC}} = 10.002$$

$$Q = \frac{2\pi f L}{R} = 55240$$

$$Y(S) = \frac{SC_0 \left[S^2 + S \frac{R}{L} + \left(1 + \frac{C_1}{C_0} \right) \omega_o^2 \right]}{S^2 + S \frac{R}{L} + \omega_o^2}$$

$$\omega_o^2 = \frac{1}{LC}$$

$$Y(S) = \text{Admitancia de la red} = \frac{I(S)}{V(S)}$$

IV.6.- ANALISIS DEL CIRCUITO UTILIZADO

A continuación se muestra el diagrama del circuito implementado:

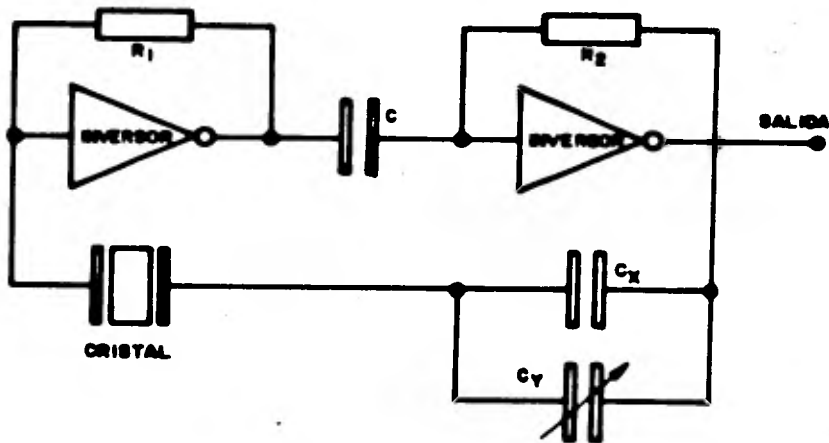


FIG. IV.6

El mismo circuito pero ahora utilizando las técnicas de análisis de Control:

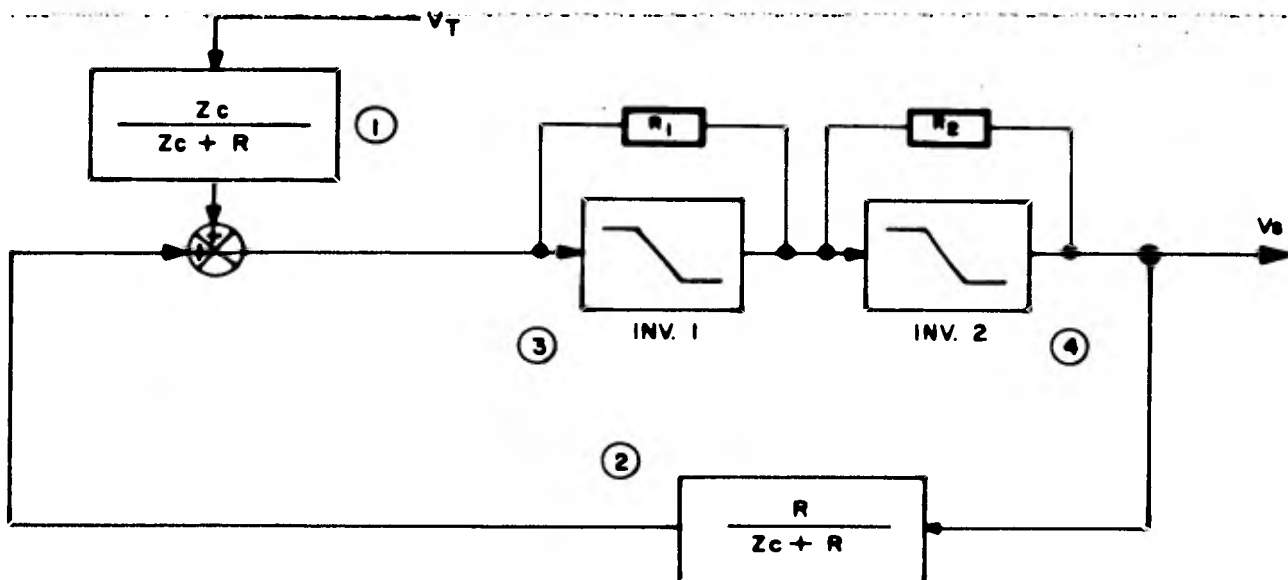


FIG. IV.7

Analizando cada uno de los bloques se tiene lo siguiente:

Los bloques 3 y 4 se deducen del modelo simplificado de un inversor -- TTL realimentado por una resistencia:

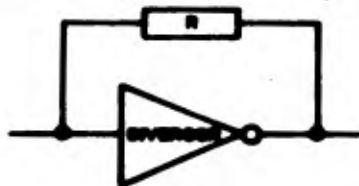


FIG. IV.8

La característica i_e Vs v_e del bloque 3 es la siguiente:

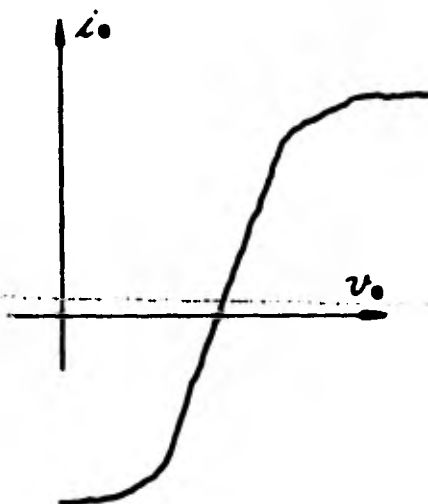


FIG. IV.9

Aproximando esta curva a una recta de pendiente $1/R$ y que corta al eje v_e en el punto V_T se tiene:

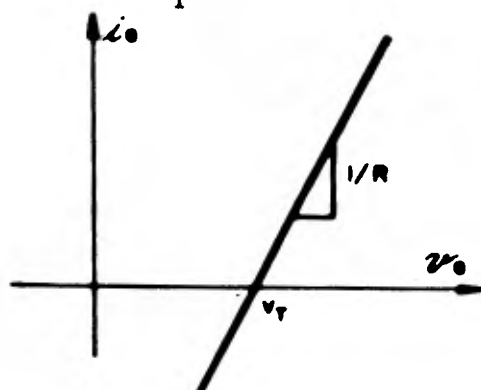
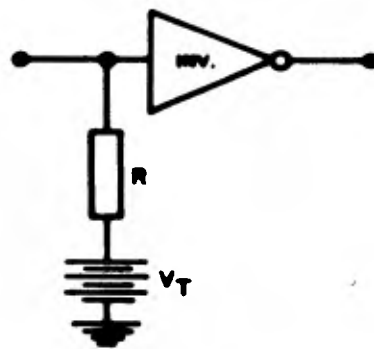


FIG. IV.10

La ecuación de esta recta es:

$$i_e = \frac{1}{R} (v_e - V_T) \dots \dots \dots (I)$$

Eléctricamente se representa con el diagrama siguiente:



NOTA:

El inversor ahora se considera con

$$Z_i \rightarrow \infty$$

FIG. IV.11

Sustituyendo este modelo en el circuito de la figura IV.6 para el primer inversor se tiene:

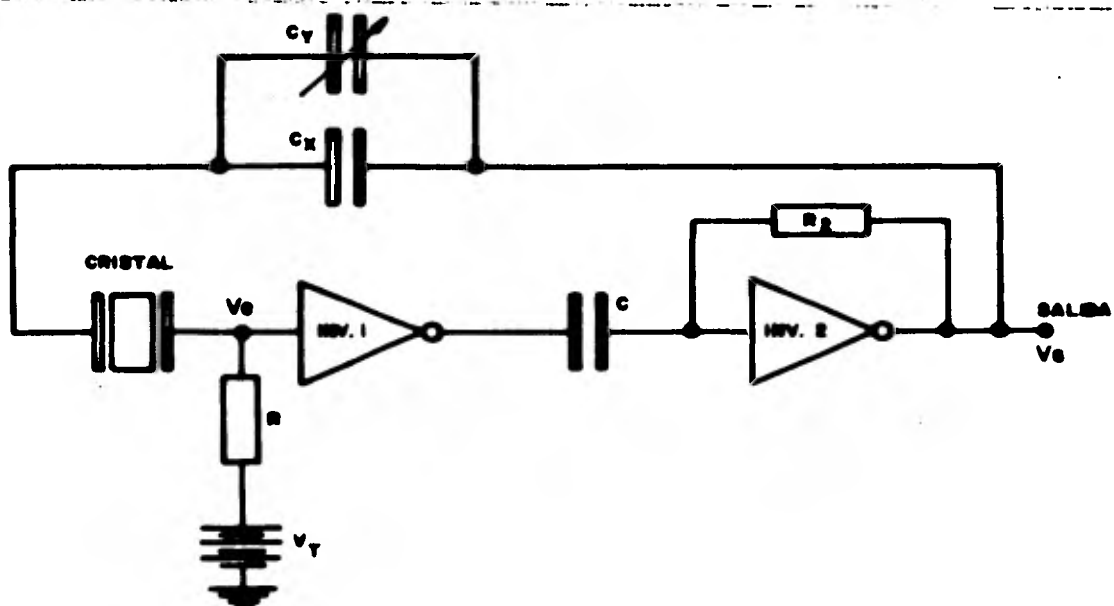


FIG. IV.12

Simplificando el circuito anterior obtenemos:

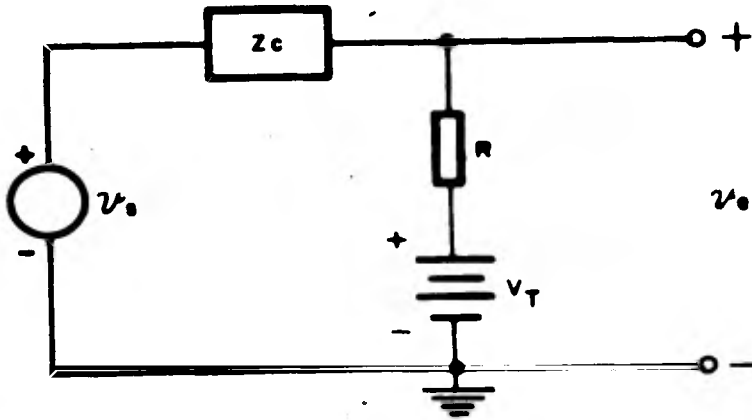


FIG. IV.13

En donde Z_c representa la impedancia del cristal y los capacitores C_x y C_y que son los bloques de realimentación.

La función de Transferencia se obtiene del análisis del circuito de la figura IV.13.

Por superposición:

$$v_e = v_{e1} + v_{e2} \dots \dots (II)$$

Cuando $v_s = 0$

$$v_{e1} = v_T \left(1 - \frac{v_T}{R + Z_c} \right)$$

Simplificando:

$$v_{e1} = v_T \left(1 - \frac{R}{R + Z_c} \right)$$

$$v_{e1} = v_T \left(\frac{R + Z_c - R}{R + Z_c} \right) = v_T \left(\frac{Z_c}{R + Z_c} \right) \dots \dots (III)$$

Para $V_T = 0$

$$v_{e2} = \frac{R V_S}{R + Z_C}$$

$$v_{e2} = V_S \left(\frac{R}{R + Z_C} \right) \dots \dots \dots (IV)$$

Sustituyendo las ecuaciones III y IV en II :

$$v_e = V_T \left(\frac{Z_C}{R + Z_C} \right) + V_S \left(\frac{R}{R + Z_C} \right)$$

que es lo que está representado en los bloques 1 y 2.

Finalmente los bloques 3 y 4 representan la función de Transferencia de los inversores TTL, la cual muestra la siguiente figura:

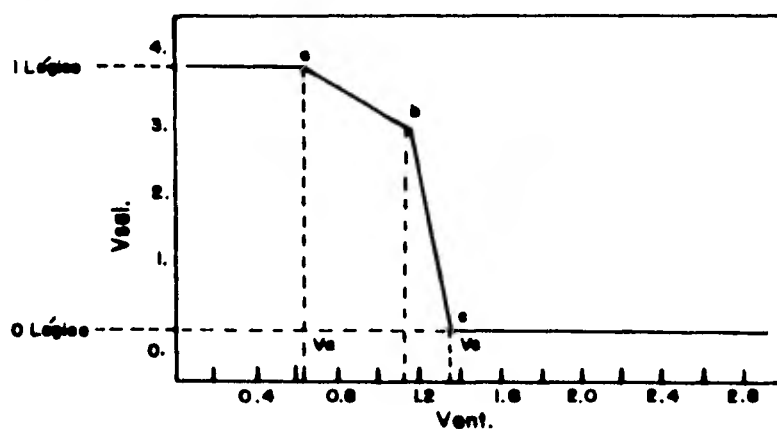


FIG. IV.14

El análisis anterior muestra el funcionamiento del circuito considerando solamente el comportamiento del primer inversor con su resistencia de realimentación, la cual tiene como función sumar una componente de directa a la señal que proviene del cristal, ya que esta señal por si sola no tiene el valor suficiente para disparar al inversor.

Para el segundo inversor pudo observarse experimentalmente que el objeto de su resistencia de realimentación es asegurar el inicio del funcionamiento del segundo inversor.

Un análisis más profundo del circuito anterior queda fuera del alcance de este trabajo.

CAPITULO V

COMPARADOR

- V -

C O M P A R A D O R

V.1 DEFINICION

En la explicación general de nuestro dispositivo, se mencionó el uso de comparadores de voltaje para la generación de los pulsos a medir.

El comparador es un circuito que compara una señal de entrada $V_i(t)$ con un voltaje de referencia V_R . Cuando la entrada V_i excede V_R , la salida V_o del comparador toma un valor, el cual es muy diferente de la magnitud de V_o cuando V_i es más pequeño que V_R . Básicamente, un comparador tiene 2 posibles voltajes de salida (o estados) correspondientes a condiciones de entrada arriba o abajo de ciertos límites de voltaje.

El uso principal de los comparadores es como detectores de nivel, ya que proveen un cambio en el voltaje de salida cuando la entrada ha excedido o caído abajo de un cierto nivel fijado por el voltaje de referencia. Los comparadores son frecuentemente requeridos para proveer entradas a compuertas lógicas.

V.2 EL AMPLIFICADOR OPERACIONAL COMO COMPARADOR

Tomando en cuenta que cualquier amplificador físico tiene un rango limitado sobre el cual puede responder linealmente a una señal de entrada, un amplificador operacional puede servir como un comparador.

Un amplificador operacional, es un circuito que se comporta en una parte de su rango de operación como un amplificador lineal de voltaje de alta ganancia. Con la tecnología actual de circuitos integrados, un amplificador de alta calidad puede ser construido a un bajo costo. El símbolo básico de un amplificador operacional es el siguiente:

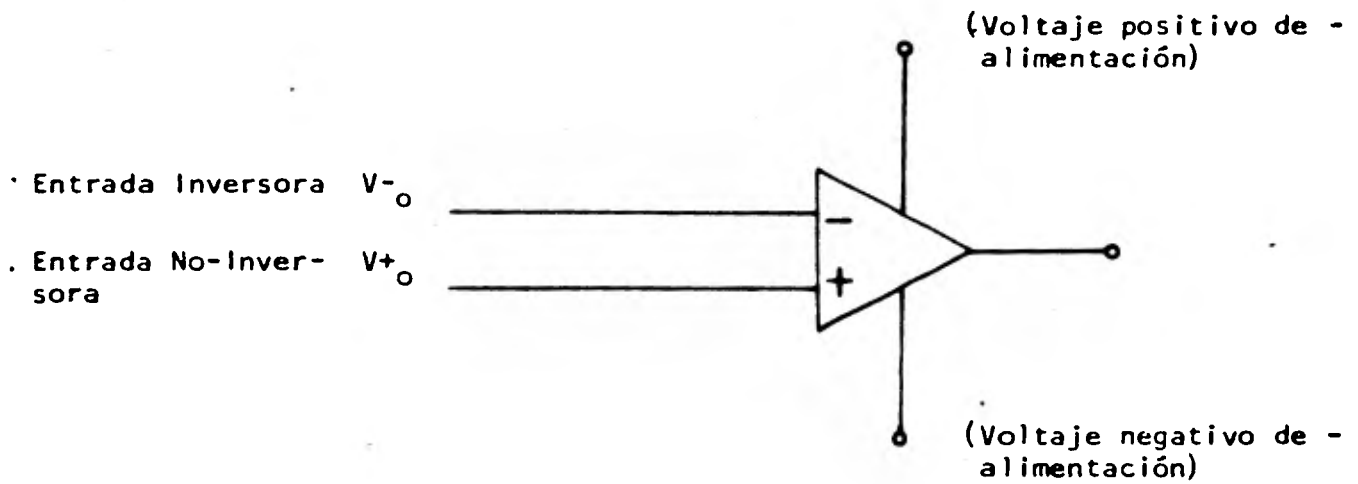


FIG. V.1

El amplificador operacional ideal tiene una resistencia de entrada infinita y una resistencia de salida igual a cero. La característica de transferencia de un amplificador operacional es de la siguiente forma:

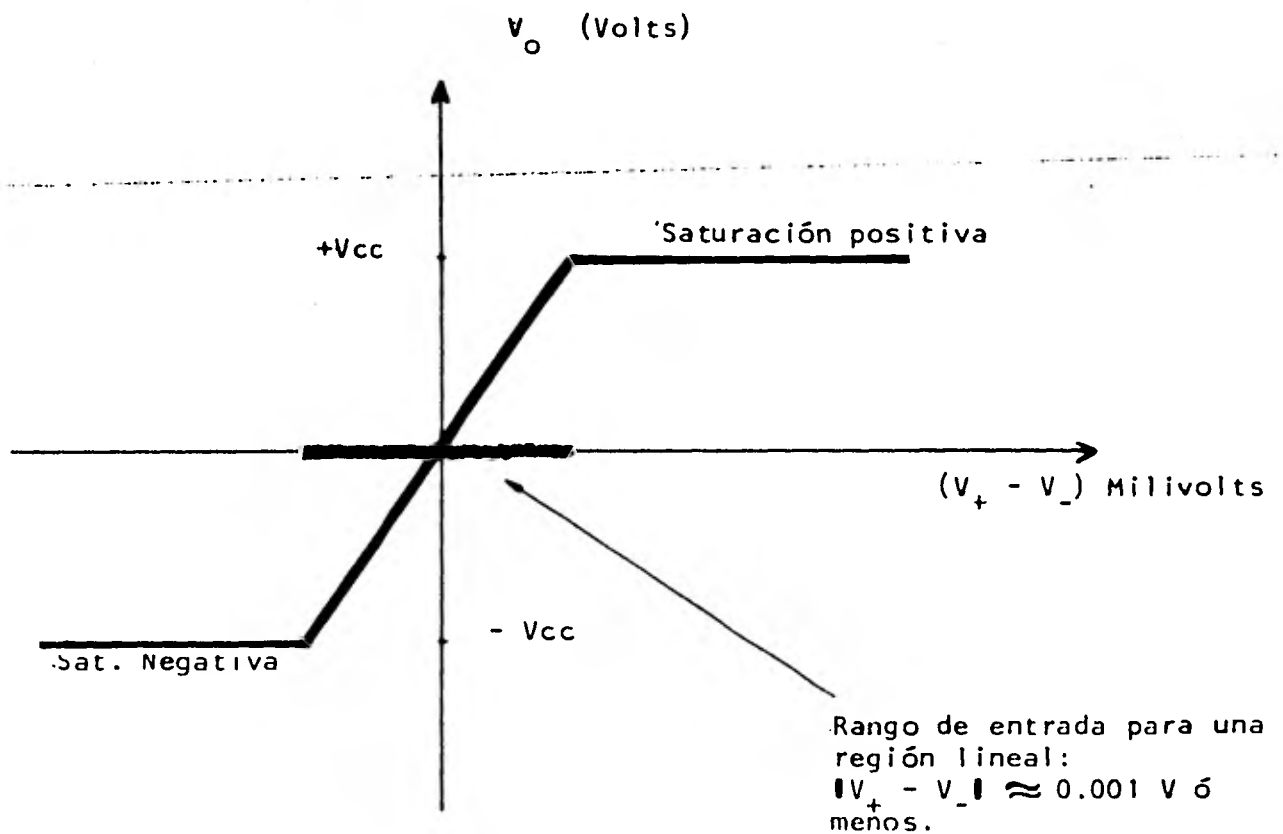


FIG. V.2

En la región lineal, el voltaje de salida V_o permanece entre los dos voltajes de alimentación. La relación funcional entre V_o y la diferencia en los voltajes de entrada ($V_+ - V_-$) es lineal con una ganancia A de voltaje usualmente mayor de 10,000.

$$A = \frac{V_o}{V_+ - V_-}$$

Debido a que la ganancia en la región lineal es tan grande, y debido a que el rango de voltaje de salida es finito, el rango de la diferencia de voltajes de entrada en la región lineal es muy pequeño. Para operación en la región lineal debemos tener:

$$|V_o| < |V_{cc}|$$

además,

$$V_o = A (V_+ - V_-)$$

Combinando ambas ecuaciones:

$$|V_+ - V_-| < \left| \frac{V_{cc}}{A} \right|$$

Para amplificadores operacionales típicos, la ganancia de lazo abierto, usualmente llamada A , tiene un rango entre diez mil y un millón. Por consiguiente, para voltajes de alimentación de 10 a 15 volts, el ancho de la región lineal es de alrededor de un milivolt ó menos.

La operación en cualquier región de saturación, está caracterizada por voltajes de entrada distintos, esto es, por diferencias entre V_+ y V_- mayores de un milivolt. Así, si $V_+ > V_-$ (por más de un milivolt) podemos suponer que V_o está saturado en V_{cc} . Similarmente, si $V_- > V_+$ por más de un milivolt podemos suponer que V_o está saturado en $-V_{cc}$.

Si realimentamos de la salida a la terminal inversora (V_-) tendería a producir operación en la región lineal, mientras que la ausencia de realimentación (operación en lazo abierto) ó realimentando a la terminal no inversora, resulta en saturación en uno de los voltajes de alimentación.

La habilidad de discriminar entre voltajes distintos es muy útil y es por ello que los amplificadores operacionales pueden ser diseñados específicamente para su aplicación como comparadores. Un amplificador operacional -- sin realimentación con una entrada alimentada con un voltaje de referencia, sería un ejemplo de comparador. El voltaje a ser comparado con el de referencia se aplica a la otra entrada como podemos observar en la siguiente figura:

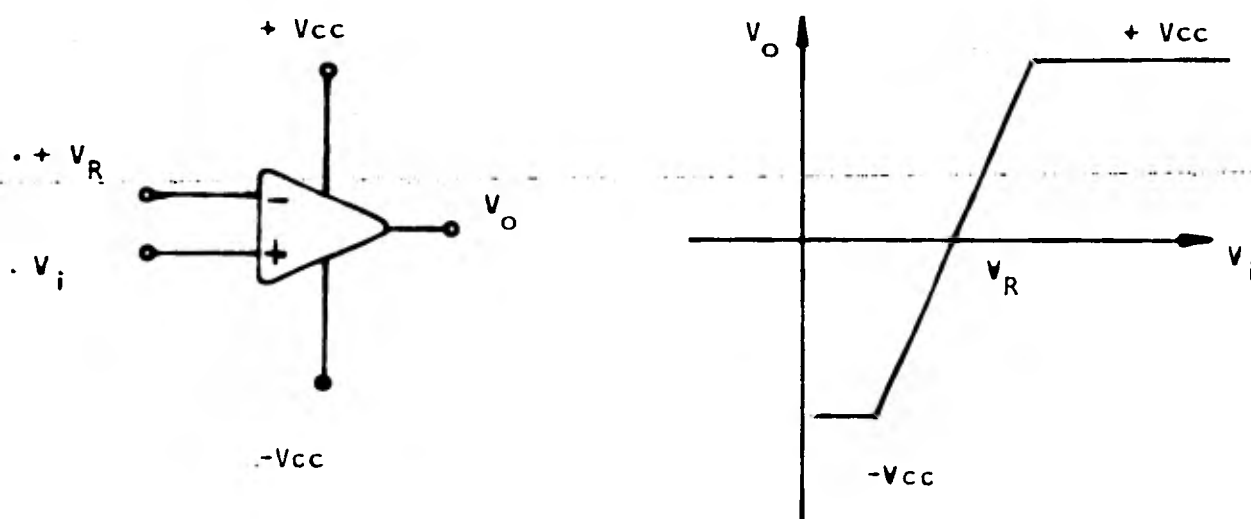


FIG. V.3

Con un voltaje de referencia aplicado a la entrada inversora, la salida se satura en el voltaje de alimentación negativo mientras el voltaje de entrada aplicado a la entrada no inversora sea menor que el voltaje de referencia. Cuando la entrada excede el voltaje de referencia, la salida es llevada a saturación y toma el valor del voltaje positivo de alimentación.

El hecho de que el rango de operación lineal de un amplificador sea demasiado pequeño, nos ayuda en el comparador a que el switcheo sea rápido.

Los comparadores tienen voltajes de entrada de offset (*), los cuales son los mismos que para un amplificador operacional y tienen corrientes de entrada de offset (*), bastante mayores que para los amplificadores operacionales. La corriente de offset es del orden de 5 microamperes para un comparador, mientras que para un amplificador operacional es de 50 nanoamperes.

La relación de rechazo de modo común (RRMC) (*), es igual en los comparadores y en los amplificadores operacionales estando en el rango de 60 a 100-db. En un comparador se necesita una gran RRMC con el fin de asegurar que cuando el voltaje de referencia cambia, el punto de comparación cambiará precisamente en la misma cantidad.

Además del comparador realizado con un amplificador operacional, existen muchos circuitos integrados diferentes disponibles para usarse como comparadores específicos. Las características de estas unidades radican en la mejora del switcheo y en los niveles de salida, los cuales son compatibles para manejar directamente circuitos lógicos.

V.3 CIRCUITO UTILIZADO

En nuestro dispositivo, utilizamos el circuito integrado LM 339. Este cir-

(*) Ver Glosario de Términos,

cuito está formado de 4 comparadores de voltaje de precisión independientes, con una especificación de voltaje de offset tan baja de alrededor de 2 milivolts para los 4 comparadores. Dichos comparadores están diseñados específicamente para operar con una sola fuente de alimentación.

El diagrama esquemático y las conexiones de este circuito son:

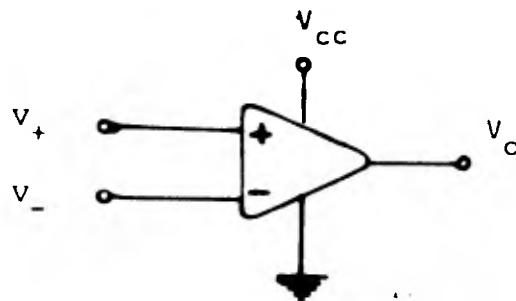
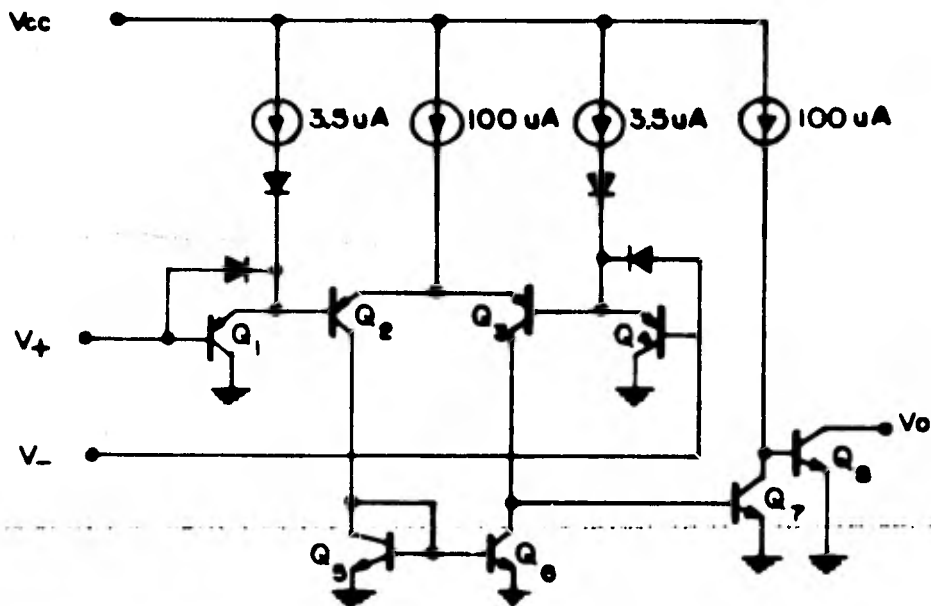


FIG. V.4

Podemos observar en el diagrama el hecho de que el voltaje de alimentación negativo esté aterrizado, permite que el comparador sea compatible para trabajar con compuertas lógicas para un $V_{CC} = 5 \text{ V}$.

Para el cronómetro digital fue necesario usar únicamente 2 comparadores del circuito integrado, siendo nuestra configuración utilizada la siguiente:

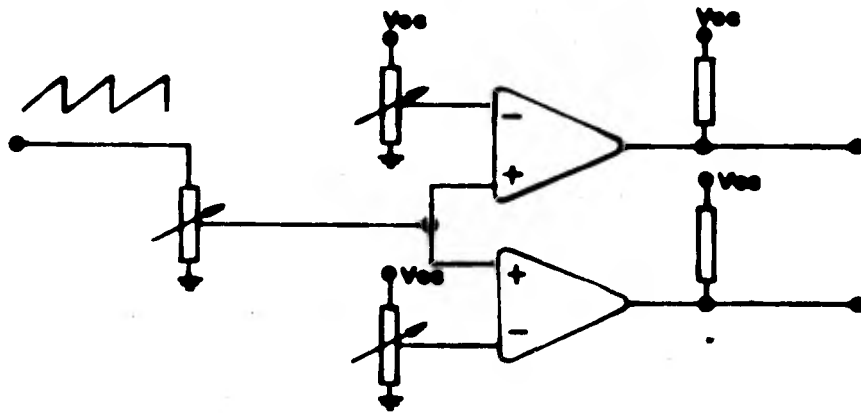


FIG. V.5

Como la alimentación de voltaje negativo está aterrizada, obtendremos una característica de la forma:

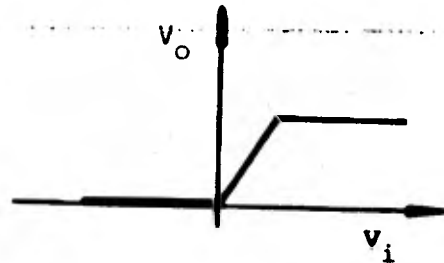


FIG. V.6

en lugar de la característica típica de un amplificador operacional, que es esta:

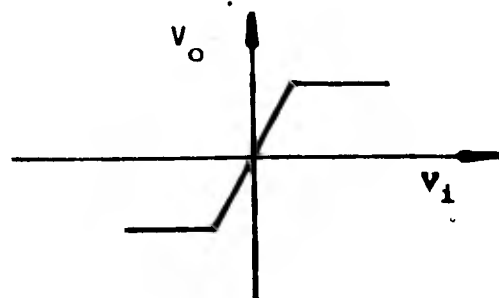


FIG. V.7

En el cronómetro digital, los comparadores utilizados determinan el inicio y la terminación de los pulsos que van a ser aplicados al primer circuito secuencial para su posterior medición, así como la aplicación de los mismos al canal 2. Esto se realiza por medio de la comparación del nivel de voltaje de una muestra de la señal diente de sierra con niveles de referencia ajustables.

Los potenciómetros que se encuentran en cada entrada no inversora, sirven para controlar dicho inicio y terminación.

En la siguiente figura podemos observar la forma en que al mover estos potenciómetros nos determinan el tamaño del pulso.

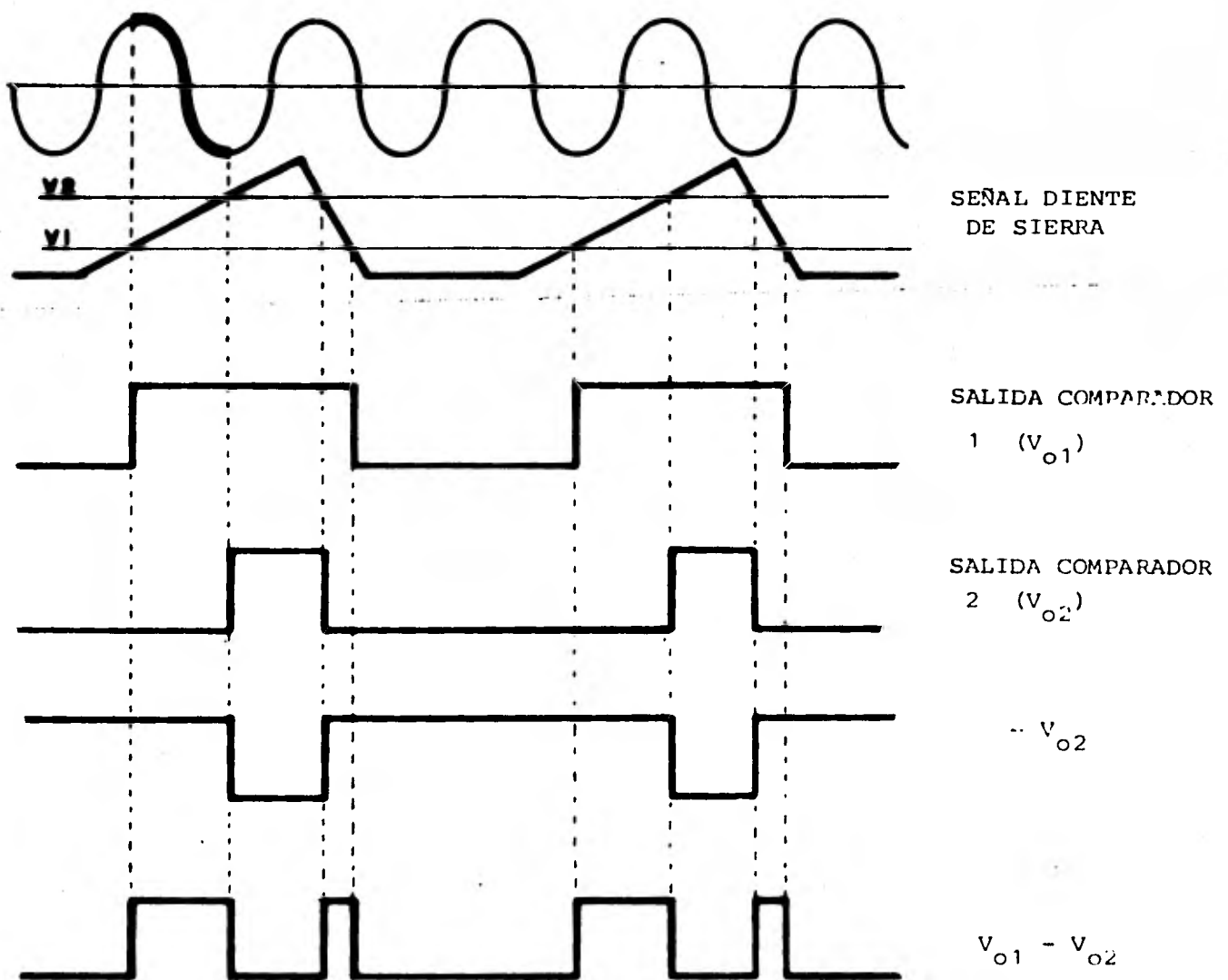


FIG. 1.0

CAPITULO VI

DISEÑO DE LOS CIRCUITOS SECUENCIALES

VI.1.- INTRODUCCION.

Como se vió en la descripción general del aparato, fue necesario utilizar dos circuitos secuenciales ya que las señales a controlar siguen una secuencia lógica que no es posible resolver con lógica combinacional. - El primer secuencial elimina el pulso indeseable que se produce en el retraso de la señal diente de sierra y el segundo circuito permite tomar un pulso completo cada determinado tiempo a partir de un tren de pulsos para activar el circuito contador.

Primeramente, se describirá en que consiste un circuito secuencial; a continuación los elementos que lo forman y la secuencia que debe seguirse para el desarrollo del mismo, finalmente se describirán los pasos que se siguieron en el diseño de ambos circuitos.

VI.2.- DESCRIPCION DE UN CIRCUITO SECUENCIAL,

La mayoría de los sistemas digitales encontrados en la práctica, incluyen elementos de Memoria, lo cual requiere que el sistema sea descrito en términos de Lógica Secuencial.

Un circuito con Lógica Secuencial es aquel que consiste de un circuito combinacional y un circuito de realimentación formado por elementos de memoria, como se muestra en la siguiente figura.

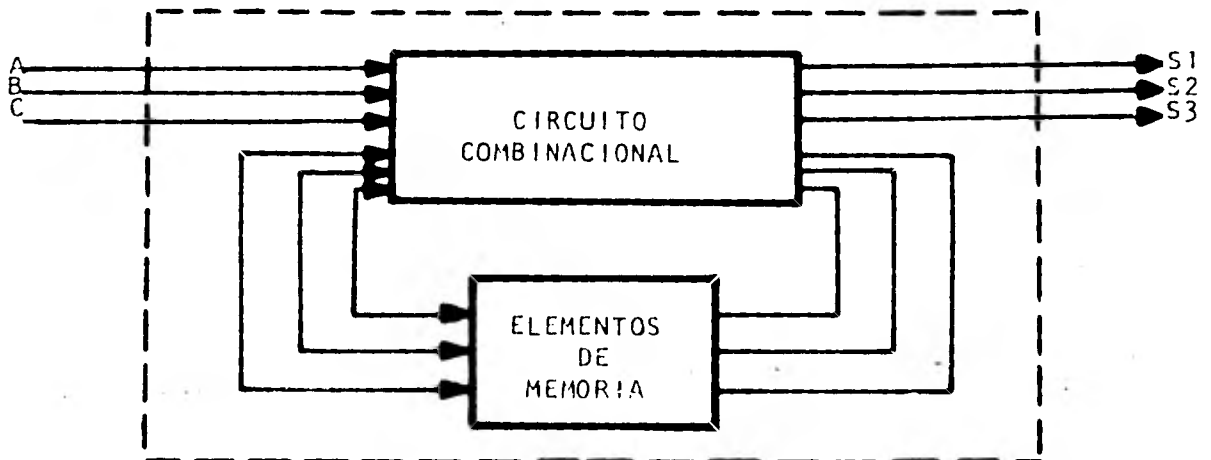


FIG. VI.1

El Circuito Combinacional es aquel que desarrolla una operación de procesamiento de información completamente especificada en forma lógica, por un conjunto de funciones booleanas. Está formado de variables de entrada, compuertas lógicas y variables de salida; los datos de entrada como de salida están representados por señales binarias.

Los elementos de Memoria son dispositivos capaces de almacenar información binaria dentro de ellos. La información binaria almacenada en los-

elementos de memoria en algún tiempo dado, define el Estado del Circuito Secuencial. El circuito secuencial recibe información binaria de entradas externas; éstas entradas en combinación con el estado presente de los elementos de memoria determinan el valor binario en las terminales de salida; ellos también determinan la condición para cambiar el estado del circuito.

El diagrama de bloques, de la figura anterior, demuestra que las salidas externas en un circuito secuencial son función no únicamente de entradas externas sino también del estado presente de los elementos de memoria.

El siguiente estado de los elementos de memoria es también una función de las entradas externas en el estado presente. Así, un circuito secuencial, está especificado por una secuencia de tiempos de entradas, salidas y estados internos.

VI.3.- EL FLIP-FLOP BASICO.

Existen dos tipos principales de circuitos secuenciales, síncronos y -
asíncronos. Su clasificación depende de la regulación de sus señales.
Un circuito secuencial síncrono es un sistema cuyo comportamiento puede
ser definido del conocimiento de sus señales en intervalos discretos de
tiempo. El comportamiento de un circuito secuencial asíncrono, depende
del orden, en el cual sus señales de entrada cambien y puedan ser afec-
tadas en cualquier instante de tiempo. Los elementos de memoria comunmen-
te usados en circuitos secuenciales asíncronos son dispositivos de retar-
do (Time Delay). La capacidad de memoria de un dispositivo de retardo -
se debe al hecho de que toma un tiempo finito para que la señal se propa-
gue a través del dispositivo.

Debido a la realimentación entre compuertas lógicas, un circuito secuen-
cial asíncrono puede en ocasiones volverse inestable produciendo dificul-
tades al diseñador, por lo que se prefiere los circuitos secuenciales --
síncronos.

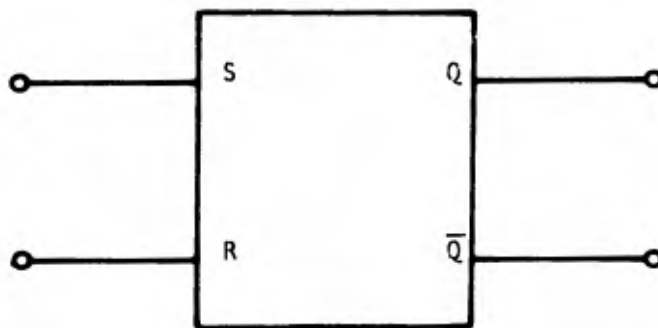
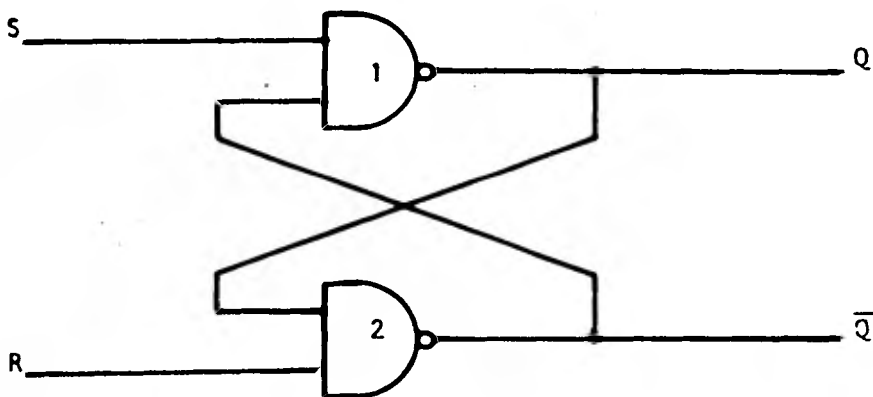
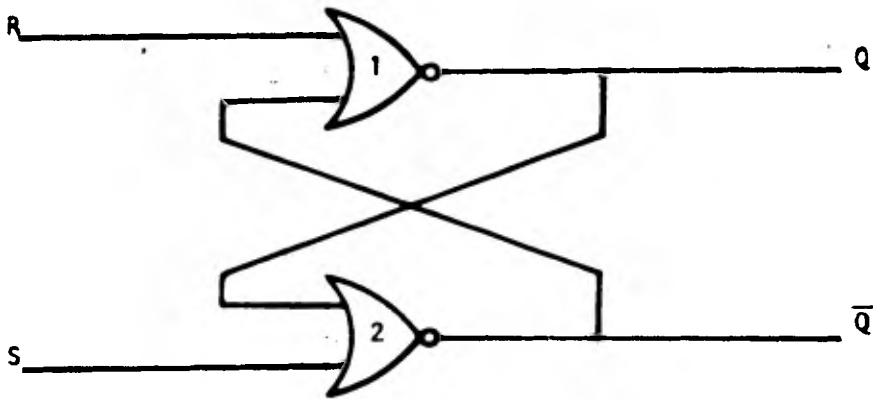
Un sistema síncrono de lógica secuencial, por definición debe emplear se-
ñales que afecten los elementos de memoria únicamente en instantes de --
tiempo discretos. Una forma de lograr esto, es usar pulsos de duración li-
mitada a través de todo el sistema, de forma que una amplitud de pulso re-
presente un "uno" lógico y otra amplitud de pulso (o la ausencia de un pul-
so) represente un "cero" lógico. La dificultad con un sistema de pulsos,
es que dos pulsos cualquiera que lleguen de fuentes independientes separa-
das a las entradas de la misma compuerta, exhibirán retardos no predeci-
bles, lo cual separará a los pulsos ligeramente, resultando una operación -
no confiable.

Los sistemas de lógica secuencial síncronos usan amplitudes fijas tal como niveles de voltaje para las señales binarias. La sincronización se logra con un dispositivo de tiempo llamado generador de reloj maestro (master-clock generator), el cual genera un tren periódico de pulsos de reloj. Los pulsos de reloj se distribuyen a través de todo el sistema en tal forma que los elementos de memoria son afectados sólo con la llegada de un pulso de sincronización. En la práctica, los pulsos de reloj son aplicados a compuertas AND junto con las señales que especifican el cambio requerido en los elementos de memoria. Las salidas en la compuerta AND pueden transmitir señales únicamente en instantes que coincidan con la llegada de pulsos de reloj.

Los circuitos secuenciales que usan pulsos de reloj en las entradas de elementos de memoria son llamados circuitos secuenciales de reloj. Estos circuitos secuenciales son el tipo más frecuentemente encontrado. Ellos no manifiestan problemas de inestabilidad y su regulación es fácilmente cambiada en pasos discretos independientes, cada uno de los cuales es considerado separadamente.

Los elementos de memoria utilizados en un Circuito Secuencial son los Flip-Flops. Estos elementos contienen dos estados y las transiciones entre estos dos, pueden ser afectadas mediante un estímulo en la entrada (ó entradas).

La configuración más elemental de un Flip-Flop está constituida por dos compuertas NAND o dos compuertas NOR, conectadas como se muestra en las siguientes figuras.



SIMBOLO ESQUEMATICO DE BLOQUES DEL
FLIP - FLOP RS

Este Flip-Flop recibe el nombre de LATCH RS, el cual está formado por dos entradas: R (Reset) y S (Set) y dos salidas, siendo una el complemento de la otra (Q y \bar{Q} el complemento).

Cuando $Q = 1$ y $\bar{Q} = 0$ se tiene el estado SET (Estado 1). Cuando $Q = 0$ y $\bar{Q} = 1$ es el estado RESET (Estado 0); a este estado también se le conoce con el nombre de CLEAR.

En el Flip-Flop RS formado por compuertas NOR, cuando $R = S = 0$, el estado en la salida se mantiene constante. Si ahora $R = 0$ y $S = 1$ se tendrá el estado SET ($Q = 1$ y $\bar{Q} = 0$), pero si $R = 1$ y $S = 0$ se tendrá el estado RESET ($Q = 0$ y $\bar{Q} = 1$). Finalmente con la condición $R = 1$ y $S = 1$, implica que $Q = \bar{Q} = 0$; esta condición viola el hecho de que las salidas Q y \bar{Q} sean complementarias, lo cual en operación normal debe ser evitado asegurándose de que no se aplique un "uno" a ambas entradas simultáneamente. Del anterior análisis se deduce la siguiente Tabla de Estados:

R	S	Q	\bar{Q}
0	0	0	1
		1	0
0	1	1	0
1	0	0	1
1	1	0	0

FIG. VI.3

Para el circuito formado por compuertas NAND, cuando opera con ambas entradas R y S igual con "uno" el estado de las salidas se mantiene constante; la aplicación momentánea de un cero a la entrada SET causa que la salida $Q = 1$ y $\bar{Q} = 0$, llevando al Flip-Flop al estado SET. Después de que la entrada SET regresa a uno, un cero momentáneo en la entrada -RESET causa una transición al estado CLEAR. Cuando ambas entradas son iguales a cero, ambas salidas serán uno, condición que debe ser evitada en la operación normal del Flip-Flop. La tabla de Estados es la siguiente:

R	S	Q	\bar{Q}
1	1	0 1	1 0
0	1	0	1
1	0	1	0
0	0	1	1

FIG. VI.4

VI.4.- TIPOS DE FLIP-FLOP CON RELOJ

El diseño de un circuito secuencial se simplificará enormemente, si los cambios de estado se pueden efectuar sólo en puntos del tiempo espaciados periódicamente. Esto se puede asegurar, si se sincronizan todos -- los cambios de estado con los pulsos de un reloj electrónico. Si agregamos compuertas a las entradas del circuito básico, el Flip-Flop puede hacerse que responda a niveles de entrada durante la ocurrencia de un pulso de reloj. La siguiente figura, ilustra la forma en que se puede convertir un Flip-Flop R - S convencional (no sincronizado) en un Flip-Flop R - S con reloj o sincronizado.

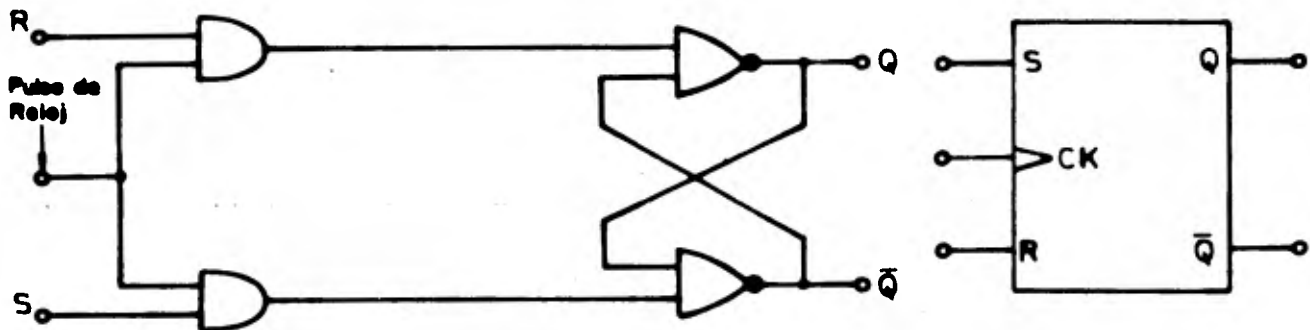


FIG. VI.5

La tabla de estados para este Flip-Flop es:

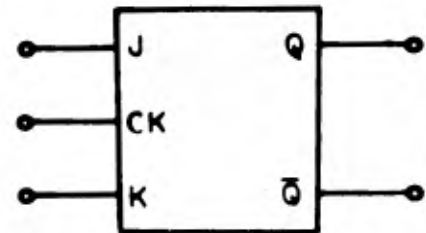
Q	S	R	Q(t + 1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Indeterminado

Q	S	R	Q(t + 1)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	Indeterminado

Como se muestra, las entradas R y S están ahora provistas de compuertas AND, combinadas con el pulso de reloj (disparador), antes de ser aplicadas a las entradas del Flip-Flop propiamente dicho. La única restricción en la sincronía de las señales R y S es que no deben cambiar durante el período de duración del pulso de reloj. Aunque la adición de compuertas AND puede ser externa, se acostumbra comúnmente, incluir la compuerta de reloj y el Flip-Flop en el mismo paquete del circuito integrado.

Aunque el RS con reloj, teóricamente es útil, rara vez se le encuentra en la práctica, ya que se ha sustituido casi completamente por el Flip-Flop J-K cronometrado o síncrono. En el F-F J-K (Flip-Flop J-K) se elimina la restricción de que las 2 entradas no pueden ser "uno" al mismo tiempo, restricción que puede ser un inconveniente para el diseñador. En la figura, podemos ver el símbolo en diagrama de bloques y la tabla de estados de este FF.

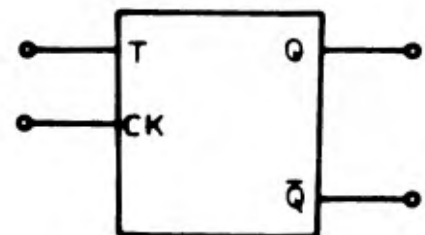
Q	J	K	Q(t + 1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0



Podemos observar que el F-F J-K es el mismo que el F-F R-S, en donde - J corresponde a S y K a R, excepto que ambas entradas pueden ser "uno" en el momento en que se produce el pulso de reloj, en cuyo caso, el F-F cambia de estado.

Otro tipo es el Flip-Flop T el cual tiene solo una entrada de datos (T) y una entrada de reloj. Cuando se pulsa la entrada T, el F-F cambia de estado, de manera que la tabla correspondiente queda:

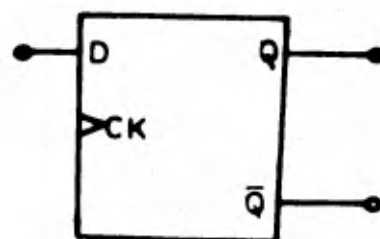
Q	T	Q(t + 1)
0	0	0
0	1	1
1	0	1
1	1	0



Hay un cuarto tipo de F-F que es el D. Para este F-F, la salida después del pulso de reloj es igual a la entrada D en el tiempo de reloj.

Así tenemos:

Q	D	Q(t + 1)
0	0	0
0	1	1
1	0	0
1	1	1



Podemos observar que un F-F J-K funcionará como uno de tipo D, cuando se conecta de la siguiente forma:

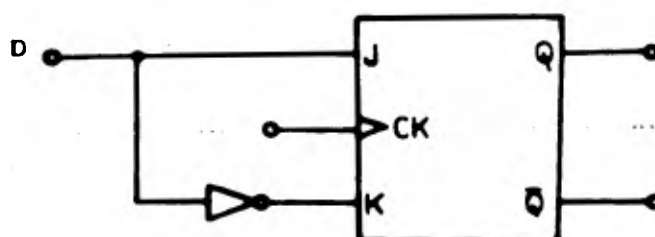


FIG. VI.6

Una restricción bastante evidente, que se aplica a todos los tipos de circuitos lógicos, tanto combinacionales como secuenciales, es que el intervalo entre los cambios sucesivos de una sola variable no puede ser menor que el tiempo de retardo básico de los circuitos lógicos.

En lo que respecta a los F-F, esto significa que existe una duración mínima para los pulsos de disparo, determinada principalmente por el retardo-

básico de compuerta, pero que también se ven afectados por otros factores electrónicos complejos. Esta duración mínima de disparo será especificación básica proporcionada por el fabricante del F-F. Existe un intervalo mínimo entre los pulsos de disparo que se establece frecuentemente de acuerdo con una velocidad máxima de reloj.

Las restricciones anteriores impuestas a la duración de disparo y al intervalo, se aplican a todos los F-F, sea cual fuere el uso al que se han destinado. Cuando los F-F se utilizan en circuitos con modalidad de reloj o de pulso, se presentan otros problemas adicionales. En un circuito con modalidad de reloj, la llegada de un pulso de reloj dispara cambios de estados en los F-Fs, de acuerdo con los valores de las variables de excitación, que son funciones de las salidas del F-F. Supongamos que los cambios de dichas salidas se propagan a través de la lógica combinatorial haciendo que aparezcan nuevos valores de excitación en los F-F mientras está presente todavía el pulso de reloj. En este caso, los F-Fs efectúan cambios de estado adicionales y pueden seguir haciéndolo, en tanto esté presente el pulso de reloj. Esta operación estaría en contradicción con una premisa básica de la operación con modalidad de reloj -cada pulso de reloj puede causar un solo cambio de estado-. Estas mismas observaciones pueden aplicarse a pulsos de entrada excesivamente prolongados en los circuitos con modalidad de pulso.

Por ello en todos los circuitos secuenciales que emplean F-Fs elementales con reloj, se hace necesario reforzar la anchura mínima y máxima del pulso de reloj. Sin embargo, esto es difícil de lograr en la mayoría de las tec

nologías de circuitos integrados, en donde los retardos de compuerta manifiestan una variación estadística sustancial.

Se puede evitar la necesidad de limitar la anchura máxima del pulso de reloj, utilizando un F-F más complejo conocido con el nombre de maestro esclavo (master-slave).

Si tenemos un circuito secuencial de reloj, que únicamente contiene elementos de memoria maestro-esclavo y las entradas de reloj a todos los F-F están perfectamente sincronizadas, en consecuencia, en el momento de entrada de cada pulso de reloj, algunos de los elementos maestros -- cambiarán de estado, pero las salidas de los F-F permanecerán en los valores previos. Después de que el pulso de reloj vuelve a cero, no se pueden propagar más señales de ajuste o borrado a los elementos maestros. Al mismo tiempo, algunas de las salidas del F-F, ó elementos esclavos, cambiarán de estado. Evidentemente, ninguno de éstos nuevos valores de estado tendrá efecto en cualquiera de los elementos maestros, hasta el siguiente pulso de reloj. Por ende, no puede producirse más de un cambio de estado por cada pulso de reloj, sea cual fuere la anchura de este último.

Los cambios de estado en un circuito secuencial compuesto de F-Fs secuenciales maestro-esclavo, coinciden con el borde posterior de reloj. Otro tipo de F-F que se usa frecuentemente, sincroniza el cambio de estado con el borde delantero del pulso de reloj. Esta clase de dispositivos se denominan F-Fs de disparo lateral.

VI.5.- DISEÑO DE UN CIRCUITO SECUENCIAL.

Hemos visto, que las propiedades de un F-F pueden ser descritas por una tabla de estados o una tabla de excitación. La tabla de estados, también conocida como tabla de transición, provee una lista de los estados en un sistema digital. El máximo número de estados está limitado por el número de elementos de almacenamiento: si hay m elementos binarios de almacenamiento (Flip-Flops) en un sistema digital, el número máximo de estados es 2^m . Una tabla de estados proporciona la siguiente información para cada estado listado

- I) Identificación del estado presente Q_n en forma binaria o decimal.
- II) Los próximos estados Q_{n+1} para varias combinaciones de entradas al sistema.
- III) Las salidas resultantes para cada una de estas combinaciones.

El número de entradas en un sistema digital no está relacionado con el número de estados. Así, un F-F J-K tiene dos entradas de control y dos estados. También el número de salidas en un sistema digital no está relacionado con el número de estados.

La información expuesta en una tabla de estados también puede ser presentada en un diagrama de transición, también conocido como diagrama de estados. En un diagrama de transición cada estado es representado por un círculo y cada transición posible es representada por una rama orientada que se origina en un estado y termina en un estado el cual puede también ser el estado original. Las entradas y salidas están representadas --

a través de las ramas.

En un diagrama de transición los estados pueden ser clasificados como es tados regulares, estados transitorios, estados persistentes y estados -- aislados. Un estado regular es aquel en el cual puede entrar por lo me- nos un estado y que por lo menos tiene una salida hacia otro estado. (fig. a y b). A un estado transitorio no puede entrar ningún otro estado pero sí tiene por lo menos una salida hacia otro estado (fig. c y d). A un - estado persistente puede entrar por lo menos otro estado, pero no tiene - salida hacia otro estado (fig. e y f). A un estado aislado no puede en- trar ningún estado y tampoco tiene salida para ningún otro estado (fig.g)

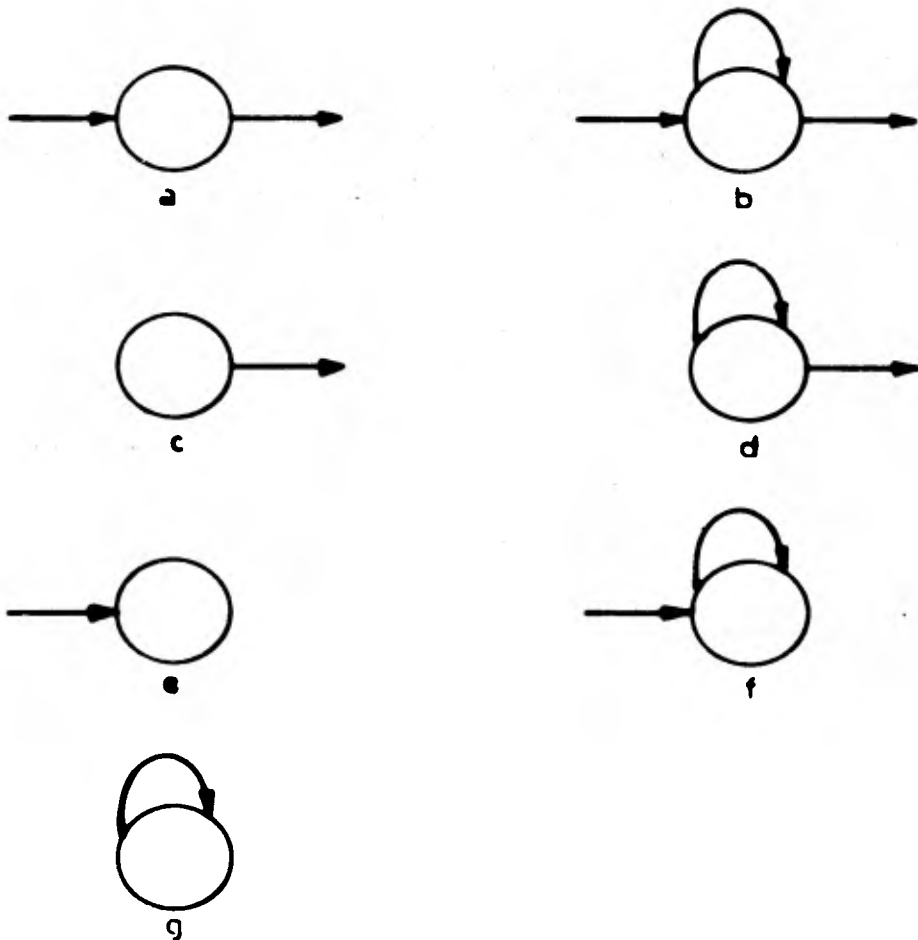
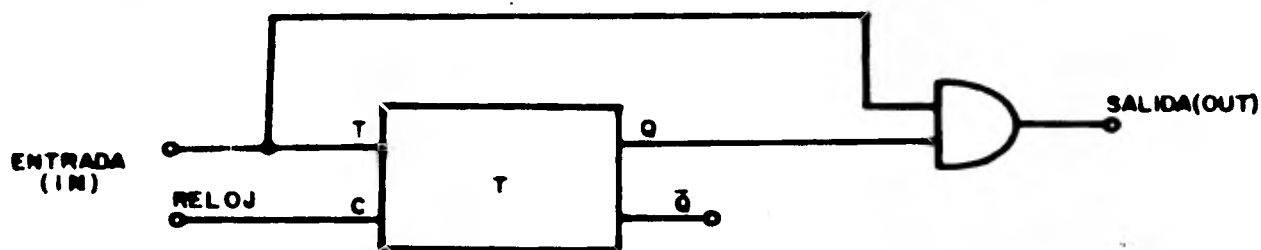


FIG. VI.7

Supongamos que tenemos el siguiente circuito digital con su correspondiente tabla de estados:



Edo. Presente Q_n	$IN_n = 0$		$IN_n = 1$	
	OUT_n	Sig. Estado Q_{n+1}	OUT_n	Sig. Estado Q_{n+1}
0	0	0	0	1
1	0	1	1	0

FIG. VI. 6

Analicemos el siguiente diagrama de transición del circuito digital de la figura. Tiene dos estados designados por: "0" y "1"; también tiene 4 ramas con entradas y salidas identificadas. Así, cuando el estado presente es "1" y la entrada presente es IN_n "1", la salida presente es OUT_n "1" y el siguiente estado es "0", como se describe por la rama que se origina

en el estado "1" y termina en el estado "0". Cuando el estado presente es cero y la entrada presente es IN_n "0", la salida presente es OUT_n "0" y el siguiente estado es cero, igual que el estado presente.

Lo anterior se puede representar de la siguiente forma:

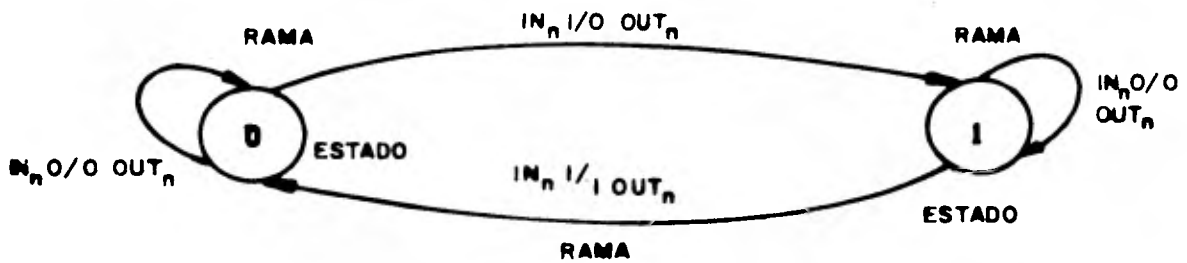


FIG. VI.9

En la práctica, las ramas en un diagrama de transición se representan -
en la siguiente forma:

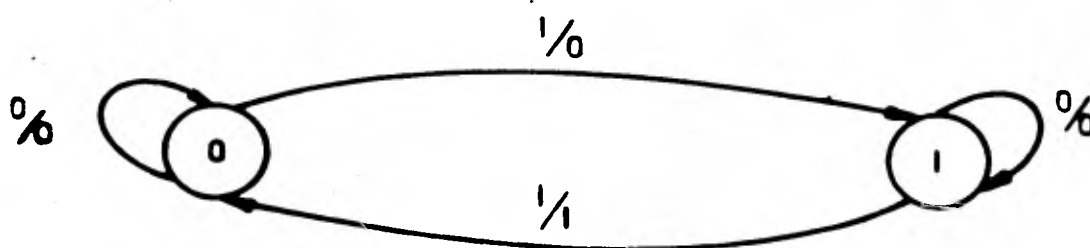


FIG. VI. 10

En el diseño de un circuito secuencial los pasos a seguir son como sigue:

- 1) Analizar el objetivo que debe realizar el circuito.
- 2) Elaborar el Diagrama de Estados o Transición.
- 3) Llenar la Tabla de Estados según el número de Estados
- 4) Simplificar la Tabla del punto 3.
- 5) Aplicar la Tabla de Excitación a la Tabla de Estados, según el elemento de memoria elegido.
- 6) Formar la tabla de Transición para después resolver los mapas de Karnaugh a que se dió lugar.
- 7) Con las funciones Booleanas encontradas (ecuaciones), realizar la implementación del circuito.

PROCEDIMIENTO PARA EL ANALISIS DE CIRCUITOS SECUENCIALES

A continuación se presenta un cuadro de procedimientos para llevar a cabo la solución de un sistema con circuitos secuenciales.

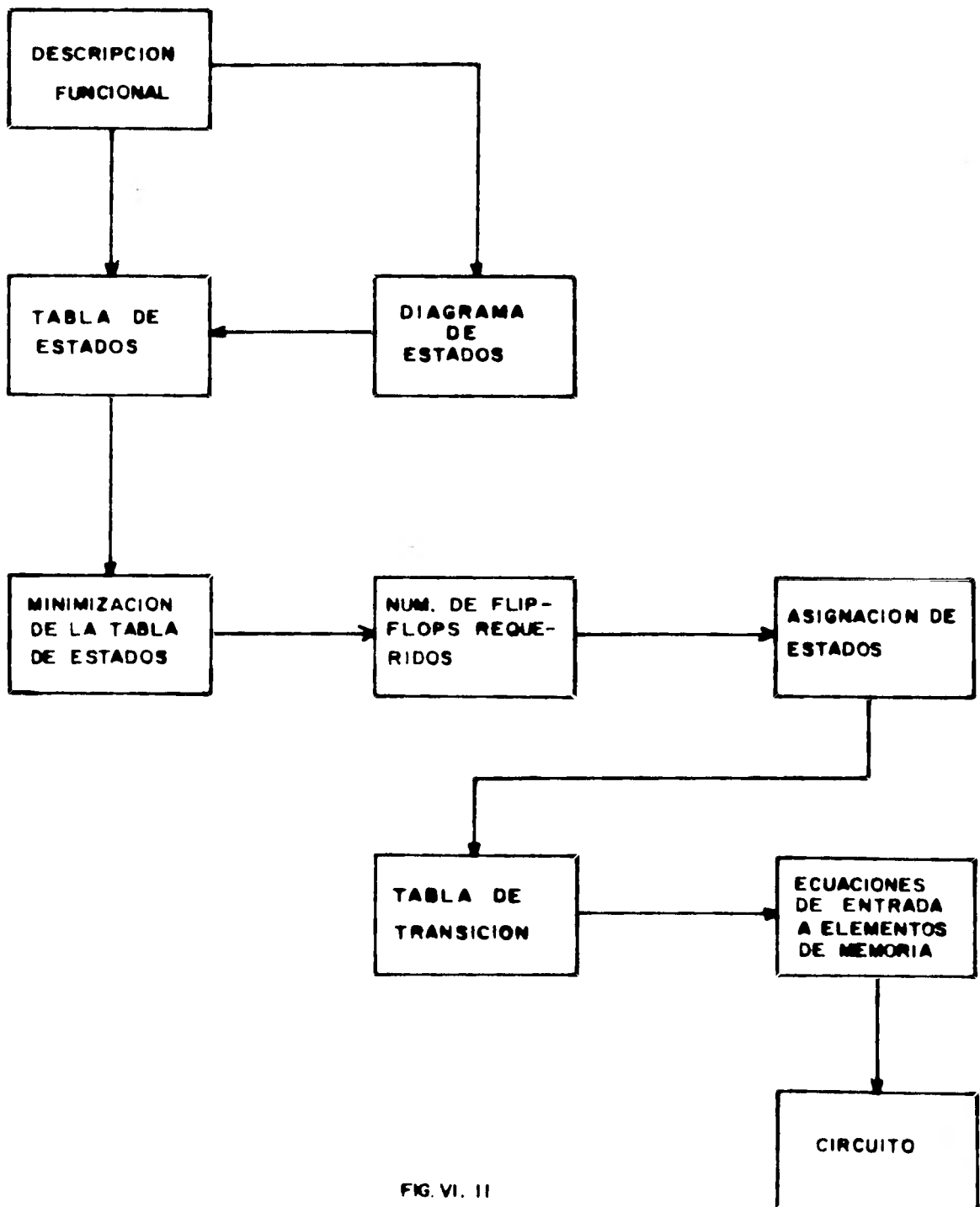


FIG. VI. 11

VI.6.- DISEÑO DE LOS CIRCUITOS SECUENCIALES UTILIZADOS.

1er. Circuito Secuencial

Objetivo: Obtener una señal de salida (S) con las características que se muestran en el siguiente diagrama:

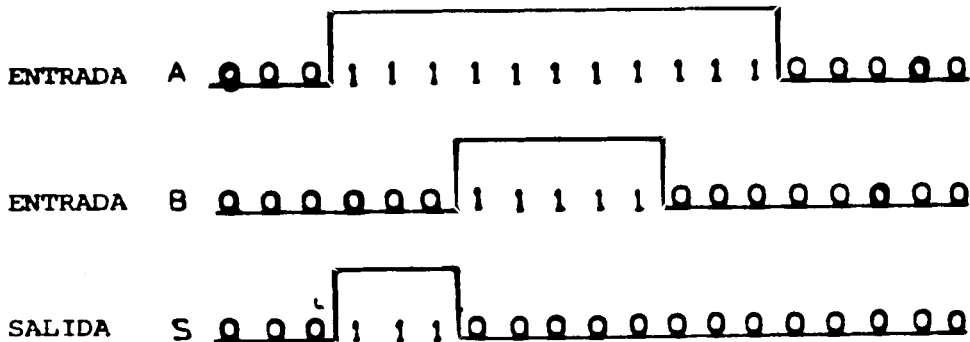


FIG. VI. 12

El siguiente paso a seguir es la construcción del diagrama de estados.

Asignamos un estado q_0 , donde originalmente suponemos que se encuentra la señal. Y tenemos dos entradas A y B y una salida S. (ver el diagrama de tiempos anterior), entonces decimos que si estamos en q_0 y en las entradas tenemos un "uno" para B y un cero para A, forzaremos a que la salida sea un "cero" y no se cambie de estado, de la misma forma cuando:

$$A = 1 \text{ y } B = 1 \Rightarrow S = 0; \text{ y } A = 0 \text{ y } B = 0 \Rightarrow S = 0$$

Ahora bien, cuando $A = 1$ y $B = 0$, la salida S es "uno" y se cambia al estado q_1 , hasta este momento se detectará la diferencia de las entradas y así obtener el pulso que regirá el inicio y terminación del conteo de pulsos del oscilador.

De la misma forma se analiza este estado teniendo que si la señal A, seguido de q_1 a q_2 y le llega en A un "1" y B un "0", se obliga la salida un "1", y no se cambia de estado, hasta que se obtenga en B un "1" y en

A un "1" entonces la salida será baja y no se regresará al estado original hasta detectar la secuencia A= 0 y B= 0 en q_2 .

Así mismo, se analiza q_2 , basándose en el diagrama de tiempos anterior como mencionamos al inicio de esta explicación.

DIAGRAMA DE ESTADOS

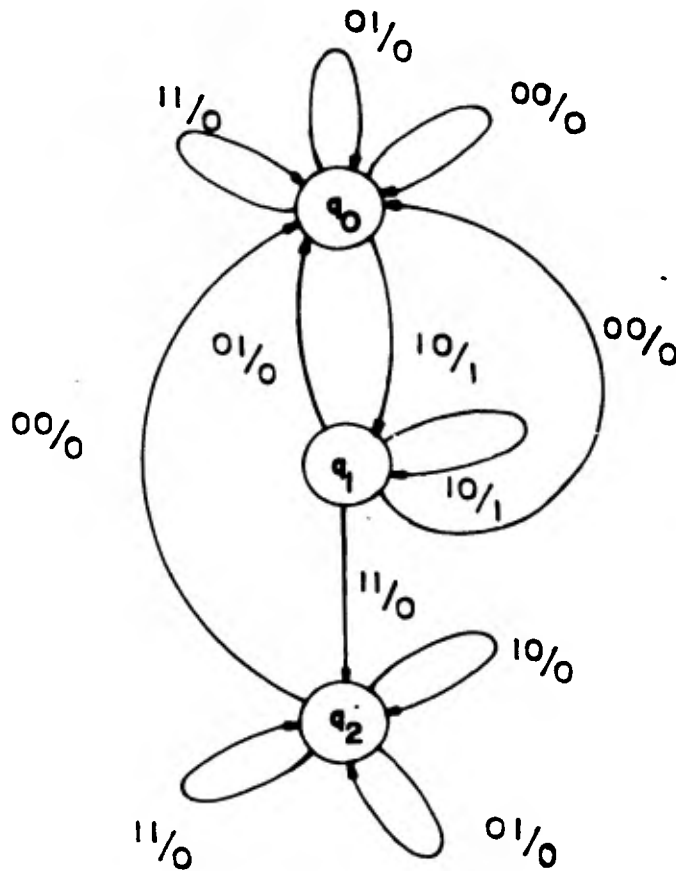


FIG.VI.13

TABLA DE ESTADOS

La tabla de estados es la representación tabular del diagrama de estados que se interpreta de la siguiente manera:

$$q_n \text{ puede ser: } \left\{ \begin{array}{l} q_0 \\ q_1 \\ q_2 \end{array} \right.$$

y 00, 01, 10 y 11 son AB respectivamente.

Así que si se está en q_0 y llega un 00, 01, ó 11, la señal se quedará en q_0 , y la salida será "0" (ver la tabla que aparece en la figura VI.14).

Luego, estando en q_0 llega un 10 cambiará a q_1 pero para este caso la salida será "1", quedando completo el primer renglón de la tabla.

Siguiendo un proceso similar se llenarán el segundo y tercer renglones de la tabla.

TABLA DE ESTADOS

q_n \ AB	00	01	10	11		00	01	10	11
q_0	q_0	q_0	q_1	q_0		0	0	1	0
q_1	q_0	q_0	q_1	q_2		0	0	1	0
q_2	q_0	q_2	q_2	q_2		0	0	0	0
-	-	-	-	-		x	x	x	x

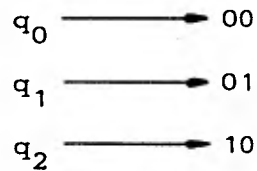
FIG. VI. 14

NUM. DE FLIP-FLOPS

Se requieren dos Flip-Flops ya que se tienen tres estados.

ASIGNACION DE ESTADOS

Se asigna a cada estado un número binario probable, según el número de estados:

TABLA DE EXCITACION

Esta tabla (en conjunto con la tabla de estados) regirá la formación de la tabla de transición. Esta se escoge en base a las características requeridas y el circuito disponible.

TABLA DE EXCITACION

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

FIG. VI.15

TABLA DE TRANSICION

Tomamos como punto de partida la tabla de estados.

$q_n \backslash AB$	00	01	10	11	00	01	10	11
q_0	00	00	01	00	0	0	1	0
q_1	00	00	01	10	0	0	1	0
q_2	00	10	10	10	0	0	0	0
—	—	—	—	—	X	X	X	X

FIG. VI.16

MAPAS DE KARNOUGH

Los mapas de Karnough son una expresión tabular de una función booleana equivalente a una tabla de verdad, por ejemplo:

A	B	f	B^A	0	1
0	0	1	0	1	1
0	1	0	1	0	0
1	0	1			
1	1	0			

Los requisitos que debe cumplir un mapa de Karnough son:

- 1) Debe haber un cuadrado para combinación de variables, es decir debe haber 2^n cuadrados para n variables.
- 2) Los cuadrados deben estar organizados de tal forma que cualquier par de cuadrados inmediatamente adyacente uno del otro, horizontal y verticalmente, deben corresponder a condiciones de combinaciones de variables lógicamente adyacentes; es decir que difieran en una sola variable complementada o sin complementar.

EN ESTE CASO QUEDA LO SIGUIENTE:

$Q_1 Q_2 \backslash AB$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

$$J_1 = Q_2 AB$$

$Q_1 Q_2 \backslash AB$	00	01	11	10
00	0	0	0	1
01	X	X	X	X
11	X	X	X	X
10	0	0	0	0

$$J_2 = AB \bar{Q}_1$$

$Q_1 Q_2 \backslash AB$	00	01	11	10
00	X	X	X	X
01	1	1	1	0
11	X	X	X	X
10	X	X	X	X

$$K_2 = \bar{A} + B$$

$Q_1 Q_2 \backslash AB$	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	X	X	X	X
10	1	0	0	0

$$K_1 = Q_1 \bar{A} \bar{B}$$

$Q_1 Q_2 \backslash AB$	00	01	11	10
00	0	0	0	1
01	0	0	0	1
11	X	X	X	X
10	0	0	0	0

$$S = A \bar{B} \bar{Q}_1$$

FUNCIONES A IMPLEMENTAR:

$$J_1 = Q_2 AB$$

$$K_1 = Q_1 \bar{A} \bar{B}$$

$$J_2 = A \bar{B} \bar{Q}_1$$

$$K_2 = \bar{A} + B$$

$$S = A \bar{B} \bar{Q}_1$$

FIG. 21.17

CIRCUITO SECUENCIAL 1

101

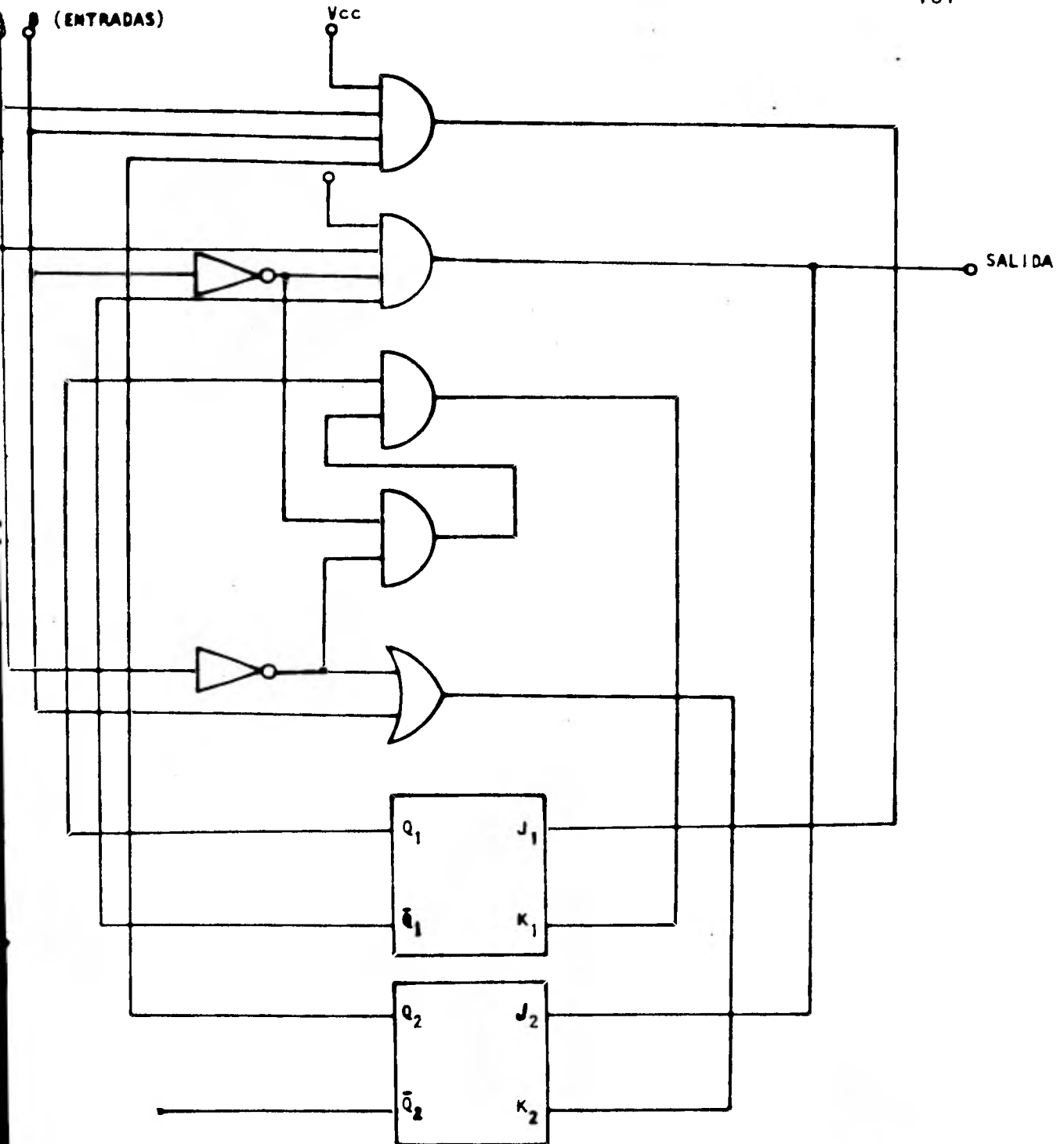


FIG. 3E. 18

2o. CIRCUITO SECUENCIAL

Objetivo: Teniendo como entrada al circuito N pulsos de cualquier frecuencia, obtener a la salida un pulso con la misma duración de entrada, esquemáticamente:

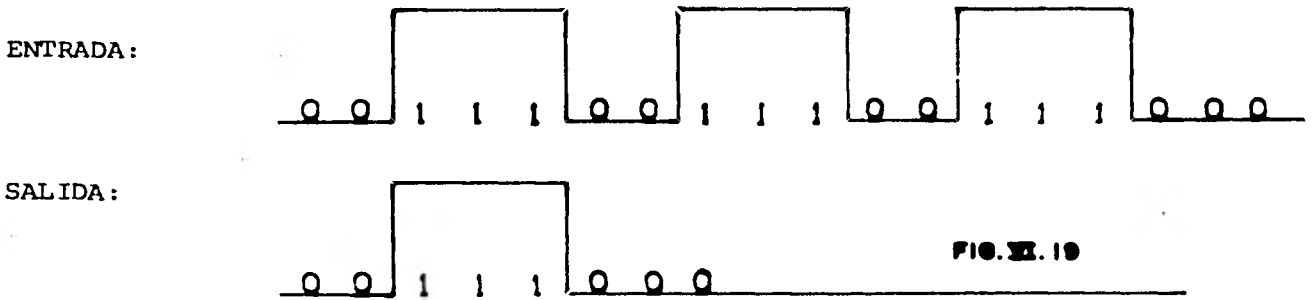


DIAGRAMA DE ESTADOS

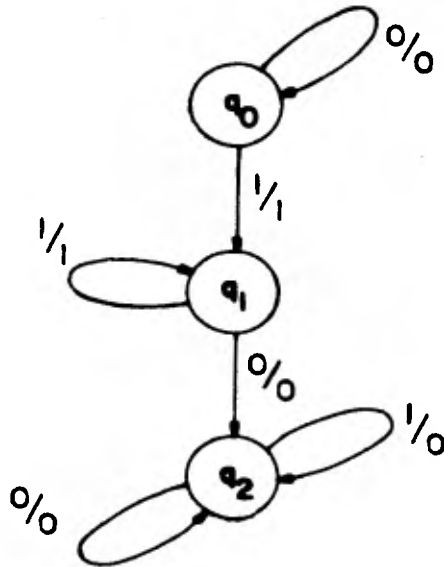


FIG. XI. 20

TABLA DE ESTADOS:

q_n	0	1	q_n	0	1	0	1
q_0	$q_0/0$	$q_1/1$	q_0	q_0	q_1	0	1
q_1	$q_2/0$	$q_1/1$	q_1	q_2	q_1	0	1
q_2	$q_2/0$	$q_2/0$	q_2	q_2	q_2	0	0

ASIGNACION DE ESTADOS $q_0 \rightarrow 00$ $q_1 \rightarrow 01$ $q_2 \rightarrow 10$

TABLA DE EXCITACION:

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

TABLA DE ASIGNACION DE ESTADOS:

	S	0	1	0	1
	q_n				
q_0	00	00	01	0	1
q_1	01	10	01	0	1
q_2	10	10	10	0	0
-	11	XX	XX	X	X

TABLA DE TRANSICION:

	0	1	0	1	0	1	0	1	0	1
00	0	0	X	X	0	1	X	X	0	1
01	1	0	X	X	X	X	1	0	0	1
10	X	X	0	0	0	0	X	X	0	0
11	X	X	X	X	X	X	X	X	X	X

 J_1 K_1 J_2 K_2

SALIDA.

MAPAS DE KARNAUGH:

$Q_1 Q_2$ S	00	01	11	10
0	0	1	X	X
1	0	0	X	X

$$J_1 = \bar{S}Q_2$$

$Q_1 Q_2$ S	00	01	11	10
0	X	X	X	0
1	X	X	X	0

$$K_1 = 0$$

$Q_1 Q_2$ S	00	01	11	10
0	0	X	X	0
1	1	X	X	0

$$J_2 = \bar{Q}_1 S$$

$Q_1 Q_2$ S	00	01	11	10
0	X	1	X	X
1	X	0	X	X

$$K_2 = \bar{S}$$

$Q_1 Q_2$ S	00	01	11	10
0	0	0	X	0
1	1	1	X	0

$$S_1 = J_2 = \bar{Q}_1 S$$

FUNCIONES A IMPLEMENTAR:

$$J_1 = \bar{S}Q_2$$

$$K_1 = 0$$

$$J_2 = \bar{Q}_1 S$$

$$K_2 = \bar{S}$$

$$S_1 = J_2 = \bar{Q}_1 S$$

FIG. III. 21

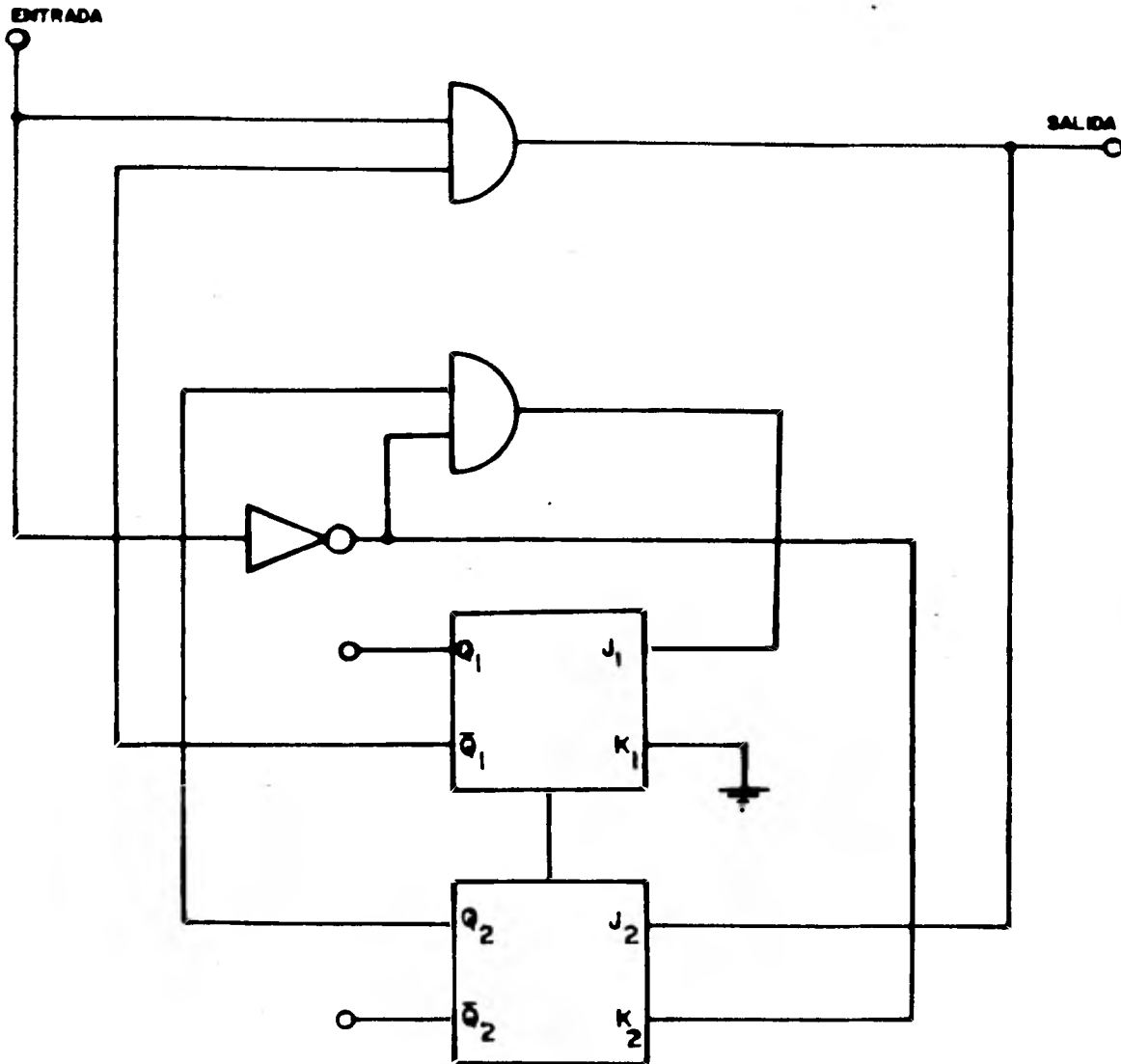
CIRCUITO SECUENCIAL II

FIG. XI. 22

CAPITULO VII

LOGICA DE LA SEÑAL DE SALIDA

LOGICA DE LA SEÑAL DE SALIDA

VII.1.- INTRODUCCION

En este capítulo se describirán las secciones y la secuencia lógica que dan origen a la señal de salida.

Como se ha descrito en los capítulos anteriores la señal que se obtiene del segundo circuito secuencial es la que se compara con la frecuencia del reloj utilizado y por tanto es la encargada de habilitar este circuito.

Las secciones que integran esta etapa son las siguientes:

- a) Contadores
- b) Descodificadores
- c) Desplegado de cuatro dígitos de siete segmentos cada uno.

VII.2.- CONTADOR

Un contador es un sistema digital de memoria el cual se encuentra interiormente implementado por FF (flip-flop) y compuertas lógicas. Este sistema tiene como función "recordar" cuantos pulsos de reloj fueron aplicados a su entrada. Estos dispositivos se aplican en numerosos equipos digitales y realizan operaciones como división de frecuencia, operaciones secuenciales, operaciones aritméticas, etc.

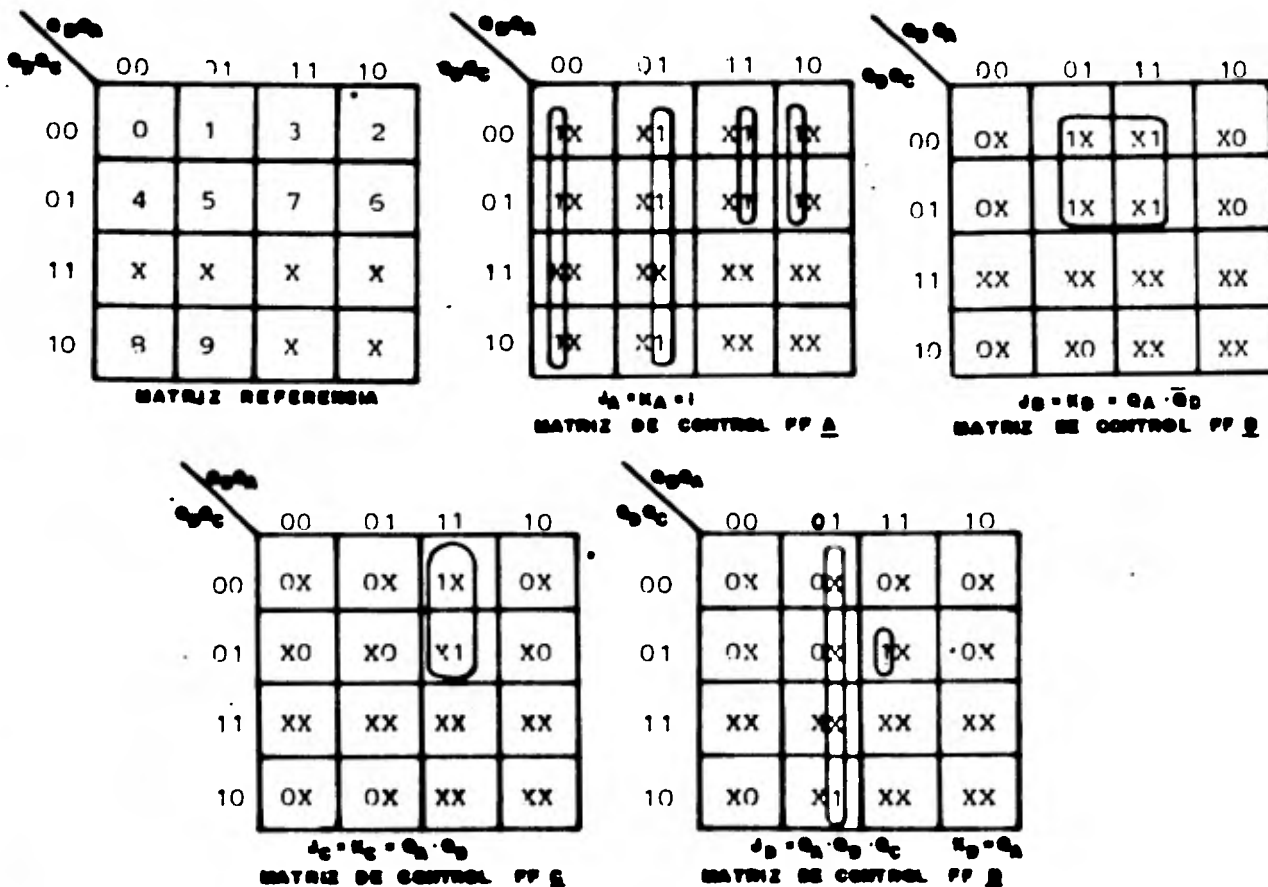
Existen dos tipos de contadores: asíncronos y síncronos. Un contador asíncrono es aquel en el que su funcionamiento no está controlado mediante un reloj, mientras que el síncrono sí lo está.

En un contador síncrono todos los flip-flops internos están sincronizados por el mismo reloj, evitando de ésta manera retrasos

que se van acumulando entre elementos de memoria (FF) y compuertas lógicas; es por esta razón que sólo se describirá el Contador Síncrono que de hecho, es el utilizado en la Lógica de la Señal de Salida.

En el diseño de Contadores Binarios con un número de estados -- igual a 2^n , en donde n = número de FF, la técnica a utilizar es mediante el uso de los mapas de Karnaugh, en donde este mapa representa la matriz de control de un FF. Cada celda de esta matriz de control equivale a un estado posible del contador.

En nuestro caso el Contador utilizado es un contador de Década - BCD (Decimal Binario Codificado) en el cual su ciclo difiere de la forma 2^n , ya que los estados del 10 al 15 se omiten. Esto -- puede observarse en las matrices de control del mismo.



FLIP-FLIP (FF) TIPO DE

FIG. VII. 1

VII.3.- DESCODIFICADOR

Esta sección tiene como función descifrar las señales provenientes del contador, las cuales vienen en código BCD.

Los circuitos de Descodificación se utilizan en la multiplexación de señales, convertidores digital-analógico, en direccionamiento de memorias, en desplegados digitales, etc. En nuestro caso se utiliza para convertir el código BCD a un código decimal de siete bits (elemento binario: 0 ó 1) que es el que utiliza el desplegado de siete segmentos.

Un arreglo binario formado por n dígitos puede representar 2^n formas diferentes de información; por ejemplo el arreglo formado por los elementos binarios 0 y 1 (BITS) dan lugar a cuatro combinaciones diferentes (00, 01, 10, 11) en donde cada uno de ellos representa un estado binario; si a cada uno de estos estados se le asigna una letra: X, Y, Z y W respectivamente, cada una de ellas corresponde a una de las cuatro salidas en descodificador con dos entradas A y B (0 y 1 respectivamente). En la siguiente figura puede apreciarse esto:

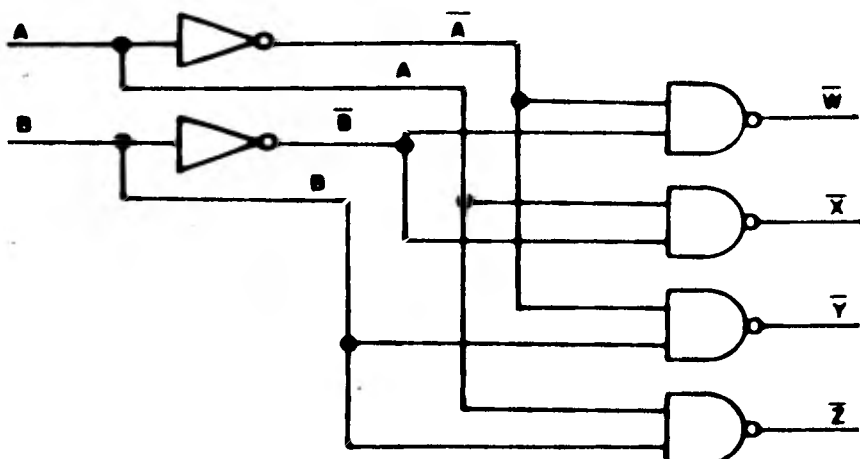
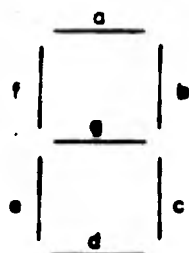


FIG.VII.2

A continuación se muestra el esquema de un desplegado tipo de led de 7 segmentos así como la matriz que determina que elementos deben controlarse para generar dígitos.

Cada cuadro muestra los segmentos que deben estar encendidos así como los que deben permanecer apagados para formar el dígito deseado.



CONTROL DE SEGMENTO

	a	b	c	d	e	f	g
0							X
1	X			X	X	X	X
2			X			X	
3					X	X	
4	X			X	X		
5		X			X		
6	X	X			X		
7				X	X	X	X
8							
9				X	X		



= SEGMENTO APAGADO

FIG. VII.3

Un descodificador de tres elementos binarios dará lugar a 2^3 arreglos, es decir, ocho formas diferentes de combinarse, esto puede apreciarse en la siguiente figura:

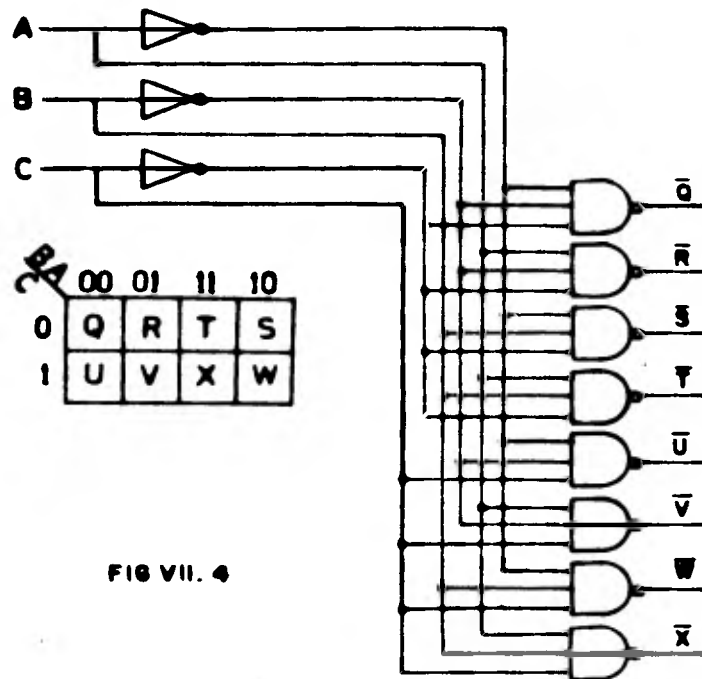


FIG VII. 4

Para el código BCD sólo se utilizan 10 estados de los 16 posibles; para este caso sólo se tiene cuatro elementos binarios, es decir $2^4 = 16$ estados. Mediante esta representación binaria se generan varios códigos de números decimales, con los cuales la adición, sustracción, complementación ó detección y corrección de errores, la descodificación al equivalente decimal, etc. se facilita mucho más.

El descodificador se utiliza para la obtención de la señal de salida la cual está en código BCD ya que sólo utiliza diez estados como se vió anteriormente, además utiliza una señal conocida con el nombre de STROBE-(*), la cual tiene como función evitar que el descodificador trabaje del

* Ver glosario de términos.

estado diez al quince como vemos en la siguiente figura.

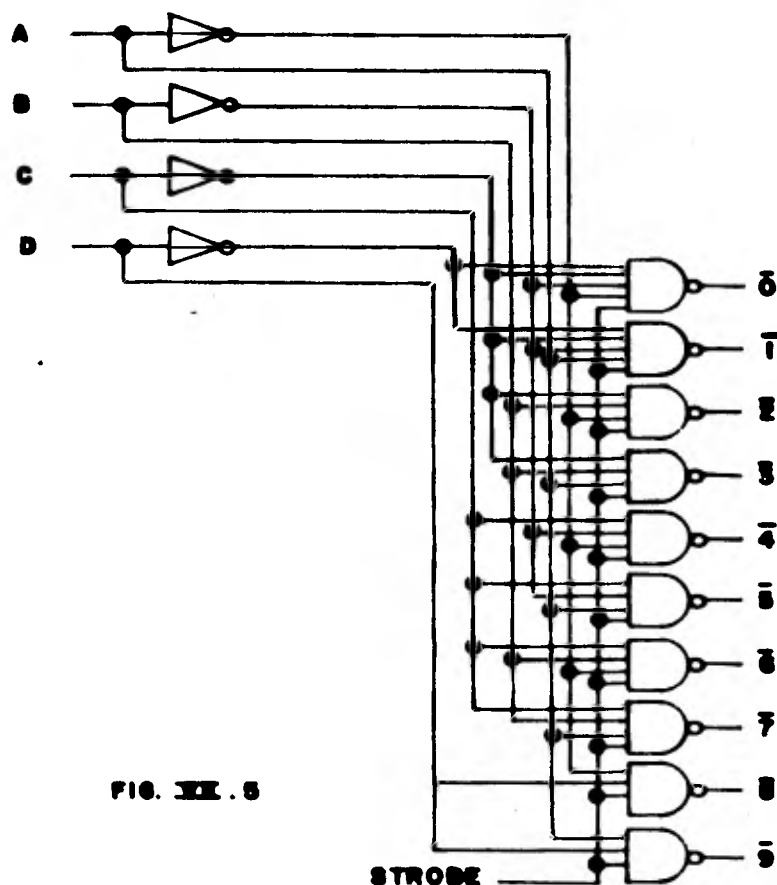


FIG. XII.5

La siguiente figura muestra otro método de disparo de una matriz descodificadora, lo cual se lleva a cabo mediante LATCHES (candados: arreglos de compuertas lógicas). La ventaja de este método es que las salidas - descodificadas están continuamente habilitadas.

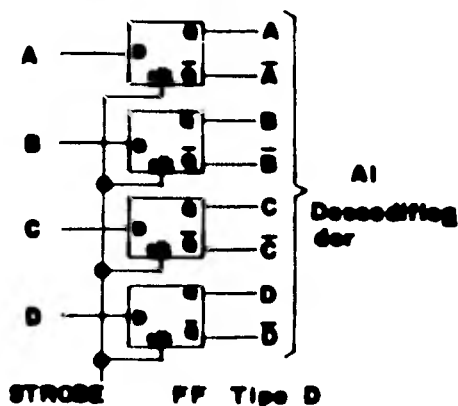


FIG. XII.6

VII.4.- AMPLIFICADOR (DRIVER)

Esta etapa tiene por objeto suministrar los niveles de corriente necesarios para manejar dispositivos externos como son lámparas, relevadores o bien otros dispositivos que no pueden ser manejados directamente por compuertas normales. En el equipo implementado servirá para suministrar la corriente necesaria a los diodos emisores de luz (LEDS) que forman los siete segmentos de cada dígito en el desplegado.

En nuestro caso, se utiliza un circuito integrado TTL, de mediana integración (SN74143), el cual consta de contador de 4 bits con "Latch" (*), descodificador de 4 bits a siete segmentos y Drivers.

Algunas de las características importantes sobre este circuito integrado pueden consultarse al final del trabajo (NOTAS TÉCNICAS).

En el siguiente diagrama se observa la implementación final de este circuito con sus conexiones al desplegado de 4 dígitos.

* Ver glosario de términos.

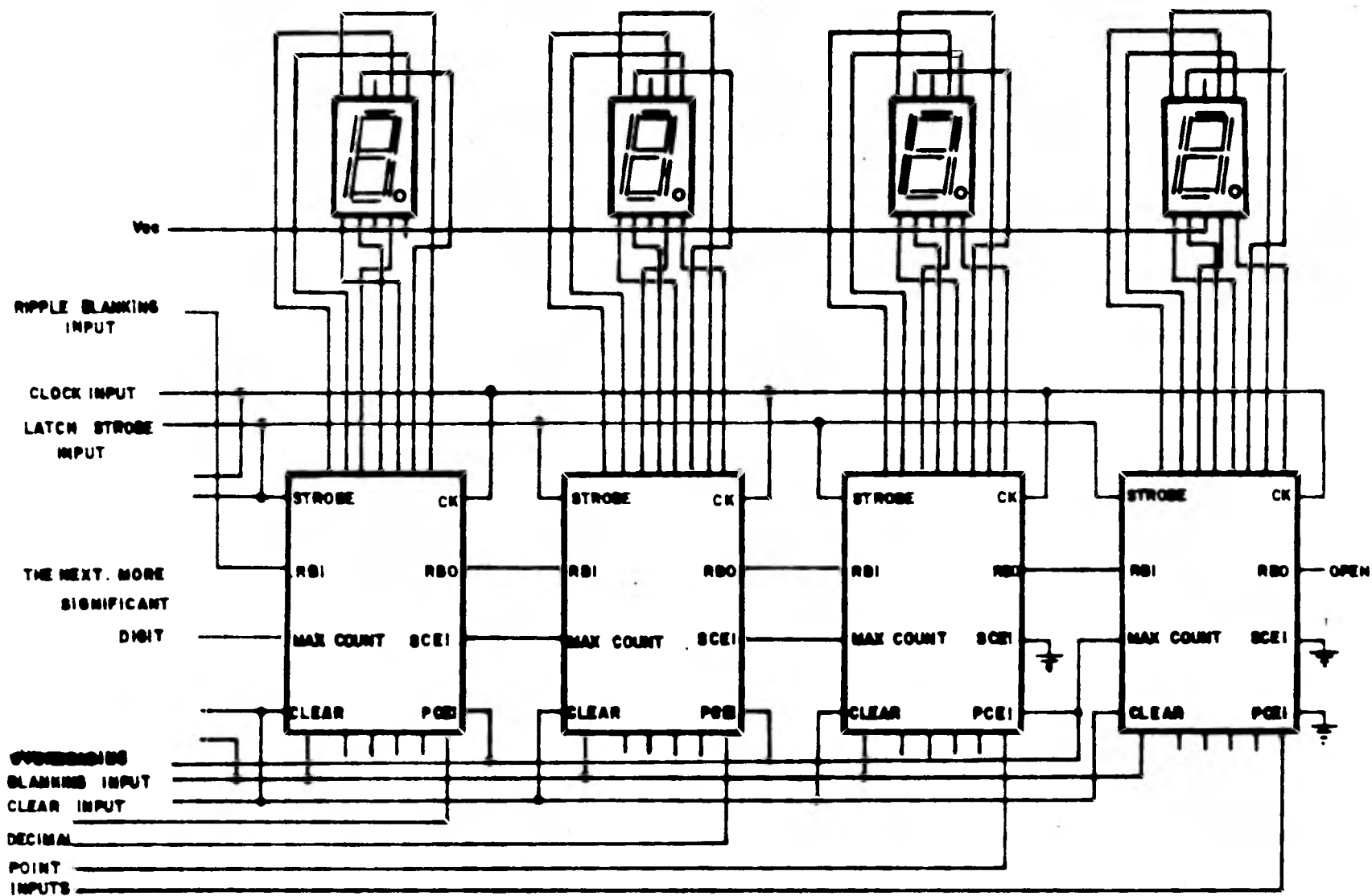


FIG. XII. 7

CAPITULO VIII

CIRCUITOS COMPLEMENTARIOS AL DISEÑO

VIII.1.- CIRCUITO DE SINCRONIZACION

La función de este circuito es la de suministrar un tren de pulsos al segundo circuito secuencial, con el fin de que los pulsos no aparezcan recortados en cualquier momento que se produzca la señal de CLEAR (*). Este circuito está implementado mediante un FF tipo J-K y dos compuertas; una AND y otra inversora, como podemos ver en la figura:

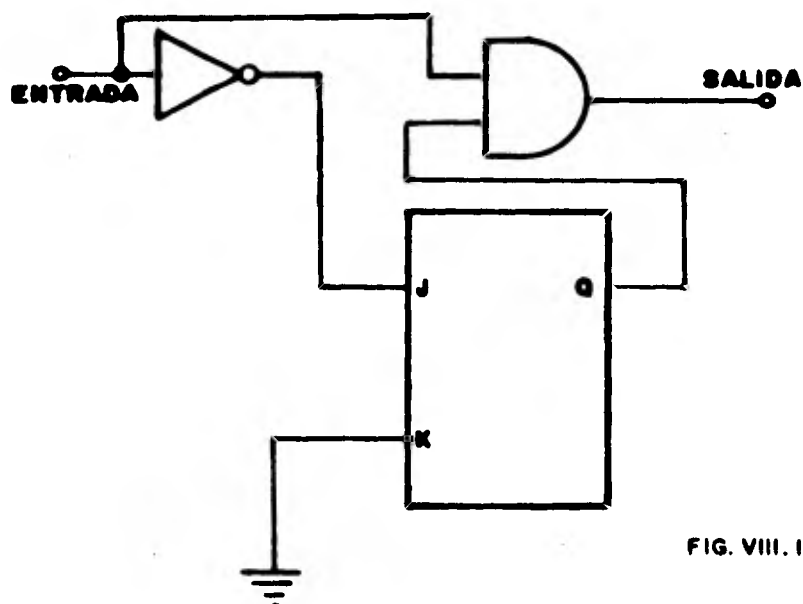


FIG. VIII.1

Las gráficas del funcionamiento de este circuito pueden apreciarse en las figuras I.5 y I.6 .

Nota: Obsérvese en la gráfica como la señal de CLEAR no afecta el funcionamiento de este circuito.

* Ver glosario de términos.

VIII.2.- CIRCUITO CLEAR (BORRADO)

Debido a la necesidad de una señal que determinará el tiempo de muestreo, se implementó un circuito astable utilizando un circuito integrado 555. Dicho circuito produce un pulso negativo aproximadamente cada segundo, el cual provoca el borrado (Clear) en el circuito de sincronización, así como en el segundo circuito secuencial y en los circuitos contadores.

En la siguiente figura podemos ver la configuración de dicho circuito:

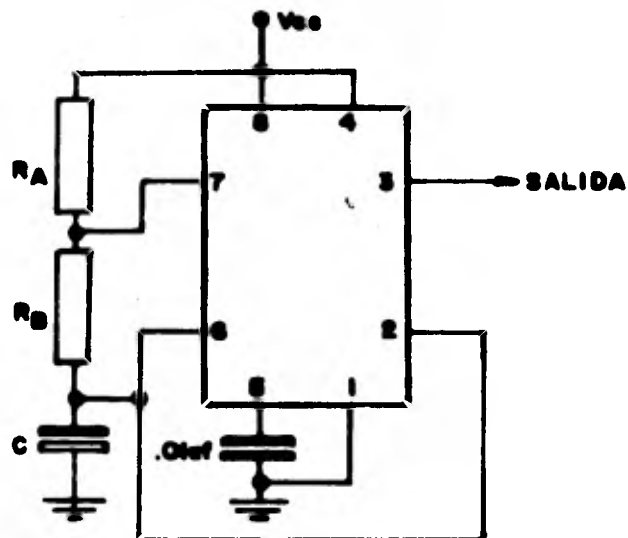


FIG. VIII.2

El período de la señal está dado por la ecuación:

$$T = 0.693 (R_A + 2 R_B) C$$

y el ancho del pulso negativo por:

$$t = 0.693 (R_B) C$$

VIII.3. - CIRCUITO DE CAMBIO DE FRECUENCIA

Este circuito tiene por objeto ampliar la escala del cronómetro mediante contadores de década, los cuales son usados para dividir por 10 la frecuencia del oscilador. Esto nos permite que en lugar de tener un rango de 000.1 microsegundos a 999.9 microsegundos, tengamos un rango de tiempo más amplio de -- - 000.1 microsegundos a 999.9 milisegundos.

Este rango lo dividimos en 4 escalas de tiempo de la siguiente manera:

- 1 - De 000.1 microsegundos a 999.9 microsegundos
- 2 - De 0.001 milisegundos a 9.999 milisegundos
- 3 - De 00.01 milisegundos a 99.99 milisegundos
- 4 - De 000.1 milisegundos a 999.9 milisegundos

Para ello utilizamos un circuito divisor de frecuencia implementado con 3 contadores de década (3 C.I. 7490), así como un selector quedando de la siguiente forma:

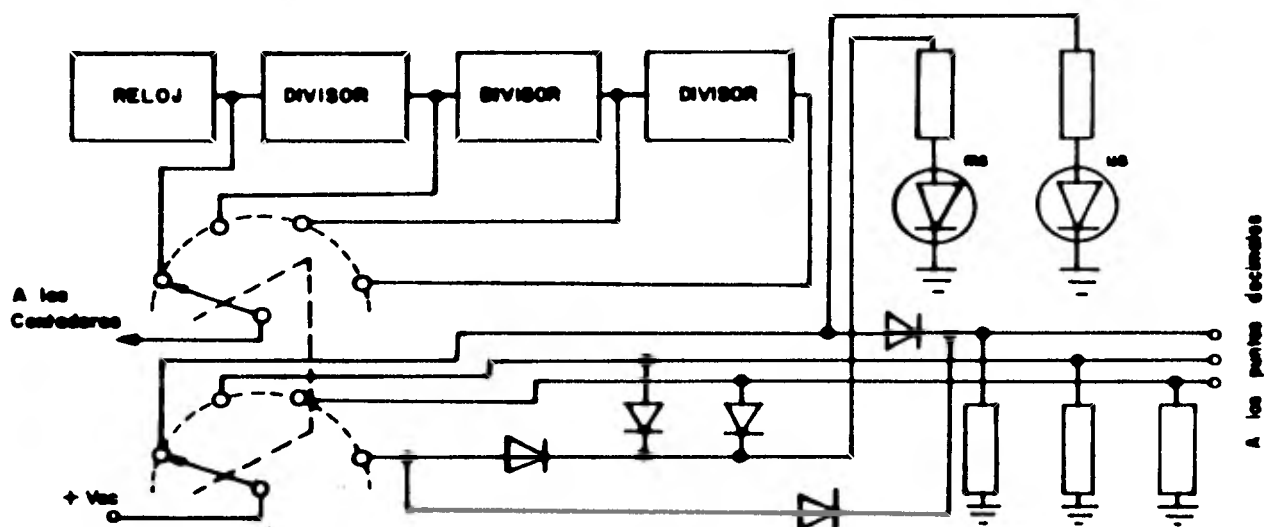


FIG. VIII. 3

Otra sección del selector se encargará de controlar dos LEDS, los cuales nos indicarán si la lectura debe hacerse en milisegundos o en micro segundos, localizando también la posición correcta del punto decimal en el display.

Para ello utilizamos un descodificador de diodos el cual se muestra en el plano general.

VIII.4.- CIRCUITO INDICADOR CAMBIO DE ESCALA

Cuando el número de pulsos sobrepasa la capacidad del contador se requiere señalar esto ya que de lo contrario se tendrá error en la lectura observada en el desplegado.

Para evitar este error se implementó un circuito que enciende un LED indicador cuando la falla se produce. Por las características que se requieren se utiliza un circuito monoestable; el cual produce un pulso de aproximadamente 0.5 seg. cada vez que es disparado por un pequeño pulso que proviene de la salida de máxima cuenta del dígito más significativo.

Cuando el led se enciende se procede a accionar la perilla de cambio de escala.

Para la implementación de éste circuito se utiliza el circuito integrado - 555 conectado como se muestra en la siguiente figura:

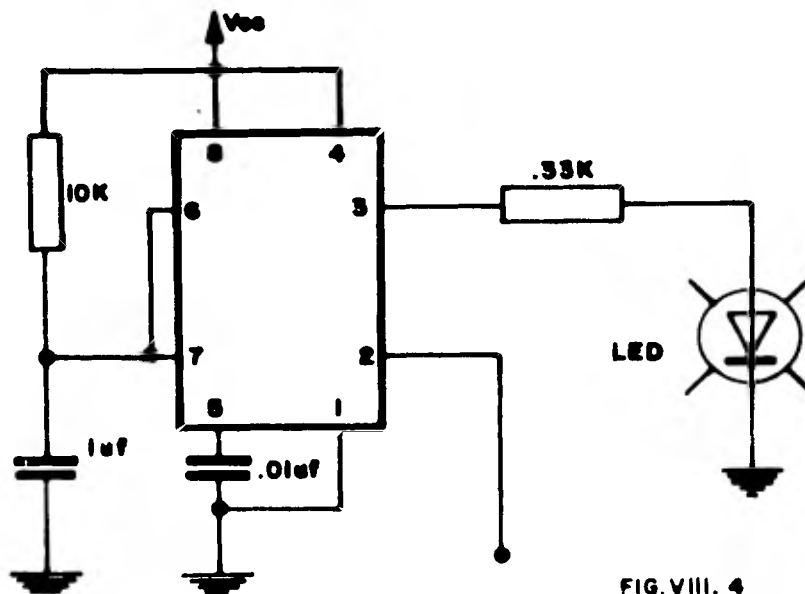
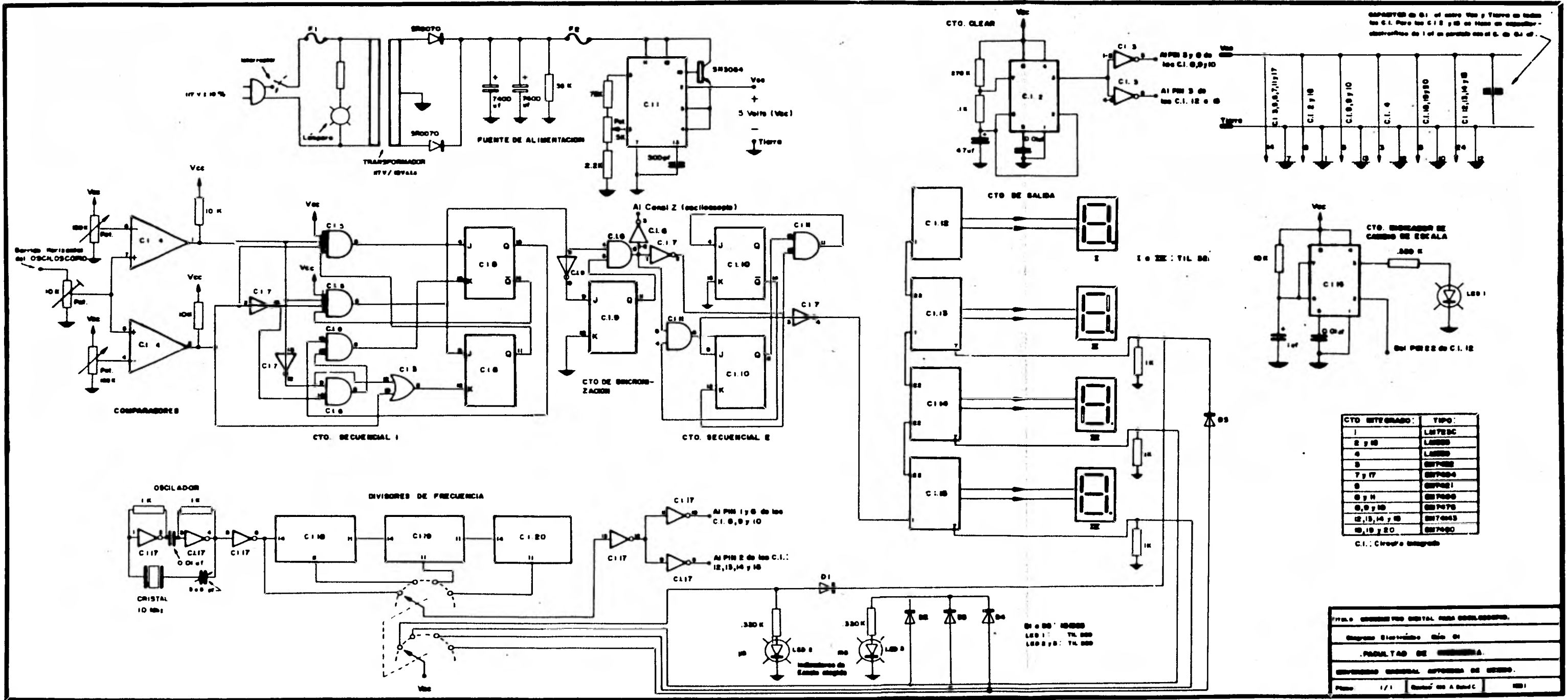


FIG.VIII. 4

CAPITULO IX

DIAGRAMAS



CONEXIONES de C1. al resto del sistema y Tierra en todos los C.I. Para los C.12 y 18 se hace un capacitor distributivo de 1 uF en paralelo con el C. de C.I.

CTO INTEGRADO	TIPO
1	LM755C
2 y 10	LM555
3	LM555
4	SN7490
5 y 17	SN7490
6	SN7490
6 y 11	SN7490
6, 9 y 10	SN7490
12, 13, 14 y 15	SN7490
15, 16 y 20	SN7490

C.I.: Circuito Integrado

TITULO: CIRCUITO DIGITAL PARA CONTEO DE...

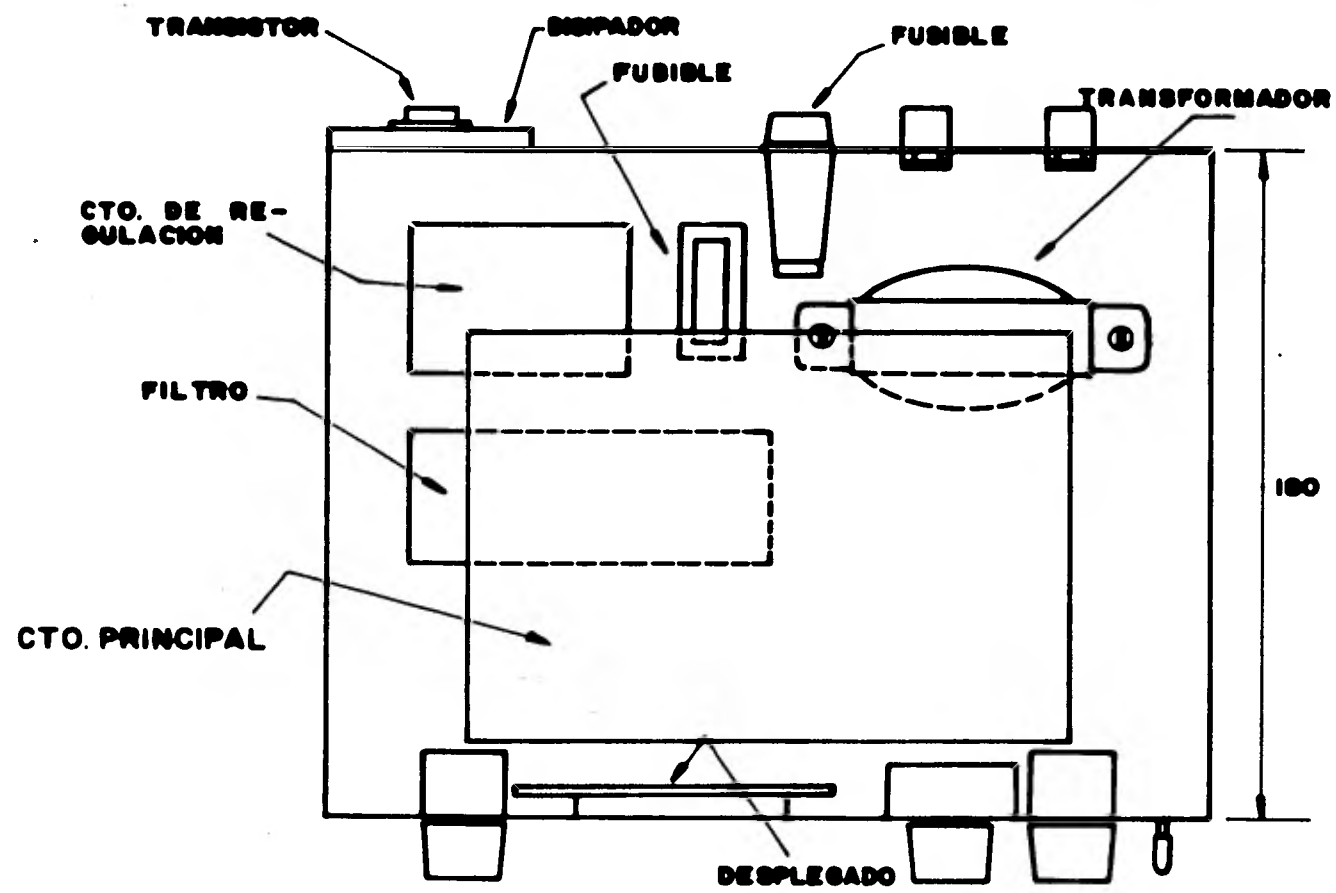
Nombre Diseñador: G. G. G.

FECHA DE ENTREGA: ...

PROFESOR: ...

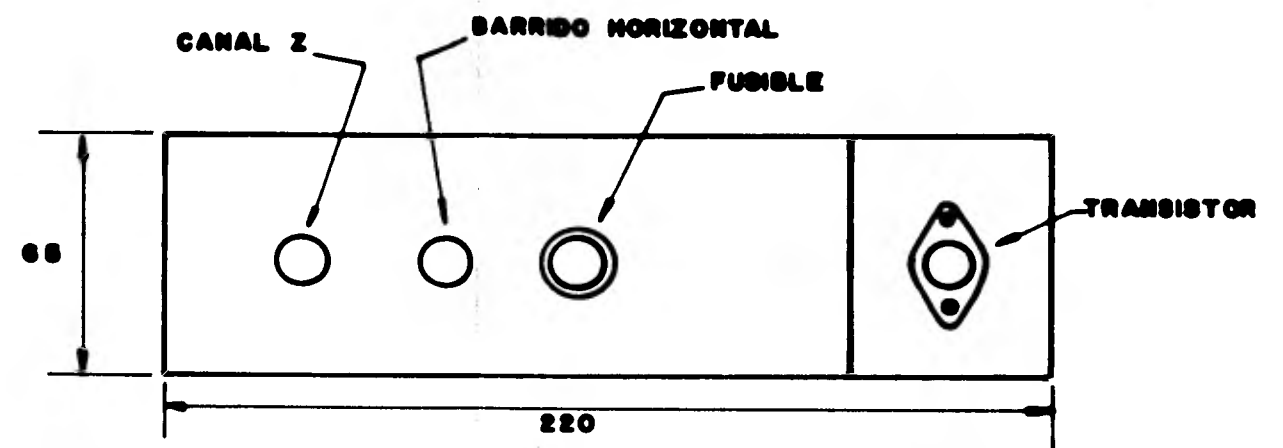
GRUPO: ...

Página: 1/1

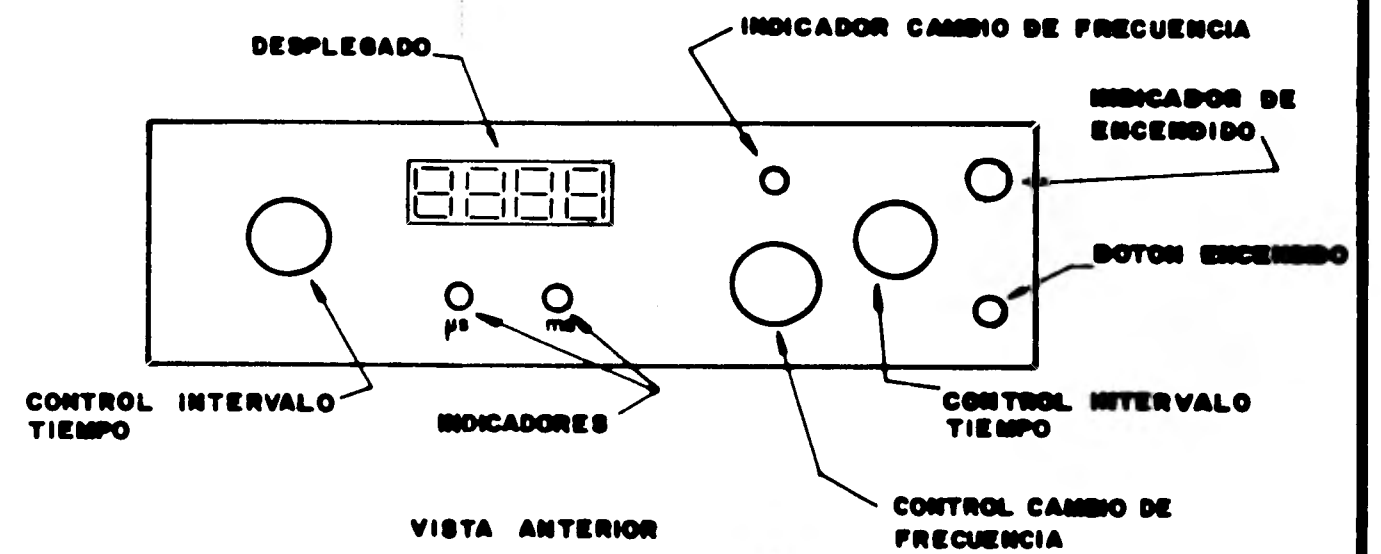


VISTA DE PLANTA

ESC. 1:2 , Acotaciones: [mm]



VISTA POSTERIOR



VISTA ANTERIOR

TITULO: CRONOMETRO DIGITAL PARA OSCILOSCOPIO.

Diagrama Núm. 02. CMBIS

FACULTAD DE INGENIERIA.

UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO.

Plano: 1/1

Revisó: ING. A. Sotolongo

1981

CONCLUSIONES

El desarrollo del trabajo presentado permitió aplicar los conocimientos adquiridos en la Facultad en materias como son la Electrónica Digital y Analógica, Metrología y Control entre otras.

Además de los conocimientos anteriores que fueron básicos para el desarrollo de este trabajo, se requirió de una investigación más profunda en temas como son algunos aspectos sobre el funcionamiento del osciloscopio, así como sistemas digitales de medición. También se requirió experimentar algunos circuitos en secciones como: Circuito de Regulación, Comparador, Contadores, Circuito Oscilador, para encontrar el más adecuado a nuestro trabajo de acuerdo a disponibilidad en el mercado nacional, costo, nivel de integración, etc..

Es importante señalar que el diseño de un instrumento similar con fines comerciales o industriales requiere de una mayor cantidad de estudios y un diseño basado en los últimos avances de la investigación -- así como en aparatos similares ya existentes en el mercado por lo que el presente diseño puede tomarse como una base para un aparato más -- completo.

INFORMACION TECNICA

LM723/LM723C voltage regulator

general description

The LM723/LM723C is a voltage regulator designed primarily for series regulator applications. By itself, it will supply output currents up to 150 mA; but external transistors can be added to provide any desired load current. The circuit features extremely low standby current drain, and provision is made for either linear or foldback current limiting. Important characteristics are:

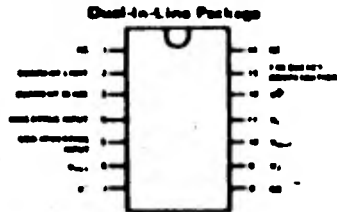
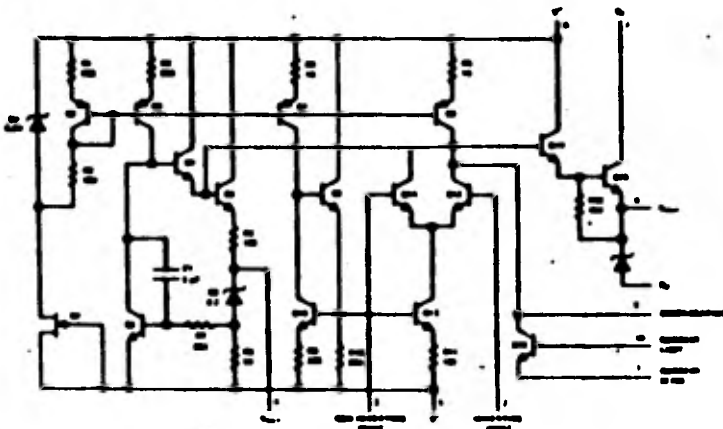
- 150 mA output current without external pass transistor
- Output currents in excess of 10A possible by adding external transistors

- Input voltage 40V max
- Output voltage adjustable from 2V to 37V
- Can be used as either a linear or a switching regulator.

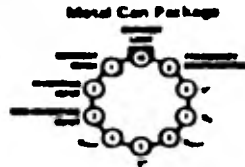
The LM723/LM723C is also useful in a wide range of other applications such as a shunt regulator, a current regulator or a temperature controller.

The LM723C is identical to the LM723 except that the LM723C has its performance guaranteed over a 0°C to 70°C temperature range, instead of -55°C to +125°C.

schematic and connection diagrams*

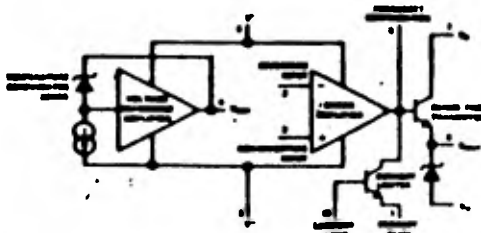


Order Number LM723H or LM723CH
See NS Package N14A
Order Number LM723J or LM723CJ
See NS Package J14A



Order Number LM723H or LM723CH
See NS Package H16C

equivalent circuit*



* Pin numbers refer to metal can package.

absolute maximum ratings

Pulse Voltage from V^+ to V^- (50 ms)	50V
Continuous Voltage from V^+ to V^-	40V
Input-Output Voltage Differential	40V
Maximum Amplifier Input Voltage (Either Input)	7.5V
Maximum Amplifier Input Voltage (Differential)	5V
Current from V_2	25 mA
Current from V_{adj}	10 mA
Interval Power Dissipation Metal Can (Note 1)	600 mW
Cermet DIP (Note 1)	600 mW
Metal DIP (Note 1)	600 mW
Operating Temperature Range LM723	-55°C to $+125^\circ\text{C}$
LM723C	0°C to $+75^\circ\text{C}$
Storage Temperature Range Metal Can	-65°C to $+150^\circ\text{C}$
DIP	-65°C to $+125^\circ\text{C}$
Lead Temperature (Soldering, 10 sec)	250°C

electrical characteristics (Note 2)

PARAMETER	CONDITIONS	LM723			LM723C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Line Regulation	$V_{in} = 12V$ to $V_{in} = 16V$ $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +75^\circ\text{C}$ $V_{in} = 12V$ to $V_{in} = 40V$.01	0.1		.01	0.1	% V_{OUT}
				0.3			0.3	% V_{OUT}
			.05	0.2		0.1	0.5	% V_{OUT}
Load Regulation	$I_L = 1 \text{ mA}$ to $I_L = 50 \text{ mA}$ $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +75^\circ\text{C}$.05	0.15		.05	0.2	% V_{OUT}
				0.9			0.6	% V_{OUT}
Regulo Rejection	$f = 50 \text{ Hz}$ to 10 kHz , $C_{OUT} = 0$ $f = 50 \text{ Hz}$ to 10 kHz , $C_{OUT} = 5 \mu\text{F}$		74			74	dB	
			60			60	dB	
Average Temperature Coefficient of Output Voltage	$-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +75^\circ\text{C}$.002	.015		.003	.015	%/°C
								%/°C
Short Circuit Current Limit	$R_{SC} = 16\Omega$, $V_{OUT} = 0$		65			65	mA	
Reference Voltage		6.65	7.15	7.35	6.80	7.15	7.80	V
Output Noise Voltage	BW = 100 Hz to 10 kHz, $C_{OUT} = 0$ BW = 100 Hz to 10 kHz, $C_{OUT} = 5 \mu\text{F}$		20			20		μVrms
			2.5			2.5		μVrms
Long Term Stability			0.1			0.1		%/1000 hrs
Standby Current Drain	$I_L = 0$, $V_{in} = 20V$		1.3	2.5		1.3	4.0	mA
Input Voltage Range		0.5		40	0.5		40	V
Output Voltage Range		2.0		37	2.0		37	V
Input-Output Voltage Differential		3.0		38	3.0		38	V

Note 1: See derating curves for maximum power rating above 75°C .

Note 2: Unless otherwise specified, $T_A = 25^\circ\text{C}$, $V_{IN} = V^+ - V_C = 12V$, $V^- = 0$, $V_{OUT} = 5V$, $I_L = 1 \text{ mA}$, $R_{SC} = 0$, $C_1 = 100 \text{ pF}$, $C_{REF} = 0$ and divider impedances as seen by error amplifier $\leq 70 \text{ k}\Omega$ connected as shown in Figure 1. Line and load regulation specifications are given for the condition of constant chip temperature. Temperature drifts must be taken into account separately for high dissipation conditions.

Note 3: L_1 is 40 turns of No. 20 enameled copper wire wound on Ferronucle P38/22-387 pot core or equivalent with 0.008 in. air gap.

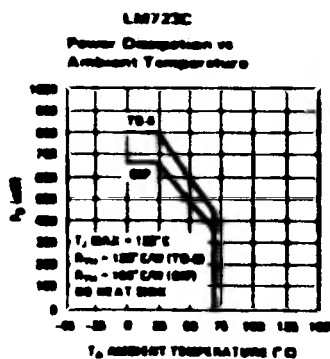
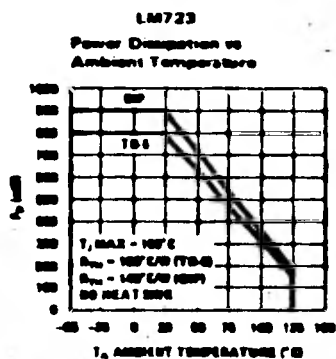
Note 4: Figures in parentheses may be used if R1/R2 divider is placed on opposite input of error amp.

Note 5: Replace R1/R2 in figures with divider shown in Figure 13.

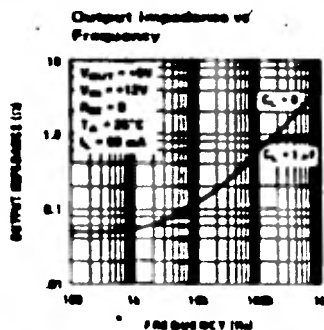
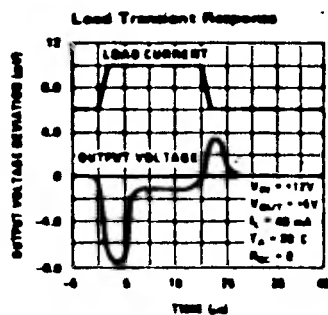
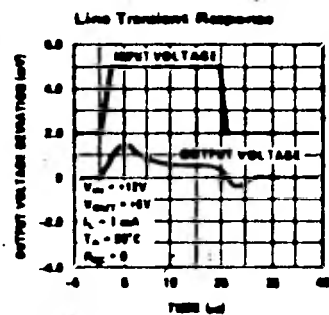
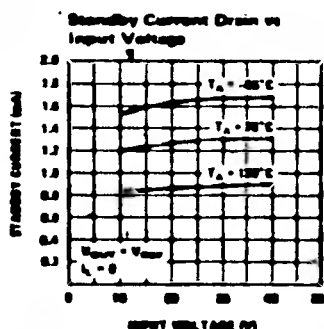
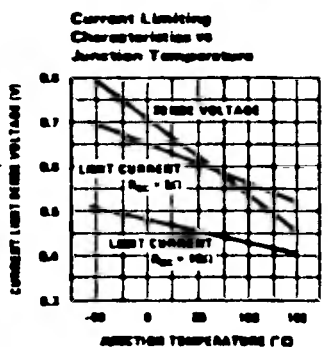
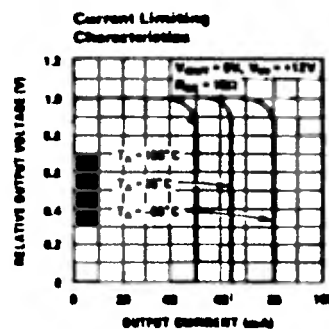
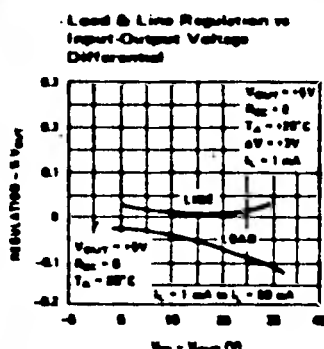
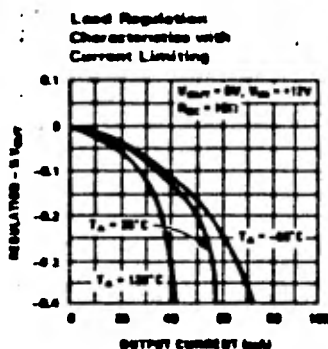
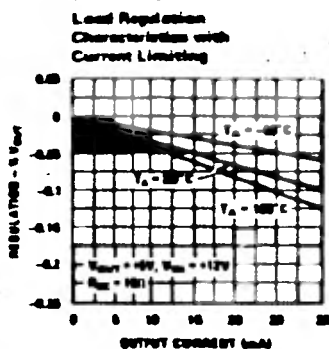
Note 6: V^+ must be connected to a +3V or greater supply.

Note 7: For metal can applications where V_2 is required, an external 0.2 volt zener diode should be connected in series with V_{OUT} .

maximum power ratings



typical performance characteristics



LM139/LM239/LM339, LM139A/LM239A/LM339A, LM2901, LM3302 low power low offset voltage quad comparators

general description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO, MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic — where the low power drain of the LM339 is a distinct advantage over standard comparators.

advantages

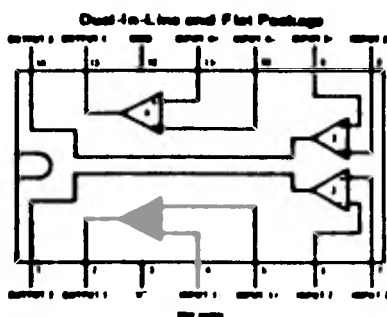
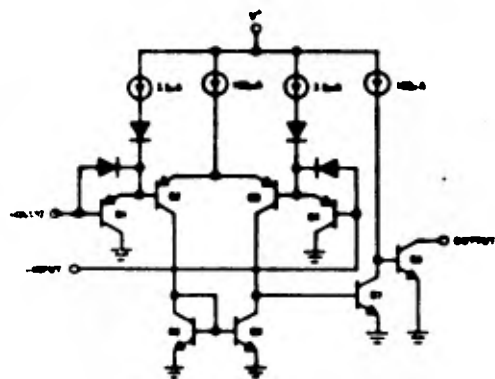
- High precision comparators
- Reduced V_{OS} drift over temperature

- Eliminates need for dual supplies
- Allows sensing near ground
- Compatible with all forms of logic
- Power drain suitable for battery operation

features

- Wide single supply voltage range or dual supplies
 - LM139 series, 2 V_{DC} to 36 V_{DC} or
 - LM139A series, LM2901 ±1 V_{DC} to ±18 V_{DC}
 - LM3302 2 V_{DC} to 28 V_{DC} or ±1 V_{DC} to ±14 V_{DC}
- Very low supply current drain (0.8 mA) — independent of supply voltage (2 mW/comparator at +5 V_{DC})
- Low input biasing current 25 nA
- Low input offset current ±5 nA and offset voltage ±3 mV
- Input common-mode voltage range includes gnd
- Differential input voltage range equal to the power supply voltage
- Low output 250 mV at 4 mA saturation voltage
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

schematic and connection diagrams



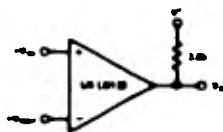
Order Number LM139D, LM139AD, LM239D or LM239AD
See NS Package D14E

Order Number LM139J, LM139AJ, LM239J, LM239AJ, LM339J, LM339AJ, LM2901J or LM3302J
See NS Package J14A

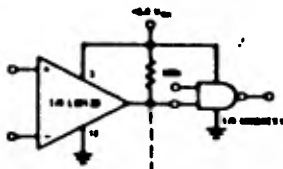
Order Number LM139F, LM139AF, LM239F or LM239AF
See NS Package F14A

Order Number LM339N, LM339AN, LM2901N or LM3302N
See NS Package N14A

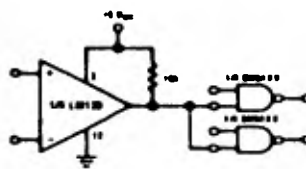
typical applications (V⁺ = 5.0 V_{DC})



Basic Comparator



Driving CMOS



Driving TTL

absolute maximum ratings

	LM139/LM239/LM339 LM139A/LM239A/LM339A LM2901	LM339Z
Supply Voltage, V^+	35 VDC or ±18 VDC	28 VDC or ±14 VDC
Differential Input Voltage	38 VDC	28 VDC
Input Voltage	-0.3 VDC to +38 VDC	-0.3 VDC to +28 VDC
Power Dissipation (Note 1)		
Molded DIP	670 mW	670 mW
Cavity DIP	800 mW	
Flat Pack	800 mW	
Output Short-Circuit to GND, (Note 2)	Continuous	Continuous
Input Current ($V_{IN} < -0.3$ VDC), (Note 3)	50 mA	50 mA
Operating Temperature Range		
LM239A	0°C to +70°C	-40°C to +85°C
LM239A	-25°C to +85°C	
LM2801	-40°C to +85°C	
LM139A	-55°C to +125°C	
Storage Temperature Range	-65°C to +180°C	-65°C to +180°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C

electrical characteristics ($V^+ = 5$ VDC, Note 4)

PARAMETER	CONDITIONS	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM339Z			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Input Offset Voltage	$T_A = 25^\circ\text{C}$, (Note 8)	±1.0	±2.0		±1.0	±2.0		±2.0	±5.0		±2.0	±5.0		±2.0	±7.0		±3	±30		mVDC	
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $T_A = 25^\circ\text{C}$, (Note 6)	25	100		25	250		25	180		25	250		25	250		25	500		nADC	
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $T_A = 25^\circ\text{C}$	±3.0	±25		±5.0	±50		±3.0	±25		±5.0	±50		±5	±50		±3	±100		nADC	
Input Common-Mode Voltage Range	$T_A = 25^\circ\text{C}$, (Note 6)	0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		VDC	
Supply Current	$R_L = \infty$ on all Comparators, $T_A = 25^\circ\text{C}$ $R_L = \infty$, $V^+ = 30\text{V}$, $T_A = 25^\circ\text{C}$	0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2		mADC	
Voltage Gain	$R_L \geq 1\text{k}\Omega$, $V^+ = 15$ VDC (To Support Large V_O Swing), $T_A = 25^\circ\text{C}$	50	200		50	200		200			200			25	100		2	20		V/mV	
	$V_{IN} = \text{TTL Logic Swing}$, $V_{REF} = 1.4$ VDC, $V_{RL} = 5$ VDC, $R_L = 5.1\text{k}\Omega$, $T_A = 25^\circ\text{C}$		300			300			300			300			300			300			ns
Response Time	$V_{RL} = 5$ VDC, $R_L = 5.1\text{k}\Omega$, $T_A = 25^\circ\text{C}$, (Note 7)		1.3			1.3			1.3			1.3			1.3			1.3		ns	
Output Sink Current	$V_{IN(-)} \geq 1$ VDC, $V_{IN(+)} = 0$, $V_O \leq 1.5$ VDC, $T_A = 25^\circ\text{C}$	6.0	18		6.0	18		6.0	18		6.0	18		6.0	18		6.0	18		mADC	
Saturation Voltage	$V_{IN(-)} \geq 1$ VDC, $V_{IN(+)} = 0$, $I_{SINK} \leq 4$ mA, $T_A = 25^\circ\text{C}$		250	400		250	400		250	400		250	400		400			250	500		mVDC
Output Leakage Current	$V_{IN(+)} \geq 1$ VDC, $V_{IN(-)} = 0$, $V_O = 5$ VDC, $T_A = 25^\circ\text{C}$		0.1			0.1			0.1			0.1			0.1			0.1			nADC

electrical characteristics (con't)

PARAMETER	CONDITIONS	LM238A			LM238A, LM238A			LM138			LM238, LP238			LM2901			LM2902			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	(Note 8)			4.0			4.0			0.0			0.0	0	15			40	mVDC	
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$			±100			±100			±100			±100	50	200			300	nADC	
Input Bias Current	$I_{IN(+)} \text{ or } I_{IN(-)}$ with Output in Linear Range			300			400			300			400	200	500			1000	nADC	
Input Common-Mode Voltage Range		0		$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$	VDC
Saturation Voltage	$V_{IN(+)} \geq 1 \text{ VDC}$, $V_{IN(-)} = 0$, $I_{\text{SINK}} \leq 4 \text{ mA}$			700			700			700			700	400	700			700	mVDC	
Output Leakage Current	$V_{IN(+)} \geq 1 \text{ VDC}$, $V_{IN(-)} = 0$, $V_O = 30 \text{ VDC}$			1.0			1.0			1.0			1.0					1.0	nADC	
Differential Input Voltage	Keep all V_{IN} 's $\geq 0 \text{ VDC}$ (or V^- , if used), (Note 8)			V^+			V^+			30			30	0				V_{CC}	VDC	

Note 1: For operating at high temperatures, the LM238/LM238A, LM2901, LM2902 must be derated based on a 125°C maximum junction temperature and a thermal resistance of 175°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM238 and LM138 must be derated based on a 150°C maximum junction temperature. The low bias dissipation and the "ON-OFF" characteristic of the outputs keeps the chip dissipation very small ($P_D \leq 100 \text{ mW}$), provided the output transistors are allowed to saturate.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 20 mA independent of the magnitude of V^+ .

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the V^+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than -0.3 VDC .

Note 4: These specifications apply for $V^+ = 5 \text{ VDC}$ and $-65^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$, unless otherwise stated. With the LM238/LM238A, all temperature specifications are limited to $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$, the LM238/LM238A temperature specifications are limited to $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$, and the LM2901, LM2902 temperature range is $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$.

Note 5: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.

Note 6: The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is $V^+ - 1.5\text{V}$, but either or both inputs can go to $+30 \text{ VDC}$ without damage.

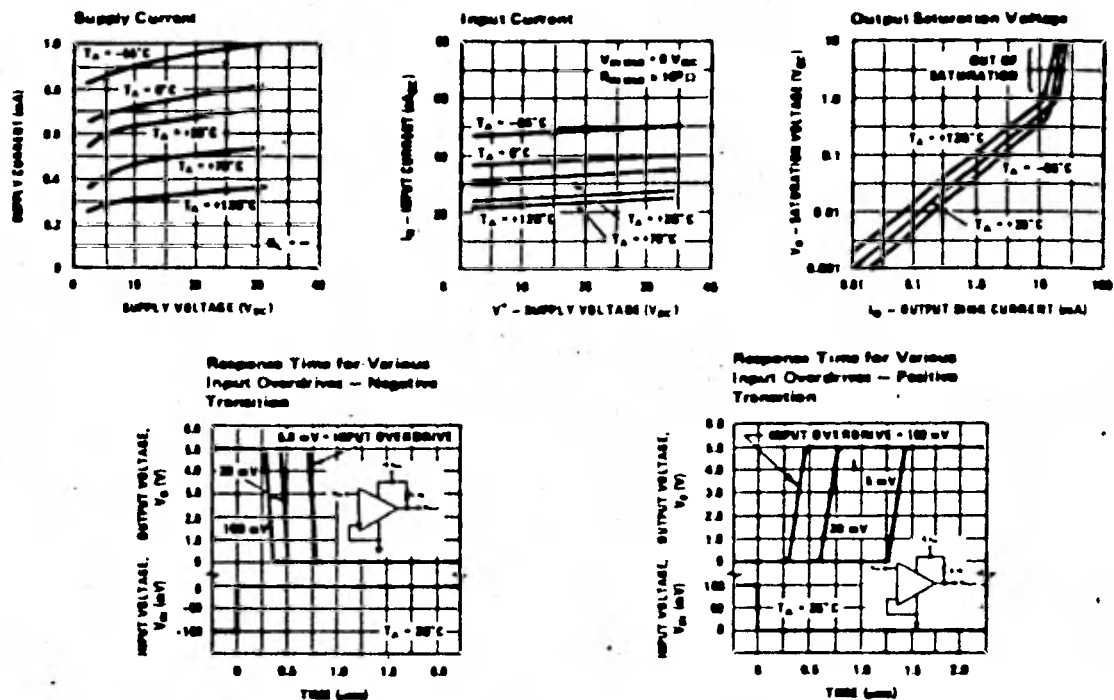
Note 7: The response time specified is for a 100 mV input step with 5 mV overdrive. For larger overdrive signals 300 ns can be obtained, see typical performance characteristics section.

Note 8: Positive excursions of input voltage may exceed the power supply level. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than -0.3 VDC (or 0.3 VDC below the magnitude of the negative power supply, if used).

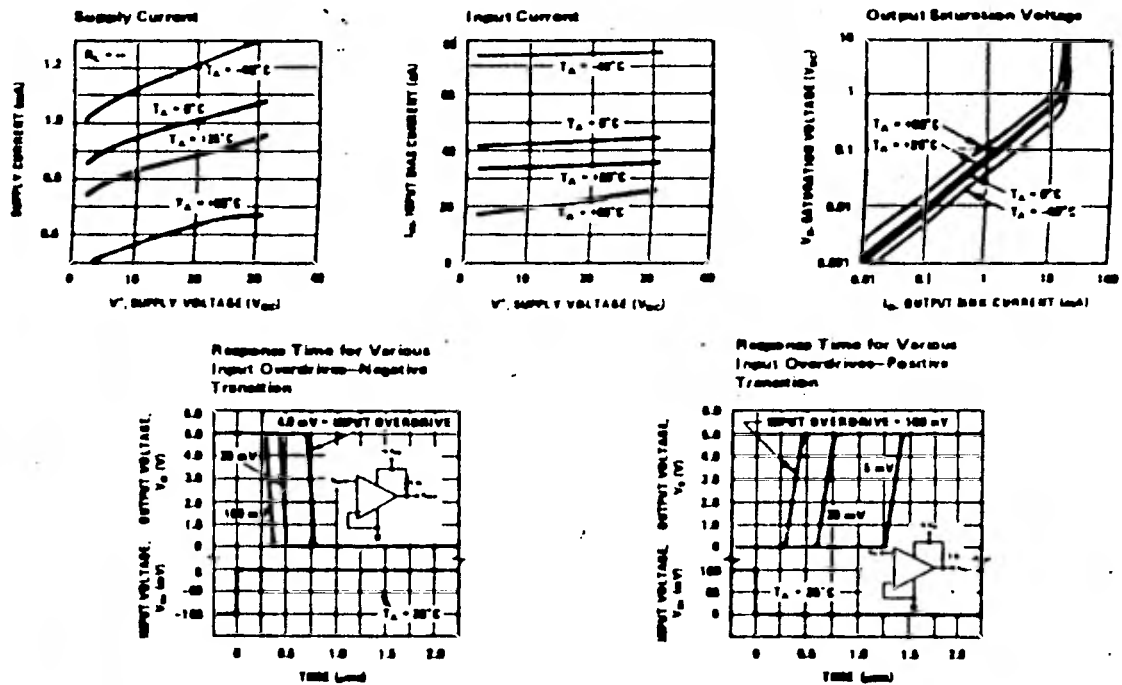
Note 9: At output switch point, $V_O = 1.4 \text{ VDC}$, $R_B = 0\Omega$ with V^+ from 5 VDC; and over the full input common-mode range (0 VDC to $V^+ - 1.5 \text{ VDC}$).

Note 10: For input signals that exceed V_{CC} , only the overdrive comparator is affected. With a 5V supply, V_{IH} should be limited to 25V max, and a limiting resistor should be used on all inputs that might exceed the positive supply.

typical performance characteristics LM139/LM239/LM339, LM139A/LM239A/LM339A, LM3302



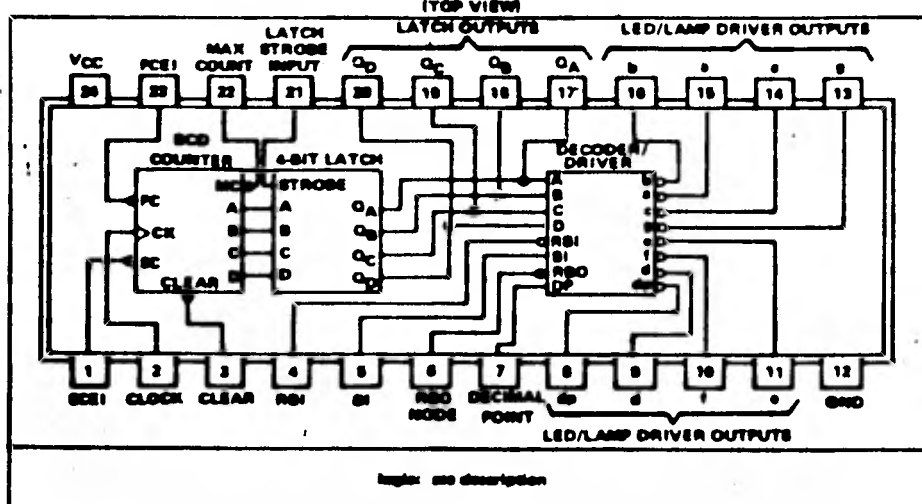
typical performance characteristics LM2901



TTL
MSI

TYPES SN54143, SN54144, SN74143, SN74144 4-BIT COUNTER/LATCH, SEVEN-SEGMENT LED/LAMP DRIVERS

BULLETIN NO. DLG 721123B, NOVEMBER 1971—REVISED DECEMBER 1972
SN54143, SN54144 ... J OR W PACKAGE
SN74143, SN74144 ... J OR N PACKAGE



- Choice of Driver Outputs:

SN54143 and SN74143 have 16-mA Constant-Current Outputs for Driving Common-Anode LED's such as TIL302 or TIL303 without Series Resistors

SN54144 and SN74144 Drive High-Current Lamps, Numitrons[®], or LED's from Saturated Open-Collector Outputs

- Universal Logic Capabilities

Ripple Blanking of Extraneous Zeros

Latch Outputs Can Drive Logic Processors Simultaneously

Decimal Point Driver is Included

- Synchronous BCD Counter Capability Includes

Compatible to H-SOs

Look-Ahead-Enable Techniques Minimize Speed Degradation When Cascaded for Large-Word Display

Direct Clear Input

description

These TTL MSI circuits contain the equivalent of 88 gates on a single chip. Logic inputs and outputs are completely TTL/DTL compatible. The buffered inputs are implemented with relatively large resistors in series with the bases of the input transistors to lower drive-current requirements to one-half of that required for a standard Series 54/74 TTL input. The serial-count-enable, actually two internal emitters, is rated as one standard series 54/74 load. The logic outputs, except R03, have active pull-ups.

The SN54143 and SN74143 driver outputs are designed specifically to maintain a relatively constant on-level sink current of approximately 16 milliamperes from outputs "a" through "g" and seven milliamperes from output "dp" over a voltage range from one to five volts. Any number of LED's in series may be driven as long as the output voltage rating is not exceeded.

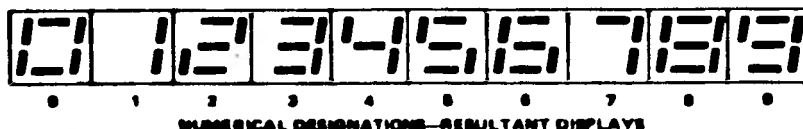
description (continued)

The SN54144 and SN74144 drivers have high-sink-current saturated outputs for driving indicators having voltage ratings up to 15 volts or requiring up to 25 milliamperes drive. The SN54144 sinks 20 milliamperes and the SN74144 sinks 25 milliamperes at an on-level voltage of 0.8 volts across their respective operating temperature ranges.

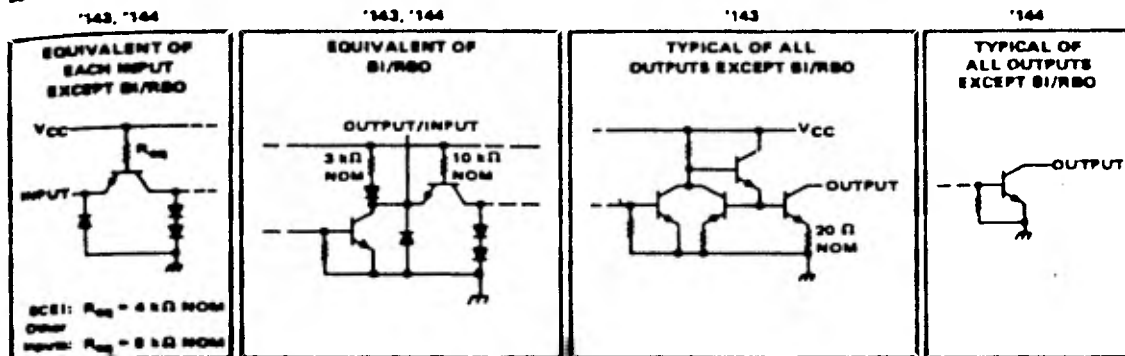
All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design. Maximum clock frequency is typically 18 megahertz and power dissipation is typically 200 milliwatts. The SN54143 and SN54144 are characterized for operation over the full military temperature range of -55°C to 125°C ; the SN74143 and SN74144 are characterized for operation from 0°C to 70°C .

Functions of the inputs and outputs of these devices are as follows:

FUNCTION	PIN NO.	DESCRIPTION
CLEAR INPUT	3	When low, resets and holds counter at 0. Must be high for normal counting.
CLOCK INPUT	2	Each positive-going transition will increment the counter provided that the circuit is in the normal counting mode (serial and parallel count enable inputs low, clear input high).
PARALLEL COUNT ENABLE INPUT (PCEI)	23	Must be low for normal counting mode. When high, counter will be inhibited. Logic level must not be changed when the clock is low.
SERIAL COUNT ENABLE INPUT (SCEI)	1	Must be low for normal counting mode, also must be low to enable maximum count output to go low. When high, counter will be inhibited and maximum count output will be driven high. Logic level must not be changed when the clock is low.
MAXIMUM COUNT OUTPUT	22	Will go low when the counter is at 9 and serial count enable input is low. Will return high when the counter changes to 0 and will remain high during counts 1 through 9. Will remain high (inhibited) as long as serial count enable input is high.
LATCH STROBE INPUT	21	When low, data in latches follow the data in the counter. When high, the data in the latches are held constant, and the counter may be operated independently.
LATCH OUTPUTS (QA, Q _B , Q _C , Q _D)	17, 18, 19, 20	The BCD data that drives the decoder can be stored in the 4-bit latch and is available at these outputs for driving other logic and/or processors. The binary weights of the outputs are: Q _A = 1, Q _B = 2, Q _C = 4, Q _D = 8.
DECIMAL POINT INPUT	7	Must be high to display decimal point. The decimal point is not displayed when this input is low or when the display is blanked.
BLANKING INPUT (BI)	6	When high, will blank (turn off) the entire display and force RBO low. Must be low for normal display. May be pulsed to implement intensity control of the display.
RIPPLE-BLANKING INPUT (RBI)	4	When the data in the latches is BCD 0, a low input will blank the entire display and force the RBO low. This input has no effect if the data in the latches is other than 0.
RIPPLE-BLANKING OUTPUT (RBO)	8	Supplies ripple blanking information for the ripple blanking input of the next decade. Provides a low if BI is high, or if RBI is low and the data in the latches is BCD 0; otherwise, this output is high. This pin has a resistive pull-up circuit suitable for performing a wire-AND function with any open-collector output. Whenever this pin is low the entire display will be blanked; therefore, this pin may be used as an active-low blanking input.
LED/LAMP DRIVER OUTPUTS (a, b, c, d, e, f, g, dp)	16, 18, 14, 9 11, 10, 13, 8	Outputs for driving seven-segment LED's or lamps and their decimal points. See segment identification and resultant displays on following page.



schematics of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Off-state voltage at outputs "a" thru "g" and "dp", '144	15 V
Off-state current at outputs "a" thru "g" and "dp", '143	250 μ A
Continuous total power dissipation at (or below) 70°C free-air temperature (see Note 2)	1.4 W
Operating free-air temperature range: SN54' Circuits	-55°C to 125°C
SN74' Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTES: 1. Voltage values are with respect to network ground terminal.
 2. For the SN54143 and SN54144 in the M and W packages, this rating applies at (or below) 80°C free-air temperature. For operation above this temperature, decide linearly at the rate of 11.7 mW/°C for the M package and 14.7 mW/°C for the W package. No derating is required for these devices in the J package.

recommended operating conditions

	SN54143, SN54144			SN74143, SN74144			UNITS
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
On-state voltage at outputs a thru g and dp ('143 only)	1	V _{CC}		1	5		V
High-level output current, I_{OH}	Q _A , Q _B , Q _C , Q _D		-240	-240		μ A	
	Maximum count		-560	-560			
	RBO		-120	-120			
Low-level output current, I_{OL}	Q _A , Q _B , Q _C , Q _D , RBO		4.8	4.8		mA	
	Maximum count		11.2	11.2			
Clock pulse width, $t_{pd}(\text{clock})$	High logic level		25	25		ns	
	Low logic level		55	55			
Clear pulse width, $t_{pd}(\text{clear})$	Serial and parallel carry		301	301		ns	
	Clear inactive state		801	801			
Operating free-air temperature, T_A	-65	125	0	70	°C		

†The arrow indicates that the rising edge of the clock pulse is used for reference.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	SN54143, SN74143		SN54144, SN74144		UNIT	
			MIN	TYP‡	MAX	MIN		TYP‡
V _{IH}	High-level input voltage		2		2		V	
V _{IL}	Low-level input voltage				0.8		V	
V _{IK}	Input clamp voltage	V _{CC} = MIN, I _I = -12 mA			-1.8		V	
V _{OH}	High-level output voltage	RBO	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OH} = MAX	2.4	2.4		V	
		Q _A , Q _B , Q _C , Q _D Maximum count						
V _{OL}	Low-level output voltage	Q _A , Q _B , Q _C , Q _D , RBO	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OL} = MAX		0.4	0.4	V	
		Maximum count						
V _{O(tem)}	Off-state output voltage	Outputs e thru g, dp	V _{CC} = MAX, I _{OH} = 250 µA	7	1E		V	
V _{O(on)}	On-State output voltage	Outputs e thru g, dp	V _{CC} = MIN, See Note 3			0.8	V	
I _{O(on)}	On-state output current	Outputs e thru g	V _{CC} = MIN, V _O = 1 V	9	18		mA	
			V _{CC} = 5 V, V _O = 2 V		18			
			V _{CC} = MAX, V _O = 5 V		18	22		
		Output dp	V _{CC} = MIN, V _O = 1 V	4.5	7			
			V _{CC} = 5 V, V _O = 2 V		7			
			V _{CC} = MAX, V _O = 5 V		7	12		
I _I	Input current at maximum input voltage	V _{CC} = MAX, V _I = 5.5 V		1		1	mA	
I _{IH}	High-level input current	Serial carry RBO node Other inputs	V _{CC} = MAX, V _I = 2.4 V		40		40	µA
				-0.12	-0.8	-0.12	-0.8	µA
					20		20	µA
I _{IL}	Low-level input current	Serial carry RBO node Other inputs	V _{CC} = MAX, V _I = 0.4 V, See Note 4		-1.8		-1.8	µA
				-1.8	-2.4	-1.5	-2.4	µA
					-0.8		-0.8	µA
I _{OS}	Short-circuit output current	Q _A , Q _B , Q _C , Q _D	V _{CC} = MAX		-8	-27.5	-8	µA
		Maximum count			-18	-88	-18	-88
I _{CC}	Supply current	V _{CC} = MAX, See Note 5		88	93	66	93	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

NOTES: 3. For SN54144, I_{OL} = 20 mA, for SN74144, I_{OL} = 25 mA.

4. I_{IL} at RBO node is tested with B1 grounded and RBI at 4.5 V.

5. I_{CC} is measured after the following conditions are established:

a) Strobe = RBI = DP = 4.5 V

b) Parallel count enable = serial count enable = B1 = GND

c) Clear (L) then clock until all outputs are on (S)

d) For '143, outputs "a" through "g" and "dp" = 2.5 V, all other outputs open. For '144, all outputs are open.

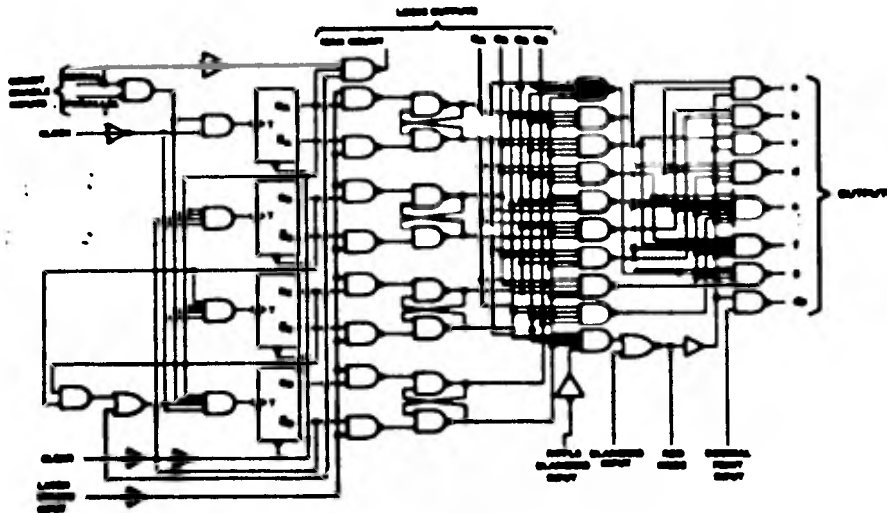
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER‡	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
f _{max}				12	18		MHz	
t _{PLH}	Serial look-ahead	Maximum count	C _L = 15 pF, R _L = 880 Ω, See Note 6		12	20	ns	
t _{PHL}					23	36		
t _{PLH}	Clock	Maximum count			28	40	ns	
t _{PHL}					28	48		
t _{PLH}	Clock	Q _A , Q _B , Q _C , Q _D		C _L = 15 pF, R _L = 1.2 kΩ, See Note 6		28	48	ns
t _{PHL}						38	80	
t _{PHL}	Clear	Q _A , Q _B , Q _C , Q _D			57	90	ns	
t _{PHL}								

f_{max} = Maximum clock frequency, t_{PLH} = Propagation delay time, low-to-high-level output,

t_{PHL} = Propagation delay time, high-to-low-level output

NOTE 6: Load circuit and voltage waveforms are shown on page 2-18.

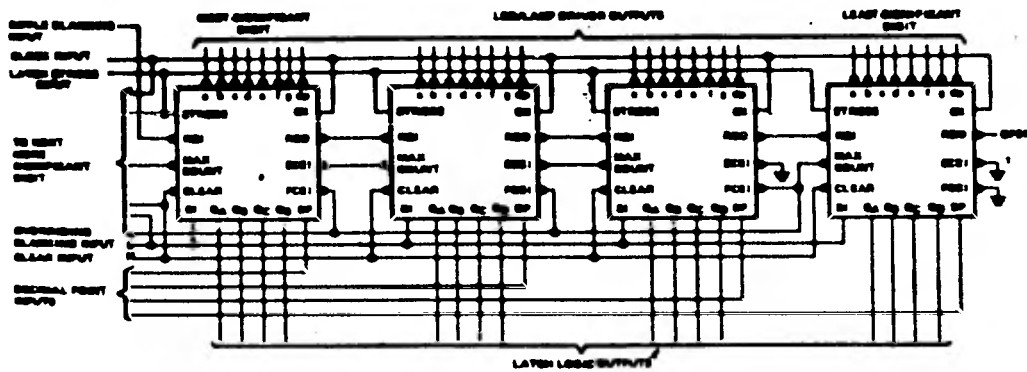


... Dynamic input activated by a transition from a high level to a low level.

TYPICAL APPLICATION DATA

This application demonstrates how the drivers may be connected for N-bit display applications. It features:

- Synchronous, look-ahead counting
- Ripple blanking of leading zeros; blanking of trailing zeros (not illustrated) can also be implemented
- Overriding blanking for total suppression or intensity modulation of display
- Direct parallel clear
- Latch strobe permits counter to acquire next display while viewing current display



¹The serial count-enable input of the least-significant digit is normally grounded; however, it may be used as a count-enable control for the entire counter (high to disable, low to count) provided the logic level on this pin is not changed while the clock line is low or false counting may result.

LM555/LM555C timer

general description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

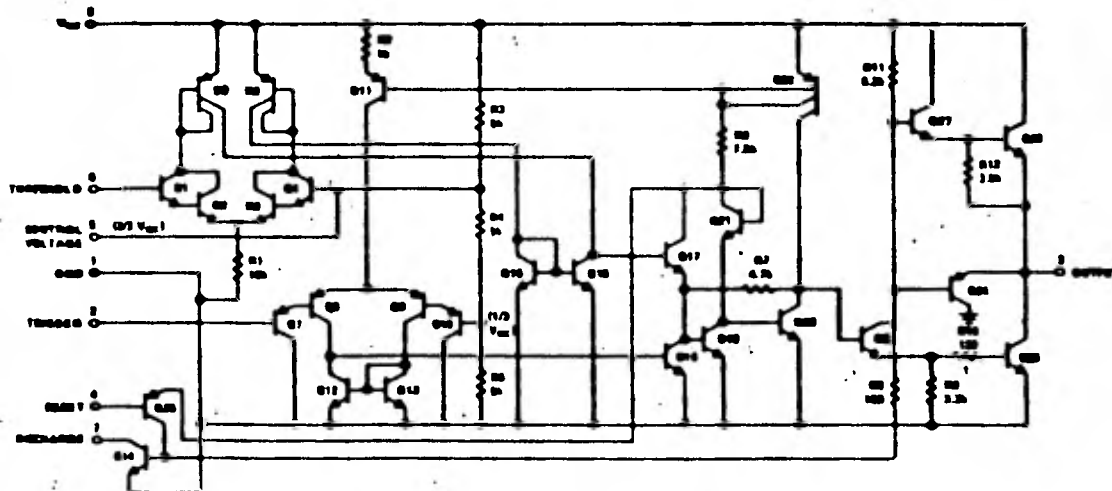
features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

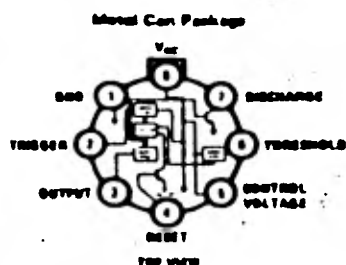
applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

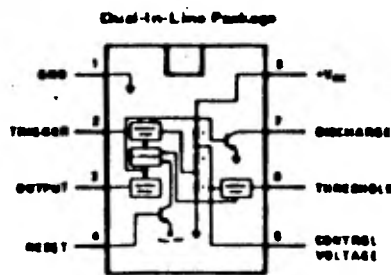
schematic diagram



connection diagrams



Order Number LM555H, LM555CH
See NS Package N05C



Order Number LM555CN
See NS Package N05B
Order Number LM555J or LM555CJ
See NS Package J05A

absolute maximum ratings

Supply Voltage	+18V
Power Dissipation (Note 1)	800 mW
Operating Temperature Range	
LM555C	0°C to +70°C
LM555	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

electrical characteristics ($T_A = 25^\circ\text{C}$, $V_{CC} = +5\text{V}$ to $+18\text{V}$, unless otherwise specified)

PARAMETER	CONDITIONS	LIMITS						UNITS
		LM555			LM555C			
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		18	V
Supply Current	$V_{CC} = 5\text{V}$, $R_L = \infty$ $V_{CC} = 18\text{V}$, $R_L = \infty$ (Low State) (Note 2)		3	6		3	6	mA
			10	12		10	15	mA
Timing Error, Monostable								
Initial Accuracy			0.5	2		1		%
Drift with Temperature	$R_A, R_B = 1\text{k}$ to 100k , $C = 0.1\mu\text{F}$, (Note 3)		30			60		ppm/°C
Accuracy over Temperature			1.5	3.0		1.5		%
Drift with Supply			0.05	0.2		0.1		%/V
Timing Error, Astable								
Initial Accuracy			1.5	6		2.25	7	%
Drift with Temperature			60	7		100		ppm/°C
Accuracy over Temperature			2.0	7		3.0		%
Drift with Supply			0.15	0.2		0.20	0.5	%/V
Threshold Voltage						0.667		$\approx V_{CC}$
Trigger Voltage	$V_{CC} = 18\text{V}$	4.8	6	6.2	6			V
	$V_{CC} = 5\text{V}$	1.45	1.67	1.8	1.67			V
Trigger Current			0.01	0.6		0.5	0.6	μA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	μA
Control Voltage Level	$V_{CC} = 18\text{V}$	9.6	10	10.4	9	10	11	V
	$V_{CC} = 5\text{V}$	2.8	3.20	3.6	2.6	3.20	4	V
Pin 7 Leakage Output High			1	100		1	100	mA
Pin 7 Sst (Note 5)								
Output Low	$V_{CC} = 18\text{V}$, $I_T = 15\text{ mA}$		100			100		mV
Output Low	$V_{CC} = 4.5\text{V}$, $I_T = 4.5\text{ mA}$		70	100		60	200	mV
Output Voltage Drop (Low)	$V_{CC} = 18\text{V}$ $I_{\text{load}} = 10\text{ mA}$ $I_{\text{load}} = 50\text{ mA}$ $I_{\text{load}} = 100\text{ mA}$ $I_{\text{load}} = 200\text{ mA}$ $V_{CC} = 5\text{V}$ $I_{\text{load}} = 5\text{ mA}$ $I_{\text{load}} = 5\text{ mA}$		0.1	0.15		0.1	0.25	V
			0.4	0.5		0.4	0.75	V
			2	2.2		2	2.6	V
			2.5			2.5		V
			0.1	0.25				V
			0.25	0.25		0.25	0.25	V
Output Voltage Drop (High)	$I_{\text{SOURCE}} = 200\text{ mA}$, $V_{CC} = 18\text{V}$ $I_{\text{SOURCE}} = 100\text{ mA}$, $V_{CC} = 18\text{V}$ $V_{CC} = 5\text{V}$		13	12.5		12.5		V
			3	13.3		12.75	13.3	V
				2.3		2.75	3.3	V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated based on a $+150^\circ\text{C}$ maximum junction temperature and a thermal resistance of $+45^\circ\text{C/W}$ junction to case for TO-9 and $+150^\circ\text{C/W}$ junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at $V_{CC} = 5\text{V}$.

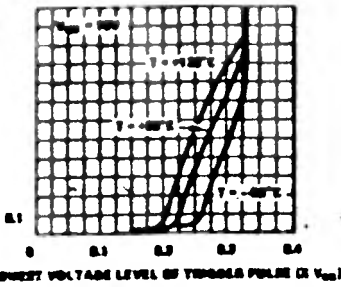
Note 3: Tested at $V_{CC} = 5\text{V}$ and $V_{CC} = 18\text{V}$.

Note 4: This test determines the maximum value of $R_A + R_B$ for 18V operation. The maximum total ($R_A + R_B$) is 20 M Ω .

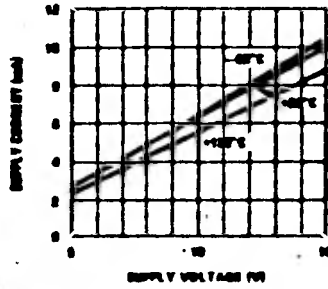
Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

typical performance characteristics

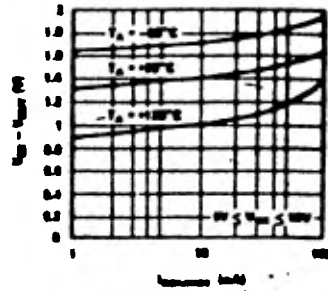
Minimum Pulse Width Required for Triggering



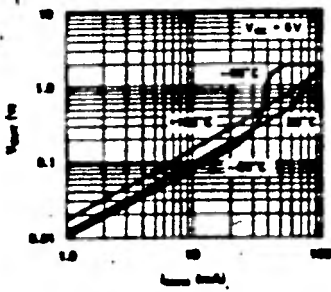
Supply Current vs Supply Voltage



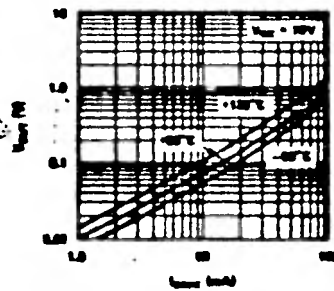
High Output Voltage vs Output Source Current



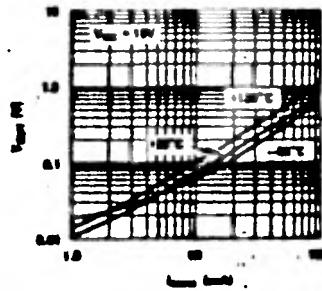
Low Output Voltage vs Output Sink Current



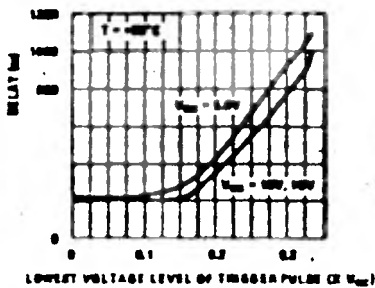
Low Output Voltage vs Output Sink Current



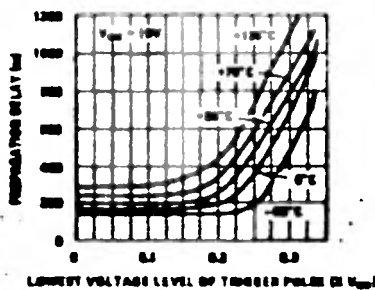
Low Output Voltage vs Output Sink Current



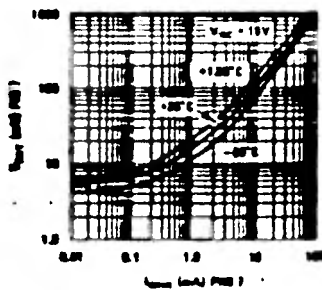
Output Propagation Delay vs Voltage Level of Trigger Pulse



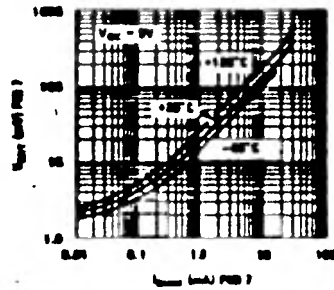
Output Propagation Delay vs Voltage Level of Trigger Pulse



Discharge Transistor (Pin 7) Voltage vs Sink Current



Discharge Transistor (Pin 7) Voltage vs Sink Current



TYPES TIL321 THRU TIL326, TIL330 THRU TIL332 NUMERIC DISPLAYS

BULLETIN NO. DL 5 7812302, MARCH 1976

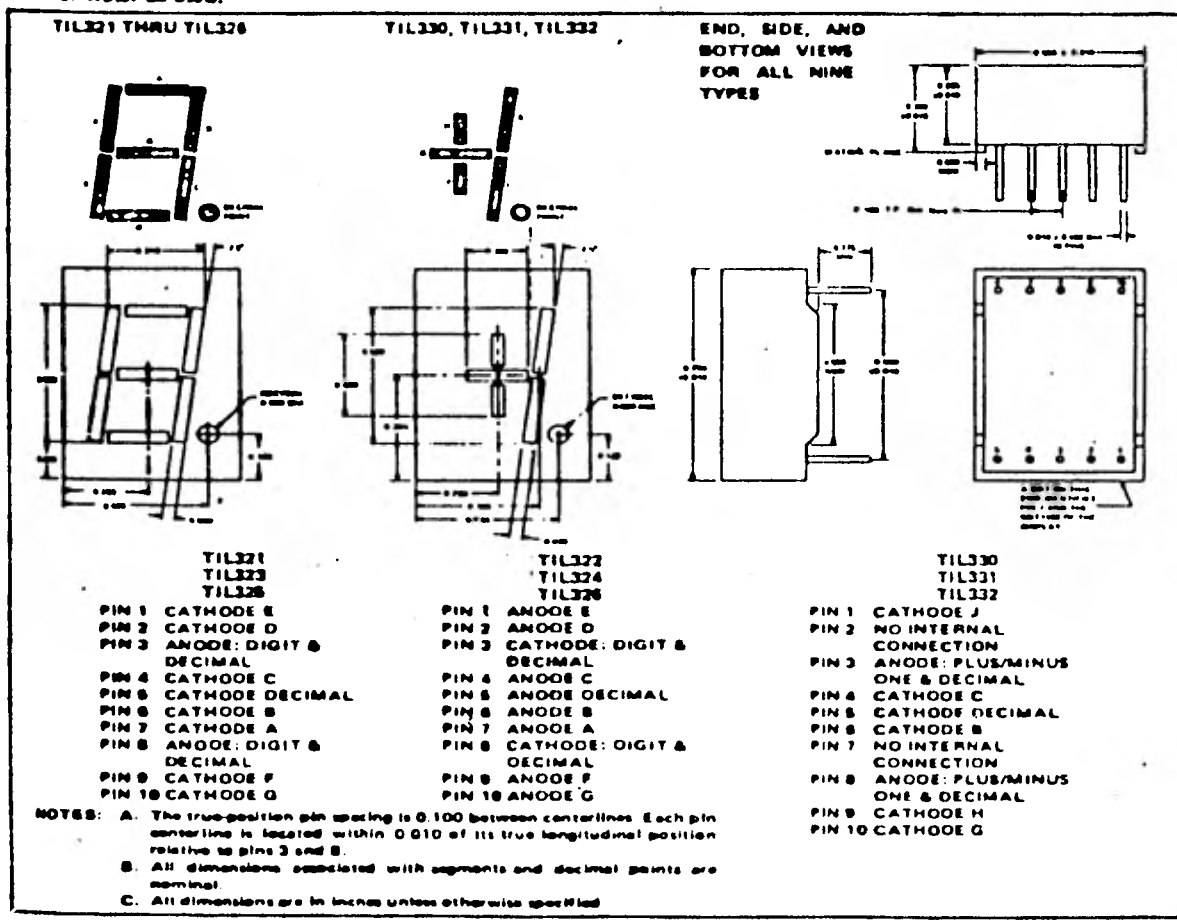
SOLID-STATE VISIBLE DISPLAYS WITH RED, GREEN, OR AMBER TRANSPARENT PLASTIC ENCAPSULATION

- 0.500-Inch-High Characters
- Continuous Uniform Segments
- Wide Viewing Angle
- High Contrast
- Categorized for Uniformity of Luminous Intensity among Units within Each Category
- Low Power Requirements

	SEVEN SEGMENTS WITH RIGHT DECIMAL, COMMON ANODE	SEVEN SEGMENTS WITH RIGHT DECIMAL, COMMON CATHODE	PLUS/MINUS ONE WITH RIGHT DECIMAL
RED	TIL321	TIL322	TIL330
GREEN	TIL323	TIL324	TIL331
AMBER	TIL325	TIL326	TIL332

Mechanical data

The light-emitting diode chips are mounted on a printed-circuit board, which, together with a one-piece reflector assembly, is encased within a transparent plastic case and sealed with epoxy. To optimize device performance, materials are used that are limited to certain solvents for cleaning operations. It is recommended that only freon TF, isopropanol, or water be used.



TYPES TIL321 THRU TIL326, TIL330 THRU TIL332 NUMERIC DISPLAYS

absolute maximum ratings

Reverse Voltage at 25°C Free-Air Temperature, Each Segment or Decimal Point	3 V
Peak Forward Current at (or below) 25°C Free-Air Temperature, Each Segment or Decimal Point	200 mA
Average Forward Current at (or below) 25°C Free-Air Temperature (See Notes 1 and 2), Each Segment or Decimal Point	28 mA
Operating Free-Air Temperature Range	-25°C to 85°C
Storage Temperature Range	-25°C to 85°C
Lead Temperature 1/16 Inch Below Seating Plane for 5 Seconds	230°C

NOTES: 1. This average value applies for any 10 ms period.
2. Derate linearly to 10 mA at 85°C free air temperature at the rate of 0.28 mA/°C.

operating characteristics of each segment or decimal point at 25°C free-air temperature

PARAMETER		TEST CONDITIONS	TIL321, TIL322 TIL330			TIL323, TIL324, TIL331			TIL325, TIL326 TIL332			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
I _v Luminous Intensity (See Note 3)	Average per Segment	I _f = 20 mA	240	600		150	320		180	340		cd
	Decimal Point		85	240		60	130		60	130		
Segment-to-Segment Luminous Intensity Ratio			1.5:1			1.5:1			1.5:1			
λ _p	Wavelength at Peak Emission		640	655	680	665			660			nm
Δλ	Spectral Bandwidth		20			40			40			nm
V _f	Static Forward Voltage		1.7	2		2.5	3.5		2.5	3.5		V
I _R	Static Reverse Current		V _R = 3 V			10			10			μA

NOTE 3: Luminous intensity is measured with a light sensor and filter combination that approximates the CIE (International Commission on Illumination) eye response curve. Segments H and J are tested and considered as one segment for this parameter.

**TTL
MSI**

**TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93,
SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A,
SN74L90, SN74L93, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS**

BULLETIN NO. DL-8 7611607, MARCH 1974—REVISED OCTOBER 1976

'90A, 'L90, 'LS90... DECADE COUNTERS

'92A, 'LS92... DIVIDE-BY-TWELVE
COUNTERS

'93A, 'L93, 'LS93... 4-BIT BINARY
COUNTERS

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'L90	30 mW
'LS90	46 mW
'92A, '93A	130 mW
'LS92, 'LS93	46 mW
'L93	16 mW

description

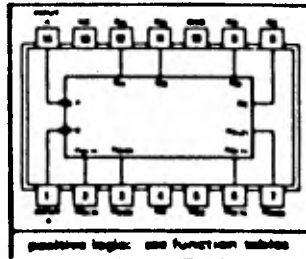
Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A, 'L90, and 'LS90, divide-by-six for the '92A and 'LS92, and divide-by-eight for the '93A, 'L93, and 'LS93.

All of these counters have a gated zero reset and the '90A, 'L90, and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

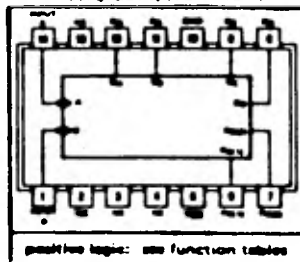
To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A, 'L90, or 'LS90 counters by connecting the Q_B output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A.

SN54', SN54L'... J OR W PACKAGE
SN54L'... J OR Y PACKAGE
SN74', SN74L', SN74L'... J OR N PACKAGE

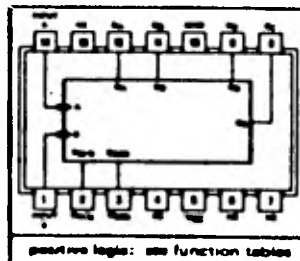
'90A, 'L90, 'LS90 (TOP VIEW)



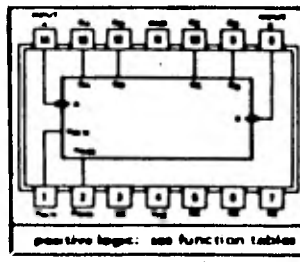
'92A, 'LS92 (TOP VIEW)



'93A, 'LS93 (TOP VIEW)



'L93 (TOP VIEW)



NC—No internal connection

TYPES SN5490A, '92A, '93A, SN54L90, 'L93, SN54LS90, 'LS92, 'LS93, SN7490A, '92A, '93A, SN74L90, 'L93, SN74LS90, 'LS92, 'LS93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

'90A, 'L90, 'LS90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'L90, 'LS90
BINARY (0-2) COUNT SEQUENCE
(See Note B)

COUNT	OUTPUT			
	Q _A	Q _B	Q _C	Q _D
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'92A, 'LS92
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H

'93A, 'L93, 'LS93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

'90A, 'L90, 'LS90
RESET/COUNT FUNCTION TABLE

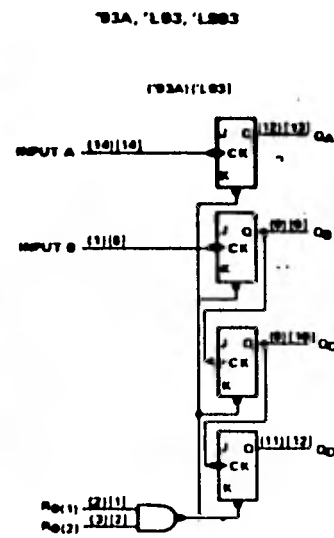
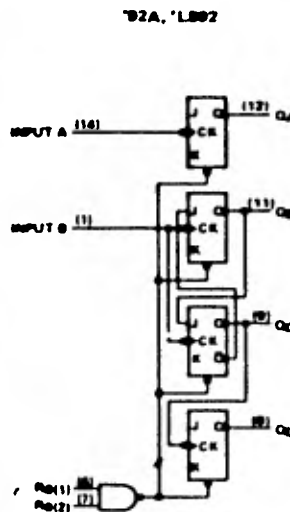
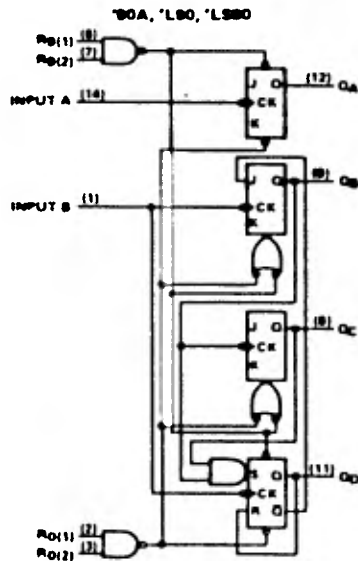
RESET INPUTS				OUTPUT			
R ₀ (1)	R ₀ (2)	R ₀ (1)	R ₀ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A, 'LS92, '93A, 'L93, 'LS93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R ₀ (1)	R ₀ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

- NOTES
 A. Output Q_A is connected to input B for BCD count.
 B. Output Q_D is connected to input A for binary count.
 C. Output Q_A is connected to input B.
 D. H = High level, L = Low level, X = Irrelevant

functional block diagrams

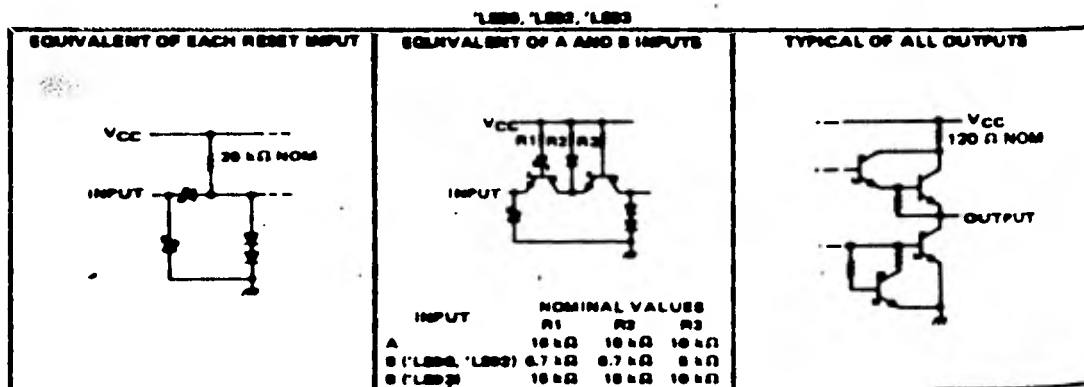
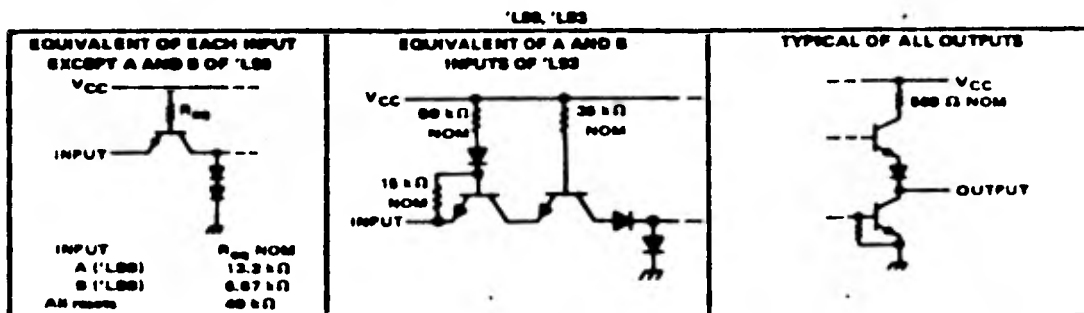
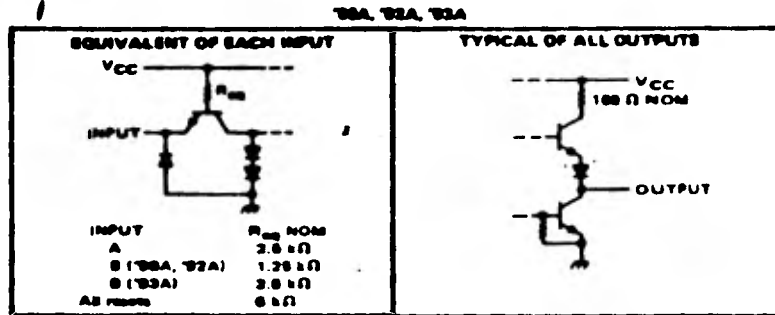


The J and K inputs shown without connection are for reference only and are functionally at a high level

TYPES SN5490A, '92A, '93A, SN54L90, 'L93, SN54LS90, 'LS92, 'LS93, SN7490A, '92A, '93A, SN74L90, 'L93, SN74LS90, 'LS92, 'LS93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

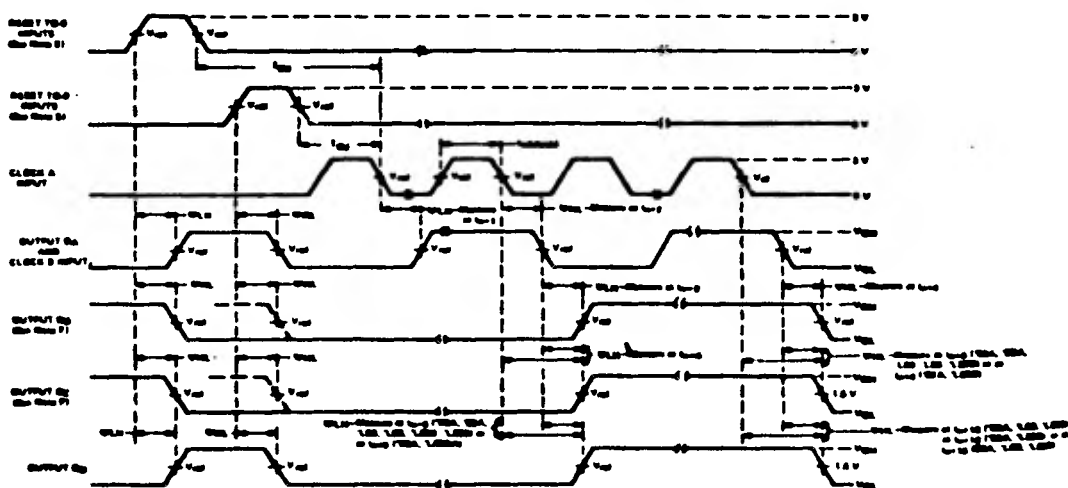
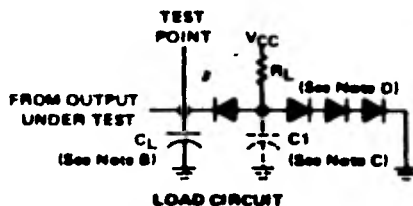
REVISED AUGUST 1977

schematics of inputs and outputs



**TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93,
SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A,
SN74L90, SN74L93, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS**

PARAMETER MEASUREMENT INFORMATION



VOLTAGE WAVEFORMS

- NOTES:**
- Input pulses are supplied by a generator having the following characteristics:
for '90A, '92A, '93A, $t_f < 8$ ns, $t_r < 8$ ns, PRR = 1 MHz, duty cycle = 50%, $Z_{out} = 50$ ohms;
for 'L90, 'L92, $t_f < 18$ ns, $t_r < 18$ ns, PRR = 500 kHz, duty cycle = 50%, $Z_{out} = 50$ ohms,
for 'L90A, 'L92A, 'L93A, $t_f < 18$ ns, $t_r < 8$ ns, PRR = 1 MHz, duty cycle = 50%, $Z_{out} = 50$ ohms.
 - C_L includes probe and jig capacitance.
 - C_1 (20 pF) is applicable for testing 'L90 and 'L93.
 - All diodes are 1N918 or 1N2004.
 - Each reset input is tested separately with the other reset at 4.5 V.
 - Reference waveforms are shown with dashed lines.
 - For '90A, '92A, and '93A: $V_{ref} = 1.5$ V. For 'L90, 'L92, 'L90A, 'L92A, and 'L93A: $V_{ref} = 1.3$ V.

FIGURE 1

GLOSARIO DE TERMINOS

Clear input - Cuando tiene un nivel lógico bajo, resetea y mantiene al contador en cero. Para un conteo normal debe tener un nivel alto.

Clock input - Cada transición del pulso hacia nivel alto incrementará al contador siempre y cuando el circuito esté en un modo de conteo normal. (SCEI y PCEI son bajos y el clear input alto).

Parallel count enable input (PCEI) - Debe estar en nivel bajo para un modo de conteo normal. Cuando está en nivel alto, el contador es inhabilitado. El nivel lógico no debe ser cambiado cuando el reloj está en nivel bajo.

Serial count enable input (SCEI) - Debe estar en nivel bajo para un modo de conteo normal. También debe ser bajo para permitir que la salida de máximo conteo vaya al nivel bajo. Cuando está en nivel alto, el contador es inhabilitado y la salida de máxima cuenta es llevada al nivel alto. El nivel lógico no debe ser cambiado cuando el reloj esté en nivel bajo.

Maximum count output - Tomará el nivel bajo cuando el contador esté en 9 y el SCEI esté en nivel bajo. Regresará al nivel alto cuando el contador cambie a cero y permanecerá alto durante el conteo del 1 al 8. - Permanecerá en nivel alto (inhabilitado) mientras SCEI esté en nivel alto.

Latch strobe input - Cuando está en nivel bajo, los datos en los Latches (Flip-Flops elementales) siguen a los datos en el contador. Cuando está en nivel alto, los datos en los Latches son mantenidos constantes y el contador puede ser operado independientemente.

Latch outputs (Q_A, Q_B, Q_C, Q_D) - Los datos en código BCD que alimentan al descodificador pueden ser almacenados en el Latch de 4 bits y están disponibles en estas salidas para manejar otra lógica y/o ser procesados. Los valores binarios de las salidas son: $Q_A = 1$, $Q_B = 2$, $Q_C = 4$, $Q_D = 8$.

Decimal point input - Debe estar en nivel alto para encender el punto decimal. El punto decimal no aparece cuando este punto es bajo o cuando el display es borrado.

Blanking input (BI) - Cuando esté en nivel alto, será borrado (apagado) el Display entero y forzará a RBO al nivel bajo. Debe estar en nivel bajo para un desplegado normal. Si introducimos una serie de pulsos podremos controlar la intensidad luminosa del Display.

Ripple-blanking input (RBI) - Cuando los datos en los Latches son cero en código BCD, una entrada baja borrará el Display entero y forzará a RBO al nivel bajo. Esta entrada no tiene efecto si los datos en los Latches son diferentes de cero.

Ripple-blanking output (RBO) - Suministra la información de pulsos de borrado para la RBI de la siguiente década. Provee un nivel bajo si RBI está en nivel bajo o si BI está en nivel alto y los datos en los -

Latches son cero en BCD; de lo contrario, esta salida se encontrará - en nivel alto. Esta pata tiene un circuito resistivo pull-up adecuado para funcionar como una función wire-AND con cualquier salida de colector abierto. Cuando esta pata tenga nivel bajo el Display entero - se borrará; por lo tanto, esta pata puede ser usada como una entrada de borrado tipo bajo-activo.

Led/lamp driver outputs - Son las salidas para manejar los Leds de -- siete segmentos o lámparas y sus puntos decimales.

In - Entrada

Out - Salida

Shunt - Conexión en paralelo

Clear - Borrado

Strobe - Señal de habilitación

Voltaje de entrada de offset - El amplificador operacional ideal desarrolla un voltaje cero de salida cuando las entradas están a potencial cero. Cualquier voltaje de salida que aparezca bajo las condiciones anteriores puede reemplazarse por un voltaje de corriente directa de entrada equivalente V_{OS} , al que se le llama voltaje de entrada de offset del amplificador.

El voltaje de compensación y sus sensibilidades a los diferentes parámetros (temperatura, voltaje de la fuente de alimentación, tiempo, etc.), - representan algunas de las fuentes de error más importantes en los circuitos de los amplificadores operacionales.

Corriente de entrada de offset - La diferencia de las corrientes de polarización en cada entrada del amplificador se llama corriente de entrada de offset del amplificador (I_{OS}) y comúnmente es mucho más pequeña que las corrientes de polarización de entrada.

RRMC - Se acostumbra definir la relación de rechazo de modo común, como - la relación de la ganancia de lazo abierto a la ganancia de modo común:

$$RRMC = \frac{A}{A_{mc}}$$

Es decir, es la relación de la ganancia de diferencia de voltaje a la ganancia de voltaje de modo común.

En muchos casos, la RRMC es la principal contribuyente al error de ganancia y a la alinealidad.

BIBLIOGRAFIA

- 1.- Taub, H., and D.I. Schilling: "Digital Integrated Electronics", Mc Graw-Hill, 1977.
- 2.- Clarke, K., and D.I. Hess: "Communication Circuits Analysis - and Design", Addison-Wesley Publishing Company.
- 3.- Mano, M. Morris: "Digital Logic and Computer Design", Prentice-Hall, Inc., 1979.
- 4.- Hill, Frederick J., and Peterson, Gerald R.: "Teoría de Conmutación y Diseño Lógico", Edit. Limusa, México, 1978.
- 5.- Texas Instruments Inc.: "The TTL Data Book", 1976.
- 6.- Morris, R.I. and J.R. Miller, eds.: "Diseño con Circuitos Integrados TTL", C.E.C.S.A., México, 1978.
- 7.- National Semiconductor: "Linear Data Book", 1978.
- 8.- Oliver, Bernard M., and M.Cage John: "Electronic Measurement Instrumentation", Mc Graw-Hill, 1971.
- 9.- Hewlett Packard: "Oscilloscope Model 1222A, Operating and Service Manual", 1976.
- 10.- "The Power Supply Handbook", by the Editors of 73 Magazine, Tab Books, 1979.
- 11.- Bird, Maurice, and Schmidt, Ray: "Practical Digital Electronics", Hewlett Packard, 1974.
- 12.- Mielaf, Harry: "Osciladores", Serie de Electrónica, Edit. Limusa, 1975.
- 13.- Schilling, Donald L., and Charles Belove: "Electronic Circuits: Discrete and Integrated", Mc Graw-Hill.

- 14.- Tektronix: "Oscilloscopes: T921/T922/T922R, Instruction Manual", 1980.
- 15.- Hewlett Packard: "Electronic, Instruments and Systems", Measurement/Computation, 1980.
- 16.- Peatman, John B.: "The Design of Digital Systems", Mc Graw-Hill 1972.
- 17.- Holman, J.P.: "Métodos Experimentales para Ingenieros", Mc Graw-Hill, 1977.
- 18.- Givone, Donald D.: "Introduction to Switching Circuit Theory", - Mc Graw-Hill Computer Science Series, 1970.
- 19.- Barna & Porat: "Integrated Circuits Digital Electronics", Wiley-Interscience, 1973.

