

24. 36



Universidad Nacional Autónoma de México

FACULTAD DE INGENIERIA

ALTERNATIVAS PARA LA TRANSFERENCIA DE INFORMACION ENTRE MICROPROCESADORES.

T E S I S

Que para obtener el título de:

INGENIERO MECANICO ELECTRICISTA

Area en Comunicaciones y Electrónica

P r e s e n t a :

SILVERIO CASTILLO SALCEDO



México, D. F.

1981



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

- 1 A N T E C E D E N T E S.
 - 1.1 I N T R O D U C C I O N .
 - 1.1.1 O b j e t i v o .
 - 1.2 D E F I N I C I O N D E U N M I C R O P R O C E S A D O R .
 - 1.3 V E N T A J A S A L U S A R M I C R O P R O C E S A D O R E S .
 - 1.4 C L A S I F I C A C I O N D E L O S M I C R O P R O C E S A D O R E S .
 - 1.4.1 P o r s u s f u n c i o n e s .
 - 1.4.2 P o r s u a r q u i t e c t u r a .
 - 1.4.2.1 M i c r o p r o c e s a d o r e s b i t s l i c e .
 - 1.4.2.2 M i c r o p r o c e s a d o r e s m o n o c h i p s o r i e n t a d o s a p a l a b r a s .
 - 1.4.2.3 M i c r o c o m p u t a d o r e s m o n o c h i p s
 - 1.4.3 P o r s u t e c n o l o g í a .
 - 1.5 M I C R O C O M P U T A D O R E S .
 - 1.6 E S T A N D A R I Z A C I O N E N L O S M I C R O C O M P U T A D O R E S .
 - 1.7 P R O C E S O S D I S T R I B U I D O S E N S I S T E M A S I N T E L I G E N T E S .
 - 1.7.1 P r o c e s o s d i s t r i b u i d o s .
 - 1.7.2 M u l t i p r o c e s a m i e n t o .
 - 1.7.3 P r o c e s a m i e n t o p a r a l e l o .
 - 1.7.4 M u l t i c o m p u t a c i ó n .
 - 1.7.5 M u l t i p r o c e s a m i e n t o P i p e L i n e .
 - 1.7.6 M u l t i p r o g r a m a c i ó n .

1.8 CLASIFICACION DE LOS PLURIMICROPROCESADORES.

1.8.1 Por el tipo de microprocesador.

1.8.2 Por el Software en el sistema.

1.8.2.1 Simétricos.

1.8.2.2 Asimétricos distribuidos.

1.8.2.3 Flotantes.

1.8.3 Interacción entre los microprocesadores.

1.8.3.1 Acoplamiento rígido.

1.8.3.2 Acoplamiento flexible.

1.8.4 Interconexión del sistema.

1.8.4.1 Sistema de bus compartido.

1.8.4.2 Sistema de barras cruzadas o interruptores.

1.8.4.3 Sistema de memorias multipuerto.

a) Por registro correo.

b) Memoria común.

2 ESTRUCTURAS DE ENTRADA/SALIDA.

2.1 PERIFERICOS DE ENTRADA/SALIDA.

2.2 INTERFACES.

2.3 CLASIFICACION DE INTERFACES.

2.3.1 Control por Instrucciones Programadas.

2.3.2 Control como Mapa de Memoria.

2.3.3 Control por Selección Lineal.

2.4 PERIFERICOS INTELIGENTES.

3 ALTERNATIVAS PARA TRANSFERENCIA DE INFORMACION.

3.1 MODELADO.

3.2 TIPOS DE INFORMACION.

3.3 ALTERNATIVAS.

3.3.1 Transferencia asíncrona.

3.3.1.1 Por interrupcion.

3.3.1.2 Por acceso directo a memoria.

3.3.2 Transferencia constante.

3.3.2.1 Por bus compartido.

3.3.2.2 Por barras cruzadas.

3.3.2.3 Por memorias multipuerto.

3.3.2.4 En forma directa con software.

3.4 SECUENCIA PARA UNA TRANSFERENCIA.

3.5 OTRAS CONSIDERACIONES.

4 ENLACE ENTRE EL EXORCISER Y
EL KIT 6800.

4.1 CONDICIONES PARA EL ENLACE.

4.2 SELECCION DE LA ALTERNATIVA.

4.3 DESCRIPCION DE LA ALTERNATIVA SELECCIONADA.

4.3.1 Protocolo para el enlace.

4.3.2 Arquitectura del microcomputador.

4.3.3 Arquitectura del PIA.

4.3.4 Arquitectura del ACIA.

4.3.5 Esquema de conexiones.

4.3.6 Diagrama a bloques del programa enlace.

4.3.6.1 Subrutinas.

- a) Subrutina para iniciar el sistema.
- b) Subrutina para identificar el programa.
- c) Subrutina para solicitar DI.
- d) Subrutina para solicitar DF.
- e) Subrutina para cambio de línea o inicio en el CRT.
- f) Subrutina para esperar caracter del teclado.
- g) Subrutina para transmitir por medio del PIA.
- h) Subrutina para transmitir por medio del ACIA.
- i) Subrutina para indicar que ya ha sido finalizada la transferencia.
- j) Subrutina para escribir FIN en el CRT.

4.4 LISTADO DEL PROGRAMA ENLACE.

6 A N A L I S I S D E R E S U L T A D O S .

6.1 LIMITACIONES DEL PROGRAMA ENLACE.

6.2 POSIBILIDADES DE EXPANSION DEL PROGRAMA ENLACE.

6.3 CONFIABILIDAD DEL PROGRAMA.

7 B I B L I O G R A F I A .

7.1 REFERENCIAS

1 ANTECEDENTES.

1.1 INTRODUCCION.

Existe en la actualidad gran número de dispositivos diseñados con microprocesadores (μ p's) debido a que estos últimos presentan grandes ventajas.

Se tiene ya una gran cantidad de aplicaciones en control de procesos en tiempo real, en aparatos de medición empleados en diversos campos (medicina, química, mecánica, geología, etc.), en terminales de datos, en cajas registradoras (periféricos inteligentes), en controladores de tráfico, en optimizadores para la combustión interna de motores, etc.

En algunos casos se puede requerir más de un microprocesador (μ p), llegando incluso a formar estructuras-

de proceso distribuido en sistemas inteligentes.

Desde el momento en que se tienen dos μ p's por lo menos, puede surgir la necesidad de intercambiar - información entre ellos, por esta razón resulta conveniente tener presentes las diferentes alternativas para lograr ese objetivo.

Aquí se presentará el enlace entre el μ c EXORCISER con el KIT de AMI 6800, así como las alternativas empleadas.

El Exorciser es un sistema de desarrollo, por medio del cual se puede ensamblar y editar un programa fácilmente, esto es escribir en lenguaje mnemotécnico para obtener lenguaje máquina, ya que se cuenta con varios - - comandos para lograrlo.

El editor fácilmente permite realizar una limpieza de errores durante este proceso, corrigiendo la sintaxis, verificando rangos excedidos, revisando carencia de etiquetas, etc., así mismo se puede proceder inmediatamente a revisar la lógica dentro de este sistema, ya que - se cuenta con varias herramientas de software para lograrlo.

Una vez que el programa queda funcionando -
correctamente se puede grabar en un chip de memoria EPROM -
y es aquí donde surge la necesidad del enlace con el Kit ya
que éste posee tal característica de grabación.

En la parte restante de este capítulo se des
cribe lo concerniente a conceptos, estructuras, tipos, dispo
sitivos y terminología relacionada con los μ p's.

En el capítulo dos se tratan las estructuras
de Entrada/Salida (E/S) porque representan el medio de comu-
nicación con el mundo exterior (equipos periféricos, operador
humano, etc.) y además por ser la técnica más usada para - -
realizar enlaces.

En el capítulo tres se analizan las diferentes
alternativas de enlace entre μ p's.

En el capítulo cuatro se presentan los reque-
rimientos del enlace entre el Exorciser y el Kit 6800 indicando
cual alternativa se selecciona, anexando los programas realiza
dos.

En el capítulo cinco se menciona en forma -
simplificada como el usuario debe utilizar el programa enlace
(Manual del Usuario).

Finalmente en el capítulo seis se dan las -
conclusiones del trabajo realizado.

1.1.1 Objetivo.

El presente trabajo tiene como objetivo principal el de seleccionar la alternativa más adecuada para --
lograr la transferencia de información entre dos sistemas de
microprocesamiento, siendo en este caso específico entre el
Sistema de Desarrollo EXORCISER y el KIT 6800.

Con este fin se define en forma general lo -
que es un microprocesador, un microcomputador, las estructu-
ras de entrada/salida, los procesos distribuidos, mencionán-
dose en cada caso sus ventajas de aplicación, así como las
clasificaciones existentes. Con todo ello se llega a la pre-
sentación de diferentes alternativas para lograr una trans-
ferencia adecuada, desarrollándose posteriormente un análisis
para su selección.

Finalmente se describe la alternativa selec-
cionada presentando un cuadro resumen de las funciones del
programa desarrollado, así como la demostración de la - -
confiabilidad del programa.

1.2 DEFINICION DE UN MICROPROCESADOR.

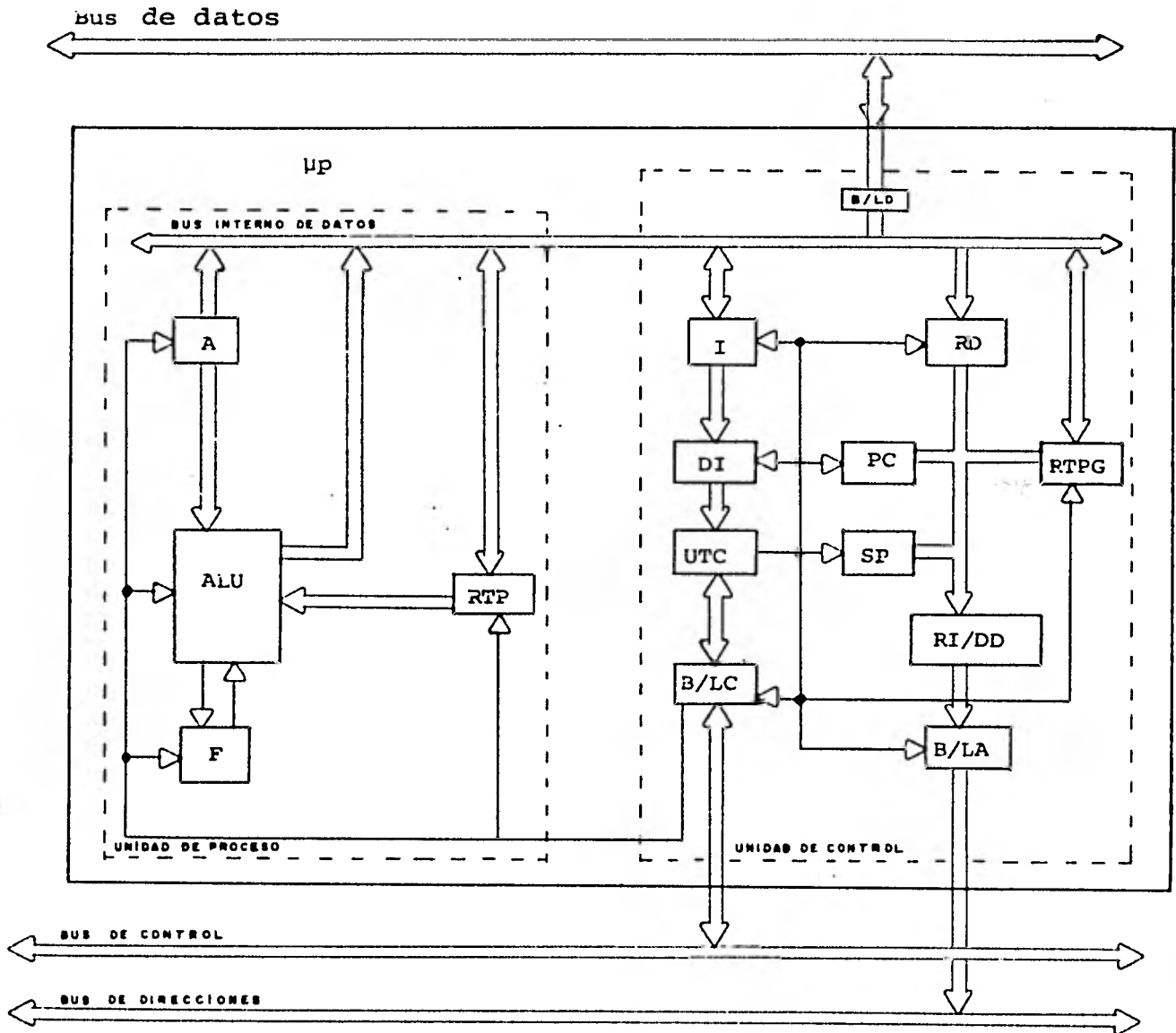
Un μp es la parte central de un microcomputador (μc), que comandado por un programa ejecutivo residente en memoria realiza **funciones lógicas**, aritméticas y de control. Se le conoce también como unidad de proceso central (CPU).

Su funcionamiento se separa en 2 unidades: la de Proceso y la de Control.

La unidad de proceso es la que se encarga de realizar las operaciones aritméticas y lógicas.

La unidad de control es el cerebro del μp y se encarga de generar las direcciones para acceso a memoria, a dispositivos de interface, etc. decodificar e interpretar los códigos de las instrucciones, generar la secuencia de las macroinstrucciones, habilitar y deshabilitar los buses internos y externos de cada unidad funcional y generar las señales de control para la operación de las unidades externas del mismo μp .

Representación esquemática del microprocesador:



DONDE:

A	Registro acumulador.
ALU	Unidad lógica aritmética.
F	Registro de banderas.
RTP	Registro (s) temporal(es) del procesador.
B/LA	Registro buffer/Latch de direcciones.
B/LD	Registro buffer/Latch de datos.
B/LC	Registro buffer/Latch de control.
I	Registro de instrucciones.
DI	Registro decodificador de instrucciones.
UTC	Unidad de tiempos y control o unidad codificadora de ciclos de máquina.
RD	Registro (s) de direcciones.
PC	Contador de programa.
RTPG	Registro(s) temporal(es) de propósito general.
RI/DD	Registro incrementador / decrementador de direcciones.

1.3 VENTAJAS AL USAR MICROPROCESADORES.

La aplicación de los μ p's se encuentra justificada cuando no es económicamente factible el uso de computadoras mayores o por resultar demasiado complejo el diseño con circuitos lógicos discretos para solucionar ciertos problemas.

A continuación se mencionan las ventajas que se obtienen al usar los μ p's.

Versatilidad. Se realizan modificaciones sencillas de software pudiendo cambiar la aplicación original del sistema.

Arquitectura. Su arquitectura es modular, es decir, está formado por el CPU, memoria y estructuras de E/S.

Estandarización. Se conservan las características de la arquitectura y funcionamiento entre diferentes μ p's.

Complejidad. El alto nivel de integración permite que los problemas que se presentan sean resueltos por software, resultando ser más sencilla su - - implementación, mantenimiento, armado, uso de conectores, etc.

Tamaño. El tamaño del sistema resultante es mucho -- menor.

Costo. Se puede reducir en razón directa al incremento de eficiencia en el diseño y programación del sistema, anulando parcialmente el costo del hardware.

1.4 CLASIFICACION DE LOS MICROPROCESADORES.

De acuerdo a los tipos de μp 's existentes se puede realizar una clasificación conforme a los siguientes -- puntos de vista:

- a) Funciones.
- b) Arquitectura.
- c) Tecnología.

1.4.1 Por sus Funciones.

Se realiza de acuerdo a la capacidad o limitación de operación que se tiene en un μp , lo cual se puede saber conociendo las siguientes características.

- . Longitud de palabra.
- . Capacidad de direccionamiento de memoria.
- . Conjunto de instrucciones de programación.
- . Capacidad de manejo de periféricos.
- . Capacidad de interrupciones.

- . Capacidad de acceso directo a memoria (DMA).
- . Número de líneas de control adicionales.
- . Número de registros internos.
- . Número de acumuladores.
- . Modos de direccionamiento, etc.

Como ejemplo se tienen a los μ p's que fueron fabricados para tener características de minicomputadoras, es decir, tener una longitud de palabra de 16 bits, capacidad de direccionamiento de megapalabras y algunas instrucciones - exclusivas de minicomputadoras, conociéndoseles como micromini procesadores, ejem. 8086 de Intel, 28000 de MOSTEK y 68000 de Motorola.

Como otro ejemplo se tienen los fabricados para -- trabajar con palabras de 4 y 8 bits de longitud, siendo los - más comunes actualmente los de 8. Los más importantes de esta clasificación son:

- . Z80
- . 8080, 8085
- . MC 6800

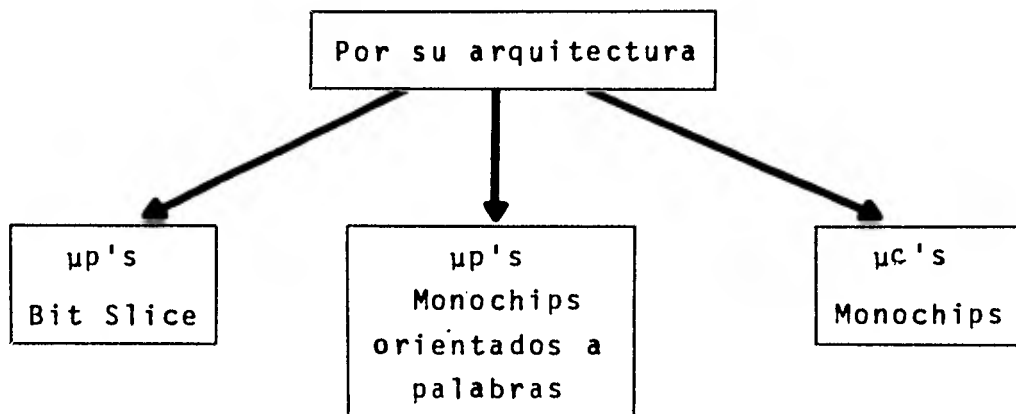
Tales equipos pertenecen a la generación de integración LSI (large scale integrati6n).

1.4.2 Por su arquitectura.

Se refiere a la organización interna con la que está constituido el μp (característica establecida por el fabricante, no alterable), o con lo que se puede constituir para una aplicación particular (característica no dada por el fabricante).

Es decir, que un sistema de proceso será implementado por varios chips para formar un procesador, memoria e interfaces de E/S, o bien con un chip de μp , otro de memoria y uno de interface de E/S o solamente se requerirá de un chip para lograrlo.

A continuación se muestra un cuadro indicando esta clasificación:



1.4.2.1 microprocesador bit slice.

Son μ p's con longitud de palabra corta (comúnmente 2 dígitos) teniendo la capacidad de permitir ser agrupados para formar un solo μ p de longitud de palabra que se desee (siempre y cuando sea múltiplo de la base) y con una gran velocidad de proceso. Esto último es su objetivo principal y se debe a que son fabricados con tecnología bipolar, como ejemplo tenemos:

Am 2901, 9400, 3 001-2-3, 6701, MC 10800 etc.

Sin embargo también existen con tecnología MOS pero son más lentos: Am 9080, GP C/p, etc.

Así como el μ p bit slice, se tiene toda la familia slice de componentes necesarios para formar un μ c (memorias, interfaces de E/S, etc.).

Estos μ p's pertenecen a la generación de integración MSI (medium scale integration).

1.4.2.2 microprocesadores monochips orientados a palabras.

Su característica principal es que su procesador se encuentra integrado en un solo chip con todas -- sus facultades de procesamiento y longitud de palabra -- de 8 bits.

Son un producto de la tecnología MOS; en un principio se iniciaron con una longitud de palabra de 4 bits quedando finalmente en 8, presentando además las siguientes características:

- . De propósito general.
- . Muy comerciales.
- . Más económicos.
- . Amplia capacidad de manejo de dispositivos -- de interface de E/S.
- . Se cuenta con software de alto nivel (compiladores, ensambladores, interpretes, etc.).
- . Pocos chips para configurar un sistema -- básico de proceso.

Representantes de esta clasificación se tienen:
8080, MC 6800, MINI-D, LP 3000, 8003, F-8, 5065, CMP-8,
PPS25, 4004, 4040, IMP-4, etc.

Este tipo de μ p's pertenecen a la generación de integración LSI (large scale integration).

1.4.2.3 Microcomputadores Monochips.

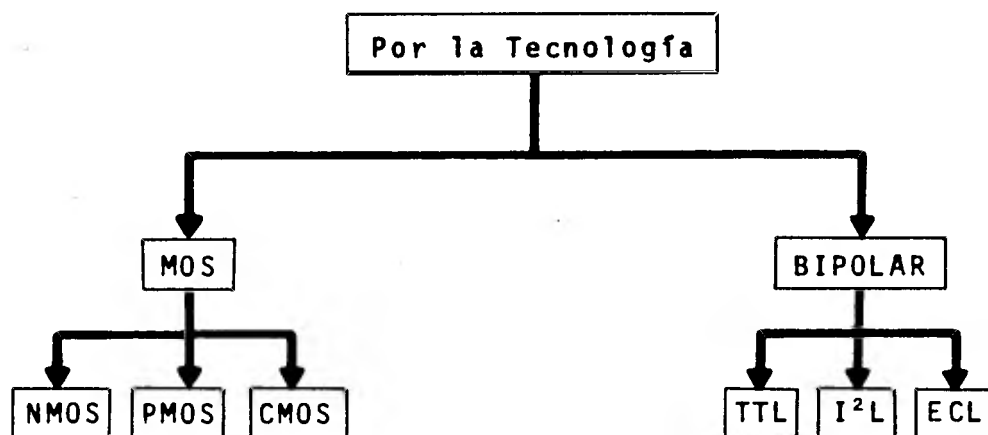
La idea aquí es tener al CPU, memorias e interfaces de E/S en un solo chip. Esta técnica se espera - sea predominante para el futuro. Hoy en día se tienen - los siguientes μ c's: MSC-48, TMS 1000, etc. Pertenecen al VLSI (very large scale integration).

1.4.3 Por su Tecnología.

Los μ p's se pueden clasificar en dos de acuerdo a la tecnología de fabricación, es decir, los fabricados con tecnología MOS y Bipolar. El origen de esta clasificación se debe al problema que se presentó para lograr - - - circuitos rápidos con una densidad alta de integración, ya

que no se podía alcanzar una sin sacrificar a la otra. Así pues se cuenta con los μ p's MOS con una alta densidad de integración debido a su bajo consumo de energía y los μ p's Bipolares con una velocidad grande de conmutación.

Dentro de estas dos ramas se tienen las siguientes divisiones:



Respecto a esta clasificación ya se tienen técnicas más refinadas o que están en estudio, siendo una derivación de éstas.

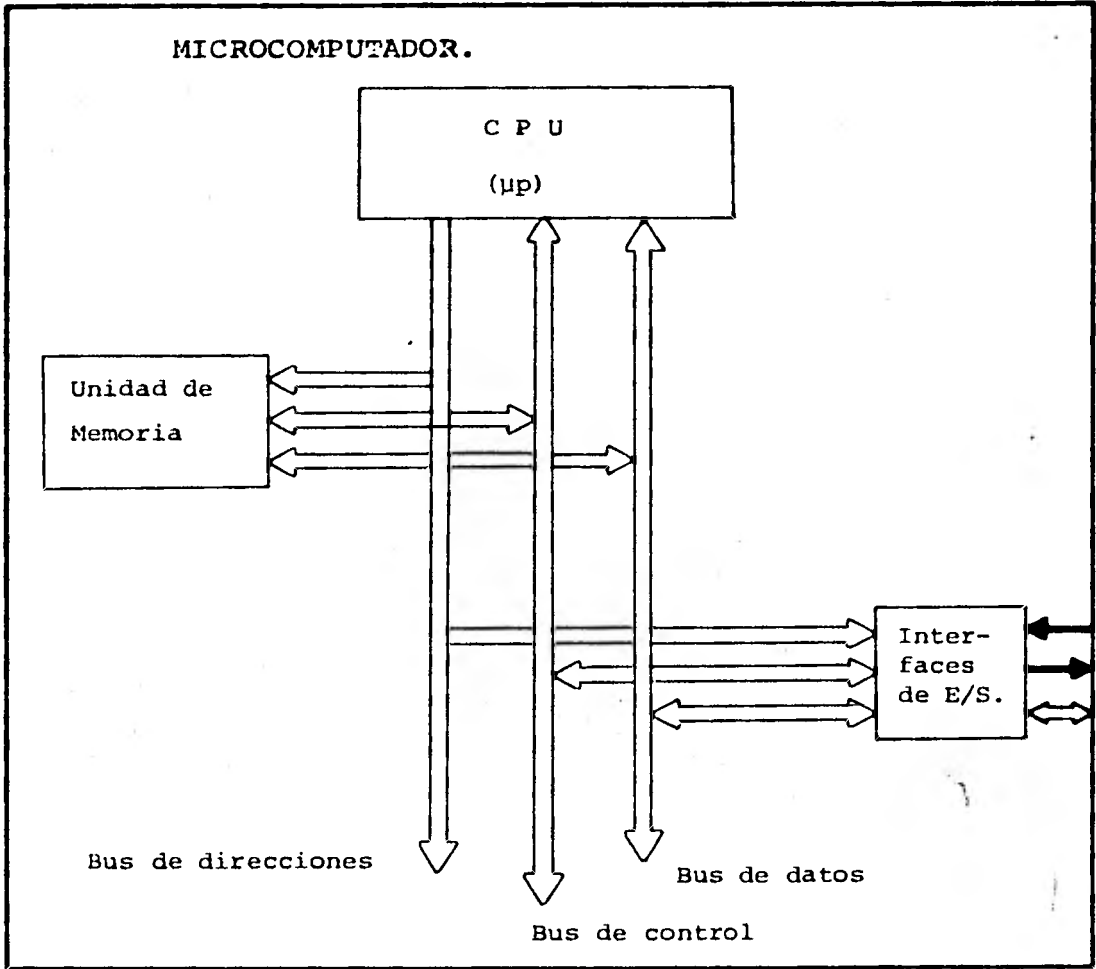
Como dato histórico es necesario saber que la tecnología PMOS fue la pionera en el campo de los μ p's, pero se vaticina que su desarrollo será pobre.

1.5 MICROCOMPUTADORES.

Para configurar un μc es necesario tener además del μp dispositivos para almacenar y obtener - - información interna, memorias de varios tipos, para establecer la comunicación con el mundo exterior dispositivos de interface de E/S ya sea paralelo y/o serie y para comandar el funcionamiento de ellos se requiere de un programa residente en memoria (monitor).

Se pueden configurar microcomputadores - elementales que consistirán de un μp de área de memoria (con programa ejecutivo y tablas) y una interface de E/S (ya sea en serie o paralelo). También se pueden tener - - microcomputadoras con mayor capacidad siempre y cuando se empleen más dispositivos y de diferentes tipos.

A continuación se muestra un esquema de la estructura de un μc .



1.6 ESTANDARIZACION EN LOS MICROCOMPUTADORES.

El entender la arquitectura, funcionamiento, - manejo, etc. de un μ c por primera vez no es fácil, sin embargo debido a la estandarización una vez que se asimila uno de ellos resultará más accesible la comprensión de otro μ c lo - cual hace que su utilización sea definitiva para la resolución de problemas que queden dentro de su campo de aplicación.

A continuación se mencionan algunas de las - - características estandar dentro de los μ c:

. Arquitectura del μ c.

- microprocesador.
- memoria (de diferentes tipos).
- dispositivos de interface de E/S.

. Señales de control de salida.

- lectura.
- escritura.
- aceptación de interrupción.
- aceptación de DMA, etc.

. Señales de control de entrada.

- solicitud de interrupción.
- solicitud de DMA.
- ampliar tiempo de lectura o escritura, etc.

. Interfaces de E/S.

- protocolos programables y automáticos para transferencia y recepción de información y para solicitudes de interrupción.
- dirección de los puertos de E/S programables.

Debe mencionarse que no existe estandarización en la longitud de palabra, en lenguajes de alto nivel, en computadores monochips, en cantidad y capacidad de manejo de dispositivos de E/S, ya que estas cualidades se eligen o se tienen de acuerdo a la orientación que se le dé al μp .

1.7 PROCESOS DISTRIBUIDOS EN SISTEMAS INTELIGENTES.

A continuación se analizan sistemas que tienen la finalidad de reunir varios procesadores para ejecutar uno o varios eventos simultáneos y además se mencionan procesos de Pipe Line y Multiprogramación.

1.7.1 Procesos Distribuidos.

Aceptan solamente a un evento que pueda ser dividido en varias labores individuales para ser procesadas simultáneamente, es decir, el proceso de cada labor es mutuamente exclusivo. Las labores individuales suelen ser diferentes, por lo que se cuenta con diversas secuencias de instrucciones de programación.

1.7.2 Multiprocesamiento.

Acepta simultáneamente varios eventos para ser procesados en el mismo instante de tiempo, contándose con diferentes o iguales secuencias de instrucciones de --

programación. Debido a esto, todos los procesadores son capaces de realizar las mismas funciones. En un principio ésta fue la razón por la que surgió esta clasificación, ya que se quería que en cualquier momento existiera un procesador disponible.

1.7.3 Procesamiento Paralelo.

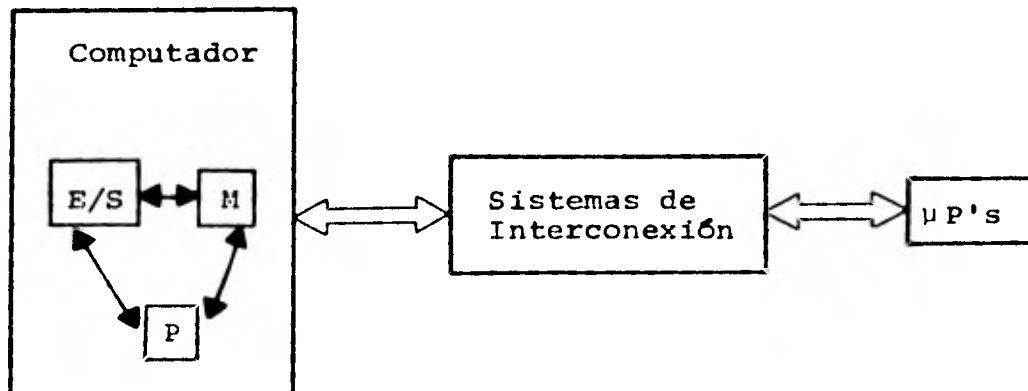
Acepta simultáneamente varios eventos semejantes, aunque con datos diferentes y los procesa en el mismo instante de tiempo ya que solo se cuenta con un tipo de instrucción de proceso.

Estos 3 sistemas (1.7.1, 1.7.2 y 1.7.3) -- tienen en común las siguientes características.

- . Su arquitectura esta constituida por un computador y uno o más procesadores.
- . Permiten situaciones de falla sin afectar a los demas procesos del sistema.
- . Son reconfigurables.
- . Pueden configurar procesos redundantes.
- . Reducen los tiempos muertos de operación de sus componentes (mayor eficiencia).
- . Tienen capacidad de procesar simultáneamente.

En el primer punto de las características mencionadas anteriormente, se habla de un solo computador. Esto resulta de hacer la suposición de concentrar a todas las áreas de memoria y todos los dispositivos de interfaces de E/S que utilizan los procesadores (necesarios para realizar sus tareas) en una sola unidad de memoria y una sola unidad de dispositivos de interface de E/S respectivamente y asociando a éstas unidades con cualquier procesador formando así un computador unido con uno o más procesadores.

A continuación se muestra esquemáticamente la arquitectura de estos sistemas:



DONDE:

E/S Modelo de la Unidad de Dispositivos de interface de entrada/salida.

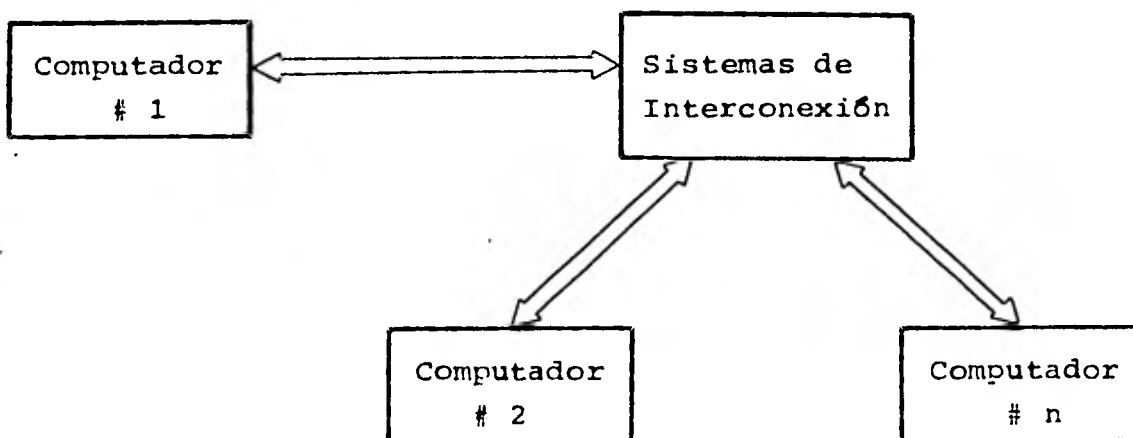
M Modelo del Área de memoria.

p (P's) Unidades de procesamiento (CPU).

1.7.4 Multicomputación.

Es la cuarta clasificación que se considera. Tiene las mismas características que un multiprocesamiento excepto que se forma por varios computadores y su eficiencia no es tan alta (grandes tiempos muertos en las unidades).

El esquema de su arquitectura es:



A continuación se mencionan otras clasificaciones que se llegan a confundir con los cuatro anteriores sistemas:

1.7.5 Procesamiento Pipe Line.

Es un sistema que esta formado por varios procesadores aceptando solo eventos que se pueden dividir en varias labores independientes, las cuales son procesadas simultáneamente y al terminar los resultados se conjugan para iniciar uno o más procesamientos secuenciales hasta llegar al final.

Este sistema se asemeja con un proceso de fabricación en línea de carros.

A manera de ejemplo se ilustran a continuación las etapas de procesamiento simultáneo y de proceso secuencial que se tienen en la fabricación de carros.

Procesos Simultáneos.

Dividir la labor en varias tareas independientes entre sí, por lo que se pueden ejecutar en forma simultánea.

- . Fabricación del motor, su armado y prueba de funcionamiento.
- . Ensamblado de la carrocería, pintura y terminado interior.
- . Fabricación del chasis, equiparlo con llantas, suspensión y frenos, etc.

Procesos Secuenciales.

Es necesario que se haya terminado lo anterior para proseguir.

- . Armar carrocería con chasis.
- . Armar lo anterior con el motor.
- . Revisión.
- . Fin.

1.7.6 Multiprogramación.

Tiene como característica la de ejecutar -
varios programas pero no en forma simultanea, es decir,
es un procesador que tiene la capacidad de aceptar n labor
res diferentes (se tiene un conjunto de instrucciones - -
ordenadas en una forma lógica en memoria para cada labor),
para cuyo proceso se hará una división de n tiempos de -
utilización del computador, siendo estos tiempos menores
o iguales para terminar la ejecución de cada labor. Si --
para todas las labores los tiempos de proceso son iguales
para finalizar cada una de las labores se tiene un proceso
secuencial, ahora bien si siempre son menores se tienen -
procesos en tiempo compartido.

1.8 CLASIFICACION DE LOS PLURIMICROPROCESADORES.

Con las características mencionadas de las 4 clasificaciones indicadas (1.7.1 a 1.7.4) ya se han construido algunas computadoras grandes, por ejemplo multiprocesadores y multicomputadores, pero su desarrollo fué - - pobre. Los procesos distribuidos en sistemas inteligentes - - volvieron a tomar fuerza hasta que se logró reducir el - - costo y tamaño en la fabricación de los procesadores, - - siendo así factible la agrupación de varios de ellos.

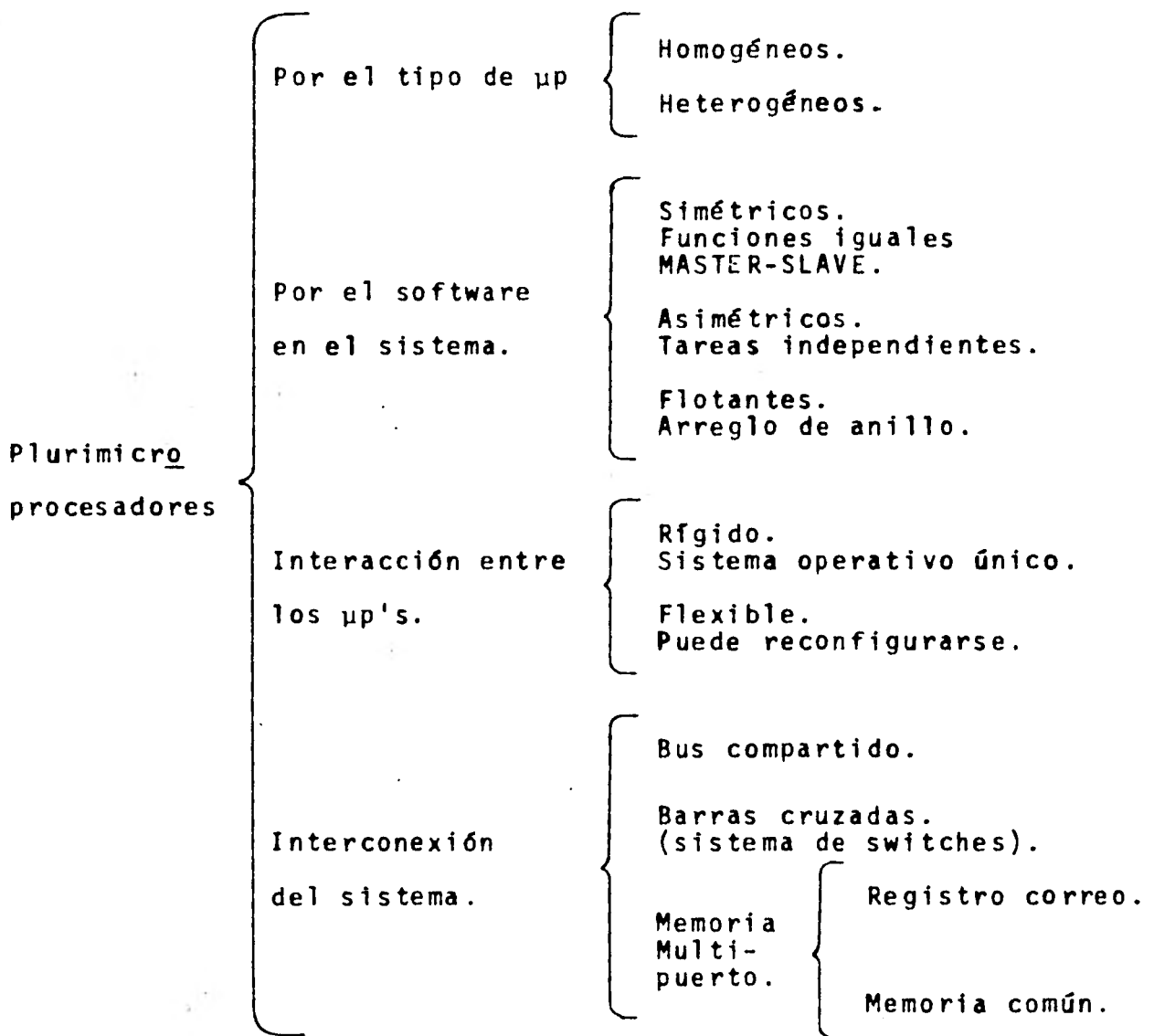
Las nuevas unidades de procesos son los μ p's - por lo que ahora a las clasificaciones indicadas (1.7.1 a 1.7.4) se les debe identificar como:

- . Procesos distribuidos en μ p's.
- . Multimicrocomputación.
- . Multimicroprocesamiento.
- . Procesos paralelos en μ p's.

Ya que se ha creado una nueva clasificación y se han reunido por tener características semejantes, se -- les conocerá como plurimicroprocesadores, indicando que es

la agrupación de varios microprocesadores que ejecutan labores en el mismo instante de tiempo (simultáneamente).

Estos plurimicroprocesadores son clasificados como lo indica el siguiente cuadro.



1.8.1 Por el tipo de microprocesador.

Considerando exclusivamente a los μ p's que se tienen en el sistema; si son iguales entre sí, se dice que es un sistema homogéneo, pero si son diferentes se tendrá un sistema heterogéneo.

1.8.2 Por el software en el sistema.

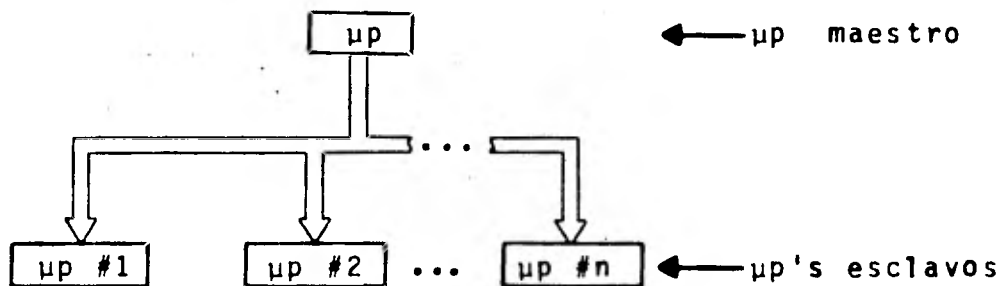
Esta clasificación se refiere a la distribución del sistema operativo, por lo que se tienen 3 casos: Simétricos, Asimétricos y Flotantes.

1.8.2.1 simétricos.

- . Sistema operativo concentrado (MASTER).
- . El sistema operativo distribuye los trabajos a medida que se reciben en cualquier μ p -- disponible (distribución dinámica).
- . Los μ p's deben realizar funciones equivalentes.
- . La eficiencia del sistema es alta.

- . La reconfiguración dinámica* para este sistema es laboriosa.
- . El sistema es costoso.
- . Se tiene un diseño crítico, ya que la ejecución está a cargo únicamente de un μp , por lo que una falla de éste sería catastrófico.
- . El software y hardware es relativamente sencillo.

En forma esquemática tenemos:



* *Reconfiguración dinámica.*

Este término se refiere a que en cualquier tiempo se puede desear cambiar la configuración de procesamiento, en base a una solicitud particular externa o -- interna.

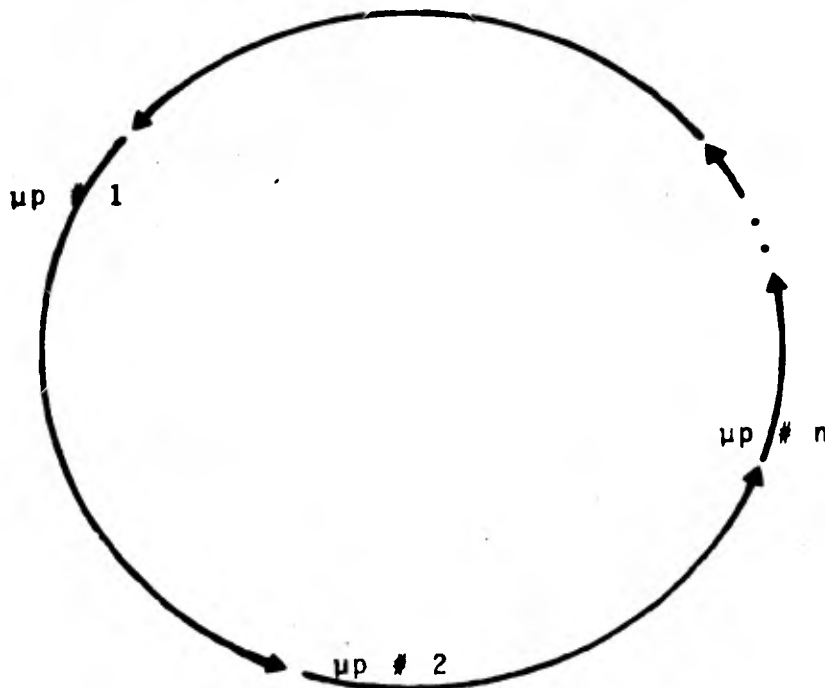
1.8.2.2 asimétricos o distribuidos.

- . Cada μp realiza su tarea asignada.
- . El sistema operativo es distribuido.
- . Es mínima la intercomunicación y cuando se -- realiza se trata de comandos o bloques de - - datos.
- . Cada μp tiene su conjunto de tablas para - - poder ejecutar autónomamente su tarea.
- . Diseño crítico, es decir, la falla de alguno- de los μp causa grandes daños al sistema.

1.8.2.3 flotantes.

- . El sistema operativo cambia de un μp a otro.
- . Tiene mejor balanceo de carga.
- . Las condiciones de servicios son por prioridad des bajo control estático o dinámico.
- . Puede haber conflictos en acceso de tablas -- por lo que requiere protección para que esto- no cause daños (degradación del sistema).
- . Mayor eficiencia (tiempos muertos mínimos de- los dispositivos usados).

Una configuración de este tipo es la de anillo y se muestra esquemáticamente a continuación:



1.8.3 Interacción entre los microprocesadores.

Existen dos posibilidades de acoplamiento, ya sea rígido o flexible.

1.8.3.1 acoplamiento rígido.

- . El programa ejecutivo que maneja al sistema es fijo.
- . La intercomunicación de los dispositivos del sistema es por medio de una memoria en forma de correo, es decir, existe un lugar en memoria para cada combinación posible entre los dos dispositivos que forman al sistema.

1.8.3.2 acoplamiento flexible (indirecto).

- . Tiene reconfiguración dinámica.
- . Alta velocidad de procesamiento.
- . Mejor distribución de carga.
- . No existe intercomunicación entre los μ p's.

1.8.4 Interconexión del sistema.

Se refiere a las interconexiones que existen entre los μ p's, memorias y dispositivos de E/S. Se cuenta con 3 casos:

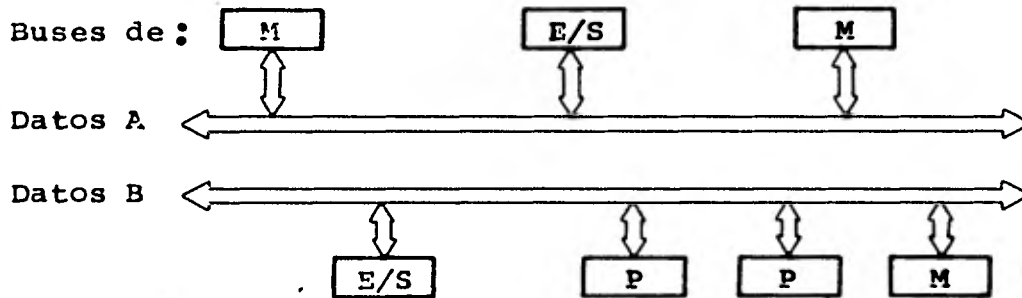
Sistemas de buses * compartidos bidireccionales múltiples, sistemas de barras cruzadas y sistemas de memoria multipuerto.

1.8.4.1 Sistema de bus compartido.

- . El número de buses que tiene un μp para comunicarse con las memorias debe ser uno menos que la cantidad de estas y siempre más de un bus.
- . Puede llegarse a una alta complejidad del sistema.
- . Se necesita un dispositivo para lograr acceso a los buses. Las funciones de este dispositivo serán las de investigar estatus del bus, direccionar la unidad destino, determinar la disponibilidad y capacidad para establecer comunicación y ejecutar la transferencia, la falla de alguno de estos dispositivos puede causar serios problemas al sistema. Este es un dispositivo llamado controlador normalmente se encuentra distribuido en los procesadores.

* Conjunto de líneas que contienen información.

En forma esquemática se tiene:

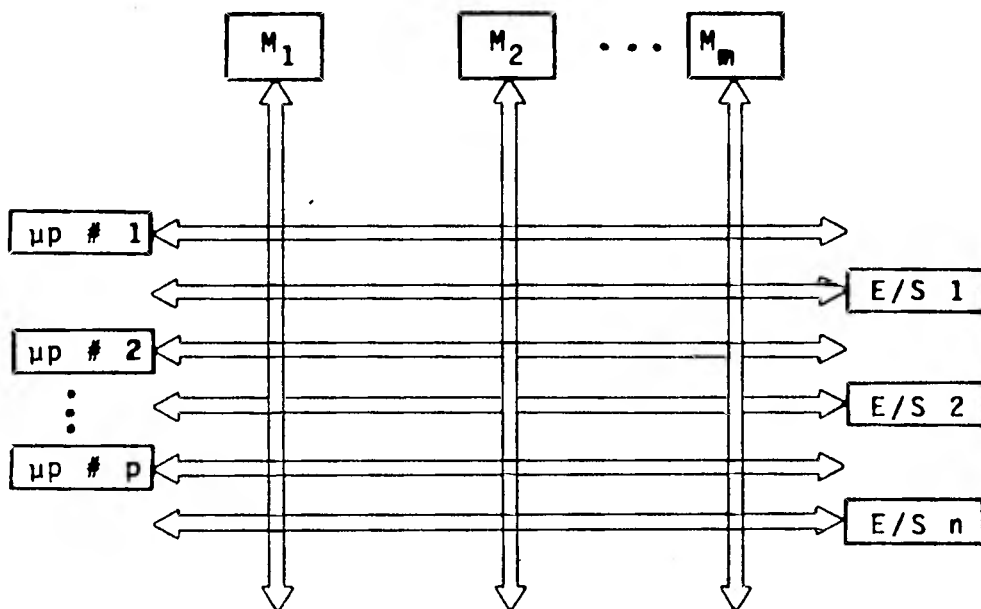


Falta considerar los buses de control y de direcciones pero con fines ilustrativos no se indicaron para no hacer complejo el esquema.

1.8.4.2 Sistemas de barras cruzadas o interruptores.

- . Existe un controlador que se encuentra en cada μp .
- . Las unidades que realizan las funciones de unir dos rutas, son lo suficientemente capaces que permiten transferencias simultáneas.
- . Pueden resolver problemas de acceso simultáneo a un mismo dispositivo (establecer jerarquias de solicitudes).
- . Es relativamente fácil aumentar dispositivos al sistema.

En forma esquemática se tiene:



En la matriz que se forma por las barras cruzadas, se tiene que cada hilo dibujado implica un conjunto de conductores de direcciones, datos y señales de control.

La posibilidad de unión entre dos dispositivos es igual al producto de $(P+n)m$; donde m es el número de memorias, n es la cantidad de dispositivos de E/S y P - el número de μp 's.

1.8.4.3 Sistema de memorias multipuerto.

Si el control de interruptores y la lógica de prioridades existentes en la matriz formada por el sistema de barras cruzadas, se concentra en un dispositivo de memoria que sirva de interfaces para acceder a otro dispositivo, se tiene el sistema de memoria multipuerto es decir, la intercomunicación es por medio de la memoria y su propio canal.

Se mencionan a continuación dos formas que -
cumplen con lo anterior.

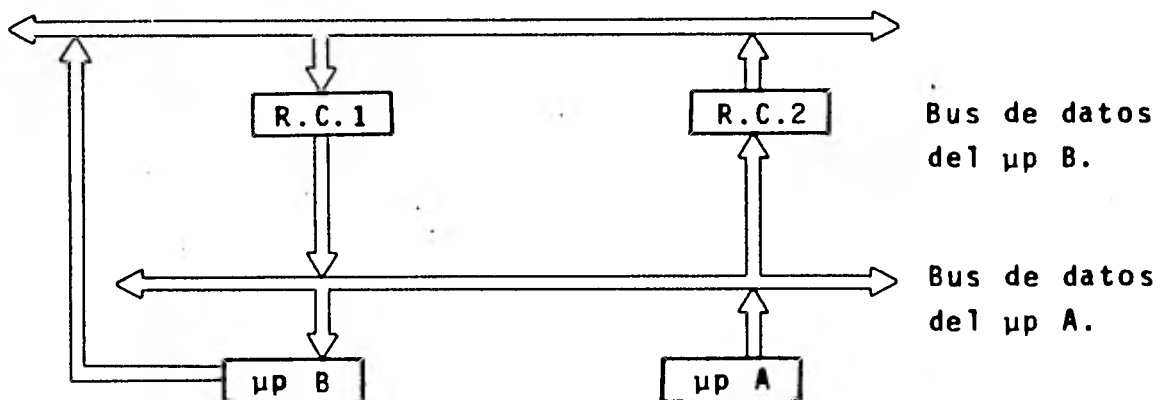
a) Por registro de correo (R.C)

Debe existir una localidad (registro) por cada combinación resultante de los dispositivos que se quieren intercomunicar, su funcionamiento es el siguiente:

- . Se carga el registro del dispositivo destino con la información.
- . Se envía una señal a su registro de control (F) del registro destino indicando que hay información para él.

. El dispositivo destino puede aceptar la --
información ya sea por efecto de interrup--
ción, por software (tener un programa que -
se encuentre en un LOOP revisando el esta--
tus de las banderas hasta saber que hay - -
información), o por DMA.

En forma esquemática se tiene:



Dónde:

R.C.1 - Registro de correo 1.

R.C.2 - Registro de correo 2.

$\mu\text{p B}$ - Microprocesador B.

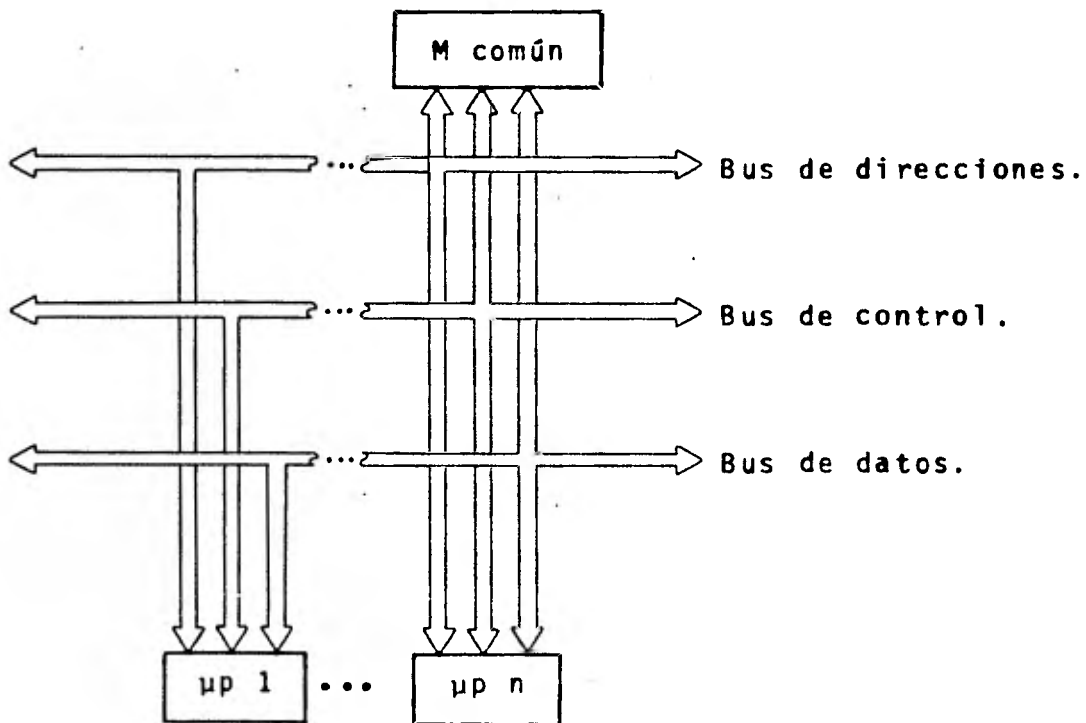
$\mu\text{p A}$ - Microprocesador A.

F - Registro de Control.

b) Memoria común.

Una memoria es dividida en áreas (buzones), la cantidad de estas depende del número de intercomunicaciones que se requieran establecer en el sistema, - - siendo revisadas periódicamente por el dispositivo - - destino correspondiente, realizándose así el intercambio de información entre dos dispositivos.

En forma esquemática se tiene:



2 ESTRUCTURAS DE ENTRADA/SALIDA.

2.1 PERIFERICOS DE ENTRADA/SALIDA.

Son dispositivos que establecen el medio de comunicación entre un sistema de procesos y el ser humano u otro sistema. Es cierto que un computador es capaz de manipular y realizar operaciones aritméticas y lógicas de información internamente, pero le es necesario recibir instrucciones y datos ya sea para almacenar, controlar o para emitir al mundo exterior resultados progresivos, parciales o finales del proceso. Por esa razón se les conoce como los dispositivos que permiten el enlace del computador con el exterior.

A continuación se mencionan algunos de ellos.

- . Teclados.
- . CRT.
- . Lectoras de cintas de papel o magnéticas.
- . Lectoras de tarjetas de papel o magnéticas.
- . Lectoras ópticas de marcas o caracteres.
- . Perforadoras de tarjetas o cintas de papel.
- . Impresoras de impacto y no impacto.
- . Discos estandar o flexibles, etc.

2.2 INTERFACES.

Para realizar el enlace entre los periféricos de E/S con un sistema computador, se tienen uno o varios de los siguientes problemas:

- . Diferentes tecnologías.
- . Conversión de señales analógicas/digitales y serie/--paralelo.
- . Señales incompatibles eléctricamente (polaridades o -niveles de voltaje) y en código.
- . Establecer sincronía.
- . Trabajar solo con señales de control, etc.

De aquí la necesidad de tener dispositivos -- que permitan la unión del mundo exterior con el μ c. A estos dispositivos se les conoce como Interfaces.

2.3 CLASIFICACION DE INTERFACES.

Las interfaces se clasifican de acuerdo a como se consideran dentro del mapa de direcciones del μp y a la cantidad de líneas de control usadas para seleccionarlos.

De acuerdo a esto se presentan tres clasificaciones:

- . Control por instrucciones programadas.
- . Control como mapa de memoria.
- . Control por selección lineal.

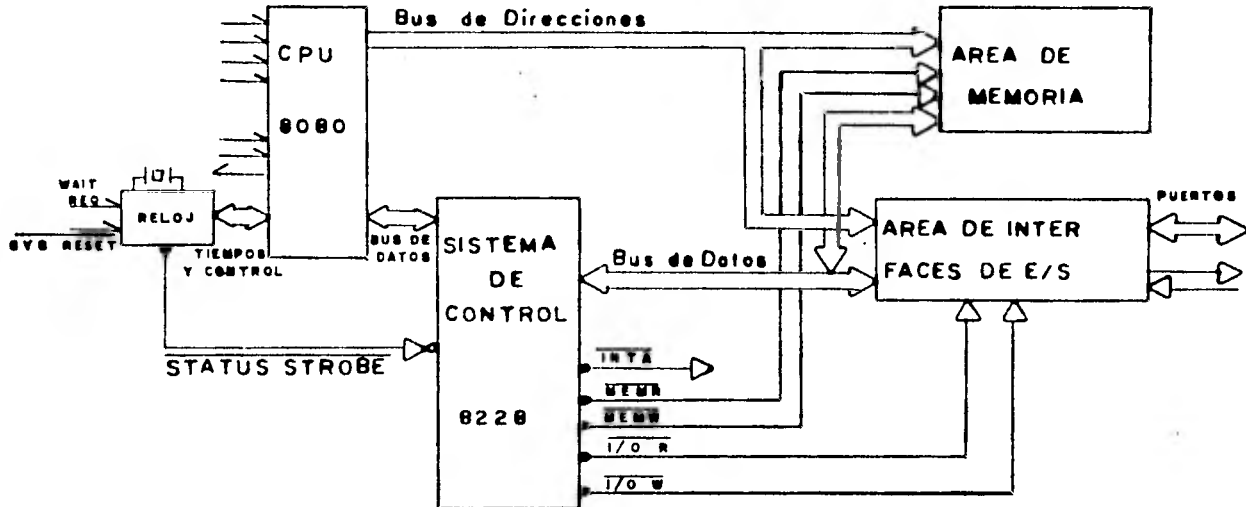
2.3.1 Control por instrucciones programadas.

Se realiza por medio de un código establecido en el μp para transferir información de éste a los dispositivos de E/S o memoria, presentando las siguientes características.

- . Se necesitan instrucciones especiales de programación.
- . No se altera la capacidad de memoria.

- . Usa un registro de propósito general para la transferencia.
- . Es fácil de ejecutar la transferencia.
- . Se necesitan líneas de control especiales (R/W * de E/S).

Un ejemplo de este tipo de interfaces lo encontramos en el 8080, cuyas instrucciones especiales son IN y OUT. A continuación se muestra el esquema de conexiones que se tiene en el μ c 8030.



* Lectura/Escritura.

Las líneas de control especiales extras son $\overline{I/OR}$ y $\overline{I/OW}$ para seleccionar un dispositivo de E/S.

Su funcionamiento es el siguiente: El CPU - recibe la palabra del código de operación ya sea IN o OUT y la decodifica en combinación con las señales de tiempo produciendo así la palabra de estatus que es -- depositada en el bus de datos, siendo interpretada por el chip controlador del sistema (8228) el cual activará a la línea de control pertinente ya sea de Lectura o - Escritura ($\overline{I/OR}$ o $\overline{I/OW}$) de periféricos.

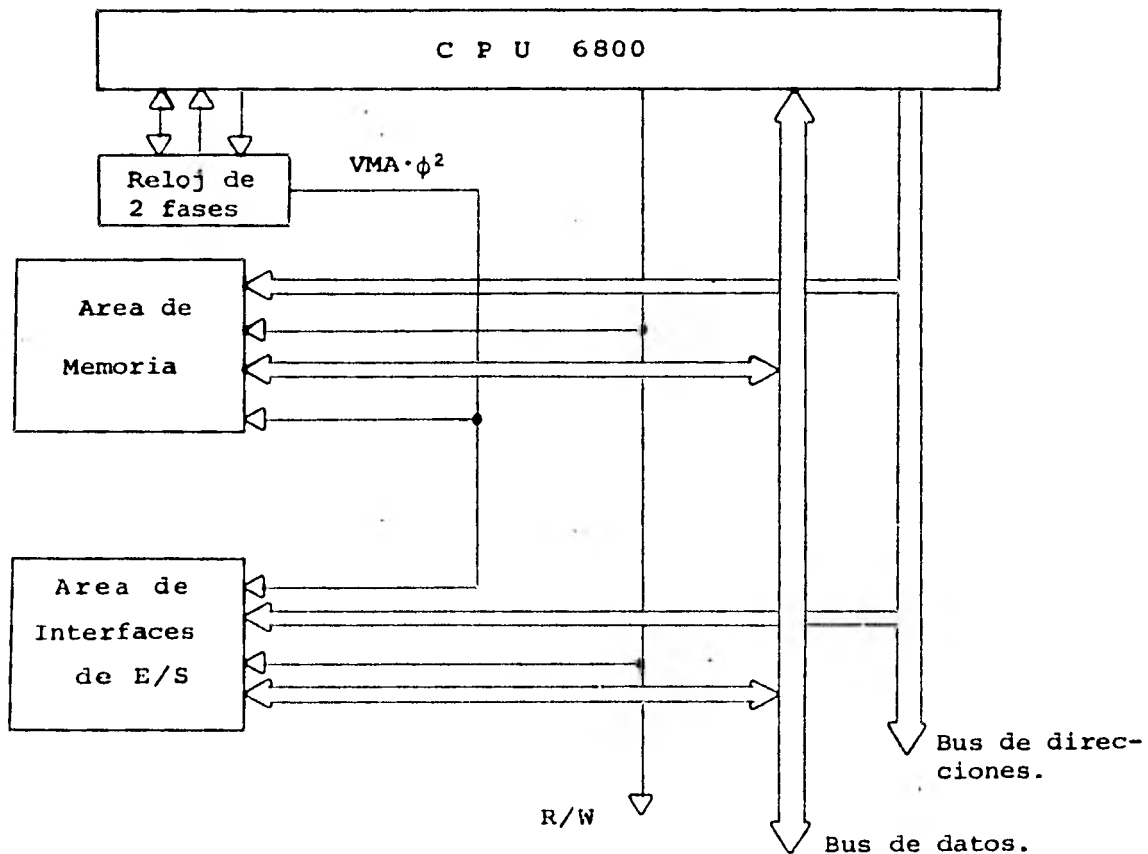
2.3.2 Control como mapa de memoria.

El μp observa a los dispositivos de E/S - como localidades de memoria, sus características son:

- . Reduce la capacidad de memoria, ya que ocupa como direcciones a una área reservada para ella.
- . Se usan las mismas instrucciones de direccionamiento de memoria (no se requiere de instrucciones especiales).

- . Puede usar cualquier registro como medio de lectura y escritura.
- . Es mayor la relación de resultados/unidad de tiempo.
- . Se necesitan decodificadores para la selección de interfaces.

Esta forma de referirse por mapa de memoria a los dispositivos de interface se encuentra en el - - MC 6800 como se ve en el siguiente esquema.



Se observa que las líneas de control que se utilizan tanto para memoria como para las interfaces de E/S son las mismas por lo que dependiendo exclusivamente de la dirección se sabe si se trata de una localidad de memoria o de una interface, puede ser a cualquiera de las dos.

2.3.3. Control por selección lineal.

Una o más líneas del bus de direcciones son asignadas para activar un dispositivo de E/S. Esta forma de control puede existir para los incisos 2.3.1 y 2.3.2 con la diferencia de que en la selección del dispositivo no se utilizan decodificadores.

- . Es limitada la selección de dispositivos de E/S por el número de líneas de direccionamiento.
- . Se usa en sistemas pequeños.

Además de las clasificaciones indicadas - existen otras formas de realizar el enlace con la parte externa de un μ c que normalmente son una derivación o combinación de las clasificaciones anteriores; ejemplo un

enlace sin interface, es decir, comunicación directa entre up's debido a un buen diseño de la arquitectura funcional de los procesadores.

A continuación se mencionan características - que se han obtenido en los dispositivos de interface de -- E/S. Cabe mencionar que no existe ningún dispositivo de -- interface que cumpla con todo, ya que se está mencionando la mayor capacidad que se ha alcanzado.

- . Hasta 60 líneas programables (lado periférico) como entradas y/o salidas en combinaciones o individuales
- . Una línea de control (set/reset).
- . Comunicación serie o paralelo.
- . Acoplamiento óptico.
- . En la entrada serie se han alcanzado rangos - desde 75 hasta 38,400 bauds.
- . Interface con RS-232, cassette, discos flexibles, videos.
- . Capacidad para producir interrupción.
- . Establece un protocolo automático o programable.
- . Compatible con TTL o MOS.

- . Líneas de tres estados.
- . Métodos de detección de error (1 ó 2 bits de arranque, longitud de palabra de 7 a 8 bits, - paridad par o impar y polaridad).
- . Salida para bocina (audio).
- . Se pueden llegar a operar en full duplex, - - half duplex, o simplex.

2.4 PERIFERICOS INTELIGENTES.

Los dispositivos periféricos de E/S son dispositivos convertidores de símbolos, letras, números, perforaciones, orientaciones magnéticas, etc. a señales eléctricas en un cierto código. El procesador se encarga de checar que tales señales estén dentro del código, de corregir errores y convertirlos por medio de software en un lenguaje accesible para procesarlas (lenguaje máquina). Esto le representa el mayor tiempo de atención, ya que normalmente se producen - caracteres no permitidos (por equivocación) o bien porque - un caracter representa un conjunto de instrucciones (lenguaje de alto nivel). Debido a ésto y a la gran capacidad que se les está dando a los dispositivos de interface y con la ayuda de un μ p y memoria acoplados a los periféricos, se cuenta ahora con una nueva generación; Periféricos Inteligentes.

Los Periféricos Inteligentes estan formados por un μ p's para aplicaciones específicas (poca capacidad) memorias pequeñas (almacenaje temporal y capacidad de programación) y dispositivos de E/S poderosos.

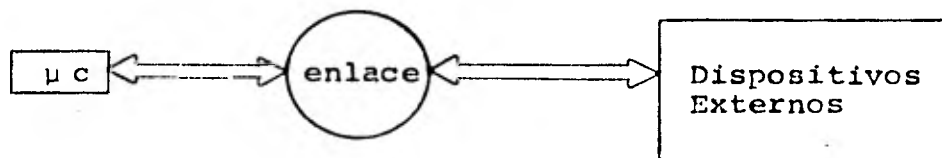
Como ejemplos se pueden mencionar a CRT's, - teclados, graficadores, impresores, manejadores de discos, - líneas de datos asíncronas y síncronas, unidad de cintas de cassette, etc.

3 ALTERNATIVAS PARA TRANSFERENCIA DE INFORMACION.

3.1 MODELADO.

Ya que se prevé un gran desarrollo de periféricos inteligentes, plurimicroprocesadores simultáneos o no simultáneos y de cualquier sistema que concentre varias unidades de proceso, surge la necesidad de contar con enlaces -- adecuados a los sistemas en cuestión.

El modelo del enlace de un μc con el mundo externo se trata como indica el siguiente esquema.



Se pretende establecer una intercomunicación - entre el μ c y los dispositivos externos que pueden ser inteligentes o no inteligentes en forma óptima de acuerdo a las - - características de ambos sistemas. Para ello se deberán considerar los siguientes factores: Tipos de información y alternativas de transferencia.

3.2 TIPOS DE INFORMACION.

La información que se presenta al establecer el enlace, puede ser del siguiente tipo.

- . En serie de uno o varios dígitos.
- . De un solo caracter o palabra.
- . Palabras en bloques.

El primer tipo se trata de información serie y los dos restantes se trata de información en paralelo. La segunda clasificación de un solo caracter o palabra puede referirse a un dato o a un comando.

Los problemas más comunes que se pueden presentar son:

- . Existencia de fuentes de error en la línea de transmisión.
- . Impulsar y sincronizar dispositivos.
- . Identificación de solicitudes.
- . Decodificar comandos.
- . Implementación, manejo y compatibilidad de los buses de datos, direcciones, etc.

3.3 ALTERNATIVAS.

Las alternativas se consideran de acuerdo con la frecuencia con que se realizan las solicitudes para la -- transferencia de información, presentándose solamente dos -- tipos:

- . Transferencia Asíncrona.
- . Transferencia Constante.

3.3.1 Transferencia asíncrona.

Se considera la transferencia de información asíncrona, debido a que pueden presentarse intervalos -- grandes de tiempo en los que no se solicite una transferencia permitiendo que los procesadores puedan estar ejecu-- tando tareas independientes simultáneamente, aumentando - su eficiencia de proceso, teniéndose así dos casos: por - interrupción o por DMA.

En los μ p's de propósito general usados en los μ c's con periféricos inteligentes se reduce el tiempo de uso, por lo que son capaces de incrementar el control y proceso de varios problemas al mismo tiempo (procesos distribuidos en -- sistemas simultáneos).

3.3.1.1 por interrupción.

Se emplea cuando las solicitudes de servicio se presentan a intervalos diferentes de tiempo y con una separación cuando menos de un tiempo equivalente a 50 instrucciones.

Características:

- . Se usa poco hardware.
- . Relativamente simple de implementar y mantener.
- . Su velocidad de transferencia normalmente depende de los dispositivos externos (si son -- más rápidos que la memoria no conviene hacerlo por este método).
- . Puede utilizarse para las tres clasificaciones de información.
- . Es grande su relación de resultados/unidad - de tiempo.

Funcionamiento.

Se asemeja a la solicitud de una subrutina, - con la diferencia de que la solicitud es efectuada por

un agente externo, conectando una línea física de una pata del CPU, a un estado lógico preestablecido para producir este efecto.

Cuando el CPU recibe la solicitud de interrupción, hace lo siguiente:

Termina de ejecutar la instrucción en proceso y salva los registros de programación (stack, contador de programa, acumuladores y el registro de código de condiciones). Puede considerarse innecesario salvar todos los registros, por eso es que en algunos procesadores no se realiza. Después de esto salta a una localidad de memoria (direccionamiento vectorial) para poner el contenido de ésta (salto incondicional) en el contador del programa, indicando la dirección donde inicia la subrutina para atender la solicitud de servicio por interrupción. Si existieran otras solicitudes serían atendidas en igual forma que en el caso anterior cuando se hizo una solicitud del mismo tipo, (consistiendo de salvar registros de programación y saltar a la subrutina que le corresponda al dispositivo que solicitó la interrupción). Es decir, se permite en ciertas técnicas la existencia de interrupciones anidadas, procediéndose su atención con la técnica de últimas entradas primeras salidas (UEPS).

Al terminar con las solicitudes de interrupción se procede a reestablecer el estatus de programación para continuar con el proceso principal.

Se cuenta con los siguientes tipos de - - - interrupción: Interrupción con Máscara y sin Máscara.

Interrupción con Máscara.

Da servicio a nuevas solicitudes de interrupción, hasta que no termine de ejecutar la rutina presente, a no ser que en la subrutina de interrupción por software permita atender a nuevas solicitudes (quitar máscara).

Interrupción sin Máscara.

Cuando el μ c esta realizando cualquier tipo de proceso y se hace una solicitud de interrupción, no importa la jerarquía del problema en proceso ya que el μ c saltará a atender tal solicitud.

3.3.1.2 Por acceso directo a memoria.

Se realiza cuando la frecuencia de solicitud de servicios de los dispositivos externos es alta (un tiempo menor a 5 instrucciones) y/o la velocidad de transferencia de ellos es grande.

Funcionamiento.

Por medio de una señal lógica directa al CPU se produce el efecto de DMA, es decir, deja libres -- las líneas (abiertas o en tercer estado) de direccionamiento, datos y de control para ser manejadas por un agente externo y así tener acceso a la memoria en forma exclusiva.

Características:

- . Se emplea cuando se requiere una velocidad de transferencia grande.
- . Aumenta la eficiencia de la memoria e interfaces.

- . Se tiene que crear gran cantidad de hardware para producir direccionamiento, sincronización, señales de control, R/W. A menudo es necesario el uso de impulsores (buffers), convertidores, decodificadores, etc.
- . Es compleja de implementar y de mantener.
- . Costosa.
- . Es difícil variar su capacidad de servicios a periféricos de E/S.
- . Puede utilizarse para los 3 tipos de información.

3.3.2 Transferencia constante.

Se requiere en los casos en que existe una -- frecuencia alta de solicitudes para la transferencia de -- información entre el up y los dispositivos externos, requiriéndose así de un medio de enlace permanentemente estable cido.

Este medio de enlace puede ser: por bus compartido, por barras cruzadas, por memoria multipuerto o en forma directa con software.

3.3.2.1 por bus compartido.

Sus características ya se mencionaron en el capítulo uno, en el inciso 1.8.4.1 faltando agregar - que puede ser usado para los tres tipos de información mencionados en 3.2.

3.3.2.2 por barras cruzadas.

Ver características en el capítulo uno, en el inciso 1.8.4.2. Puede ser utilizado para los tres tipos de información.

3.3.2.3 por memorias multipuerto.

Ver subclasificación y características en el inciso 1.8.4.3. Los sistemas que están en esta clasificación aceptan información en serie y en paralelo de un bit o palabra. No es recomendable esta clasificación - cuando se tienen demasiados dispositivos o sistemas - que requieren intercambiar información, de tal forma que la memoria que se requiera para esto sea de una capacidad enorme.

3.3.2.4 en forma directa con software.

Se lleva a cabo cuando la solicitud de servicios de los dispositivos externos es alta, pero la - - velocidad de transferencia es baja. A continuación se mencionan sus características.

- . Hardware simple.
- . Implementación de protocolos por software -- para la transferencia.
- . Adecuada para las 2 primeras clasificaciones de información y para la tercera sólo cuando se trate de bloques pequeños de información.
- . Fáciles de rastrear.
- . Confiable, ya que el hardware agregado es - - menos y la posibilidad de falla es mucho - - menor que en las otras dos técnicas.

3.4 SECUENCIA PARA UNA TRANSFERENCIA.

Una secuencia de transferencia del μc a los dispositivos externos, consiste de los siguientes pasos:

- 1.- El μc enviará un comando solicitando enlace para transmitir con la dirección del dispositivo externo y esperará contestación.
- 2.- El dispositivo externo contestará que está en posición de realizar el enlace y esperará la información.
- 3.- Se iniciará la transferencia de información. Los puntos 2 y 3 repiten hasta terminar.
- 4.- Indicación del fin de transmisión.

3.5 OTRAS CONSIDERACIONES.

Ya que se han estudiado cada una de las características que presentan las diferentes alternativas para -- transferencia de información, se podría decir que se está en una muy buena posición para hacer la elección, pero esto no es correcto, ya que existen otras limitantes o condiciones - para cada caso en particular como son:

- a) Utilizar el material con el que se cuenta - en el laboratorio, en el mercado nacional - o en el extranjero, con la seguridad de - tener siempre en existencia.
- b) Conocimientos y experiencias previas que - se tienen de los μ p's.
- c) Limitación en tiempo para su implementa--- ción.
- d) Características de los μ p's que se van a - enlazar.

El inciso (a) es muy importante considerarlo, ya que es frecuente tener en el mercado dispositivos muy - - buenos o apropiados para la aplicación que se pretende dar, - pero con los inconvenientes de que, o no se pueden adquirir - o bien que después de un cierto tiempo ya no es posible - - conseguirlos.

4 ENLACE ENTRE EL EXORCISER Y EL KIT 6900.

4.1 CONDICIONES PARA EL ENLACE.

Los sistemas de microprocesamiento que se - -
pretenden enlazar son del mismo tipo, por lo que el sistema -
de enlace resulta ser homogéneo.

Para la realización del enlace se tomarán las
siguientes condiciones:

a) Tipo de información.

- . De uno o varios comandos.
- . De una palabra (byte).
- . De bloques de longitud variable de bytes.
- . De bloques de $1/2$ K de bytes.

Considerese que la información a transmitir -
estará en el Exorciser ya sea en una dirección fija o en - -
cualquier lugar de memoria.

b) Frecuencia de Transmisión.

Existirán grandes intervalos durante los que -
no habrá comunicación entre los sistemas de microprocesamiento
to.

c) Confiabilidad.

Será importante que la transferencia resulte
con confiabilidad alta.

d) Protocolo para enlace.

Programable y específico.

Debe notarse que el monitor del Kit 6800 no -
permite atender solicitudes de interrupción y además no - -
resulta conveniente eliminar total o parcialmente el monitor.

4.2 SELECCION DE LA ALTERNATIVA.

Ya se han mencionado las condiciones más importantes a considerar para el enlace en cuestión y también se han analizado las alternativas que existen para lograr los enlaces. Por lo tanto procede ahora seleccionar cual es la más adecuada, tomando en cuenta además que:

- . Se cuenta con dispositivos de interface de E/S que permiten enlaces por software (PIA)*.
- . No se requiere alta velocidad en la transferencia de información.
- . La distancia entre los dos sistemas (el exorciser y el Kit) es reducida.

Ahora bien, conjugando estos tres últimos puntos, con las condiciones dadas para la transferencia se llega al resultado de que la mejor alternativa para llevar a cabo el enlace, es la de utilizar software.

* PIA adaptador de interface de periféricos.

Esto se debe fundamentalmente al hecho de que al contar con dispositivos de interface de E/S PIA'S se puede realizar la transferencia en forma eficiente y confiable usando software, ya que entre menos dispositivos externos -- sean agregados a los μ c's, menor será la probabilidad de -- falla. Por otro lado al ser la distancia entre los sistemas -- mínima (máximo 2 metros) es factible el acoplamiento directo entre adaptadores de interface de periféricos de cada uno de los μ c's.

4.3 DESCRIPCION DE LA ALTERNATIVA SELECCIONADA.

Las condiciones para el enlace mencionadas -- anteriormente se toman en cuenta en esta alternativa. Debe - notarse que se indicó que el protocolo deberfa ser programa- ble y especffico, por esta razón se realizó el siguiente pro- tocolo.

4.3.1 Protocolo para programar el enlace.

Se considerá que la transferencia de informa- ción es desde el Exorciser hacia el Kit, por lo que se des- criben únicamente las caracterísiticas del programa resi-- dente en el Exorciser ya que éste llevará el mando del Kit que opera como μ c esclavo. El programa que comanda el enla- ce se identifica en el CRT y solicita al operador la Direc- ción Inicial (DI) asf como la Final (DF) de la localización de la información a transmitir originando alguno de los -- siguientes casos:

- . Acepta información de un teclado (No. de código ASCII) y la convierte a números hexadecimales, si es que son válidos. Si no lo son entonces notifica visualmente - al operador que el número recibido no corresponde al código de números hexadecimales.

- . Acepta el número de una dirección no necesariamente - formada por cuatro dígitos.

- . Acepta una cantidad de números, seguidos de "CR" (car - return) tomando los cuatro últimos dígitos anteriores al "CR" como la dirección esperada.

- . Transmite automáticamente 512 caracteres, comenzando en la localidad 0000, si es que al solicitar DI y DF se tecléa únicamente "CR".

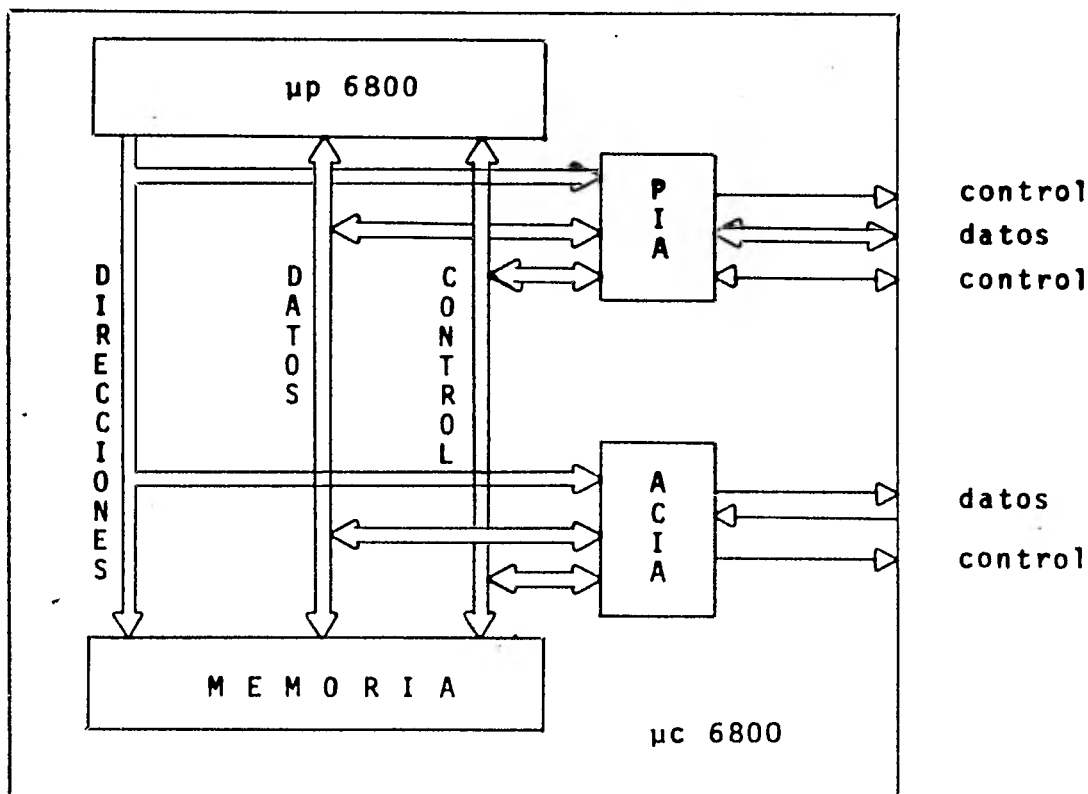
- . Transmite el bloque que está dentro del rango DI y DF si se dan estas dos direcciones.

Por otra parte, una vez recibidas las direcciones, el programa indica por medio del CRT el estado de espera (;) para inicio de la transferencia o bien regresa a tomar nuevas direcciones (tanto DI como DF).

Elegido el comando de inicio G procede a hacer la transferencia y cuando ésta termina indica en el CRT, - TTC. En este momento queda en espera del comando F que - - determina el final del enlace.

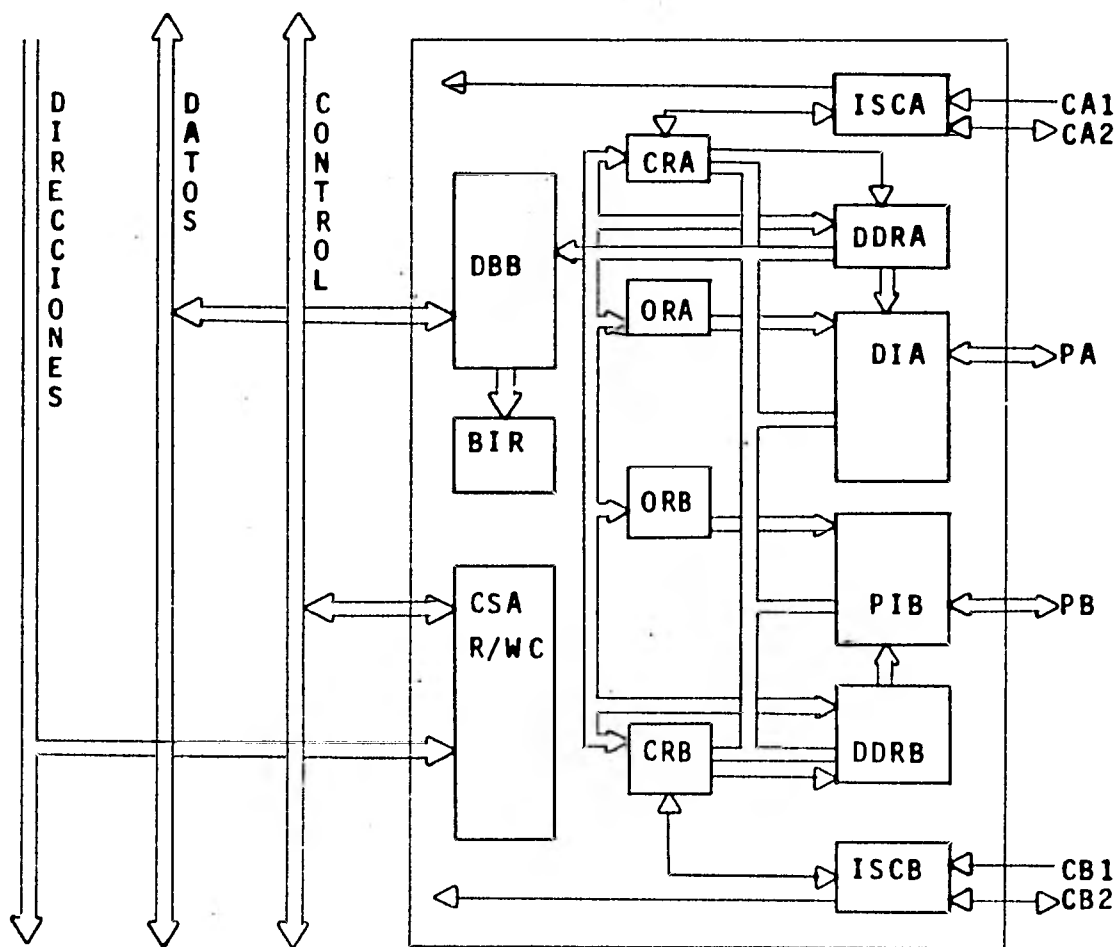
4.3.2 Arquitectura del microcomputador.

A continuación se muestra un esquema que representa la arquitectura del μ c, con el objeto de mostrar la interconexión de las interfaces con el resto del μ c.



El PIA (adaptador de interface de periféricos) y el ACIA (adaptador de interface de comunicación asncrona) son los dispositivos de interface de E/S que se tienen en este μ c. Manejan información por el lado periférico en paralelo y en serie respectivamente.

4.3.3 La arquitectura del PIA es:



Dónde:

- DBB - Buffers del bus de datos.
- BIR - Registro del bus de entrada.
- CSAR/WC - Selección de chip y control de R/W.
- CRA - Registro de control A.
- CRB - Registro de control B.
- ORA - Registro de salida A.
- ORB - Registro de salida B.
- DDRA - Registro de dirección de datos A.
- DDRB - Registro de dirección de datos B.
- ISCA - Control del estatus de interrupción A.
- ISCB - Control del estatus de interrupción B.
- PIA - Interface de periféricos A.
- PIB - Interface de periféricos B.
- CA1,CA2 - Líneas de control del puerto A.
- PA - Puerto A de 8 líneas.
- CB1,CB2 - Líneas de control del puerto B.
- PB - Puerto B de 8 líneas.

Un chip de interface PIA consta de 2 puertos de 8 líneas (A y B), además de 2 hilos de control por cada -- puerto del lado periférico.

Las líneas de control CA1 o CB1 tienen fijo su sentido de transferencia, mientras que CA2 o CB2 pueden -- ser con sentidos programados. Estas últimas líneas (CA2 o CB2) pueden manejar dispositivos periféricos, como un control de set/reset por medio de software.

El puerto de datos se programa para que funcione como salida o entrada según se requiera. Se pueden programar estos puertos (protocolo automático) para que al -- tomar un dato del lado periférico (caso de recepción), -- automáticamente se transmita por su línea de control un -- aviso al dispositivo periférico que ha sido tomada su -- información. En igual forma se tiene para el caso transmisión.

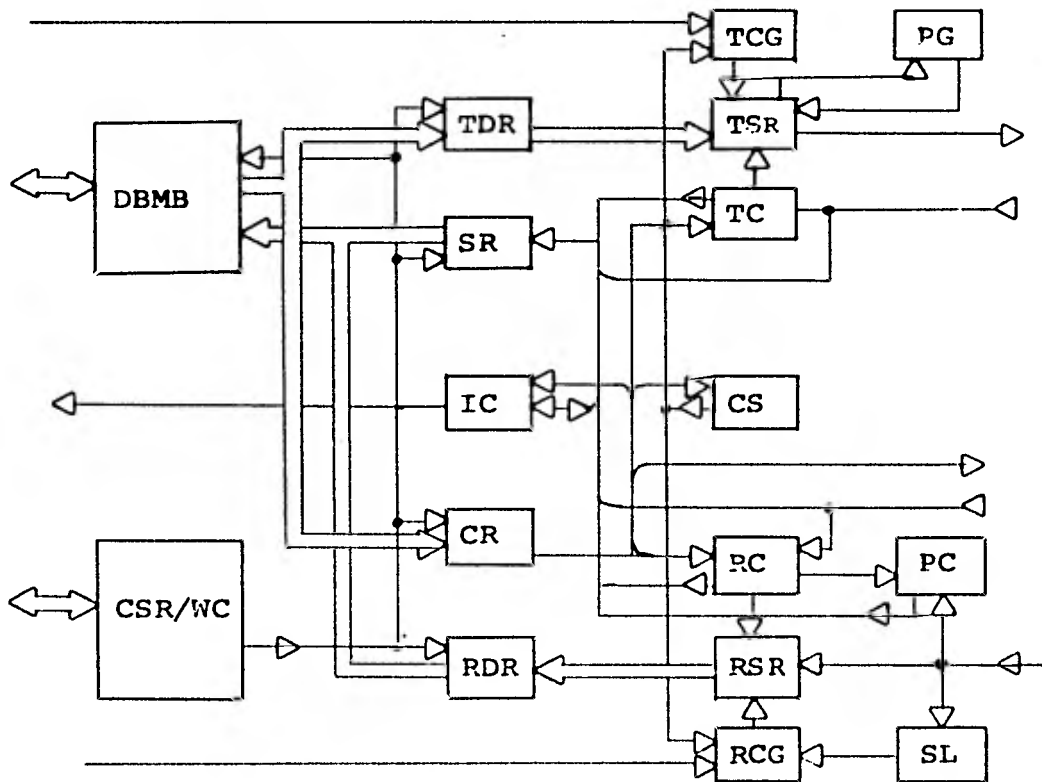
El PIA esta formado por 6 registros internos, -- pero el μp solo los considera como si fueran 4, por eso es que sólo tienen asignadas cuatro direcciones, 2 para cada -- puerto. Los tres registros por puerto son los siguientes:

1.- Registro de dirección de datos (DDRA o -- DDRB). registro de 8 dígitos. De acuerdo al contenido que se ponga en cada dígito será la dirección de cada línea -- del puerto (A o B).

2.- Registro de salida (O.R.A o O.R.B). - registro de 8 dígitos. Une el bus de datos lado μc con el bus lado periférico.

3.- Registro de control (C.R.A. o C.R.B) - en este se deposita una palabra (palabra de control procedente del bus de datos), que indica la forma en que trabaja el puerto (A o B) o indica cual de los dos registros anteriores entrará en operación.

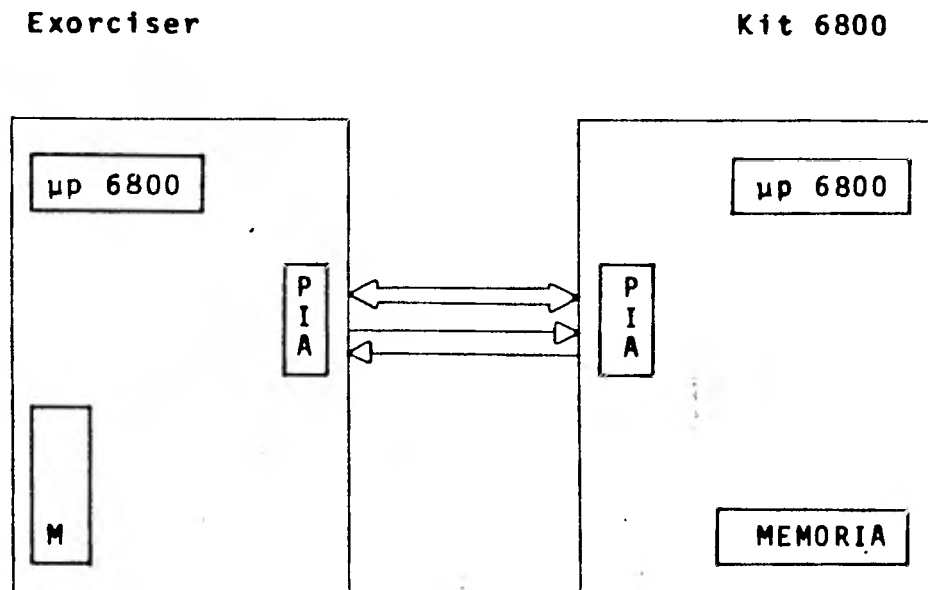
4.3.4 . Arquitectura del ACIA.



Dónde:

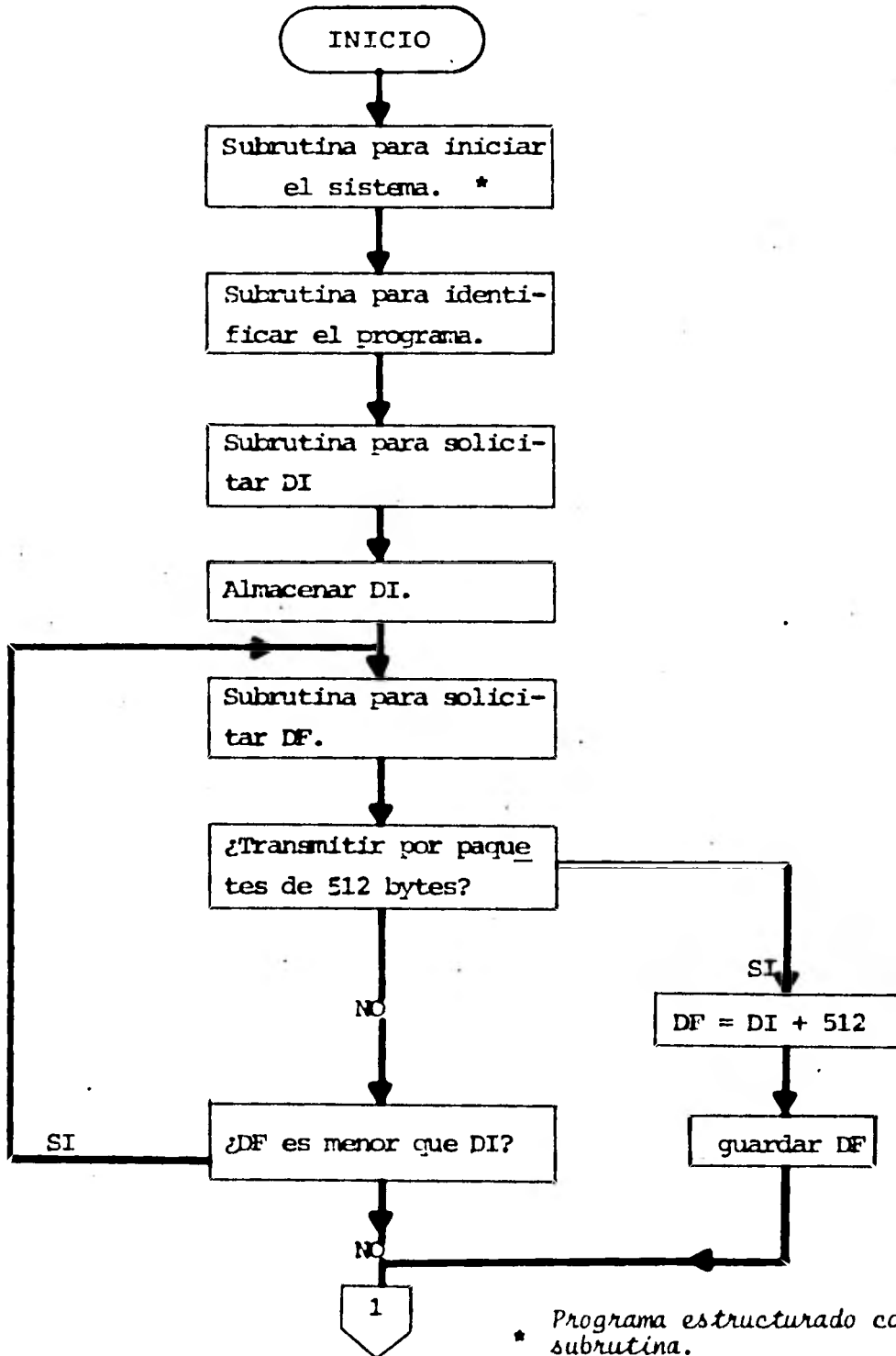
- DBMB - Multiplexor/Buffers del bus de datos.
- TDR - Registro transmisor de datos.
- SR - Registro de estatus.
- IC - Control de interrupción.
- CR - Registro de Control.
- RDR - Registro receptor de datos.
- TCG - Generador del reloj transmisor.
- PG - Generador de paridad.
- TSR - Registro de corrimiento transmisor.
- TC - Control de transmisión.
- CS - Selector del reloj.
- RC - Control de recepción.
- PC - Checador de paridad.
- RSR - Registro de corrimiento receptor.
- RCG - Generador del reloj receptor.
- SL - Lógica de sincronfa.
- CSR/WC - Selector de chip y control de R/W.

4.3.5 Esquema de conexiones.

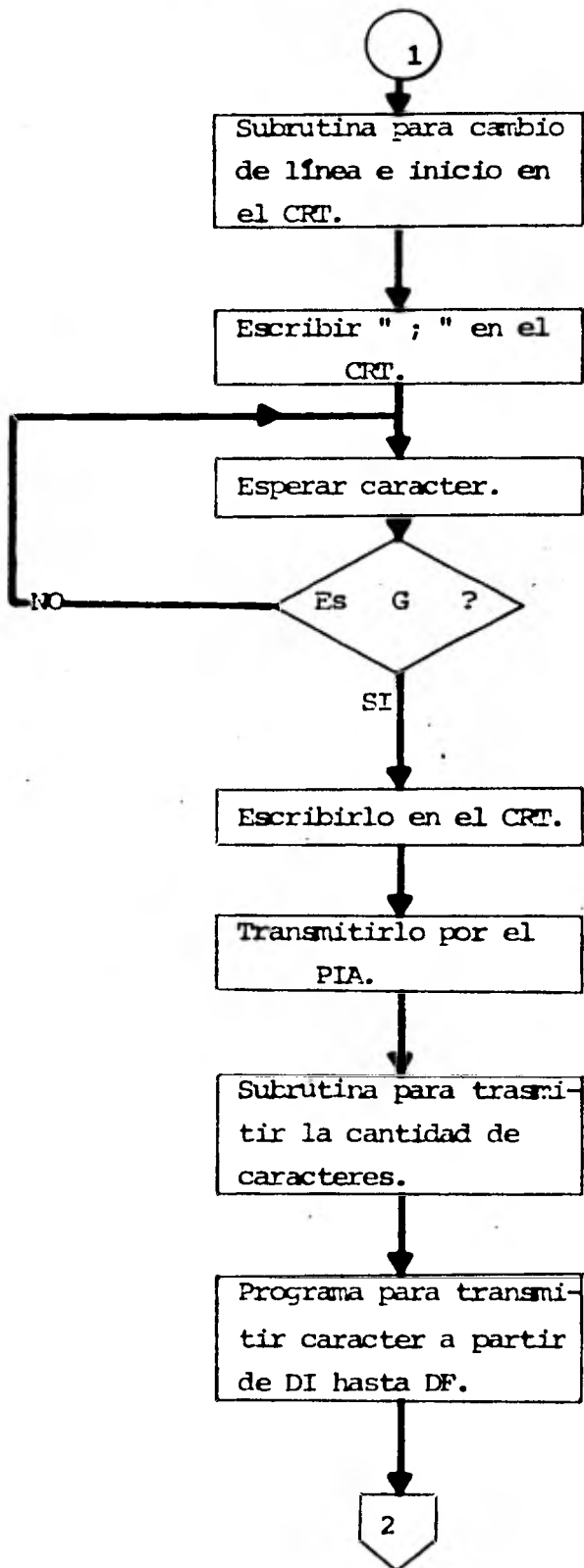


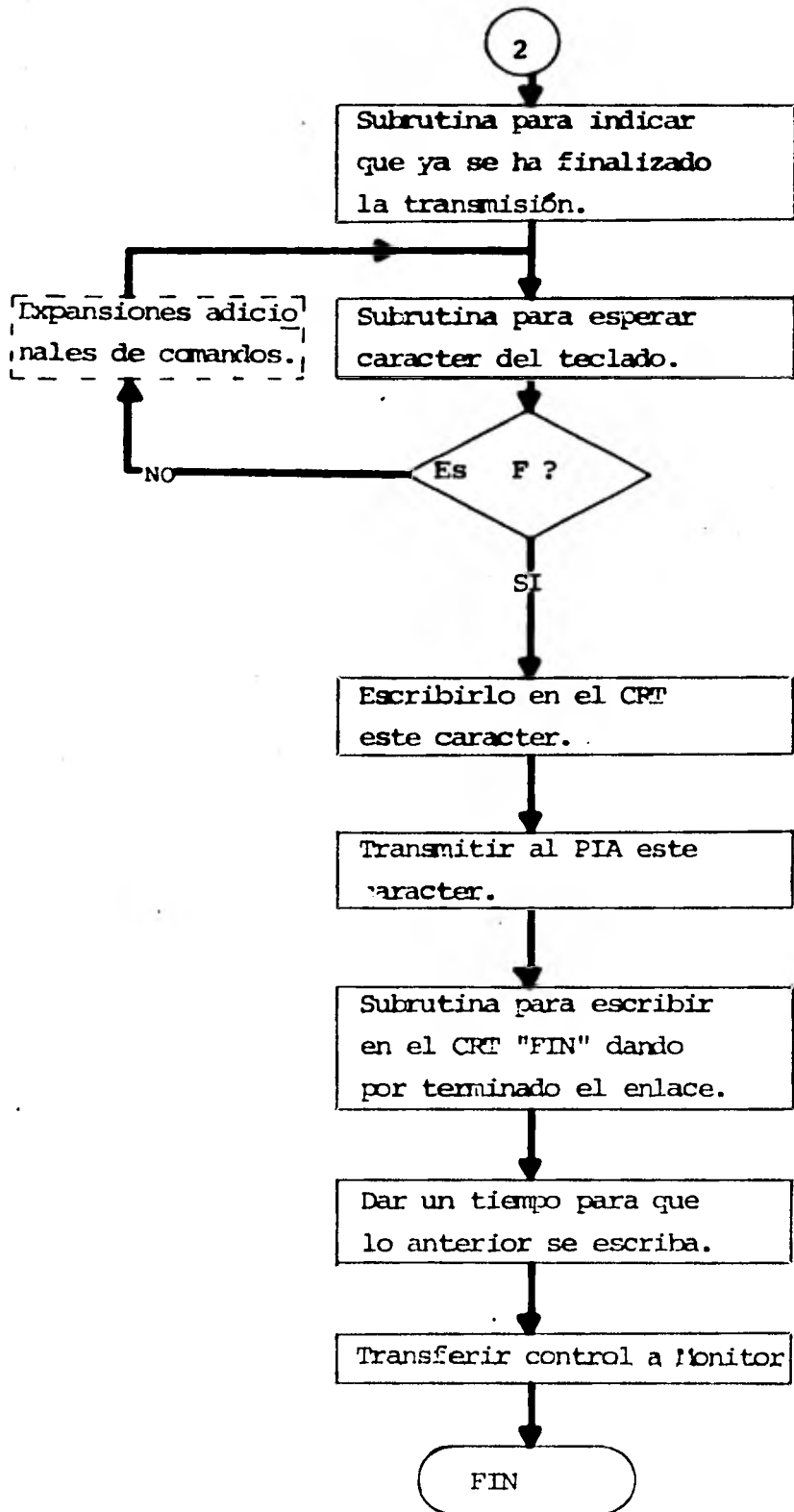
Es importante observar en este esquema que el aprovechamiento de un puerto de cada μc es máximo, ya que las líneas de control se utilizan para indicar el inicio de transmisión, transferencia y aceptación de información, mientras que las líneas de datos se emplean para la transferencia en sí. Queda así el otro puerto disponible del chip del PIA.

4.3.6 Diagrama a bloques del programa enlace.



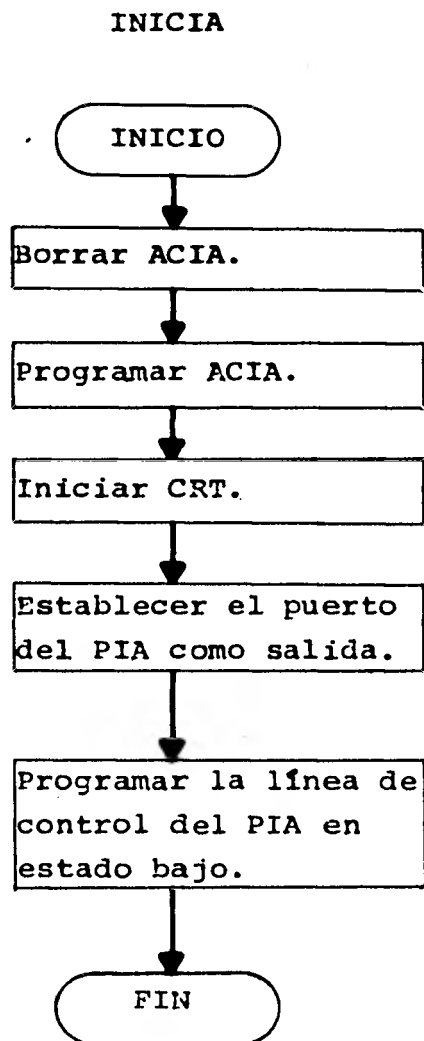
* Programa estructurado como subrutina.





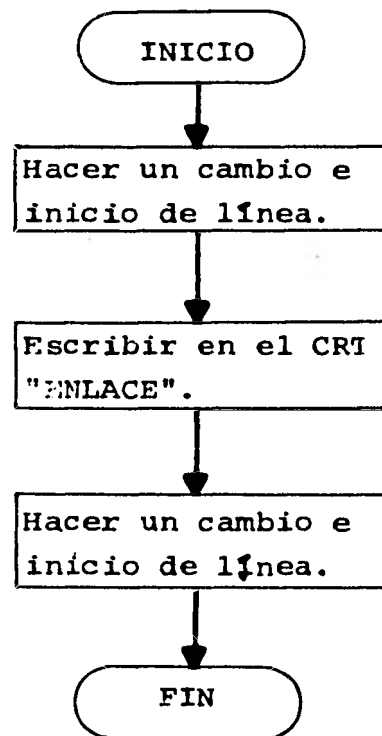
4.3.6.1 Subrutinas.

- a) Subrutina para iniciar el sistema.



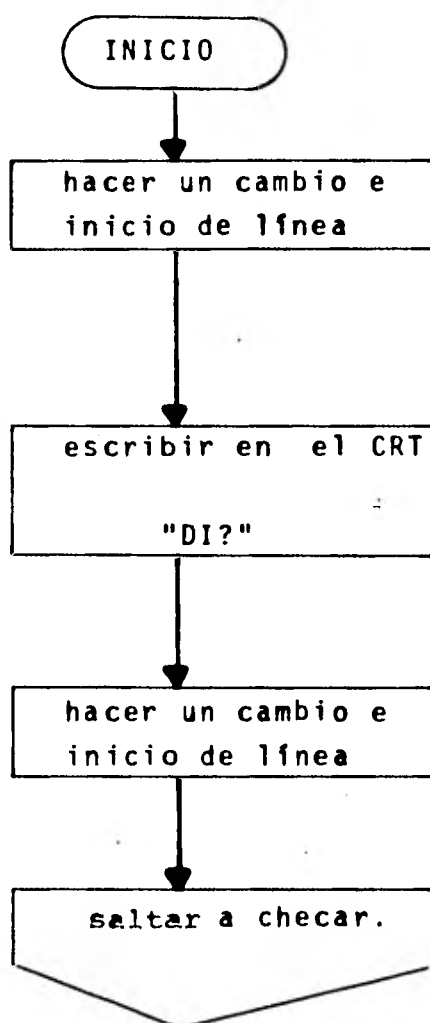
b) Subrutina para identificar el programa.

IDENTI

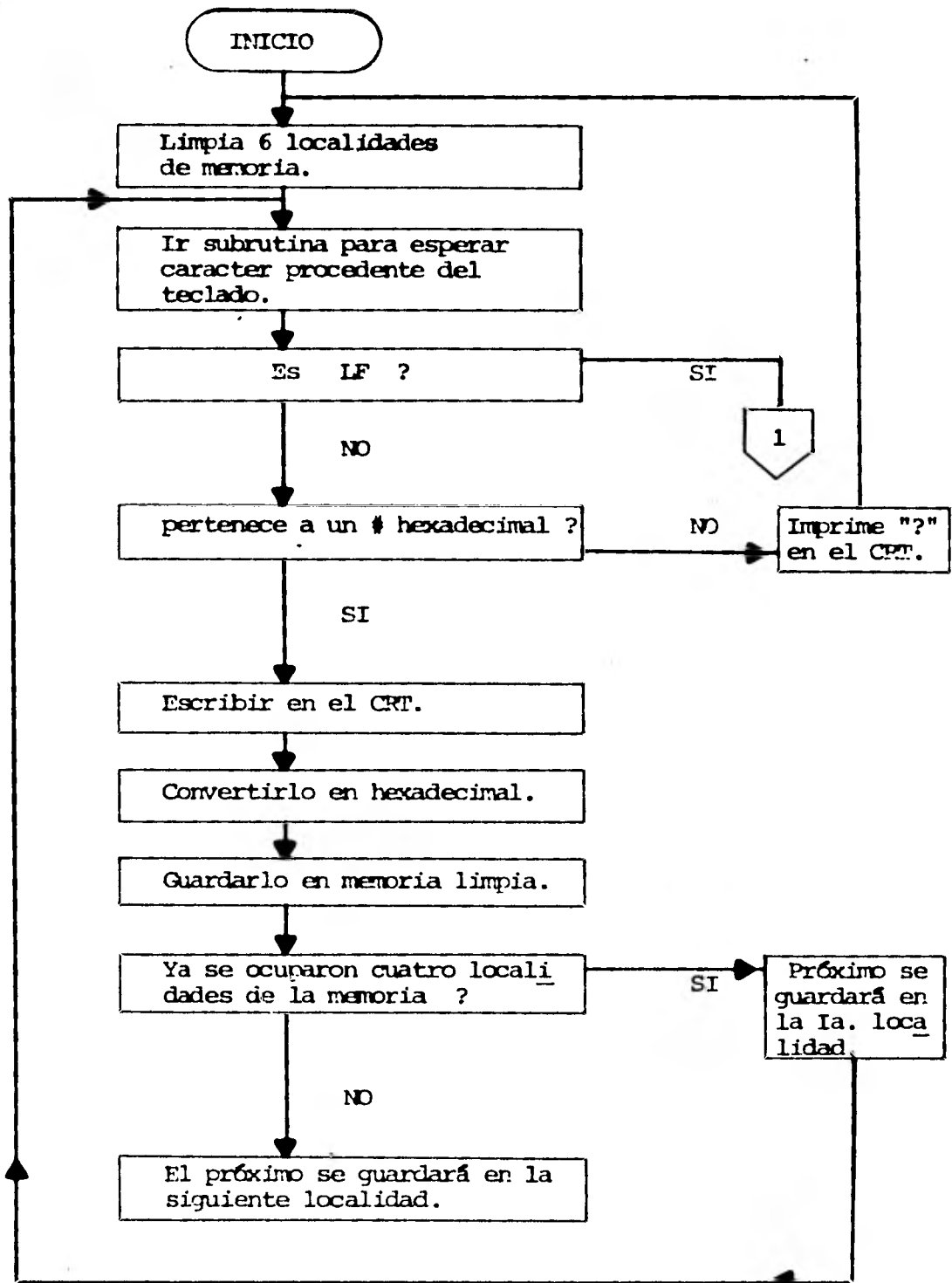


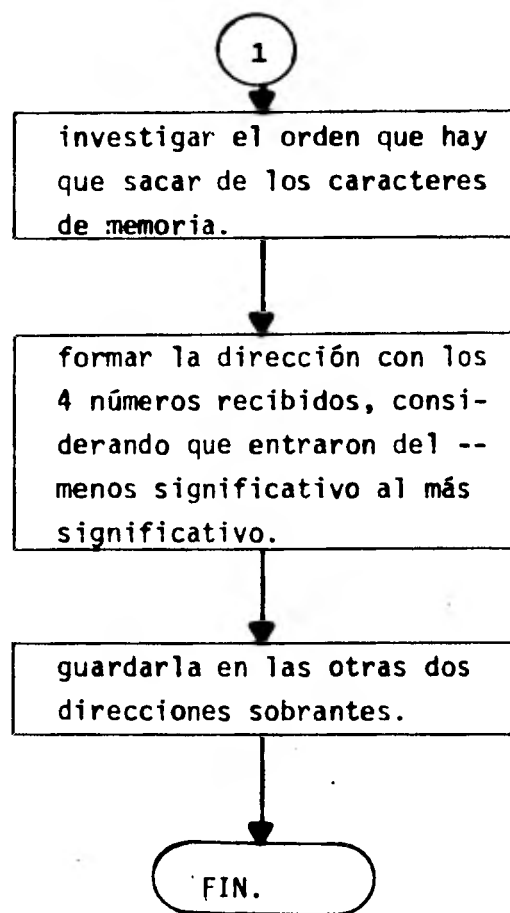
c) subrutina para solicitar DI.

DI

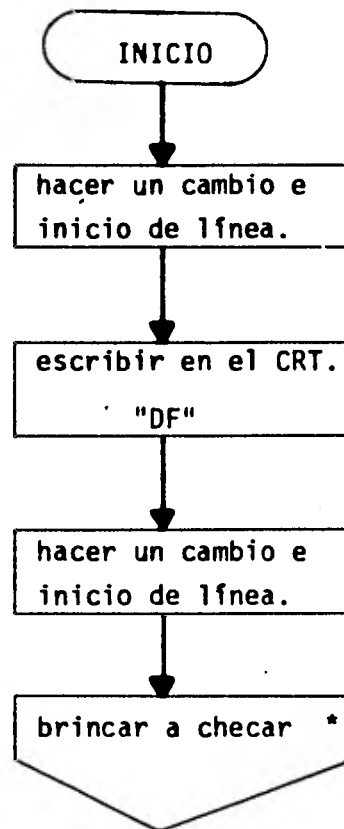


CHECAR



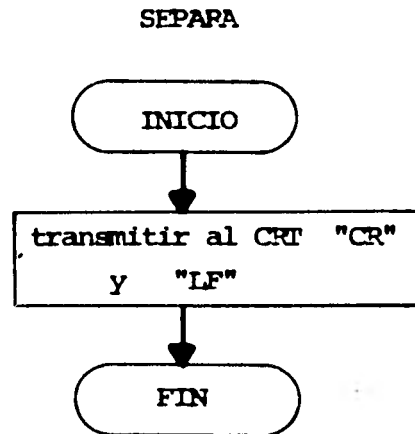


d) subrutina para solicitar DF.

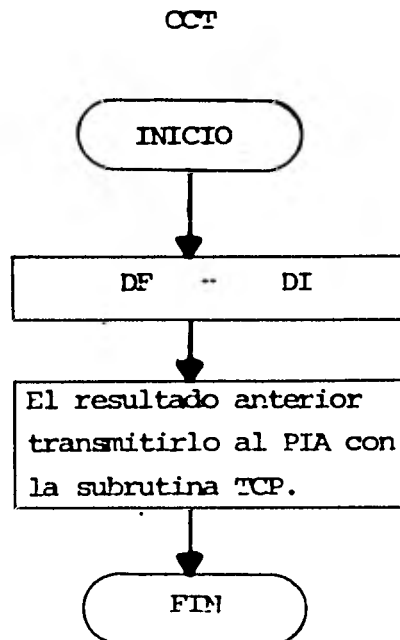


* La parte de checar ya se describió en el inciso (C).

e) subrutina para cambio de línea e inicio en el CRT.

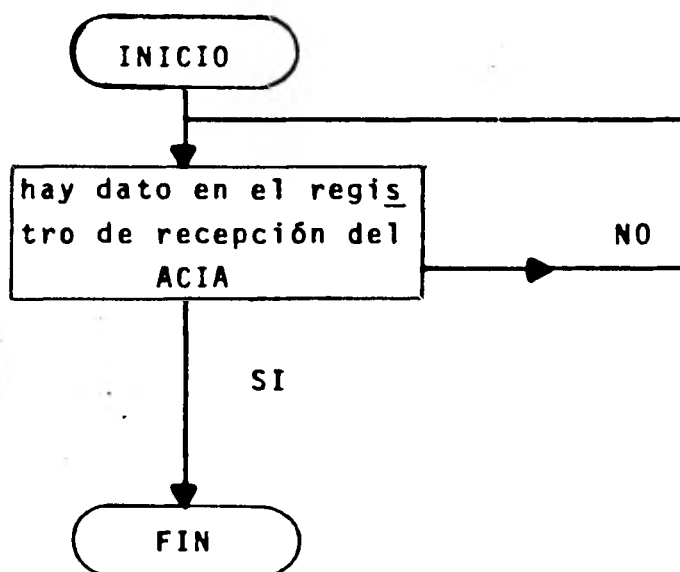


f) subrutina para transmitir la cantidad de caracteres.



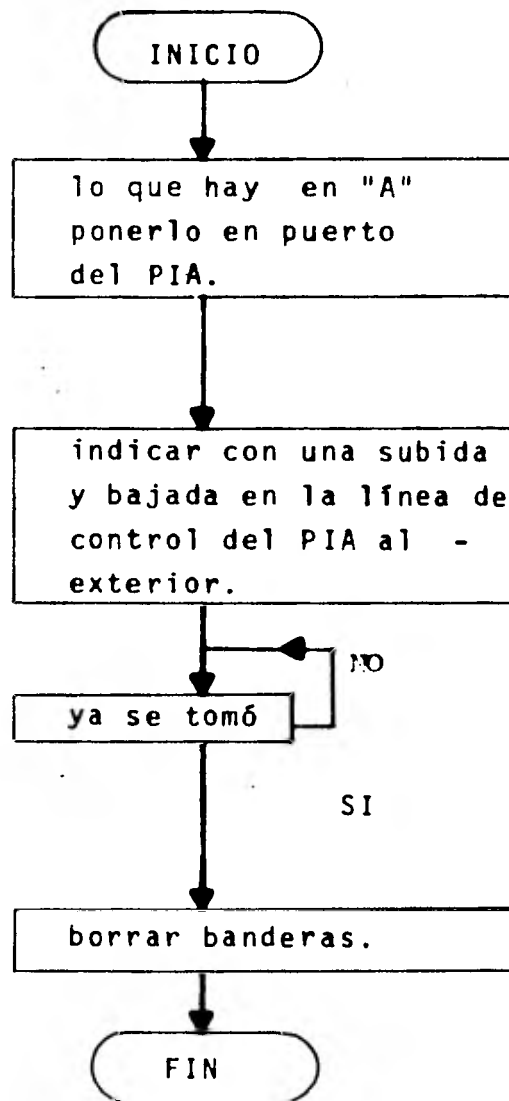
g) subrutina para esperar caracter del teclado.

EC



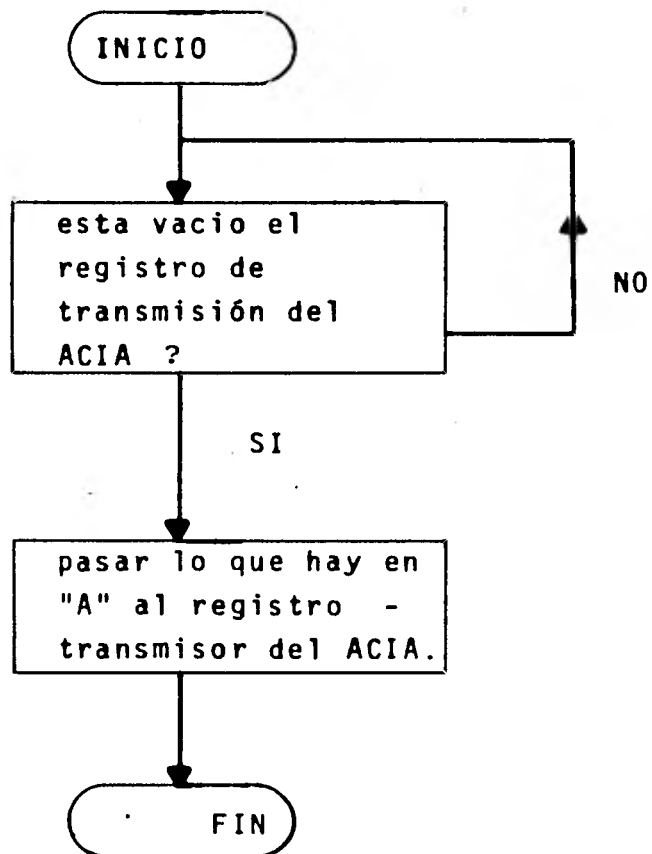
h) subrutina para transmitir al exterior por medio del PIA.

TCP



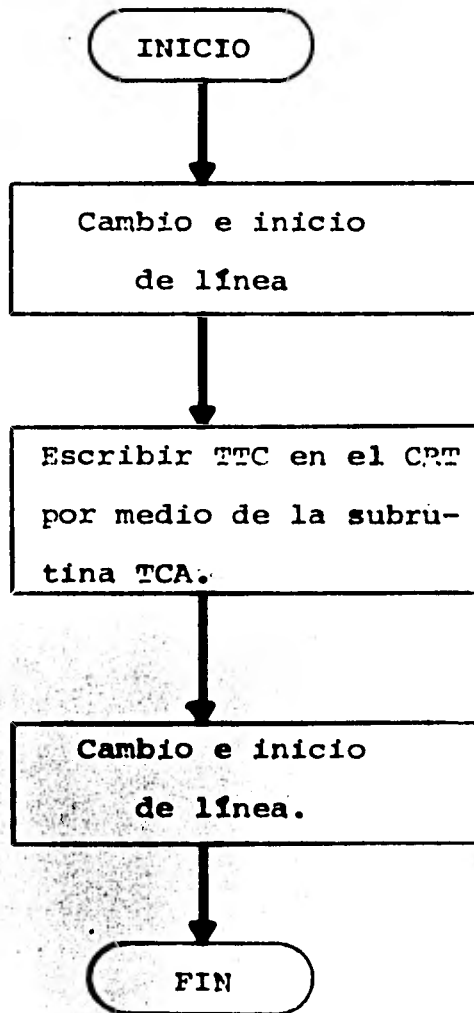
i) subrutina para transmitir al exterior por medio del ACIA.

TCA



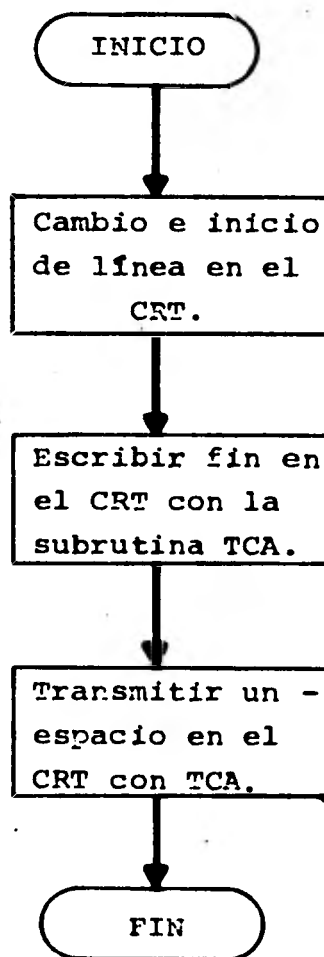
- j) Subrutina para indicar que ya se ha finalizado la transferencia.

TTC



k) Subrutina para escribir "FIN" en el CRT.

FIN



4.4 LISTADO DEL PROGRAMA ENLACE.

```

00001          NAM      ENLACE
00002          OPT      0
00003 0100     ORG      $100
00004          *****
00005          *
00006          *  PROGRAMA PARA TRANSFERIR CARACTERES Y COMANDOS
00007          *  DEL EXORCISER AL KIT 6800.
00008          *
00009          *          DEFINICION DE CONSTANTES
00010          *
00011          FF65     NMAS  EQU    $FF65     NUMERO MAS SIGNIFICATIVO
00012          FF66     NMEN  EQU    $FF66     NUMERO MENOS SIGNIFICATIVO
00013          FF67     MG1   EQU    $FF67     MEMORIA GIRATORIA
00014          FF68     MG2   EQU    $FF68     MEMORIA GIRATORIA
00015          FF69     MG3   EQU    $FF69     MEMORIA GIRATORIA
00016          FF6A     MG4   EQU    $FF6A     MEMORIA GIRATORIA
00017          FF6B     DIH   EQU    $FF6B     DIRECCION INICIAL MAS SIGNIFI
00018          FF6C     DIL   EQU    $FF6C     DIRECCION INICIAL MENOS SIGNI
00019          EC12     RDP   EQU    $EC12     REGISTRO DE DATOS PIA
00020          EC12     RSP   EQU    $EC12     REGISTRO DE SALIDA DEL PIA
00021          EC13     RCP   EQU    $EC13     REGISTRO DE CONTROL PIA
00022          FCF4     RCA   EQU    $FCF4     REGISTRO DE CONTROL ACIA
00023          FCF5     RDA   EQU    $FCF5     REGISTRO DE DATOS ACIA
00024          *
00025 0100  BD 0292  ENLACE JSR      INICIA     INICIAR EL SISTEMA
00026 0103  BD 02DE          JSR      IDENTI    ESCRIBIR 'ENLACE' EN EL CRT
00027 0106  BD 01A3  LLDI   JSR      DI         PREGUNTAR POR DI Y CHECAR
00028 0109  B6 FF65          LDA  A  NMAS     GUARDAR DI
00029 010C  B7 FF6B          STA  A  DIH
00030 010F  B6 FF66          LDA  A  NMEN
00031 0112  B7 FF6C          STA  A  DIL
00032 0115  BD 01BA  LLDI   JSR      DF         FREGUNTAR POR DF Y CHECAR
00033 0118  CE 0000          LDX     $0000    TRANSMITIR POR PAQUETES DE 51
00034 011B  BC FF65          CPX     NMAS     SI ES QUE DF=0000
00035 011E  26 03          BNE     SIGUE
00036 0120  7E 0303          JMP     P512     SI ES.
00037 0123  0C          SIGUE  CLC
00038 0124  B6 FF66          LDA  A  NMEN    NO ES, ES DF < DI ?
00039 0127  B2 FF6C          SBC  A  DIL
00040 012A  B6 FF65          LDA  A  NMAS
00041 012D  B2 FF6B          SBC  A  DIH
00042 0130  25 E3          BCS     LLDI     SI, MARCAR ERROR Y SOLICITAR D
00044 0132  BD 0329  UNI   JSR      SEPARA    NO, INICIA TRANSFERENCIA ?
00045 0135  B6 3B          LDA  A  $3B     ES EL COMANDO 'G' ?
00046 0137  BD 0182          JSR      TCA
00047 013A  BD 017B          JSR      EC
00048 013D  B6 47          LDA  A  $47
00049 013F  B1 FCF5          CMP  A  RDA
00050 0142  26 C2          BNE     LLDI     NO, SOLICITAR NUEVAMENTE DIREC
00051 0144  BD 0182          JSR      TCA     SI, INDICARLO EN EL CRT
00052 0147  BD 018D          JSR      TCP     INICIAR ENLACE
00053 014A  BD 0315          JSR      CCT     TRANSMITIR TAMBO DEL BLOQUE
00054 014D  FE FF6B          LDX     DIH
00055 0150  A6 00          MCP   LDA  A  00,X  PROG. PARA SACAR Y TRANSMITIR

```


ENLACE

```

00056 0152 BD 018D      JSR      TCP
00057 0155 BC FF65      CPX      NMAS      ES TODO ?
00058 0158 26 02      BNE      INX      NO,CONTINUA
00059 015A 20 03      BRA      TTC2
00060 015C 08          INX      INX
00061 015D 20 F1      BRA      MCP
00062 015F BD 02B0      JSR      TTC      SI,INDICARLO EN EL CRT
00063 0162 BD 017B      LLEC     JSR      EC      ESPERAR COMANDOS
00064 0165 7E 0334      JMP      TABLA     PARA CUANDO SE TENGAN VARIOS
00065 0168 BD 0182      CPT      JSR      TCA      INDICAR EN EL CRT EL COMANDO
00066 016B BD 018D      JSR      TCP      TRANSMITIR EL COMANDO
00067 016E BD 02C6      JSR      FIN      INDICAR "FIN" EN EL CRT.
00068 0171 F6 FCF4      VACIO   LDA B   RCA      DAR TIEMPO PARA QUE SE ESCRIB
00069 0174 5A          LSR B
00070 0175 5A          LSR B
00071 0176 24 F9      BCC     VACIO
00072 0178 7E F000      JMP     $F000     ENTRAR AL MONITOR.
00073 *****
00074 *
00075 * SUBRRUTINA EC
00076 *
00077 * ENTRADAS: NINGUNA
00078 * SALIDAS: INDICA QUE HAY DATO EN RDA
00079 * LLAMADAS: NINGUNA
00080 * DESTRUYE: A,B,C
00081 * DESCRIPCION: ESPERA QUE HAYA UN DATO EN EL REGIST
00082 *
00083 017B F6 FCF4      EC      LDA B   RCA      YA LLEGO ?
00084 017E 5A          LSR B
00085 017F 24 FA      BCC     EC      NO,CONTINUA.
00086 0181 39          RTS      SI,FIN.
00087 *****
00088 *
00089 * SUBRRUTINA TCA
00090 *
00091 * ENTRADAS: A= CARACTER A TRANSMITIR AL ACIA
00092 * SALIDAS: NINGUNA
00093 * LLAMADAS: NINGUNA
00094 * DESTRUYE: B,C
00095 * DESCRIPCION: TRANSMITIR CARACTERES AL ACIA PARA S
00096 * EN EL CRT
00097 *
00098 0182 F6 FCF4      TCA     LDA B   RCA      ESTA VACIO EL TRANSMISOR DEL
00099 0185 5A          LSR B
00100 0186 5A          LSR B
00101 0187 24 F9      BCC     TCA      NO,CONTINUA.
00102 0189 B7 FCF5      STA A   RDA      SI,CARGARLO PARA TRANSMITIR.
00103 018C 39          RTS
00104 *****
00105 *
00106 * SUBRRUTINA TCP
00107 *
00108 * ENTRADAS: A= CARACTER A TRANSMITIR AL PIA
00109 * SALIDAS: NINGUNA

```

```

00110      *   LLAMADAS: NINGUNA
00111      *   DESTRUYE: B,N
00112      *   DESCRIPCION: PONER CARACTER EN EL PUERTO DE SALID
00113      *                   QUE HAY CARACTER PARA EL KIT.
00114      *
00115 018D B7 EC12 TCP      STA A   RDP      PONERLO EN EL PUERTO.
00116 0190 C6 3D          LDA B   003D    INDICAR QUE HAY CARACTER.
00117 0192 F7 EC13          STA B   RCP
00118 0195 C6 35          LDA B   0035
00119 0197 F7 EC13          STA B   RCP
00120 019A 7D EC13 CONTES TST   RCP      YA SE RECIBIO?.
00121 019D 2A FB          BFL     CONTES  NO,CONTINUA.
00122 019F B6 EC12          LDA A   RDP      SI,BORRAR BANDERAS Y FIN.
00123 01A2 39              RTS
00124      *****
00125      *
00126      *   SUBRRUTINA DI
00127      *
00128      *   ENTRADAS: NINGUNA
00129      *   SALIDAS:  NMA5,NMEN= NUMERO HEXADECIMAL DE 2 BYTE
00130      *   LLAMADAS: SEPARA, TCA, EC, BYTE
00131      *   DESTRUYE: A,B,C,MG1,MG2,MG3,MG4,NMA5,NMEN,DIH,DIL
00132      *   DESCRIPCION: ESCRIBIR "DI?" EN EL CRT, ESPERAR NU
00133      *                   COMPROBAR QUE CORRESPONDAN A HEXADEC
00134      *                   LOS ULTIMOS 4 DESPUES DE CR Y CONVIE
00135      *                   ASKII A HEXADECIMAL
00136      *
00137 01A3 BD 0329 DI      JSR     SEPARA  ESCRIBIR DI
00138 01A6 B6 44          LDA A   0044    D
00139 01AB BD 0182          JSR     TCA
00140 01AB B6 49          LDA A   0049    I
00141 01AD BD 0182          JSR     TCA
00142 01B0 B6 3F          LDA A   003F    ?
00143 01B2 BD 0182          JSR     TCA
00144 01B5 BD 0329          JSR     SEPARA
00145 01B8 20 15          BRA     CHECAR
00146      *****
00147      *
00148      *   SUBRRUTINA DF
00149      *
00150      *   ENTRADAS: NINGUNA
00151      *   SALIDAS:  NMA5,NMEN =CARACTER HEXADECIMAL DE 2 BY
00152      *   LLAMADAS: SEPARA TCA, EC, BYTE
00153      *   DESTRUYE: A,B,C,MG1,MG2,MG3,MG4,DIH,DIL,NMA5,NMEN
00154      *   DESCRIPCION: ESCRIBIR "DF" EN EL CRT, ESPERAR NUM
00155      *                   COMPROBAR QUE CORESPONDAN A HEXADEC
00156      *                   LOS ULTIMOS 4 DESPUES DE CR Y CONVIE
00157      *                   HEXADECIMAL.
00158      *
00159 01BA BD 0329 DF      JSR     SEPARA  ESCRIBIR DF?
00160 01BD B6 44          LDA A   0044    D
00161 01BF BD 0182          JSR     TCA
00162 01C2 B6 46          LDA A   0046    F
00163 01C4 BD 0182          JSR     TCA
00164 01C7 B6 3F  ERROR  LDA A   003F    ?

```

00165	01C9	BD	0182		JSR	TCA		
00166	01CC	BD	0329		JSR	SEPARA		
00167	01CF	CE	FF67	CHECAR	LDX	#MG1		
00168	01D2	6F	00		CLR	00,X	LIMPIA 6 LOC MEM GIRATORIA	
00169	01D4	6F	01		CLR	01,X		
00170	01D6	6F	02		CLR	02,X		
00171	01D8	6F	03		CLR	03,X		
00172	01DA	7F	FF66		CLR	NMEN		
00173	01DD	7F	FF65		CLR	NMAS		
00174	01E0	BD	017B	LLLEC	JSR	EC	ESPERAR CARACTER.	
00175	01E3	86	0D		LDA A	#00D	ES COMANDO DE TOMAR 4 ULTIMOS	
00176	01E5	B1	FCF5		CMP A	RDA		
00177	01E8	27	41		BEQ	CONVER	SI	
00178	01EA	86	46		LDA A	#046	NO,ES MENOR QUE F ?	
00179	01EC	B1	FCF5		CMP A	RDA		
00180	01EF	2C	02		BGE	CCA	SI	
00181	01F1	20	D4		BRA	ERROR	NO,INDICAR ERROR.	
00182	01F3	86	41	CCA	LDA A	#041	ES MAYOR QUE A ?	
00183	01F5	B1	FCF5		CMP A	RDA		
00184	01F8	2F	12		BLE	HEXA	SI	
00185	01FA	86	39		LDA A	#039	NO,ES MENOR QUE 9 ?	
00186	01FC	B1	FCF5		CMP A	RDA		
00187	01FF	2C	02		BGE	CCO	SI	
00188	0201	20	C4		BRA	ERROR	NO,INDICAR ERROR.	
00189	0203	86	30	CCO	LDA A	#030	ES MAYOR QUE 0 ?	
00190	0205	B1	FCF5		CMP A	RDA		
00191	0208	2F	02		BLE	HEXA	SI	
00192	020A	20	BB		BRA	ERROR	NO,INDICAR ERROR.	
00193	020C	B6	FCF5	HEXA	LDA A	RDA	TOMAR ESTE CARACTER.	
00194	020F	BD	0182		JSR	TCA	ESCRIBIR EN EL CRT	
00195	0212	B1	39		CMP A	#039	ES NUMERO ?	
00196	0214	2E	04		BGT	LETRA	NO.	
00197	0216	80	30		SUB A	#030	SI,CONVERTIR EN HEXADECIMAL	
00198	0218	20	02		BRA	MGIRA		
00199	021A	80	37	LETRA	SUB A	#037	CONVERTIR EN HEXADECIMAL.	
00200	021C	A7	00	MGIRA	STA A	00,X	GUARDAR EN MEMORIA GIRATORIA	
00201	021E	8C	FF6A		CPX	#MG4	FIN DE LA MEMORIA?.	
00202	0221	27	03		BEQ	INMG	SI.	
00203	0223	08			INX		NO,INCREMENTA.	
00204	0224	20	BA	IGUAL	BRA	LLLEC	CONTINUA.	
00205	0226	CE	FF67	INMG	LDX	#MG1	INICIAR MEMORIA.	
00206	0229	20	F9		BRA	IGUAL	CONTINUA.	
00207	022B	8C	FF67	CONVER	CPX	#MG1	INVESTIGAR ORDEN DE LA MEMORI	
00208	022E	27	20		BEQ	PRIMER	PARA DAR EL NUM. ASKII EN HEX.	
00209	0230	8C	FF68		CPX	#MG2		
00210	0233	27	2E		BEQ	SEGUN	VE A SEGUNDO ORDEN.	
00211	0235	8C	FF69		CPX	#MG3		
00212	0238	27	3D		BEQ	TERCER	VE A TERCER ORDEN.	
00213	023A	CE	FF67		LDX	#MG1		
00214	023D	A6	00		LDA A	00,X	CUARTO ORDEN	
00215	023F	E6	03		LDA B	03,X	TOMAR LOS DOS BYTES MAS SIGNI	
00216	0241	8D	49		BSR	BYTE	CONVERTIR DE 2 A 1 BYTE.	
00217	0243	B7	FF65		STA A	NMAS	GUARDAR ESTE BYTE.	
00218	0246	A6	02		LDA A	02,X	TOMAR LOS 2 BYTES MENOS SIGNI	

```

00219 0248 E6 01          LDA B  01,X
00220 024A 8D 40          BSR   BYTE          CONVERTIR DE 2 A 1 BYTE.
00221 024C B7 FF66        STA A  NMEN         GUARDAR ESTE BYTE.
00222 024F 39             RTS
00223 0250 E6 00  PRIMER LDA B  00,X          TOMAR LOS 2 BYTES MAS SIGNIFI
00224 0252 A6 01          LDA A  01,X
00225 0254 8D 36          BSR   BYTE          CONVERTIR DE 2 A 1 BYTE.
00226 0256 B7 FF65        STA A  NMAS         GUARDAR ESTE BYTE.
00227 0259 E6 02          LDA B  02,X          TOMAR LOS DOS BYTES MENOS SIG
00228 025B A6 03          LDA A  03,X
00229 025D 8D 2D          BSR   BYTE          CONVERTIR DE 2 A 1 BYTE.
00230 025F B7 FF66        STA A  NMEN         GUARDAR ESTE BYTE.
00231 0262 39             RTS
00232 0263 09             SEGUN  DEX
00233 0264 A6 00          LDA A  00,X          TOMAR LOS 2 BYTES MENOS SIGNI
00234 0266 E6 03          LDA B  03,X
00235 0268 8D 22          BSR   BYTE          CONVERTIR DE 2 A 1 BYTE.
00236 026A B7 FF66        STA A  NMEN         GUARDAR ESTE BYTE.
00237 026D A6 02          LDA A  02,X          TOMAR LOS 2 BYTES MAS SIGNIFI
00238 026F E6 01          LDA B  01,X
00239 0271 8D 19          BSR   BYTE          CONVERTIR DE 2 A 1 BYTE.
00240 0273 B7 FF65        STA A  NMAS         GUARDAR ESTE BYTE.
00241 0276 39             RTS
00242 0277 09             TERCER DEX
00243 0278 A6 00          LDA A  00,X          TOMAR LOS DOS BYTES MENOS SIG
00244 027A 09             DEX
00245 027B E6 00          LDA B  00,X
00246 027D 8D 0D          BSR   BYTE          CONVERTIR DE 2 A 1 BYTE.
00247 027F B7 FF66        STA A  NMEN         GUARDAR ESTE BYTE.
00248 0282 A6 03          LDA A  03,X          TOMAR LOS 2 BYTES MAS SIGNIFI
00249 0284 E6 02          LDA B  02,X
00250 0286 8D 04          BSR   BYTE          CONVERTIR DE 2 A 1 BYTE.
00251 0288 B7 FF65        STA A  NMAS         GUARDAR ESTE BYTE.
00252 028B 39             RTS
00253 *****
00254 *
00255 *   SUBRRUTINA BYTE
00256 *
00257 *   ENTRADAS: A=BYTE MENOS SIGNIFICATIVO
00258 *               B=BYTE MAS SIGNIFICATIVO
00259 *   SALIDAS:  A=BYTE RESULTANTE
00260 *   DESTRUYE: A,B
00261 *   LLAMADAS: NINGUNA
00262 *   DESCRIPCION: CONVIERTE 2 BYTES EN 1
00263 *
00264 028C 58  BYTE   ASL B           4 CORRIMIENTOS A LA IZQUIERDA
00265 028D 58             ASL B
00266 028E 58             ASL B
00267 028F 58             ASL B
00268 0290 1B             ABA           SUMAR LOS DOS BYTES
00269 0291 39             RTS
00270 *****
00271 *
00272 *   SUBRRUTINA INICIA

```

```

00273 *
00274 * ENTRADAS: NINGUNA
00275 * SALIDAS: NINGUNA
00276 * LLAMADAS: TCA
00277 * DESTRUYE: A,B,C
00278 * DESCRIPCION: INICIAR ACIA Y PIA
00279 *
00280 0292 86 03 INICIA LDA A 0003
00281 0294 B7 FCF4 STA A RCA BORRAR ACIA
00282 0297 86 81 LDA A 0081 PROGRAMAR ACIA
00283 0299 B7 FCF4 STA A RCA
00284 029C 86 10 LDA A 0010 INICIAR CRT
00285 029E BD 0182 JSR TCA
00286 02A1 5F CLR B
00287 02A2 F7 EC13 STA B RCP DIRECCIONAR REG. DE DIRECS.DE
00288 02A5 86 FF LDA A 00FF ESTABLECER EL PUERTO COMO SAL
00289 02A7 B7 EC12 STA A RDP
00290 02AA 86 35 LDA A 0035 LINEA DE CONTROL A CERO
00291 02AC B7 EC13 STA A RCP
00292 02AF 39 RTS
00293 *****
00294 *
00295 * SUBRRUTINA TTC
00296 * ENTRADAS: NINGUNA
00297 * SALIDAS: NINGUNA
00298 * LLAMADAS: TCA, SEPARA
00299 * DESTRUYE: A,B,C
00300 * DESCRIPCION: ESCRIBE *TTC* EN EL CRT
00301 *
00302 02B0 BD 0329 TTC JSR SEPARA
00303 02B3 86 54 LDA A 0054 T
00304 02B5 BD 0182 JSR TCA
00305 02B8 86 54 LDA A 0054 T
00306 02BA BD 0182 JSR TCA
00307 02BD 86 43 LDA A 0043 C
00308 02BF BD 0182 JSR TCA
00309 02C2 BD 0329 JSR SEPARA
00310 02C5 39 RTS
00311 *****
00312 *
00313 * SUBRRUTINA FIN
00314 *
00315 * ENTRADAS: NINGUNA
00316 * SALIDAS: NINGUNA
00317 * LLAMADAS: SEPARA, TCA
00318 * DESTRUYE: A,B,C
00319 * DESCRIPCION: ESCRIBE *FIN* EN EL CRT
00320 *
00321 02C6 BD 0329 FIN JSR SEPARA
00322 02C9 86 46 LDA A 0046 F
00323 02CB BD 0182 JSR TCA
00324 02CE 86 49 LDA A 0049 I
00325 02D0 BD 0182 JSR TCA
00326 02D3 86 4E LDA A 004E N

```

```

00327 0205 BD 0182      JSR      TCA
00328 0208 B6 20      LDA A  0020      ESPACIO
00329 020A BD 0182      JSR      TCA
00330 020D 39          RTS
00331
00332
00333      *
00334      * SUBRRUTINA IDENTI
00335      *
00336      * ENTRADAS: NINGUNA
00337      * SALIDAS: NINGUNA
00338      * LLAMADAS: SEPARA, TCA
00339      * DESTRUYE: A,B,C
00340      * DESCRIPCION: ESCRIBE "ENLACE" EN EL CRT
00341      *
00342 020E BD 0329 IDENTI JSR      SEPARA
00343 02E1 B6 45      LDA A  0045      E
00344 02E3 BD 0182      JSR      TCA
00345 02E6 B6 4E      LDA A  004E      N
00346 02E8 BD 0182      JSR      TCA
00347 02EB B6 4C      LDA A  004C      L
00348 02ED BD 0182      JSR      TCA
00349 02F0 B6 41      LDA A  0041      A
00350 02F2 BD 0182      JSR      TCA
00351 02F5 B6 43      LDA A  0043      C
00352 02F7 BD 0182      JSR      TCA
00353 02FA B6 45      LDA A  0045      E
00354 02FC BD 0182      JSR      TCA
00355 02FF BD 0329      JSR      SEPARA
00356 0302 39          RTS
00357
00358 0303 B6 FF6C P512 LDA A  DIL      SUMAR A DI PARA TRANSMITIR 51
00359 0306 B7 FF66      STA A  NMEN      MENTE
00360 0309 0C          CLC
00361 030A B6 02      LDA A  0002
00362 030C B9 FF6B      ADC A  DIH
00363 030F B7 FF65      STA A  NMAS
00364 0312 7E 0132      JMP      UNI
00365
00366 0315 0C          CCT      CLC
00367 0316 B6 FF66      LDA A  NMEN      TRANSMITIR CANTIDAD DE CARACT
00368 0319 B2 FF6C      SBC A  DIL      SERAN ENVIADOS AL KIT.
00369 031C BD 018D      JSR      TCP      HACER LA DIFERENCIA DE DF Y D
00370 031F B6 FF65      LDA A  NMAS      TRANSMITIRLA POR EL PIA.
00371 0322 B2 FF6B      SBC A  DIH
00372 0325 BD 018D      JSR      TCP
00373 0328 39          RTS
00374
00375 0329 B6 0D      SEPARA LDA A  000D      TRANSMITIR "CR" Y "LF" AL CRT
00376 032B BD 0182      JSR      TCA
00377 032E B6 0A      LDA A  000A
00378 0330 BD 0182      JSR      TCA
00379 0333 39          RTS
00380

```

PAGE 008 ENLACE

00381	0334	86	46	TABLA	LDA	A	0046	ES F EL COMANDO ?
00382	0336	B1	FCF5		CMF	A	RDA	
00383	0339	27	07		BEQ		SI	SI
00384	033B	86	50		LDA	A	0050	NO,ES F EL COMANDO ?
00385	033D	B1	FCF5		CMF	A	RDA	
00386	0340	26	03		BNE		NO	SI
00387	0342	7E	0168	SI	JMP		CPT	
00388	0345	B6	FCF5	NO	LDA	A	RDA	NO,ES NINGUNO
00389	0348	7E	0162		JMP		LLEC	
00390					END			

TOTAL ERRORS 00000

CLIST: E7

S00R00000454E4C41434520200C

S11E0100BD0292BD02DEBD01A3B6FF65B7FF6BB6FF66B7FF6CBD01BACE0000D3
S11E011BRCFF6526037E03030CB6FF66B2FF6CB6FF65B2FF6B25E3BD03298607
S11E01363BRD0182BD017B8647B1FCF526C2BD0182BD018DBD0315FEFF6BA631
S11E015100BD018DBCFF65260220030820F1BD02B0BD017B7E0334BD0182BD66
S11E016C018DBD02C6F6FCF4545424F97EF000F6FCF45424FA39F6FCF4545429
S11E018724F9B7FCF539B7EC12C63DF7EC13C635F7EC137DEC132AFBB6EC1267
S11E01A239BD03298644BD01828649BD0182863FBD0182BD03292015BD0329F7
S11E01BD8644BD01828646BD0182863FBD0182BD0329CEFF676F006F016F029B
S11E01D86F037FFF667FFF65BD017B860DB1FCF527418646B1FCF52C0220D469
S11E01F38641B1FCF52F128639B1FCF52C0220C48630B1FCF52F0220BBB6FCBA
S11E020EF5BD018281392E04803020028037A7008CFF6A27030820BACEFF674B
S11E022920F98CFF6727208CFF68272E8CFF69273DCFEFF67A600E6038D49B774
S11E0244FF65A602E6018D40B7FF6639E600A6018D36B7FF65E602A6038D2DD0
S11E025FB7FF663909A600E6038D22B7FF66A602E6018D19B7FF653909A60090
S11E027A09E6008D0DB7FF66A603E6028D04B7FF6539585858581B398603B756
S11E0295FCF48681B7FCF48610BD01825FF7EC1386FFB7EC128635B7EC13399D
S11E02B0BD03298654BD01828654BD01828643BD0182BD032939BD0329864632
S11E02C8BD01828649BD0182864ERD01828620BD018239BD03298645BD01829E
S11E02E6864ERD0182864CRD01828641BD01828643BD01828645BD0182BD03FB
S11E03012939B6FF6CB7FF660CB602B9FF6BB7FF657E01320CB6FF66B2FF6C77
S11E031CRD018DB6FF65B2FF6BB018D39860DBD0182860ARD0182398646B164
S1170337FCF527078650B1FCF526037E0168B6FCF57E01627F
S9030000FC

!

5 MANUAL DEL USUARIO.

5.1 MANUAL DEL USUARIO.

Se describe a continuación por medio de un -- cuadro la secuencia que se debe seguir para la transferencia de información entre el Exorciser y el Kit, dónde la primera columna indica los tiempos en que se debe realizar la operación; la segunda indica la operación que se tecléo; la tercera indica lo que se ve en el CRT y en la cuarta se citan los comentarios.

Los intervalos entre cada tiempo de la primera columna no son iguales.

TIEMPO	TECLADO	CRT	DESCRIPCION
T ₀	100;G		Iniciar el proceso a partir de la dirección 100.
T ₁		100;G	El CRT desplegará la información recibida.
T ₂		ENLACE DI ?	Se identifica el programa y pregunta por dirección inicial.
T ₃ (nota 1)	####CR		Dar información preguntada seguida de CR.
T _{3'}		####CR	Información recibida.
T ₄ (nota 1)		DF ?	¿Dirección final a transmitir?
T ₅	####CR		Dar información preguntada seguida de CR.
T _{5'}		####CR	Información recibida.
T ₆		;	Espera orden de ejecución o rectificar la DI y DF.
T ₇	G		Iniciar la transferencia de caracteres al Kit.
T _{7'}		G	Información recibida.
T ₈		TTC	Indica fin de la transmisión o espera de comandos.
T ₉	*		Dar comando.
T _{9'}		*	Comando recibido, si es F pasar a T ₁₀ , de otra forma a T ₈ .
T ₁₀		FIN	Fin del enlace.
T ₁₁	EXBUG :		Se está dentro del monitor.

dígito hexadecimal.

* letra.

Nota 1 para proporcionar DI y DF ver protocolo para programar el enlace (4.3.1.).

6 ANALISIS DE RESULTADOS.

6.1 LIMITACIONES DEL PROGRAMA ENLACE.

Cuando el medio que une a los dos sistemas pc's es de dimensiones tales que constituyen una línea de transmisión hace que el programa Enlace sea definitivamente inadecuado, ya que los efectos de este problema son muy complejos por lo que no se estudiarán las alternativas para resolverlos, sin embargo lo que más comúnmente se hace cuando se esta trabajando con líneas telefónicas es auxiliarse con el empleo de MODEM'S.

Cabe mencionar que en este enlace de dos sistemas inteligentes se pueden diseñar técnicas muy buenas para evitar los problemas que se presentan en una línea de comunicación.

Otra de sus limitaciones es que no se debe - -
solicitar este programa residente en el Exorciser cuando se -
estén ocupando varias localidades del stack, ya que las loca-
lidades FF65 a FF6C de éste se ocupan para guardar la direc-
ción presente y final de la transmisión de caracteres al Kit-
6800.

Este problema se puede evitar si se conocen -
seis localidades de memoria RAM (para MG1, MG2, MG3, MG4, DIH
y DIL) que no sean accesadas en ningún tiempo, ya sea al - -
escribir un programa en memoria o al mandarlo a ejecutar, ni
tampoco por la operación propia del stack al estar procesando
un programa.

6.2 POSIBILIDAD DE EXPANSION DEL PROGRAMA ENLACE.

En este programa de enlace se ve la alternativa de poder aprovecharlo en toda su capacidad, es decir, que cuando se hayan transmitido todos los caracteres al Kit 6800, se puede ahora transmitir comandos del Exorciser al Kit 6800 para llevar a cabo funciones de igual o mayor importancia que la realizada. Como ejemplo se muestran los siguientes comandos:

COMANDO	DESCRIPCION
F	Tanto el Exorciser como el Kit dan por terminado el enlace saltando cada uno a sus monitores.
B	El Kit graba en un chip de memoria iniciando en la localidad 0000 los caracteres recibidos procedentes del Exorciser.
M-DM	El Kit mueve los caracteres recibidos a otra - área de memoria a partir de la dirección que - indica "DM".
D	Despliega en el CRT del Kit los caracteres recibidos.

COMANDO

D E S C R I P C I O N

G;DG Los caracteres recibidos son tomados como un -
programa iniciándose su ejecución donde indica
"DG".

E Prepara al CRT del Kit para recibir información
directa de caracter por caracter, procedente -
del teclado del Exorciser.

CH Cambia el sentido de transmisión.

6.3 CONFIABILIDAD DEL PROGRAMA.

Con la finalidad de conocer la cantidad de caracteres alterados al encender o apagar aparatos por la existencia de equipos de inducción o por cualquier otra fuente de ruidos que se tienen en el laboratorio, se hizo un trabajo con igual funcionamiento que el programa ENLACE.

Este trabajo consiste de un programa para transmitir caracteres del Kit al Exorciser. En el Kit se genera y transmite el caracter A5, quedando en espera de la información de que ya ha sido recibido, para después hacer otro envío solo que es el negado del caracter anterior (5A). Esta forma se repite hasta terminar la transmisión.

Para tener una buena apreciación se hizo que la transmisión fuera bastante grande (16 M bytes) y mientras duraba ésta, se realizaron con mayor frecuencia todas las operaciones que suceden en laboratorio, para así producir error e identificar que agente era el que lo introducía en la transmisión.

Los experimentos fueron los siguientes:

Primer caso.- Se utilizaron dos metros de cable EKC de 6 pares para unir los dos μ c's, se inició la transferencia, durante ésta se encendieron varias veces los equipos como osciloscopio, fuentes de poder, lámparas fluorescentes que se encontraban en el laboratorio, de esta forma finalizó la transferencia sin registrarse un error.

Segundo caso.- El cable EKC se aumentó de longitud a 13 metros, provocando en la transmisión cualquier ruido (simplemente encendido del osciloscopio) introdujera un caracter alterado, además de presentarse pulsos en la línea de control de tal forma que indicaban que había otro caracter aparte del enviado.

Estos dos casos permiten concluir que el programa Enlace funciona correctamente para distancias pequeñas entre μ c's que se transmiten información. Por lo que para el caso específico de la transmisión del μ c Exorciser al μ c Kit 6800 en que solo hay una distancia entre los dos menor a 2 metros se considera que es adecuado tal y como se encuentra el programa Enlace, no justificándose la introducción de técnicas de detección y corrección de error que disminuyan la velocidad de transmisión.

a) Programa para el primer caso.

El siguiente listado de programa se utilizó para transmitir un caracter y esperar que el receptor lo - regrese, se comprueba que el caracter no haya sido alterado en el caso de que fue alterado un contador lo irá registrando, en el caso de estar correcto se transmitirá el negado del caracter anterior y se repetirá hasta transmitir los 16 M bytes. Al final de éste, se proporciona el listado del lado receptor.

```

00001          NAM      EXOR
00002          OPT      0
00003 0040     ORG      $0040
00004          *****
00005          *        PROGRAMA PARA OBTENER UNA ESTADISTICA DE LA
00006          *        TRANSMISION DE CARACTERES ENTRE DOS MICROPR
00007          *        CESADORES.
00008          *
00009          *        DEFINICION DE VARIABLES
00010          *
00011          *        FF63 LUGAR USADO COMO CONTADOR MAS SIGNIFI
00012          *        FF64 REGISTRO TEMPORAL
00013          *        FF65 REGISTRO DE ERRORES
00014          *        X  CONTADOR MENOS SIGNIFICATIVO
00015          *
00016          *        COMENTARIOS
00017          *
00018          *        LOS CONTADORES SE INICIAN A SU MAXIMA CAPA-
00019          *        CIDAD EXCEPTO EL CONTADOR DE ERRORES , QUE
00020          *        INICIA EN CEROS. AL EXISTIR UN ERROR SE IMP
00021          *        ME UN NUMERO DE OCHO DIGITOS , DE IZQ. A DE
00022          *        SEIS PRIMEROS SON LOS CONTADORES DE LLEGADA
00023          *        LO QUE HAY QUE COMPLEMENTAR A 1'S , LOS BIT
00024          *        TANTES SE TRATA DEL CARACTER  RECIBIDO.
00025          *        AL TERMINAR LA TRANSMISION APARECERA UN
00026          *        SEGUIDA DE LA CANTIDAD DE ERRORES OBTENIDA.
00027          *
00028          *****
00029          *
00030 0040 7F EC13 INICIO CLR      $EC13    INICIALIZAR PIA
00031 0043 7F EC12          CLR      $EC12    PROGRAMAR COMO ENTRADA EL PUE
00032 0046 86 35          LDA A  $35      PROGRAMAR COMO SALIDA LA LINE
00034 0048 B7 EC13          STA A  $EC13    Y PERMANECIENDO EN CERO LOGIC
00035 004B 86 03          LDA A  $03      INICIALIZAR ACIA
00036 004D B7 FCF4          STA A  $FCF4   HACER UN BORRADO TOTAL DE LOS
00037 0050 86 01          LDA A  $01      AJUSTAR EL RELOJ ENTRE UNO
00038 0052 B7 FCF4          STA A  $FCF4
00039 0055 86 10          LDA A  $10      INDICAR INICIACION AL CRT
00040 0057 8D 64          BSR      TCAA1
00041 0059 7D EC13 CARA    TST      $EC13   ESPERAR INDICACION DE LLEGADA
00042 005C 2A FR          BPL      CARA
00043 005E B6 EC12          LDA A  $EC12   PONERLO EN A
00044 0061 B1 47          CMP A  $47     ES EL COMANDO G
00045 0063 26 F4          BNE      CARA   NO IR A ESPERAR AL OTRO CARAC
00046 0065 7F FF65          CLR      $FF65  SI INICIALIZAR LOS CONTADORES
00047 0068 7F FF63          CLR      $FF63
00048 006B 73 FF63          COM      $FF63  CARGAR EL SEGUNDO CONTADOR
00049 006E C6 A5          LDA B  $A5
00050 0070 8D 68          BSR      SEPARA
00051 0072 CE FFFF INIC    LDX      $FFFF   CARGAR EL SEGUNDO CONTADOR
00052 0075 8D 27 OTRO     BSR      LLEGO   IR A SUBROUTINA PARA CONTESTAR
00053 0077 11          CBA
00054 0078 27 05          BEQ      CONT   SI ES IGUAL CONTINUA
00056 007A 8D 43          BSR      TCA    IMPRIMIR LA INFORMACION DEL E

```

00057	007C	7C	FF65		INC	\$FF65	INCREMENTAR EL CONTADOR DE ER
00058	007F	09		CONT	DEX		DECREMENTAR EL CONTADOR DE LL
00059	0080	27	03		BEQ	VUELTA	TERMINO UNA VUELTA EL PRIMER
00060	0082	53			COM B		ALTERNAR LA REFERENCIA.
00061	0083	20	F0		BRA	OTRO	
00062	0085	7A	FF63	VUELTA	DEC	\$FF63	DECREMENTAR EL SEGUNDO CONTAD
00063	0088	27	03		BEQ	SALIDA	FIN DE LA TRANSMISION
00064	008A	53			COM B		
00065	008B	20	E5		BRA	INIC	
00066	008D	8D	22	SALIDA	BSR	FIN	TRANSMITIR LA CANTIDAD DE ERR
00067	008F	C6	3D		LDA B	\$3D	CONTESTAR POR ULTIMA VEZ AL K
00068	0091	F7	FBC9		STA B	\$FBC9	
00069	0094	C6	35		LDA B	\$35	
00070	0096	F7	FBC9		STA B	\$FBC9	
00071	0099	8D	3F		BSR	SEPARA	
00072	009B	7E	F000		JMP	\$F000	
00073	009E	86	3D	LLEGO	LDA A	\$3D	PEDIR OTRO CARACTER
00074	00A0	B7	EC13		STA A	\$EC13	TRANSMITIR UN PULSO AL OTRO M
00076	00A3	86	35		LDA A	\$35	
00077	00A5	B7	EC13		STA A	\$EC13	
00078	00AB	7D	EC13	CONTE	TST	\$EC13	ESPERAR CONTESTACION
00079	00AB	2A	FB		RPL	CONTE	
00080	00AD	B6	EC12		LDA A	\$EC12	YA LLEGO PONERLO EN A
00081	00B0	39			RTS		
00082	00B1	8D	27	FIN	BSR	SEPARA	
00083	00B3	86	45		LDA A	\$45	PONER UNA E EN EL CRT
00084	00B5	8D	45		BSR	TCAA	
00085	00B7	B6	FF65		LDA A	\$FF65	PONER EN EL CRT LA CANTIDAD D
00087	00BA	8D	27		BSR	TCAC	
00088	00BC	39			RTS		
00089	00BD	20	3D	TCAA1	BRA	TCAA	
00090	00BF	36		TCA	FSH A		SALVAR A
00091	00C0	86	20		LDA A	\$20	TRANSMITIR ESPACIO AL CRT
00092	00C2	8D	38		BSR	TCAA	
00093	00C4	B6	FF63		LDA A	\$FF63	IMPRIMIR EL SEGUNDO CONTADOR
00094	00C7	8D	1A		BSR	TCAC	
00095	00C9	FF	FF63		STX	\$FF63	
00096	00CC	B6	FF63		LDA A	\$FF63	IMPRIMIR EL PRIMER CONTADOR
00097	00CF	8D	12		BSR	TCAC	
00098	00D1	B6	FF64		LDA A	\$FF64	
00099	00D4	8D	0D		BSR	TCAC	
00100	00D6	32			FUL A		
00101	00D7	8D	0A		BSR	TCAC	IMPRIMIR A
00102	00D9	39			RTS		
00103	00DA	B6	0D	SEPARA	LDA A	\$0D	IMPRIMIR LF
00104	00DC	8D	1E		BSR	TCAA	
00105	00DE	B6	0A		LDA A	\$0A	IMPRIMIR CR
00106	00E0	8D	1A		BSR	TCAA	
00107	00E2	39			RTS		
00108	00E3	37		TCAC	FSH B		
00109	00E4	16			TAD		
00110	00E5	44			LSR A		CONVERTIR LA SEGUNDA POSICION
00111	00E6	44			LSR A		
00112	00E7	44			LSR A		

PAGE 003 EXOR

00113	00E8	44		LSR	A		
00114	00E9	8D	07	BSR		CONTRA	
00115	00EB	C4	0F	AND	B	000F	
00116	00ED	17		TBA			
00117	00EE	8D	02	BSR		CONTRA	
00118	00F0	33		PUL	B		
00119	00F1	39		RTS			
00120	00F2	81	09	CONTRA	CMP	A	009
							CONVERTIR NUMEROS A HEXADECIM
00121	00F4	2E	04	BGT		LET	
00122	00F6	8B	30	ADD	A	0030	SUMAR 30 A LOS NUMEROS
00123	00F8	20	02	BRA		TCAA	
00124	00FA	8B	37	LET	ADD	A	0037
							SUMAR 31 A LAS LETRAS
00125	00FC	37		TCAA	FSH	B	
00126	00FD	F6	FCF4	TCE	LDA	B	0FCF4
							LEER ESTATUS DEL ACIA
00127	0100	54		LSR	B		
00128	0101	54		LSR	B		
00129	0102	24	F9	BCC		TCE	
00130	0104	B7	FCF5	STA	A	0FCF5	
00131	0107	33		PUL	B		
00132	0108	39		RTS			
00133				END			

TOTAL ERRORS 00000

00001				NAM	ETICA	
00002				OFT	0	
00003	0060			ORG	00060	
00004	0060	7F FBC9	INICIA	CLR	0FBC9	INICIALIZAR PIA
00005	0063	7F FBC8		CLR	0FBC8	
00006	0066	73 FBC8		COM	0FBC8	
00007	0069	86 35		LDA A	0035	
00008	006B	B7 FBC9		STA A	0FBC9	
00009	006E	86 B8		LDA A	00B8	
00010	0070	8D 20		BSR	TCP	
00011	0072	CE FFFF		LDX	0FFFF	
00012	0075	7F FF65		CLR	0FF65	
00013	0078	73 FF65		COM	0FF65	
00014	007B	86 5A		LDA A	005A	
00016	007D	8D 13	OTRO	BSR	TCP	
00017	007F	09		DEX		DECREMENTAR PRIMER CONTADOR
00018	0080	27 03		BEQ	VUELTA	
00019	0082	43	TRANS	COM A		NEGARAR A
00020	0083	20 FB		BRA	OTRO	
00021	0085	7A FF65	VUELTA	DEC	0FF65	DECREMENTAR SEGUNDO CONTADOR
00022	0088	26 03		BNE	INICX	
00023	008A	7E F000		JMP	0F000	FIN IR A MONITOR
00024	008D	CE FFFF	INICX	LDX	0FFFF	CARGAR DE NUEVO EL PRIMER CON
00025	0090	20 F0		BRA	TRANS	
00026	0092	B7 FBC8	TCP	STA A	0FBC8	SUBROUTINA PARA TRANSMITIR POR
00027	0095	C6 3D		LDA B	003D	
00029	0097	F7 FBC9		STA B	0FBC9	
00030	009A	C6 35		LDA B	0035	
00031	009C	F7 FBC9		STA B	0FBC9	
00032	009F	7D FBC9	CONTES	TST	0FBC9	
00033	00A2	2A FB		BFL	CONTES	
00034	00A4	F6 FBC8		LDA B	0FBC8	
00035	00A7	39		RTS		
00036				END		

TOTAL ERRORS 00000

b) Programa para el segundo caso.

El siguiente listado es el mismo que el del inciso (a), estando la diferencia en el programa receptor el cual se cambió en el caracter recibido por el negado - ya que para poder transmitir en los 13 metros de línea se necesitaba de impulsadores los cuales fueron inversores - 7404. Mostrándose a continuación ambos listados.

PA 001 EXOR

```
00001          NAM      EXOR
00002          OPT      0
00003 0040     ORG      $0040
00004          *****
00005          *          PROGRAMA PARA OBTENER UNA ESTADISTICA DE LA
00006          *          TRANSMISION DE CARACTERES ENTRE DOS MICROPR
00007          *          CESADORES.
00008          *          LA LINEA QUE SE UTILIZO PARA UNIR LOS D
00009          *          CESADORES FUE DE 15 METROS POR LO QUE FUE N
00010          *          PONERLE IMPULSADORES (INVERSORES 7404).
00011          *
00012          *          DEFINICION DE VARIABLES
00013          *
00014          *          FF63 LUGAR USADO COMO CONTADOR MAS SIGNIFI
00015          *          FF64 REGISTRO TEMPORAL
00016          *          FF65 REGISTRO DE ERRORES
00017          *          X CONTADOR MENOS SIGNIFICATIVO
00018          *
00019          *          COMENTARIOS
00020          *
00021          *          LOS CONTADORES SE INICIAN A SU MAXIMA CAPA-
00022          *          CIDAD EXCEPTO EL CONTADOR DE ERRORES , QUE
00023          *          INICIA EN CEROS. AL EXISTIR UN ERROR SE IMP
00024          *          ME UN NUMERO DE OCHO DIGITOS , DE IZQ. A DE
00025          *          SEIS PRIMEROS SON LOS CONTADORES DE LLEGADA
00026          *          LO QUE HAY QUE COMPLEMENTAR A 1'S , LOS BIT
00027          *          TANTES SE TRATA DEL CARACTER RECIBIDO.
00028          *          AL TERMINAR LA TRANSMISION APARECERA UN
00029          *          SEGUIDA DE LA CANTIDAD DE ERRORES OBTENIDA.
00030          *
00031          *****
00032          *
00033 0040 7F EC13 INICIO CLR      $EC13      INICIALIZAR PIA
00034 0043 7F EC12          CLR      $EC12      PROGRAMAR COMO ENTRADA EL PUE
00035 0046 B6 35          LDA A  $035      PROGRAMAR COMO SALIDA LA LINE
00037 0048 B7 EC13          STA A  $EC13      Y PERMANECIENDO EN CERO LOGIC
00038 004B B6 03          LDA A  $003      INICIALIZAR ACIA
00039 004D B7 FCF4          STA A  $FCF4      HACER UN BORRADO TOTAL DE LOS
00040 0050 B6 01          LDA A  $001      AJUSTAR EL RELOJ ENTRE UNO
00041 0052 B7 FCF4          STA A  $FCF4
00042 0055 B6 10          LDA A  $010      INDICAR INICIACION AL CRT
00043 0057 BD 64          BSR      TCAA1
00044 0059 7D EC13 CARA   TST      $EC13      ESPERAR INDICACION DE LLEGADA
00045 005C 2A FB          BPL      CARA
00046 005E B6 EC12          LDA A  $EC12      PONERLO EN A
00047 0061 B1 47          CMP A  $47      ES EL COMANDO G
00048 0063 26 F4          BNE      CARA      NO IR A ESPERAR AL OTRO CARAC
00049 0065 7F FF65          CLR      $FF65      SI INICIALIZAR LOS CONTADORES
00050 0068 7F FF63          CLR      $FF63
00051 006B 73 FF63          COM      $FF63      CARGAR EL SEGUNDO CONTADOR
00052 006E C6 A5          LDA B  $0A5
00053 0070 BD 68          BSR      SEPARA
00054 0072 CE FFFF INIC  LDX      $FFFF      CARGAR EL SEGUNDO CONTADOR
00055 0075 BD 27 OTRO   BSR      LLEGO      IR A SUBROUTINA PARA CONTESTAR
```

00056	0077	11		CBA		COMPARAR CON LA REFERENCIA EL
00057	0078	27	05	BEQ	CONT	SI ES IGUAL CONTINUA
00059	007A	8D	43	BSR	TCA	IMPRIMIR LA INFORMACION DEL E
00060	007C	7C	FF65	INC	0FF65	INCREMENTAR EL CONTADOR DE ER
00061	007F	09		DEX		DECREMENTAR EL CONTADOR DE LL
00062	0080	27	03	BEQ	VUELTA	TERMINO UNA VUELTA EL PRIMER
00063	0082	53		COM B		ALTERNAR LA REFERENCIA.
00064	0083	20	F0	BRA	OTRO	
00065	0085	7A	FF63	VUELTA DEC	0FF63	DECREMENTAR EL SEGUNDO CONTAD
00066	0088	27	03	BEQ	SALIDA	FIN DE LA TRANSMISION
00067	008A	53		COM B		
00068	008B	20	E5	BRA	INIC	
00069	008D	8D	22	SALIDA BSR	FIN	TRANSMITIR LA CANTIDAD DE ERR
00070	008F	C6	3D	LDA B	003D	CONTESTAR POR ULTIMA VEZ AL K
00071	0091	F7	FBC9	STA B	0FBC9	
00072	0094	C6	35	LDA B	0035	
00073	0096	F7	FBC9	STA B	0FBC9	
00074	0099	8D	3F	BSR	SEPARA	
00075	009B	7E	F000	JMP	0F000	
00076	009E	86	3D	LLEGO LDA A	003D	PEDIR OTRO CARACTER
00077	00A0	B7	EC13	STA A	0EC13	TRANSMITIR UN PULSO AL OTRO M
00079	00A3	86	35	LDA A	0035	
00080	00A5	B7	EC13	STA A	0EC13	
00081	00AB	7D	EC13	CONTES TST	0EC13	ESPERAR CONTESTACION
00082	00AB	2A	FB	BFL	CONTES	
00083	00AD	B6	EC12	LDA A	0EC12	YA LLEGO PONERLO EN A
00084	00B0	39		RTS		
00085	00B1	8D	27	FIN BSR	SEPARA	
00086	00B3	86	45	LDA A	0045	PONER UNA E EN EL CRT
00087	00B5	8D	45	BSR	TCAA	
00088	00B7	B6	FF65	LDA A	0FF65	PONER EN EL CRT LA CANTIDAD D
00090	00BA	8D	27	BSR	TCAC	
00091	00BC	39		RTS		
00092	00BD	20	3D	TCAA1 BRA	TCAA	
00093	00BF	36		TCA PSH A		SALVAR A
00094	00C0	86	20	LDA A	0020	TRANSMITIR ESPACIO AL CRT
00095	00C2	8D	38	BSR	TCAA	
00096	00C4	B6	FF63	LDA A	0FF63	IMPRIMIR EL SEGUNDO CONTADOR
00097	00C7	8D	1A	BSR	TCAC	
00098	00C9	FF	FF63	STX	0FF63	
00099	00CC	B6	FF63	LDA A	0FF63	IMPRIMIR EL PRIMER CONTADOR
00100	00CF	8D	12	BSR	TCAC	
00101	00D1	B6	FF64	LDA A	0FF64	
00102	00D4	8D	0D	BSR	TCAC	
00103	00D6	32		PUL A		
00104	00D7	8D	0A	BSR	TCAC	IMPRIMIR A
00105	00D9	39		RTS		
00106	00DA	B6	0D	SEPARA LDA A	000D	IMPRIMIR LF
00107	00DC	8D	1E	BSR	TCAA	
00108	00DE	86	0A	LDA A	000A	IMPRIMIR CR
00109	00E0	8D	1A	BSR	TCAA	
00110	00E2	39		RTS		
00111	00E3	37		TCAC PSH B		
00112	00E4	16		TAB		CONVERTIR LA SEGUNDA POSICION

00113	00E5	44		LSR	A		
00114	00E6	44		LSR	A		
00115	00E7	44		LSR	A		
00116	00E8	44		LSR	A		
00117	00E9	8D	07	BSR		CONTRA	
00118	00EB	C4	0F	AND	B	000F	
00119	00ED	17		TBA			
00120	00EE	8D	02	BSR		CONTRA	
00121	00F0	33		PUL	B		
00122	00F1	39		RTS			
00123	00F2	B1	09	CONTRA	CMP	A	009
00124	00F4	2E	04		BGT		LET
00125	00F6	8B	30		ADD	A	0030
00126	00F8	20	02		BRA		TCAA
00127	00FA	8B	37	LET	ADD	A	0037
00128	00FC	37		TCAA	PSH	B	
00129	00FD	F6	FCF4	TCE	LDA	B	0FCF4
00130	0100	54			LSR	B	
00131	0101	54			LSR	B	
00132	0102	24	F9		BCC		TCE
00133	0104	B7	FCF5		STA	A	0FCF5
00134	0107	33			PUL	B	
00135	0108	39			RTS		
00136					END		

TOTAL ERRORS 00000

00001				NAM	ETICA	
00002				OPT	0	
00003	0060			ORG	00060	
00004	0060	7F	FBC9	INICIA	CLR	0FBC9 INICIALIZAR PIA
00005	0063	7F	FBC8		CLR	0FBC8
00006	0066	73	FBC8		COM	0FBC8
00007	0069	86	35		LDA A	0035
00008	006B	B7	FBC9		STA A	0FBC9
00009	006E	86	47		LDA A	0047
00010	0070	8D	20		BSR	TCP
00011	0072	CE	FFFF		LDX	0FFFF
00012	0075	7F	FF65		CLR	0FF65
00013	0078	73	FF65		COM	0FF65
00014	007B	86	A5		LDA A	00A5
00016	007D	8D	13	OTRO	BSR	TCP
00017	007F	09			DEX	
00018	0080	27	03		BEQ	VUELTA
00019	0082	43		TRANS	COM A	NEGARAR A
00020	0083	20	F8		BRA	OTRO
00021	0085	7A	FF65	VUELTA	DEC	0FF65
00022	0088	26	03		BNE	INICX
00023	008A	7E	F000		JMP	0F000
00024	008D	CE	FFFF	INICX	LDX	0FFFF
00025	0090	20	F0		BRA	TRANS
00026	0092	B7	FBC8	TCP	STA A	0FBC8
00027	0095	C6	3D		LDA B	003D
00029	0097	F7	FBC9		STA B	0FBC9
00030	009A	C6	35		LDA B	0035
00031	009C	F7	FBC9		STA B	0FBC9
00032	009F	7D	FBC9	CONTES	TST	0FBC9
00033	00A2	2A	FB		BFL	CONTES
00034	00A4	F6	FBC8		LDA B	0FBC8
00035	00A7	39			RTS	
00036					END	

TOTAL ERRORS 00000

7 BIBLIOGRAFIA.

Capítulo 1.

- 1.2 Referencia 5, pag. 5.
 Referencia 1, pag. 110.
 Referencia 6, pag. vii.
- 1.3 Referencia 6, pag. vii.
 Referencia 1, pag. 61 y 80.
 Referencia 2, pag. ii.
 Referencia 5, pag. 4 y 8.
- 1.4 Referencia 1, pag. 18 y 113.
 Referencia 7, pag. 30.
 Referencia 3.
- 1.5 Referencia 6, pag. vii.
- 1.7 Referencia 2, pag. 1 y 4.
 Referencia 5, pag. 31 y 83.
 Referencia 6.

Capítulo 2.

- 2.1 Referencia 1, pag. 68.
 Referencia 6, pag. 44.
- 2.2 Referencia 2, pag. 3-8.
- 2.3 Referencia 2, pag. 3-8.

Capítulo 3.

- Referencia 1, pag. 68.

7.1 REFERENCIAS.

- 1 Laurence Altman S.: "Microprocessors".
 Electronics book series. Ed. Electronics.
- 2 INTEL 8080 Microcomputer Systems Mser's
 Manual. September 1975.

- 3 Apuntes del curso: "Microprocesadores:
Teoría y Aplicaciones". Del Centro de
Educación Continua de la División de
Estudios Superiores de la F.I., UNAM.

- 4 Varios autores: "Microprocesadores y
Microcomputadores". Serie: Mundo Electr^ó
nico. Ed. Marcombo, S.A. España, 1976.

- 5 Tecnología de Microprocesadores R.C.A.

- 6 Daniel R. Mc. Glynn: "Microprocessors:
Technology, Architecture and Applications"
Ed. Wiley Interscience. 1976.

- 7 Martin Healey: "Minicomputers and
Microprocessors" Ed. Hodder and Stoughton.
Great Britain, 1976.

