

11
2 Gen



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

SISTEMA DE MICROPROCESAMIENTO
PARA ADQUISICION DE DATOS, SMAD

TESIS PROFESIONAL

QUE PARA OBTENER EL TITULO DE:
INGENIERO EN COMPUTACION

P R E S E N T A N :

MIGUEL GONZALEZ DURAN
RUBEN LIZARDI CERVERA
ENRIQUE RIVERA MEDINA
FRANCISCO VERDUZCO MARTINEZ

DIR. ING. JUAN B. MARTINEZ GARCIA



MEXICO, D. F.

1985



Universidad Nacional
Autónoma de México

UNAM



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I n t r o d u c c i ó n .

La idea de esta tesis surgió a finales del semestre en que llevamos la materia de "Microcomputadoras" .

Construir un sistema de microcomputación orientado hacia una aplicación particular fue la primera idea que tuvimos . La cristalización de esta idea es el prototipo que se presenta en esta tesis : el Sistema de Microprocesamiento Para Adquisición de Datos , un sistema que continuamente esté tomando información de un medio analógico y grabándola hacia cinta magnética para su posterior análisis , con posibilidades de tener capacidad de control sobre el medio analógico en que esté inscrito .

La meta de la tesis fue la construcción de un prototipo del sistema SMAD que tuviera un posible grado de factibilidad comercial , para la cual , durante su desarrollo, se emplearon los materiales de más fácil disponibilidad en el mercado mexicano , empezando por el circuito integrado principal , el microprocesador Z-80 A, alrededor del cual se basa el SMAD . El microprocesador Z-80 A fue seleccionado por su facilidad de ser adquirido en México, sencillo manejo e interconexión y su precio accesible (factor que redundó en la posible comercialización del SMAD) .

La tesis que presentamos está estructurada de la siguiente forma : en los primeros capítulos se describe lo que es una computadora , un microprocesador : su historia y características principales . A continuación describimos lo que es , en forma general , el Sistema de Microprocesamiento Para Adquisición de Datos , SMAD . Los distintos módulos que comprende el SMAD son descritos en los siguientes capítulos , desde los puntos de vista del "hardware" y el "software" : su interconexión física y lógica con los demás elementos del sistema .

En un capítulo posterior se describe la posibilidad de ampliar las capacidades del SMAD hacia las funciones de control , pasando de esta forma de un sistema de adquisición de datos a un sistema de adquisición y control .

El siguiente tema describe las características generales de los distintos tipos de transductores , etapa que no se contempla en la construcción física del prototipo .

Finalmente se da un informe de los costos de construcción del prototipo .

En los apéndices se proporciona la documentación básica de los principales circuitos usados . Se incluye también un glosario de los términos ingleses más frecuentemente usados en el trabajo .

Cuando emprendimos la labor de construcción de nuestro prototipo sabíamos la teoría de lo que comenzábamos a realizar , pero nuestra experiencia práctica era poco menos que nula . En esas condiciones comenzamos el SMAD .

La tarjeta de microprocesamiento que presentamos ahora es el fruto de otras dos tarjetas desechadas , desarrolladas con más deseo que habilidad ; la primera de ellas ahora la vemos a la distancia horrorizados ; la cabellera de la espantosa y petrificante Medusa bien podría ser .

Claro ! , no pretendemos que la actual tarjeta sea un modelo de prolijidad , una obra de arte sobre el bien soldar , pero observando las mencionadas " australopitécidas " tarjetas se destaca un ligero progreso .

Con el trabajo que hemos desarrollado aprendimos muchas cosas . Tal vez la más importante de ellas fue la del trabajo en equipo , la fragmentación e integramiento de las distintas actividades . Nos conocimos individualmente más , aprendimos a tolerar las debilidades y a respetar las habilidades que cada uno tiene .

También , en este momento , sabemos un poco más de las computadoras , desde el enfoque de " hacedores " ; nunca olvidaremos esa tarde calurosa en que , al conectar nuestro prototipo a una terminal , empezó a responder , frente al ruego silencioso de nuestras miradas , al nervioso teclear de uno de nosotros .

I n d i c e .

C A P I T U L O I .

LA COMPUTADORA .

1 .- HISTORIA .	1
2 .- ARQUITECTURA .	6
3 .- PROGRAMACION .	9
A . Sistemas Operativos .	
B . Ensambladores .	
C . Macroprocesadores .	
D . Cargadores .	
E . Compiladores .	
F . Programas de Aplicación .	
G . Programas del Usuario .	

C A P I T U L O II .

EL MICROPROCESADOR Z-80 .

1 .- HISTORIA .	12
2 .- ARQUITECTURA .	19
A . Introducción .	
B . Unidad Lógica-aritmética .	
C . Registro de instrucciones .	
Control del procesador central .	
D . Registros del microprocesador Z-80 .	
E . Señales de interfaz del Z-80 .	
F . Ciclos del Z-80 .	

3 .-	PROGRAMACION DEL Z-80 .	32
	A .	Introducción .
	B .	Modos de direccionamiento .
	C .	Conjunto de instrucciones del Z-80 .

C A P I T U L O I I I .

SISTEMA DE MICROPROCESAMIENTO PARA ADQUISICION DE DATOS

 * S.M.A.D. * .

1 .-	SISTEMAS DE ADQUISICION DE DATOS .	39
	A .	Introducción .
	B .	El sistema general de adquisición de datos .
	C .	Uso de la computadora digital en los sistemas de adquisición de datos .
2 .-	CARACTERISTICAS DEL SMAD .	45
	A .	Descripción general .
	B .	Especificaciones técnicas .

C A P I T U L O I V .

MODULO DE MICROCOMPUTACION .

1 .-	INTRODUCCION .	51
2 .-	DESCRIPCION GENERAL .	51
3 .-	DESCRIPCION PARTICULAR .	52
	A .	Generación del reloj .
	B .	Circuito de reiniciación (RESET) .
	C .	Circuito de espera (WAIT) .
	D .	Memoria y decodificación de entrada/salida .

- E . Circuito USART 8251 A .
 - E1 . Descripción general .
 - E2 . Descripción funcional .
 - E3 . Operación general del USART .
 - E4 . Programación del 8251 A .
 - E5 . Conexión del 8251 A con el SMAD .
 - E6 . Software para el 8251 A .
- F . Circuito PPI 8255 A .
 - F1 . Descripción general .
 - F2 . Descripción funcional .
 - F3 . Operación básica .

C A P I T U L O V .

MODULO DE RECEPCION DE DATOS .

- 1 .- DESCRIPCION FUNCIONAL . 89
 - A . Convertidor de conteo .
 - B . Convertidor de aproximaciones sucesivas .
 - C . Convertidor de comparación paralela .
 - D . Convertidor de doble ramba .
 - E . Multiplexaje analógico .
 - F . Circuitos de Sample-and-Hold .
- 2 .- ESTRUCTURA . 94
 - A . Introducción .
 - B . Acoplamiento del ADC 0832 al SMAD .

3 .-	CIRCUITO CONVERTIDOR ANALOGICO A DIGITAL .	98
A .	El ADC 0832 .	
A1 .	Descripción funcional .	
A2 .	La interfaz digital .	
A3 .	Consideraciones de referencia .	
A4 .	Entradas analógicas .	
A5 .	Ajustes opcionales .	
4 .-	CIRCUITO MULTIPLEXOR CD 4051 .	105
5 .-	CIRCUITO DE SAMPLE-AND-HOLD .	106
6 .-	PROGRAMACION PARA LA RECEPCION DE DATOS .	107
7 .-	EXPANSION DE CANALES DE ENTRADA .	112
C A P I T U L O VI .		
MODULO DE GRABACION DE INFORMACION .		
1 .-	INTRODUCCION A LA GRABACION DE INFORMACION	113
A .	Preliminares .	
B .	Diseño de un sistema digital de comunicaciones típico .	
2 .-	TECNICAS DE MODULACION .	117
A .	Introducción .	
B .	Comunicaciones digitales .	
B1 .	Manipulación por encendido y apagado .	
B2 .	Manipulación por corrimiento de frecuencias .	
B3 .	Manipulación por corrimiento de fase .	

3 .-	DETECCION DE SEÑALES BINARIAS .	125
	A .	Introducción .
	B .	Detección síncrona .
	C .	Detección de envolvente .
4 .-	MODULADORES / DEMODULADORES ('MODEMS')	130
	A .	Introducción .
	B .	Características .
	B1 .	Técnicas de modulación .
	B2 .	Velocidad de transmisión .
	B3 .	Relación de Señal / Ruido .
	B4 .	Tipo de transmisión .
	B5 .	Modo de transmisión .
	B6 .	Acomodamiento a la línea telefónica .
	B7 .	Método de detección de errores .
	B8 .	Tipo de interfaz con el computador .
	B9 .	Indicaciones en el panel frontal .
	B10 .	Alimentación y consumo .
5 .-	CASSETTE DE CINTA MAGNETICA .	139
	A .	Introducción .
	A1 .	Unidades de bobina .
	A2 .	Cartuchos de cinta .
	A3 .	Cassettes de cinta magnética .
	B .	Cintas de cassette y drives diseñados para uso de computadoras .
	C .	Grabación en cintas de audio para uso de computadoras .
	D .	Formatos de grabación .

6 .-	INTERFAZ DE LA GRABADORA .	146
	A .	Introducción .
	B .	Descripción general .
	C .	Descripción del circuito .
	C1 .	Modulación .
	C2 .	Demodulación .
7 .-	COMPONENTES ELECTRONICOS DEL CIRCUITO MODEM.	152
	A .	Componentes Modulador .
	B .	Componentes Demodulador .
	C .	Tarjetas de interfaz Terminal / Grabadora .
C A P I T U L O V I I .		
FUENTE DE ALIMENTACION .		
1 .-	INTRODUCCION .	157
2 .-	DISENO DEL FILTRO DE ENTRADA .	158
3 .-	CALCULO DEL CAPACITOR .	162
4 .-	EL RECTIFICADOR .	164
5 .-	TENSION INVERSA DE PICO PIV .	165
6 .-	CORRIENTE CONTINUA .	165
7 .-	EL TRANSFORMADOR .	166
8 .-	REGULADORES DE TENSION .	166
9 .-	ELECCION DEL REGULADOR .	170

C A P I T U L O VIII.

POSIBLE DESARROLLO DE FUNCIONES DE CONTROL .

1 .-	DESCRIPCION FUNCIONAL .	173
	A . Convertidores Digitales - Analógicos .	
	A1 . Convertidor Digital - Analógico de escalera .	
	B . Demultiplexores .	
2 .-	ESTRUCTURA .	174
3 .-	CIRCUITO DAC 0830/0831/0832 .	175
	A . Características del circuito .	
	A1 . Consideraciones Digitales .	
	A2 . Consideraciones Analógicas .	
4 .-	DEMULTIPLEXOR ANALOGICO .	181
5 .-	SOFTWARE .	182

C A P I T U L O IX .

TRANSDUCTORES .

1 .-	INTRODUCCION .	184
2 .-	TRANSDUCTORES	185
	A . El transductor de resistencia variable .	
	B . Medidores sin contacto .	
	C . El Transformador diferencial (LUDT) .	
	D . Transductores Capacitivos .	
	E . Transductores Piezoeléctricos .	
	F . Transductores Fotoconductivos .	
	G . Celda Fotovoltaica .	
	H . Medidor de Bridman .	
	I . Medidor Pirani por conductividad térmica .	
	J . El Alfatrón .	

- K . Anemómetro de hilo caliente .
- L . El termómetro de resistencia eléctrica .
- M . Termistores .
- N . El termómetro de cristal de cuarzo .
- N . Extensómetros eléctricos .
- O . Extensómetros eléctricos adheribles .
- P . Medidores de rotación .
- Q . El Syncro o Selsyn .
- R . El Resolutor Óptico .
- S . El Resolutor Óptico Absoluto .

C A P I T U L O X .

PROGRAMACION GENERAL DEL SMAD .

1 .- DESCRIPCION FUNCIONAL .

202

- A . Programa principal .
- B . Inicia .
- C . Muestra .
- D . Genpul .
- E . Finm .
- F . Fins .
- G . Delayx .
- H . Ddms .
- I . Memoria .
- J . Dext .
- K . Grabacas .
- L . Listagra .
- M . Lismogra .
- N . Inisrch .

N . Grabadat .
 O . Checksum .
 P . Conascii .
 Q . Ascii .
 R . Graba .
 S . Finarch .
 T . Leecass
 U . Detiniar .
 V . Lee .
 W . Leearch .
 X . Ledatsra .
 Y . Conasbin .
 Z . Checa .

2 .- LISTADO DEL PROGRAMA DEL SMAD . 215

C A P I T U L O XI .

COSTOS DEL SISTEMA S M A D .

1 .- COSTOS TOTALES . 226
 2 .- TARJETA SMAD 227
 3 .- TARJETA GRABADORA . 229
 4 .- FUENTE DE ALIMENTACION . 232
 5 .- TARJETA DE CONVERSION . 231
 6 .- VARIOS . 233

C O N C L U S I O N E S 234

GLOSARIO DE TERMINOS TECNICOS USADOS

APENDICE

BIBLIOGRAFIA

I . L A C O M P U T A D O R A .

1.- HISTORIA .

La historia de la computadora en cierto sentido es corta y no sobrepasa los cincuenta años . En otro sentido , su empleo se extiende hacia atrás en el tiempo hasta la primera vez que el hombre tomó unos cuantosguijarros o hizo marcas en la tierra a modo de instrumento auxiliar de su memoria incipiente .

Al recurrir a guijarros o marcas , lo que estaba haciendo era utilizar una medida física , tangible , para representar números y cantidades . Y ésa es , exactamente , la esencia fundamental de las computadoras : una cantidad puede ser representada por una cosa física . Una vez que los números pueden ser representados de esta manera , será posible manipularlos , hacer operaciones con ellos . De este estado , la siguiente implicación es la posibilidad de construir máquinas para realizar estas manipulaciones .

Tomando un punto de partida arbitrario nos remontamos al siglo XIX , con el inglés Charles Babbage , al que se le considera como inventor de la computadora (hasta donde resulta posible establecer el origen de un invento , no hay que olvidar las palabras de un pionero de la computación en la década de los cuarentas : " Todo ha estado fraguándose lentamente . Todos nos apoyamos en el trabajo de otros ") . Charles Babbage trató de construir , pues no lo logró debido

a las limitaciones tecnológicas de su época, una máquina " Analítica " a la que concebía como una computadora universal, es decir que pudiera realizar cualquier tipo de cálculo, suposición que sería demostrada matemáticamente cien años después por Alan Turing. Esta máquina tenía una serie de mecanismos de entrada de datos, una unidad aritmética (a la que Babbage llamó " fábrica "), una unidad de control que se aseguraba de que la computadora realizara solamente la tarea elegida, una memoria y unos mecanismos de salida para los resultados. Actualmente, las modernas computadoras no se han apartado mucho de este esquema. De esta máquina surgió también el concepto de la programación, lo que la máquina tenía que hacer; persona fundamental para el nacimiento de esto fue la hija de Lord Byron, Ada de Lovelace, que nos lesó también esa moderna ficción tan confortante para nuestras mentes: " La Máquina Analítica no tiene la pretensión de orisinar nada. Puede hacer todo lo que sepamos ordenarle que haga. Puede seguir análisis, pero no tiene capacidad de anticipar ningún tipo de relaciones analíticas ni verdades. Su misión es ayudarnos a disponer de algo que ya conocemos anteriormente ". Como se puede ver, la computadora ya peleaba sus primeras batallas.

Babbage murió en 1871, con un buen número de inventos en su haber, pero no con una máquina de computar y calcular que funcionara.

El siguiente adelanto de importancia en el campo se

llevó a cabo en los Estados Unidos por Herman Hollerith , que inventó la máquina calculadora que funcionaba con base a tarjetas perforadas . Hollerith trabajaba en la Oficina de Censos de E.U. y sus máquinas se usaron para el censo estadounidense de 1890 , agilizándolo en gran medida .

La historia de las computadoras empieza a activarse , siendo uno de sus detonadores las guerras . Las dos primeras guerras mundiales del civilizado siglo XX han sido los hitos impulsores de la moderna tecnología .

En la Segunda Guerra Mundial se encontró el problema de que fabricar y perfeccionar armamento implica grandes necesidades de cálculo ; no es extraño que en Alemania , Inglaterra y los Estados Unidos se hicieran grandes esfuerzos para perfeccionar máquinas que permitieran hacerlos más rápida y correctamente .

A partir de los años cuarenta empiezan a surgir máquinas computadoras en los referidos países .

Se cree que la primera computadora digital automática fue construida entre 1939 y 1940 por George Stibitz .

En Alemania , Friedrich Zuse construye sus Z1 , Z2 , Z3 y Z4 , máquinas comparables e incluso superiores a las que en 1944 pusieron a funcionar la IBM y la Universidad de Harvard en EUA , la conocida como Mark I y desarrollada por Howard H. Aiken .

En el verano de 1946 entra en operación la ENIAC , diseñada por Eckert y Mauchly , la primera computadora electrónica , usando bulbos y diodos . Usaba unos 18000 tubos al vacío para sus circuitos electrónicos y mantenerla en perfecto estado operativo requería heroicas hazañas .

En 1949 se concluye la EDVAC , que almacenaba el programa y los datos en la misma memoria , según el modelo de John von Neumann .

Como resultado de todos los avances científicos de la Segunda Guerra Mundial , durante el periodo de la posguerra se hace posible aplicar la automatización a los procesos técnicos en general ; sus efectos se ven principalmente en dos grandes campos : la industria mecánica y la oficina . Del principio de la década de los cincuenta a la fecha , ambos han sufrido transformaciones radicales .

En 1951 ocurre la transición de la ciencia teórica a la aplicación tecnológica : sale al mercado la primera computadora comercial desarrollada por la Remington Rand , UNIVAC I . Otras empresas en el mercado eran IBM , NCR , RCA , Honeywell , Burroughs , Control Data , etc .

La primera generación de computadoras comprende la década de 1948 - 1958 . Su producto típico eran varios armarios llenos de bulbos , capacitores , resistencias y cables . Debido a la disipación de calor y a las dimensiones físicas este modelo tenía muchas limitaciones .

La siguiente generación empieza Prácticamente en 1959 : se sustituyen los bulbos por los transistores y se implantan las memorias de núcleos de ferrita , que permitieron reducir el tamaño de las computadoras y aumentar su velocidad y capacidad . Los equipos periféricos de las computadoras también evolucionan : impresoras más rápidas , mejores lectoras de tarjetas , unidades de cinta magnética . El software también progresa : se crean los primeros lenguajes de alto nivel .

Una nueva generación llega en el tercer año de la década de los sesentas con los circuitos integrados , la miniaturización electrónica . Esta generación supone mayor rapidez , potencia y un gran desarrollo de software .

A continuación vienen las microcomputadoras , que hacen llegar a la gente común la computadora : computadoras de escritorio , de bolsillo , de pulsera . Carl Sagan en su obra " Los Dragones del Edén " susiere la implantación de circuitos en el cerebro humano para mejorar sus funciones :

" Tal vez algún día sea posible añadir al cerebro una variedad de artilugios protéticos cognoscitivos e intelectuales , calar una especie de gafas a la mente " .

La historia de las computadoras a partir de este momento es difícil de seguir , ha sido una explosión tecnológica , donde lo avanzado en este momento se torna obsoleto el día de mañana . El hardware , el software se perfeccionan : miniaturización de circuitos , microprocesadores , microcomputadoras , inteligencia artificial , robots , nuevos lenguajes ... la revolución apenas ha comenzado .

2 .- ARQUITECTURA .

La palabra " computadora " involucra una gran variedad de máquinas , diferenciadas entre sí por su tamaño , velocidad , costo , aplicación . Una división muy general que se hace es : microcomputadoras , minicomputadoras , grandes computadoras , sin que estén muy bien establecidos los criterios de diferenciación .

Una computadora consiste básicamente de los siguientes módulos :

- a) Unidad Central de Proceso (CPU) .
- b) Memoria .
- c) Unidades de entrada salida (I/O) .

La CPU está constituida a su vez por las unidades de control y aritmético-lógica . El diagrama de los bloques se presenta en la figura 1.1 .

Los dispositivos de entrada leen los datos necesarios para la máquina del exterior , sea de un operador humano o de un dispositivo electromecánico . En la mayoría de las computadoras de propósito general , las instrucciones que constituyen el programa que se ejecuta indican cuándo y cómo verificar la operación de entrada . Algunos de los

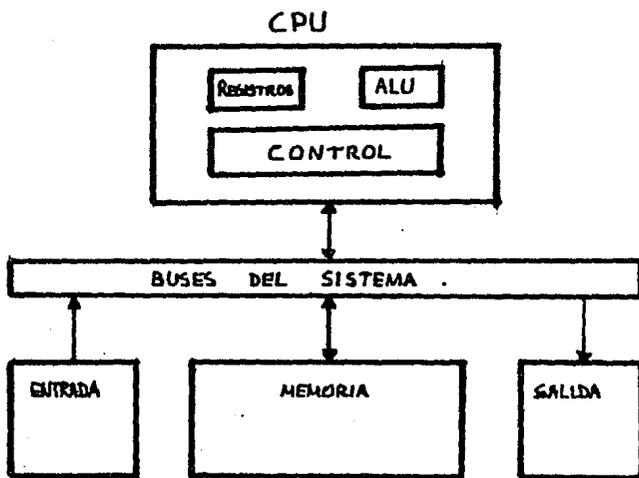
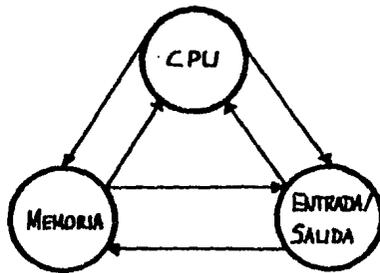


FIG.1.1. DIAGRAMAS DE BLOQUES DE UNA COMPUTADORA

dispositivos más comunes de entrada son los teclados , lectoras de disco , de cinta y dispositivos manuales tales como conmutadoras o botones .

Los dispositivos de salida conducen al exterior los resultados procesados por la computadora . Dispositivos comunes de salida son las pantallas de video , impresoras , graficadoras , salida a discos magnéticos , cintas , etc .

La módulo de memoria tiene como objetivo el almacenamiento de programas y datos . Esta función la realiza una gran variedad de equipo , que dividen el almacenamiento en primario y secundario o masivo .

El almacenamiento primario , " memoria principal " , es una memoria rápida , capaz de ser direccionada directamente por la computadora . Su costo es mayor al de el almacenamiento secundario . Consiste típicamente de circuitos semiconductores .

La memoria principal contiene un gran número de celdas de almacenamiento , cada una capaz de almacenar un bit de información , que es la mínima cantidad de información representable : cierto , falso ; si , no . Estas celdas pueden ser manejadas individualmente pero generalmente se manejan grupos de celdas de tamaño fijo . A tales grupos se les denomina como " palabras " . La memoria se organiza de

forma tal que una palabra pueda depositarse o recuperarse en una sola operación básica de computadora .

El acceso a las palabras de la memoria principal se logra asociándoles un nombre distinto a cada una , estos nombres son números que identifican localidades sucesivas y que constituyen la dirección de la palabra .

El almacenamiento secundario o masivo provee una gran capacidad para guardar información y es más barato , pero es mucho más lento . Este almacenamiento masivo está representado por los discos magnéticos , cintas magnéticas , memorias de burbuja , etc .

La unidad de control de la computadora dirige la operación de la misma . Los circuitos de esta unidad interpretan la instrucción del programa que se está ejecutando y entonces dirige la máquina para que realice la operación .

La unidad de aritmética y lógica , " ALU " , es generalmente capaz de realizar las operaciones de suma , resta , división y multiplicación , así como las llamadas operaciones " lógicas " y corrimientos . La unidad de control dice a la ALU qué operaciones ejecutar y qué datos son necesarios . La ALU puede ser comparada con una calculadora .

3 .- PROGRAMACION DE LAS COMPUTADORAS .

La computadora no solo es una colección de tarjetas repletas de circuitos intesrados , también está constituida por el elemento intansible llamado " software " . El principal componente del software de una computadora es el sistema operativo , encargado de administrar los recursos de la computadora . Otros elementos del software son los cargadores , compiladores , ensambladores , macroprocesadores programas de aplicación , programas del usuario .

A . Sistemas Operativos .

El sistema operativo se encarga de la asignación de recursos y servicios , tales como memoria , procesadores , archivo e informacion . El sistema operativo incluye programas para administrar estos recursos , tales como el control de tráfico ("traffic controller ") , un programador de tiempos ("scheduler") , un módulo de administración de memoria ("memory manesement module") , programas de entrada / salida (" I/O Programs ") y un sistema de archivos (file system) . Al sistema operativo también se le llama "administrador", "monitor", "ejecutivo",

B . Ensambladores .

La entrada de un ensamblador es un programa en lenguaje

ensamblador . La salida es un programa objeto (en lenguaje de máquina) y la información suficiente que permite al cargador preparar el programa objeto para su ejecución .

C . Macroprocesadores .

Una macrolamada es el nombre (o la abreviatura) con que se designa a una rutina . Una macrodefinición es una secuencia de rutinas que tiene nombre (macrolamada) . El macroprocesador es un programa que reemplaza las macrolamadas por las macrodefiniciones y especializa estas últimas .

D . Cargadores .

El cargador es una rutina para "cargar" el programa objeto y prepararlo para su ejecución . Algunos métodos de carga son : absoluto , reasignador y de encadenamiento directo . En general , el cargador debe cargar ("load") , reasignar ("relocate") y encadenar ("link") el programa objeto .

E . Compiladores .

Un compilador es un programa que acepta como entrada un programa fuente escrito en "lenguaje de alto nivel" y produce un programa objeto en correspondencia con el primero .

Ejemplos : COBOL , FORTRAN , Pascal , C , ALGOL , etc .

F . Programas de aplicación .

Son "paquetes" a los que un usuario puede tener acceso con solo llamarlos y proporcionarles los datos necesarios para su proceso .

Ejemplos de estos programas son los paquetes TEMPO de programación lineal , DYNAMO de simulación , el SPSS paquete estadístico para ciencias sociales , etc .

G . Programas del usuario .

Son los programas de cuyo desarrollo y operación se encarga el usuario particular .

II . EL MICROPROCESADOR Z - 80 .

1 .- Historia de los microprocesadores .

El emerger de los microprocesadores es un suceso que transformó en una forma total no sólo el mundo de la computación , de la electrónica . La transformación de la vida cotidiana del hombre es consecuencia de la aparición de estos cuadrados minúsculos de silicio . En un comienzo , los microprocesadores no eran muy fiables e incluso tenían errores en su diseño .

En vista de la desordenada ,no planificada introducción, los errores de diseño iniciales y las cosas poco adecuadas han perdurado hasta ahora , en nombre de la "compatibilidad".

Muchas de las características de los microprocesadores actuales son resultado de este proceso .

El sursumiento del transistor comercial puede marcarse en los últimos años de la década de los cuarenta , después de la Segunda Guerra Mundial . Sólo diez años después , el primer modelo operativo de un circuito integrado fue desarrollado por Clair Kilby , de la Texas Instruments . Por la misma época el proceso Planar fue desarrollado por Hoerne de Fairchild (1959) . Alrededor de 1961 , los primeros circuitos integrados (" IC's ") empezaron a ser producidos en cantidad .

La integración de los circuitos avanzó , entonces , rápidamente . La integración a pequeña escala (" SSI ") surge en 1964 ; es una compuerta completa en un solo chip , incorporando varios transistores .

La integración a gran escala (" LSI ") aparece comercialmente en 1971 : la primera memoria de 1 K-bit , el primer periférico serializador (" UART ") y el primer microprocesador (Intel 4004) .

El primer microprocesador de propósito general fue introducido en noviembre de 1971 . A principios de 1971 , sólo dos circuitos estándar LSI habían sido desarrollados : la memoria RAM de 1 K-bit y el UART ; para ese tiempo nadie sabía lo que saldría a continuación . Entonces fueron introducidos los microprocesadores , con los resultados que ahora estamos experimentando .

El microprocesador Intel 4004 estaba diseñado como una calculadora y no era , por lo tanto , muy poderoso , siendo poco adecuado para las computaciones de propósito general .

El repertorio de instrucciones del 4004 era de 46 , adecuado para funciones de control que requirieran hacer decisiones no fácilmente implementables en arreglos lógicos programables (PLA's) y no requirieran un extenso proceso matemático .

El 4004 manejaba 4 bits de datos a la vez y podía realizar 100 000 adiciones de dos operandos de 4 bits por segundo .

El siguiente evento significativo fue la introducción del Intel 8008 : el primer microprocesador de 8 bits de propósito general , en 1972 .

Esta nueva generación de Intel conservaba la tecnología de fabricación usada para el 4004 : la PMOS (" P-channel Metal-Oxide Semiconductor ") ; pero ofrecía un bus de datos de 8 bits y un repertorio de 48 instrucciones ; el cual no era compatible con el del 4004 .

El 8008 podía direccionar 16 K localidades de memoria de 8 bits , podía manejar un stack de memoria limitado y realizaba 80 000 adiciones de dos operandos de 8 bits por segundo .

Pocos años más tarde Intel produjo el primer circuito controlador de CRT en un solo chip .

Para sorpresa del fabricante , los microprocesadores empezaron a tener una gran demanda , que hace surgir al sucesor del 8008 , el Intel 8080 y otros fabricantes empezaron a crear sus versiones de lo que debería de ser un microprocesador y dos años más tarde varios microprocesadores ya existían en el mercado , la mayoría de ellos inspirada

cercanamente en el 8080 . Motorola introduce el 6800 , Rockwell el PPS8 , Sinnetics el 2650 , etcétera .

El Intel 8080 tenía un conjunto que incluía las instrucciones del 8008 y treinta más , con un total de 78 , que hacía posible pasar de las aplicaciones Primarias de control hacia aplicaciones de propósito general . Los usuarios del 8008 podían ahora cambiar al más rápido y versátil 8080 sin descartar el software desarrollado para el 8008 .

El 8080 tenía una tecnología de fabricación NMOS (" N-channel Metal-Oxide Semiconductor ") que admitía frecuencias de reloj más grandes ; las adiciones de dos operandos de 8 bits se hacían al ritmo de 500000 por segundo.

El total de direccionamiento de memoria se amplió a 64 K y podía manejar un stack de memoria externa .

El microprocesador Z80 de Zilog viene en la siguiente generación , Junto con el 8085 de Intel y la microcomputadora en un chip ; F8 de Fairchild y Mostek , 8048 de Intel , PPS4 de Rockwell . También aparecen los primeros microprocesadores de 16 bits ; Texas TMS 9900 , Fairchild 9940 , Data General MN 601 .

El Z80 ofrece un conjunto compatible con el del 8080 de 158 instrucciones , que le da mayor capacidad y versatilidad que el 8080 .

Posteriores microprocesadores de 16 bits son el Intel 8086 ,8088,Motorola 68000 y Zilos Z8000 , También la microcomputadora de 16 bits Texas Instruments 9940 ,

En la actualidad , existen computadoras , como las de la serie 9000 de Hewlett-Packard que utilizan microprocesadores de 32 bits .

La industria de los circuitos integrados nació en dos lugares : los Laboratorios Bell Telephone , por Boston y en la región californiana de Sunnyvale , ahora llamada el " Valle del Silicio " . Muchas de las compañías del Valle del Silicio se formaron a partir de Fairchild ,

El Premio Nobel de Física Shockley tenía un pequeño equipo de científicos trabajando juntos cerca de quince años , entre los que estaban Robert Noyce y Gordon Moore ,

Shockley dejó los laboratorios Bell para formar su propia compañía , la Shockley Research Laboratories , Pocos años más tarde otro pequeño grupo de científicos deja esta compañía y fundan , en el Valle del Silicio , la compañía Fairchild . Como en el cuento de nunca acabar , la historia se repite y surge la compañía Integrated Electronics ,Intel; fundada en 1968 por Robert Noyce y Gordon Moore , La compañía Zilos nace a partir de tres de los diseñadores del Intel 8080 ,

Este mecanismo de creación de compañías e implementación de productos ha sido típica del campo de la electrónica en los Estados Unidos ; en particular del área de los circuitos integrados .

Los microprocesadores y las computadoras en un solo chip fueron posibles por el desarrollo y refinamiento de las técnicas para integrar circuitos . La densidad de un circuito se refiere a cuántos transistores e interconexiones pueden ser colocados en un solo chip . Esta densidad está limitada por el espacio , fantásticamente pequeño , por el tipo de circuito y por la potencia eléctrica que se esté manejando . La densidad de un circuito integrado es comúnmente referida a un " nivel de integración " en el cual se usa un circuito de compuerta como base de comparación . El progresivo incremento de este nivel se puede observar en la tabla 2.1 .

Tabla 2.1 Nivel de integración .

Nivel de integración	Compuertas/chip	Periodo
SSI (Small)	12	1960 - 1965
MSI (Medium)	100	1965 - 1970
LSI (Large)	1000	1970 - 1975
VLSI (Very Large)	50 000	1975 - 1980

Se puede observar que el nivel de integración se ha incrementado 4000 veces desde el SSI hasta el VLSI en un periodo de veinte años ; pero esto no es todo , debido a que el área de los chips por compuerta se ha decrementado al mismo tiempo , el tamaño de los chips no se ha incrementado en proporción al incremento de compuertas . De hecho : el tamaño del chip se ha incrementado sólo en 25 veces ,

Debido a este pequeño incremento y al mejoramientos de los procesos de manufactura , el costo del chip se ha incrementado en una muy pequeña escala ; pero con el incremento de compuertas por chip , el precio por compuerta se ha reducido en un factor de 1000 (en 1981) ,

La popularidad de los microprocesadores se debe a su pequeño tamaño , a su bajo consumo de potencia y , la más importante , a su bajo coste .

Debido a esto se ha logrado un poder de cómputo accesible a una gran cantidad de usuarios , poder del que anteriormente sólo disponían los grandes usuarios de sistemas de procesamiento de datos .

2 .-ARQUITECTURA DEL MICROPROCESADOR Z-80 .

A . Introducción .

El Z80 es un microprocesador orientado hacia los registros , su arquitectura interna se muestra en la figura 2.1 .

Trece señales de la CPU y de control del sistema son mandadas o generadas en la decodificación de instrucciones y control del CPU ,

El bus de datos es de 8 bits y es la ruta mediante la cual los datos son transferidos entre la memoria externa y dispositivos de entrada/salida , y los registros de la CPU . Este bus es de entrada/salida tri-state , activo a nivel alto y nominado D0 a D7 ,

El bus de direcciones es de 16 bits . Normalmente este bus de direcciones podrá especificar una localidad de memoria entre 0 y 65535 (64K-1) , dado que el Z80 tiene un juego completo de instrucciones de entrada/salida y no se necesita un " mapa de memoria " para entrada/salida (en la entrada/salida con " mapa de memoria " , una porción de las direcciones de memoria deben de ser dedicadas a las direcciones de los dispositivos de entrada/salida) . Este bus tiene una salida tri-state , activo a nivel alto . Se nomina A0 a A15 , siendo el bit menos significativo A0 .

La ruta principal de los datos dentro de la CPU es un bus interno de datos , el cual conecta los registros de la CPU , la unidad aritmético y l6gica , el control del bus de datos y el registro de instrucciones .

B . Unidad l6gica y aritm6tica .

La ALU del Z80 se comunica internamente con los registros del procesador central y no es directamente accesible al programador . La ALU realiza las siguientes operaciones :

Desplazamiento a izquierda o derecha

Incremento

Decremento

Suma

Resta

And

Or

Or exclusiva

Comparaci6n

Puesta a uno de bits

Puesta a cero de bits

Prueba de bits

C . Registro de instrucciones , Control del procesador central .

El registro de instrucciones retiene el contenido de la posición de memoria direccionada por el PC (contador de programa) y se carga durante el ciclo de búsqueda de cada instrucción .

La unidad de control del procesador central ejecuta las funciones definidas por la instrucción en el registro de instrucciones y genera todas las señales de control necesarias para transmitir los resultados a los registros adecuados .

D . Registros del microprocesador Z80 .

Los registros de la CPU se pueden dividir en acumuladores , registros de estado , registros de propósito general y registros de propósito especial (figura 2.2) .

Acumuladores y registros de estados .

El procesador central contiene dos pares independientes de acumuladores y registro de estados , uno en el conjunto de registros principales y el otro en el conjunto de registros alternativos .

El acumulador (" A ") recibe los resultados de todas las operaciones lógicas y aritméticas de ocho bits .

El registro de estado (" F ") es un conjunto de ocho

bits agrupados que especifican las varias condiciones en que la CPU se puede hallar después de haberse verificado una operación. Estas condiciones o banderas son: indicador de signo, de cero, de acarreo, de paridad o sobrepaso, de medio acarreo (para aritmética BCD), de substracción. El formato de este registro se muestra en la figura 2.3.

Registros de Propósito general.

Existen dos conjuntos similares de registros de propósito general. El conjunto principal, que contiene seis registros de ocho bits nombrados B, C, D, E, H y L y el conjunto alternativo también de seis registros de ocho bits: B', C', D', E', H' y L'.

Para operaciones de 16 bits estos registros pueden combinarse en pares de 16 bits, por ejemplo BC, DE, HL. El uso que se puede hacer de estos pares es el implementar operaciones de aritmética de doble precisión.

Las distintas combinaciones que se pueden lograr con los registros de propósito general y los acumuladores y registros de estado se muestran en la figura 2.4. Registros de propósito especial.

La ventaja de tener dos bloques de registros de propósito general es que el programador puede conmutar fácilmente de uno a otro grupo, lo que proporciona más

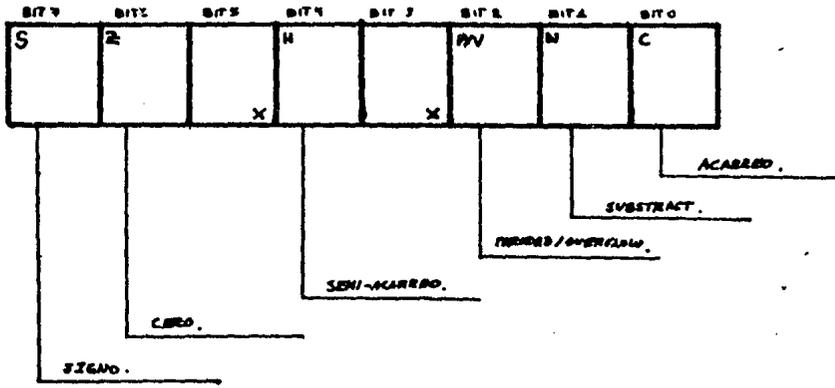


FIG. 2.3. REGISTRO INDICADOR DE ESTADO "F".

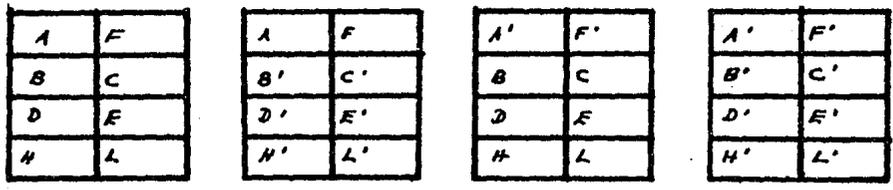


FIG. 2.4. ASIGNACIONES DE REGISTROS.

registros de almacenamiento en la CPU .

Los registros de propósito especial son PC , SP , IX ,
IY , I y R .

El registro PC es el contador de Programa ; contiene una dirección de 16 bits a partir de la cual se buscará la instrucción en curso . Al terminar de ejecutarse la instrucción , el PC apunta a la siguiente instrucción . El PC está disponible para el programador sólo en el sentido de poderlo cargar o almacenar ; el realizar operaciones aritméticas o lógicas con el PC no está permitido .

El registro SP es el apuntador de Pila, de 16 bits . El Z80 permite varios niveles de anidación de subrutinas mediante el uso de una pila (" stack ") y de un puntero de pila (" Stack Pointer / SP ") ; cuando se ejecutan algunas instrucciones o cuando se hacen llamadas a subrutinas , el contador PC y otros datos pertinentes pueden almacenarse temporalmente en una pila en memoria , cuya parte superior se indica por el contenido del puntero de pila , o sea que el puntero indica la dirección de la entrada a la pila más reciente . La forma en que opera una pila es la de " último en entrar , primero en salir " (LIFO : " last in , first out ") . La forma de crecimiento del stack es de las localidades altas de memoria a las bajas .

Los registros índices IX e IY son de 16 bits y facilitan

la manipulación de datos en tablas . Estos registros retienen las direcciones de base utilizadas en modos de direccionamiento indexado y apuntan a posiciones en memoria cuando han de almacenarse o recuperarse datos pertinentes . Las operaciones en modo indexado son un poderoso auxiliar en una programación eficiente .

El registro de vector de interrupciones I es de 8 bits , puede ser cargado con 8 bits de datos especificando una dirección de memoria . Esta dirección , cuando se combina con los 8 bits menos significativos de dirección proporcionados por el dispositivo interruptor , representa la dirección de memoria cuyo contenido especifica la dirección de memoria en que se encuentra la rutina de manejo de interrupciones concerniente al dispositivo interruptor . En general , el registro I toma los ocho bits más significativos de una tabla de vectores de interrupción , que puede contener vectores de interrupción de 128 dispositivos interruptores .

El registro de regeneración (" refresh ") de memoria R es de 7 bits y sirve para la validación de memorias dinámicas . Normalmente este registro no es usado por el programador .

E . Señales de interfaz del Z80 .

Las señales de interfaz del Z80 son las del bus de datos y direcciones , las de control del bus , de operación de

memoria , de entrada/salida , de interrupción , señales varias y alimentación , tierra y reloj (figura 2.5) .

Señales de control de bus .

Las señales de control de bus estén asociadas con el bus de datos y el de direcciones . La señal de entrada BUSRQ y la de salida BUSAK , ambas activas bajas .

La señal de BUSRQ es generada por un dispositivo externo cuando quiere sanar el control de los buses de la CPU . Cuando un dispositivo externo activa esta señal , la CPU responde reconociendo la señal mediante BUSAK . Esta señal activa baja indica que el bus de direcciones , de datos y las señales de control de salida de la CPU se encuentran en estado de alta impedancia y pueden ser controlados por un dispositivo externo .

Señales de operación de memoria .

Son cuatro ; MREQ , RD , WR y RFSH , todas activas bajas .

La señal de MREQ , " memory request " es una señal tri-state , indica que el bus de direcciones retiene una dirección válida para una operación de lectura o escritura en memoria .

La señal de RD es tri-state e indica que el procesador

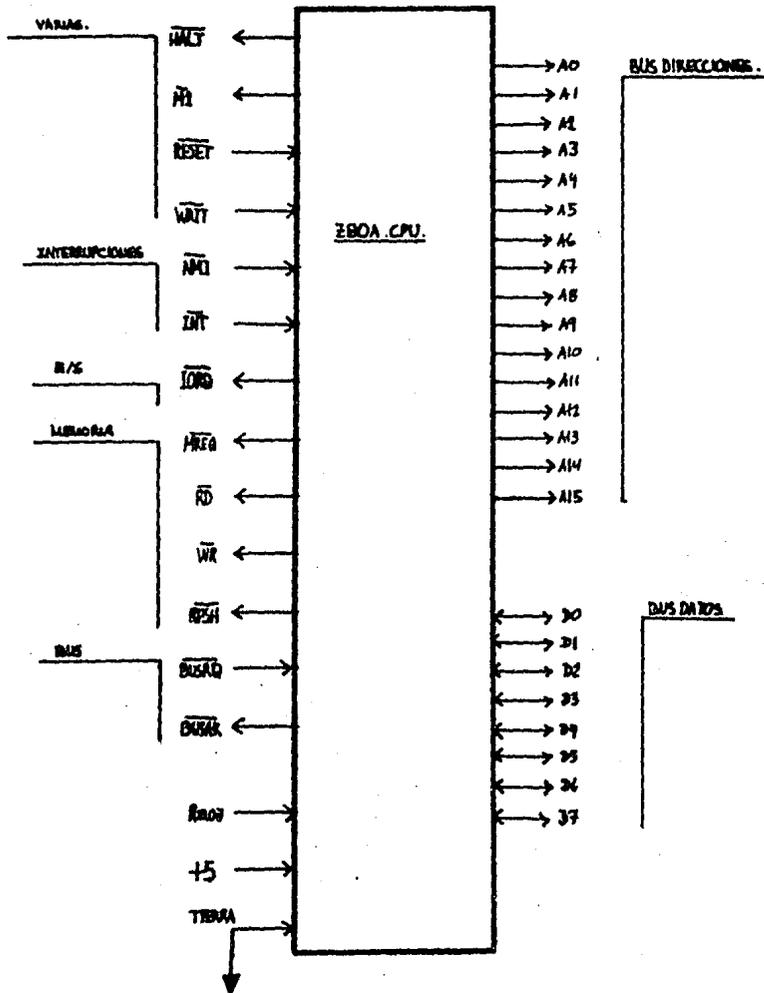


FIGURA 2.5 . CONFIGURACION DE TERMINALES

central desea la lectura de memoria o de un dispositivo de entrada . La memoria o dispositivo de entrada direccionado , debe de utilizar esta señal para controlar los datos en el bus de datos del procesador central .

La señal de $\overline{\text{WR}}$ es tri-state e indica que el bus de datos del procesador central retiene datos válidos a escribirse en memoria o dispositivo de salida direccionado .

La señal de regeneración de memoria dinámica $\overline{\text{RFSH}}$ indica que los siete bits inferiores del bus de direcciones contienen una dirección de regeneración para memorias dinámicas . La señal $\overline{\text{MREQ}}$ se activa para realizar una lectura de regeneración para la memoria dinámica .

Señal de entrada / salida .

La señal $\overline{\text{IORQ}}$, salida tri-state y activa baja es utilizada para peticiones de entrada/salida . Cuando esta señal se activa , los ocho bits menos significativos del bus de direcciones (A7-A0) , toman la dirección de un dispositivo de entrada/salida . Las señales de $\overline{\text{RD}}$ y $\overline{\text{WR}}$ deben de ser usadas para determinar si la operación es de entrada o de salida . La señal $\overline{\text{IORQ}}$ es también usada en conjunción con la señal $\overline{\text{MI}}$ para acusar recibo de interrupción .

Señales relacionadas con interrupciones .

Las señales de interrupciones son $\overline{\text{NMI}}$ e $\overline{\text{INT}}$.

La señal $\overline{\text{INT}}$ es de entrada , activa a nivel bajo . Es generada por el dispositivo interruptor . La petición de interrupción se aceptará al final de la instrucción en curso si está activado el flip-flop de interrupciones y si no es activa la señal de $\overline{\text{BUSRQ}}$. El procesador central acusa la interrupción , activando la señal de $\overline{\text{IORQ}}$ durante el ciclo $\overline{\text{M1}}$, mandándola al principio del siguiente ciclo de la interrupción .

La señal de $\overline{\text{NMI}}$ es de entrada , disparada por flanco negativo . La línea de petición de interrupción no enmascarable tiene una prioridad más alta que $\overline{\text{INT}}$ y siempre se identifica al final de la instrucción en curso , prescindiendo del estado del flip-flop de interrupciones . $\overline{\text{NMI}}$ obliga al procesador central Z80 a reiniciarse en la posición 0066 H . El contador de programa se conserva automáticamente en la pila de memoria externa , de modo que el usuario pueda volver al programa que fue interrumpido . Ha de tenerse en cuenta que los ciclos de espera (WAIT) continuos pueden impedir que finalice la instrucción en curso y que una señal $\overline{\text{BUSRQ}}$ anulará una señal $\overline{\text{NMI}}$.

Señales varias .

La señal $\overline{\text{M1}}$ es activa baja e indica que el microprocesador está en el ciclo de fetch de una instrucción . $\overline{\text{M1}}$ se presenta también con $\overline{\text{IORQ}}$ para indicar el ciclo de

acuse de una interrupción .

La señal de RESET es activa baja de entrada y se usa como reset maestro de la CPU . Las acciones que ocurren al activar esta señal son las siguientes :

- 1.- El flip-flop de interrupciones es deshabilitado .
- 2.- El registro I es puesto a 00 H .
- 3.- El registro R es puesto a 00 H .
- 4.- El modo de interrupción cero es colocado .
- 5.- El bus de direcciones es colocado en alta impedancia.
- 6.- El bus de datos es colocado en alta impedancia .
- 7.- Todas las señales de control de salida se colocan en estado inactivo .

La señal de WAIT es una señal de entrada activa a nivel bajo que se asocia con las memorias lentas o dispositivos de entrada/salida . Esta señal indica al Z80 que los dispositivos de entrada/salida o la memoria no están preparados para una transferencia de datos . El procesador

central continúa introduciendo estados de espera mientras WAIT esté activa .

La señal de $\overline{\text{HALT}}$ es de salida activa baja . Esta señal indica que el procesador central ha ejecutado una instrucción HALT y está esperando una interrupción de cualquier tipo antes de que pueda reanudarse la operación . Mientras está en estas condiciones el procesador central está ejecutando instrucciones nulas , " NOPs " , para mantener activa la regeneración de memoria dinámica .

F . Ciclos del Z80 .

Toda ejecución de una instrucción en el Z80 puede fragmentarse en un conjunto de ciclos básicos . Existen dos tipos de estos ciclos , el más básico es el ciclo de reloj o ciclo T . Si se usa un reloj con frecuencia de 4 MHz , cada ciclo T tendrá un periodo de 250 nanosegundos .

Los ciclos T son usados para controlar las operaciones de un ciclo mayor , llamado ciclo de máquina o ciclo M .

Cada instrucción que se ejecuta en el Z80 consiste de uno a seis ciclos de máquina (con la excepción de las instrucciones relacionadas con el manejo de bloques de memoria) , y cada ciclo de máquina comprende de tres a seis ciclos de reloj .

Son siete los ciclos de máquina que pueden ocurrir al ejecutarse una instrucción :

1.- Ciclo de FETCH (o ciclo M1) . Durante este ciclo la CPU lee el código de operación de la instrucción , decodifica la operación que se realizará y ejecuta parte , a veces toda , de la operación .

2.- Ciclos de lectura y escritura en memoria . Durante estos ciclos se tiene acceso a la memoria externa , ya sea para leer o para escribir .

3.- Ciclos de lectura y escritura para Entrada/Salida . La transferencia de datos entre los dispositivos periféricos de entrada/salida y la CPU se realiza con la ejecución de estos ciclos .

4.- Ciclo de Solicitud/Reconocimiento de los buses . En cualquier momento un dispositivo externo puede tomar el control del bus de direcciones , de datos y de las líneas para operación de memoria y entrada/salida al habilitar la línea de bus-request BUSRQ . Esta facilidad permite a un controlador externo comunicarse directamente con la memoria externa para la transferencia de datos entre un dispositivo rápido de entrada/salida y la memoria , sin la intervención de la CPU (operación DMA , Acceso Directo a Memoria) .

5.- Ciclo de Solicitud/Reconocimiento de interrupción .

El Z80 tiene una línea de entrada (INT) por la cual los periféricos pueden solicitar a la CPU la interrupción del proceso actual y que continúe con la ejecución de una rutina de servicio especial para dar atención al periférico solicitante . Una vez terminada esta rutina , la CPU continuará con el proceso interrumpido .

6.- Ciclo de Solicitud de interrupción no enmascarable . La entrada para solicitar interrupción no enmascarable es NMI , interrupción que no puede ser deshabilitada , de más prioridad que INT .

7.- Ciclo de Salida de una instrucción HALT . La CPU sale del estado de HALT después de haber detectado un RESET o una solicitud de interrupción , causando que la CPU avance el contador de programa a la siguiente instrucción antes del contador de programa almacenado en la pila de memoria .

3 .- PROGRAMACION DEL MICROPROCESADOR Z-80 .

A . INTRODUCCION .

El microprocesador Z80 tiene un extenso repertorio de instrucciones , desde la instrucción NOP , la operación nula , hasta operaciones de búsqueda de cadenas en bloques de memoria .

Las instrucciones tienen una longitud que varía entre un byte (la memoria del Z80 está organizada en celdas de ocho bits llamadas bytes) y cuatro bytes . Las instrucciones de varios bytes se deben de almacenar en localidades contiguas de memoria . El formato exacto de la instrucción depende de la operación en particular que se ejecutará .

Un programa consiste de una secuencia de instrucciones , que se almacenan en la memoria como una secuencia de bytes .

Cada programa tiene una dirección de inicio en memoria , después de que se ejecuta la primera instrucción el contador del programa (" PC ") se incrementará automáticamente para apuntar a la dirección que contiene la próxima instrucción a ejecutar ; este procedimiento se repite después de la ejecución de cada instrucción . Debido a que la longitud de las instrucciones varía , el incremento del contador del programa es también variable .

Además de diferir en longitud , las instrucciones difieren en la manera en que direccionan la memoria externa .

Algunas instrucciones no requieren operando y pueden ser ejecutadas durante la última parte del ciclo de fetch . Otras instrucciones requieren como primer operando un registro de la CPU y como segundo operando otro registro de la CPU o de memoria externa .

Este segundo operando puede ser especificado de varias formas , por ejemplo , en la instrucción ADD , que suma dos operandos de ocho bits , el primer operando es el acumulador A , mientras que el segundo operando puede ser otro registro de la CPU (Direccionamiento de REGISTRO) , un valor inmediato contenido en la misma instrucción (Direccionamiento INMEDIATO) , un valor en memoria apuntado por el contenido del par HL (Direccionamiento de REGISTRO INDIRECTO) o una localidad en memoria cuya dirección se calcula sumando un desplazamiento de ocho bits en la instrucción al contenido de un registro de índice (Direccionamiento INDEXADO) .

B . Modos de direccionamiento .

Los modos de direccionamiento que el Z80 tiene son los siguientes :

1.- Implícito . Se refiere a operaciones en donde el código de operación implica automáticamente uno o más registros de la CPU . El código de operación es fijo , la instrucción siempre realiza la misma función .

2.- Inmediato . En este tipo de direccionamiento , el segundo o tercer byte de la instrucción contiene al operando , es decir , el dato es parte integrante de los bytes que constituyen la instrucción .

3.- Inmediato extendido . Semejante al anterior , pero aquí el operando está constituido por 2 bytes (16 bits) .

4.- De registro . Se refiere a que uno o más de los registros de la CPU son direccionados por la instrucción . El formato de la instrucción contiene un campo que especifica qué registro o registros se usarán .

5.- De registro indirecto . Este tipo de direccionamiento utiliza el contenido de un par de registros de la CPU como la dirección de una localidad de memoria en donde se encuentra el operando .

6.- Extendido . Aquí la dirección completa (dos bytes) del operando se encuentra formando parte de la instrucción .

7.- De página cero modificada . Se usa sólo con la instrucción restart (RST) y causa que el procesamiento del programa continúe en una de las ocho localidades específicas de la " página cero " . La " página cero " es el área de memoria que se puede direccionar con ocho bits , o sea que la página cero se encuentra de la localidad 0 a la 255 (00 H a FF H) .

8.- Relativo . Con este tipo de direccionamiento : se usa el byte siguiente al código de operación para especificar un desplazamiento signado con complemento a dos que se suma al valor de la dirección que le corresponde a la siguiente instrucción .

9.- Indexado . Las instrucciones que usan este tipo de direccionamiento utilizan el byte que sigue al código de operación para especificar un desplazamiento que se suma a uno de los dos registros de índice (en el código se especifica cuál) y obtener una dirección de memoria . El contenido del registro índice no se altera .

10.- De bit . Se utiliza en las instrucciones que efectúan operaciones a nivel de los bits de localidades de memoria o registros de la CPU , tales como poner a uno , a cero y probar el valor .

C . Juego de instrucciones del Z80 .

El Z80 puede ejecutar 158 instrucciones independientes , que se pueden agrupar en once grupos :

1.- Carga de ocho bits . Las instrucciones de carga transfieren datos de ocho bits entre registros o entre registros y memoria . La fuente y el destino de estos datos se especifican dentro de la instrucción .

2.- Carga de dieciséis bits . Semejante al anterior , pero con pares de registros y datos de 16 bits . También permite utilizar la Pila de memoria (operaciones de PUSH y POP) .

3.- Intercambio , transferencia de bloques y búsqueda . Permiten el intercambio de 16 bits de datos entre pares de registros en el mismo grupo de registros e intercambio entre dos conjuntos de registros . También permite la transferencia de bloques de memoria a cualquier otro grupo de posiciones continuas . La búsqueda de bloques permite examinar un bloque de memoria , buscando una llave de ocho bits .

4.- Operaciones aritméticas y lógicas de ocho bits . Actúan sobre los datos en el acumulador , un registro o una posición de memoria asignada . Los resultados se colocan en

el acumulador y los indicadores de estado se establecen consecuentemente .

5.- Aritmética de propósito general y control de la CPU . Permiten realizar operaciones aritméticas BCD , complementos a dos y a uno del acumulador , complemento del indicador de acarreo (en el registro F) , operaciones NOP y HALT , habilitar el flip-flop de interrupciones y colocar los distintos modos de interrupción .

6.- Aritmética de dieciséis bits . Semejante al grupo de operaciones aritméticas de ocho bits , pero con pares de registros .

7.- Rotación y desplazamiento . Los datos pueden ser objeto de rotaciones o desplazamientos . Incluye instrucciones con medios de tratamiento para datos BCD .

8.- Manipulación de bits . Con estas instrucciones podemos dar valor a bits en particular o bien preguntar por su valor . Los resultados de las operaciones de prueba se depositan en el registro de estado .

9.- Salto . Estas instrucciones permiten la bifurcación en la ejecución de programas .

10 .- Llamada y retorno . Son semejantes a las del grupo de salto , pero la dirección de la instrucción

siguiente a la de la llamada de subrutina se guarda en la pila , de forma tal que cuando se ejecuta la instrucción de regreso de de subrutina , la ejecución del programa continúe en esta dirección ,

11.- Entrada y Salida . Estas instrucciones transfieren datos entre la CPU y dispositivos periféricos de entrada/salida , incluye instrucciones de entrada y salida para bloques de datos .

III . SISTEMA DE MICROPROCESAMIENTO PARA

ADQUISICION DE DATOS .

1 .- SISTEMAS DE ADQUISICION DE DATOS .

A . Introducción .

En la industria existen procesos que requieren que su compartamiento , además de ser controlado sea registrado para un posterior análisis , un ejemplo sería un reactor químico en el que variables como temperatura y presión son críticas .

En este medio es donde un sistema de adquisición y grabación de datos , "data logger", es necesario .

El proceso de adquisición de datos puede consistir simplemente en que algunas personas (o quizá sólo una persona) tomen las lecturas de algunos instrumentos y escriban las observaciones en una hoja de datos .

El procesamiento de los datos podría llevarse a cabo de muchas maneras , desde los cálculos sencillos que se efectúan con ayuda de una calculadora de bolsillo , hasta la utilización de computadoras digitales .

En la actualidad , existen sistemas capaces de recopilar y procesar gran cantidad de datos y de presentar los resultados deseados en distintas formas .

B . El sistema general de adquisición de datos .

El elemento esencial en un sistema moderno de adquisición de datos es el transductor del instrumento , el

cual genera una señal eléctrica que es una indicación de la variable física que se está midiendo . La señal puede ser de voltaje , corriente , resistencia , frecuencia o pulsos eléctricos . En nuestro caso , el transductor usado sería del tipo de los que entregan señales eléctricas . Ejemplos de estos transductores son el termopar , que da una representación de la temperatura en forma de voltaje ; un extensómetro eléctrico que representa la deformación como un cambio de resistencia eléctrica , etc . (Ver tema IX) .

El objetivo de un sistema de adquisición de datos es recopilar y grabar los datos en una forma adecuada para su procesamiento y/o presentación . De esta manera , un potenciómetro con graficador es un sistema sencillo de adquisición de datos , que puede utilizarse para registrar valores de temperatura por medio de termopares . En un sistema más complicado , se podría convertir la señal de voltaje originada en el termopar en una señal digital , la cual a su vez se podría utilizar para operar una impresora , de manera que se presentara el valor de la temperatura impreso en una hoja de papel . Este sistema es mucho más complicado que el simple registrador de voltaje , debido al proceso de conversión digital . Sin embargo , es fácil ver que una salida digital presenta muchas ventajas .

El sistema general de adquisición de datos consta de tres etapas :

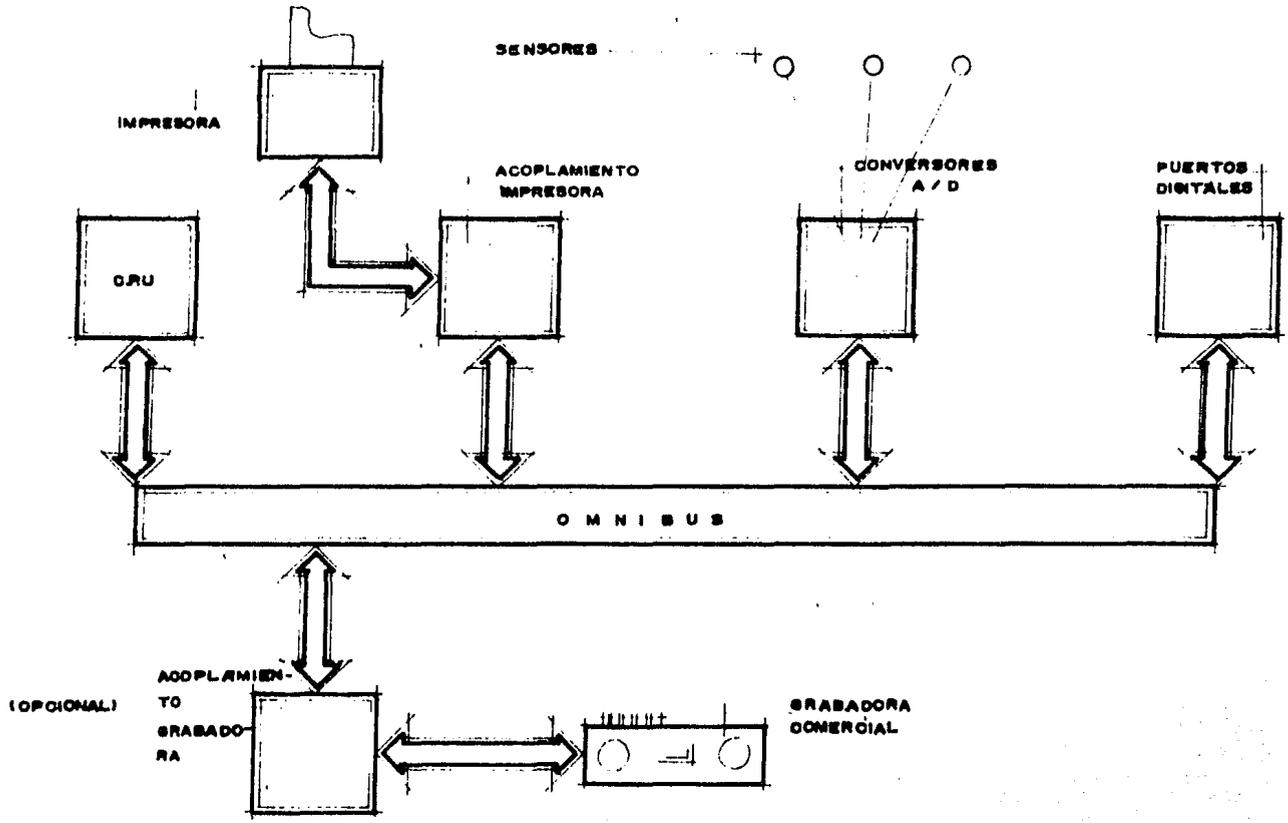


FIG. No 21

1.- La etapa de entrada , la cual consiste de los transductores apropiados y los circuitos acondicionadores de señal (amplificadores , filtros , etc.) .

2.- Una etapa de conversión de señal , la cual convierte la señal de entrada en un voltaje y a continuación expresa este voltaje en forma digital .

3.- Una etapa de salida , la cual maneja la señal digital y la expresa en forma impresa en una hoja de papel , grafica los datos , perfora los datos en tarjetas o almacena los datos en cinta magnética . La etapa de salida debe de incluir circuitos de acoplamiento adecuado para convertir la señal digital en una forma tal que pueda activar una impresora , una grabadora de cinta magnética , etc .

En la figura 3.1 se muestra un diagrama esquemático de este sistema general . El convertidor analógico digital representa la etapa de conversión .

El sistema generalmente debe de incluir los recursos necesarios para recolectar datos a través de múltiples canales de entrada . Este proceso de recopilación puede llevarse a cabo por medio de un canal para cada variable en estudio , como en la figura 3.1 . Sin embargo , el costo de este sistema podría llegar a ser muy alto , aunque podría justificarse en razón de que la señal en estudio tuviera una variación muy rápida , que impidiera el uso de un dispositivo

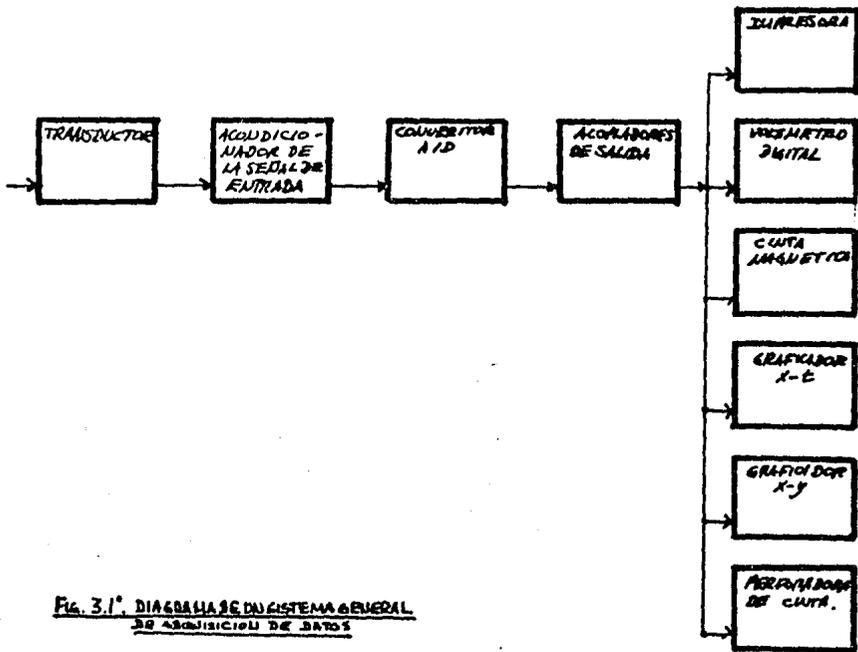


Fig. 3.1. DIAGRAMA DE UN SISTEMA GENERAL DE ADQUISICIÓN DE DATOS

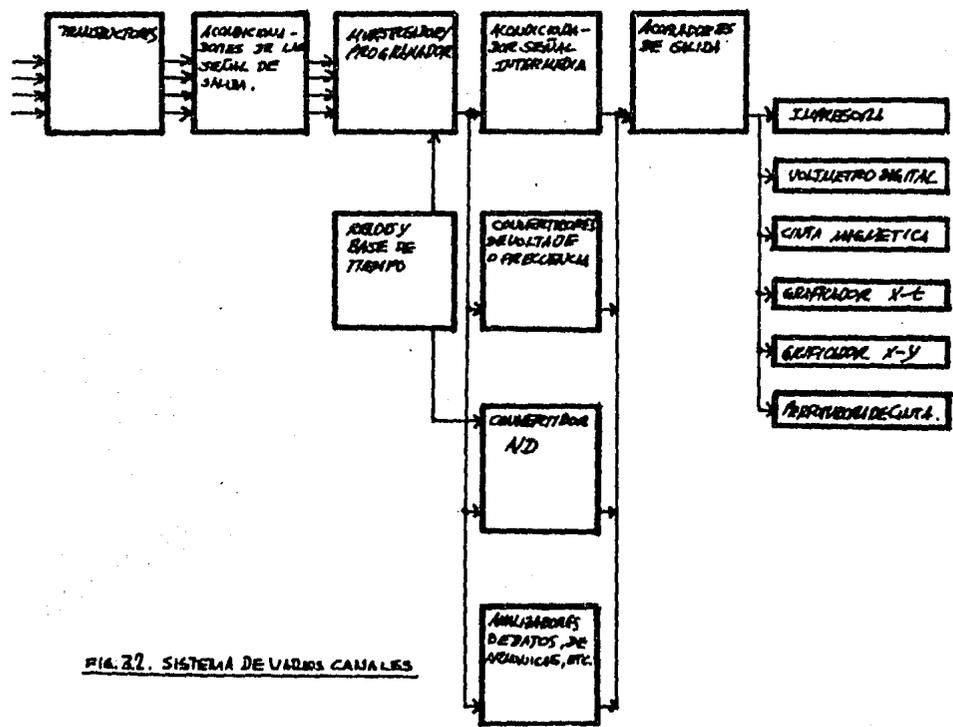


Fig. 3.2. SISTEMA DE VARIOS CANALES

muestreador/Programador . El muestreador es un dispositivo que muestrea los canales de entrada en secuencia , de manera que sólo se hace necesaria una etapa de conversión y de salida . De esta forma el sistema puede programarse para recolectar cualquier rango deseado de variables , de allí que el dispositivo se le llama muestreador/Programador . El muestreador se puede considerar como una parte de la sección de entrada en el sistema general de adquisición de datos . Para que el sistema pueda llevar una recolección de datos a intervalos regulares de tiempo o en una secuencia particular , se le incorpora un reloj digital y una base de tiempo , ya sea en la etapa muestreadora y/o en la convertidora .

También puede resultar conveniente efectuar algún tipo de acondicionamiento a la salida del muestreador/Programador .

El acondicionamiento podría consistir en amplificación, filtrado , análisis de distorsión de algunas formas de onda , etc . El sistema resultante se muestra en la figura 3.2 .

C . Uso de la computadora digital en los sistemas de adquisición de datos ,

Dentro de las aplicaciones para las computadoras existe una categoría llamada de control automático , que tiene una gran variedad de sistemas .

Se tiene un sistema a controlar , que proporciona a la

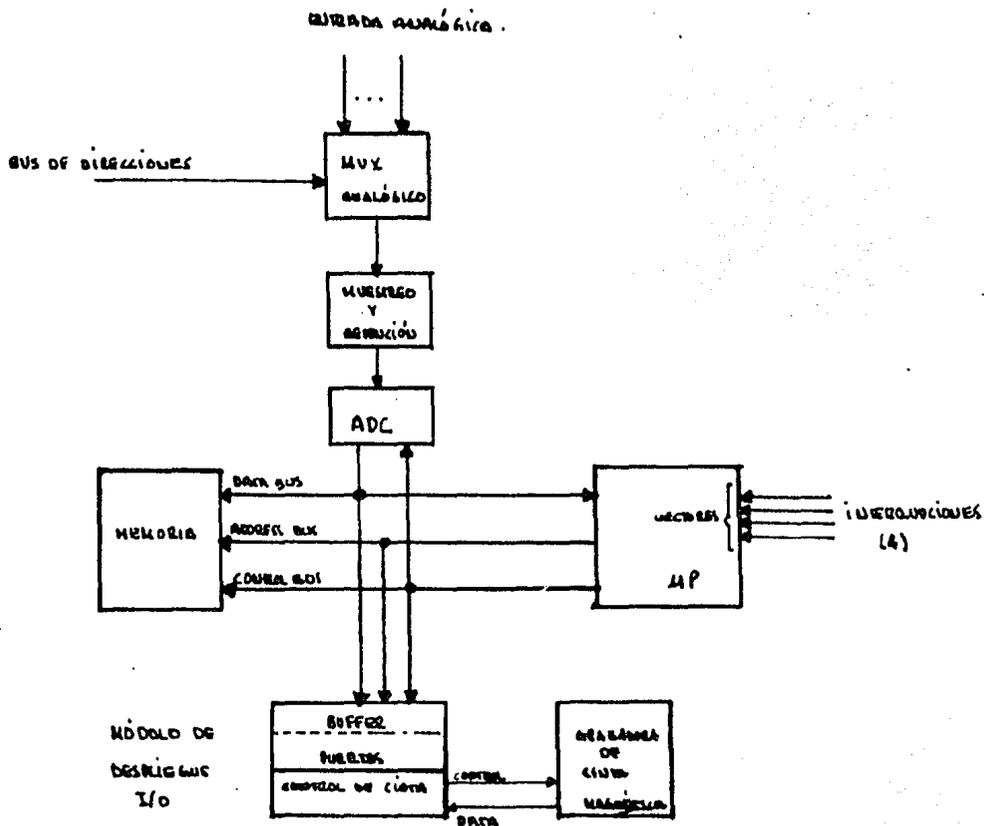


FIG. 3.3

computadora flujos de información analógica y/o digital ; la computadora por medio de éstos obtiene una representación del estado actual del sistema , de tal forma que puede generar señales de control que hagan operar " actuadores " como solenoides , motores , etc. para producir la acción deseada en el sistema controlado . El sistema digital de control automático puede también proporcionar información del estado del sistema controlado para que , en caso excepcional , un operador proporcione señales manuales de control al sistema .

Dentro de las categorías de los sistemas de control se encuentran los sistemas de " data logging " que pueden tener muchas entradas (hasta cientos de entradas) , estos sistemas no ejecutan control automático . En vez de eso , la información es recolectada automáticamente , guardada y presentada a los operadores humanos , para guiar sus decisiones en el control del sistema . La información almacenada puede ser también posteriormente analizada por computadoras digitales para un estudio detallado del comportamiento del sistema .

Un ejemplo de los sistemas de adquisición de datos es un monitor de fábrica , como el mostrado en la figura 3.3 . Varias entradas analógicas representando temperatura , potencia , desplazamiento , etc. , son transmitidas a un multiplexor analógico (MUX) . La salida del MUX es muestreada , tomada y colocada a la entrada de un convertidor analógico a digital . El microprocesador da las direcciones

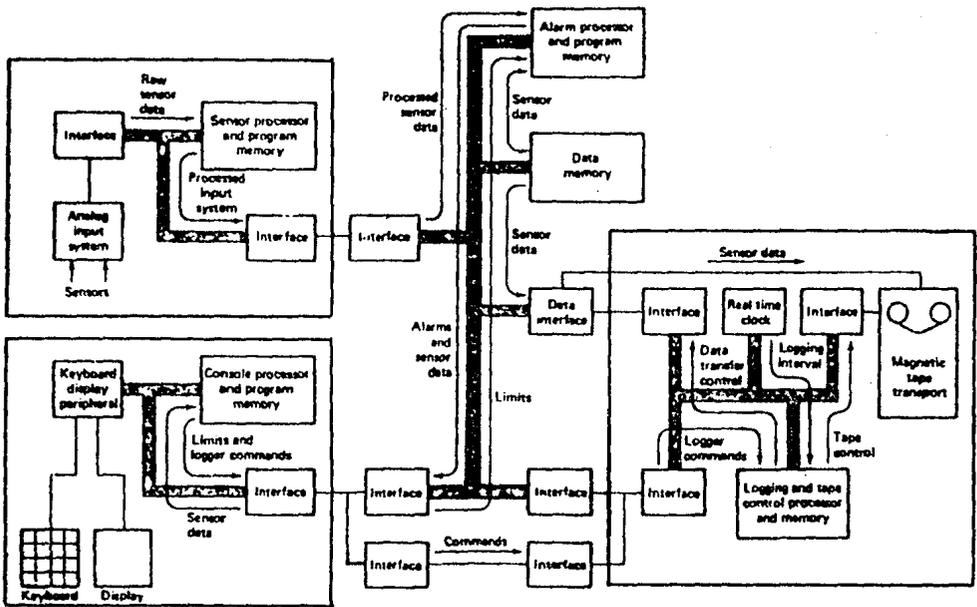


FIG. 3.4

Para el MUX y conduce los datos al puerto apropiado para desfilarse . Cuatro entradas están disponibles para interrumpir al microprocesador y ejecutar las rutinas correspondientes de interrupción .

Un solo procesador puede realizar todas las funciones de "losser" ; sin embargo , si el número de fuentes de entrada se incrementa en demasía o si su razón de variación es muy rápida el procesador puede llegar a ser insuficiente . Un procesador más grande , rápido puede usarse , pero su funcionamiento llegará a estar limitado eventualmente por el tráfico masivo de datos en un solo bus :

Una mejor alternativa es la del multiprocesamiento , mostrada en la figura 3.4 . Las tareas que realizaba el procesador de la figura 3.3 son realizadas por cuatro procesadores , cada uno con sus propios buses . El sistema de proceso distribuido tiene un desempeño mejor que el del sistema con un solo microprocesador :

Finalmente , el proceso total de un sistema de adquisición y grabación de datos consiste de varias etapas , las cuales , en forma general son : adquisición de datos , acondicionamiento de los datos para su grabación , grabación y como etapa final el análisis de los datos grabados (estadísticas , registro de comportamiento , formulación de modelos , etc) . Esta última etapa realizada generalmente en una computadora externa .

2 .- Características del SMAD .

A . Descripción general .

El Sistema de Microprocesamiento para Adquisición de Datos está constituido por tres módulos básicos , a saber : módulo de microprocesamiento , módulo de adquisición de datos y módulo de grabación de información .

El módulo de microprocesamiento está formado por una microcomputadora basada en el microprocesador Z-80A , el circuito USART 8251 y el PPI 8255 . En este módulo se realizan las tareas de procesamiento necesarias para el funcionamiento del sistema SMAD .

Este módulo contiene también la memoria del sistema, ROM , donde está contenido el programa que maneja al SMAD y RAM , memoria en que las muestras tomadas son guardadas temporalmente antes de ser grabadas a cinta .

El módulo de adquisición de datos es el encargado de recibir las señales analógicas externas y adecuarlas para que puedan ser procesadas por el SMAD . El módulo está diseñado a partir del circuito convertidor analógico a digital ADC 0832 .

Finalmente , el módulo de grabación de información tiene la función de grabar la información obtenida en memoria secundaria , en nuestro caso , cassettes de audio estándar . El módulo está diseñado a partir de los circuitos modulador S7638 y demodulador 2211CP . La salida de este módulo se debe de conectar a la entrada MIC de cualquier grabadora comercial monoaural (entrada para micrófono) .

El objetivo del SMAD es el tomar muestras de dos canales de entrada analógicos y grabar sus valores hacia una cinta magnética (cassette) para que posteriormente sean analizados por otra computadora .

El SMAD cuenta con tres opciones de velocidad de muestreo de forma que los canales del sistema al cual esté conectado el SMAD sean procesados en periodos de 0.5 hora , 1.0 hora y 2.0 horas , tras lo cual la información colectada pasa a ser grabada . Los tiempos de operación se dan en el apartado de " Especificaciones " .

El sistema está orientado entonces hacia la recolección y grabación de la información y no al análisis de la información o acciones de control que pudieran llevarse a efecto con la información recolectada . En todo caso , se indica posteriormente la posible manera de llevar a extender las funciones del SMAD básico hacia estas áreas mencionadas . En el programa que maneja al SMAD se incluyó un proceso de

recuperación de la información a partir de la cinta grabada con fines de demostración únicamente .

El proceso de análisis debe llevarse a cabo en una computadora externa al ambiente de trabajo del SMAD , que consideramos sea en las proximidades del sistema que genera las señales analógicas , ambiente que no es el más propicio para la computadora dedicada al análisis . El implementar aplicaciones de análisis a la información en el SMAD aumentaría el costo del mismo . La computadora externa puede ser sencilla , cualquier microcomputadora con una grabadora de cassette sirve para el propósito , siendo la información grabada fácilmente recuperable (esta microcomputadora puede ser del tipo "personal" incluso) .

B . Especificaciones técnicas .

Dimensiones SMAD .

Anchura : 13 cm.
Altura : 20 cm.
Profundidad : 14 cm.
Peso : 1.018 Kg.

Dimensiones Fuente .

Anchura : 20 cm.
Altura : 13 cm.
Profundidad : 13 cm.
Peso : 3.157 Kg.

Salidas Fuente : DC + 5V, 3A ;
DC +12V, 1A ;
DC -12V, 1A .

Velocidades de transmisión .

300 , 1200 , 19200 bauds .

Eléctricas .

Voltaje de entrada fuente : 115 VAC , 60 Hz .

Voltajes de salida fuente : + 5 V, + 12 V, - 12 V .

Potencia consumida SMAD : 3.2 Watts.

Operativas .

Frecuencia del reloj maestro : 4 Mhz .

Velocidad de transmisión : 300 bauds .

Frecuencia de grabación para "0" : 1200 Hz ,
para "1" : 2400 Hz .

Número de canales analógicos : 2 .

Máximo error del ADC 0832 : +/- 0.5 LSB .

Periodos de muestra entre canal y canal :
5.402 s , 10.81 s y 21.6 s .

Frecuencias de muestreo :
0.1851 , 0.0925 y 0.04629 Hz .

Tiempos de grabación :

Según el periodo entre canal y canal 0.5 hora ,
1.0 hora y 2.0 horas son los tiempos en que las
muestras son grabadas .

Frecuencia máxima teórica de la señal de entrada :
46.27 milihertz . (Constante de tiempo : 22 seg .)

Tamaño del buffer utilizado :

334 localidades , 167 localidades por canal .

Tiempo dedicado a la grabación en cinta :

bits grabados / velocidad

$$(334 * 2 * 10) / 300 = 22.3 \text{ s } ,$$

sin contar tiempo empleado por software de grabación ,

Muestras perdidas totales en el tiempo de grabación :

4 muestras (a 5.4 s entre canal y canal) ,

2 muestras (a 10.8 s) ,

1 muestra (a 21.6 s) ,

Grabadora usada : tipo estándar monaural .

Cassette usado : cassette de audio estándar .

IV . MODULO DE LA MICROCOMPUTADORA .

1 .- INTRODUCCION .

El SMAD consta de tres módulos, uno de ellos es una microcomputadora programable en una sola tarjeta, orientada a diversas aplicaciones que incluyen el control de procesos, sistemas de adquisición de datos, instrumentación, comunicaciones y robótica . Las otras módulos son la de adquisición y conversión de datos y la de grabación de información .

El módulo de la microcomputadora contiene al procesador Z80A, un puerto en serie RS232-C, 24 líneas de entrada salida programables, memoria RAM y memoria ROM . Cuenta también con circuitos que generan las señales de reloj, con un reset manual y con un reset automático .

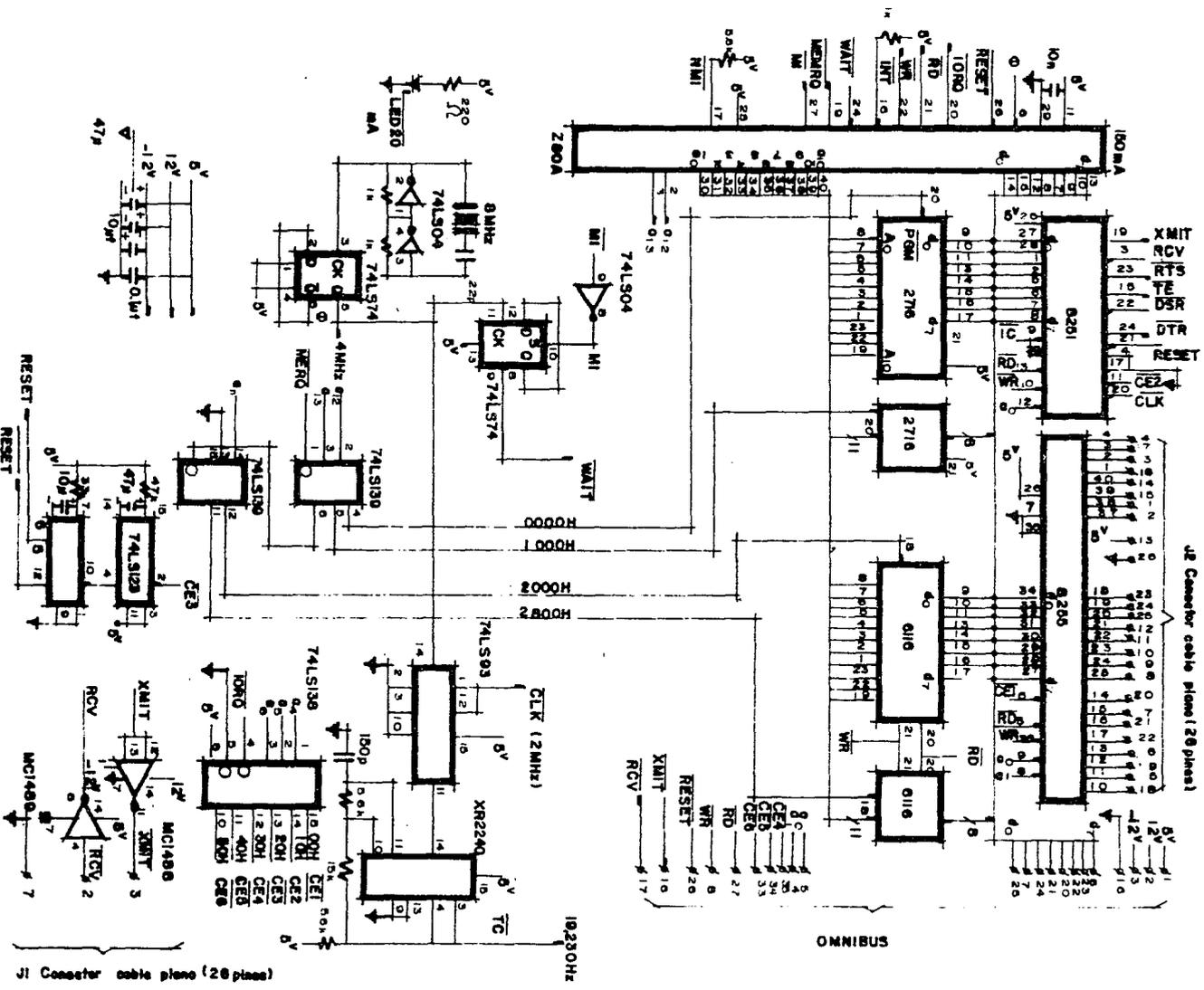
El sistema se conecta con otros módulos por medio del bus común denominado omnibus .

2 .- DESCRIPCION GENERAL .

Como puede observarse en la figura 4.1, el módulo principal cuenta con 7 circuitos LSI :

Z80 : 1 procesador central funcionando a 4 Mhz .

TMS 2716 :2 memorias EPROM con capacidad de 2K x 8 bits, Sirven para almacenar el sistema operativo y al programa de aplicación .



J1 Connector cable plane (28 pins)

J2 Connector cable plane (28 pins)

OMNIBUS

19.230kHz

0116 : 2 memorias RAM estáticas con capacidad de $2K \times 8$ bits, sirven para el almacenamiento de programas y datos durante la etapa de desarrollo y en la operación del sistema.

8251 : 1 USART . Este circuito es un serializador programable. Se emplea para el acoplamiento del circuito con una terminal de video y con una grabadora . Sus velocidades de transmisión pueden ser de 300, 1200 y 19200 bits por segundo .

8255 : 1 PPI . Es una interfaz periférica programable . El circuito cuenta con 24 líneas de entrada/salida divididas en tres puertos .

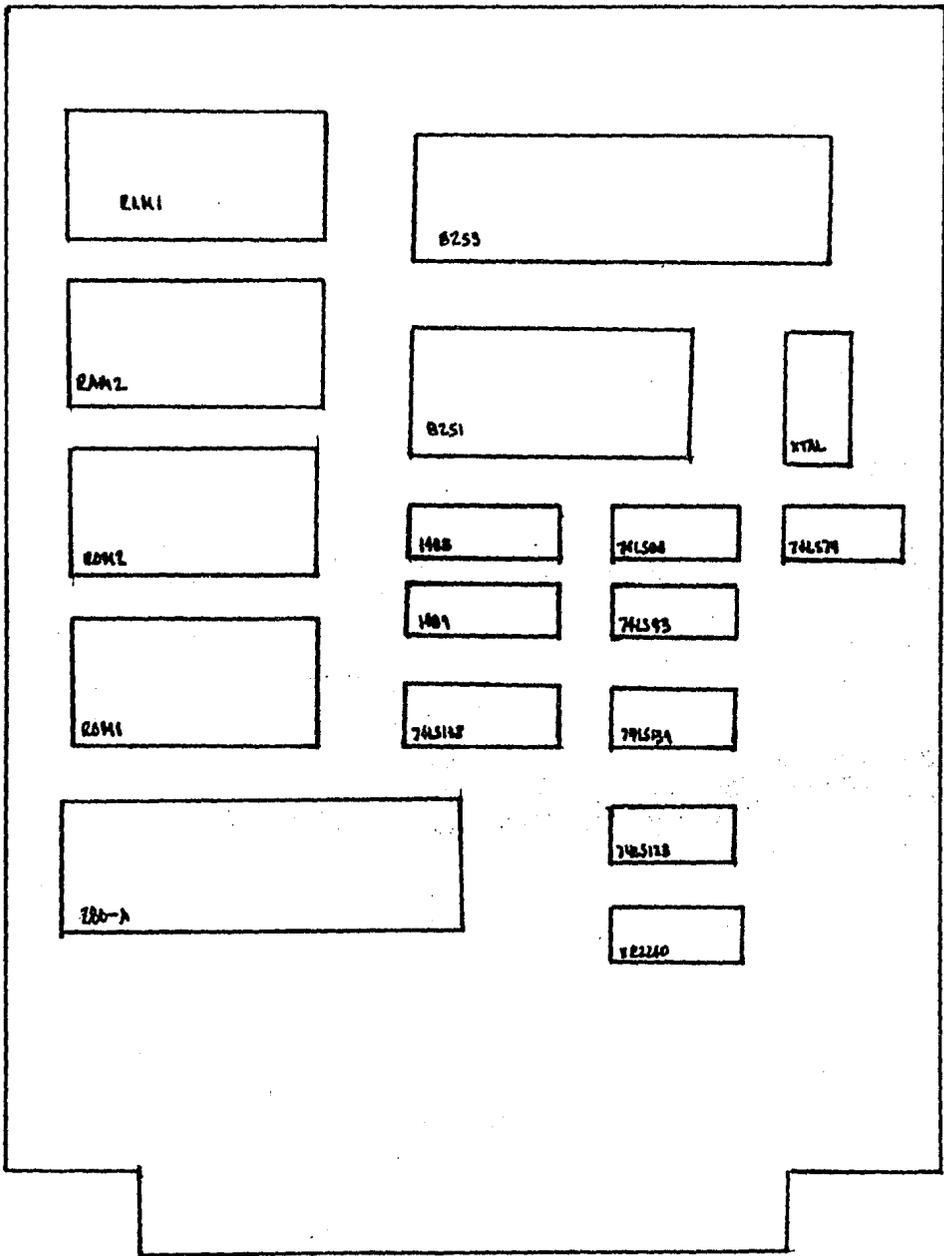
La disposición de los circuitos se da en la figura 4.2 .

3.- DESCRIPCION PARTICULAR .

A . Generación del reloj .

Esta microcomputadora funciona sobre la base de un reloj de 4 MHz TTL . A diferencia de el 8080A, el Z80A solamente requiere un reloj de fase simple y puede ser excitado con c.c. a 4 MHz . En la figura 4.3 se ilustra el ciclo básico de temporización de la computadora .

Cada operación básica (Mn) de la computadora es completada en de tres a seis periodos de reloj. La figura 4.3 muestra un ciclo de instrucción típico que consiste en tres ciclos de máquina: búsqueda, lectura de memoria y escritura de memoria . Después de que se busca el código de operación durante M1, los ciclos siguientes desplazan los datos entre la memoria principal y el procesador central .

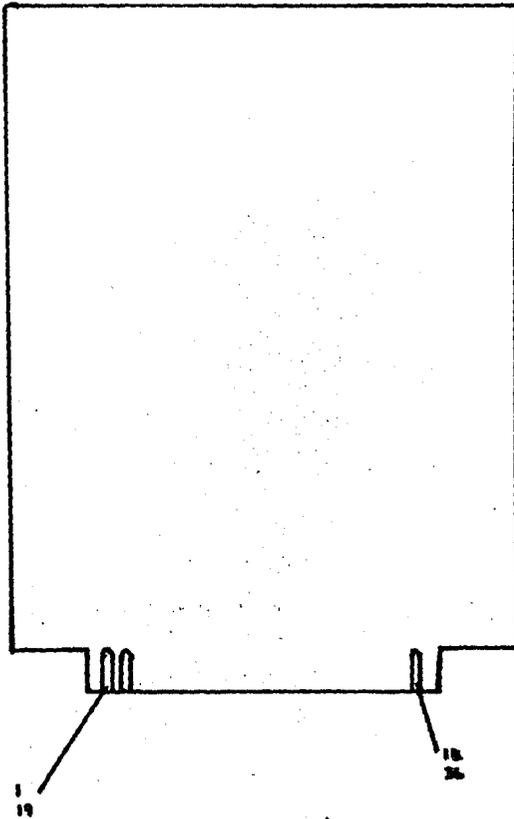


DISPOSICIÓN DE CIRCUITOS ("CHIPS")

Las figuras 4.4a y 4.4b ilustran dos posibles diseños de circuitos generadores de reloj para el Z80. Ambos circuitos satisfacen las necesidades de señales de reloj de c.a. y c.c. En nuestro caso utilizamos el circuito de la figura 4.4a .

El circuito controlado por cristal de la figura 4.4a es el que usamos ya que el tiempo de ejecución es siempre constante. De este modo, el circuito de la figura 4.4b, aunque sea aceptable, no es muy recomendable ya que no sirve si la computadora se utiliza para contar eventos. Puede servir para un propósito muy útil en las etapas de desarrollo, permitiendo al usuario hacer más lento el reloj (aumentando los valores de R y de C) hasta un ritmo en que sea posible controlar directamente el funcionamiento del procesador central .

El circuito de la figura 4.4a es activado por medio de un cristal de cuarzo. Cuando los cristales de cuarzo son sometidos a una presión mecánica, se produce un desplazamiento de carga en sus caras dando como resultado que aparezca una diferencia de potencial entre ellas . A la inversa, si se aplica una diferencia de potencial (fem) entre sus caras, el cristal sufrirá una ligera deformación en sus dimensiones. Este fenómeno es conocido con el nombre de efecto piezoeléctrico y fue descubierto en 1880 por los físicos franceses Pierre y Jacques Curie. Aunque el efecto es sólo mientras dura la presión o diferencia de potencial, puede hacerse continuo alternando éstas. De este modo por la



1	5V	19	5V
2	12V	20	d4
3	-12V	21	d3
4	a1	22	d5
5	a0	23	d6
6	d7	24	d2
7	d1	25	d0
8	WE	26	RESET
9		27	RD
10	C6	28	S.GR.
11		29	
12		30	
13		31	
14		32	
15		33	CEC
16	XMIT	34	CE5
17	RCV	35	CE4
18	GND	36	GND

ASIGNACION DE LINEAS PARA
"OMNIBUS" DEL SMAD.

alteración de la presión de las caras del cristal entre valores de compresión y tensión; una fuerza electromotriz alterna (variable entre + y -) puede ser generada. Inversamente conectando los lados opuestos de un cristal piezoeléctrico a una fem alterna vibraciones continuas pueden crearse a lo largo del cristal. De esta forma se genera el reloj.

D . Circuito de reinicialización (reset) .

La casi siempre ignorada función de reinicialización es uno de los controles más necesarios en una computadora. Su importancia es reconocida inmediatamente cuando se ejecuta un programa en forma incorrecta. La orden de reinicialización (reset) en el Z80 interrumpe la ejecución y carga el contador del programa con 0000 hexadecimal (la más baja dirección de memoria) . Esto permite al programador reiniciar el programa.

La entrada de reset suele ser manual, automática o una combinación de ambas formas. La figura 4.5a es un circuito normal de reset. Su salida suele ser alta hasta que se pulsa el botón y entonces pasa a nivel bajo. El Z80 permanecerá en reset mientras se mantenga oprimido el botón y no comenzará a funcionar de nuevo hasta que el botón sea liberado .

Cuando las computadoras se usan en aplicaciones en donde la presencia humana no interviene, como un controlador de luces de tráfico, el reset manual no puede emplearse y debe ser utilizado en cambio un reset automático. La figura 4.5b

o el circuito de un reset de sueta en funcionamiento de un reset automático. El circuito de vigilancia está formado por dos circuitos monoestables 74LS123. La señal CE3 activa baja dispara el primer monoestable; la salida en la pata 4 pasa por tanto de "1" a "0". Este cambio de nivel no dispara al segundo monoestable porque se requiere un flanco ascendente para dispararlo.

Como el primer monoestable es redisparable, si la frecuencia de la señal CE3 es mayor a 1 Hz, la señal que aparece en la pata 4 permanecerá en estado bajo. Sin embargo, si en algún momento deja de activarse CE3, entonces la salida en la pata 4 pasará de "0" a "1" disparando el segundo monoestable el cual, finalmente genera el pulso de reset en la pata 26 del Z80. El objetivo del circuito es, por lo tanto, generar el reset al procesador si este pierde el control del programa (en cuyo caso se deja de activar CE3). En nuestro caso tenemos los dos tipos de reset.

C . Señal de Wait .

La señal de wait es generada cada vez que la señal M1 es activada, es decir, cada vez que el microprocesador va a buscar el código de operación de alguna instrucción la señal M1 se activa. La señal de wait nos sirve para agregar periodos de tiempo, para acoplar las velocidades entre el procesador, (que es muy rápido) y la memoria y los periféricos que sean más lentos. Durante el tiempo que dura

la señal de wait, el programa suspende su ejecución y se mantiene indefinidamente en este estado hasta que la señal se desactive.

D . Memoria y decodificación de entrada/salida .

Antes de que podamos usar dispositivos de E/S debemos aprender cómo actúa el direccionamiento del Z80. Hay que recordar que la dirección FF hexadecimal podría referirse a la memoria o a un puerto de entrada o de salida. La computadora debe tener la capacidad de diferenciar entre los tres posibles significados.

Las salidas de control del Z80 tienen la información necesaria para el encaminamiento. Seleccionado con compuertas las señales adecuadas, se obtienen las señales correctas. Para operaciones de memoria y E/S básicas, las cuatro señales de especial interés son MREQ, IORQ, RD y WR todas activas bajas. Sus definiciones son las siguientes:

- MREQ.

Petición de memoria. Siempre que suceda una transacción entre el procesador y la memoria, la línea MREQ pasa a un nivel lógico '0'.

- IORQ.

Petición de entrada/salida. Siempre que suceda una transacción entre el procesador central y un puerto de entrada o de salida, la línea IORQ pasa a un nivel lógico '0'.

- RD.

Petición de lectura. Siempre que el procesador central lee datos de entrada de la memoria o de un puerto de entrada, la línea RD pasa a un nivel lógico '0'.

- WR.

Petición de escritura. Siempre que el procesador central esté escribiendo datos en memoria o para un puerto de salida, la línea WR pasa a un nivel lógico '0'.

La decodificación de los dispositivos de E/S se lleva a cabo por medio del circuito 74LS138. Este circuito es un decodificador de 3 a 8, cuyas entradas son las líneas del bus de direcciones a4, a5 y a6, y la señal IORQ que es su habilitación. La tabla 4.1 nos muestra la decodificación de los puertos.

TABLA 4.1

Dirección	Función	Circuito
00H	Lectura y escritura puerto A	8255
01H	Lectura y escritura puerto B	
02H	Lectura y escritura puerto C	
10H	Lectura en registro de recepción	8251
10H	Escritura en el registro de transmisión	
11H	Lee registro de estatus	
11H	Escribe registro de control	
20H	Escribe en el reset automático	74123
70H-7FH	Expansión, (usados en la expansión a control)	

La decodificación de la memoria se lleva a cabo a través del circuito 74LS139. Este circuito decodifica las líneas de dirección a12 y a13 con lo cual se divide a la memoria en 4 bloques de 4K cada uno. Las dos primeras salidas (patas 4 y 5) habilitan directamente a las dos memorias 2716. La salida de la pata 6 habilita un segundo decodificador 74LS139 y por medio de a11, divide a la memoria en dos secciones de 2K cada uno. Estas dos secciones son las memorias RAM 6116.

Hay que hacer notar que los primeros dos bloques de memoria de 4K cada uno no se ocupan totalmente. El no ocuparlos se debe a que las memorias que se están utilizando son de 2K, pero se tiene la ventaja de que en caso de que se quieran poner memorias de 4K, simplemente hay que agregar la línea de dirección A11 a la memoria correspondiente. No se necesita hacer ningún otro cambio porque ambas memorias son compatibles en los demás pines.

La tabla 4.2 nos muestra cómo quedó la decodificación de memoria.

TABLA 4.2

3000H--FFFFH	Disponible
2800H--2FFFH	2K RAM
2000H--27FFH	2K RAM
1800H--1FFFH	Sin uso
1000H--17FFH	2K ROM
0800H--0FFFH	Sin uso
0000H--07FFH	2K ROM

E. USART 8251A.

E.1 Descripción general .

El circuito 8251A es fabricado por Intel. Es un dispositivo programable de comunicaciones USART, o sea Universal Synchronous/Asynchronous Receiver Transmitter .

El 8251A es usado como un periférico y es programado por el CPU para poder operar conforme a casi todas las técnicas de comunicación en serie actualmente en uso .

El USART toma caracteres de datos del CPU en paralelo y los convierte a formato en serie para poder ser transmitidos. De la misma forma, puede recibir datos en serie y convertirlos a formato paralelo para ser entregados al CPU .

El USART puede señalar al CPU , cada vez que sea necesario , si puede recibir un nuevo carácter para transmitir o si ha recibido un carácter del CPU. El CPU puede leer el estatus del dispositivo USART a cualquier hora. Esto incluye errores de transmisión de datos y señales de control tales como SYNDET, TxEMPTY .

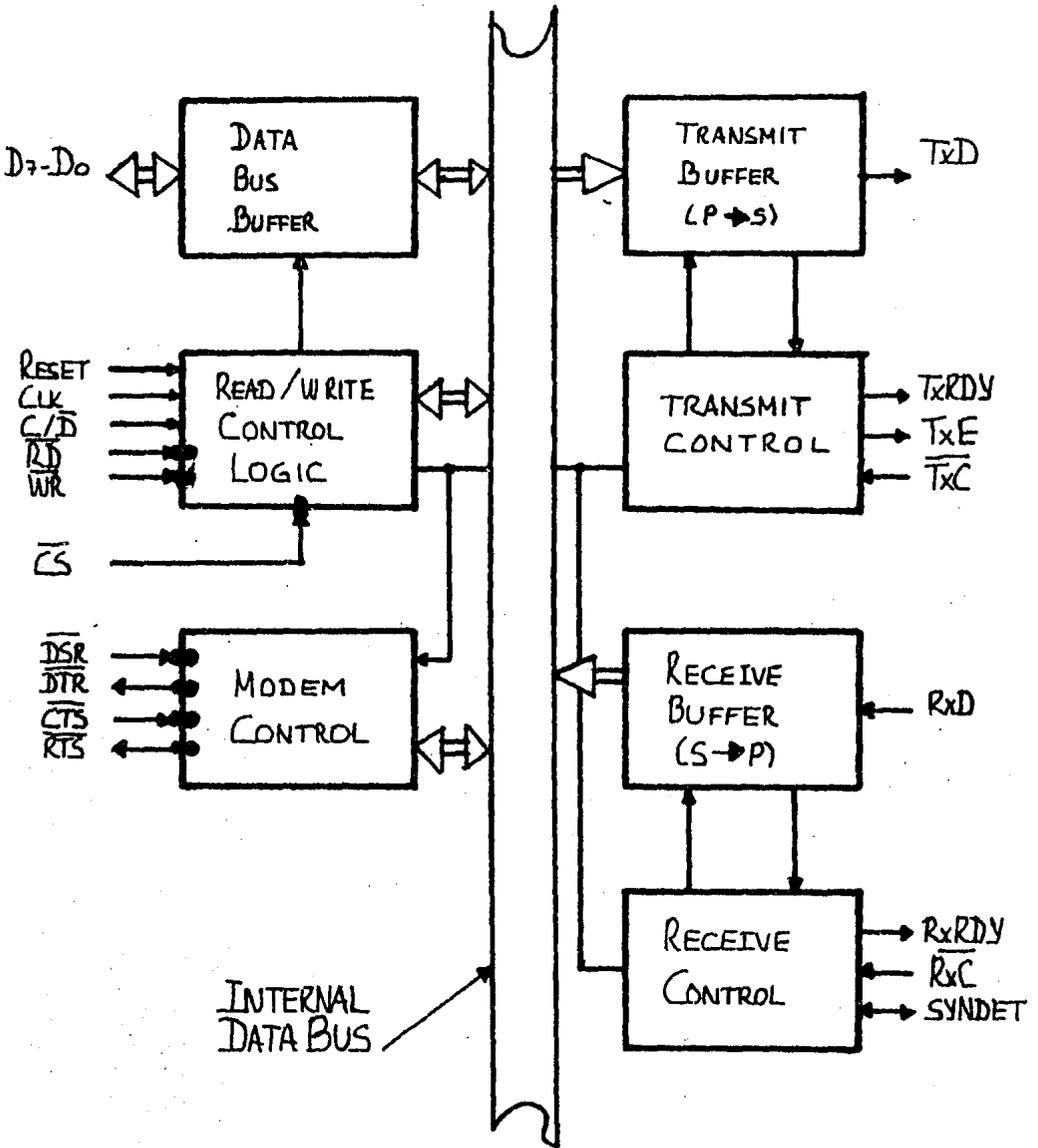
El USART 8251A es construido usando la técnica de canal N de silicio .

E.2 Descripción Funcional .

Generalidades .

El USART 8251A tiene una configuración funcional programada por el software del sistema para mayor flexibilidad .

DIAGRAMA DE BLOQUES



En el ámbito de las comunicaciones un dispositivo de interfaz debe de convertir el formato paralelo de los datos del sistema en formato serial para transmisión y convertir los datos en serie que se reciben a formato paralelo para el sistema .

La interfaz debe también borrar o insertar bits o caracteres que sean funcionalmente únicos a la técnica específica de comunicación que se use . En resumen , la interfaz debe de aparecer "transparente" al CPU .

Buffer del Bus de Datos .

Es un buffer tri-state, bidireccional, de ocho bits y es usado como interfaz entre el USART y el bus de datos del sistema.

Los datos son transmitidos o recibidos por el buffer al ser ejecutadas instrucciones de Input o Output del CPU.

Palabras de control, de comando e información de estatus son también transmitidas a través del buffer del bus de datos.

Los comandos y datos de entrada, y los datos de salida son registros de ocho bits separados para proveer el "double buffering".

Este bloque funcional acepta entradas del bus de control del sistema y genera las señales de control para la cabal operación del dispositivo. Contiene el registro de la

palabra de control y el registro de la palabra de comando que guardan los distintos formatos de control para la definición funcional del dispositivo.

Las señales pueden ser divididas de la siguiente manera:

- 1) Interfaz con el CPU y control.
- 2) Entrada en serie.
- 3) Salida en serie.
- 4) Control de módem.

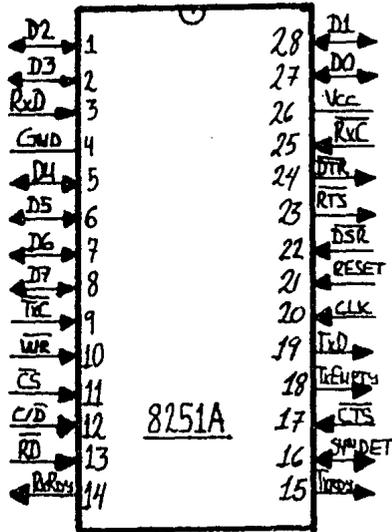
Las señales de interfaz con el CPU y control determinan la operación que realiza el USART en determinado momento y son:

RESET. - Reset. Una entrada en alto fuerza al 8251A a entrar en modo de espera hasta que un nuevo conjunto de palabras de control sea escrito en el 8251A para programar su definición funcional.

CLK. - Clock. Esta entrada es usada para generar la temporización interna del dispositivo. El reloj debe de ser al menos treinta veces mayor que la razón de transmisión o recepción de los bits de datos.

WR. - Write. Una entrada baja significa que el CPU está escribiendo datos o palabras de control al 8251A.

RD. - Read. Una entrada baja significa que el CPU está leyendo datos o información de estatus del 8251A.



NOMBRE .	DESCRIPCIÓN .	TIPO .
Do-D7	BUS DE DATOS	BIDIRECCIONAL
RESET	RESET DEL SISTEMA	INPUT
CLK	RELOJ DEL DISPOSITIVO	INPUT
C/D	SELECTOR DE CONTROL/DATOS	INPUT
RD	LEE DATOS O ESTATUS	INPUT
WR	ESCRIBE DATOS O CONTROL	INPUT
CS	CHIP SELECT	INPUT
DSR	DATA SET READY	INPUT
DTR	DATA TERMINAL READY	OUTPUT
CTS	CLEAR TO SEND	INPUT
RTS	REQUEST TO SEND	OUTPUT
TXD	SALIDA DE DATOS SERIE	OUTPUT
TXRDY	TRANSMITTER READY	OUTPUT
TXEMPTY	TRANSMITTER EMPTY	OUTPUT
TxC	SERIAL TRANSMIT DATA CLOCK	INPUT
RxD	ENTRADA DE DATOS SERIE	INPUT
RxRDY	RECEIVER READY	OUTPUT
RxC	SERIAL DATA INPUT CLOCK	INPUT
SYNDET	SYNCHRONOUS DATA DETECTOR FOR LE	BIDIRECCIONAL
VCC, GND	ALIMENTACIÓN Y TIERRA	

$\overline{C/D}$: - Control/Data: Esta entrada, en conjunción con write y read informa al 8251A que la palabra en el bus de datos es una palabra de control, un carácter de datos o información del estatus. (1 = CONTROL/STATUS, 0 = DATA).

\overline{CS} : Chip Select: Una señal baja en esta entrada selecciona al 8251A. Las operaciones de lectura o escritura no pueden ocurrir a menos de que el dispositivo sea seleccionado. Si la entrada es alta, el bus de datos está flotando y las señales de read y write no tendrán ningún efecto en el dispositivo.

Entrada en serie:

El buffer de entrada acepta los datos en serie y los convierte a formato paralelo, revisa los bits o caracteres especiales de comunicación y mantiene el carácter ensamblado listo para que sea tomado por el CPU.

Los datos en serie son transmitidos por la línea RXD y es sincronizada su introducción con el flanco de subida de la señal RXD (nes). El control de recepción maneja todas las actividades relacionadas con la entrada y tiene las siguientes características:

El circuito de iniciación de la recepción previene que el receptor comience a operar cuando está en estado de "break", evitando las interrupciones no deseadas de un USART desconectado.

Antes de empezar a recibir caracteres en serie se debe

detectar un "1" válido después de un chip master reset. Una vez que ha sido determinado, se busca un bit válido de start o sea un "0". Esta característica es válida sólo para el caso de las transmisión asíncrona.

La detección de bit de inicio falso previene contra inicios falsos debidos a ruido.

Existen flip-flops de paridad y de error de paridad. El flip-flop de error de encuadre (frame error) se pone en alto cuando el bit de paro no está presente al final del byte de datos.

Las señales manejadas son:

RXRDY. - Receiver Ready. Esta salida indica que el USART contiene un carácter listo para mandarse a la CPU. La pata de RXRDY puede ser conectada al sistema de interrupciones, si se maneja, o bien, en el caso de polling, el bit RXRDY puede ser leído del estatus. Esta salida puede ser enmascarada por el RXEnable.

RXC. - Receiver Clock. Esta señal controla la razón a la cual el carácter será recibido. En modo asíncrono el baudaje será obtenido dividiendo el receiver clock por el factor escosido a través de software, la razón de división puede ser de 1, 1 / 16 o 1 / 64. El dato se sincroniza con el flanco positivo de esta señal.

SYNDET. - SYNC DETect. Se usa en modo síncrono para detectar o forzar la detección del carácter SYNC.

BRKDET, BREAK DETect. Se usa para el modo asíncrono de operación y se activa cuando se mantiene baja la recepción a través de dos secuencias de bits de paro. Esta señal solo puede ser activada por una master chip reset o que los datos transmitidos retornen al estado de "alto".

Salida en serie.

El buffer de transmisión acepta datos en paralelo del data bus buffer, y los convierte a paralelo, inserta los caracteres o bits apropiados (basados en la técnica de comunicación en serie elegida) y saca un flujo de datos en serie a través del pin TXD, con el flanco negativo de TXC (nes). Cuando la señal CTS(nes) = 0 la transmisión podrá ser comenzada. La línea TXD será puesta en el estado de marca inmediatamente después de un reset o cuando el TxEnable/CTS(nes) está apagado o TXEMPTY.

El control de transmisión administra todas las actividades asociadas con la transmisión de datos seriales. Acepta y manda señales interna y externamente para cumplir con esta función.

TXRDY, - Transmitter Ready. Esta salida indica al CPU que el USART está listo para transmitir un dato. La pata de salida TXRDY puede ser empleada en un sistema que utilice interrupciones (se puede enmascarar esta salida con el bit TxDisable al programar el B251A) o bien puede ser leída del estatus (bit TXRDY) para un sistema mediante *polling*. Cada vez que se escribe un dato al USART esta señal será

desactivada.

TXE. - Transmitter Empty. Cuando el 8251A no tiene carácter para transmitir se activa esta señal que indica que el buffer de salida se encuentra libre. Esta señal nos indica el fin de la transmisión de un carácter y nos puede ser útil en el caso de transmitir por «Half duplex», permitiéndonos cambiar la línea de transmisión a recepción. La diferencia entre esta señal y la anterior es que ésta indica que el buffer de transmisión está vacío y la anterior sólo indica que el buffer que nos conecta al bus del sistema está vacío.

TXC. - Transmitter clock. Esta señal sirve para controlar la razón de bauds a la cual la información será transmitida. En la transmisión asincrónica el baudaje es una fracción de la frecuencia de esta señal, que puede ser de 1, 1 / 16 o 1 / 64 del reloj de transmisión. El flanco de caída saca los datos serie fuera del 8251A.

En la mayoría de los sistemas los baudajes de transmisión y recepción son los mismos, por lo que las señales de receiver clock y transmitter clock pueden ser conectadas a una sola frecuencia para simplificar la interfaz requerida.

Control de módem.

El 8251A tiene un conjunto de entradas y salidas de control que pueden ser usadas para simplificar la interfaz con casi cualquier módem. Las señales de control de módem

son de propósito general, dado que pueden ser usadas para otras funciones distintas de las del control de módem si es necesario.

DSR. - Data Set Ready. Es entrada.

DTR. - Data Terminal Ready. Es salida.

CTS. - Clear To Send. Una señal baja en esta entrada habilita al 8251A para transmitir datos seriales si el bit de habilitación TXEnable en el byte de comando está puesto alto.

E.3 Operación general del USART.

La definición funcional del circuito 8251A está dada por el software del sistema. Un conjunto de palabras de control deben de ser mandadas del CPU para iniciar el circuito y que pueda manejar la técnica de comunicación seleccionada.

Estas palabras de control podrán programar: la razón de bauds, longitud de los caracteres, número de bits de paro, operación síncrona o asíncrona, existencia de paridad, paridad par o impar, etc. En el modo síncrono se puede seleccionar también la sincronización de caracteres interna o externa.

Una vez programado, el 8251A está listo para realizar sus funciones de comunicación. La línea TXRDY es puesta en alto para señalar al CPU que está listo para recibir un carácter de datos del CPU. Cuando el CPU realiza esta función, la señal es puesta en nivel bajo.

Por otro lado, el circuito recibe datos seriales del

módem o periférico de entrada/salida. Cuando se ha recibido un carácter entero, la línea RMRDY es puesta en alto para señalar al CPU que el USART tiene un carácter listo para ser tomado.

El 8251A no puede empezar la transmisión hasta que el bit TXEnable (habilitación del transmisor) esté puesto en alto en la instrucción de comando y ha sido recibida una entrada Clear To Send (CTS nes). La línea de transmisión TXD se pondrá en estado de marca una vez recibido el RESET.

E.4 Programación del 8251A.

Antes de empezar la transmisión o recepción deben de cargarse las palabras de control que definirán funcionalmente al circuito. Esta carga debe de realizarse inmediatamente después de una operación de reset. (interna o externa).

Las palabras de control pueden dividirse en :

Instrucción de Modo:

Este formato define las características generales de operación del 8251A. Debe seguir a continuación de una operación de reset. Una vez que la instrucción de modo ha sido escrita dentro del USART por el CPU, caracteres SYNC o instrucciones de comando pueden ser insertadas.

Instrucción de Comando:

Este formato define la palabra de estatus que será utilizada para la operación actual del 8251A.

Las instrucciones de Modo y Comando deben de conformarse con una secuencia específica para la correcta operación del USART. La instrucción de modo debe de ser insertada a continuación de la operación de reset, antes de usar el 8251A para comunicación de datos.

Todas las palabras de control escritas en el 8251A a continuación de la instrucción de Modo serán consideradas como instrucciones de comando. Las instrucciones de comando pueden ser escritas a cualquier hora dentro de la operación del 8251A. Para retornar al formato de instrucción de Modo, el bit de master reset dentro de la palabra de instrucción de comando puede ser levantado para iniciar una operación de reset interno que pone automáticamente al 8251A en formato de instrucción de Modo.

Definición de la Instrucción de Modo.

El 8251A puede usarse para comunicación de datos asíncrona o síncrona.

La tabla siguiente ilustra la manera de realizar la definición de la Instrucción de Modo.

Instrucción de modo :

D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0	
S 2	S 1	E P	PEN	L 2	L 1	B 2	B 1	
				Factor de razón de bauds :				
				B1	0	1	0	1
				B2	0	0	1	1
				Modo (1 X)(16X)(64X) Síncrono				
				Longitud del carácter de datos :				
				L1	0	1	0	1
				L2	0	0	1	1
				> 5 6 7 8 (bits)				
				Habilitación de paridad :				
				> 1 = Habilitada, 0 = Deshabilitada				
				Prueba y generación de paridad par :				
				> 1 = Paridad Par, 0 = Paridad Impar				
				Número de bits de paro (bits):				
				S1	0	1	0	1
				S2	0	0	1	1
				INV	1	1,5	2	
				>(Sólo afecta a Tx)				

Definición de la instrucción de comando .

Una vez que la definición funcional del 8251A ha sido programada por la instrucción de modo y los caracteres SYNC son cerrados (si es transmisión síncrona) el dispositivo está listo para ser usado en la transmisión de datos , La instrucción de comando controla la operación actual del

formato seleccionado . Funciones tales como habilitación de Transmisión/Recepción , Error Reset y controles de módem son manejadas por esta instrucción .

Instrucción de Comando .

D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
E H	I R	RTS	E R	SBRK	RME	DTR	TMEN
							Transmit Enable > 1=Habilitado,0=Deshab
							Data Terminal Ready > En alto,fuerza a DTR(nea)cer0
							Receive Enable > 1=Habilitado,0=Deshabilitado
							Send Break Character > 1=Fuerza a TXD a cero,0=operación normal
							Error Reset > Da reset a las banderas de error PE,OE,FE
							Request To Send > En alto fuerza a RTS(nea) a cero
							Internal Reset > Alto resresa al 8251A al formato de instrucción de modo
							Enter Hunt mode Alto habilita la búsqueda de caracteres SYNC > (para modo síncrono únicamente)

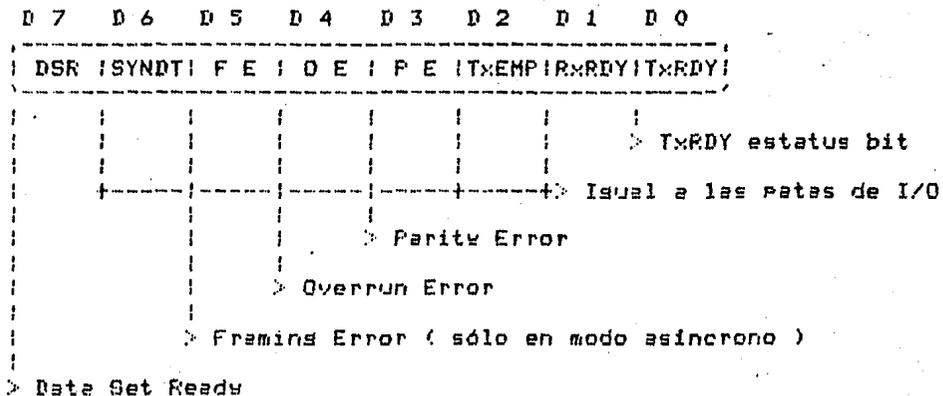
definición de la lectura del estatus .

En la comunicación de datos muy a menudo es necesario revisar el estatus de un dispositivo activo para ver si ha ocurrido un error o para revisar algunas condiciones que requieran especial atención por parte del procesador . El estatus del 8251A puede ser leído en cualquier momento mientras está en operación (la actualización del estatus se inhibe mientras éste se lee) .

Para leer el estatus la línea C/D(ines) debe de estar en alto además de estar activa la señal de lectura .

Algunos bits del estatus tienen idéntica función que algunas de las patas del USART , de esta forma el 8251A se puede usar en un sistema de interrupciones o en uno de "polling" . TXRDY es la excepción .

E s t a t u s :



E.5 Conexión de la interfaz Programable 8251A con el sistema SMAD .

El CPU puede tener acceso al USART considerándolo como dos puertos . La lógica de selección del 8251A consiste de un selector de chip maestro CS (nes) y un selector de Control / Datos .

El circuito 74LS130 decodifica las líneas A4, A5 y A6 y de él se obtiene el selector maestro denominado CE2 , activo bajo, asignado a la dirección 10 H . La selección de Control / Datos se obtiene con la línea A0 del bus de direcciones del sistema , de manera que si A0 = 0 seleccionamos datos y si A0 = 1 seleccionamos estatus / control .

Las líneas de entrada indicadoras de entrada o salida se obtienen de las líneas activas bajas RD y WR del bus de control del sistema .

La siguiente tabla ilustra los distintos flujos de datos que se pueden realizar entre el procesador y el dispositivo USART , siendo la línea C/D(nes) igual a la dirección A0 del bus de direcciones del sistema .

Flujos de datos .

C / D	R D	W R	C S	OPERACION
0	0	1	0	Entrada de datos paralelo 8251A --> CPU
0	1	0	0	Salida de datos paralelo 8251A <-- CPU
1	0	1	0	Entrada del estatus 8251A --> CPU
1	1	0	0	Salida de control 8251A <-- CPU
X	X	X	1	8251A no seleccionado
X	1	1	X	Estado ilegal

La entrada de reset del 8251A se obtiene del circuito de vigilancia, tomándolo de la salida activa alta RESET .

El reloj del dispositivo CLK se obtiene del primer bit de cuenta del contador 74LS93, teniendo por lo tanto una frecuencia de 2 MHz .

La entrada activa baja Clear To Send está conectada a la tierra del sistema .

Los relojes de transmisión serial y de recepción serial están conectados a una sola fuente de frecuencia que es la formada por los circuitos 74LS93 y XR2240 que forman un divisor de frecuencia entre 208, siendo la fuente original el reloj del sistema, de cuatro megahertz, por lo que la entrada es de 19230 hertz . Mediante los factores de división programables se podrá , entonces , manejar razones

de bauds de 300 (factor de 1 / 64), 1200 (factor de 1 / 16) y 19200 (factor unitario) ,

Las señales seriales RXD y TXD están conectadas respectivamente a los circuitos MC1489 y MC1488 que hacen compatibles las señales con la norma RS232-C . Estas señales tienen salida al conector J1 de cable plano .

El voltaje de alimentación y tierra del 8251A están conectados respectivamente a la alimentación y tierra del sistema .

E.6 Software para el USART 8251A ,

Programa de prueba de transmisión del USART ,

A continuación se muestra un programa de prueba para el circuito 8251A , este programa debe de correrse con el sistema conectado a una terminal a través del conector de cable plano J1 . Las características funcionales del 8251A deberán de estar de acuerdo a las manejadas por la terminal . En nuestro caso, el programa fue corrido con el sistema conectado a una terminal " Televideo 910 " ,

CROMEMCO Z80 Macro Assembler version 03.08

*** 8251A ***

```

(0010)      0001  USART  EQU 10H          ; Dirección del 8251A
              0002  BEGIN
0000' 3ECF      0003          LD A,0CFH          ; Modo = " 1100 1111 "
0002' D311      0004          OUT (USART+1),A      ; Se escribe el modo
0004' 3E37      0005          LD A,37H          ; Comando = " 0011 0111 "
0006' D311      0006          OUT (USART+1),A      ; Se escribe el comando
0008' DB11      0007  LOOP   IN A,(USART+1)      ; Lectura del estatus
000A' E601      0008          AND 01H          ; Prueba de TXRDY
000C' CA0B00'   R 0009          JP Z,LOOP        ; Si no esta listo,loop
000F' 3E41      0010          LD A,41H          ; Dato a transmitir
0011' D310      0011          OUT (USART),A      ; Salida del dato
0013' C30B00'   R 0012          JP LOOP        ; Vuelta al ciclo
              0013

```

*** 8251A ***

Symbol	Value	Defn	References
BEGIN	0000'	0002	
LOOP	0008'	0007	0009 0012
USART	0010	0001	0004 0006 0007 0011

La dirección del 8251A es 10H y se asigna a USART, se carga la definición de modo con " 1100 1111 " que define dos bits de paro, deshabilitación de paridad, ocho bits de longitud para el carácter de datos y un factor de división para los bauds de 1 / 64, que nos arrojará la velocidad de 300 bauds .

La instrucción de comando se define con " 0011 0111 " , que nos activa Request To Send y Data Terminal Ready, baja las banderas de error, habilita la transmisión y recepción y no manda carácter BREAK .

A continuación se lee el estatus en un ciclo iterativo hasta que el bit de TXRDY está habilitado, entonces se manda al 8251A el dato 41H, que en ASCII corresponde al carácter "A", que será desplegado por la terminal . El ciclo se vuelve a iniciar .

Rutina para iniciar al USART 8251A.

Rutina para iniciar al USART 8251A . Para la iniciación del USART debemos de darle un reset por software para no tener que darle reset al sistema entero .

Para dar este reset mandamos primero un carácter al 8251A para asegurarnos que se coloque en instrucción de comando , una vez hecho esto , mandamos un reset interno al 8251A, que nos da un código 40 H , para poner en estado alto el bit I R de la instrucción de comando , que es el bit correspondiente a "Internal Reset" , cuya acción es la de colocar automáticamente al circuito 8251 A en manera de recepción de instrucción de modo .

Una vez que se le ha dado reset al circuito, procedemos a definir la instrucción de modo , en nuestro caso , por ejemplo , definimos el formato asíncrono , factor de baudaje de (64 X) , ocho bits para los caracteres de datos , sin bit de paridad y dos bits de paro, lo que nos da un código de CF H . Para la instrucción de comando , habilitamos las salidas TxRDY y RxRDY, además de no darle reset de nuevo al circuito, damos reset a las banderas de error , todo lo cual nos da como resultado 37 H .

Una vez que tenemos los datos los metemos en una tabla y se envían al USART para definirlo funcionalmente .

La rutina es la siguiente :

CROMEMCO Z80 Macro Assembler version 03.08

*** 8251A ***

```

0001 ;*****
0002 ;* INICIA AL USART *
0003 ;*****
0004 ;
0005          GLOBAL INICIO
(0010) 0006  USART EQU 10H
0007 ;
0008  INICIO
0000' 210900' 0009          LD HL,INITABL ; Apunta a tabla
0003' 0E11    0010          LD C, USART+1 ; de iniciacion
0005' 0605    0011          LD B, 05 ; Contador de words
0007' EDB3    0012          OTIR ; Transferencia
                                ; de la tabla
0013  RET
0014 ;
0015  INITABL
0009' 800040CF37 0016          DB 80H,00H,40H,CFH,37H
0017 ;
0018 ;

```

CROMEMCO Z80 Macro Assembler version 03.08

*** 8251A ***

Symbol	Value	Defn	References
INICIO	E 0000'	0005	00008
INITABL	0009'	0015	0009
RET	0009'	0013	
USART	0010	0006	0010

Rutinas de Entrada y Salida Para el 8251A.

CROMEMCO Z80 Macro Assembler version 03.08

```

(0010) 0001 ; Variables globales
0002 GLOBAL ENTRADA, SALIDA
0003 USART EQU 10H
0004 ;
0005 ;*****

0006 ;* R U T I N A   E N T R A D A *
0007 ;*****

0008 ENTRADA ; Se realiza por "polling"
0000' DB11 0009 IN A,(USART+1) ; Se lee el estatus
0002' CB4F 0010 BIT 1,A ; Estatus listo ?
0004' 2BFA 0011 JR Z,ENTRADA ; Si no está listo,regresa
0006' DB10 0012 IN A,(USART) ; Entra el dato
0008' C9 0013 RET
0014 ;
0015 ;
0016 ;*****

0017 ;* R U T I N A   S A L I D A *
0018 ;*****

0019 SALIDA
0009' 0B 0020 EX AF,AF' ; Salvar registros
000A' DB11 0021 LOOP IN A,(USART+1) ; Se lee estatus
000C' CB47 0022 BIT 0,A ; Estatus listo ?
000E' 2BFA 0023 JR Z,LOOP ; Si no está listo,regresa
0010' 0B 0024 EX AF,AF' ; Se recuperan los registros
0011' D310 0025 OUT (USART),A ; Sale el dato
0013' C9 0026 RET

```

CROMEMCO Z80 Macro Assembler version 03.00
*** 8251A ***

Symbol	Value	Defn	References
ENTRADA	E 0000'	0002 @0008	0011
LOOP	000A'	0021	0023
SALIDA	E 0009'	0002 @0019	
USART	0010	0003 0009	0012 0021 0025

F. FPI 8255A

F.1 Descripción general .

El 8255A es un dispositivo de entrada/salida de propósito general diseñado para usarse con los microprocesadores de INTEL . Tiene 24 patas de entrada/salida que pueden ser programadas individualmente en dos grupos de 12 y usadas en tres modos de operación . En el primer modo (modo 0), cada grupo de 12 patas de E/S puede ser programado en conjuntos de 4 que serán de entrada o de salida . En el modo 1, el segundo modo, cada grupo puede ser programado para que tenga 8 líneas de entrada o de salida . De las cuatro patas restantes, tres son usadas para el control de señales de interrupción y para la comunicación con otros dispositivos . El tercer modo de operación (modo 2) o el modo de bus bidireccional usa 8 líneas del puerto A para E/S, y 5 líneas del puerto C para operaciones de comunicación con otros periféricos .

F.2 Descripción funcional .

Configuración .

La configuración funcional del 8255A es dada por medio de un programa. Esto es una ventaja ya que no se necesita lógica externa para conectarlo con algún otro periférico .

Buffer del bus de datos .

El buffer del bus de datos es bidireccional, tiene 8 bits y se maneja con lógica de tres estados. Se usa para conectar el 8255A con el bus de datos del sistema. Los datos son transmitidos o recibidos por el buffer al ser ejecutada una instrucción de entrada o salida por el procesador. Las palabras de control y la información a evaluar también son transferidas por el bus de datos .

Lectura/Escritura y lógica de control .

La función de este bloque es manejar todas las transferencias internas y externas, de palabras de datos, de control y de estatus. Este bloque acepta dos direcciones del CPU y tres líneas de control, además de controlar al grupo A y al grupo B .

CS activo bajo .

Habilitación del chip. Un cero en esta pata de entrada habilita la comunicación entre el CPU y el 8255A .

RD activo bajo .

Lectura. Un cero en esta pata de entrada habilita al 8255A para mandar los datos o la información de estatus al CPU por el bus de datos. En esencia , esto permite al CPU leer del 8255A .

WR activo bajo .

Escritura. Un cero en esta pata de entrada habilita al CPU para escribir datos o palabras de control en el 8255A .

A0 y A1 .

Selección del puerto 0 y selección del puerto 1. Estas señales de entrada, en conjunto con las entradas de RD y WR , controlan la selección de uno de los tres puertos o del registro de la palabra de control. Estas entradas están normalmente conectadas a los bits menos significativos del bus de direcciones .

Operación básica .

A1	A0	RD	WR	CS	Operación de entrada (lectura)
0	10	10	11	10	Puerto A--> Bus de datos
0	11	10	11	10	Puerto B--> Bus de datos
1	10	10	11	10	Puerto C--> Bus de datos
					Operación de salida (escritura)
0	10	11	10	10	Bus de datos--> Puerto A
0	11	11	10	10	Bus de datos--> Puerto B
1	10	11	10	10	Bus de datos--> Puerto C
1	11	11	10	10	Bus de datos--> Control
					Funciones inhabilitables
x	1x	1x	1x	11	Bus de datos--> Tercer estado
1	11	10	11	10	Condición ilegal
x	1x	11	11	10	Bus de datos--> Tercer estado

RESET .

Reiniciar. Un uno en esta entrada limpia el registro de control y todos los puertos (A, B, C) son puestos en el modo de entrada .

Controles del grupo A y Grupo B .

La configuración funcional de cada puerto es dada por medio de un programa. En esencia, el CPU manda una palabra de control al 8255A. La palabra de control contiene información tal como el modo, bit encendido, bit apagado, etc : inicializa la configuración funcional del 8255A .

Cada uno de los bloques de control (grupo A y grupo B) acepta comandos provenientes de la lógica de control de lectura/escritura, recibe palabras de control que provienen del bus de datos internos y da los comandos propios para el puerto asociado .

Grupo A - Puerto A y Puerto C (bits C7-C4) .

Grupo B - Puerto B y Puerto C (bits C3-C0) .

El registro de la palabra de control solo puede ser escrito. Las operaciones de lectura sobre este registro no son permitidas .

Puertos A, B, y C .

El 8255A contiene tres puertos de 8 bits (A , B y C). Todos pueden ser configurados en una gran variedad de funciones características por medio de un programa, pero cada uno tiene sus características especiales lo que hace al 8255A un dispositivo muy poderoso .

Puerto A .

Tiene una salida de datos de 8 bits del tipo "latch/buffer" y una entrada de 8 bits del tipo "buffer".

Puerto B .

Tiene una salida de datos de 8 bits del tipo "latch/buffer" y una entrada de 8 bits del tipo "buffer".

Puerto C .

Tiene una salida de datos de 8 bits del tipo "latch/buffer" y una entrada del tipo "buffer". Este puerto puede subdividirse en dos puertos de 4 bits por medio del modo de control. Cada puerto de 4 bits contiene un latch de 4 bits y puede ser utilizado como salida de las señales de control y como entrada de las señales de control en conjunto con los puertos A y B .

F.3 Operación básica .

Tenemos tres modos básicos de operación que pueden ser seleccionados por medio de un programa :

Modo 0 - Entrada/Salida básica .

Modo 1 - Entrada/Salida controlada .

Modo 2 - Bus bidireccional .

Cuando la entrada de reset es alta, todos los puertos son puestos en el modo de entrada (Por ejemplo, todas las 24 líneas están en el estado de alta impedancia. Después de que la señal de reset pasa a un nivel bajo el 8255A puede permanecer en el modo de entrada sin necesidad de inicializarlo. Durante la ejecución de un programa alguno de los otros modos puede ser seleccionado usando una simple instrucción de salida. Esto permite que un sólo 8255A de servicio a una variedad de dispositivos periféricos con una simple rutina de mantenimiento.

Los modos para el puerto A y el puerto B pueden ser definidos por separado, mientras que el puerto C es dividido en dos porciones, cada una de las cuales se define según la programación de los puertos A y B. Todos los registros de salida, incluyendo los flip-flops de estatus, serán inicializados cuando el modo se cambie. Los modos pueden ser combinados de tal manera que su descripción funcional se adapte a alguna configuración de entrada/salida. Por ejemplo: el grupo B puede ser programado en modo 0 para visilar el cierre de conmutadores o los resultados de algún despliegue de computadora, mientras que el grupo A se puede programar en modo 1 para visilar un teclado, una lectora de cintas o un manejador básico de interrupciones .

La definición de modos y sus posibles combinaciones puede ser confusa a primera vista , pero despues de una revisión detallada de la operación del dispositivo se puede

entender de una manera más clara . El diseño del 8255A fue hecho para ser compatible con la tarjeta de una computadora personal (PC), además de tener una completa flexibilidad funcional para soportar al menos un dispositivo periférico sin necesidad de lógica externa . Tal diseño representa el uso máximo de todas las patas .

Encendido o apagado de un solo bit .

Alguno de los ocho bits del puerto C pueden ser encendidos o apagados usando una sola instrucción de salida . Esta característica reduce los requerimientos de programación en aplicaciones de control . Cuando el puerto C es usado para el control y evaluado de los puertos A o B, estos bits pueden ser encendidos o apagados usando una simple instrucción de encendido o apagado de bits justamente como si ellos estuvieran como puertos de salida de datos .

Funciones para el control de interrupciones

Cuando el 8255A es programado para operar en modo 1 o modo 2, hay señales de control que pueden ser usadas como entrada de algún requerimiento de interrupción para el CPU . Las señales de requerimientos de interrupción, generadas por el puerto C, pueden ser habilitadas o deshabilitadas encendiendo o apagando el flip-flop de interrupciones, usando la función de encendido/apagado de bits para el puerto C .

Esta función permite al programador habilitar o deshabilitar un dispositivo de E/S específico para que

interrumpa al CPU sin afectar a cualquier otro dispositivo en la estructura de interrupciones .

Definición del flip-flop de interrupciones:

Bit encendido- INTE es encendido- Interrupción habilitada .

Bit apagado - INTE es apagado - Interrupción deshabilitada.

Nota:

Todas las máscaras de los flip-flops son automáticamente iniciadas durante la selección de algún modo o cuando al dispositivo se le aplica la señal de reset .

9 . MODULO DE RECEPCION DE DATOS .

1 . DESCRIPCION FUNCIONAL .

A menudo se requiere que los datos tomados de un sistema físico sean convertidos a una forma digital . Tales datos aparecerán normalmente en forma analógica . Por ejemplo, una diferencia de temperatura sería representada por la salida de un termocoplador . Por tanto se vuelve necesario que un dispositivo convierta la información analógica a forma digital . Existen cuatro sistemas que son los más populares: (1) El Convertidor Analógico Digital de conteo, (2) El Convertidor de Aproximaciones Sucesivas, (3) El Convertidor de comparación en paralelo y (4) El convertidor de Doble Rampa .

A . Convertidor de Conteo.

Este convertidor está compuesto por un contador, un convertidor A/D, un comparador y lógica para detener la cuenta del contador . El contador tendrá el resultado final de la conversión . Un reloj alimenta en forma permanente al contador y la salida de éste es la entrada del convertidor D/A cuya salida es comparada con el voltaje analógico de entrada V_a . Sea V_d la salida del D/A ; cuando el voltaje V_a es mayor que el voltaje V_d el comparador tiene una salida alta y la lógica permite el paso de los pulsos al contador.

Cuando V_d es mayor que V_a , el comparador tiene una salida baja y la lógica deshabilita la cuenta del contador.

B . Convertidor de aproximaciones sucesivas .

En lugar de un contador binario, este sistema utiliza un programa . Este programa pone el bit más significativo en "1", con todos los demás bits en "0", y se realiza la comparación del D/A con la señal analógica de entrada . Si la salida del D/A es mayor, el "1" es removido del bit más significativo y es puesto en el siguiente bit más significativo . Si la entrada analógica es mayor, el "1" permanece en ese bit . Entonces un "1" es puesto en cada bit del decodificador D/A hasta que, al final del proceso, se obtenga el equivalente binario de la señal analógica de entrada . Para un sistema de N bits, el tiempo de conversión es de N periodos de reloj comparado con los $2^{*}N$ intervalos de un convertidor de conteo.

C . Convertidor de comparación paralela .

Este sistema es el más rápido de de todos los convertidores . Su operación se entiende fácilmente utilizando el convertidor de 3 bits de la Fig . 5.1 . El voltaje analógico V_a es aplicado simultáneamente a un banco

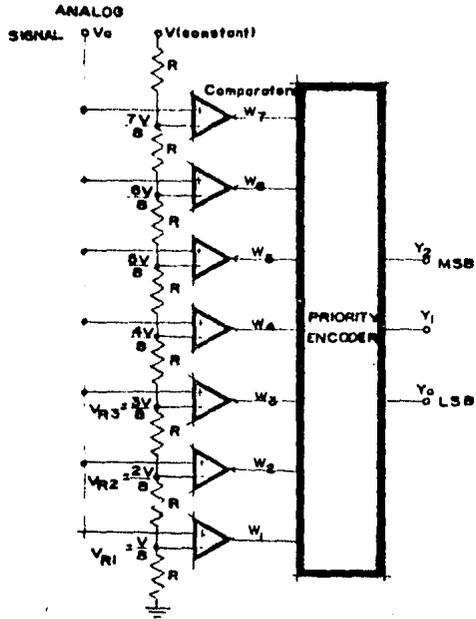


FIG. 5.1

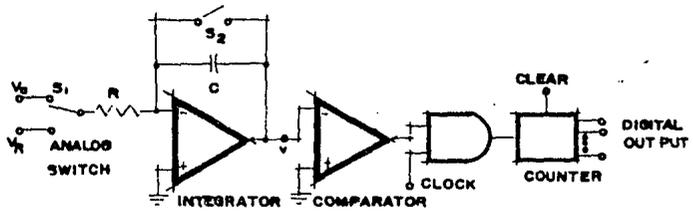


FIG. 5.2



FIG. 5.3

D . Convertidor de doble rampa .

Este sistema es muy utilizado (Fig . 5.2) . Considere su operación con $V_a > 0$ y $V_r < 0$. Inicialmente S1 está abierto, S2 está cerrado, y el contador en ceros . En un instante t_1 , S1 conecta a V_a al integrador y S2 se abre . El voltaje analógico muestreado (y por tanto constante) V_a se integra en un periodo fijo n_1 de pulsos de reloj . Si el periodo de reloj es T, la integración se lleva a cabo en un tiempo fijo conocido $T_1 = (n_1)(T)$, y la forma de onda V a la salida del integrador es la que se muestra en la Fig . 5.3 .

Si se utiliza un contador de N etapas y si $n_1 = 2^{*}N$, entonces en el instante t_2 (el final de la integración de V_a), todos los flip-flops en el contador leen ceros.

En este instante el voltaje de referencia V_r es automáticamente conectado a la entrada del integrador en $t = t_2$. Debido a que V_r es negativo, la forma de onda V tiene una pendiente positiva como se muestra en la figura . Todo el tiempo que V es negativo, la salida del comparador es positiva y la compuerta AND permiten el paso de los pulsos del reloj . Cuando $V = 0$ en $t = t_3$, la compuerta AND es inhibida y no permite el paso de los pulsos de reloj al contador.

En este momento la lectura del contador en $t = t_3$ es

proporcional al voltaje analógico de entrada.

E . Multiplexaje analógico.

Un multiplexor selecciona una salida de N fuentes y transmite las señales (analógicas) a una sola línea de transmisión . De todos los switches disponibles para alimentar las señales de entrada al canal de salida, la mejor solución es la que se obtiene con la compuerta de transmisión CMOS (Fig . 5.4).

F . Circuitos de Sample-and-Hold.

Un sistema típico de adquisición de datos recibe señales de un número distinto de fuentes y transmite estas señales en la forma que pueda ser reconocida por una computadora o por un canal de comunicación . Un multiplexor selecciona cada señal en secuencia, y entonces la información analógica es convertida en un voltaje constante por medio de un Sample-and-Hold . La salida constante del S/H puede entonces ser convertida a una señal digital por medio de un convertidor analógico digital para una transmisión digital.

Un circuito de Sample-and-Hold en su forma más simple es un switch S en serie con un capacitor . El capacitor toma el

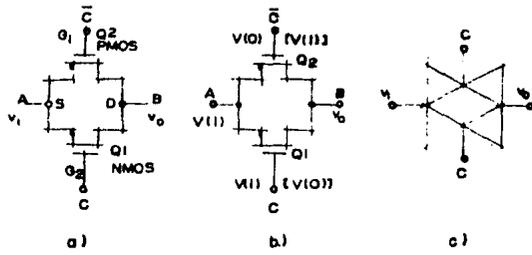


FIG. 5.4.

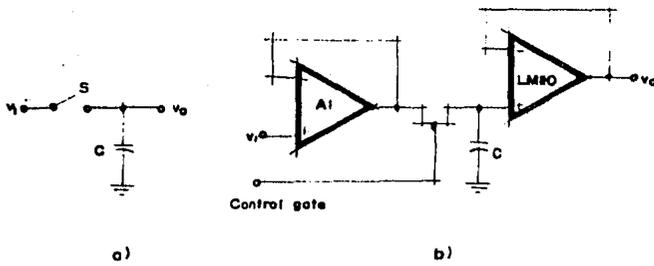


FIG 5.5

valor de la señal de entrada cuando el switch S se cierra.

La configuración que se muestra en la Figura 5.5 es una de las más sencillas y utilizadas. Un pulso positivo en la compuerta del FET canal-n cerrará el switch, y el capacitor C se cargará al valor instantáneo del voltaje de entrada con una constante de tiempo $(R_o + r_{ds})C$, donde R_o es la baja resistencia de la entrada del seguidor y r_{ds} es la resistencia de encendido del FET. En la ausencia del pulso positivo, el switch está abierto y el capacitor es liberado de cualquier carga a través del operacional LM110.

Dos factores adicionales influyen en la operación del circuito: el tiempo de apertura (típicamente menor a 100 ns.) que es el tiempo que transcurre entre la aplicación del pulso al FET y el tiempo en el cual el switch se cierra; y el tiempo de adquisición que es el tiempo que toma el capacitor para cambiar de un nivel de voltaje al nuevo nivel.

2.- Estructura .

A . Introducción .

La tarjeta funciona como parte del SMAD y se encuentra conectada con el mismo a través de un PPI 8255 el cual le proporciona al convertidor analógico-digital las señales de reloj, Data Input (DI), Chip Select, y tiene como única

salida a la señal Data Output (DO) con el valor del voltaje analógico de entrada en serie.

La generación de la señal de reloj se realiza a través del bit más significativo del Puerto A del 8255 y es generado por programa (software) cada vez que se requiera.

La señal DI del ADC es generada por programa a través del bit menos significativo del Puerto A y enviándole por el canal 0 los siguientes bits :

1 1 0

donde el primer 1 corresponde al bit de inicio, el segundo y el tercer bit corresponden al canal 0 en modo sencillo; para el canal 1 los bits enviados son los siguientes :

1 1 1

donde los últimos unos corresponden al canal 1 en modo sencillo y el primer 1 al bit de inicio.

El Chip Select debe ser mantenido en nivel bajo mientras dura la conversión, por lo que al ser las salidas de los puertos del 8255 modo latch, el manejo se realiza por medio del bit menos significativo del Puerto C y generado y desactivado por programa.

La salida **DO** es tomada a través del bit menos significativo del puerto **B** del 8255 y tomado por medio de programa; el programa arroja el resultado en el registro **C** de la CPU Z80 A .

Se manejan dos canales analógicos y periodos de muestreo de 1, 2, 4 y 8 segundos, lo que obliga a tomar una muestra de cada canal cada 0.5, 1, 2 y 4 segundos respectivamente . El periodo de muestreo es determinado por medio de dos switches, lo que nos da cuatro alternativas distintas (tabla 5.2) ,

Tabla 5.2

2	1	Tiempo
ON	ON	1
ON	OFF	2
OFF	ON	4
OFF	OFF	8

B . Acoplamiento del ADC 0832 al sistema SMAD .

El ADC 0832 tiene un total de 8 patas las cuales incluyen la alimentación **Vcc**, la referencia **GND**, la habilitación del circuito **CS**, el reloj, una línea de datos de entrada para la selección del canal y del modo que se va a utilizar (**DI**), dos entradas para el mismo número de canales y una línea de salida de datos (**DO**).

Debido a que el reloj que requiere el convertidor tiene que ser de una frecuencia entre los 10 KHz y los 400 KHz, utilizaremos un reloj generado por programa y tomado desde un puerto del PPI 8255 . La habilitación del circuito A/D por medio del **CS** deberá de ser activo baja y permanecer en ese

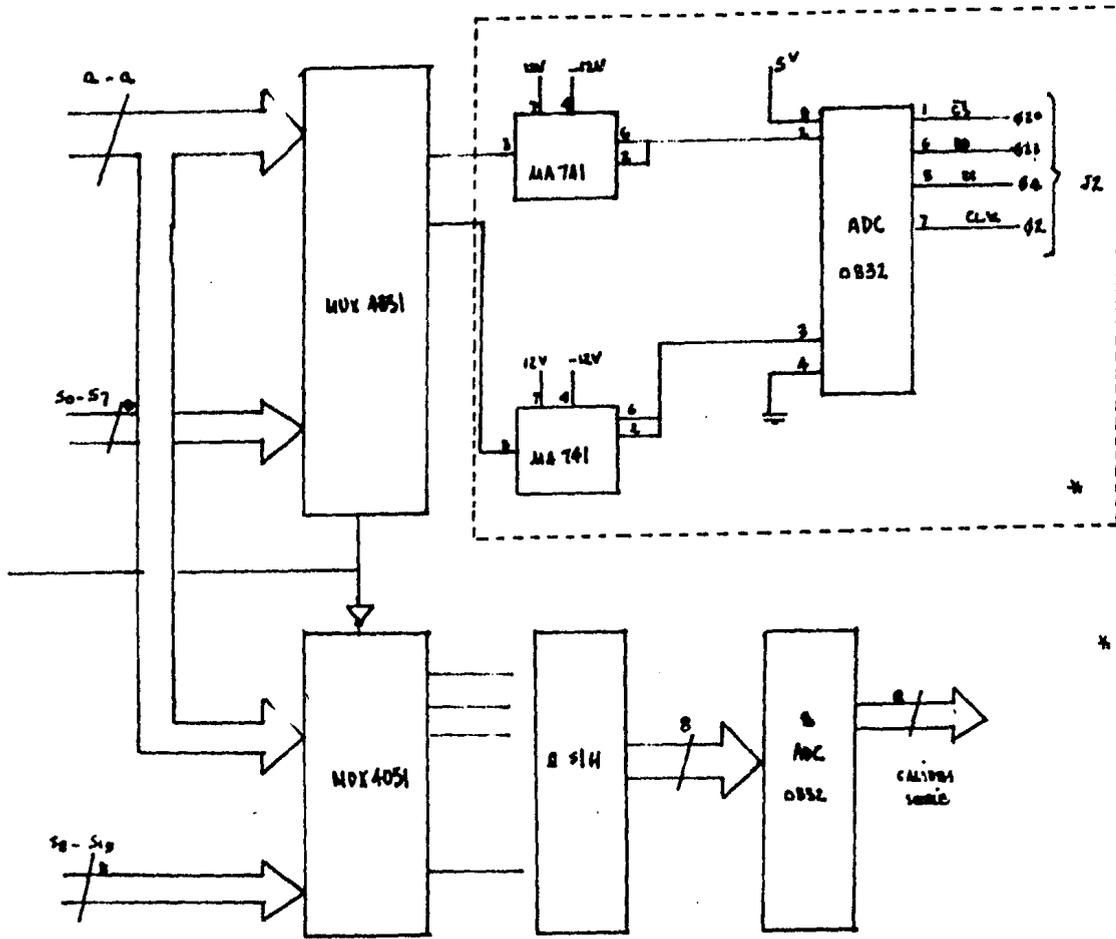
estado hasta que la conversión termine . La habilitación la estamos logrando por medio de programa y tomada desde un puerto del 8255 . La deshabilitación del CS la hacemos cuando se han tomado los ocho bits de la conversión.

La generación de la señal DI la realizaremos a través del PPI 8255 enviando los bits necesarios para el direccionamiento de uno u otro canal del convertidor .

La salida de los datos la tomaremos hacia el PPI 8255 en uno de sus puertos y por medio de programa el resultado de la conversión quedará en el registro C de la CPU Z80.

El circuito puede tener la capacidad de manejar un número de hasta de 16 canales analógicos en expansión , lo cual se puede realizar usando dos circuitos multiplexores analógicos CD4051 que tienen la capacidad de manejar hasta 8 canales analógicos cada uno . Estos circuitos se encuentran conectados a las entradas Canal 0 y Canal 1 del ADC0832. Cada uno de los dos multiplexores es direccionado como si fuera un puerto y direccionando cada uno de los 16 canales por medio de tres líneas de dirección (Fig . 5.6).

Se realiza el muestreo de la señal analógica a través de un circuito de Sample-and-Hold diseñado con un amplificador operacional uA741 . (Fig . 5.6.)



* LO QUE ESTA CON EL CIRCUITO DE CONEXION ALABORADO.

LO QUE ESTA FUERA DEL RECTANGULO ES CONEXION A LOS CANALES.

FIG. 5.6

3 .- CIRCUITO CONVERTIDOR ANALOGICO A DIGITAL .

A . El ADC 0832 .

Convertidor A/D de entrada/salida serie 8 bits .

A.1 Descripción funcional.

El diseño de estos convertidores utiliza una estructura de comparador de datos muestreados la cual nos proporciona una entrada analógica diferencial a ser convertida por una rutina de aproximaciones sucesivas.

El voltaje convertido es siempre la diferencia entre la terminal de entrada positiva y la negativa . La polaridad de cada terminal de entrada indica cuál línea del convertidor es la más positiva . Si la entrada en la terminal positiva es menor que la entrada en la terminal negativa, el convertidor responde con un código de salida de ceros.

Un esquema de entrada de multiplexaje se utiliza para proveer al sistema de canales analógicos múltiples con opciones, configurables por software, de entrada diferencial, simples o pseudo-diferencial.

Una configuración particular de entrada se asigna durante la secuencia de direccionamiento del MUX, antes de

iniciar la conversión. La dirección del multiplexor selecciona cual de las entradas analógicas será habilitada y si ésta es simple o diferencial. En el caso diferencial, también le asigna la polaridad a los canales. La entrada diferencial está restringida a pares de canales adyacentes. Por ejemplo el canal 0 y el canal 1, pero estos mismos no podrán ser seleccionados con otros canales. En suma para seleccionar el modo diferencial el signo también debe ser escogido. El canal 0 puede ser el positivo y el canal 1 el negativo o viceversa.

La dirección del multiplexor es introducida al convertidor vía la línea DI.

Debido a que la configuración de entrada está bajo control del software, puede ser modificada, como se requiere, para cada conversión.

Los voltajes de entrada analógicos para cada canal pueden variar desde 50 mV por debajo de la referencia (tierra) hasta 50 mV por arriba de la alimentación (Vcc).

A.2 La interfaz digital .

Una característica muy importante de estos convertidores

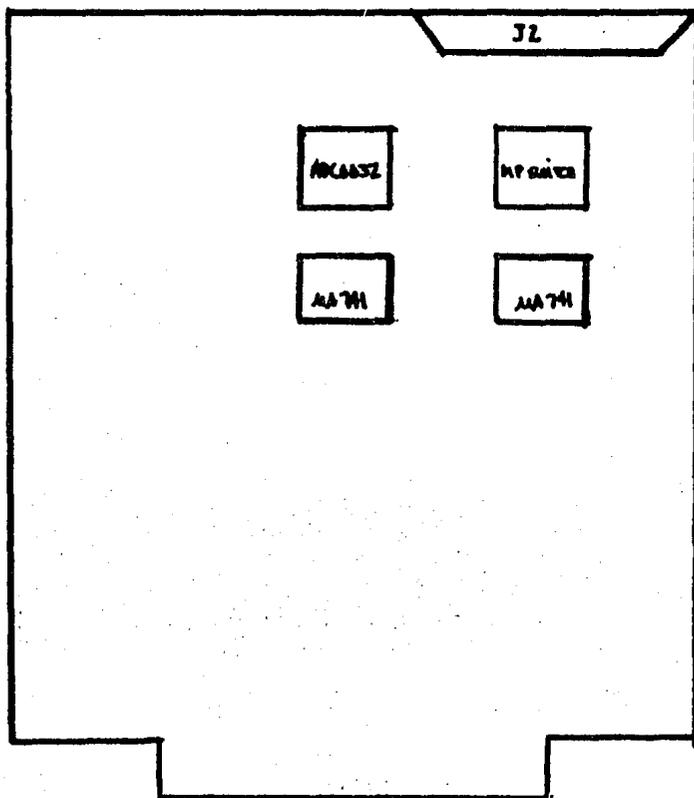


FIG. 5.7

DISPOSICIÓN DE COMPONENTES .

es la compatibilidad de los datos en serie con el procesador de control . El uso de un formato de comunicación serie ofrece dos mejoras significativas en el sistema; permite que se incluyan un mayor número de funciones en el circuito integrado y puede eliminar la transmisión de señales analógicas de bajo nivel.

Para entender la operación de estos convertidores es mejor referirse a los diagramas de tiempo y al diagrama de bloque funcional para seguir una completa secuencia de la conversión .

1 . Una conversión es iniciada activando la línea del CS (Chip Select) en bajo . Esta línea debe ser mantenida en estado bajo durante toda la conversión . El convertidor se encuentra ahora esperando por el bit de inicio (Start Bit) y su palabra de asignación del MUX.

2 . Se genera un reloj desde el procesador (en el caso de no estar activo permanentemente) y se activa el reloj del A/D.

3 . En cada flanco de subida del reloj, el estado del dato en la línea DI es traído dentro de los registros de corrimiento de dirección del MUX . El bit de inicio es el primer "1" lógico que aparece en esta línea . Siguiendo al bit de inicio el convertidor espera los siguientes 2 a 4 bits para la palabra de asignación del MUX.

4 . Cuando el bit de inicio es traído a la localidad inicial del registro del MUX el canal de entrada ha sido asignado y la conversión está a punto de iniciarse . Un intervalo de medio período de reloj (donde nada sucede) es insertado automáticamente para permitir al canal seleccionado estar estable . La línea de estado SAR se vuelve alta en este momento para indicar que se está efectuando una conversión y la línea DI se deshabilita.

5 . La línea de datos de salida (DO) sale del TERCER ESTADO y envía un cero en el mismo período de reloj de la estabilización del MUX.

6 . Cuando principia la conversión, la salida del comparador SAR, que indica si la entrada analógica es mayor o menor que cada voltaje sucesivo de la escalera interna de resistencias, aparece en la línea DO en cada flanco de bajada del reloj . Este dato es el resultado de la conversión y puede ser leído por el procesador inmediatamente.

7 . Después de 8 períodos de reloj la conversión se concluye . La línea SAR regresa a un estado bajo para indicar el fin de la conversión medio ciclo de reloj después.

8 . El dato puede venir si se prefiere en un formato de LSB primero . La línea DO va a un estado bajo y permanece así hasta que CS toma un estado alto.

9 . Todos los registros internos son limpiados cuando la línea del CS es alta . Si se desea otra conversión, la línea CS deberá hacer una transición alto-bajo seguido por la información de las direcciones .

Las líneas DI y DO pueden ser unidas y controladas a través de un procesador bidireccional de entrada y salida con una línea . Esto es posible debido a que sólo una línea se encuentra activa en un instante dado mientras que la otra se encuentra en un estado de alta impedancia.

Todas las entradas analógicas pueden ser tomadas a 15 V independientemente de la magnitud de la alimentación (Vcc).

A.3 Consideraciones de referencia .

El voltaje aplicado a la entrada de referencia de estos convertidores define el rango de voltajes de la entrada analógica sobre el cual se aplicarán 256 posibles códigos de salida.

A.4 Entradas analógicas .

La característica más importante de estos convertidores es que pueden estar localizados justo en la fuente de la señal analógica y a través de unas cuantas líneas puede comunicarse con el procesador de control y con una alta inmunidad al ruido.

La entrada diferencial de estos convertidores reduce significativamente los efectos del ruido de entrada de modo común. El intervalo de tiempo entre el muestreo de la señal en la terminal positiva y la negativa es de medio período de reloj. El cambio en el voltaje de modo común durante este pequeño intervalo de tiempo puede originar errores de conversión.

A.5 Ajustes opcionales .

Error de cero .

El cero del A/D no requiere ajuste. Si el voltaje analógico de entrada mínimo no es cero se puede realizar un offset de cero. Se puede obligar al convertidor a dar una salida digital 0000 0000 para su voltaje mínimo polarizando a $V_{in(-)}$ a su voltaje mínimo $V_{in(min)}$. El error de cero es la diferencia entre el voltaje de entrada de DC que causará la

transición de 0000 0000 a 0000 0001 y el valor ideal de medio bit menos significativo LSB ($1/2$ LSB = 9.8 mV para un $V_{ref} = 5.0$ V).

Escala completa .

El ajuste de escala completa se puede realizar aplicando un voltaje diferencial que se encuentre $1/2$ LSB por debajo del voltaje analógico de escala completa y luego ajustando la magnitud de la entrada del voltaje de referencia o V_{cc} para una salida digital que cambie de 1111 1110 a 1111 1111.

Ajuste para un rango de voltajes analógicos de entrada arbitrario .

Si el voltaje analógico cero del A/D es distinto del voltaje de tierra, se deberá de ajustar primero esta nueva referencia . Un $V_{in}(+)$ que iguale la referencia deseada de cero más $1/2$ LSB se aplica a la entrada positiva y además la referencia cero de voltaje correspondiente a la entrada negativa, se deberá ajustar para obtener una transición 00H a 01H .

Características de AC.

El ADC 0832 tiene un rango entre las frecuencias del reloj que varían desde la mínima de 40 KHz hasta la máxima de 400 KHz con un tiempo de conversión del inverso de la frecuencia del reloj.

4 .- CIRCUITO MULTIPLEXOR CI4051 .

Este circuito es un multiplexor/demultiplexor analógico consta de switches analógicos controlados digitalmente . Los circuitos multiplexores disipan baja potencia independientemente del estado lógico de las señales de control . Cuando un '1' lógico se encuentra presente en la terminal de inhibición todos los canales se encuentran apagados.

Tiene como características principales el manejo de señales digitales de 3-15 V y señales analógicas de 15 Volts pico-pico y decodificación binaria en el chip .

Estos circuitos se direccionan en la posible expansión del sistema SMAD como si fueran puertos y cada canal por medio de tres líneas de dirección.

5 .- CIRCUITO DE SAMPLE-AND-HOLD .

Este circuito retenedor está manejado por medio de un switch analógico de entrada 4066 que deberá ser habilitado por medio de una señal de control activa durante el periodo de muestreo y deshabilitada durante el Hold . La salida del 4066 estará conectada al circuito uA741 alambrado como S/H.

El manejo de un circuito S/H está justificado cuando la señal de entrada que necesita ser retenida tiene una frecuencia tal que no es posible tomar su dato instantáneamente debido a sus variaciones rápidas en el tiempo . En nuestro caso, las señales de entrada serán de baja frecuencia por lo que no utilizaremos un Sample-and-Hold.

Especificaciones técnicas.

La frecuencia máxima de las señales de entrada deberá ser, de acuerdo con el teorema del muestreo, de 0.5 Hz.

6 .- PROGRAMACION PARA LA RECEPCION DE DATOS .

MCO Z80 Macro Assembler version 03.07

Page 0001

DCM ***

```

0001
0002
0003
(2000) 0004      ORG 2000H
0005 ;
(0000) 0006      MONITOR: EQU 0000H
0007 ;
FD210024 0008      LD IX,2400H      ; Mitad superior de la
CD0A20    0009      CALL MUESTRA
CD0000    0010      CALL MONITOR
0011 ;          CALL GRABA      ; Ver "Módulo de Grab"
0012 ;
DD210002 0013      MUESTRA: LD IX,0200H      ; No .de muestras = 102
3E83     0014      MC1:      LD A,83H
D303     0015      OUT (03),A
3E00     0016      LD A,00H
D300     0017      OUT (00),A      ; Bajamos reloj
3E80     0018      LD A,80H      ; CS = Alto
D300     0019      OUT (00),A
3E00     0020      LD A,00H      ; CS = Bajo
D300     0021      OUT (00),A

```

2056	D300	0050	OUT (00),A	
2058	3E01	0051	LD A,01H	; Mandamos bit de inici
205A	D300	0052	OUT (00),A	
205C	CD8720	0053	CALL GENPUL	; El DAC toma el bit de
205F	3E01	0054	LD A,01H	; Mandamos siguiente bi
2061	D300	0055	OUT (00),A	

CROMEMCO Z80 Macro Assembler version 03.07

Page 0002

*** ADCM ***

2063	CD8720	0056	CALL GENPUL	; El DAC toma el siguie
2066	3E01	0057	LD A,01H	; Mandamos tercer bit a
2068	D300	0058	OUT (00),A	
206A	CD8720	0059	CALL GENPUL	; El DAC toma el tercer
206D	CD8720	0060	CALL GENPUL	; Pulso extra
2070	0608	0061	LD B,08H	; Contador para lectura
2072	DB01	0062	LOP1: IN A,(01)	; Lectura de un bit
2074	1F	0063	RRA	
2075	CB11	0064	RL C	
2077	CD8720	0065	CALL GENPUL	
207A	10F6	0066	DJNZ LOP1	
		0067 ;		
207C	CDA620	0068	CALL MEMORIA	; Se pone el dato en la
		0069 ;		
207F	CD9020	0070	CALL DELAYX	; Retraso
		0071 ;		
2082	DD2B	0072	DEC IX	
2084	208B	0073	JR NZ,MC1	
2086	C9	0074	RET	

```

0075
0076 ;
0077 ;*****
0078 ; Subrutina GENPUL *
0079 ;*****
0080          GENPUL:  LD A,B0H          ; Se genera el reloj pa
0081          OUT (02),A          ; conversion
0082          LD A,00H
0083          OUT (02),A
0084          RET
0085 ;
0086 ;*****
0087 ; Subrutina DELAYX *
0088 ;*****
0089          DELAYX:
0090          LD B,A          ; Carga tiempo de muest
0091          LAB1:  LD C,32H          ; C = 50
0092          LAB2:  CALL DDMS
0093          DEC C          ; C = C - 1
0094          JR NZ,LAB1          ; Si C <> 0 ve a LAB1
0095          DJNZ LAB2          ; B = B - 1. Si B <> 0
0096          RET
0097
0098 ;*****
0099 ; Subrutina DDMS *
0100 ;*****
0101          DDMS:  LD HL,0BFFH          ; Esta rutina provoca u
0102          DD1:  DEC L          ; de 10 mSeg.

```

```

20A0 20FD      0103      JR NZ,DD1
20A2 25        0104      DEC H
20A3 20FA      0105      JR NZ,DD1
20A5 C9        0106      RET
                0107 ;
                0108 ;*****
                0109 ; Subrutina MEMORIA *
                0110 ;*****

```

CRDMEHCO Z80 Macro Assembler version 03.07

*** ADCM ***

```

                0111      MEMORIA:
20A6 FD7100    0112      LD (IY+00),C
20A9 FD23      0113      INC IY
20AB C9        0114      RET
                0115 ;
                0116

```

```

Errors          0
Range Count     0

```

CRDMEHCO Z80 Macro Assembler version 03.07

*** ADCM ***

Symbol	Value	Defn	References
DD1	209F	0102	0103 0105
DDMS	209C	0101	0092

DELAYX	2090	0089	0041	0070
GENPUL	2087	0080	0024	0027 0030 0031 0036 0053 0056 0059 0060 0065
LAB1	2091	0091	0094	
LAB2	2093	0092	0095	
LOOP	2038	0033	0037	
LOP1	2072	0062	0066	
MC1	200E	0014	0073	
MC2	2048	0043		
MEMORIA	20A6	0111	0039	0068
MONITOR	0000	0006	0010	
MUESTRA	200A	0013	0009	

7 .- EXPANSION DE CANALES DE ENTRADA .

Si se requiere expandir canales de entrada hasta un total de 32, el circuito requerirá dos multiplexores 4051 aunados con los que tiene el circuito original.

Las modificaciones al software tan solo van sobre del tiempo de muestreo y al direccionamiento de los demás multiplexores.

VI . MODULO DE GRABACION DE INFORMACION .

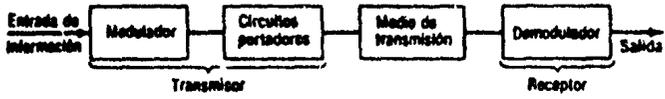
1 . INTRODUCCION A LA TRANSMISION DE INFORMACION .

A . Preliminares .

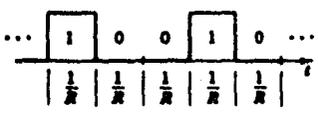
Un sistema completo de información, incluye un transmisor -sobre el cual la información se transmite - y un receptor, el cual debe producir a su salida una réplica reconocible de la información de entrada. En la mayor parte de los sistemas de comunicaciones, la transmisión de información está estrechamente relacionada con la modulación o la variación que sufre en el tiempo una señal senoidal especial, llamada la portadora. El esquema típico de este sistema, es similar a el que se muestra en la fig. 6.1 .

Por lo general, el transmisor comprende una fuente de información que será transmitida, que consiste en señales de audio, de tv, datos de salida de una computadora o, tal vez, datos transmitidos desde una planta remota operada automáticamente hasta una estación de control.

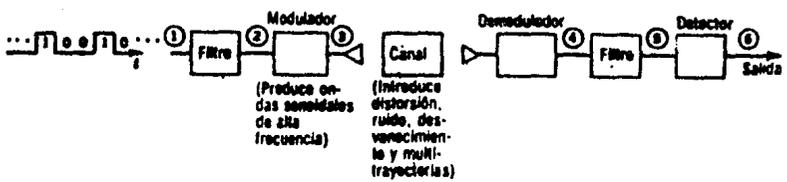
Cuando las señales atraviesan el medio de transmisión (o canal, como se le denomina con frecuencia) se distorsionan, aparecen señales de interferencia y ruido, por lo que la interpretación correcta de las señales que se reciben en el destino deseado se transforman en una tarea difícil.



Un sistema de comunicaciones.
FIG. 6.1



Transmisión de señales binarias.
FIG. 6.2



Transmisión de un mensaje digital.
FIG. 6.3

B . Diseño de un Sistema Digital de Comunicaciones Típico.

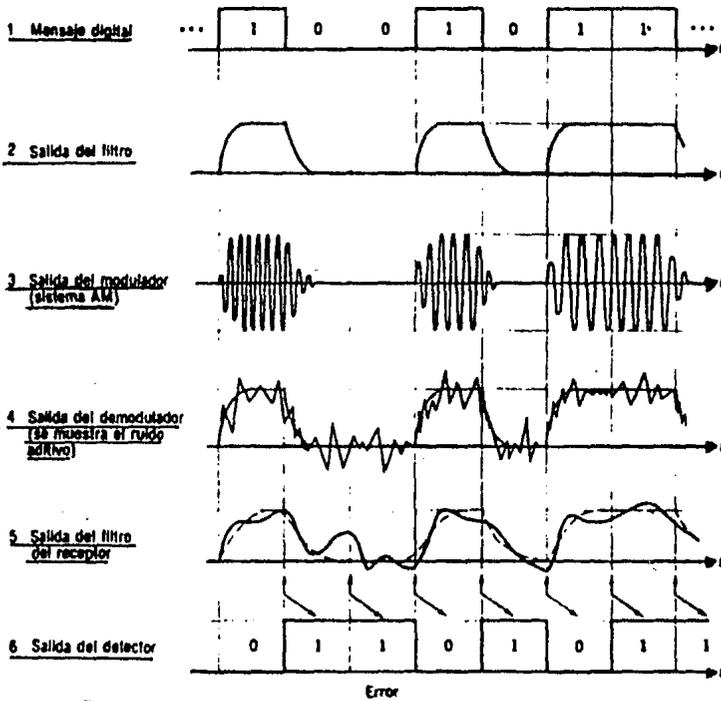
Para presentar una visión general del problema de la transmisión de información y para establecer más específicamente algunas de las dificultades que se encuentran en comunicaciones, se tratará el problema de transmitir un mensaje típico desde un punto a otro. Se considerará un mensaje digital, que pudiera ser la salida de una computadora; como por ejemplo la secuencia mostrada en la figura 6.2 .

Se supondrá ahora que esta secuencia de símbolos binarios será transmitida a un destino lejano. En la figura 6.3 se muestra un diagrama de bloques de un sistema típico, que constituye una versión más detallada de la figura 6.1 , los dos filtros que aparecen, uno en el transmisor y el otro en el receptor, representan el filtrado de las señales, ya sea que se encuentre incluido en los circuitos del sistema o que se introduzca a propósito como parte del diseño. El demodulador en el receptor sirve para separar la modulación de la onda senoidal de alta frecuencia que se ha introducido en el modulador del transmisor . El proceso de modulación es necesario para permitir que las señales viajen a través del canal elegido como medio de transmisión . La función del detector en el receptor es reproducir "tan fielmente como sea posible " , la secuencia original de señales que representan los datos digitales que se transmiten .

Algunas formas de ondas típicas, correspondientes a los puntos numerados de la figura 6.3, se muestran esquemáticamente en la figura 6.4. Nótese que los filtros provocan frecuentemente que los símbolos se traslapen en los instantes de tiempo adyacentes, con lo cual se produce confusión en la interpretación de los símbolos y posibles errores a la salida del sistema. La interferencia entre símbolos es un problema importante en muchos sistemas de comunicaciones de datos, siendo particularmente difícil de resolver en la transmisión de datos por medio de líneas telefónicas.

El modulador que se ha usado en este ejemplo resulta ser del tipo de modulación en amplitud (AM), en el cual el oscilador de onda senoidal ajusta su amplitud de acuerdo a la señal de entrada. De la misma manera podría haberse empleado la salida de un modulador de manipulación por corrimiento de frecuencia (FSK), en el cual la frecuencia portadora cambia entre dos frecuencias, dependiendo del símbolo que esté presente en la entrada (se trata de una versión digital de una señal de FM), o la salida de un modulador de manipulación por corrimiento de fase (PSK), donde la polaridad (+) de la onda senoidal depende de la señal de entrada.

Un diseño de un sistema de datos como el presente debería de tomar en cuenta las posibles fuentes de error y tratar de minimizar sus efectos. Esto incluye el apropiado



Formas de onda en un sistema digital.

Fig. 6.4

diseño o selección de las señales en el transmisor . Es decir cómo deben conformarse las señales ? . cómo debe diseñarse el filtro del transmisor? . Dados varios métodos de transmisión de los símbolos binarios a la alta frecuencia requerida - la técnica de AM mostrada en la figura 6.4, las técnicas FSK, PSK, etc- cuál es la más apropiada para el problema descrito, incluyendo el canal característico en el que la transmisión se llevaría a efecto ? .

2 .- TECNICAS DE MODULACION .

A . Introducción .

Las señales digitales, así como las señales analógicas, que provienen de alguna fuente de información, datos producidos por una computadora, sensores, etc., son conocidas genéricamente como señales de banda base.

El medio que separa el transmisor del receptor, se conoce como Canal de Transmisión y puede ser: el aire, un grupo de alambres, un tubo hueco conductor (llamada guía de onda), o un conjunto de fibras ópticas. La eficacia de la transmisión requiere que las señales que llevan información sea procesada de alguna forma antes de que se transmitan por un determinado medio.

Muy comúnmente, las señales de banda base tienen que ser desplazadas a frecuencias superiores para que la transmisión sea más eficiente. Esto se logra por medio de la variación de amplitud, frecuencia o fase (o una adecuada combinación de ellas) de una onda senoidal portadora de una alta frecuencia, de acuerdo con la información que se va a transmitir. Este proceso de alteración de las características de una senoidal o de onda continua (c-w) se conoce con el nombre de

modulación de señal senoidal o de onda continua (c-w) . Las señales de banda base constituyen la señal moduladora y la señal que resulta es la portadora modulada de alta frecuencia . El uso de frecuencias superiores proporciona una radiación de la energía eléctrica más eficiente y pone al alcance anchos de banda superiores para una transferencia de información superior a la que es posible con las frecuencias inferiores . Las salidas de una unidad de datos de baja velocidad deben convertirse a señales modulares de c-w para poder ser transmitidas por medio de canales telefónicos y las señales de 1.5 Mbits de PCM deben convertirse a la modulación de c-w de microondas para poder ser transmitidas por un medio de enlace de microondas .

B . Comunicaciones Digitales .

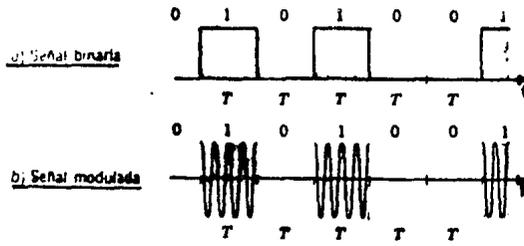
Tal como se ha notado con anterioridad, hay esencialmente tres maneras de modular una portadora senoidal simple: variando su amplitud, su frecuencia y su fase de acuerdo a la información que se va a transmitir . En el caso binario esto corresponde a la conmutación de uno de los tres parámetros entre dos valores posibles . Más comúnmente , la conmutación de amplitud oscila entre cero (el estado apagado) y algún nivel predeterminado de amplitud (el estado encendido) . Tales sistemas se denominan entonces ON-OFF-KEYED (OOK),

manipulados por encendido y apagado. Análogamente, en la manipulación por corrimiento de fase (PSK), es la fase de la portadora la que se conmuta en π radianes o 180 grados. También puede considerarse que lo que varía en este caso es la polaridad de la portadora de acuerdo con la secuencia binaria de información. En el caso de la manipulación por corrimiento de frecuencias (FSK), la portadora conmuta entre dos frecuencias predeterminadas, ya sea modulando un oscilador de señal senoidal o por conmutación entre dos osciladores dispuestos en fase. Aunque, se usan en la práctica otros esquemas de señalización binaria en forma similar, sólo consideraremos estos tres esquemas básicos de modulación.

B.1 Manipulación por encendido y apagado.

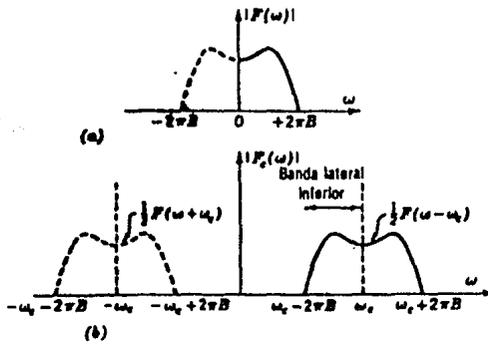
Supóngase una secuencia de pulsos binarios, como los que se muestran en la figura 6.5.a. El "1" enciende la amplitud de la portadora A y el "0" la apaga, figura 6.5.b. Es evidente que el espectro de la señal OOK dependerá de la secuencia particular que se transmita. Sea una secuencia particular de unos y ceros $f(t)$; entonces, la señal modulada en amplitud o señal OOK es simplemente:

$$F_c(t) = AF(t)\cos\omega_c t \quad (6-1)$$



Señal de manipulación por encendido y apagado.

FIG. 6.5

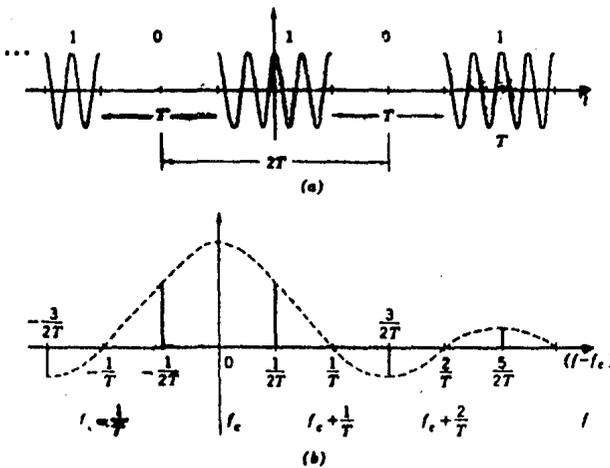


Espectro de amplitud de la onda modulada en amplitud.

a) Espectro de la señal moduladora.

b) Espectro de la onda modulada en amplitud.

FIG. 6.6



Espectro de la señal periódica de OOK.

a) Señal periódica de OOK.

b) Espectro (sólo de las frecuencias positivas)

FIG. 6.7

Donde $F(t) = 1$ ó 0 , sobre intervalos de T segundos de duración. Tomando la transformada de Fourier de la señal modulada en amplitud $F_c(t)$ (OOK), y usando el teorema del desplazamiento en frecuencia de:

$$F(t)\text{Exp}(j\omega_0 t) \longleftrightarrow F(\omega - \omega_0)$$

se tiene:

$$F_c(\omega) = A/2[F(\omega - \omega_c) + F(\omega + \omega_c)] \quad (6.2) \text{ m}$$

El efecto de la multiplicación de $\cos\omega_c t$ es simplemente el corrimiento del espectro original de la señal (la señal de banda base) hasta la frecuencia ω_c (figura 6.6). Esta es la forma general de una señal de AM; contiene bandas laterales simétricamente distribuidas alrededor de la frecuencia central o de la portadora ω_c . Nótese, el importante hecho de que con un ancho de banda inicial de la banda base $2\pi B$ rad/s (B hertz), el ancho de banda AM ó de transmisión es el doble de aquel; es decir $\pm 2\pi B$ rad/s ó de $\pm B$ hertz alrededor de la portadora, dando un ancho de banda total de $2B$ hertz.

B.2 Manipulación por corrimiento de frecuencias .

En este caso, si se considera primero una forma rectangular, para simplificar :

$$F_c(t) = A \cos \omega_1 t \quad - T/2 \leq t \leq T/2 \quad (6.3)$$

ó

$$F_c(t) = A \cos \omega_2 t$$

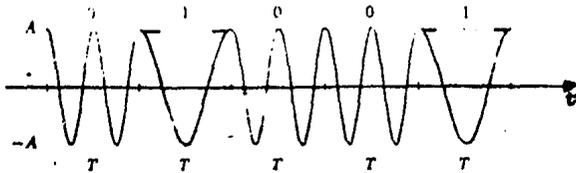
El 1 corresponde a la frecuencia f_1 , el 0 a la frecuencia f_2 (figura 6.8). (Generalmente f_1 y $f_2 \gg 1/T$. En algunos sistemas, particularmente sobre líneas telefónicas, f_1 y $f_2 \approx 1/T$, como se indica aquí). Una representación alternativa de la onda FSK consiste en hacer: $f_1 = F_c - \Delta(f)$, $f_2 = F_c + \Delta(f)$. Las dos frecuencias difieren entonces en $2 \Delta(f)$ hertz. Por lo tanto:

$$F_c(t) = A \cos (\omega_c - \Delta(\omega))t \quad -T/2 \leq t \leq T/2 \quad (6.3.a)$$

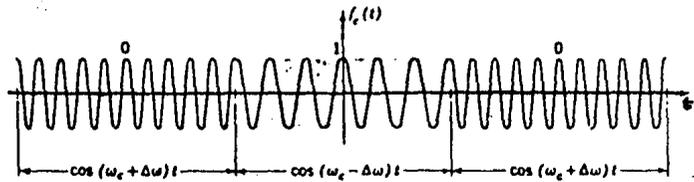
La frecuencia se desvía entonces $\Delta(f)$ alrededor de F_c . $\Delta(f)$ se denomina comunmente desviación de frecuencia

El espectro de frecuencia de la onda FSK $F_c(t)$ es en general difícil de obtener. Si ambas frecuencias son múltiplos del recíproco del periodo binario T (es decir: $f_1 = m/T$, $f_2 = n/T$, m y n son enteros) y están sincronizadas en fase, como se ha supuesto en la ecuación (6.3), la onda FSK es la función periódica de la figura 6.9. Nótese, sin embargo, que esto puede también visualizarse como la superposición lineal de dos señales periódicas de OOK, como la de la figura 6.7.a, una retrasada T segundos respecto a la otra. El espectro es entonces una superposición lineal de los dos espectros, como el de la figura 6.7.b. El espectro positivo de frecuencias es de la forma:

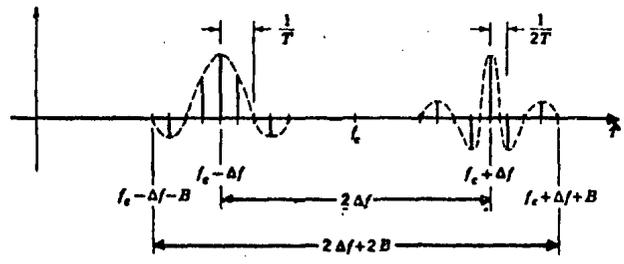
$$\frac{\text{sen} [(W_1 - W_n)T/2]}{(W_1 - W_n)T/2} + (-1)^n \frac{\text{sen} [(W_2 - W_n)T/2]}{(W_2 - W_n)T/2} \quad (6.4)$$



Onda de FSK.
Fig. 6.8

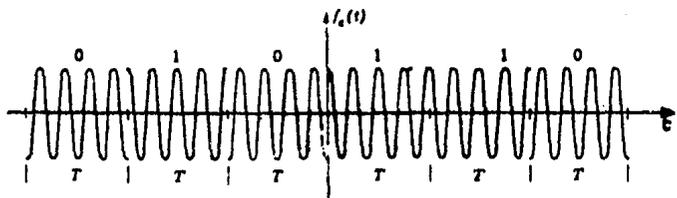


(a)



(b)

Espectro de la onda periódica de FSK.
 a) Señal periódica de FSK.
 b) Espectro (sólo de las frecuencias positivas).
Fig. 6.9



Señal de PSK.
Fig. 6.10

Con $\omega_n = \pi n/T$, $\omega_1 = \omega_c - \delta(\omega)$, $\omega_2 = \omega_c + \delta(\omega)$. Este espectro se muestra esquemáticamente en la figura 6.9, para el caso especial $\delta(f) \gg 1/T$. El ancho de banda de esta señal periódica es entonces $2 \delta(f) + 2B$, donde B es el ancho de banda de la señal de banda base.

Hay dos casos extremos interesantes:

1.- Si $\delta(f) \gg B$, el ancho de banda tiende a $2 \delta(f)$. Así pues, si se usa una gran separación entre los tonos en el sistema FSK, el ancho de banda es esencialmente el mismo que esa separación. Es virtualmente independiente del ancho de banda de la señal de banda base binaria. Esto es fundamentalmente distinto del caso AM.

2.- Si $\delta(f) \ll B$, el ancho de banda base tiende a $2B$. En este caso, incluso aunque los tonos se elijan muy poco espaciados, el ancho de banda mínimo es aún el requerido para la transmisión de OOK(AM); ahora el ancho de banda está determinado por la señal de banda base.

El primer caso se llama comúnmente FM de banda ancha y el segundo FM de banda angosta.

B.3 Manipulación por corrimiento de fase .

En este caso, se tiene que la señal manipulada por corrimiento de fase está dada por:

$$F_c(t) = \pm \cos \omega_c t \quad -T/2 \leq t \leq T/2 \quad (6.5)$$

Se ha supuesto una forma rectangular para los pulsos, aquí un '1' en la secuencia binaria de banda base corresponde a la polaridad positiva y un '0' corresponde a la negativa . La señal PSK corresponde entonces esencialmente a una secuencia binaria . Un ejemplo de ello se muestra en la figura 6.10 .

Las transiciones discontinuas de fase al comienzo y al final de cada intervalo de bit, cada vez que tienen lugar una transición entre '1' y '0' ó entre '0' y '1' se suavizan realmente durante la transmisión y gracias a la forma que se ha usado . La información, independientemente de la polaridad, es sin embargo retenida en el centro de cada intervalo, de manera que la decodificación en el receptor se lleva a cabo en las proximidades del centro de los pulsos . Esto también es cierto para las señales OOK y FSK . Las señales PSK tienen la misma característica de doble banda lateral que la transmisión OOK . Introduciendo la conformación de caída del espectro en los pulsos de alta

frecuencia de (2-5) resulta un espectro centrado en las frecuencias de la portadora F_c con un ancho de banda igual al doble del espectro de la banda base que ha sido conformado .

3 .- DETECCION DE SEÑALES BINARIAS .

A . Introducción .

Puede hacerse la pregunta sobre cuál de estas tres técnicas de señalización presentadas, sería preferible usar en la práctica . Cuáles son las ventajas y desventajas relativas de las diversas técnicas ? .

FSK se comporta mejor en un ambiente ruidoso que el sistema OOK, el sistema óptimo para la señalización binaria en presencia de ruido aditivo . Entonces, por qué no ha de usarse siempre FSK? . La respuesta está en la recepción y en los procesos que se llevan a cabo allí . Recuérdese que se modula una portadora senoidal con la secuencia binaria de banda base, siendo necesario desplazar la señal modulada resultante a una frecuencia adecuada de transmisión . En el receptor debe realizarse el proceso inverso o demodulación de la señal para recuperar la secuencia binaria original . Este proceso de demodulación se denomina a menudo detección .

Existen esencialmente dos métodos comunes de demodulación . Una conocida como detección sincrónica o coherente, que consiste en la multiplicación de la señal que llega por la frecuencia de la portadora, la que se genera localmente en el receptor y a continuación la señal

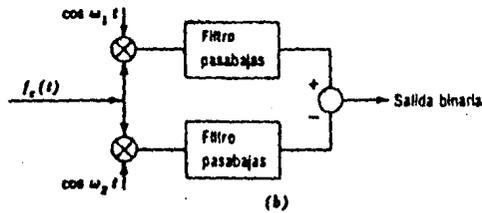
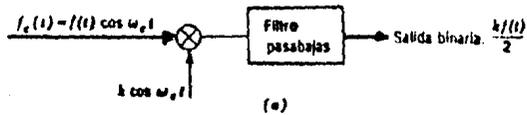
multiplicada resultante se hace pasar por un filtro pasabajas . El otro método se llama detección de envolvente . El procedimiento de detección sincrónica se esquematiza en la figura 6.11 . Nótese que las señales FSK requieren de ondas senoidales , una para cada frecuencia transmitida . Este procedimiento es justamente el inverso al procedimiento original de modulación que se efectúa en el transmisor y que sirve para trasladar las señales binarias a las frecuencias de banda base .

B . Detección sincrónica .

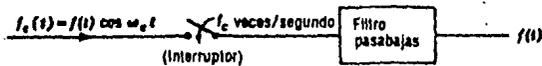
Para demostrar el método sincrónico, supóngase que la señal binaria de alta frecuencia tiene la forma AM, $F_c(t) = f(t) \cos Wct$. (Si, $f(t) = \pm 1$, se tiene la señal de PSK; si es igual a 1 ó 0, se tiene el caso OOK) . Si se multiplica esta señal por $K \cos Wct$, como se ha indicado, se obtiene:

$$Kf(t) \cos Wct = (K/2)(1 + \cos 2Wct)f(t)$$

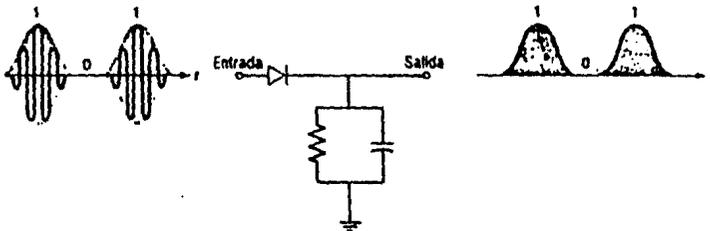
Pero el término $f(t) \cos 2Wct$ representa la función $f(t)$ trasladada hasta la frecuencia $2fc$, la segunda armónica de la frecuencia portadora fc . Esta es rechazada por el filtro pasabajas y la salida es $(K/2)f(t)$, justamente la secuencia binaria de la banda base que se desea . Por lo tanto el detector sincrónico realiza la función deseada de reproducir la señal $f(t)$ en el receptor .



Detección sincrónica:
 a) Señales de OOK o de PSK.
 b) Señales de FSK.
Fig. 6.11



Otro detector sincrónico.
Fig. 6.12



Detector de envolvente.
Fig. 6.13

Pero se ha supuesto que la portadora local $\cos \omega_c t$ esta exactamente a la misma frecuencia que el término de la portadora que lleva $\cos \omega_c t$ y que se encuentra en fase con ella, o que está sincronizada .

El sincronismo de fase es muy difícil de obtener, particularmente si la transmisión se realiza a grandes distancias . Esto significa que un reloj en el receptor que proporcione el sincronismo deberá encadenarse o amarrarse al reloj del transmisor dentro de una fracción de un ciclo de la portadora, sin importar lo que cueste .

Para obtener la requerida sincronía de la información, hay varios métodos disponibles :

1.- Puede transmitirse una portadora piloto superpuesta a la secuencia binaria de señales de alta frecuencia, la cual puede extraerse en el receptor y utilizarse para sincronizar el oscilador local del receptor .

2.- El lazo de amarre de fase, encadenado a la secuencia de datos o a un tono piloto, puede ser utilizado en el receptor para mantener en cero la diferencia de fase , etc.

Es interesante hacer notar que no es necesario realmente multiplicar físicamente por una onda senoidal pura la señal que lleva para obtener la forma deseada de demodulación :

$$F(t) \cos Wct$$

conmutando o evitando el paso de $F_c(t)$ cos Wct a intervalos regulares y a continuación utilizando el filtro pasobajas, se realizará la misma función (véase figura 6.12).

C . Detección de envolvente .

La otra forma común de detección, llamada detección de envolvente, evita los problemas de tiempo y de fase de la detección sincrónica . En este caso la señal de alta frecuencia que llega se hace pasar a través de un dispositivo no lineal y un filtro pasobajas . Una forma común del detector de envolvente es un diodo rectificador de media onda (el dispositivo no lineal seguido por un filtro pasobajas figura 6.13) . Tal como el nombre lo indica, la salida del receptor representa la envolvente de la onda de alta frecuencia que llega . La constante de tiempo RC es lo suficientemente grande como para retener la amplitud de la entrada durante muchos ciclos de la portadora, aunque es lo bastante pequeña, en comparación con un período binario, como para descargarse cuando la señal binaria cambia . Nótese, que existe una dificultad : la señal PSK tiene una envolvente constante (fis. 6.10), de manera que no puede emplearse un detector de envolvente . Entonces, el sistema PSK requiere forzosamente de la detección sincrónica .

El proceso de detección de envolvente, requiere la presencia de una portadora que no varía, además de la señal binaria de alta frecuencia que contiene información. Por esta razón, la detección de envolvente no puede usarse con las señales de PSK. Para demostrar este asunto considérese una señal OOK $f_c(t) = A f(t) \cos \omega_c t$. Recuérdese que $f(t)$ es una secuencia aleatoria de unos y ceros. Elevando al cuadrado esta expresión, se obtiene:

$$A^2 f^2(t) \cos^2 \omega_c t$$

con la formación rectangular $f(t) = 1$ o 0 , por lo que:

$$f^2(t) = 1 \text{ ó } 0 \text{ también.}$$

La salida del filtro pasobajas es entonces $A/2$ ó 0 , reproduciendo la secuencia 1, 0; en el caso PSK, sin embargo,

la señal $f(t) = \pm 1$, $f^2(t) = 1$ y la salida es siempre $A/2$.

4 .- MODEMS .

A . Introducción .

Con el desarrollo de las computadoras y equipos digitales, surgió la necesidad de su intercomunicación a grandes distancias . La forma más sencilla (transmisión en banda base) era también la más costosa por requerirse instalaciones de líneas especiales de punto a punto .

Por el contrario, la infraestructura telefónica ya existente hacía factible la intercomunicación entre prácticamente cualesquiera puntos . Las líneas telefónicas, sin embargo, no fueron originalmente diseñadas para la transmisión digital; su ancho de banda -si bien satisface los requerimientos de comunicación por voz- está limitado entre las frecuencias de 300 y 3000 hz .

Uno de los equipos más importantes para la transmisión de datos entre ordenadores es el MODEM . La denominación de modem deriva de la función que desempeña tal dispositivo:

MÓdulator / DEMÓdulator

Los modems acondicionan la información binaria del computador para que pueda ser transmitida a través de la línea telefónica. Concretamente el modem recibe los datos del

computador (por ejemplo en formato paralelo), los transforma en datos serie y mediante una codificación determinada, los envía por la línea de comunicación telefónica. En el sentido opuesto, el modem recibe los datos a través de la línea en serie y los transforma al formato adecuado para suministrarlos al computador .

Los modems son, por tanto, periféricos de salida en su zona de modulación y periféricos de entrada en su zona de demodulación .

Las características más importantes e interesantes de un modem, son las siguientes :

- Técnica de Modulación :

FSK

PSK

- Velocidad de Transmisión

- Relación Señal/Ruido

- Tipo de Transmisión :

Síncrona

Asíncrona

- Modo de Transmisión :

Simplex

Half-dúplex

Full-dúplex

- Acoplamiento de la Línea Telefónica :

Directo

Acústico

- Forma de Detección de Errores

- Tipo de Interfaz

- Indicaciones en el Panel Frontal

- Alimentación y Consumo

B . Características .

B.1 Técnica de Modulación .

La técnica de modulación empleada puede ser de dos tipos :

1.- FSK (Frequency Shift Keyed) : Modulación por desplazamiento de frecuencia conmutado . Los datos "1" y "0" se diferencian por la frecuencia de la transmisión .

2.- PSK (Phase Shift Keyed) : Modulación por desplazamiento de fase conmutado .

B.2 Velocidad de Transmisión .

Es la velocidad de comunicación de los datos a través de la línea telefónica . Se expresa en bauds . Los modems que utilizan la técnica FSK son más lentos, ya que tienen limitaciones en el ancho de banda, mientras que los que utilizan la técnica PSK, son de alta velocidad . Sin embargo , para aplicaciones normales se emplea la técnica

FSK, debido a que la alta velocidad, requiere líneas muy sofisticadas con cuatro hilos . Normalmente los modems disponen de un conmutador interno o microinterruptores para seleccionar entre distintas velocidades de transmisión .

B.3 Relación Señal/Ruido .

Se mide en dB y da una idea del máximo nivel de ruido que puede introducirse en la línea, siendo rechazado por el receptor y aceptando este sólo la señal sin errores .

B.4 Tipo de Transmisión .

La transmisión puede ser sincrónica o asincrónica :

- Sincrona : Los datos se transmiten continuamente según una señal de sincronismo ó reloj .

- Asíncrona : Los datos se transmiten cuando es necesario. Mientras no se esta transmitiendo la línea está en estado de reposo(idle) . La transmisión empieza con unos bits de inicio(start) y termina con unos bits de stop, volviendo la línea al estado idle . En estos casos se debe dar el formato de transmisión , esto es: el número de bits de start, el número de bits de información y el número de bits de stop. Lógicamente, esta transmisión es más lenta que la sincróna al necesitar de bits adicionales .

B.5 Modo de Transmisión .

Puede ser de tres formas :

- Simplex : La transmisión se efectúa por una sola línea y un sentido único .

- Semidúplex o Half Dúplex : La transmisión se efectúa por una sola línea en los dos sentidos, no pudiendo haber, por tanto, simultaneidad . Antes de iniciar la transmisión es necesario saber si la línea está ocupada (busy) o no (estado idle) .

- Dúplex ó Full-Duplex : La transmisión se efectúa simultáneamente por dos líneas, una en un sentido y la otra en el contrario .

En los sistemas dúplex, el modem puede trabajar de dos formas :

a).- Originate : Sólo el modem puede llamar al computador; el computador no puede establecer la comunicación por propia iniciativa .

b).- Call/Originate : El modem puede llamar y ser llamado por el computador .

B.6 Acoplamiento a la Línea Telefónica .

La conexión a la línea telefónica puede ser de dos tipos :

1.- Directa : Se debe conocer si la línea empleada es privada y única para la transmisión o si está acoplada a una red de conmutación . Es preciso conocer el nivel de ruido que puede introducirse en la línea .

2.- Acoplamiento acústico a través del aparato

telefónico : En este caso hay que conectar entre el modem y la línea un acoplador acústico .

Funciona bien hasta 300 bauds, a partir de 1 200 bauds los armónicos de segundo orden pueden alcanzar grandes proporciones .

B.7 Método de Detección de Errores .

Normalmente se realiza por medio de un bit adicional, llamado bit de paridad, que puede ser par o impar . Hay algunos modems que realizan la detección de error enviando la información por duplicado y luego comparando en el receptor bit a bit .

B.8 Tipo de Interfaz con el Computador .

Los tres más empleados son :

- V.24 o RS 232C
- Bucle 20 mA
- IEEE 488

Si el computador empleado está equipado con algún tipo de bus estándar, es posible conectar ciertos modems que incorporan interfaz directa. Este sistema puede adoptar la morfología de tarjeta de circuito impreso directamente enchufable en el bus del computador.

B.9 Indicaciones en el Panel Frontal .

Casi todos los indicadores del panel frontal sirven para detectar una posible avería. Esto es importante además para determinar si la avería es en el propio modem o en la línea telefónica. Los paneles frontales típicos pueden reflejar, por ejemplo los siguientes factores :

- Detección de onda portadora .
- Estado de transmisión o recepción de datos .
- Petición de envío de datos - Disposición de enviar datos.

B.10 Alimentación y Consumo .

Otras características que pueden ser interesantes en los modems son la forma de alimentación y consumo. Puede ser importante en algunos casos el que el modem se alimente en

corriente continua, a partir de una batería autónoma, de tal forma que no se interrumpan las transmisiones por fallo en la red de distribución eléctrica .

5 .- CASSETTE DE CINTA MAGNETICA .

A . Introducción .

Las unidades de cinta son periféricos de almacenamiento que utilizan una cinta magnética como soporte físico de la información . Dentro de esta categoría de periféricos cabe distinguir tres tipos básicos :

- Unidades de bobina
- Cassettes convencionales de audio
- Cartuchos de cinta

A.1 Unidades de Bobina .

Se utilizan en los grandes sistemas de computadores, como periféricos capaces de almacenar considerables volúmenes de información . No tienen gran interés en sistemas de menor potencia (minis o micros), ya que su flexibilidad queda ampliamente superada por las tradicionales unidades de disco flexible o rígido .

A.2 Cartuchos de cinta .

Dentro de las unidades de cinta, los cartuchos constituyen la categoría más importante . Su principal cometido es la obtención de copias de seguridad (back-up copy) sobre todo de la información almacenada en unidades de disco rígido . El soporte físico empleado para el almacenamiento (cartucho, en inglés : cartridge) es similar a un cassette, aunque de mayor tamaño .

A.3 Cassettes de Cinta Magnética .

La mayor parte de los computadores personales, e incluso muchos de los microcomputadores orientados a aplicaciones de gestión, suelen disponer de un acceso de Entrada/Salida destinado a la conexión de un magnetófono a cassettes de tipo convencional . Estos equipos pueden grabar y recuperar programas de cintas en cassette con absoluta facilidad . Las ventajas de este tipo de periféricos de almacenamiento radican en su economía, puesto que son equipos de consumo, y en posibilidad de emplear cualquier tipo de cassette de audio de cierta calidad.No obstante, tienen la desventaja de que el acceso a la información es muy lento y el riesgo de errores es muy alto ; además, debido a que la grabación y la lectura de la cinta se realiza de forma secuencial, sólo permiten el

almacenamiento de programas no puede utilizarse como soportes para el almacenamiento de datos a los que haya que acceder de forma aleatoria. Algunos microcomputadores incorporan la unidad para cassette como parte del equipo. Estas unidades suelen estar diseñadas especialmente para trabajar con información digital; se caracteriza por una mayor velocidad de acceso de la información, ventaja que deriva de la sincronización existente entre el microcomputador y el dispositivo lector-reproductor. Estos aparatos tienen el inconveniente de que normalmente requieren cintas especiales para el almacenamiento de información digital.

Las cintas de cassette pueden ser divididas en cintas y drives diseñados para uso de sistemas con computadoras y los tipos originalmente diseñados para grabación de audio.

B. Cintas de Cassette y Drives Diseñados para Uso de Computadoras.

Dado que los métodos de formateo y grabación varían entre las diferentes manufacturas de cassette-drive, la grabación no es intercambiable entre sistemas, por lo que existen estándares, como por ejemplo el cassette del tipo Phillips tiene su estándar en ANSI X3.27-1969. En adición a otros estándares físicos, esta especificación mantiene un

orificio a el inicio y final de la cinta para mantener la estandarizada detección del fin de la cinta . Los orificios no existen en los cassettes normales .

La densidad de datos en la cinta varia entre 350 y 700 bits/in (13.8 y 27.6 bits/mm) . Los bytes pueden ser agrupados en bloques de 1 a 92000 bytes, a lo largo con dos bytes de redundancia ciclica por cada bloque (CRC) .

Los bloques son separados por un interblock gap y organizados en archivos, los cuales a su vez son separados por file gaps . La capacidad total de la cinta es de 92000 bytes reducidos en 300 bytes por file gap y 46 bytes por interblock gap . Los datos son transferidos a razón de 562 bytes/s, equivalente a 4496 bits/s. Los tiempos de start-stop de la cinta entre bloques es de 20 mS . La cinta es leida a una velocidad promedio de 9.6 in/s (244 mm/s) .

C . Grabación en Cintas de Audio Para Uso de Computadoras .

Muchas microcomputadoras personales usan la disponibilidad y poco costosa grabación de cassettes de audio. Virtualmente cualquier computadora personal puede usar una grabadora, con la habilitación de un bus compatible con

un circuito de interfaz o con puertos estándar de entrada/salida serial en la computadora. Las grabadoras de cassette de audio operan a una velocidad de 1.875 in/S (47.6 mm/s).

Aunque son relativamente lentas, con formateos redundantes de datos usados para limitar errores, la grabación de cassette es usada por sistemas pequeños que no tienen discos u otras memorias auxiliares de masa, para almacenar recargar e intercambiar programas. Una típica cinta de cassette de audio contiene cerca de 562 ft (171 m) y puede almacenar 500000 bytes de datos en un lado. Las capacidades especificadas varían de acuerdo a el sistema de codificación empleado, así como, la longitud de la cinta. Cuando se graba en cintas de audio, se presentan dos problemas que deben ser considerados por el método de grabación digital de datos:

1.- Debido a que son dispositivos de audio, las cabezas de lectura-escritura y la electrónica asociada, son diseñadas para interpretar sonidos de frecuencia dentro de un rango limitado.

2.- La velocidad del controlador del motor del cassette está sujeto a variaciones. Principalmente a un riesgo de la pérdida del tiempo de sincronización a menos que tales señales de tiempo estén contenidas en el método de codificación.

D . Formatos de Grabación .

Al menos existen seis sistemas diferentes de codificación en cassettes y son :

- 1.- KIM-I
- 2.- Kansas City
- 3.- Tarbell
- 4.- CUTS
- 5.- Commodore Pet
- 6.- Radio Shack

Cada uno de estos formatos es un método diseñado para grabar información en bits seriales en cassettes de audio . Describiremos tres de esos métodos .

KIM-I .- Este formato fué desarrollado por la tecnología MOS. Los bits son representados por la combinación de tonos, 3700 Hz para un "0" y 2400 Hz para un "1" . En la tableta de interface del circuito , un modulador convierte los bits binarios hacia el apropiado tono, de la grabación, un demodulador detecta el tono del bit y convierte la señal a 0 o 5 V, representandono "0" o "1". La densidad de grabación es aproximadamente 72.6 bits/in (2.9 bits/mm) y una velocidad

normal de 2400 Hz . La máxima transmisión de datos es 136 bits/s o 17 caracteres/s .

Kansas City .- El formato Kansas City fue desarrollado por un grupo de aficionados de microcomputadoras en una convención de Kansas City en noviembre de 1975 . Este formato conecta una grabadora de cassettes a la computadora usando una interfaz serial estándar RS232C . El formato Kansas City usa un formato de 1200 Hz para un '0' y 2400 Hz para señalar un '1' . Un modulador y demodulador en el controlador de la cinta produce y lee la señal, a velocidad normal de la cinta; estas frecuencias representan 8 pulsos para un '1' y 4 pulsos para un '0' . Los bits son colocados adyacentes uno tras otro en la cinta . La razón de transferencia de datos es de 240 bits/s, representando 30 caracteres por segundo .

CUTS .- En el sistema CUTS, cada flujo magnético inverso de un pulso de frecuencia simple es contado con referencia a un pulso de reloj . Dos cambios de flujo durante un pulso de reloj mantienen un '1' y un cambio de flujo durante el pulso de reloj mantienen un '0' . Este sistema es también llamado un código de Frecuencia-Doble-Frecuencia (F2F) . La transferencia de datos es a razón de 1500 bits/s, equivalentes a 187 bytes .

6 .- INTERFAZ DE LA GRABADORA ,

A . Introducción ,

Esta interfaz y una grabadora de bajo costo, forman un sistema comparable a la de una grabadora de cinta digital . De acuerdo a los componentes usados en este diseño puede realizar operaciones de hasta 1200 bauds . Los puertos de entrada y salida para los datos, son compatibles con los niveles TTL y los puertos de tono de audio (FSK), están acondicionados para la operación directa con las grabadoras de cinta estándar (fig. 6.15) .

B . Descripción General .

La señal de datos tiene su porción principal de energía alrededor de la frecuencia cero . La cinta de grabación no puede reproducir bajas frecuencias fácilmente, sin embargo algunas veces debe de ser hecha tal operación . Tal operación es realizada por la unidad de interfaz de la grabadora, para recorrer el espectro en frecuencia de la señal de datos hacia un rango adecuado para la grabación . Esto es realizado mediante el proceso de modulación . Las frecuencias de modulación son :

1.- Cuando un "1" sea grabado, enviaremos una frecuencia f

$$f_H = 2400 \text{ Hz}$$

2.- Cuando un "0" sea grabado, enviaremos una frecuencia f_L

$$f_L = 1200 \text{ Hz}$$

Este proceso de modulación es conocido como FSK .

Durante la reproducción cuando una frecuencia de 2400 Hz es recibida, la unidad de interfaz debe demodular esto como un "1" y similarmente cuando 1200 Hz, son recibidos un "0" debe ser obtenido .

C : Descripción del circuito .

C.1 Modulación .

La parte del circuito usada en el proceso de modulación son aquellos componentes asociados con Q1 y U2 figura 6.14. El LMS67, U2, es un chip decodificador de Tono/PLL . La única sección de este chip que es usada es la de el controlador del oscilador cuya onda cuadrada de salida aparece en el pin 5 . Una onda triangular debida a la integración de esta onda

cuadrada aparece en el pin 6 . La frecuencia de esta onda triangular está determinada por la constante de tiempo formada por $(R8 + R9)$ y cualquier capacitancia que aparece entre el pin 6 y tierra . Considerando que $Q1$ está apagado , Entonces la única capacitancia efectiva conectada a el pin 6 es $C9$. La frecuencia de la onda triangular será :

$$f = 1.1 / (R8 + R9) C9$$

H

Cuando $Q1$ es enviado a saturación por un '0' en la entrada de datos, EB , esta situación coloca a $C7$ en paralelo con $C9$ teniendo así el doble de la capacitancia . Esto cambia a la mitad, la frecuencia de la onda triangular .

Una onda triangular con igual tiempo de levantamiento y recalimiento, debe recordarse que contiene solamente componentes de armónicas impares de su fundamental. Por lo tanto, cuando la onda triangular tiene una fundamental de 2400 Hz, las componentes que están presentes son: 1200, 3600, 6000, 8400, ... Hz. Cuando la onda tiene una fundamental de 2400 Hz, las componentes presentes son 2400, 7200, 12000, ... Hz. No hay componentes de frecuencia presentes en las señales de baja frecuencia que iguales a la fundamental o cualquier otra frecuencia incluya la señal de alta frecuencia . Las dos señales son, por lo tanto, únicas lo que asegura el proceso de demodulación .

$R10$ es elegida grande, tal que no cargue el oscilador,

U2 . La señal es entonces amplificada y pulida de la salida, E5, por R12 . Esto también sirve para disminuir la señal hacia la grabadora . Debe recordarse que esta señal es aplicada a la entrada del micrófono la cual en general requiere un bajo nivel .

C.2 Demodulación .

El XR-2211 es un demodulador FSK, el cual opera bajo el principio de un phase-locked-loop (PLL) (fig. 6.14) ; su funcionamiento es prácticamente independiente de las variaciones de amplitud de la señal de entrada en un rango de 2 mV a 3 Vrms . El PLL está diseñado para permanecer encerrado con el corrimiento al entrar las frecuencias f_L y f_H .

El rango sobre el cual permanecerá amarrado es determinado por R4; la frecuencia central es determinada por:

$$f_0 = (1 / C3 R6) \text{ Hz.}$$

Donde la capacitancia está dada en farads y la resistencia en ohms . "fo" debe ser calculada de tal manera, que quede al centro de la marca . El intervalo de desplazamiento ($\pm \Delta f$), es el rango de frecuencias sobre las cuales el PLL puede retener la cerradura, con una

señal variable en frecuencia . Este rango es determinado por la fórmula :

$$\text{delta}(f) = (R6 \text{ fo} / R4) \text{ Hz.}$$

Delta(f) debe ser hecha igual a, o significativamente menor que la diferencia entre la marca y el espacio de frecuencias .

C6 determina las características de la respuesta dinámica de el filtro paso bajas usado en el PLL . R3 y C5 abarca el dato del filtro paso bajas localizado en la salida de el PLL . La diferencia entre estos dos filtros paso bajas es que las frecuencias de interés dentro del PLL, son aquellas frecuencias que se encuentran por debajo de 'f' , mientras que aquellas que se encuentran fuera del lazo son aquellas que se encuentran en, o sobre la velocidad de baudaje .

El rango de captura ($\pm \text{delta}(fc)$), es el rango de frecuencias sobre el cual el PLL puede adquirir la cerradura. Es siempre menor que el intervalo de desplazamiento . El intervalo de captura esta limitado por C5, el cual, en unión con R4, forma la constante de tiempo del lazo del filtro .

En la mayoría de las aplicaciones de los modems,

$$\text{delta}(fc) = (80\% - 99\%) \text{ delta}(f)$$

R2 es usada para realimentación positiva alrededor de la salida del amplificador en U1. Para reducir el tiempo de levantamiento durante los cambios de estado, R1, una resistencia "pull up" en la etapa de salida U1. La señal es alimentada hacia un amplificador de salida crando un "buffer", permitiendo compatibilidad con TTL, en la terminal E4 de datos de salida. C4, se necesita para eliminar la componente de directa en U1.

7 .-- COMPONENTES ELECTRONICOS DEL CIRCUITO MODEM .

A , Componentes Modulador

U1 XR-2211
 C1 0.1 uF
 C2 0.1 uF
 C3 0.027 uF
 C4 0.1 uF
 C5 0.0022 uF
 C6 0.01 uF
 R1 5.1 K
 R2 510 K
 R3 100 K
 R4 30 K
 R5 18 K
 R6 5 K POT.

B , Componentes Demodulador

U2 LM567
 C7 0.01 uF
 C9 0.01 uF
 C10 0.1 uF
 C11 10 uF
 R7 10 K
 R8 39 K
 R9 20 K POT.
 R10 2.7 M
 R11 1 M
 R12 100 K
 Q1 2N2222
 U3 74C04

C . Tarjeta de interfaz Terminal / Grabadora .

Dentro de los circuitos que forman esta tarjeta, se encuentran la interfaz RS-232, la cual permite a el SMAD establecer la comunicación con terminales que tengan esta norma; así como también contiene un circuito modulador-demodulador (MODEM), para permitir el flujo de información en ambos sentidos, hacia una grabadora del tipo estándar .

Dado que el SMAD puede interactuar con una terminal, para la elaboración y ejecución de programas en lenguaje de máquina para el procesador Z-80, como se muestra en la fig. 6.16 ; además puede realizar la adquisición y grabación de datos en un dispositivo de almacenamiento secundario (cassette), por medio de una grabadora (fig. 6.17), es necesario tener alguna forma de control para elegir la función deseada .

Las funciones anteriormente descritas se pueden realizar ya que es empleado un circuito multiplexor 74LS157 como elemento intermedio de comunicación entre el SMAD y los dispositivos periféricos(fig. 6.18); el circuito multiplexor contiene 2 canales de entrada (4 pines cada uno) y un canal de salida (también de 4 pines), además contiene un pin de control, para elegir algún canal de entrada .

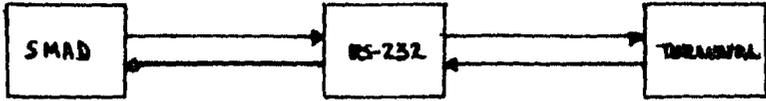


FIG. 6.16



FIG. 6.17

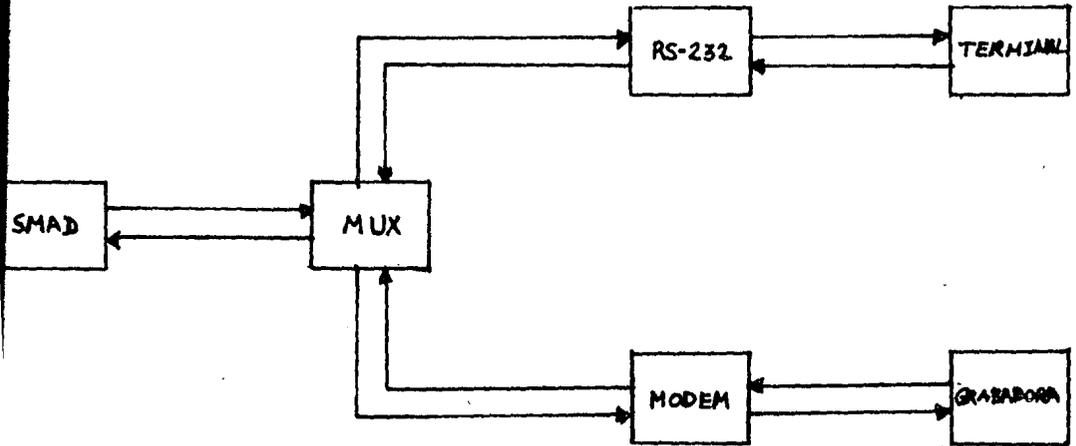


FIG. 6.18

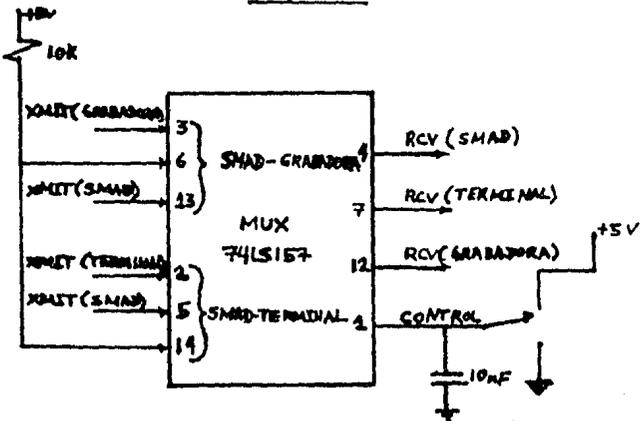


FIG. 6.19

Realizando las conexiones apropiadas de las líneas de datos a transmitir y las líneas de datos a recibir de los tres elementos que intervienen, el SMAD, la interfaz RS-232 y el MODEM en los pines de los canales de entrada y en el canal de salida, podemos establecer la comunicación en ambos sentidos entre el SMAD - terminal y entre el SMAD - grabadora como se muestra en la fig. 6.19. Cabe mencionar que de las cuatro líneas que forman cada canal, sólo son empleadas tres de ellas para poder establecer la comunicación entre el sistema y algún dispositivo periférico elegido (terminal, grabadora) .

La elección de una u otra función se logra por medio de hardware, utilizando un switch que se encuentra en la misma tableta. Mediante un "0" lógico, posición del switch hacia abajo, se encuentra en modo terminal; mediante un "1" lógico, posición del switch hacia arriba, se encuentra en modo adquisición y grabación de información .

El estado del switch es enviado además, por una línea del omnibus(línea 28) hacia la tarjeta de la CPU, donde se conecta en el pin 0 del conector plano J2, que corresponde a el bit 7 del puerto B del circuito PIO 8255 . De esta manera se sensea el estado del switch por medio de software. Para poder establecer la comunicación con el dispositivo seleccionado en el momento preciso .

El flujo de información con la grabadora es llevado

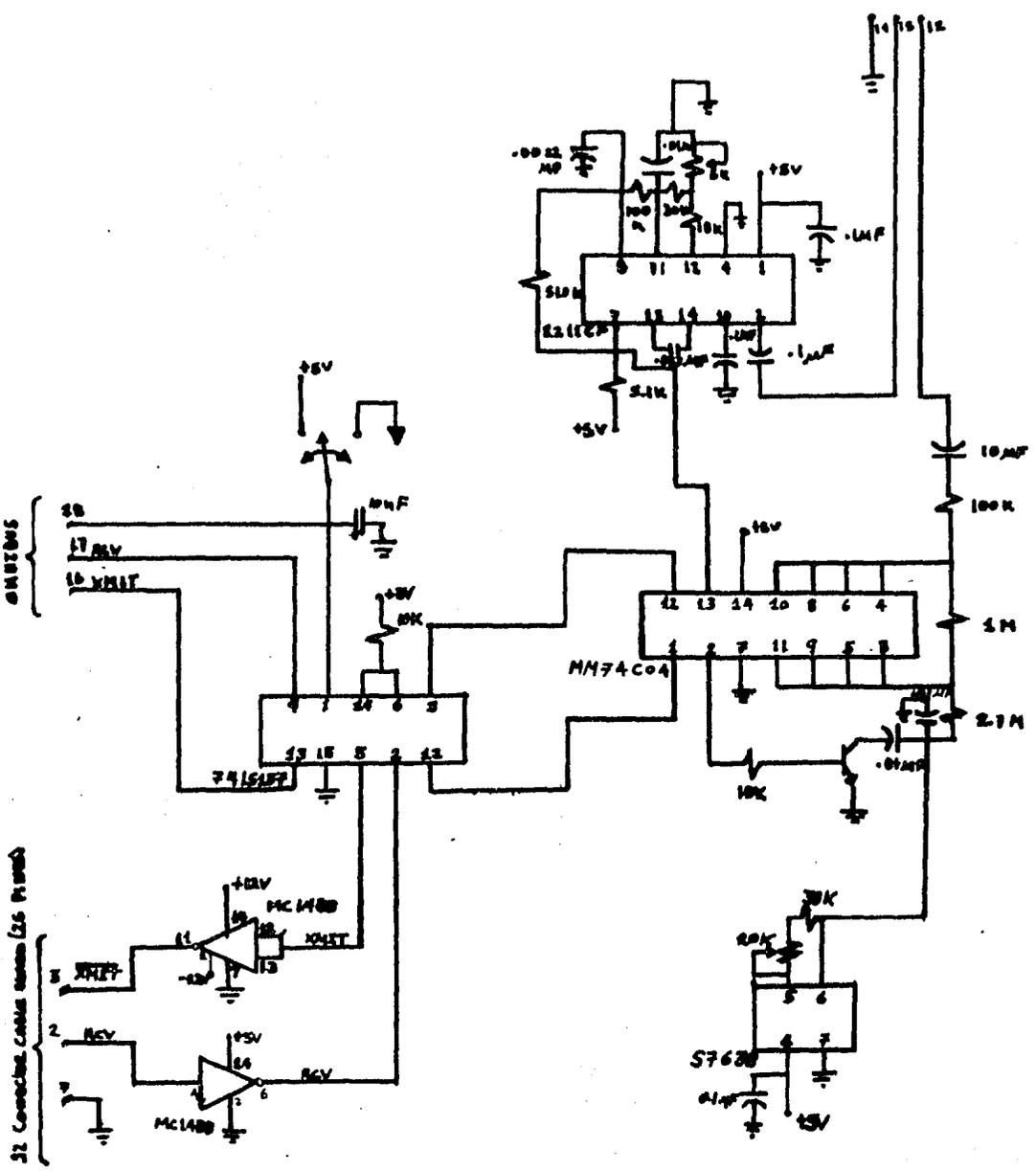


FIG. 6.20

través del conector plano J1, el cual envía la información modulada en FSK. El conector plano J2, permite el flujo de información con la terminal (fig. 6.20).

Las señales de entrada y de salida tanto de la grabadora como de la terminal, una vez que son seleccionadas por el multiplexor, son enviadas a través del omnibus (línea 16 transmit, línea 17 receiver), hacia la tarjeta de la CPU, donde son recibidas por el UART 8251 (pines 19 y 23 respectivamente) y así establecer el enlace con el procesador Z-80. La velocidad de transmisión en ambos casos es de 300 bauds.

La disposición de los circuitos integrados, switch y conectores planos, se muestran en la fig. 6.21.

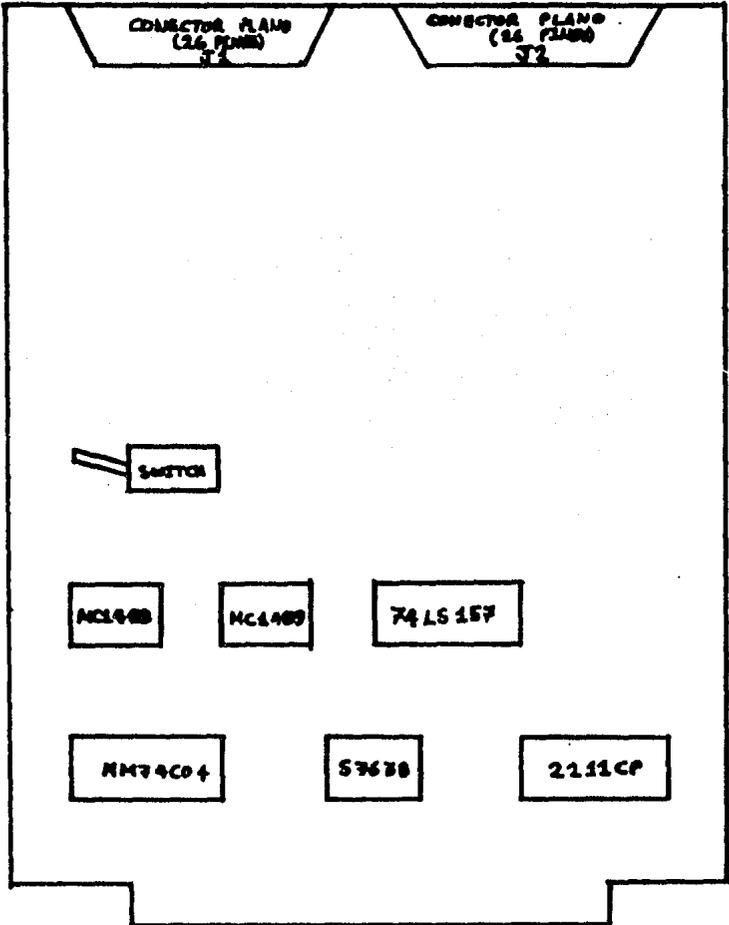


FIG 21

8.- FORMATO DE GRABACION .

El número de bits que se emplearan por cada caracter a almacenar es : 8 bits de información y 2 bits de paro .

La forma en la cual se va a organizar el archivo dentro de la cinta (cassette) es la siguiente :

2 Caracteres " " (20H), como Inter-Record Gap .

1 Caracter ":" (3AH), como inicio de archivo .

2 Caracteres correspondientes a un dato del canal 1 .

2 Caracteres correspondientes a un dato del canal 2 .

(Hasta completar los 334 datos o 664 caracteres de ambos canales)

2 Caracteres correspondientes a el CHECKSUM de los 334 datos almacenados .

1 Caracter "*" (2AH), como fin de archivo .

2 Caracteres " " (20H), como Inter-Record Gap .

VII . FUENTE DE ALIMENTACION

1 .- INTRODUCCION .

En las grandes computadoras, las alimentaciones de corriente continua convierten enormes cantidades de energía para hacer funcionar miles de circuitos integrados lógicos; por necesidad los fabricantes eligen los métodos más eficaces de conversión de energía en la alimentación. Las exigencias de alimentación del SMAD son muy inferiores a las que tienen las grandes computadoras. Para el diseño de esta fuente sacamos provecho de los métodos de diseño tradicionales e incorporamos, al mismo tiempo, los más recientes adelantos en la tecnología de los reguladores. En la figura 7.1 se ilustra un diagrama de bloques de la fuente de alimentación del SMAD.

Cada una de las tres alimentaciones de c.c. necesarias para el SMAD está constituida por tres módulos básicos: una sección de transformador para reducir la tensión de la red de 120 V c.a. a la tensión más baja utilizada por la computadora; un rectificador filtro de entrada para convertir c.a. en c.c. de pequeño rizado y un regulador que estabiliza la salida a un nivel de tensión determinado.

La especificación adecuada del transformador y filtro de entrada hay que tenerla muy en cuenta; quienes hacen caso omiso de esta parte tienen como consecuencia un filtro

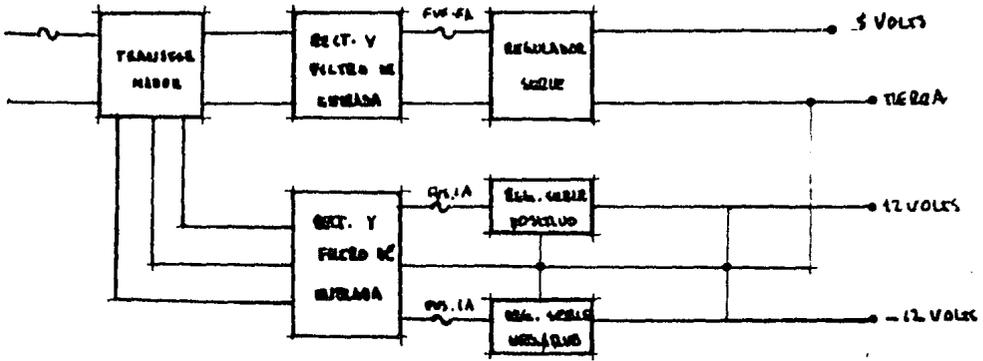


Fig. 7.1

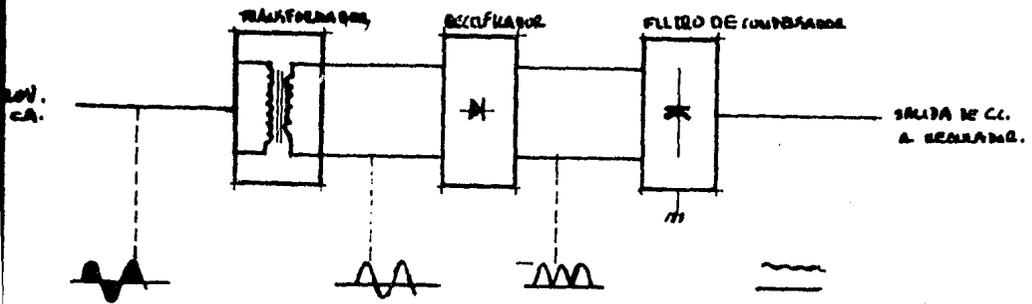


Fig. 7.2

deficientemente diseñado.

Hay tres voltajes de alimentación necesarios para hacer funcionar al SMAD. cada alimentación lleva incorporada una sección de filtro de entrada. Debido a que la alimentación de +5V es la más importante, recibirá la máxima atención. En este capítulo, dividiremos la alimentación en dos secciones: transformador/filtro de entrada y regulador de salida.

En la figura 7.2 se muestra el diagrama de bloques de un filtro de entrada normalizado. En su forma más simple, está constituido por tres componentes que funcionan como sigue:

- Un transformador que aísla la alimentación de la red suministradora de energía y reduce la entrada de 120 V de c.a. a baja tensión de c.a. utilizable.

- Un rectificador en puente que convierte c.a. en c.c. de onda completa y satisface las demandas de corriente de carga del condensador del filtro.

- Un condensador de filtro que mantiene un nivel suficiente entre los ciclos de carga para satisfacer las limitaciones de las tensiones del regulador.

El funcionamiento del SMAD depende completamente de la eficiencia de la fuente de alimentación.

2 .- DISEÑO DEL FILTRO DE ENTRADA .

En el diseño de la fuente de alimentación nos

concentramos en los aspectos prácticos más que en los pormenores técnicos que no tienen importancia en la práctica.

Una onda sinusoidal de 120 V c.a. eficaces se aplica al primario del transformador. La figura 7.2 ilustra las formas de onda previstas en los puntos seleccionados a través de la sección del filtro. La gráfica 7.1 muestra que 120 V c.a. son realmente 240V Pico a Pico; por esto se tuvo cuidado al aislar y montar los componentes.

La salida del secundario del transformador es una onda sinusoidal similar, reducida en tensión. A continuación, se aplica a un puente de onda completa y la forma de onda aparece como en la gráfica 7.2. Se observa una pequeña mancha opaca entre las protuberancias. Como consecuencia de tratar con componentes electrónicos reales en vez de con modelos matemáticos, debemos tener conocimiento de ciertas peculiaridades. Los diodos de silicio presentan características de umbral y, de hecho, tienen una caída de tensión de 1 V a través de cada diodo. Esta caída de tensión se hace significativa en diseños de puente de onda completa y, como ilustran las figuras 7.3a, 7.3b y la gráfica 7.2, se pueden acumular cuando se añaden diodos en serie. La pérdida de 2 V en el puente es una consideración que se tomó en cuenta a la hora de los cálculos.

El regulador de tensión requiere un cierto nivel de c.c. mínimo para mantener una tensión de salida constante. Si la tensión aplicada cayera por debajo de este punto, la

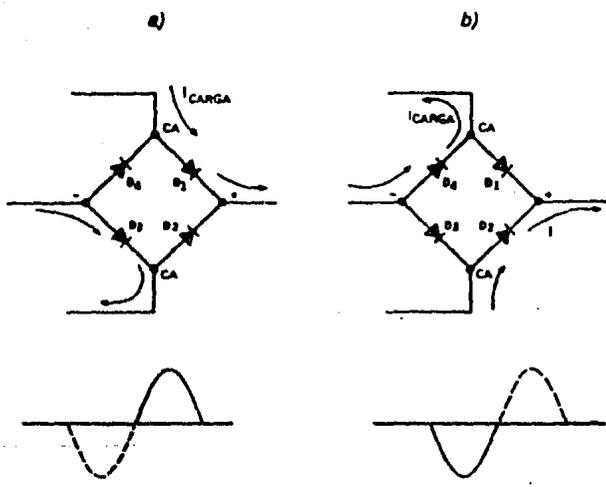


FIG: 7.3

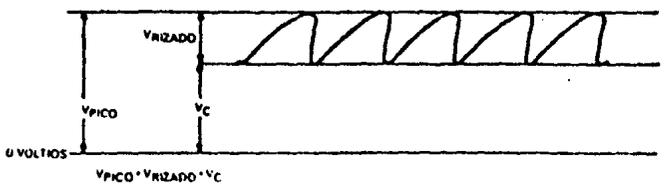


FIG: 7.4.

estabilidad de salida quedará gravemente deteriorada. Por consiguiente un condensador de salida se utiliza para suavizar las "protuberancias" en la onda sinusoidal rectificada. Cuando los diodos están conduciendo, el condensador almacena suficiente carga para mantener la tensión mínima requerida hasta el siguiente ciclo de carga. La entrada del transformador es de 60 Hz, pero debido a las características de la rectificación de onda completa, los ciclos de carga se producen a 120 Hz. El condensador se carga durante un ciclo de 8.3 ms. Este fenómeno periódico de carga/descarga se muestra en la gráfica 7.3. La magnitud de la fluctuación de tensión entre los dos picos del ciclo se conoce como rizado. La mayor magnitud de la forma de onda, incluyendo el rizado, se designa como tensión de pico. Ambos valores son importantes de recordar y se indican en la figura 7.4.

Después de estos conocimientos básicos, describiremos la fuente de alimentación de 5 V a 5 A. Por motivos que expondremos más adelante, la sección del regulador de 5V de esta alimentación requerirá un mínimo de 8.5 V para un funcionamiento adecuado. Ello significa que cualquiera que sea la magnitud de V_{pico} y V_{rizado} , el nivel de V_c final no debe hacerse inferior a 8.5 V, pues de serlo el regulador no funcionará adecuadamente. Para este caso se tomó $V_c=10V$ para facilitar los cálculos, sin ir en detrimento de un buen diseño. Si superáramos en mucho el valor límite de 10V, satisfaciendo los criterios de entrada, aumentaríamos la

disipación de potencia y posiblemente se destruiría el regulador. Hay una solución a este círculo vicioso y es la de ser conservador.

Ahora que 10 V es el objetivo, podemos seleccionar adecuadamente los otros componentes del filtro para conseguirlo. En la figura 7.5 se representa el circuito de filtro de nuestra alimentación de 5V. R_s es la resistencia del devanado secundario del transformador. Para un transformador de 5 V. a 8 A. la magnitud media de R_s será de 0.1 ohms.

Los primeros valores a tomar en cuenta son los siguientes:

- V_c = Voltaje mínimo de entrada al regulador = 10 V.
- I_{out} = Corriente de carga al regulador = 5 A.
- R_s = Resistencia secundaria del transformador= 0.1 ohms.

V_{pico} puede ser cualquier tensión hasta la entrada máxima para la que está diseñado el regulador. Sin embargo, ello aumentará la disipación de potencia del circuito. La regla empírica que utilizamos cuando se diseñan alimentaciones de este tipo es que V_{pico} debe ser un 25% mayor que V_c . De esta forma, el valor del condensador se mantendrá dentro de los límites razonables. La relación $V_c/(V_{pico}-V_c)$ se denomina factor de rizado del condensador del filtro.

$$Y_f = \frac{V_{pico}-V_c}{V_c} = \frac{12.5-10}{10} = 25 \%$$

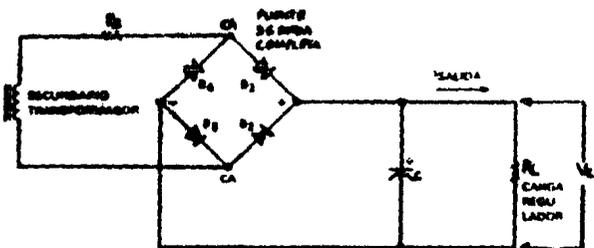


FIG. 7.5

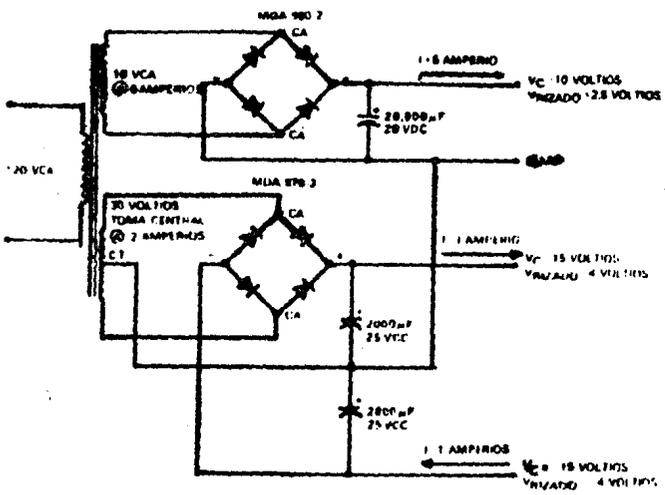


FIG. 7.6

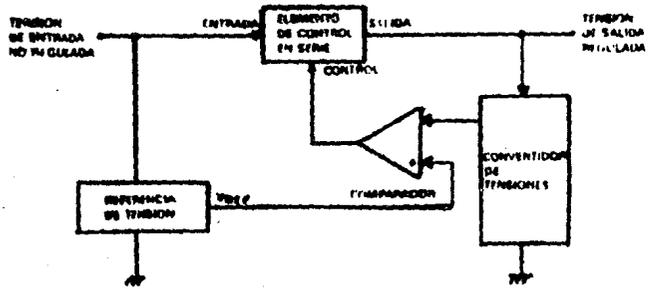


FIG. 7.7

Un factor de rizado del 25% de 5 A caerá bien dentro de los valores nominales admisibles de la corriente de rizado del condensador, lo que evita emparearse de las especificaciones del fabricante de condensadores. El factor de rizado es arbitrario, pero es mejor mantenerlo lo más pequeño posible.

3.- CALCULO DEL CAPACITOR ,

Ahora sabemos que el condensador debe soportar una tensión de 10 V a partir de una entrada de pico de 12.5 V.

$$\begin{array}{l} V_{\text{pico}}=12,5 \\ V_c=10 \text{ V,} \\ V_{\text{rizado}}=2,5\text{V,} \end{array} \quad \begin{array}{l} - \\ | \\ | \\ | \\ | \\ | \\ - \end{array} \quad \begin{array}{l} \\ \\ > V_c = V_{\text{pico}} - V_{\text{rizado}} \\ \\ \end{array}$$

La siguiente consideración es elegir un condensador que logre este objetivo. Otro cálculo empírico que ahorra mucho trabajo es:

$$C = \frac{dt}{dv} I$$

en donde:

C = Valor del condensador en faradios =?

I = Corriente máxima del regulador =5 A.

dt = Tiempo de carga del condensador =8,3 ms.

dv = Tensión de rizado admisible =2,5 V.

Sustituyendo los valores particulares de nuestro circuito:

$$C = \frac{(5)(8.3 \times 10^{-3})}{(2.5)} = 16.6 \times 10^{-3} \text{ faradios}$$

de donde:

$$C = 16600 \text{ microfaradios.}$$

Los condensadores electrolíticos, que suelen estar disponibles en el comercio, tienen una tolerancia de +50 y -20%. Tomamos, pues, preferentemente un valor de componente normalizado a 20000 microfaradios. La capacidad añadida reduce el rizado en otros 0.4 V y nos da also más de seguridad. El otro elemento a considerar con el condensador es la tensión de trabajo. Puesto que V_{rico} ha de ser 12.5V, éste debe ser un valor satisfactorio. Sin embargo, la experiencia demuestra que los transformadores acaban por funcionar a tensiones de salida más altas que las etiquetadas y que 12.5 V a 115 V c.a. se eleva a 13.6 V cuando la tensión de la red de suministro de energía se hace de 125V c.a. Una tensión del condensador de 15V, c.c., parecería satisfacer el requisito funcional, pero es recomendable emplear el siguiente valor normalizado superior de 20V c.c.

El condensador es, pues, de 20000 microfaradios a 20 V, c.c. El rectificador puede ser un puente monolítico de onda completa o pueden ser cuatro diodos discretos. Obsérvese que, puesto que un puente suele estar encapsulado, los cuatro terminales están rotulados en lugar de mostrar las marcas de polaridad de los diodos individuales. Las designaciones correspondientes a las cuatro terminales son dos terminales

de entrada de c.a., y dos terminales de salida de "+" y "-",

4.- EL RECTIFICADOR :

Hay tres consideraciones: cuando se elige un rectificador: sobrecargas de corriente, corriente continua y magnitud de la tensión inversa (PIV). Estas elecciones no son caprichosas y deben examinarse detenidamente.

Cuando se conecta por primera vez una fuente de alimentación, el condensador se descarga completamente. De hecho, aparecerá instantáneamente como una impedancia de 0 ohms para la fuente de tensión. El único aspecto del circuito que limita el flujo de corriente inicial es la resistencia de los devanados secundarios del transformador y el cableado de conexión; los diseñadores suelen añadir una resistencia en serie para limitar la sobrecarga de corriente.

En este circuito, la sobrecarga es:

$$I_{sob} = \frac{V_{pico}}{R_s} = \frac{12,5}{0,1} = 125A$$

y la constante de tiempo del condensador es:

$$ct = R_s \times C = (0,1) (20 \times 10^{-3}) = 2 \text{ ms.}$$

Por regla general, la sobrecarga de corriente no producirá ningún daño al diodo si I_{sob} es inferior a la corriente de sobrecarga del diodo y si:

$$ct < 8,3 \text{ ms. (que lo es)}$$

No podemos comprobar la magnitud nominal de la

sobrecorriente hasta después que elijamos un puente de diodos, pero pueden definirse los otros dos parámetros.

5 .- TENSION INVERSA DE PICO PIV .

PIV son las siglas de "peak inverse voltage" (tensión inversa de pico). Esta magnitud es la tensión máxima que puede aparecer a través del diodo antes de que se autodestruya. Los diodos, a diferencia de los condensadores, son implacables: los transitorios los destruyen inexorablemente. No es extraño tener transitorios de 400V en la línea de entrada de 115V c.a. Ello hace que nuestra tensión nominal de 12.5 V se eleve bruscamente a 43V (1). Por consiguiente, el rectificador de puente debe tener un valor PIV mínimo de 50 V.

6 .- CORRIENTE CONTINUA.

La última consideración es el valor nominal de la corriente continua. Por cuanto que el regulador puede diseñarse para una salida de 5 A, el regulador particular que hemos elegido consumirá 7 A si se cortocircuitara. No se trata de un procedimiento operativo normalizado, pero puede aplicarse en la práctica. El componente normalizado recomendado sería un puente de 50 PIV con un amperaje de 12 A. Un componente preferido sería de 100 PIV con un amperaje de 12 A, en condiciones de cortocircuito, pero es improbable que fuera capaz de hacer lo mismo con un amperaje de 27 A. Una u otra opción satisfacen el diseño.

7 .- EL TRANSFORMADOR .

Consideremos ahora el transformador. Hemos determinado las caídas de tensión a través de los diversos componentes. Los valores se utilizan para calcular la tensión secundaria RMS (valor cuadrático medio) requerida en la forma siguiente:

$$V_{sec(rms)} = \frac{V_c + V_{rizado} + V_{rect}}{\text{cart}(2)} = \frac{10 + 2,5 + 2,0}{1,44} = 10,25V$$

V_{rect} = Caída de tensión a través de cada diodo (aproximadamente 1 V. por cada diodo) .

En la práctica, serviría un transformador normalizado de 10 V y 6 A.

Los componentes de las alimentaciones de +12V y de -12 V. se seleccionan de manera análoga, con la excepción de que la corriente requerida es sólo de 1 A y de que se utiliza un puente de 200 PIV debido a la configuración de un rectificador en particular. El esquema acabado de la sección del transformador y del filtro de nuestra computadora se muestra en la figura 7.6.

8 .- REGULADORES DE TENSION .

La siguiente consideración es la sección de regulador de tensión de nuestra fuente de alimentación. Todos los reguladores de tensión realizan la misma tarea: convierten una tensión de entrada de c.c. dada en una tensión de salida de c.c. estable y específica y mantienen este punto de

ajuste a través de amplias variaciones de tensión de entrada y carga de salida. El regulador de tensión típico, como se muestra en la figura 7.7, está constituido por lo siguiente:

- Un elemento de referencia que proporciona una tensión de referencia estable conocida :

- Un elemento de conversión de tensiones que muestra el nivel de tensión de salida :

- Un elemento comparador que sirve para comparar el nivel de salida y el de referencia para obtener una señal de error :

- Un elemento de control que puede utilizar esta señal de error para proporcionar la conversión de la tensión de entrada para obtener la salida deseada :

El elemento de control depende del diseño del regulador y tiene una amplia variación. El control determina la clasificación del regulador de tensión: en serie, shunt o conmutación. Para el regulador en serie, el elemento de control regula la tensión de salida modulando el elemento en serie, que suele ser un transistor, y hace que actúe como una resistencia variable (figura 7.8) . A medida que se incrementa la tensión de entrada, también aumenta la resistencia en serie R_s , con lo que se hace mayor la caída de tensión a través de la misma. De esta forma, la tensión de salida (V_{out}) se mantiene a un nivel constante.

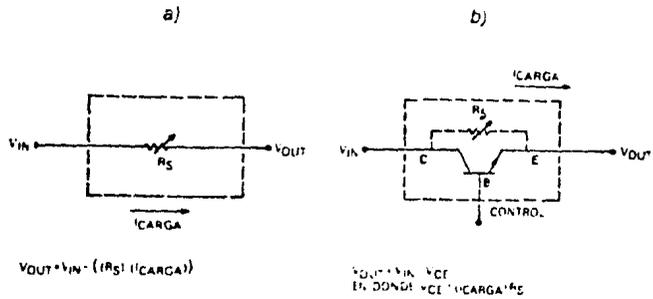


Figura 1.8 Un elemento de control en serie en el regulador de tensión

- a) El elemento de control en serie actúa como una resistencia variable R_S
 b) El elemento en serie es muy frecuentemente un transistor

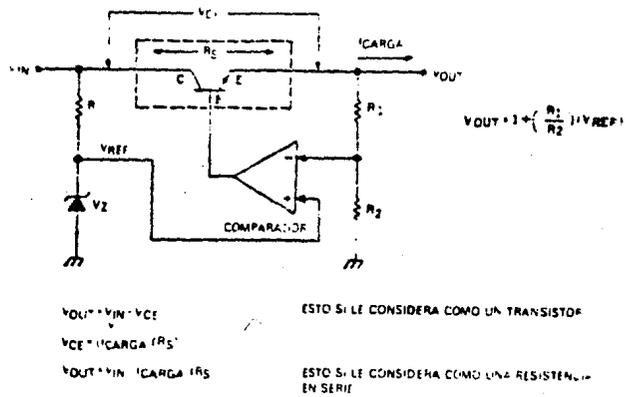


Figura 1.9 Diagrama esquemático de un regulador de tensión en serie

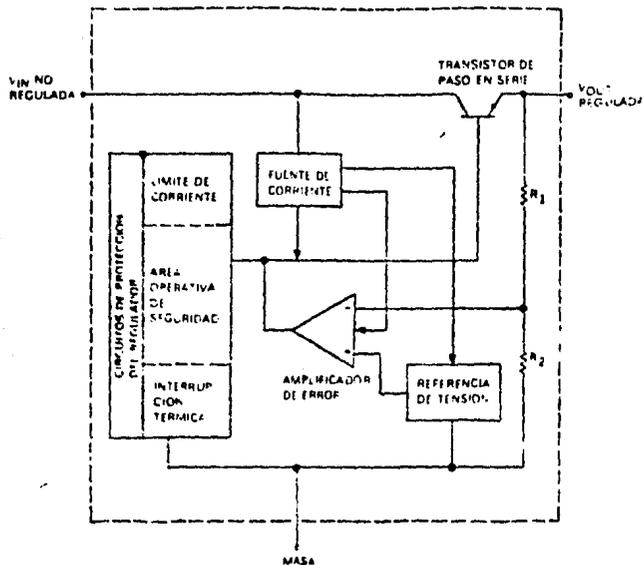


Figura 1.10 Diagrama de bloques de un regulador de tensión de tres terminales

Para realizar este control de lazo cerrado, se incorpora al hardware un sistema de comparación y realimentación de referencia. Una tensión de referencia estabilizada y fija se obtiene fácilmente por medio de un diodo Zener. Sin embargo, la corriente producida es débil; el dispositivo no podría servir como un regulador de tensión por sí mismo.

El convertidor de tensiones conectado a la salida del elemento de control en serie produce una señal de realimentación que es proporcional a la tensión de salida. En su forma más sencilla, el convertidor de tensiones es una red de divisor resistivo. Las dos señales, de referencia y de realimentación, proporcionan la información necesaria al comparador de tensiones para que se produzca la realimentación de bucle cerrado (figura 7.9). La salida del comparador excita efectivamente la base del transistor de paso en serie, de modo que la caída de tensión a través del transistor se mantendrá a un valor preajustable estabilizado cuando se reste de la tensión de entrada.

El armar estos dispositivos en forma individual trae problemas, por lo cual se inventó el regulador de tres terminales. La figura 7.10 es el diagrama de tal dispositivo.

Básicamente, un regulador de tres terminales lleva incorporado todos los transistores, resistencias y diodos individuales en un solo circuito integrado. Aunque de

sencillo uso, estos dispositivos tienen una estructura interna bastante más complicada que el regulador en serie de la figura 7.9. Solamente tres terminales son necesarios en aplicaciones en la que la salida fija es un valor normalizado tal como: $\pm 5V$, $\pm 6V$, $\pm 8V$, $\pm 12V$, $\pm 15V$ o $\pm 24V$. Las tres conexiones son de c.c. no regulada desde nuestro filtro de entrada; una referencia de tierra y, finalmente, una salida de c.c. no regulada.

En un regulador de tres terminales, la referencia de tensión es la parte más importante porque cualquier anomalía o perturbación se reflejará en la salida. Por consiguiente, la referencia debe ser estable y exenta de ruido o desviación. Diseños más avanzados utilizan circuitos de referencia de separación de banda más bien que diodos zener. Debido a su complejidad, dicho método es práctico sólomente en el entorno del circuito integrado (CI). Esencialmente, una tensión de referencia de separación de banda se deriva de las relaciones predecibles de temperatura, de corriente y de tensión de una unión base-emisor de transistor.

Otra ventaja del regulador de tres terminales es que, en circuitos monolíticos, pueden obtenerse fácilmente fuentes de corriente estable aprovechando las buenas propiedades de adaptación y de seguimiento de componentes monolíticos. También, como en el caso anterior, el diseñador puede añadir tantos dispositivos activos como sea necesario sin aumentar significativamente la zona circuital del C.I. El

funcionamiento del circuito de referencia a un nivel de corriente constante reduce las fluctuaciones debidas a las variación de la tensión de la red de alimentación. De este modo, la salida ha aumentado la estabilidad. El amplificador de error se hace funcionar también a una corriente constante para reducir la influencia de la tensión de la red de alimentación.

La consideración más importante para el aficionado es que estos circuitos integrados llevan incorporados circuitos protectores, salvaguardando al regulador contra ciertos tipos de sobrecargas. Protegen al regulador contra condiciones de cortocircuitos (límite de corriente); contra la condición diferencial excesiva de entrada/salida (zona de trabajo de seguridad) y contra temperaturas excesivas de la unión (límite térmico). Por supuesto, todos estos circuitos están concebidos para proteger al regulador y no a la computadora.

9 .- ELECCION DEL REGULADOR :

El regulador de tensión híbrido uA78H05 de 5A tiene todas las características propias del regulador monolítico de tres terminales (esto es, circuitos protectores completos). Cada cápsula TO-3 herméticamente cerrada contiene un regulador monolítico A78M05 que excita un transistor discreto de paso en serie Q1 y dos transistores detectores de corto-circuito Q2 y Q3 (ver figura 7.11). El transistor de paso esté montado sobre el mismo sustrato de óxido de berilio como la pastilla integrada del regulador, con lo que se

asegura una transferencia térmica casi ideal entre Q1 y el circuito termosensible del 78M05.

El circuito de salida está concebido de modo que la existencia de corriente del caso más desfavorable de la base de Q1, añadida a la corriente a través de R2, queda siempre por debajo del umbral de límite de corriente del 78M05. La resistencia R1, en conjunción con R2 y R3, constituye un circuito limitador y detector de corriente para proteger el dispositivo de paso en serie contra un consumo excesivo de corriente.

La protección de zona de seguridad se consigue por la fuerza bruta. El transistor de paso en serie es capaz de manipular la corriente de cortocircuito a la tensión máxima de entrada del 78H05. (Ver hoja de especificaciones del 78H05 en el apéndice correspondiente.)

La salida nominal del dispositivo es de 5.0V, pero puede variar entre 4.8 y 5.2 V. Aun cuando caiga dentro de la tolerancia de 5.0 V \pm 15% necesaria para hacer funcionar a la computadora, podría plantearse un problema con la caída de tensión en el cableado entre la fuente de alimentación y la computadora. Hasta 0.5V podrían perderse en el cableado y en los conectores. Recuérdese que a 5 A, una resistencia de solo 0.1 ohms puede producir una caída de 0.5V. Lamentablemente, el 78H05 es un dispositivo de salida fija cuando se refiere a tierra. Si aparece una tensión de 4.8V a la salida, ello es todo lo que puede conseguir, pero podemos "engañar" al regulador haciendo ajustable la tierra,

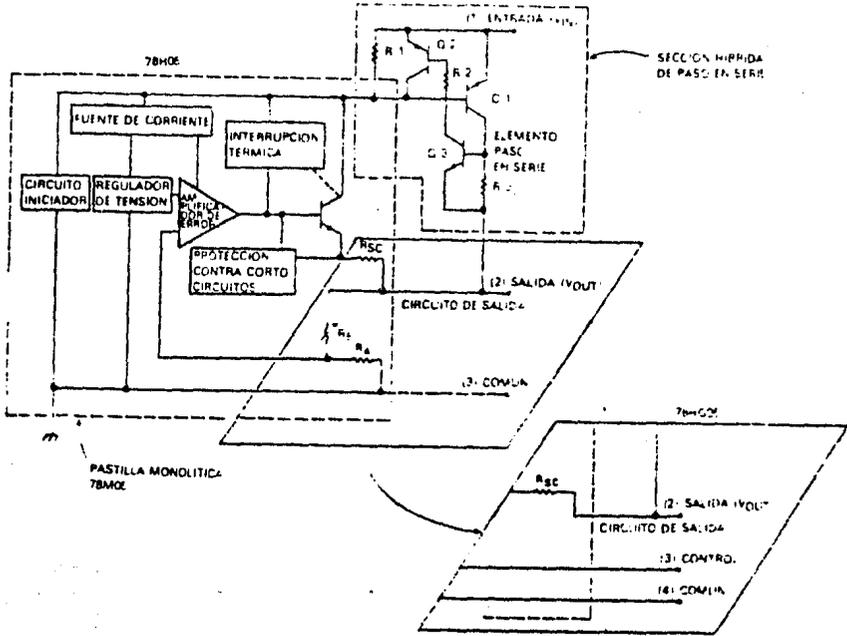


Figura 7.11 Diagrama de bloques de un regulador de tensión híbrido μ A78H05 y μ A78H05 de 5 pines

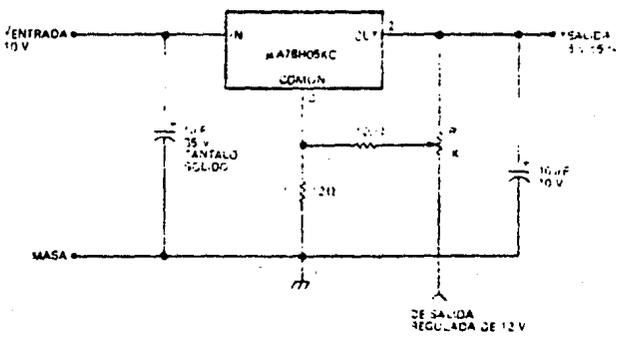
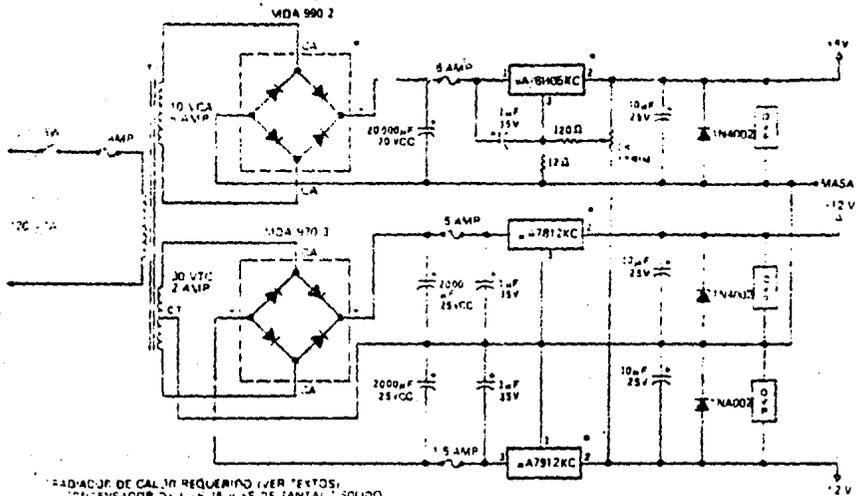


Figura 7.12 Adición de un «ajuste fino» al regulador de tensión de tres terminales μ A78H05.

En la figura 7.12 se muestra el circuito que lo hace posible. Un potenciómetro, alimentado a partir de la fuente de $-12V$ crea una referencia a tierra relativa para el 78H05. Si el dispositivo particular en cuestión tuviera una salida de $4.59V$ y ajustáramos $R1$ para una potencia de $0.2V$ en la terminal común del regulador, la salida referida a tierra cambiaría a $4.95+0.2V$ o a $5.15V$. Para el fanático de la exactitud, este circuito particular permite también que se reduzca a $5.0000V$ la salida de un dispositivo seleccionando una terminal de referencia a tierra de tensión negativa.

Con la alimentación de $5V$ completa, nuestro próximo objetivo es la alimentación de $+12V$ y $-12V$. Otros dispositivos dentro de la familia de reguladores 7800 satisfacen los requisitos. Los reguladores 7812 y 7912 son reguladores de $1A$, positivo y negativo, respectivamente; representan las mismas características de protección que el 78H05. En los apéndices se indican las especificaciones exactas. Puesto que estamos tratando de corrientes mucho más bajas que la alimentación de $+5V$, hay considerablemente menos interés por las pérdidas de tensión a través de los cables de conexión y resulta innecesario añadir circuitos de ajuste fino. En la figura 7.13 se muestra el esquema final de la fuente de alimentación.



*ADICION DE CALOR REQUERINDO VER TEXTOS;
 CONDENSADOR DE 1000µF 25 V ES DE TANTALO SÓLIDO
 ERSENE QUE HAY UNA DIFERENCIA DE DESIGNACION DE TERMINALES ENTRE EL 7812 Y EL 7912
 POSIBLE ESTA UNIDA A LA ENTRADA DEL REGULADOR Y ENTRE EL CONDENSADOR DE FILTRO Y EL PUENTE DE DIODOS

Figura 7.10 Esquema de la fuente de alimentación acabada para la computadora **286D**

VIII : POSIBLE DESARROLLO DE FUNCIONES DE CONTROL :

1 :- DESCRIPCION FUNCIONAL :

A : Convertidores Digitales-Analógicos:

Varios sistemas aceptan una palabra digital como señal de entrada y lo convierten en un voltaje o corriente analógico. Estos sistemas reciben el nombre de convertidores digitales-analógicos. La palabra digital puede ser representada en una gran variedad de códigos, el más común es el binario puro o el código binario decimal (BCD).

A.1 Convertidor Digital-Analógico de Escalera :

Este convertidor utiliza un circuito en escalera con valores de resistencias de R y $2R$ exclusivamente; en esta escalera la corriente es dividida, según la impedancia en el nodo. Esta corriente dependerá del valor que tenga la palabra digital (Fig. 8.1). Se observa de la figura que en cualquiera de los nodos de la escalera, la resistencia equivalente es siempre $2R$ midiéndola de izquierda a derecha.

B : Demultiplexores :

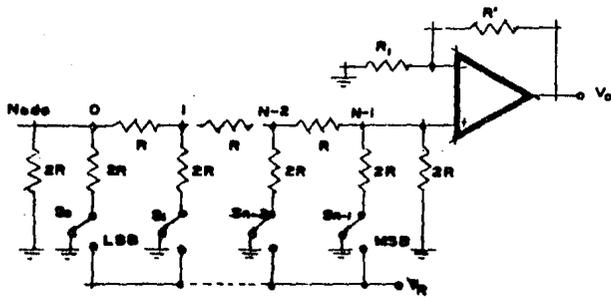


FIG. 8.1

Un demultiplexor es un sistema para transmitir una señal sobre una de N líneas. La línea particular es seleccionada por medio de una dirección.

Si el número N de líneas de salida excede a 16, el demultiplexor es organizado en forma de árbol para lograr el número deseado de líneas de salida.

2.- ESTRUCTURA.

El circuito consta de un par de convertidores Digital-Analógicos, decodificación de los convertidores, circuitos demultiplexores, direccionamiento de los dispositivos.

El propósito de este circuito es el de enviar cualquier tipo de señales de control a algún dispositivo conectado al sistema SMAD para el monitoreo de dichos dispositivos.

El circuito se muestra en la Fig : 8.2 .

El circuito será capaz de manejar hasta un total de 16 dispositivos, vistos por el sistema SMAD como puertos de salida. Las direcciones de los puertos van desde la 70H hasta la 7FH.

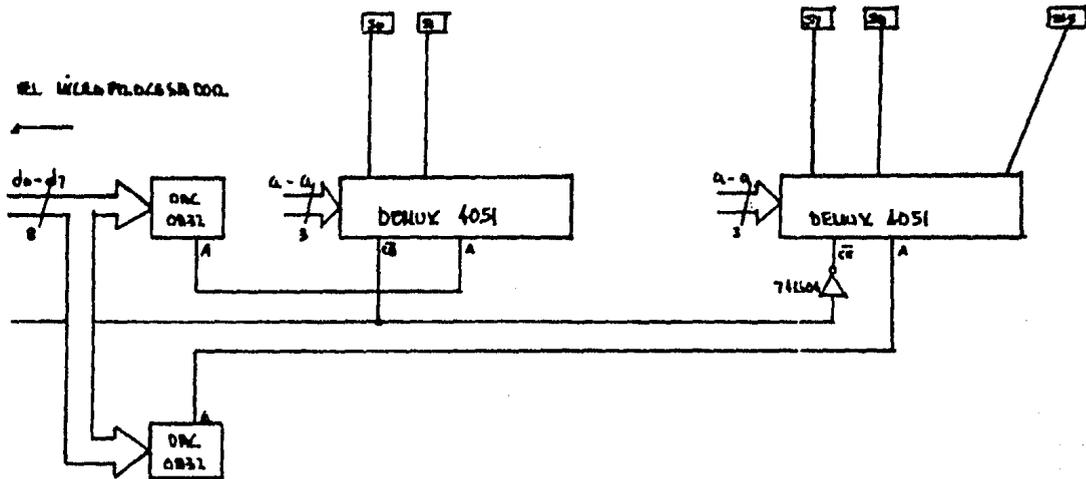


FIGURA 8.2

Las señales de control en forma de una palabra digital serán enviadas a los dispositivos a través del bus de datos hacia los convertidores D/A . Estos tendrán la información y estarán habilitados según el dispositivo al cual se le enviará la señal de control .

La decodificación de los D/A se realiza a través de 2 circuitos decodificadores 74LS139; la salida analógica es pasada a los demultiplexores y se direcciona alguno de los 16 canales con los bits menos significativos del bus de direcciones.

3 .- CIRCUITO DAC 0830/0831/0832 .

Este circuito es compatible con microprocesadores de 8 bits. Es un convertidor de tipo escalera R-2R que divide la corriente de referencia . El circuito utiliza switches CMOS de corriente y lógicas de control para lograr un bajo consumo de corriente . El circuito es compatible con TTL.

El doble buffering permite a estos DACs tener a la salida la palabra digital correspondiente mientras se guarda la siguiente palabra digital.

A . Características del circuito :

Este tipo de circuitos tienen capacidad de doble buffering: buffering sencillo; interfaz directa con microprocesadores de 8 bits; puede operar sin conectarse a ningún microprocesador (Stand Alone); tiene una resolución de 8 bits.

A.1 Consideraciones Digitales :

Una característica única de estos DACs es que la entrada digital de 8 bits es de doble buffering : Esto significa que los datos son pasados a través de dos registros latch controlados de 8 bits antes de ser aplicados a la red de escalera R-2R para ser cambiados a salida digital . La adición de un segundo registro permite dos características útiles de control : Primero: cualquier DAC en el sistema puede mantener simultáneamente el dato actual en un registro (registro DAC) y la siguiente palabra digital de dato en el segundo registro (registro de entrada) para permitir una actualización más rápida de la salida del DAC en demanda. Segundo: y probablemente más importante: el doble buffering permite a cualquier número de DACs en el sistema estar actualizados en sus niveles de salida analógicos simultáneamente a través de una línea de habilitación común.

Operación de Doble Buffering:

La actualización de la salida analógica de estos DACs en modo de doble buffering es básicamente una operación de dos

etapas o de doble escritura : En un sistema de microprocesadores se deben decodificar dos únicas direcciones del sistema: una para el latch de entrada controlada por el Chip Select y una segunda para el latch del DAC que es controlado por la línea XFER . Si se maneja más de un DAC, cada línea CS deberá ser decodificada individualmente, pero todos los convertidores pueden compartir una dirección común para XFER y permitir la actualización simultánea de cualquier número de DACs : Refiérase a los diagramas de tiempo en los apéndices.

Es importante notar que las salidas digitales que cambiarán después de una transferencia simultánea son aquellas de los DACs cuyo registro de entrada haya sido modificado antes del comando XFER.

La pata ILE es un chip select activo alto el cual puede ser decodificado del bus de direcciones como un calificador para la señal normal de CS (activo bajo) durante una operación de escritura . Esto puede ser usado para proveer al sistema de un grado mayor de decodificación de señales de control únicas para un DAC en particular, y por ende crear un esquema de direccionamiento más eficiente.

Otra aplicación útil para la pata ILE de cada DAC en un sistema de varios DACs es el de unir todas estas líneas y utilizarla como una línea de control que pueda "conservar" las salidas en su valor presente . Al colocar esta línea en

estado bajo, se almacena en el latch el registro de entrada y se impide la entrada de un nuevo dato al DAC. Esto puede ser particularmente útil en un sistema de multiprocesamiento para permitir a un procesador diferente al que tiene el control de los DACs tomar el control del bus de control y de datos. Si este segundo sistema fuera a usar las mismas direcciones que las decodificadas para el control del DAC la función ILE prevendría a los DACs de ser erróneamente alterados.

En un sistema de "stand-alone" las señales de control son generadas por lógica discreta. En este caso el doble buffering puede ser controlado poniendo las líneas CS y XFER a un "0" lógico, ILE a un "1" lógico y con una transición de alto a bajo de WR1 para cargar el dato al latch de entrada. Con una transición alto a bajo de WR2 se actualizará la salida analógica. Un "1" lógico en cualquiera de estas líneas se previene el cambio de la salida analógica.

Operación de buffering sencillo:

En un sistema controlado por microprocesadores donde la máxima cantidad de información por unidad de tiempo que se le pueda pasar al DAC es de capital importancia, o cuando sólo un DAC deberá ser actualizado a la vez, se debe utilizar una configuración de buffering sencillo. Uno de los dos registros internos permite el paso de los datos y el otro registro servirá como el latch de los datos.

El buffereo sencillo en un sistema Stand-Alone se logra poniendo WR1 en transición alto-bajo para actualizar el DAC con CS, WR2, y XFER en bajo, y por último ILE en un nivel alto.

Operación de Paso-a-través .

El DAC puede ser configurado para permitir que la salida analógica refleje continuamente el estado de una señal digital aplicada . Esto es más útil en aplicaciones donde el DAC es utilizado en un lazo de control de realimentación continua y es manejado por un contador binario arriba-abajo, o en circuitos de generación de funciones donde una ROM proporciona permanentemente los datos del DAC.

Con la simple referencia a tierra de CS, WR1, WR2 y XFER y uniendo ILE en estado alto permite a ambos registros internos seguir a las entradas digitales aplicadas y afectar directamente las salidas analógicas.

Señales de control.

Se deben guardar dos importantes relaciones en la utilización de este circuito para su operación correcta . La primera es que la duración mínima del pulso de habilitación WR debe de ser de 500 ns para todas las condiciones de operación válidas de voltaje y temperatura . Típicamente una duración de 100 ns es adecuada si el voltaje de alimentación

es de 15 V cd . Una segunda consideración es que el tiempo mínimo que debe mantenerse el dato en la entrada digital después de WR vía CS para que los datos puedan estar en el latch es de 90 ns .

Alimentación de la señal digital.

Cuando los datos se encuentran en los registros internos, pero las entradas digitales se encuentran cambiando de estado, una cantidad pequeña de corriente puede fluir a través de las terminales de salida . Esto es causado por la rápida conmutación de las compuertas de lógica interna que responden a los cambios de entrada.

Hay varias recomendaciones para minimizar este efecto. Cuando los datos están en el latch, utilizar siempre el registro de entrada como latch . Segundo, la reducción del voltaje de alimentación de 15 V a 5 V mejora en un factor de 5 este problema, a expensas de la rapidez.

A.2 Consideraciones Analógicas.

El propósito fundamental de cualquier convertidor Digital-Analógico es el de dar una salida analógica que sea representativa de la palabra digital aplicada . En el caso del DAC0830 la salida Iout1, es una corriente directamente proporcional al producto del voltaje de referencia aplicado y

la palabra de entrada digital . Para una versatilidad de aplicaciones, una segunda salida, Iout2, se provee como una corriente directamente proporcional al complemento de la entrada digital.

Básicamente:

$$Iout1 = (Vref/15k) (Entrada Digital/ 256)$$

$$Iout2 = (Vref/15k) ((255 - Entrada Digital) / 256)$$

donde la entrada digital es el equivalente decimal de la palabra binaria de 8 bits aplicada.

4 .- DEMULTIPLEXOR ANALOGICO .

El circuito demultiplexor analógico utilizado es el CD4051 de 8 canales . Para una expansión a 16 canales se utilizarán 2 circuitos realizando la decodificación por separado de cada uno de ellos . El circuito es el que se muestra en la Fig , 8.2 .

5 .- SOFTWARE .

ROMENCO Z80 Macro Assembler version 03.07

Page 0001

*** DACH ***

```

0001
0002
0003
(0000) 0004      MONITOR:      EQU 0000H
0005 ;
(2000) 0006                        ORG 2000H
0007 ;
2000 CD0620      0008                        CALL DEXT
2003 CD0000      0009                        CALL MONITOR
0010 ;
0011 ;*****
0012 ; Subrutina DEXT                *
0013 ;*****
0014 ;
2006 3670      0015      DEXT:      LD (HL),70H      ; Direccion ini
2008 0610      0016      CANAL:     LD B,10H        ; Canales = 16
200A 1A        0017                        LD A,(DE)      ; Señal de con
200B 4E        0018                        LD C,(HL)      ; Iniciar puert
200C ED79      0019                        OUT (C),A      ; Dato a dispos
200E ED79      0020                        OUT (C),A
2010 34        0021                        INC (HL)      ; Sig .disposit
2011 13        0022                        INC DE        ; Señal de con

```

```
2012 10F4      0023      DJNZ CANAL
2014 C9        0024      RET
                0025      ;***
                0026      ;END
                0027      ;***
                0028
```

```
Errors          0
Range Count     0
```

CROMEMCO Z80 Macro Assembler version 03.07

*** DACM ***

Symbol	Value	Defn	References
CANAL	2008	0016	0023
DEXT	2006	0015	0008
MONITOR	0000	0004	0009

IX . TRANSDUCTORES .

1 .- INTRODUCCION .

En las últimas décadas, se ha venido progresando, en realizar todas las mediciones físicas eléctricas en procesos. Los dispositivos para convertir estas propiedades físicas en señales eléctricas, son referidos genéricamente como transductores. Un transductor es un mecanismo para transformar un tipo de energía a otro. Por lo tanto, el término es usualmente reservado para dispositivos los cuales cambian fenómenos físicos en energía eléctrica o los cuales transforman energía eléctrica en algún fenómeno físico.

Cabe hacer mención que en la interfaz del transductor, muchos de los dispositivos usados en mediciones comunes y aplicaciones de control son fundamentalmente analógicos en la naturaleza y no digital. Hasta la última década más o menos, el campo de las mediciones fue casi enteramente un campo analógico con muy poca instrumentación digital presente.

A continuación se describirá el principio y funcionamiento de algunos tipos de transductores, que se pueden emplear actualmente en los procesos de medición.

2.- TRANSDUCTORES Y SENSORES .

A . El Transductor de Resistencia Variable .

El transductor de resistencia variable es un dispositivo muy común; el cual se puede construir en forma de un contacto que se mueve sobre un alambre; un contacto que se mueve sobre una bobina de alambre; ya sea con un movimiento lineal o angular; o un contacto que se mueve angularmente sobre un conductor sólido, como una pieza de grafito. A este dispositivo también se le denomina potenciómetro o reóstato y se puede conseguir comercialmente en diferentes dimensiones, diseños y rangos.

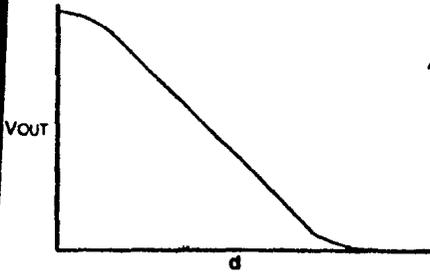
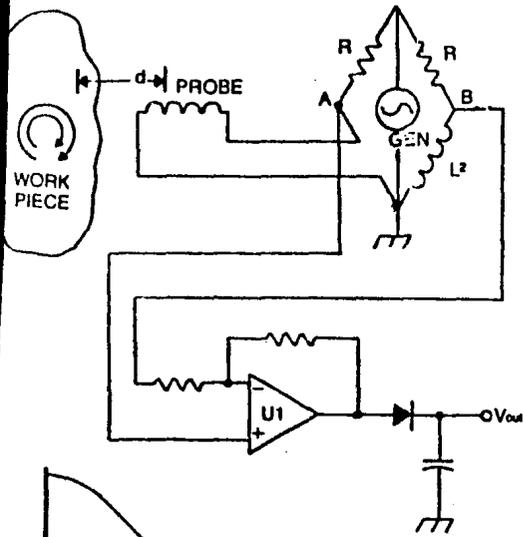
Esencialmente, el transductor de resistencia variable es un dispositivo que convierte un desplazamiento lineal o angular en una señal eléctrica; sin embargo, por medio del uso de métodos mecánicos, es posible convertir una fuerza o una presión en un desplazamiento, de tal forma que este dispositivo también puede ser útil en las mediciones de fuerza y presión.

B . Medidores sin contacto .

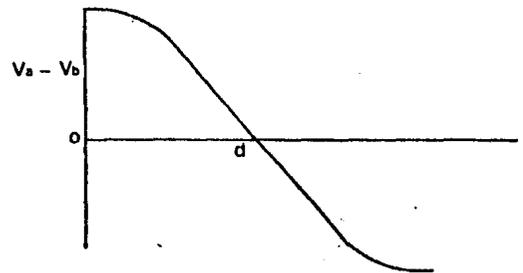
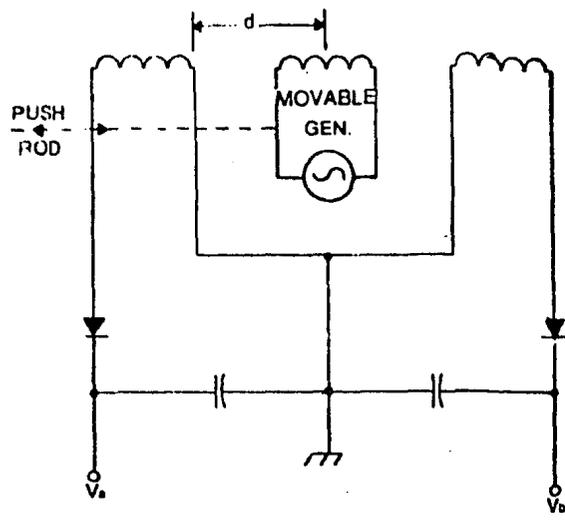
Lo último en baja fricción, viene de los medidores de no contacto, los cuales no tocan la pieza que esta siendo medida. La fig. 9.1 muestra un medidor del tipo corriente de "eddy". En este dispositivo, un puente balanceado en "AC" es hecho de dos resistores, una bobina simulada "L2" la cual tiene la misma reactancia que la bobina de prueba y la prueba.

El puente es excitado por un generador. Si el puente está perfectamente balanceado con la pieza de trabajo a una gran distancia de la prueba, el voltaje entre los puntos "A" y "B" es cero. Cuando una pieza de trabajo conductiva es llevada a través de la prueba, las corrientes de eddy son inducidas en la pieza de trabajo, la cual efectivamente reduce la reactancia inductiva de la prueba. Esto causa que el voltaje del punto "A" a tierra baje y exista un voltaje entre "A" y "B".

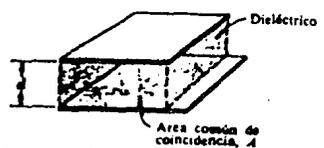
La curva de la fig. 9.2 muestra la respuesta aproximada obtenida. La respuesta es en la forma de una curva "S", la cual tiene una sección aproximadamente lineal. Medidores de este tipo pueden ser hechos para tener sensibilidades del orden 0.1μ / 0.001 o más y mediciones tan bajas como millonésimas de pulgada son posibles con este tipo de unidad.



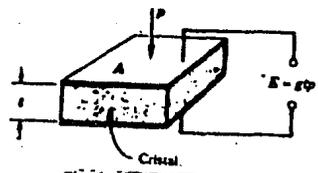
MEDIDA DEL TIPO CORRIENTE DE BRIDJ
FIG. 9.1



EL TRANSFORMADOR DIFERENCIAL (LVDT)
FIG. 9.2



Esquema de un transductor capacitivo.
FIG. 9.3



El efecto piezoeléctrico.
FIG. 9.4

Si la frecuencia del generador es bastante alta, el tiempo de respuesta del medidor puede ser tan rápido que puede leer el movimiento de las aspas de una turbina o puede ser usado como un sensor de vibración de amplitud.

C .- El transformador diferencial (LVDT) .

Se colocan tres bobinas en una disposición lineal, con un núcleo magnético que se puede mover libremente dentro de ellas, tal como se muestra en la fig. 9.3 . A la bobina central se le aplica un voltaje alterno, de tal manera que el voltaje de salida de las dos bobinas extremas depende del acoplamiento magnético entre el núcleo y las bobinas. Este acoplamiento, a su vez, depende de la posición del núcleo. Por lo tanto, el voltaje de salida del dispositivo es una indicación del desplazamiento del núcleo. Siempre que el núcleo permanezca cerca del centro de las tres bobinas, la salida será aproximadamente lineal. Cuando opera en el rango lineal, el dispositivo se denomina transformador diferencial lineal variable (LVDT).

Los LVDTs comerciales se encuentran en una gran variedad de tamaños y se utilizan ampliamente para mediciones de desplazamiento en una gran cantidad de aplicaciones. También se pueden hacer mediciones de fuerza y presión, después de una conversión mecánica.

D . Transductores Capacitivos .

Considere el transductor capacitivo mostrado en la fig. 9.4 . Esta disposición de Placas nos permite usarla para medir un cambio en la distancia "d" a través de un cambio en la capacitancia. También se puede registrar una variación en la capacitancia cambiando el área común de coincidencia "A" por medio de un movimiento relativo de las Placas en dirección lateral, o por medio de una modificación en la constante dieléctrica de la substancia que se encuentra entre las Placas.

En general, la impedancia de salida de un transductor capacitivo es alta; por esta razón, se puede requerir que los circuitos que se le conecten a la salida se diseñen cuidadosamente.

El transductor capacitivo se puede utilizar para efectuar mediciones de desplazamiento, ya sea variando la distancia de separación "d" o el área de las Placas. Comúnmente se utiliza para medición de niveles líquidos. Para esta aplicación se colocan dos electrodos, como se indica, y la constante dieléctrica varía de acuerdo al nivel del líquido.

E , Transductores Piezoeléctricos .

Considere el arreglo de la fig. 9.5 . Se coloca un cristal piezoeléctrico entre dos placas que hacen las veces de electrodos. Cuando se aplica una fuerza a las placas se produce un esfuerzo y, por ende, una deformación. En ciertos cristales esta deformación producirá una diferencia de potencial en su superficie; a este efecto se le denomina efecto piezoeléctrico.

Los cristales piezoeléctricos se usan ampliamente como transductores baratos de presión para mediciones dinámicas y se emplean comúnmente como fonocaptos.

F , Transductores Fotoconductivos .

El principio del transductor fotoconductor se ilustra en la fig 9.6 . Tal como se muestra, se aplica un voltaje sobre un material semiconductor; cuando incide la luz sobre el material semiconductor se presenta un decremento en la resistencia, por lo que se produce un incremento en la corriente, el cual se indica en el medidor. Hay una gran variedad de sustancias que se utilizan como materiales fotoconductivos.

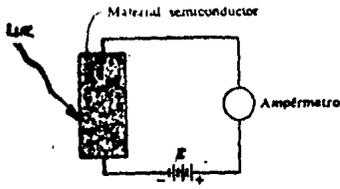


Diagrama esquemático de un transductor fotoconductor.
FIG. 9.5

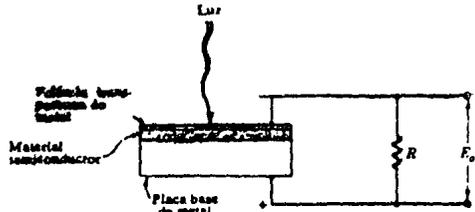
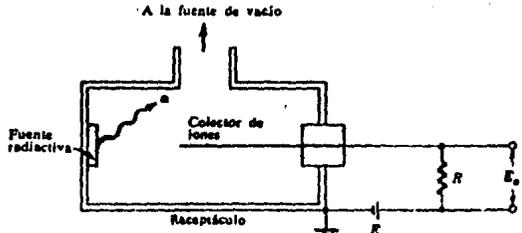


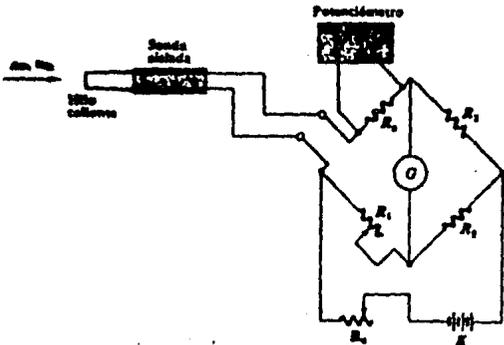
Diagrama esquemático de una celda fotovoltaica.
FIG. 9.6



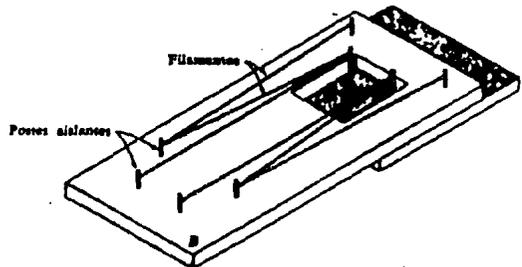
Esquema de un medidor Pirani.
FIG. 9.7



Esquema del medidor alfastrón.
FIG. 9.8



Circuito esquemático del medidor de flujo de hilo caliente.
FIG. 9.9



Esquema de la instalación de un extensómetro eléctrico no adherible.
FIG. 9.10

Los transductores fotoconductivos gozan de un amplio rango de aplicaciones y se utilizan para la medición de radiación a todas las longitudes de onda.

G . Celda Fotovoltaica .

El principio de la celda fotovoltaica se ilustra en el fig. 9.7 . La construcción incluye tres capas: una placa base de metal, un material semiconductor y una delgada capa transparente de metal. Esta capa transparente puede ser una capa conductora depositada con un atomizador. Cuando la luz incide sobre la barrera entre la película transparente de metal y el material semiconductor, se genera un voltaje como se muestra. La salida del dispositivo depende en gran parte de la resistencia de carga "R". La variación del voltaje a circuito abierto respecto a la excitación se aproxima a una función logarítmica, pero se puede lograr un comportamiento más lineal disminuyendo la resistencia de carga.

Quizá la aplicación más difundida en la celda fotovoltaica se da en los exposímetros que se utilizan en los trabajos fotográficos.

H . El medidor de Bridman .

Es conocido el hecho de que la resistencia de un alambre delgado varía linealmente con la presión. Este efecto se puede utilizar para la medición de presiones tan altas como 100,000 atm. El medidor Bridman es un transductor de presión basado en este principio. Este tipo de medidores esta sujeto a problemas de envejecimiento, por lo que es necesario calibrarlo frecuentemente; sin embargo, cuando se calibra en forma adecuada, puede servir para efectuar mediciones de alta precisión en donde se consignan exactitudes del orden del 0.1 %.

I . Medidor Pirani por conductividad térmica .

A presiones bajas, la conductividad térmica efectiva de los gases decrece conforme a la presión. En nuestro caso, el medidor Pirani es un dispositivo que mide la presión a través del cambio de la conductividad térmica del gas. El esquema de este medidor se muestra en la fig. 9.8 . Como se puede observar, un filamento está localizado dentro de un espacio al vacío y se calienta eléctricamente. Las pérdidas de calor que sufre el filamento dependen de la conductividad térmica del gas y la temperatura a la que se encuentre el filamento.

De esta manera, cuanto más baja sea la presión, menor será la conductividad térmica y, consecuentemente, la temperatura del filamento se podría medir con un termopar; en el caso del medidor Pirani la medición se realiza mediante la observación de la variación de la resistencia del material del filamento (puede ser tungsteno, Platino, etc.). Esta medición se puede efectuar con un circuito puente apropiado.

J . El alfatrón .

El alfatrón es un medidor por ionización radioactiva y se muestra esquemáticamente en la fig. 9.9 . Una pequeña fuente de radio sirve como emisor de partículas alfa. Estas partículas ionizan el gas que está en el interior del receptáculo del medidor y el grado de ionización es una función lineal de la presión para un rango bastante amplio de presiones, desde $10 \text{ E-}3$ hasta $10 \text{ E}+3$ torr. Sin embargo, las características de salida son diferentes para cada tipo de gas.

El límite inferior de presión del medidor lo determina la longitud del recorrido libre medio de las partículas alfa comparado con las dimensiones del receptáculo. El alfatrón tiene la ventaja de que se puede utilizar tanto a presión atmosférica como en alto vacío.

K . Anemómetro de hilo caliente .

El anemómetro de hilo caliente es un aparato que se utiliza frecuentemente en la investigación con aplicaciones al estudio del flujo en condiciones variables. Dentro de la corriente del flujo se coloca un alambre delgado que se calienta eléctricamente. Para propósitos de medición, el hilo caliente se conecta a un circuito puente como se muestra en la fig. 9.10 . La corriente se determina midiendo la caída de voltaje a través de la resistencia estándar " R_s " y la resistencia del alambre se determina por medio del circuito puente.

Para mediciones en estado estable, se equilibra el puente con ayuda de " R_1 ", mientras que, para la medición de transitorios, se utiliza un graficador. Los medidores de hilo caliente se utilizan ampliamente en mediciones de transitorios, especialmente cuando se miden fluctuaciones debido a la turbulencia. Se pueden obtener constantes de tiempo del orden de 1 msec con alambres de platino o tungsteno de 0.0001 "in" de diámetro operando en aire .

Una modificación del método de hilo caliente consiste de un pequeño cilindro cubierto con una película metálica delgada de algunas micras de espesor. Esta película es de resistencia variable y es extremadamente sensible a las

fluctuaciones de velocidad del fluido. Los medidores de película caliente se utilizan para mediciones que involucran frecuencias tan altas como 50 000 Hz .

L . El termómetro de resistencia eléctrica .

El termómetro de resistencia eléctrica es un dispositivo muy exacto para la medición de temperaturas, que consiste, en esencia, de un elemento resistivo que se expone a la temperatura por medir. De esta manera, el cambio en la resistencia eléctrica del material constituirá una indicación de la temperatura.

M . Termistores .

El termistor es un dispositivo semiconductor que tiene un coeficiente negativo de resistencia por temperatura, en contraste con el coeficiente positivo que muestran la mayoría de los metales. Además, la variación de la resistencia con la temperatura sigue un comportamiento exponencial, en vez de una relación polinomial .

El termistor es un dispositivo extremadamente sensible y, por medio de una calibración adecuada,

se pueden obtener precisiones del orden de 0.01 grados centígrados. Además otra característica interesante del termistor es que se puede utilizar para compensar incrementos de resistencia por temperatura en circuitos eléctricos, lo cual se debe a su coeficiente negativo de temperatura.

N . El termómetro de cristal de cuarzo .

Un método novedoso y que proporciona gran exactitud en la medición de temperatura, es el que se basa en la sensibilidad de la frecuencia de resonancia del cristal de cuarzo a los cambios de temperatura. Si el cristal se corta según un ángulo apropiado, se puede conseguir que la relación de la frecuencia de resonancia con la temperatura sea aproximadamente lineal .

Los modelos comerciales de este dispositivo utilizan contadores electrónicos para efectuar la medición de frecuencia y presentan los resultados en forma digital .

Se ha publicado que, para mediciones de temperatura absoluta, estos dispositivos alcanzan sensibilidades del orden de 0.001 grados centígrados. Por otra parte, ya que la

medición de temperatura se basa en una medida de frecuencia, este aparato es particularmente insensible al ruido que pudiera captarse por los cables conectores.

N . Extensómetros eléctricos .

Los extensómetros eléctricos son los dispositivos de mayor uso en la medición de deformación unitaria. Su operación se basa en el principio de que la resistencia eléctrica de un conductor cambia cuando se le sujeta a deformación mecánica.

En el caso típico , se pesa un conductor a la muestra, en condiciones libres de carga, con un pesamento aislante. A continuación se aplica la carga, lo cual produce una deformación en la muestra y en el elemento resistivo.

El valor en la deformación se obtiene por medio de la medición del cambio de resistencia eléctrica en el elemento.

O . Extensómetros eléctricos no adheribles .

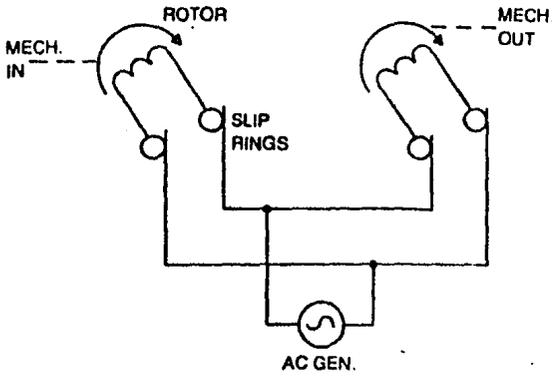
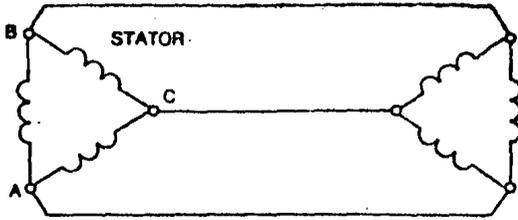
Un tipo adicional de extensómetro es el no adherible, el cual se muestra en la fig. 9.11 . En este dispositivo, las placas se mantienen juntas mediante un mecanismo de resortes, mientras que los filamentos de alambre delgado se mantienen estirados alrededor de los postes como se muestra. Estos postes deben ser rígidos y también servir como aislantes eléctricos.

Cuando la placa "A" se mueve en relación a la "B", los filamentos sufren una deformación que puede detectarse por medio de la medición del cambio en su resistencia. El desplazamiento permisible que se da en los dispositivos comerciales es del orden de ± 0.0015 "in", y el diámetro de los alambres generalmente es menor que 0.001 "in".

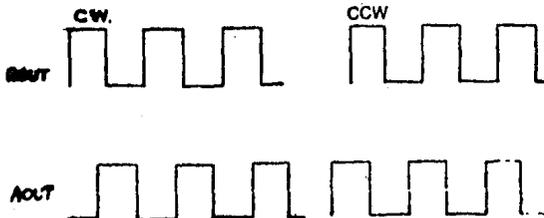
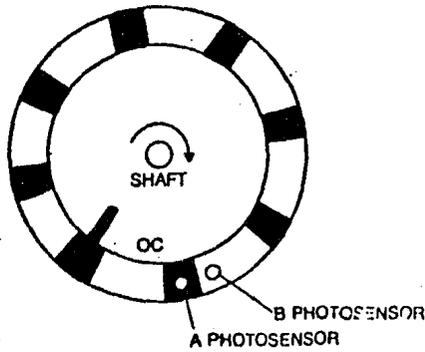
El principio en que se basan estos dispositivos se ha aplicado con buenos resultados a los transductores de aceleración y de presión que utilizan diafragmas.

P . Medidores de rotación .

Los medidores de rotación, generalmente caen en dos clases: aquellos que se involucran con el ángulo a través del



FL. SELSYN
FIG. 9.11



RESOLVER OPTICO
FIG. 9.12

cual la flecha ha girado y aquellos que se involucran con la velocidad con la cual la flecha esta girando. La simple medición del ángulo y la velocidad son algunas veces combinadas.

A veces es necesario determinar otras cuestiones, tales como la aceleración angular. La forma más simple de un sensor giratorio, es el potenciómetro giratorio. Estos sensores son frecuentemente utilizados en servomecanismos de posicionamiento analógico.

Q . El Syncro o Selsyn .

El Syncro o Selsyn es el dispositivo equivalente giratorio de el LVDT, en el aspecto de que es relativamente más bajo a la histéresis que el potenciómetro. Es capaz de giro continuo en velocidades relativamente altas. La fig. 9.12 muestra una típica instalación de un par de Selsyn. El Selsyn es alambrado igual que un rotor de un motor de inducción.

El estator generalmente tiene tres fases y el rotor tiene una fase, la cual es llevada al exterior a través de un par de anillos deslizantes. Si el rotor de cada Selsyn es energizado desde una fuente de "ac", los voltajes inducidos en el campo tendrán una magnitud y fase específica

determinada por la posición angular del rotor. Cuando un par de Selsyns son alambrado juntos como se muestra, el siro de la flecha de uno ocasionará un igual siro en el segundo.

En un sentido físico, la acción es tal como si los dos ejes estuvieran mecánicamente acoplados. Si la dirección para cualquier par de terminales, por ejemplo "A" y "B", es intercambiada, la dirección de siro de la unidad esclava es invertida .

Por muchos años, Selsyn fue usado como un sustituto para ejes mecánicos en aplicaciones semejantes a los sensores de posición de antenas de radar. En los últimos años ha sido común hacer uso de convertir la señal del Selsyn a señal digital, para cargar el dato angular a la computadora de los más modernos radares. El Selsyn es empleado en infinidad de aplicaciones que requieran medición angular precisa .

R . El resolutor óptico .

La forma más simple de estos dispositivos puede consistir de un disco de metal con orificios o muescas en toda la periferia y uno o más pares de arreglos de fotoceldas para sensar el paso de un objeto opaco. La fig. 9.13,

muestra una forma simple de un resolutor, el cuál tiene ocho áreas oscuras y 8 transparentes en el disco .

Los fotosensores "A" y "B" son mostrados en sus posiciones relativas . Las formas de onda ilustradas son debido a la posición relativa de los sensores "A" y "B", la dirección de rotación puede también ser sensada.

Cuando el disco gira en el sentido de las manecillas del reloj (CW), la onda cuadrada generada por el sensor "B" estará adelante de la onda cuadrada generada por el sensor "A" 90 grados. En la dirección del sentido inverso de las manecillas del reloj (CCW), las condiciones anteriores se invierten, esto es, la onda generada por "A" estará 90 grados adelante de la onda generada por "B". Un pulso en "C" indica la localización cero grados y que ha pasado una revolución.

Si el único objetivo es determinar la velocidad de giro de el eje, entonces la simple rutina de medición de conteo de la frecuencia será suficiente y solo un sensor será requerido. Por otro lado, si una medición de ángulo a través del cual el eje ha girado es deseada, entonces una rutina más sofisticada será requerida.

S . El resolutor óptico absoluto .

Para aplicaciones donde es necesario leer ángulos absolutos exactos, desde el inicio de movimiento del dispositivo hasta alguna puesta a cero. Hay una variedad de dispositivos de disco óptico en el cual el ángulo actual es directamente codificado en el disco, por medio de los bits que sean requeridos para realizar tal codificación.

Este tipo de dispositivo es, en sí mismo, codificador con un código binario y tiene la posibilidad de cometer grandes errores. Por ejemplo, en un disco de siete bits, suponsase que el disco es detenido exactamente en el margen entre 255 y 256. La representación binaria para esto es:

$$0 \ 1111 \ 1111 = 255$$

$$1 \ 0000 \ 0000 = 256$$

Exactamente en el cruce, los 6 bits de orden bajo, mantienen unos, lo que da 255 y el séptimo bit mantiene un uno, lo que da 256, por lo tanto, el dispositivo pudo leer brevemente todos los unos, un 511. Para eliminar este tipo de errores, el código Gray es comunmente usado. El código Gray tiene la propiedad de de que no puede cambiar más de un bit entre cambios adyacentes de números .

X . PROGRAMACION GENERAL DEL SMAD .

1 .- DESCRIPCION FUNCIONAL .

A continuación, serán descritas en forma general las rutinas, que son empleadas por el SMAD, para llevar a cabo el proceso de adquisición y almacenamiento de la información .

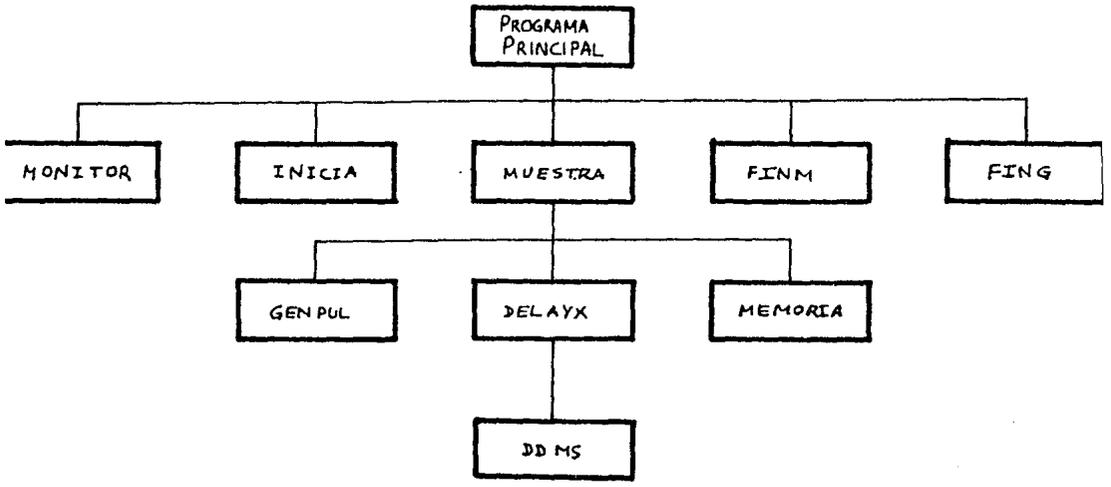
A . Programa principal .

Como primer función, se encarga de inicializar todos los elementos que entrarán en juego, como son: Stack Pointer, registros, PIO, USART .

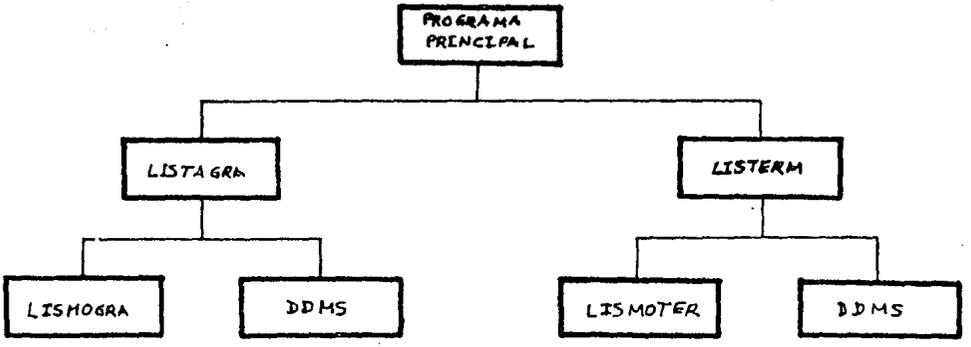
Una vez, realizada dicha inicialización, procede a realizar la adquisición de las señales análogicas a través de los canales (uno y dos) tomando muestras de ellos en forma alternada; una vez que se ha adquirido un dato, se procede a llevarlo a la localidad correspondiente, dentro del buffer en memoria RAM (localidades 2100H a 224EH); dentro del buffer estará la información proveniente del canal uno, e información proveniente del canal dos en forma alternada .

Una vez que se ha llenado el buffer se procede a

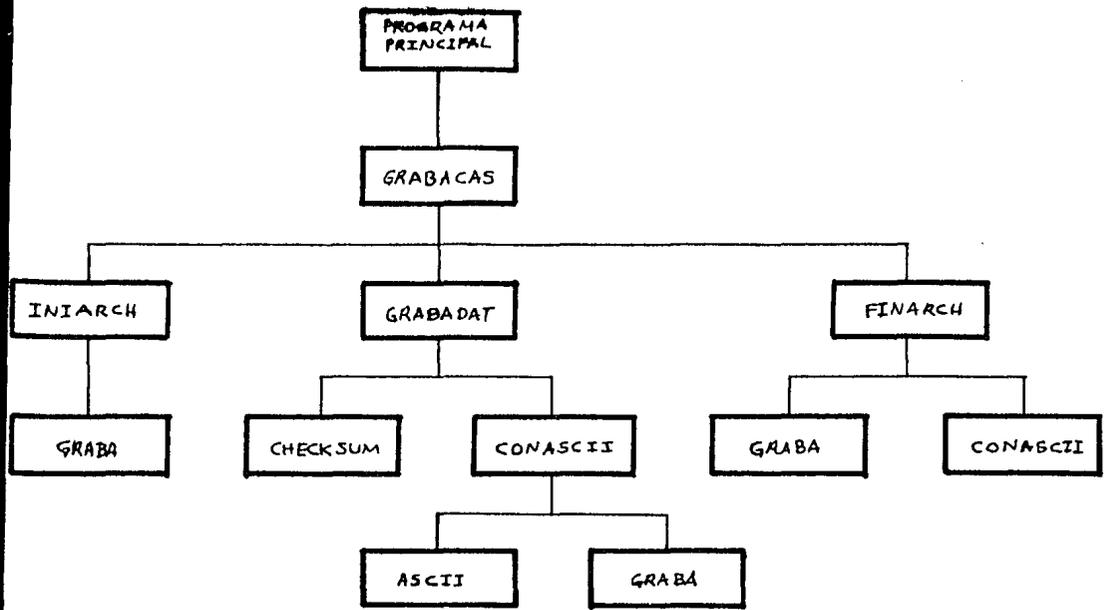
FIG. 10.1 DIAGRAMAS A BLOQUES.



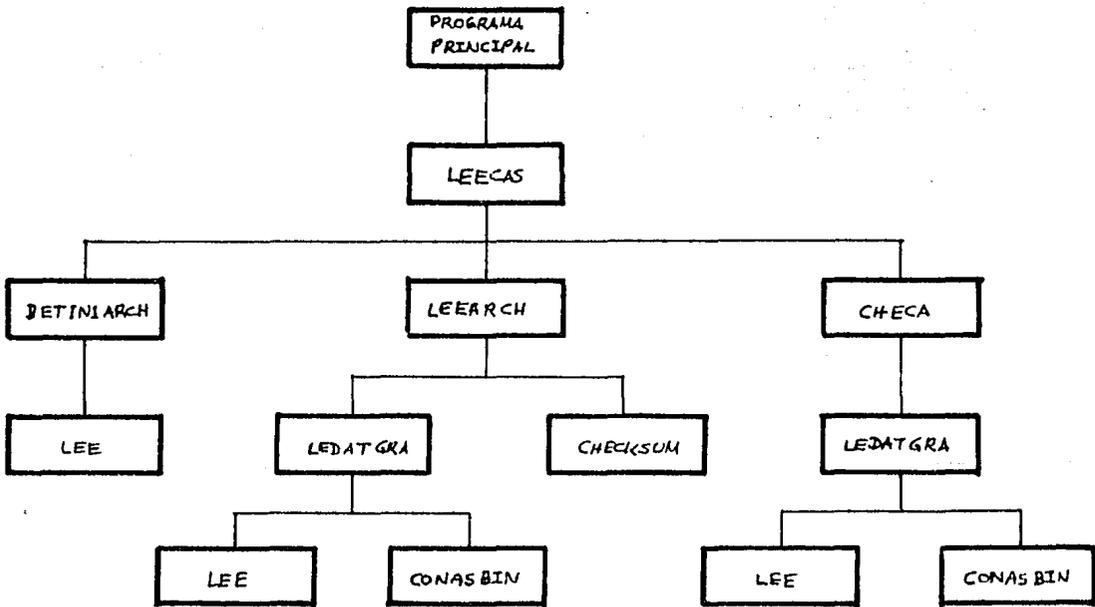
A. ADQUISICION DE DATOS.



B. MODOS DE OPERACION



C. GRABACION A CASSETTE



D. LECTURA DE CASSETTE

llamar a la rutina que va a almacenar el archivo en cassette; este proceso de llenar el buffer y almacenarlo en cassette, se va a realizar el número de veces que inicialmente se haya almacenado en el registro D .

Además, realice la lectura de un archivo de datos previamente grabados y que se encuentra almacenado en cassette, transfiriendolo a un buffer en memoria RAM (localidades 2250H A 239EH) .

B . Inicia .

Rutina que efectúa la inicialización de los registros como: IY = 2100H, que es la dirección de inicio del buffer; inicialización del PIO 8255 con 83H ; el número de bytes en IX = 00ABH, que corresponderán a cada canal ; así como también, la inicialización del USART 8251 .

C . Muestra .

Rutina que envía las señales de control y pulsos de reloj (por software) necesarias hacia el DAC 0832 para indicarle que tome una muestra de señal analógica utilizando el canal uno o el canal dos, de acuerdo a el contenido que lleve el registro E (0H o 1H) y la convierta a su correspondiente valor digital .

Una vez que el DAC 0832 tiene el dato digital, lo transmite en serie a través del puerto B, de donde es tomado bit por bit, quedando finalmente almacenado en el registro "C". Posteriormente el dato es almacenado en el buffer .

CH . Genral .

Se simula la generación de un pulso de reloj, mediante software, el cual será utilizado, como señal de reloj para el DAC 0832 .

Se coloca un '1' en el bit 7 del registro A, posteriormente se envía hacia la entrada de reloj del DAC 0832 a través del puerto A . A continuación se baja la señal, colocando un '0' en el bit 7 del registro A, el cual nuevamente es enviado a la entrada de reloj del DAC 0832 via el puerto A .

D . Finm .

Una vez que fue llenado el buffer con la información proveniente de los canales, se manda una señal (encender un led) a través del puerto C, para indicar que se tiene listo un archivo de datos y se puede proceder a activar la grabadora, para el almacenamiento del archivo que está en memoria RAM hacia el cassette .

E . Fins .

Mientras se estuvo efectuando la grabación, el led activado por la rutina FINM ha permanecido encendido, por lo que, al momento de finalizar la transferencia del archivo, esta rutina es llamada, para que desactive el led (lo apague), señal que indica fin de grabación (con lo cual se procede a desactivar la grabadora) .

F . Delayx .

Rutina que realiza una serie de operaciones, en las cuales solo nos interesa el tiempo que transcurre desde que se inicia a ejecutar la primera instrucción, hasta el instante en que termina de ejecutarse la última instrucción . El tiempo transcurrido es de 5.04 seg. y es tomado como periodo de muestreo entre canal y canal (el periodo es programado por software) .

G . Ddms .

Rutina que ejecuta una serie de decrementos y saltos; de tal forma que el tiempo que transcurre desde que inicia a ejecutarse hasta que finaliza es de 10 ms .

H . Memoria .

Una vez que se tiene listo el dato digital, de la señal análogica (obtenida por algún canal), se procede a almacenarla, en la localidad correspondiente de memoria RAM .

I . Dext .

Rutina que considera la existencia de 16 dispositivos de control . Cuando es llamada, se procede a direccionar uno por uno cada dispositivo (16), enviando una palabra (70H hasta la 7FH, a través de los registros HL), la cual seleccionara el dispositivo correspondiente; a continuación se le envía la dato de control necesario (el dato de control se encuentra en una tabla apuntada por los registros DE) .

Nota :

Esta rutina, solo se empleará en caso de querer incrementar las funciones del SMAD hacia operaciones de control. En el programa, se indican las instrucciones de la rutina a manera de comentarios .

J . Grabacas .

Esta rutina toma la información que fue adquirida de los canales y que se encuentra almacenada en memoria RAM de la localidad 2100H a la localidad 224EH y la manda grabar hacia un cassette en caracteres ASCII (dos caracteres por cada dato binario) .

K . Listagra .

Manda una palabra de control a el 8251 (USART) para poder leer información a través del puerto B; espera hasta que este listo el "modo grabadora"; dando un tiempo razonable de espera (20 mS) una vez que el "switch de control de modo" fue puesto en "1" lógico (para no tener problemas con el rebote) .

L . Lismodra .

Rutina que permanece leyendo datos del puerto B y preguntando por el estado del bit 7: (ya que es ahí donde se encuentra la información correspondiente al estado del switch que controla el modo de trabajo del SPAD) hasta que éste contenga un "1", condición del "modo grabadora" .

M . Iniarcb .

Manda grabar hacia el cassette, los caracteres empleados para indicar el inicio de un archivo de datos .

Se envían dos blancos para crear un espacio entre archivos, a continuación se envía el código correspondiente del carácter ":" en ASCII, el cual es el indicador de inicio de archivo .

N . Grabadet .

Toda la información que fue adquirida por los canales y que se encuentra en el buffer es tomada byte por byte, se obtiene el correspondiente checksum y se manda grabar a cassette .

N . Checksum .

Al valor actual del checksum que se encuentra en el registro C, le es sumado el dato correspondiente que va a ser grabado, dando como resultado el valor de un nuevo checksum almacenado en el mismo registro C .

O . Conascii .

El dato que va a ser grabado es convertido a su correspondiente representación en código ASCII .

Dado que para representar un carácter en código ASCII es necesario tener siete bits, nos enfrentamos al problema de que nuestro dato contiene ocho bits, por lo que es necesario dividir el dígito binario en dos partes: el nibble más significativo y el nibble menos significativo, formando así dos nuevos bytes; estos bytes contendrán la información en los nibbles menos significativos, mientras que los nibbles más significativos contendrán ceros .

Es grabado primero el carácter en código ASCII correspondiente al nibble más significativo del dígito binario y posteriormente el nibble menos significativo .

P . Ascii .

Recibe un byte binario y lo convierte a su correspondiente representación en código ASCII . Como el nibble menos significativo contiene información que puede variar de 01H a 0FH y el nibble más significativo es siempre constante (contiene ceros), entonces podemos convertir el byte a su correspondiente representación como carácter

empleando el código ASCII .

Así que, sólo podemos tener los siguientes caracteres :

Números binarios	Caracteres	Código ASCII
00000000 ... 00001001	"0" ... "9"	30H ... 39H
00001010 ... 00001111	"A" ... "F"	41H ... 46H

Q . Graba .

Permanece leyendo y presuntando por el estado del 8251 hasta que se encuentre listo para recibir información proveniente de memoria RAM . Una vez que esté listo para recibir información, le es enviado el carácter, encargándose de transmitirlo en serie, agregando los bits correspondientes (8 de información más 2 de paro); transmitiéndose los bits a una velocidad de 300 bauds , hacia la grabadora .

R . Finarch .

Se encarga de enviar los caracteres finales, que nos indicarán el final de un archivo .

Una vez almacenada toda la información en cassette, se

procede a grabar el checksum, el cual se fue formó a través de la suma de todos los datos existentes en el archivo grabado; para poder tener así, un elemento de detección de errores, a la hora de recuperar la información. También se envía el carácter "*" en código ASCII, que nos indica el final del archivo, además se envían dos caracteres " " para dejar un espacio razonable entre archivos, en la cinta del cassette.

RR . Listerm .

Efectúa la misma función que la rutina Listasra, solo que ahora se espera por la detección del "modo terminal".

S . Lismoter .

Efectúa la misma función que la rutina Lismosra, preguntando ahora por el estado del switch de control de "modo", hasta que detecta un "0" lógico ("modo terminal").

T . Leecass .

Lee un archivo de datos que se encuentra almacenado en un cassette.

El archivo está formado por una serie de caracteres ('1' ... '9', 'A' ... 'F') que se encuentran representados en código ASCII .

Por cada dos caracteres leídos, se forma un dígito binario (8 bits), recuperando así el valor del dato que fue obtenido originalmente de los canales , que es almacenado en un buffer de memoria RAM, copiando el archivo que se encuentra en cassette hacia memoria RAM(localidades 2250H a 239EH) .

U . Detinir .

Permanece leyendo caracteres provenientes del cassette (loop) hasta que detecta el carácter ":", el cual es el indicador de inicio de archivo .

V . Lee .

Checa continuamente el estado del 8251 (loop), hasta que éste indica que tiene un dato disponible y puede ser tomado . Una vez que ya tiene el dato se procede a leerlo quedando el dato en el registro A .

W . Leearch .

Lee todos los datos que se encuentran en el archivo (cassette) almacenando los datos en memoria RAM del sistema; además, obtiene el checksum correspondiente a cada dígito binario (formado por la transformación de cada dos caracteres que fueron leídos) .

X . Ledatsra .

Cada vez que es llamada esta rutina, se realiza la lectura de dos caracteres (provenientes de el cassette) . Cuando se efectuó la primer lectura, el carácter en código ASCII es transformado a dígito binario .

Carácter ASCII	Hexádecimal	Binario	Dígito binario
"1"	31	0111 0001	0000 0001

(el cual contendrá en el nibble menos significativo, el nibble más significativo del dato original); posteriormente se lee el segundo carácter, nuevamente es transformado a dígito binario (en cuyo nibble menos significativo, contendrá el nibble menos significativo del dato original) . Posteriormente se unen los dos nibbles quedando así el dato original recuperado .

Y . Conasbin .

Rutina que convierte un byte, el cual contiene un carácter en código ASCII, a su correspondiente dígito binario .

Z . Checa .

Al término de la lectura de todo el archivo se procede a leer los dos caracteres (de cassette) correspondientes al checksum que fue obtenido al momento de grabar el archivo para poderlo comparar con el checksum que se obtuvo al momento de leer el archivo .

Si no hubo error durante la recuperación del archivo, en la localidad de memoria 239FH, se colocará un 0H para indicar que no hubo error; en caso contrario en la misma localidad se colocará un 0FFH para indicar que hubo error .

```

CS = A7
CK = C7
DI = A0
DO = B0
C6 indica fin datos

```

```

ORG 1000H

```

```

MONITOR: EQU 0000H
USART: EQU 10H
TIEMPO: EQU 0023H ; Cte. 5.4 ses.
; Exacto 021CH
TIMESAMP: EQU 2500H ; Dir. tiempo de muestreo
DUNO: EQU 27F1H ; No utilizable
UNO: EQU 0001H
SPOIN: EQU 27F0H ; Stack Pointer
DIRBUFGR: EQU 2100H ; Dir. datos de canales
DIRBUFL: EQU 2250H ; Dir. datos de cass.
LONBUF: EQU 014FH ; Total de datos (334)
DAPCAN: EQU 00A8H ; Datos por canal .

```

```

;*****
; Programa: *
; PRINCIPAL *
;*****
;
;

```

```

PRINC LD SP, SPOIN
DAT12 LD D, 01H ; D = 12
CALL INICIA
LD E, 00H
CALL MUESTRA
LD E, 01H
CALL MUESTRA
DEC IX
LD ( DUNO ), IX
LD HL, ( DUNO )
LD RC, UNO
SCF
CCF
SBC HL, BC ; HL = HL - 1
JR NZ, DAT12 ; Fin de datos ?
CALL FINM
PUSH DE ; Se salvan registros DE.
CALL LISTAGRA ; Se redresa a "modo grabadora".
CALL GRABACAS ; Se graba un archivo en cassette.
POP DE ; Se recuperan registros DE.
CALL FING
DEC D
JR NZ, PRINC
CALL LISTERM ; Se pasa a "modo terminal".
CALL LISTAGRA ; Se pasa a "modo grabadora".
CALL LEECASS ; Se lee un archivo de cassette.
CALL DEXT
CALL LISTERM ; Se pasa a "modo terminal".
CALL MONITOR

```

```

;
;*****
; Rutina:          *
;          INICIA   *
;*****
;
;
INICIA
LD IX,DIRBUFOR ; Inicio de datos
LD A, 83H      ; Se inicia el 8255
OUT (03),A
LD IX,DAPCAN   ; 334 . datos
;
; Se inicia el 8251
;
LD HL,INITABL ; Apunta a tabla
LD C,USART+1  ; de iniciacion
LD B,05       ; Contador de palabras
OTIR          ; Transferencia
;
; Lectura del periodo de
; muestreo
IN A,(01H)    ; Lee, el estado de los switch
RRA
RRA
RRA           ; Se adecua el dato
LD (TIMESAMP),A ; Se almacena el dato en 224FH
RET
;
;
;*****
; Rutina:          *
;          MUESTRA *
;*****
;
;
MUESTRA
LD A,00H
OUT (02),A    ; Bajamos reloj
LD A,80H     ; CS = Alto
OUT (00),A
LD A,00H     ; CS = Bajo
OUT (00),A
LD A,01H     ; Mandamos bit de inicio
OUT (00),A
CALL GENPUL  ; El ADC toma el bit de inicio
LD A,01     ; Mandamos siguiente bit a DI
OUT (00),A
CALL GENPUL  ; El ADC toma el siguiente bit en DI
LD A,E      ; Mandamos tercer bit a DI
OUT (00),A
CALL GENPUL  ; El ADC toma el tercer bit en DI
CALL GENPUL  ; Pulso extra
LD B,08H    ; Contador para lectura de conversion

```

```

LOOP      IN A,(01)      ; Lectura de un bit
          RRA
          RL C
          CALL GENPUL
          DJNZ LOOP
;
          CALL MEMORIA   ; Se pone el dato en la memoria
;
          CALL DELAYX    ; Retraso
          RET
;
;

```

```

;*****
; Rutina: *
; GENPUL *
;*****
;
;

```

```

GENPUL   LD A,80H        ; Se genera el reloj para la
          OUT (02),A     ; conversion
          LD A,00H
          OUT (02),A
          RET
;
;

```

```

;*****
; Rutina: *
; FINM *
;*****
;
;

```

```

FINM     LD A, 40H
          OUT (02), A
          RET
;
;

```

```

;*****
; Rutina: *
; FING *
;*****
;
;

```

```

FING     LD A, 00H
          OUT (02), A
          RET
;
;

```

```

;
;*****
; Rutina: *
; DELAYX *
;*****
;
;
DELAYX
    LD A,(TIMESAMP)      ; Cada tiempo de muestreo
    LD B,A               ; Se deja en el reg. B
LAB1  PUSH BC            ; Se salva registro
    LD BC, UNO          ; BC = 1
    LD HL, TIEMPO
LAB2  PUSH HL
    CALL DDMS           ; Retardo
    POP HL
    SCF                 ; Carry = 1
    CCF                 ; Carry = 0
    SBC HL,BC           ; HL = HL - 1
    JR NZ, LAB2
    POP BC
    DJNZ LAB1
    RET

```

```

;
;*****
; Rutina: *
; DDMS *
;*****
;
;
DDMS
    LD HL,08FFH         ; Esta rutina provoca un retardo
LAB1  DEC L              ; de 10 mSeg.
    JR NZ,DD1
    DEC H
    JR NZ,DD1
    RET

```

```

;
;*****
; Rutina: *
; MEMORIA *
;*****
;
;
MEMORIA
    LD (IY+00),C
    INC IY
    RET

```

```

;
;*****
; Rutina: *
; DEXT *
;*****
;
;
;DEXT
; LD (HL),70H ; Direccion inicial puerto
;CANAL LD B,10H ; Canales = 16
; LD A,(DE) ; Señal de control
; LD C,(HL) ; Iniciar puerto
; OUT (C),A ; Dato a dispositivo
; OUT (C),A
; INC (HL) ; Sig. dispositivo
; INC DE ; Señal de control
; DJNZ CANAL
; RET
;
;
;*****
; Rutina: *
; LISTAGRA *
;*****
;
;
LISTAGRA
LD A,83H ; Palabra de control al 8255.
OUT (03),A ; Se manda la palabra.
CALL LISMOGRA ; Listo modo grabadora ?.
CALL DDMS
CALL DDMS ; Retardo 20 mS.
RET
;
;
;*****
; Rutina: *
; LISMOGRA *
;*****
;
;
LISMOGRA
LISWITCH IN A,(01) ; Se lee el puerto B.
BIT 7,A ; Se obtiene el edo. del bit 7.
JR Z,LISWITCH ; Repite hasta que sea "1".
RET
;

```

```

;*****
; Rutina: *
; LISTERM *
;*****
;
;

```

LISTERM

```

LD A,83H ; Palabra de control al 8255,
OUT(03),A ; Se manda la palabra.
CALL LISMOTER ; Listo modo terminal ?.
CALL DDMS
CALL DDMS ; Retardo 20 mS.
RET
;
;

```

```

;*****
; Rutina: *
; LISMOTER *
;*****
;
;

```

LISMOTER

```

LISWIT1 IN A,(01) ; Se lee el Puerto B.
BIT 7,A ; Se obtiene el edo. del bit 7.
JR NZ,LISWIT1 ; Repite hasta que sea "0".
RET
;
;

```

```

;*****
; Rutina: *
; GRABACAS *
;*****
;
;

```

GRABACAS

```

LD HL,DIRBUFGR ; Direccion de inicio del buffer.
LD DE,LONBUF ; Longitud del buffer.
LD C,00H ; Inicializacion del CHECKSUM.
CALL INIARCH ; Se manda el encabezado del archivo.
CALL GRABADAT ; Se graba el archivo de datos(16 bytes).
CALL FINARCH ; Se manda el fin de archivo.
RET
;
;

```

```

;*****
; Rutina: *
; INIARCH *
;*****
;
;

```

INIARCH

```

LD A,20H ;Codigo ASCII, caracter " ".
CALL GRABA
CALL GRABA ; Se graban dos blancos.

```

```
LD A,3AH ; Codigo ASCII caracter ':',
CALL GRABA ; indicador de inicio de archivo.
RET ; Se manda grabar el inicio de archivo ':',
```

```
*****
Rutina: *
GRABADAT *
*****
```

```
GRABADAT
OTRODATO LD A,(HL) ; Carga un nuevo dato en res. A.
CALL CHECKSUM ; Se obtiene el nuevo CHECKSUM.
CALL CONASCII ; Convierte de BINARIO a ASCII.
INC HL ; Direccion del siguiente dato.
PUSH HL ; Se salvan registros.
EX DE,HL ;
LD DE,01H ; Se simula el decremento de DE.
SCF ;
CCF ; DE = DE - 1
SBC HL,DE ;
EX DE,HL ;
POP HL ; Se recuperan registros HL.
JR NZ,OTRODATO ; Hasta que sea fin del archivo.
RET
```

```
*****
Rutina: *
CHECKSUM *
*****
```

```
CHECKSUM
PUSH AF ; Se guarda el res. A.
ADD A,C ; Se obtiene el nuevo CHECKSUM.
LD C,A ; Se deja el resultado en el res. C.
POP AF ; Se recupera el res. A.
RET
```

```
*****
Rutina: *
CONASCII *
*****
```

```
CONASCII
PUSH AF ; Se guarda el res. A (dato binario).
RRCA
RRCA
RRCA
```

```

RRCA                ; Pasa el nibble alto a la parte baja de A.
CALL ASCII         ; Convierte a ASCII, el nibble bajo de A.
CALL GRABA        ; Graba el nibble alto del dato BINARIO en ASCII
POP AF            ; Se recupera el reg. A (dato BINARIO).
AND 0FH          ; Mascara para obtener el nibble bajo de A.
CALL ASCII         ; Convierte a ASCII, el nibble bajo de A.
CALL GRABA        ; Graba el nibble bajo del dato BINARIO en ASCII
RET

```

```

;
;
;*****
; Rutina:                *
;          ASCII         *
;*****
;
;

```

ASCII

```

AND 0FH            ; Mascara que limpia el nibble alto de A.
ADD A,90H          ; Se suma al resultado anterior 90H.
DAA                ; Se hace un ajuste decimal en el reg. A.
ADC A,40H          ; Al ajustar, se suma con carry 40H.
DAA                ; Se vuelve a hacer un ajuste decimal.
                  ; obteniendose asi el caracter ASCII.
RET

```

```

;
;
;*****
; Rutina:                *
;          GRABA         *
;*****
;
;

```

GRABA

```

PUSH AF            ; Se guarda el reg. A.
LISUSART IN A,(USART+1) ; Se lee el estatus del 8251.
BIT 0,A           ; Se obtiene el estado del bit 0.
JR Z,LISUSART     ; Hasta que este listo el 8251 (*1*).
POP AF            ; Se recupera el reg. A.
OUT(USART),A      ; Se graba un nuevo caracter.
RET

```

```

;
;
;*****
; Rutina:                *
;          FINARCH       *
;*****
;
;

```

FINARCH

```

LD A,C            ; Carga en el reg. A el CHECKSUM.
CALL CONASCII    ; Convierte a ASCII el CHECKSUM.
LD A,2AH         ;Codigo en ASCII del caracter '*',
                  ; indicador de fin de archivo.
CALL GRABA       ; Se graba el fin de archivo.

```

```
LD A,20H          ; Codiso del caracter ' ' en ASCII.
CALL GRABA
CALL GRABA        ; Se graban dos blancos.
RET
```

```
*****
Rutina:          *
                LEECASS      *
*****
```

```
LECASS
CALL LISTAGRA    ; Se espera hasta que este
                  ; listo el modo grabadora.
LD HL,DIRBUFLE   ; Direccion de inicio del buffer.
LD DE,LONBUF     ; Longitud del buffer.
LD C,00H        ; Inicializacion del CHECKSUM.
CALL DETINIAR    ; Se espera hasta detectar el inicio de archivo.
CALL LEEARCH     ; Se lee el archivo y los datos se colocan en
                  ; el buffer.
CALL CHECA      ; Se checa si hubo error en los datos.
RET
```

```
*****
Rutina:          *
                DETINIAR     *
*****
```

```
ETINIAR
ETDOSPU CALL LEE ; Se lee un caracter de cassette.
CP 3AH          ; Se compara con ";", inicio de archivo.
JR NZ,ETDOSPU  ; Hasta que sean iguales.
RET
```

```
*****
Rutina:          *
                LEEARCH     *
*****
```

```
EEARCH
ASDATOS CALL LEDATGRA ; Se va a leer un nuevo vado de cassette.
LD (HL),A           ; Se almacena el dato binario en el buffer.
CALL CHECKSUM       ; Se obtiene el nuevo CHECKSUM.
INC HL              ; Se posiciona en la siguiente direccion.
PUSH HL             ; Se salvan registros.
EX DE,HL            ;
LD DE,01H          ;
SCF                 ; Se simula el decremento de DE.
CCF                 ;
                  DE = DE - 1
```

```

SBC HL,DE      ;
EX DE,HL      ;
POP HL        ; Se recuperan registros HL.
JR NZ,MASDATOS ; Hasta que sea fin del archivo.
RET

```

```

;
;
;*****
; Rutina: *
; LEDATGRA *
;*****
;
;

```

LEDATGRA

```

PUSH BC      ; Se guarda el res. C (CHECKSUM).
CALL LEE     ; Se lee el primer caracter.
CALL CONASBIN ; Convierte de ASCII a BINARIO.
RLCA
RLCA
RLCA         ; Se pasa el nibble bajo del res. A,
             ; a la parte alta del mismo res. A.
LD C,A      ; Se almacena el primer dígito en el res. C.
CALL LEE    ; Se lee el segundo caracter.
CALL CONASBIN ; Convierte de ASCII a BINARIO.
OR C        ; Se unen los dos nibbles del dato BINARIO,
             ; en el res. A.
POP BC      ; Se recupera el res. C (CHECKSUM).
RET

```

RET

```

;
;
;*****
; Rutina: *
; LEE *
;*****
;
;

```

LEE

```

LEEDO IN A,(USART+1) ; Se lee el estatus del 8251.
      BIT 1,A        ; Se pregunta por el estado del bit 1.
      JR Z,LEEDO    ; Lee hasta que este listo ("1").
      IN A,(USART)  ; Lee un dato del 8251.
      RET

```

```

;
;
;*****
; Rutina: *
; CONASBIN, *
;*****
;
;

```

CONASBIN

```

SUB 30H      ; Al dato en el res. A, se le resta 30H, que
             ; corresponde al código del cero.
CP 10        ; Se compara el resultado con 10 decimal.

```

```
RET M           ; Si es nesativo el resultado retorna (1-9).
SUB 7           ; En caso contrario se le resta 7 (A-F).
RET
```

```
*****
; Rutina:          *
;                CHECA          *
*****
```

```
CHECA
LD (HL),00H     ; Se cargan ceros una localidad despues del
                ; buffer(2295H), indicacion de que no hubo error.
CALL LEDATGRA   ; Se lee el CHECKSUM de los datos de entrada.
CP C            ; Se compara con el CHECKSUM del res. C.
RET Z           ; Retorna si son iguales.
LD (HL),0FFH   ; En caso contrario, coloca una marca de error.
RET
```

```
*****
; Tabla:          *
;                INICIALIZACION 8251      *
*****
```

```
INITABL:
DB 80H,00H,40H,0CFH,37H
```

COSTOS TOTALES (1)

TARJETA SMAU.....	\$ 155.27	
TARJETA GRABADORA.....	\$ 77.72	
FUENTE DE ALIMENTACION.....	\$ 59.93	
TARJETA CONVERTIDOR.....	\$ 65.11	
VARIOS.....	\$ 125.90	

TOTAL.....	\$ 479.93	U.S.D.

(1) Los costos totales antes de IVA se obtuvieron multiplicando el precio unitario en dólares E.U. por un factor de 2.5 que corresponde a la media aproximada usada para el mercado nacional.

TARJETA SMAD

CAN- TIDAD	DESCRIPCION	COSTO UNITA- RIO	TOTAL CON IVA
1	Z-80A CPU MICROPROCESADOR DE 8 BITS	2.45	7.04
2	TMM2016-10 MEMORIA RAM DE 2Kx8 BITS	4.49	12.90
2	TMS2716 MEMORIA EPROM 2Kx8 BITS	6.95	39.96
1	8255A PUERTO PARALELO PROGRAMABLE	4.43	12.79
1	8251 USART TRANSMISOR RECEPTOR	3.90	11.21
1	MC1489 CONVERTIDOR TTL A RS-232	0.5	1.43
1	MC1489 CONVERTIDOR RS-232 A TTL	0.5	1.43
1	74LS04 INVERSOR	0.23	0.66
1	74LS74 FLIP-FLOP TIPO D	0.34	0.97
1	74LS93 CONTADOR 4 BITS	0.54	1.55
1	74LS123 MONOESTABLE	0.78	2.24
1	74LS138 DECODIFICADOR DE 3 A 8	0.54	1.55
1	74LS139 DECODIFICADOR DE 2 A 4	0.58	1.66
1	XR2240 TEMPORIZADOR	1.00	2.87
2	IDH26MR CONECTOR CABLE PLANO 26 PINES	4.22	24.24
1	DIODO EMISOR DE LUZ 20 MA.	0.09	0.25
3	CAPACITOR DE 10 MICROFARADS ELECTROLITICO 16 VOLTS	0.14	1.20
2	CAPACITOR DE 47 MICROFARADS ELECTROLITICO 16 VOLTS	0.18	1.03
5	CAPACITOR DE 10 NANOFARADS CERAMICO 16 VOLTS	0.05	0.70
1	CAPACITOR DE 22 NANOFARADS CERAMICO 16 VOLTS	0.05	0.14

CAN- TIDAD	DESCRIPCION	COSTO UNITA- RIO	TOTAL CON IVA
1	CAPACITOR DE 0.1 MICROFARADS CERAMICO 16 VOLTS	0.07	0.20
1	CAPACITOR DE 150 PICOFARADS CERAMICO 16 VOLTS	0.05	0.14
4	RESISTENCIA DE 5.6 KOHMS 1/4 WATT	0.025	0.29
1	RESISTENCIA DE 33 KOHMS 1/4 WATT	0.025	0.07
1	RESISTENCIA DE 15 KOHMS 1/4 WATT	0.025	0.07
1	RESISTENCIA DE 330 OHMS 1/4 WATT	0.025	0.07
2	RESISTENCIA DE 1 KOHM 1/4 WATT	0.025	0.14
1	TARJETA DE ALAMBRADO	4.80	13.80
4	BASE PARA INTEGRADO 24 PINES	0.29	3.35
1	BASE PARA INTEGRADO 28 PINES	0.39	1.12
2	BASE PARA INTEGRADO 40 PINES	0.48	2.76
5	BASE PARA INTEGRADO 16 PINES	0.16	1.84
1	CRISTAL PARALELO DE 8 MHZ	1.95	5.60

TARJETA GRABADORA

CAN- TIDAD	DESCRIPCION	COSTO UNITA- RIO	TOTAL CON IVA
1	MC1489 CONVERTIDOR RS-232 A TTL	0.50	1.43
1	MC1488 CONVERTIDOR TTL A RS232	0.50	1.43
1	74LS157 MULTIPLEXOR DE 2 A 1	0.64	1.84
1	CD4069 INVERSOR CMOS	0.29	0.83
1	LM567	0.85	2.44
1	XR2211	1.00	2.87
4	CAPACITOR DE 0.1 MICROFARADS CERAMICO 16 VOLTS	0.10	1.15
3	CAPACITOR DE 0.01 MICROFARADS CERAMICO 16 VOLTS	0.07	0.60
1	CAPACITOR DE 10 MICROFARADS ELECTROLITICO 16 VOLTS	0.14	0.40
1	CAPACITOR DE 10 NANOFARADS CERAMICO 16 VOLTS	0.05	0.14
1	POTENCIOMETRO DE 5 KOHMS	2.80	8.05
1	RESISTENCIA DE 5.1 KOHMS 1/4 WATT	0.025	0.07
1	RESISTENCIA DE 10 KOHMS 1/4 WATT	0.025	0.07
1	RESISTENCIA DE 18 KOHMS 1/4 WATT	0.025	0.07
1	POTENCIOMETRO DE 20 KOHMS 16 VOLTS	2.80	8.05
1	RESISTENCIA DE 39 KOHMS 1/4 WATT	0.025	0.07
2	RESISTENCIA DE 100 KOHMS 1/4 WATT	0.025	0.14
1	RESISTENCIA DE 510 KOHMS 1/4 WATT	0.025	0.07
1	RESISTENCIA DE 39 KOHMS 1/4 WATT	0.025	0.07
1	RESISTENCIA DE 1 MOHMS 1/4 WATT	0.025	0.07

CAN- TIDAD	DESCRIPCION	COSTO UNITA- RIO	TOTAL CON IVA
1	RESISTENCIA DE 2.7 MOHMS 1/4 WATT	0.025	0.07
1	TRANSISTOR 2N2222	0.25	0.71
1	CONMUTADOR VER CUANTOS POLOS	0.32	0.92
2	IDH26WR CONECTOR DE PLASTICO 26 PINES	4.22	24.26
1	TARJETA DE ALAMBRADO	4.80	13.80
1	BASE PARA INTEGRADO 8 PINES	0.12	0.34
5	BASE PARA INTEGRADO 14 PINES	0.14	2.01
1	RELEVADOR DE ESTADO SOLIDO 5 V. 1 A.	2.00	5.75

FUENTE DE ALIMENTACION

CAN- TIDAD	DESCRIPCION	COSTO UNITA- RIO	TOTAL CON IVA
1	TRANSFORMADOR 117 V. A 10 V. Y 6 AMP , 30 V. Y 2 AMP CON TAP CENTRAL	8.69	25.00
1	PORTA FUSIBLE	0.80	2.30
1	FUSIBLE DE 6 AMPERES	0.32	0.92
1	FUSIBLE DE 1 AMPERE	0.32	0.92
2	FUSIBLE DE 1.5 AMPERES	0.32	1.84
4	DIODO RECTIFICADOR 100 V. 8 AMP.	0.64	7.36
4	DIODO RECTIFICADOR 100 V. 2 AMP.	0.20	2.30
1	REGULADOR DE VOLTAJE UA78H05	0.68	1.95
1	REGULADOR DE VOLTAJE UA7812KC	0.96	2.76
1	REGULADOR DE VOLTAJE UA7912KC	0.96	2.76
1	CHASIS METALICO	2.80	8.05
4	CONECTORES HEMBRA PARA LA SALIDA DE LA FUENTE, TRES ROJOS Y UNO NEGRO	0.148	1.70
1	CONMUTADOR DE UN POLO UN TIRO	0.32	0.92
2	METRO DE CABLE DEL NUMERO	0.12	0.69
1	CLAVIJA	0.16	0.46

TARJETA CONVERTIDOR

CAN- TIDAD	DESCRIPCION	COSTO UNITA- RIO	TOTAL CON IVA
1	ADC0832 CONVERTIDOR ANALOGICO DIGITAL	10.92	31.40
2	LM741 AMPLIFICADOR OPERACIONAL	0.35	2.01
1	MICROCONMUTADOR DE 4 POSICIONES	0.79	2.27
4	BASES PARA INTEGRADO 8 PINES	0.12	1.36
1	TARJETA DE ALAMBRADO	4.80	13.80
2	RESISTENCIAS 10 KOHMS 1/4 DE WATT	0.025	0.14
1	IDH26WR CONECTOR DE PLASTICO 26 PINES	4.22	12.13

VARIOS

CAN- TIDAD	DESCRIPCION	COSTO UNITA- RIO	TOTAL CON IVA
1	CHASIS PARA TERJETAS SMAD	10.00	28.75
1	TARJETA PARA ALAMBRADO OMNIBUS	3.20	9.20
1	CONECTOR 36 ENTRADAS PARA TARJETA	6.75	19.40
50	ALAMBRES DE WIRE RAP DE XX PULGADAS	0.03	4.31
3	METROS DE CABLE PLANO DE 26 LINEAS	8.00	23.00
2	METROS DE SOLDADURA 60/40	0.20	1.15
5	ID5026 CONECTOR PLASTICO HEMBRA	2.65	38.09

C o n c l u s i o n e s .

Las aplicaciones del SMAD como dispositivo de registro de información son variadas , llevar una historia del comportamiento de un sistema es necesario para mejorar , comparar los estándares establecidos , corregir o detectar probables condiciones de malfuncionamiento , dar un mantenimiento preventivo al sistema , etc .

Podemos hablar , por ejemplo , de un reactor químico cuyas variables sean presión y temperatura , entre otras . Al registrar el comportamiento de éstas y posteriormente analizarlo tendremos una valiosa ayuda para la optimización de los procesos que involucren a las variables registradas , para el control de calidad de los productos del proceso , etc .

En el caso del Sistema de Microprocesamiento para Adquisición de Datos , se cuenta con la capacidad de expandir fácilmente las funciones del sistema hacia el control de procesos , con lo que se logra una gran ampliación de las posibles aplicaciones del SMAD .

El análisis de la información registrada por el SMAD se supone realizado en una computadora externa al medio de trabajo , siendo el SMAD considerado como una "estación" de registro ; sin embargo , existe la posibilidad de poder realizar estos análisis en el propio SMAD .

El SMAD está diseñado hacia las aplicaciones básicas de un "data logger" , siendo una de sus ventajas su bajo costo , que se decrementaría a niveles menores para una producción mayor . El SMAD proporciona un adecuado y confiable manejo de la información analógica que recibe y procesa .

Resumiendo lo apuntado anteriormente y enmarcándolo dentro del contexto de crisis económica que nuestro país sufre , es una condición necesaria que los recursos sean utilizados de una manera óptima . El SMAD es un producto que satisface esta demanda : al ser orientado hacia aplicaciones definidas y ser de bajo costo . Un ejemplo de productos de amplia cobertura de aplicaciones y de costo geoméricamente expandido son los productos HP3052A , HP3054A , HP5391A , HP9030 , HP9875A , cuyo precio se haya inscrito en el rango de las decenas de miles de dólares .

Finalmente queremos poner de manifiesto que una posterior ampliación del SMAD y su fabricación para el mercado es recomendable .

Al concluir el desarrollo del Sistema de Microprocesamiento para Adquisición de Datos , SMAD , logramos la síntesis de los conocimientos adquiridos en nuestra Escuela , la Facultad de Ingeniería .

G L O S A R I O D E T E R M I N O S .

Adquisición de datos. Proceso de identificación y adecuación de los datos en una forma utilizable para un sistema.

ALU. Unidad Aritmética y Lógica.

ASK. (Amplitude Shift Keying .) Modulación digital en Amplitud.

Baudaje. El número de Bits de información que pueden ser transmitidos en un segundo.

BCD. (Binary Coded Decimal .) Un sistema de representación numérica en el cual cada dígito decimal es representado por cuatro dígitos binarios.

Bucle. La ruta a través de la cual viajan las señales de control.

Buffereeo. Cuando un carácter es recibido, se debe generar una interrupción para notificar al procesador que un carácter se encuentra disponible. Pero éste deberá ser almacenado en un área para que el siguiente pueda ser recibido inmediatamente.

Bus. Uno o más conductores utilizados para transmitir

señales. Una ruta sobre la cual la información es transferida desde un dispositivo fuente a un dispositivo destino.

CMOS. (Complementary Metal-Oxide Semiconductor .) Tecnología que utilice dispositivos canal-n y canal-p conectados en serie.

CPU. Unidad Central de Procesos.

Data Lossins. Se refiere a la grabación de datos y eventos que ocurren secuencialmente en períodos de tiempo.

Direccionamiento. Un procedimiento para indicar en que parte de la memoria se encuentra la información.

Doble Buffereo. Un sistema en donde las palabras de control de las instrucciones de entrada-salida son alteradas por medio de programa para dirigir datos a un área diferente a la ocupada normalmente.

Enmascerable. Un tipo de interrupción la cual puede ser deshabilitada por Software.

Fetch. Traer una parte de programa de la memoria principal para su ejecución inmediata.

Flip-Flop. Dispositivo biestable; dispositivo capaz de asumir dos estados estables. El dispositivo es capaz de almacenar un bit de información.

Formato. Arreglo predeterminado de caracteres, campos, líneas. Se refiere a la manera en la cual se almacena la información.

FSK. (Frequency Shift Keying .) Modulación digital en Frecuencia.

Full Duplex. En comunicaciones, se refiere a la comunicación simultánea entre dos puntos en ambas direcciones.

Half Duplex. En comunicaciones, un sistema que puede sólo recibir o enviar información a la vez.

Hardware. Equipo físico, por ejemplo, dispositivos mecánicos, magnéticos, eléctricos o electrónicos.

Interfaz. Especificaciones de interconexión entre dos sistemas o unidades. Una conexión física entre dos sistemas.

Latch. Circuito biestable que es capaz de almacenar un bit de información.

Logger. Dispositivo que graba automáticamente procesos físicos y eventos, usualmente con respecto al tiempo.

LSB. (Least Significant Bit .) La resolución mínima en un convertidor Analógico-Digital.

Modem. (Modulación - Demodulación.) Sistema utilizado para modular información, enviarla a través de una línea, recibir la información de algún dispositivo y demodularla.

Monitor. Dispositivo que observa y verifica las operaciones de un sistema de procesamiento e indica alguna norma especial.

Monoestable. Un circuito que tiene un estado estable o cuasi-estable y un estado inestable y que cumple un ciclo completo de cambio en respuesta a una excitación (disparo).

Multiplexor. Máquina que tiene "n" líneas de selección, 2^n entradas y una salida. Se utiliza para transmitir información de varios canales uno a la vez en el tiempo.

Pin. Pata de un circuito integrado.

PIO. (Paralell Input Output .) Dispositivo utilizado para recibir y transmitir información en forma paralela.

Pollins. Una técnica por la cual cada una de las

terminales que comparten una línea de comunicación son interrogadas periódicamente para determinar si requiere o no servicio.

PPI. Igual que PIO.

PSK. (Phase Shift Keying .) Modulación digital en Fase.

PROM. (Programmable Read Only Memory .) Se refiere a la memoria que puede programarse y posteriormente sólo puede ser leída.

RAM. (Random Access Memory .) Se refiere a la memoria que tiene la capacidad de escritura y lectura.

ROM. (Read Only Memory .) Se refiere a la memoria que sólo puede ser leída.

RMS. (Root Mean Square .) Voltaje Cuadrático Medio .

Sample-and-Hold. Dispositivo que muestrea una señal y retiene su valor por un periodo de tiempo.

SMAD. Sistema de Microprocesamiento para Adquisición de Datos.

Software. Los programas internos o rutinas preparadas profesionalmente para simplificar las operaciones de programación y de cómputo.

Stack. Area de memoria y varios registros utilizados para el almacenamiento temporal de la información.

Transductor. Elementos específicos o dispositivos que tienen la capacidad de recibir información en forma de una cantidad física y convertirla en información de otra cantidad física.

Transmisión Asíncrona. Modo de transmisión en el cual a cada carácter enviado se le agrega un bit de inicio y uno o dos bits de paro.

Transmisión Síncrona. Un modo de transmisión en el cual se utilizan caracteres de sincronía después de una serie de datos.

Tri-State. Estado de alta impedancia que presenta una línea.

TTL. (Transistor Transistor Logic .) Un circuito de lógica bipolar que toma su nombre de los circuitos que lo componen.

USART. (Universal Synchronous Asynchronous Receiver Transmitter .) Dispositivo que se utiliza para-transmitir información en forma sincrónica o asincrónica.

Voltaje de Modo Común. Voltaje que aparece entre circuitos diferenciales.

A P E N D I C E S .

Circuitos Integrados .

Texas Instruments.
"TTL Data Book."
U.S.A. 1982.

Conversores A/D .

National .
"Data Acquisition."
U.S.A. 1985.

EPROM 2716 .

Signetics.
"Memory Data."
U.S.A 1984.

Microprocesador Z80 .

Zilog .
"Z-80 User Manual."
U.S.A. 1982.

Modulación/Demodulación FSK .

Exar.
"Applications Data Book."
U.S.A. 1981.

PPI 8255A .

Intel .
"Programmable Peripheral Interface."
U.S.A. 1980.

RAM 6116 .

Motorola .
"Memory Data."
U.S.A. 1984.

Reguladores .

National .
"Voltage Regulators."
U.S.A. 1978.

USART 8251A .

Intel .
"Programmable Communication Interface."
U.S.A. 1980.

BIBLIOGRAFIA .

Barden.

"The Z80 Microcomputer Handbook."

Bartee, Thomas.

"Digital Computer Fundamentals."

Mc. Graw Hill.

Ciarcia.

"Construya una microcomputadora basada en el Z80."

Mc. Graw Hill. México 1982.

Donovan.

"Programación de Sistemas."

El Ateneo. Argentina 1980.

Evans.

"El fabuloso microprocesador."

García, Octavio.

"Microprocesadores Z80 e Interfaces."

Autor, 1980.

Garland, Harry.

"Introduction to Microprocessor System Design."

Mc. Graw Hill. México 1979.

Gonick, Larry. Barnes / Noble.

"The Cartoon Guide to Computer Science."

Primera Edición, U.S.A. 1983.

Hammacher.

"Computer Organization."

Mc. Graw Hill. International Student Edition.

México 1982.

Holman, J.P.

"Métodos experimentales para Ingenieros."

Mc. Graw Hill. Primera edición, México 1978.

"Interconexión de Periféricos a Microprocesadores."
Marcombo, Barcelona 1982.

Kaufman / Seidman.
"Manual Para Ingenieros y técnicos en electrónica."
Mc. Graw Hill. México 1981.

Kuecker.
"Microprocessor Applications."
TAB , 1980.

Malik,
"La IBM por dentro."
Grijalbo. España 1978.

Millman.
"Microelectronics."
Mc. Graw Hill. U.S.A. 1980.

Millman / Halkias.
"Integrated Electronics."
Mc. Graw Hill. International Student Edition.
Japan 1972.

Micro Design Concepts.
"Z80 Starter Kit Manual."
U.S.A. 1978.

National Semiconductor.
"Data Acquisition ,"
U.S.A. 1984.

National Semiconductor.
"Linear Databook."
U.S.A. 1982.

National Semiconductor.
"Voltage Regulator Handbook."
U.S.A. 1978.

Norman.
"Fundamentos de Electrónica."
C.E.C.S.A. México 1983.

Nueva Lente/Inselek.
"Informatica."
Fasciculos 11 y 13.
España 1984.

Ogata, Katsuhiko.
"Teoría de Control Moderna"
Prentice Hall International. Madrid 1980.

Ramirez / Weiss.
"Microprocessing Fundamentals."
Mc. Graw Hill. International Student Edition. 1981.

Sasan, Carl.
"Los Dragones del Edén."
Grijalbo, España 1979.

Salvai.
"Los Ordenadores."
Barcelona, 1973.

Schwartz, Mische.
"Transmisión de Información, Modulación y ruido."
Mc. Graw Hill. México 1983.

Signetics.
"Logic TTL."
U.S.A. 1978.

Silva de Mejía, Luz Ma.
"Realidades y Fantasías de las Computadoras."
Universidad Nacional Autónoma de México. 1978.

Sippl, Charles J.
"Data Communications Dictionary."
Van Nostrand, Nueva York, 1976.

Terauin / Blank.
"Ingeniería Económica."
Mc. Graw Hill. México 1980.

Texas Instruments.
"Understanding Computer Science."
U.S.A. 1981.

Texas Instruments,
"Understanding Digital Electronics,"
U.S.A. 1978.

Texas Instruments Radio Shack.
"Understanding Solid State Electronics."
Tercera Edición. U.S.A. 1978.

Tremblay / Bunt,
"An introduction to Computer Science."

Wiatrowsky / House,
"Logic Circuits and Microcomputer Systems."
Mc. Graw Hill 1980.

Zaks.
"Microprocessors."
Sybex.