

U N A M

FACULTAD DE CIENCIAS

"CONVERTIDORES ANALOGICOS - DIGITALES
RAPIDOS APLICADOS AL PROCESAMIENTO
DE IMAGENES CON FINES DIDACTICOS"

T E S I S

QUE PARA OBTENER EL TITULO DE

F I S I C O

P R E S E N T A

JOSE GUADALUPE VIVEROS TALAVERA



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

1	CONCEPTOS BASICOS DEL PROCESAMIENTO DIGITAL DE IMAGENES.....	5
1.1	INTRODUCCION.....	5
1.2	ELEMENTOS DEL PROCESAMIENTO DIGITAL DE IMAGENES.....	6
1.3	MUESTREO UNIFORME Y CUANTIZACION.....	7
1.4	COMPONENTES DE UN SISTEMA DE PROCESAMIENTO DIGITAL DE IMAGENES.....	13
1.4.1	DIGITALIZADORES.....	13
1.4.2	PROCESADORES DE IMAGEN.....	20
1.4.3	VISUALIZADORES.....	21
1.5	OBJETIVOS DEL PROCESAMIENTO DE IMAGENES.....	23
2	CONVERTIDOR ANALOGICO A DIGITAL.....	25
2.1	INTRODUCCION.....	25
2.2	FUNCION DE TRANSFERENCIA DEL CONVERTIDOR.....	26
2.3	RUIDO DE CUANTIZACION Y ALCANCE DINAMICO.....	27
2.4	TIEMPO DE APERTURA.....	29
2.5	CONVERTIDORES DE DATOS NO IDEALES.....	32
2.6	SELECCION Y DISEÑO DEL CONVERTIDOR A/D.....	33
2.7	CONSTRUCCION Y ESPECIFICACIONES DEL CONVERTIDOR A/D.....	41
3	MUESTREADOR.....	47
3.1	INTRODUCCION.....	47
3.2	CIRCUITO DE MUESTREO Y RETENCION.....	50
3.3	PULSO DE MUESTREO.....	58
3.4	VENTANA DE 1 O 2 CAMPOS.....	58
3.5	INTERFAZ ADN.....	59
3.6	GENERADOR DE DIRECCIONES.....	65
3.7	DETECTOR DE INICIO/FIN DE CONVERSION.....	66
3.8	CIRCUITO DE 3 ESTADOS.....	67
4	CONCLUSIONES Y APLICACIONES.....	71
5	APENDICE.....	73
	BIBLIOGRAFIA.....	75

INTRODUCCION

En la adquisición de datos y en sistemas de conversión están involucradas señales analógicas que son convertidas a forma digital para el proceso subsecuente del análisis de las mismas. En general un transductor toma la variable física que puede ser: presión, esfuerzo, temperatura, intensidad de luz, etc., y la convierte en una señal con un nivel de voltaje o de corriente. Una vez que se tiene la señal en forma eléctrica se procesa la misma por circuitos electrónicos. Después que el proceso analógico ha concluido la señal es convertida en una señal digital por medio de un convertidor analógico a digital, y así podrá ser tratada por una gran variedad de sistemas digitales tales como: computadoras, controladores digitales, transmisores de datos digitales, microprocesadores, grabadoras digitales, etc., la figura 1 representa en forma general un sistema de adquisición y conversión de datos.

El diagrama de bloques de la figura 1 está compuesto de varias componentes interconectadas mutuamente. La entrada al sistema es el parámetro físico por medir, este es convertido en una señal eléctrica por el transductor y llevado hasta un amplificador.

Este amplificador es necesario puesto que generalmente la señal del transductor es de bajo voltaje o corriente, y puede representar una alta impedancia de salida. En cualesquiera de los casos el amplificador es usado para llevar la señal a un nivel adecuado de voltaje y corriente que pueda ser usado para conducir el siguiente circuito analógico. Los amplificadores operacionales son usados normalmente para efectuar este trabajo.

El amplificador es seguido por un filtro pasa bajas el cual es usado para eliminar las componentes de alta frecuencia o ruido de la señal.

La señal va entonces a un seleccionador analógico el cual tiene un tiempo de operación determinado para efectuar la selección entre un número diferente de señales analógicas. Cada canal de entrada está conectado secuencialmente a la salida del seleccionador por un periodo de tiempo específico, (en el

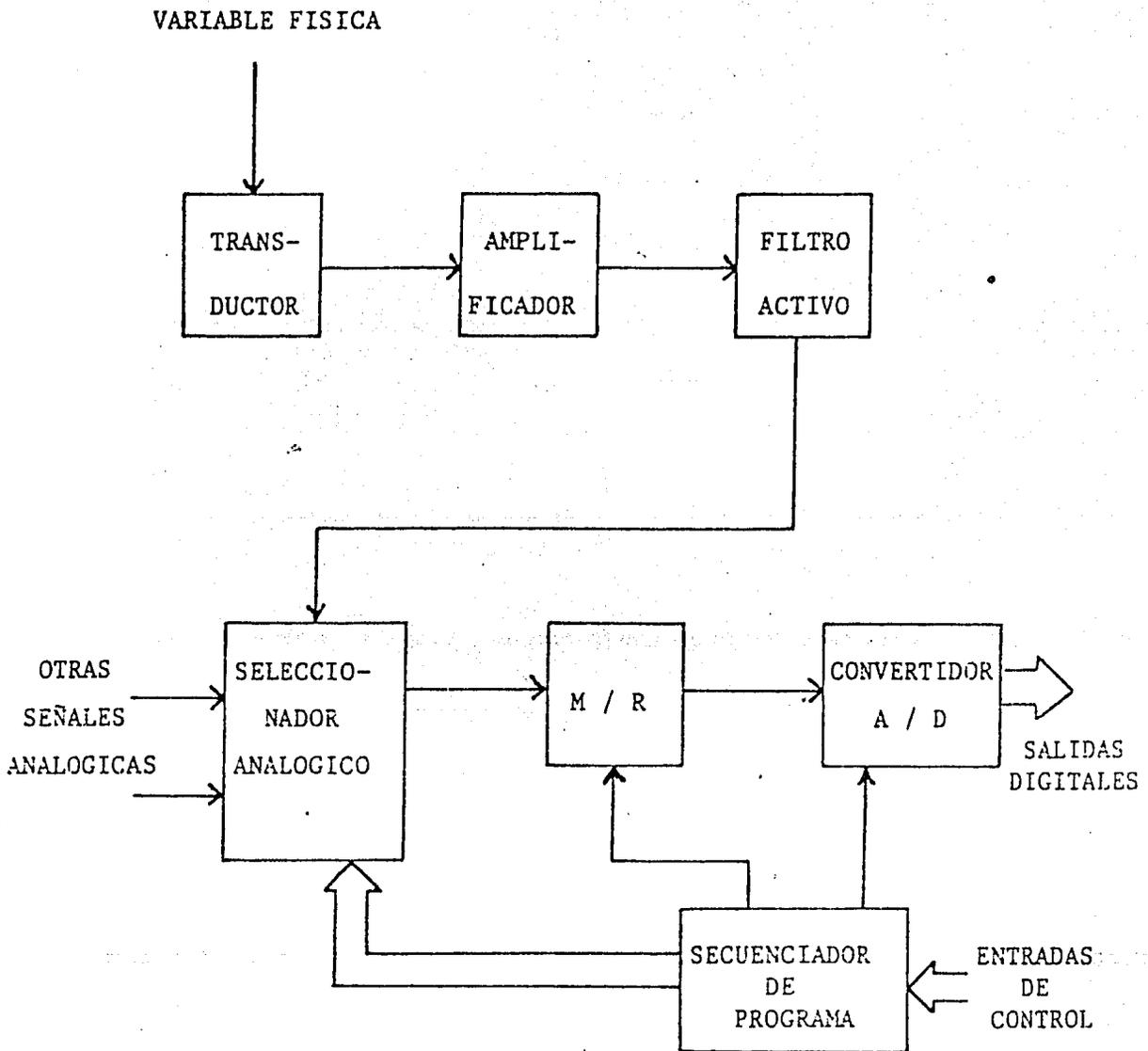


Fig. 1 - Diagrama General a Bloques de un Sistema de Conversión y Adquisición de Datos.

caso de una sola señal el seleccionador puede sustituirse del diagrama de la figura 1 e interconectar directamente la salida del seleccionador al circuito de muestreo y retención (M/R). Este circuito muestrea la salida del seleccionador o filtro según la aplicación durante un tiempo específico y entonces retiene el nivel de voltaje en su salida hasta que el convertidor analógico-digital realiza la operación de conversión.

El tiempo y control de este sistema lo proporciona el circuito secuenciador del programa, controlando los circuitos del seleccionador, muestreo y retención y el convertidor analógico-digital.

Este secuenciador del programa está controlado a su vez por las entradas de control digital de un procesador de datos.

Ahora bien basándonos en el diagrama de la figura 1 se puede tener una idea del procedimiento en general para tratar los problemas de adquisición de datos. En la realización del proyecto del cual forma parte este trabajo se requiere de un sistema similar ya que las necesidades son las siguientes:

Se pretende diseñar y construir un procesador digital de imágenes utilizando una microcomputadora para fines didácticos. Todo el sistema consiste de: Una cámara de T.V., un muestreador de imágenes, un convertidor analógico a digital de 4 bits rápido, un banco de memoria digital de estado sólido de acceso directo de 64 K-octetos de capacidad capaz de almacenar imágenes de 128x525 pixels con 16 niveles de gris y una microcomputadora con unidades de disco suave de 8 pulgadas que servirá para controlar el sistema, el flujo de información y se podrá llevar a cabo en ella el procesamiento digital de imágenes.

Un punto crítico en este sistema es la parte de muestreo y conversión de la señal analógica, ya que esta parte del sistema debe ser bastante rápida para poder adquirir la imagen en el menor tiempo posible. Actualmente existen en el mercado convertidores bastante rápidos que se venden a un precio muy alto y son difíciles de conseguir. Para fines didácticos es posible diseñar y construir un convertidor rápido de bajo costo reduciendo el número de bits a convertir

y aumentando el tiempo de conversión ligeramente utilizando una técnica actualmente en desuso por razones comerciales. EL aumento en el tiempo de conversión hace necesaria una técnica de muestreo algo más sofisticada que la forma comercial de T.V.

El objetivo de este trabajo consiste en el diseño y construcción del sistema de muestreo así como el convertidor analógico a digital. En los siguientes capítulos se dará un esbozo general de la técnica de procesamiento digital de imágenes y se explicará con detalle el muestreador de imágenes y el convertidor analógico a digital.

1 CONCEPTOS BASICOS DEL PROCESAMIENTO DIGITAL DE IMAGENES

1.1 INTRODUCCION

EL procesamiento digital de imágenes consiste básicamente en la manipulación de imágenes por una computadora digital esta técnica se ha desarrollado recientemente y ha sido aplicada prácticamente a cualquier tipo de imágenes con grados variables de utilidad. El procesamiento digital de imágenes es un vasto umbral bajo el cual caen diversos aspectos de óptica, electrónica, matemáticas, fotografía y técnicas de computación.

Varios factores se combinan para asegurar una vida futura al procesamiento digital de imágenes. El factor más importante es el descenso del costo de equipo de computación ya que las unidades de procesamiento y almacenamiento han comenzado a hacerse menos costosas año tras año. Un segundo factor es el aumento de la disponibilidad de equipo para digitalizar y visualizar la imagen. Además nuevas tecnologías tienden a promover fuertemente el procesamiento digital de imágenes. Estas incluyen unidades de procesamiento de bajo costo tales como los microprocesadores, el uso de dispositivos acoplados por carga para digitalización y arreglos de almacenamiento de imágenes de alta capacidad y bajo costo.

Pero tal vez lo más importante para el desarrollo de este campo es que hay nuevas y excitantes aplicaciones. Ciertos tipos de diagnósticos médicos incluyendo conteo diferencial de células sanguíneas y análisis de cromosomas están en un estado muy cercano a realizarse con técnicas digitales, pero no solo en el área médica encuentra aplicación el procesamiento digital de imágenes, sino que cubre un amplio campo de aplicaciones, algunas de estas áreas son: imágenes espaciales, radiografías industriales, visión infrarroja, imágenes de radar y otras formas de escenas u

objetos que esten dentro de un formato bidimensional.

1.2 ELEMENTOS DEL PROCESAMIENTO DIGITAL DE IMAGENES

EL procesamiento digital de imágenes requiere básicamente de una computadora la cual procesa la imagen, el sistema debe tener dos piezas de equipo especial de entrada/salida, las cuales son un digitalizador de imágenes y un dispositivo para visualizar la imagen.

En la forma en la cual usualmente ocurre la imagen no esta directamente disponible para el análisis por computadora. Esto es debido a que las computadoras trabajan con razones numéricas y no con datos pictóricos, por lo que una imagen debe ser convertida a una forma numérica antes de procesarla. Este proceso de conversión es llamado DIGITALIZACION y una forma común se ilustra en la figura 2. La imagen es dividida en pequeñas regiones llamadas elementos de imagen o pixels (por las palabras en inglés picture elements). El esquema de subdivisión más común es el muestreo rectangular mostrado en la figura 2. En cada localización del pixel el brillo de la imagen es muestreado y cuantizado. Esta etapa genera un número para cada pixel representando la intensidad de la imagen en cada punto. Cuando esto se ha hecho para todos los pixels la imagen queda representada por un arreglo rectangular de enteros. Cada pixel tiene una localización o dirección (número de línea y columna muestreada) y un valor entero llamado el nivel de gris. Este arreglo de datos digitales es el candidato para el procesamiento computacional.

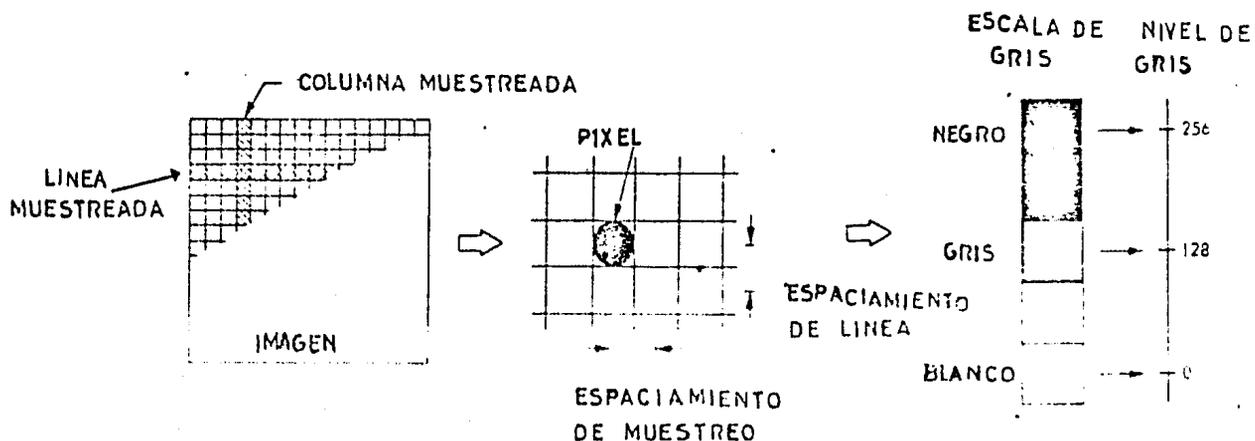


Fig. 2.- Proceso de Digitalización de una Imagen.

1.3 MUESTREO UNIFORME Y CUANTIZACION

Como ya se ha mencionado para que una función de imagen $f(x,y)$ sea procesada por una computadora debe estar en una forma apropiada es decir debe ser digitalizada espacialmente y en amplitud. La función de imagen $f(x,y)$ es una función de la intensidad de luz en dos dimensiones donde x,y denotan coordenadas espaciales y el valor de f en cada punto (x,y) es proporcional al brillo (o nivel de gris) de la imagen en ese punto.

Una imagen digital es una imagen $f(x,y)$ la cual ha sido discretizada tanto en coordenadas espaciales como en brillantes. Podemos considerar una imagen digital como una matriz cuyos índices de columna y renglones identifican un punto en la imagen y el valor del elemento de matriz correspondiente identifica el nivel de gris de cada punto.

La digitalización de las coordenadas espaciales (x,y) es referida como MUESTREO DE LA IMAGEN y la digitalización de la amplitud es llamada cuantización del nivel de gris.

Supongamos que una imagen continua $f(x,y)$ es aproximada por un arreglo de muestras igualmente espaciadas formando un arreglo matricial de $N \times N$ como se muestra en la ecuación 1, donde cada elemento del arreglo es una cantidad discreta, los elementos de esta matriz son los mismos que previamente definimos como pixels.

El lado derecho de esta ecuación representa como ya mencionamos una imagen digital, donde cada elemento de la matriz es referido como un elemento de imagen, elemento de figura, pixel o pel. Los términos imagen y pixel se usarán en la siguiente discusión para denotar una imagen digital y sus elementos.

El proceso de digitalización requiere que se haga una decisión sobre el valor de N , así como también sobre el número de niveles de gris discretos asignados a cada pixel. Es práctica común en procesamiento digital de

$$f(x, y) \approx \begin{bmatrix} f(0, 0) & f(0, 1) & \dots & f(0, N-1) \\ f(1, 0) & f(1, 1) & \dots & f(1, N-1) \\ \vdots & \vdots & \ddots & \vdots \\ f(N-1, 0) & f(N-1, 1) & \dots & f(N-1, N-1) \end{bmatrix} \quad \text{Ec. 1}$$

imágenes, seleccionar que estas cantidades sean potencias enteras de 2:

$$N = 2^n \quad \text{Ec. 2}$$

esto es:

$$G = 2^m \quad \text{Ec. 3}$$

donde G denota el número de niveles de gris. Se asume en esta discusión que los niveles de gris discretos están igualmente espaciados en la escala de gris. Usando las ecuaciones 2 y 3 el número b , de bits requeridos para almacenar una imagen digitalizada esta dado por:

$$b = N \times N \times m. \quad \text{Ec. 4}$$

La tabla 1 da los valores de b obtenidos para algunos valores típicos de N y m , la tabla 2 da el número correspondiente de bytes.

Como la ecuación 1 es una aproximación de una imagen continua, surge una interesante pregunta. Cuantas muestras y cuantos niveles de gris son requeridos para una buena aproximación. La resolución (el grado de diferenciar detalles) de una imagen depende fuertemente de N y m . Cuando estos parámetros son incrementados, el arreglo digital cada vez aproxima más a la imagen original, sin embargo la ecuación 4 claramente resalta la característica

desafortunada que el almacenamiento y consecuentemente los requerimientos de procesamiento se incrementan rápidamente al aumentar N y m .

En vista de los comentarios antes mencionados, es interesante considerar los efectos que producen las variaciones de N y m sobre la calidad de la imagen. Una buena imagen es difícil de definir debido a que los requerimientos de la calidad varían de acuerdo con la aplicación. La figura 3(a) tiene una red de muestreo de 512×512 pixels y 256 niveles de gris (note el reflejo sobre la placa del casco). Las figuras 3(b) a 3(f) muestran la misma imagen pero con $N=256, 128, 64, 32, 16$. En todos los casos el número de niveles de gris fue de 256. Se nota que la imagen de 256×256 pixels no se diferencia apreciablemente de la imagen de la figura 3(a), pero la calidad de la imagen se deteriora para los otros valores de N .

La figura 4 ilustra el efecto producido al reducir el número de bits usados para representar los niveles de gris de una imagen. La figura 4(a) es la imagen digitalizada de un sujeto usando un arreglo de 512×512 pixels y 256 niveles de gris ($m=8$ en la ecuación 3). Las figuras 4(b) a 4(h) fueron obtenidas reduciendo el número de bits de $m=7$ a $m=1$ respectivamente, manteniendo la red de digitalización a 512×512 pixeles. Las imágenes con niveles de gris de 256, 128 y 64 son de aceptable calidad. La imagen con 32 niveles de gris sin embargo empieza a distorsionarse, este efecto es considerablemente más pronunciado en la imagen mostrada con 16 niveles de gris y se incrementa notablemente para las imágenes restantes.

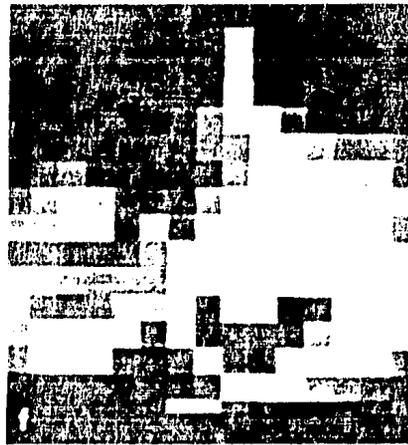
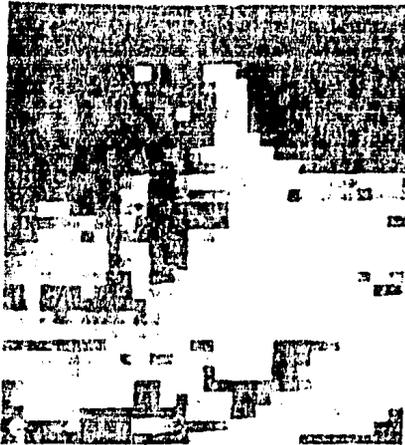
El número de muestras y niveles de gris requeridos para reproducir una imagen que sea reproducción fiel de la imagen original depende de la imagen misma, también se debe de tomar en cuenta las necesidades particulares de cada aplicación. Como una comparación básica los requerimientos para obtener una calidad comparable a la de una figura de televisión, sobre un amplio rango de tipos de imágenes son del orden de 512×512 pixels con 128 niveles de gris. En el sistema que se desea diseñar se podrán obtener imágenes de 63×525 pixels con 16 niveles de gris, que es más que suficiente para satisfacer las necesidades de nuestro sistema.

$N \backslash m$	1	2	3	4	5	6	7	8
32	1,024	2,048	3,072	4,096	5,120	6,144	7,168	8,192
64	4,096	8,192	12,288	16,384	20,480	24,576	28,672	32,768
128	16,384	32,768	49,152	65,536	81,920	98,304	114,688	131,072
256	65,536	131,072	196,608	262,144	327,680	393,216	458,752	524,288
512	262,144	524,288	786,432	1,048,576	1,310,720	1,572,864	1,835,008	2,097,152

Tabla 1.- Número de Bits de Almacenamiento Para Varios Valores de N y m.

$N \backslash m$	1	2	3	4	5	6	7	8
32	128	256	512	512	1,024	1,024	1,024	1,024
64	512	1,024	2,048	2,048	4,096	4,096	4,096	4,096
128	2,048	4,096	8,192	8,192	16,384	16,384	16,384	16,384
256	8,192	16,384	32,768	32,768	65,536	65,536	65,536	65,536
512	32,768	65,536	131,072	131,072	262,144	262,144	262,144	262,144

Tabla 2.- Número de Bytes de Almacenamiento Para Varios Valores de N y m.



1. The astronaut is standing on the lunar surface, facing the camera. The terrain is rocky and uneven. The background is dark, suggesting the lunar surface.



Fig. 4. - Effects of various conditions on the ability to reduce
the number of blinks per second.

1.4 COMPONENTES DE UN SISTEMA DE PROCESAMIENTO DIGITAL DE IMAGENES

La figura 5 muestra un sistema completo para procesamiento de imágenes, la imagen digital producida por el digitalizador se guarda en un dispositivo de almacenamiento temporal. En respuesta a la consola de operación, la computadora llama y ejecuta los programas de procesamiento de imágenes de una biblioteca. Durante la ejecución la imagen de entrada es leída línea por línea dentro de la computadora, operando sobre cada pixel la computadora genera la imagen de salida pixel por pixel. Cuando la imagen de salida es creada está se almacena sobre un dispositivo de almacenamiento de datos línea por línea. Durante el procesamiento los pixels pueden ser modificados a la discreción del programador en etapas de procesamiento limitadas unicamente por su imaginación, paciencia y presupuesto de computación. Después de procesado el producto final es visualizado mediante un proceso que es el reverso de la digitalización. Los niveles de gris de cada pixel son usados para determinar la brillantes de los puntos correspondientes sobre la pantalla de visualización. La operación de este sistema se divide en tres principales categorías: digitalización, procesamiento y visualización o reproducción. El objetivo de esta tesis es el de diseñar la parte de digitalización. A continuación se explicarán las funciones que realizan cada uno de estos dispositivos (digitalizadores, procesadores, visualizadores) y la manera en que se pueden obtener.

1.4.1 DIGITALIZADORES

Un digitalizador de imagen debe ser capaz de dividir una imagen en elementos de figura (pixels) y direccionar cada uno, además debe medir el nivel de gris de la imagen en cada pixel, cuantizar la medida continua para producir un entero y escribir el conjunto de enteros sobre un dispositivo de almacenamiento de datos. Para lograr esto un digitalizador debe tener cinco elementos. El primero es una abertura de muestreo, la cual permite al digitalizador tener acceso solamente a un pixel ignorando el resto de la imagen. El segundo elemento de un digitalizador es un dispositivo para

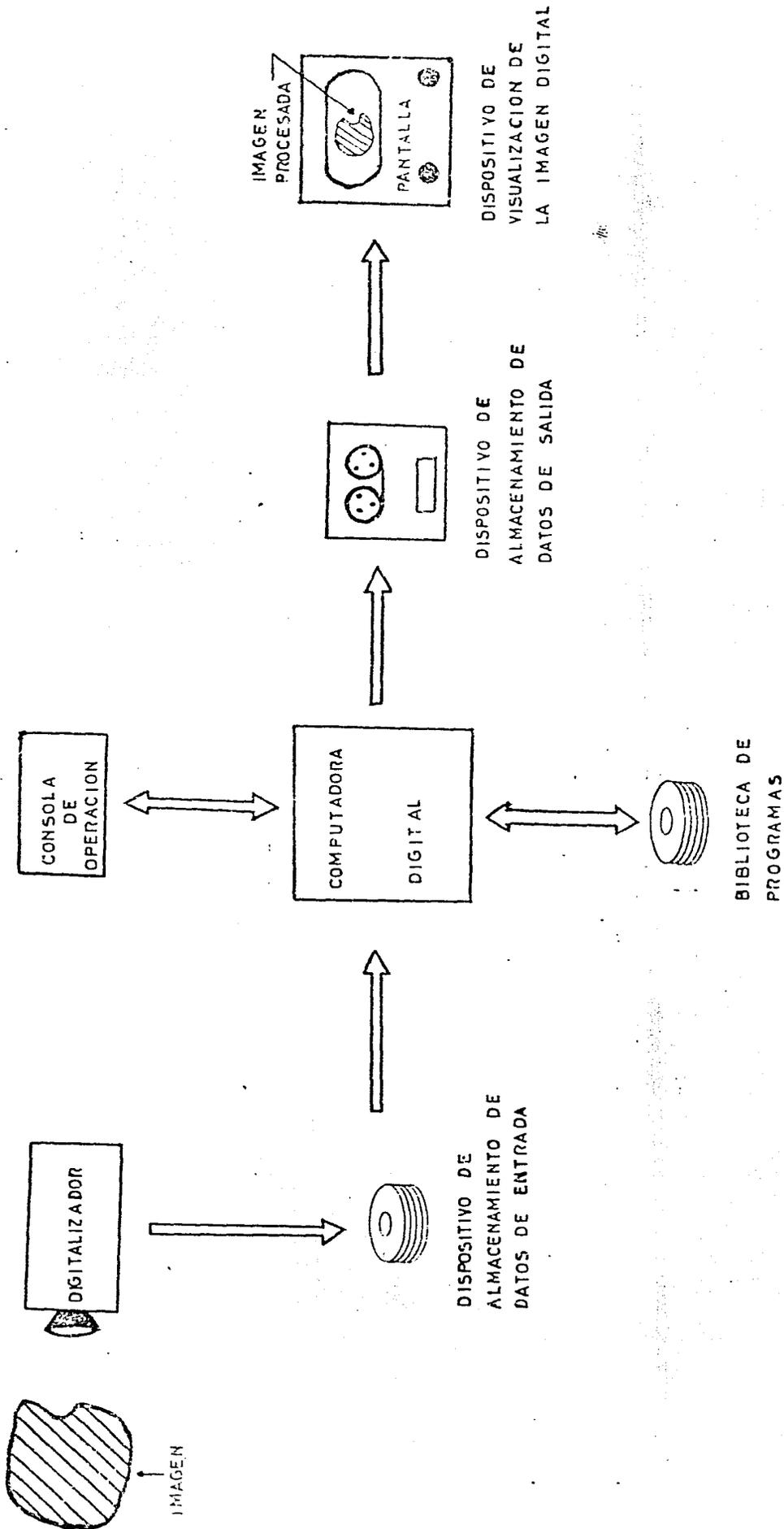


Fig. 5.- Diagrama a Bloques de un Sistema de Procesamiento Digital de Imágenes.

muestrear la imagen, este proceso consiste en mover la abertura de muestreo sobre un patrón predeterminado. El muestreador permite a la abertura de muestreo poder direccionar cada pixel.

El tercer elemento es un detector el cual puede medir el brillo de la imagen en cada pixel. El detector es comunmente un transductor que convierte intensidad de luz en voltaje o corriente eléctrica. El cuarto elemento es un cuantizador, el cual convierte la salida continua del detector en un valor entero, tipicamente el cuantizador es un circuito electrónico llamado convertidor analógico a digital, esta unidad produce un número que es proporcional al nivel de voltaje o corriente de entrada.

El quinto elemento de un digitalizador de imágenes es el medio de salida, los valores del nivel de gris producidos por el cuantizador deben ser almacenados en un formato apropiado para su procesamiento computacional. El medio de salida puede ser un disco o cinta magnética, un banco de memoria digital, etc.

En conclusión entonces un digitalizador convierte una imagen en una representación numérica disponible para ser aceptada por una computadora digital. En esta parte nos abocaremos a discutir los diferentes tipos de transductores que pueden ser usados para detectar el brillo de una imagen. Más adelante trataremos ampliamente a los elementos restantes del digitalizador (convertidor A/D, muestreador, banco de memoria). Entre los detectores más comunmente usados están los microdensitrometros, muestreadores de punto flotante, disectores de imagen y cámaras de televisión. Los dos primeros dispositivos requieren que la imagen a ser detectada este en la forma de una transparencia o fotografía, los disectores de imagen y cámaras de televisión pueden aceptar imágenes registradas de esta manera y tienen la capacidad adicional de ser capaces de detectar imágenes naturales que tengan suficiente intensidad de luz para excitar al detector.

En microdensitrometros (figura 6) la transparencia o fotografía se monta sobre un soporte plano alrededor de un tambor. La detección se lleva a cabo enfocando un rayo de luz sobre la imagen y trasladando el soporte o rotando el tambor en relación al rayo. En el caso de transparencias el rayo pasa a través de la película y en fotografías es reflejado por la superficie de la imagen, en ambos casos el rayo es enfocado sobre un fotodetector y el nivel de gris en cada punto de la imagen es registrado por el detector en base a la intensidad de luz del rayo. Una imagen digital es obtenida asignando únicamente valores discretos a la intensidad del rayo y a la posición a la salida.

Muestreadores de punto flotante (figura 7) también operan sobre el principio de enfocar un rayo transmitido o reflejado sobre un fotodetector. En este caso sin embargo la imagen es estacionaria y la fuente de luz es un tubo de rayos catódicos (TRC) en el cual un haz de electrones que es deflexionado por electromagnetos incide sobre una superficie de fósforo fluorescente. El haz por lo tanto produce un punto de luz que se mueve en un patrón de muestreo sobre la cara del tubo. La característica de que el haz es movido electrónicamente permite altas velocidades de muestreo. Muestreadores de punto flotante son ideales para aplicaciones en las cuales es deseable controlar el patrón de muestreo externamente (p.ej. trazar las fronteras de objetos en una imagen). Esta flexibilidad sobre la posición del haz de electrones es obtenida variando las señales externas aplicadas a los electromagnetos.

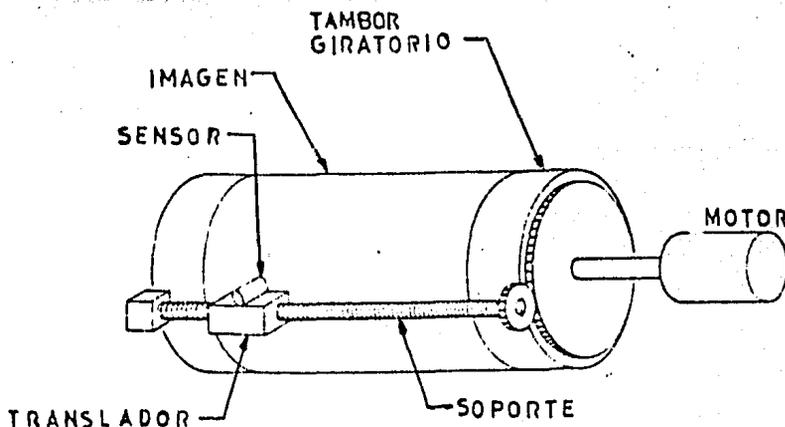


Fig. 6.- Diagrama de un Microdensitrometro.

En disectores de imagen y cámaras de televisión la imagen es enfocada directamente sobre la superficie de un tubo fotosensitivo cuya respuesta es proporcional al patrón de luz incidente. La operación está basada sobre el principio de emisión electrónica, donde la imagen incidente sobre la superficie fotosensitiva produce un haz de electrones cuya sección transversal es aproximadamente la misma que la geometría de la superficie del tubo. La recolección de la imagen es realizada usando electromagnetos para deflexionar todo el haz y hacerlo pasar a través de una abertura localizada en la parte posterior del tubo disector. La abertura permite pasar únicamente una pequeña sección transversal del haz y entonces se amarra a cada punto de la imagen a cada instante, en la figura 8 se muestra un esquema del tubo disector de imagen.

Muchos digitalizadores de imagen emplean como detector una cámara de televisión del tipo de vidicon cuya operación está basada sobre el principio de fotoconductividad. Un diagrama del tubo vidicon se muestra en la figura 9, una imagen enfocada sobre la superficie del tubo produce un patrón de conductividad variable el cual marca la distribución de brillantes de la imagen óptica, un haz de electrones finamente enfocado muestrea la superficie del blanco fotoconductor y por neutralización de carga este blanco crea una diferencia de potencial y produce sobre un colector una señal proporcional al patrón de brillo de la imagen. Cuantizando esta señal se obtiene una imagen digital, así como también la posición del haz de muestreo.

Sin embargo los sistemas de vidicon tienen menos resolución que los sistemas discutidos anteriormente, en cambio los primeros tienen numerosas ventajas las cuales en varias aplicaciones compensan su relativamente baja resolución. Los sistemas de vidicon por ejemplo se encuentran entre los detectores menos costosos. Los sistemas de vidicon también tienen la ventaja que la imagen a ser detectada puede ser vista completamente sobre un monitor de televisión, esta capacidad adicional no disponible en cualesquiera de los sistemas discutidos anteriormente (excepto el disector de imagen) los hacen ideales para aplicaciones de propósitos generales. Debido a que los sistemas de vidicon emplean muestreo electrónico y tubos fotoconductores, estos detectores son

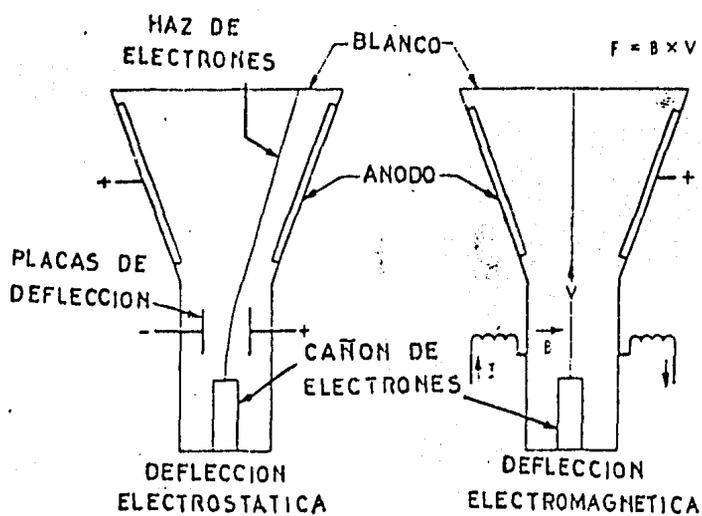


Fig. 7.- Detector de Punto Flotante.

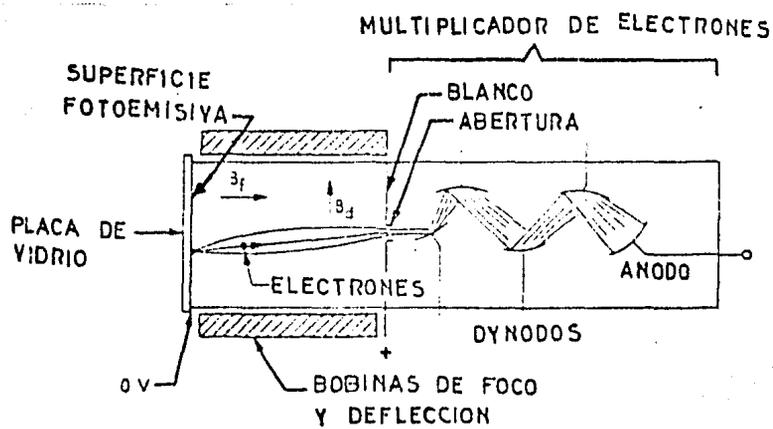


Fig. 8.- Tubo Disector de Imagen.

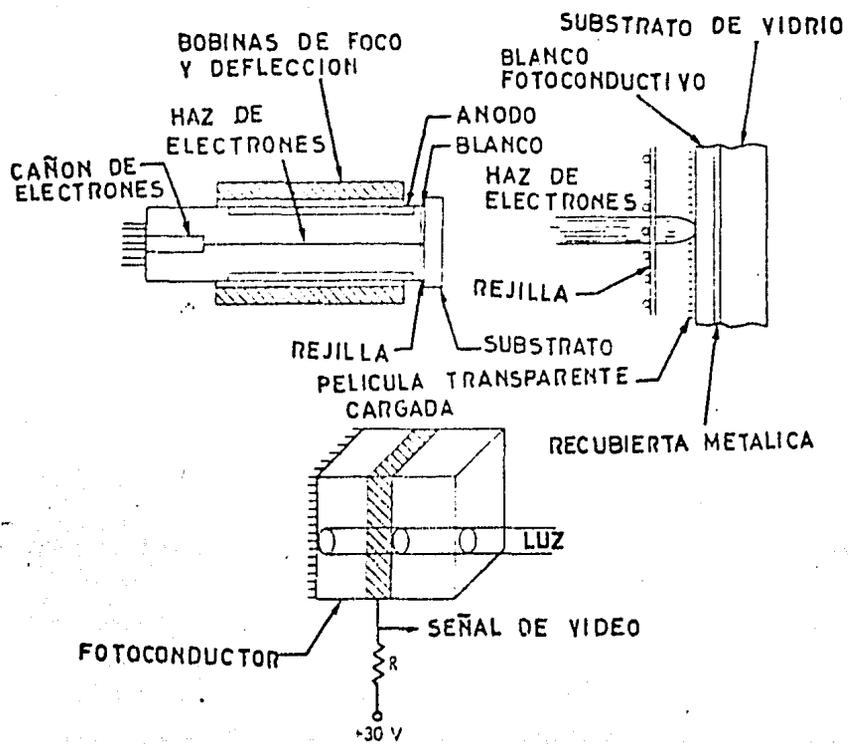


Fig. 9.- Diagrama del Tubo de Cámara Vidicon.

mucho más rápidos que los microdensitómetros. Es debido a estas ventajas que en el sistema de procesamiento de imágenes que se desea construir se eligió como transductor de imagen una cámara de televisión del tipo vidicon.

1.4.2 PROCESADORES DE IMAGEN

Los sistemas usados para procesamiento de imágenes van desde dispositivos con microprocesadores para aplicaciones de propósitos especiales, hasta grandes sistemas de computación capaces de ejecutar una amplia variedad de funciones sobre arreglos de imágenes con alta resolución. Los principales parámetros que influyen en la estructura del sistema computacional para procesamiento de imágenes son los requerimientos para almacenamiento de datos y para la velocidad de procesamiento. Para aplicaciones de laboratorio con propósitos generales donde el almacenamiento rápido de datos no es esencial, es adecuada una microcomputadora equipada moderadamente. Como los arreglos de imágenes digitales son en muchos casos bastante grandes para ser guardados completamente en la memoria de una computadora pequeña, la solución para estructurar tales sistemas es proveer capacidad de almacenamiento suficiente y adecuada. Los dos medios más populares de almacenamiento son discos y cintas magnéticas cualquiera de los cuales permite almacenar numerosas imágenes por dispositivo.

Tomando en cuenta lo anteriormente expuesto y recordando que el sistema que se pretende diseñar es para fines didácticos, se eligió que el sistema de procesamiento de imágenes utilice un sistema de desarrollo Exorciser el cual cuenta con unidades de almacenamiento del tipo de disco magnético, también se utilizará como banco de memoria de acceso directo (para almacenar la imagen que se está digitalizando) un mapa de memoria de dicho sistema de desarrollo, el cual tiene una capacidad de 64 K-octetos por lo cual se podrán almacenar imágenes de hasta 128x525 pixels con 16

niveles de gris. La utilidad de esta memoria es la disponibilidad de tener una interfaz adecuada capaz de poder interactuar con la cámara de televisión (entrada de datos).

1.4.3 VISUALIZADORES.

La función de la unidad de visualización en un sistema de procesamiento de datos es convertir el arreglo numérico almacenado en la computadora a una forma disponible para la interpretación humana. Los principales medios de visualización son los sistemas de televisión y los dispositivos de impresión.

En sistemas de tubos de rayos catódicos las posiciones horizontal y vertical de cada elemento en el arreglo de la imagen son convertidas a corriente eléctrica la cual es usada para deflecar el haz de electrones del TRC, esto provee la conducción necesaria en dos dimensiones para producir una imagen de salida. En cada punto de deflección la intensidad del haz es modulada usando un voltaje el cual es proporcional al brillo en el punto correspondiente del arreglo numérico cuyo valor va de negro a blanco para puntos de máxima intensidad, el patrón de luz resultante de intensidad variable es registrado por una cámara fotográfica enfocada sobre la superficie del tubo. Algunos sistemas emplean tubos de fósforo de alta persistencia, los cuales permiten visualizar completamente la imagen después de que el proceso de muestreo ha finalizado.

Los sistemas de visualización convierten una imagen almacenada en la computadora en un cuadro de video el cual puede ser visualizado sobre un monitor de televisión, la ventaja de estos sistemas es que la imagen creada sobre un monitor de video tiene una tonalidad muy semejante a la de las fotografías, esto produce una salida la cual es fácilmente asimilada por el sistema visual. La desventaja de visualizadores de televisión es que se debe refrescar el monitor a una razón de 30

cuadros (imágenes) por segundo para evitar parpadeos de la imagen. Desafortunadamente muchas computadoras de propósitos generales no son capaces de transferir datos a esta velocidad, el principal problema al diseñar visualizadores de televisión es proveer algún dispositivo de almacenamiento que transfiera datos al monitor a velocidades de video. Una alternativa es usar memorias de estado sólido rápidas para almacenar totalmente la imagen, la pantalla es entonces refrescada a 30 cuadros por segundo reciclando a través de la memoria y combinando la información binaria almacenada dentro de la señal analógica por medio de circuitos de acondicionamiento y convertidores digitales a analógicos rápidos. Otro método es almacenar el arreglo de la imagen sobre un disco de alta resolución, donde cada pista en el disco contiene un bit de cada uno de todos los pixels de la imagen. Una imagen de $N \times N$ pixels con 2^n niveles de gris requiere n pistas de almacenamiento, cada una conteniendo $N \times N$ bits. La velocidad de transferencia necesaria se logra rotando el disco a partir de la última pista (o n) enviada. Para cualquier posición del disco la información binaria contenida en las n pistas es combinada para producir un voltaje proporcional al nivel de gris de un solo pixel en la imagen. Al girar el disco se crea una señal analógica condicionando estos niveles de voltaje los cuales sirven de entrada a un convertidor digital a analógico. En ambos casos la salida del convertidor constituye la señal de video usada para producir la imagen sobre el monitor de televisión.

Dispositivos que hacen una impresión de la imagen son útiles para trabajos de procesamiento de imágenes de baja resolución. El nivel de gris de cada punto puede ser controlado por el número y densidad de caracteres sobreimpresos en un punto.

1.5 OBJETIVOS DEL PROCESAMIENTO DE IMAGENES

Después que se ha obtenido la imagen digital por algún medio de los descritos anteriormente, el siguiente paso es ejecutar el procesamiento digital sobre los datos en dos dimensiones. Virtualmente en todas las aplicaciones de procesamiento de imágenes el objetivo es extraer información de la imagen. Obtener la información deseada puede requerir filtraje, transformación, análisis interactivo o cualquier número de otros métodos.

Podemos generalizar casi todos los trabajos de procesamiento de imágenes a estar caracterizados por una de las siguientes categorías:

1) Mejoramiento de la Imagen.- Este método sirve simplemente para mejorar la imagen a ser vista por los sistemas de interpretación visual (hombres o máquinas). Los tipos de mejoramiento de imágenes incluyen operaciones del tipo de ajuste de contraste, filtraje para aminorar ruido, aplicaciones de pseudocolor y muchas otras.

2) Recuperación de la Imagen.- Esta técnica está dirigida a eliminar degradaciones de la imagen producidas por el proceso de formación. Por ejemplo eliminar trazo borroso de una imagen causado por movimientos de la cámara, imagen fuera de foco o turbulencias atmosféricas, todos ellos son problemas de recuperación de imágenes.

3) Codificación de Imágenes.- Esta técnica envuelve la compresión de la imagen en una forma alternativa (codificarla) para almacenamiento y/o requerimientos de transmisión.

4) Extracción de Características y Reconocimiento.- En muchos trabajos de procesamiento de imágenes es importante caracterizar objetos de una escena o identificarlos, esto se logra utilizando patrones aproximados de reconocimiento de objetos específicos, como un ejemplo donde es útil esta técnica es en la identificación de células mutantes en una muestra de células biológicas.

Como una conclusión a todo lo anteriormente expuesto podemos decir que este trabajo consiste en diseñar el dispositivo especial de entrada requerido por el sistema de procesamiento digital de imágenes, es decir diseñar el digitalizador cuya parte modular es el convertidor A/D y el circuito de muestreo y retención, los cuales serán tratados en los siguientes capítulos.

2 CONVERTIDOR ANALOGICO A DIGITAL

2.1 INTRODUCCION

En su forma conceptual básica el proceso de conversión analógico a digital consiste de dos etapas: cuantización y codificación. Cuantización es el proceso de transformar una señal analógica continua en un conjunto de estados de salida discretos. Codificación es el proceso de asignar una palabra digital a cada uno de los estados de salida.

2.2 FUNCION DE TRANSFERENCIA DEL CONVERTIDOR

La figura 10 muestra la función de transferencia para un convertidor analógico a digital (CAD) de 3 bits ideal. Esta función de transferencia es discontinua pero sin la correspondencia uno a uno entre la entrada y la salida. Un CAD produce una salida cuantizada a partir de una entrada analógica continuamente variable, los 8 estados de salida son asignados para seguir a la secuencia de números binarios de 000 a 111. Por lo tanto cada palabra codificada de salida corresponde a un pequeño rango (Q) de valores de entrada analógicos.

Hay varios puntos importantes concernientes a la función de transferencia de la figura 10. Primero la resolución del convertidor es definida como el número de estados de salida. El número de estados de salida para un cuantizador es 2^n donde n es el número de bits.

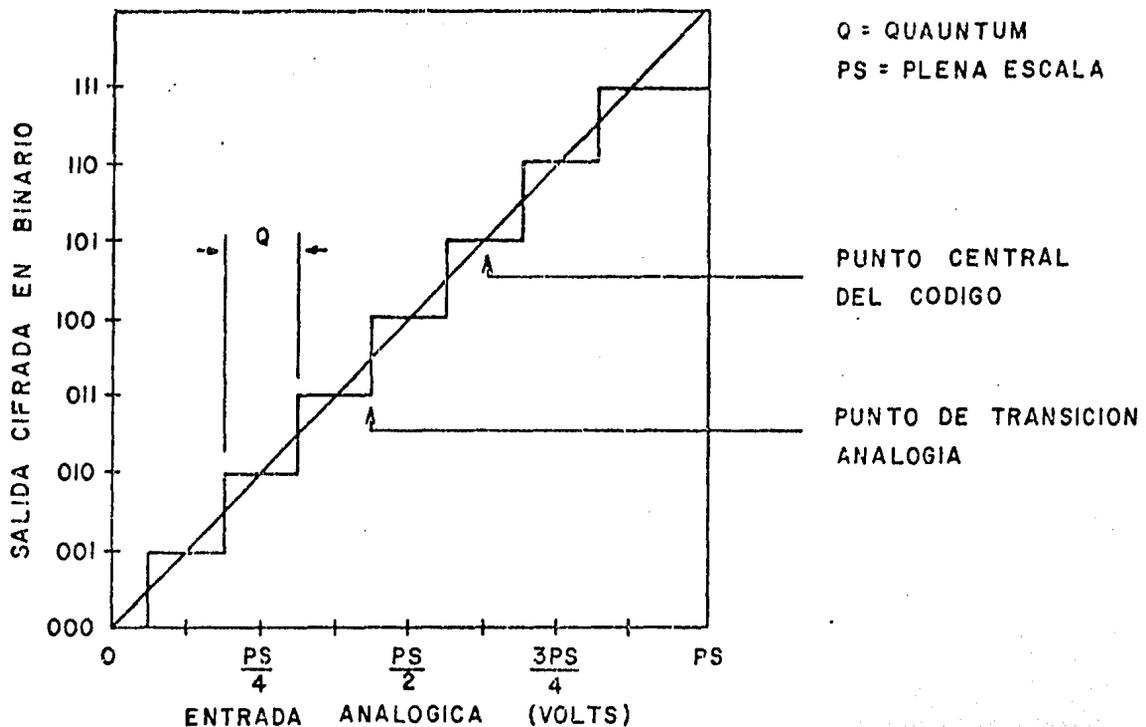


Fig. 10.- Función de Transferencia de un CAD Ideal.

Como mostramos en el diagrama hay $2^n - 1$ puntos de decisión analógicos (o niveles de cambio) en la función de transferencia. Los puntos de decisión analógicos están precisamente a la mitad entre los puntos centrales codificados.

En cualquier parte del rango de entrada del convertidor, hay un pequeño rango de valores analógicos con los cuales se produce el mismo código de salida. Este pequeño rango es la diferencia analógica de voltaje entre cualesquiera dos puntos adjuntos de decisión analógica y es conocido como el tamaño de cuantización analógico o Quantum (Q), en general se calcula dividiendo el rango analógico a plena escala entre el número de estados de salida.

$$Q = \frac{RPS}{2^n}$$

donde RPS es el rango a plena escala, Q es la diferencia analógica más pequeña que puede ser resuelta o distinguida por el convertidor.

Es de notar que la función de transferencia del CAD nunca alcanza la plena escala. Esto se debe a que la plena escala es un valor nominal que permanece al mismo valor sin importarle la resolución del convertidor, por ejemplo supongamos que un CAD tiene un rango de salida de 0 a 10 volts entonces 10 volts es la plena escala, si el convertidor tiene una resolución de 8 bits su máxima salida será $(2^n - 1/2^n) \times 10V = 9.9612V$. En general la máxima salida es un bit menos que el indicado para el voltaje a plena escala. Esto es debido a que el cero analógico es uno de los 2^n estados de salida del convertidor, por lo cual hay únicamente $2^n - 1$ estados de salida arriba de cero. Para alcanzar la plena escala se requieren $2^n + 1$ estados para el convertidor, haciendo necesario un bit de codificación adicional. Por simplicidad y conveniencia los convertidores de datos siempre tienen el rango analógico definido como su plena escala nominal en vez de su plena escala real dada por su resolución particular.

2.3 RUIDO DE CUANTIZACION Y ALCANCE DINAMICO

Desafortunadamente un CAD tiene un error irreducible, el cual se denomina ruido de cuantización o incertidumbre de cuantización, debido a que un convertidor de datos no puede distinguir una diferencia analógica menor que Q su salida en cualquier punto puede tener un error no mayor que $\pm Q/2$.

Si la entrada del convertidor es movida a través de un quantum (Q) de valores analógicos y la diferencia entre la entrada y la salida es registrada, resulta una función de error como la mostrada en la figura 11 esta función es llamada el error de cuantización y puede ser reducida únicamente incrementando el número de estados de salida (aumentando la resolución) del convertidor, en otras palabras haciendo la cuantización más fina.

Para una entrada analógica dada el error de salida puede variar únicamente de 0 a $\pm Q/2$, el error es cero únicamente en los valores analógicos correspondientes a los puntos centrales del código.

Como muchas otras fuentes de ruido el valor promedio es cero pero su valor RMS (raíz cuadrática media) se determina a partir de la característica triangular de la función de error y su valor es $E(\text{rms}) = Q/\sqrt{12}$. Entonces un sistema de conversión de datos puede verse como un procesador de señales que suma ruido a la señal original en virtud del proceso de cuantización. Debido a que este ruido es una parte inherente del proceso de cuantización no puede ser eliminado excepto con un convertidor de resolución infinita lo cual no es posible.

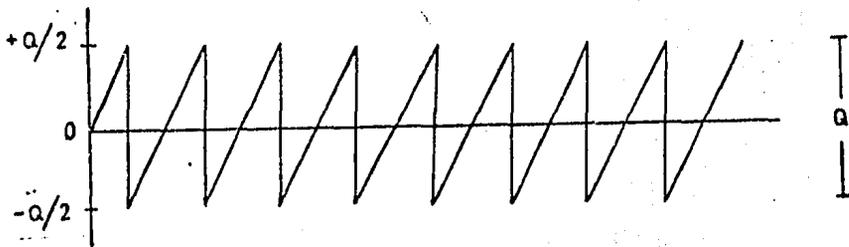


Fig. 11.- Ruido de Cuantización.

En muchas aplicaciones de procesamiento de señales computarizadas es necesario determinar la relación señal a ruido (S/N), la cual es una relación de potencia expresada en decibeles. Puede calcularse de la razón de la señal pico a pico al ruido rms como sigue:

$$\begin{aligned} \text{RAZÓN S/N (db)} &= 10 \log \left[\frac{2^n Q}{Q/\sqrt{12}} \right]^2 = 20 \log 2^n + 20 \log \sqrt{12} = \\ &= 6.02 n + 10.8 \end{aligned}$$

La ecuación anterior nos indica que la razón S/N se incrementa por un factor de aproximadamente 6 db para cada bit adicional de resolución.

El alcance dinámico de un convertidor de datos, es otro término útil que se encuentra de la relación entre la plena escala y Q. Esta relación es la misma que el número de estados del convertidor:

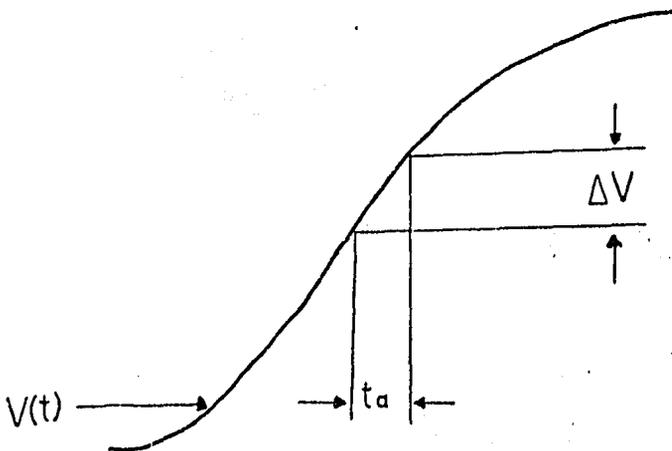
$$\text{ALCANCE DINAMICO (db)} = 20 \log 2^n = 20 n \log 2 = 6.02 n$$

Por lo tanto simplemente multiplicando el número de bits de resolución por 6 db obtenemos el rango dinámico.

2.4 TIEMPO DE APERTURA

Un convertidor analógico a digital requiere de un pequeño pero significativo lapso de tiempo para ejecutar las operaciones de cuantización y codificación. El tiempo requerido para hacer la conversión depende de varios factores: la resolución del convertidor, la técnica de conversión y la velocidad de los componentes empleados en el convertidor. La velocidad del convertidor requerida para una aplicación particular depende de las variaciones en tiempo de la señal a ser convertida y de la exactitud deseada.

El tiempo de conversión es frecuentemente referido como tiempo de apertura. En general el tiempo de apertura se refiere a la incertidumbre de tiempo (o tiempo de ventana) para hacer una medida y resulta en una incertidumbre o error en la amplitud medida si la señal esta cambiando durante ese tiempo.



$$\Delta V = \frac{dV(t)}{dt} \cdot t_a$$

t_a = TIEMPO DE APERTURA

ΔV = INCERTIDUMBRE EN LA AMPLITUD

Fig. 12.- Tiempo de Apertura e Incertidumbre en la Amplitud.

Como mostramos en la figura 12, la señal de entrada del CAD cambia por (ΔV) durante el tiempo de apertura (t_a) en el cual la conversión es realizada. El error puede considerarse como un error en la amplitud o un error en el tiempo, los dos están relacionados como sigue:

$$\Delta V = t_a(dV(t)/dt)$$

donde $dV(t)/dt$ es la razón de cambio con el tiempo de la señal de entrada.

Se debe hacer notar que ΔV representa el máximo error debido al cambio de la señal con el tiempo, ya que el error real depende de como se haga la conversión. En algún punto dentro del tiempo (t_a) la amplitud de la señal corresponde exactamente a la palabra digital codificada de salida.

Es importante para el diseñador conocer que tiempo de apertura se requiere para conservar el error del sistema en un valor tolerable en términos de la resolución de su convertidor. El máximo tiempo de apertura que puede permitirse con una exactitud de un bit en la conversión de una señal analógica con una resolución de 4 bits, 6 bits, ..., 16 bits, se da en las gráficas I y II. La gráfica I muestra el tiempo de apertura como una función de la razón

de cambio de la señal en el tiempo para señales que tienen 10 volts a plena escala o pico a pico. La gráfica II da el tiempo de apertura como una función de la frecuencia para una señal senoidal.

Las dos gráficas se derivan a partir de la figura 12, el error fraccional (e) se define como la relación de ΔV al voltaje a plena escala V_{ps} , esto es:

$$e = \frac{t_a \cdot \frac{dV}{dt}}{V_{ps}} \quad \longrightarrow \quad t_a = \frac{e \cdot V_{ps}}{dV/dt}$$

si ΔV se mantiene a 1 bit, y V_{ps} es codificada en n bits entonces $e=1/2^n$, y

$$t_a = \frac{V_{ps}}{2^n (dV/dt)}$$

Esta es la ecuación para la familia de líneas de la gráfica I con $V_{ps} = 10$ volts y $n=4,6,\dots,16$.

Para una señal senoidal, la cual tiene una máxima razón de cambio en el cruce por cero:

$$\Delta V = t_a \left[\frac{d}{dt} \left(\frac{1}{2} \right) (V \text{ sen } \omega t) \right]_{t=0} = \frac{V \omega t_a}{2}$$

donde V es el valor de la señal pico a pico. Esto da:

$$t_a = \frac{2 \Delta V}{\omega V} = \frac{e}{\pi f} = \frac{1}{2^n \pi f}$$

para un bit de error y n bits de resolución. Esta es la ecuación para la familia de líneas de la gráfica II.

Si el error asignado es de dos bits en vez de uno entonces $e=2/2^n$ y el tiempo de apertura se duplica. Un error de 3 bits da $e=4/2^n$ y así sucesivamente, entonces incrementar en un bit el error es equivalente a disminuir un bit en resolución en las gráficas.

Un resumen de las características más importantes para los convertidores de datos con las resoluciones más comunes se dan en la tabla 3.

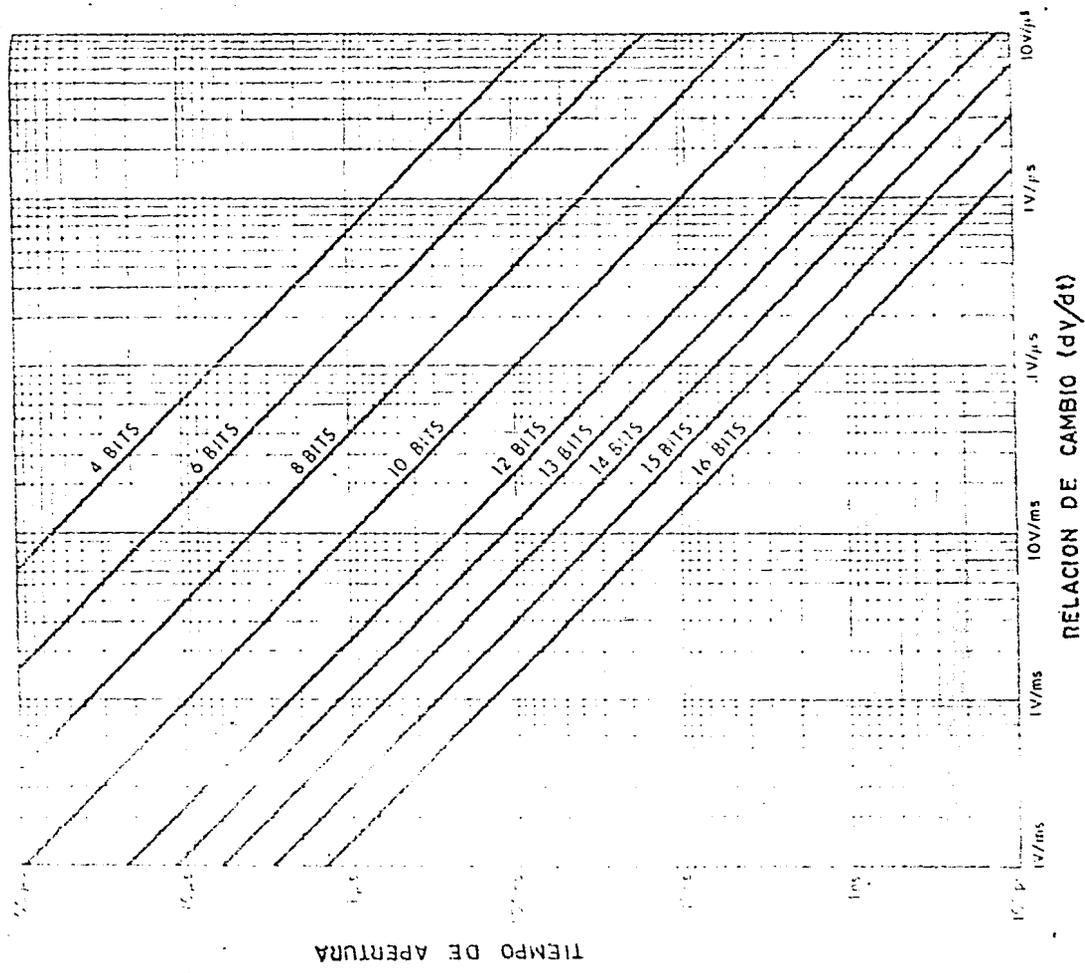
2.5 CONVERTIDORES DE DATOS NO IDEALES

Los convertidores analógicos a digitales exhiben un número de desviaciones de la función de transferencia ideal antes descrita. Estas desviaciones incluyen errores de desbalance, ganancia y linealidad (figura 13), todas ellas aparecen simultáneamente en cualquier convertidor de datos, sumándose a esto, está la característica de que dichos errores cambian con el tiempo y la temperatura. En la figura 13(a) la función de transferencia del CAD está desplazada a la derecha de la función ideal, este error de desbalance es definido como el valor analógico que la función de transferencia se aparta de cero, es generalmente especificado en milivolts o en un porcentaje de la plena escala.

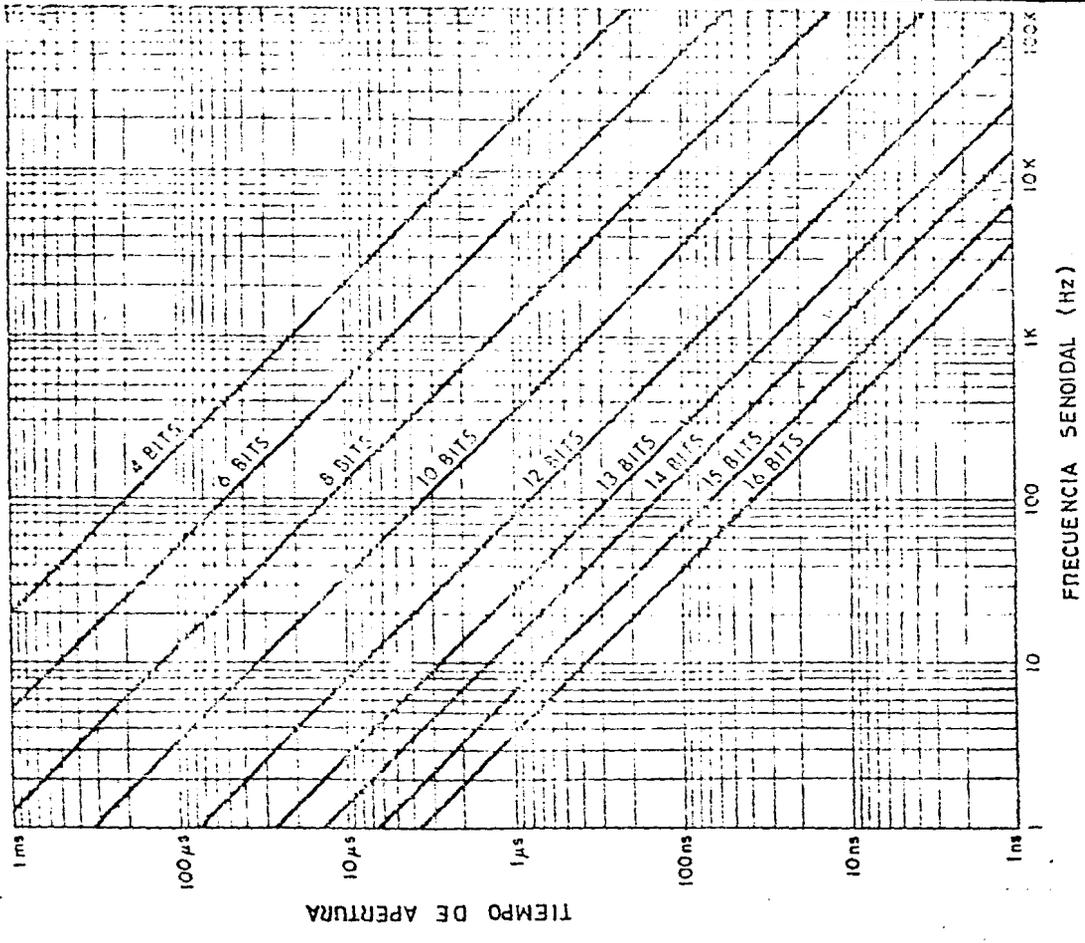
En la figura 13(b) la función de transferencia del convertidor tiene una pendiente diferente de la función ideal. Este error de ganancia o factor de escala es definido como la diferencia entre las pendientes real e ideal de la función de transferencia, el error de ganancia se expresa como un porcentaje del valor de la pendiente ideal.

El error de linealidad se muestra en la figura 13(c) y se nota como una curvatura de la línea recta ideal. El error de linealidad o no linealidad es la máxima desviación de la función de transferencia real a la línea recta dibujada entre cero y la plena escala, es expresada como un porcentaje o en bits menos significativos tal como $\pm 1/2$ bms (bit menos significativo).

La figura 14(a) muestra el error total de un CAD no ideal el cual tiene errores de desbalance, ganancia, cuantización y no linealidad.



GRAFICA I



GRAFICA II

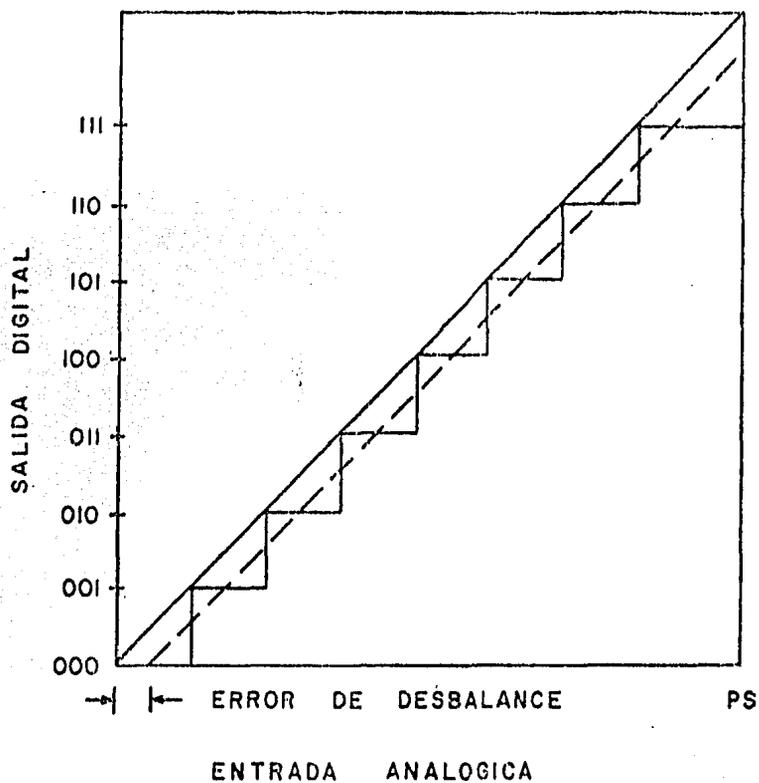


Figura 13 (a). Error de desbalance en un convertidor A/D.

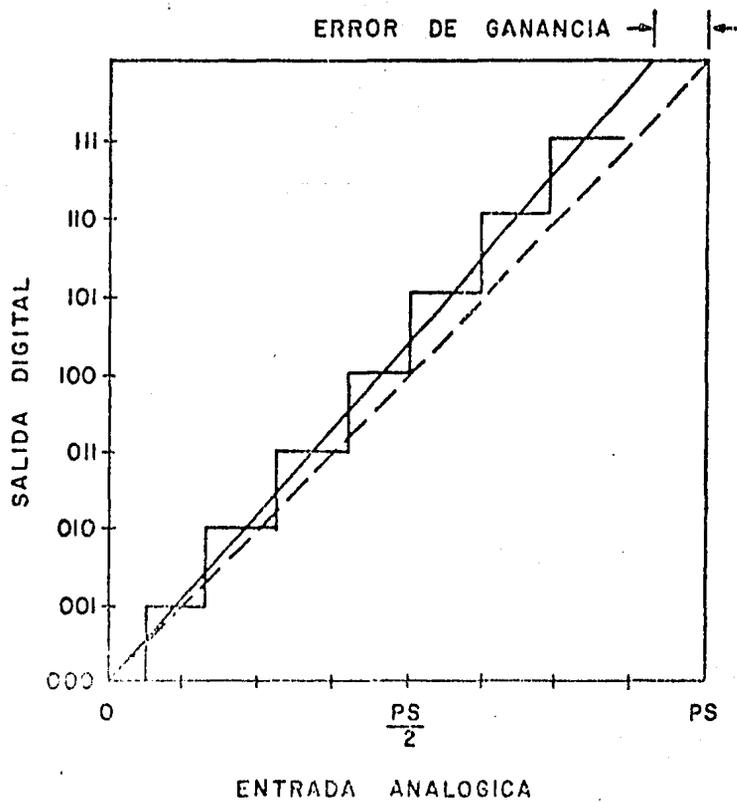


Figura 13 (b). Error de ganancia en un convertidor A/D.

TABLA 3

RESOLUCION (n)	ESTADOS (2 ⁿ)	PESO BINARIO DEL bms (2 ⁻ⁿ)	Q PARA 10 V PS	RAZON S/N (dB)	ALCANCE DINAMICO (dB)	MAXIMO VALOR DE LA SALIDA PARA 10 VPS
4	16	0.0625	0.625 V	34.9	24.1	9.3750
6	64	0.0156	0.156 V	46.9	36.1	9.8440
8	256	0.00391	39.1 mV	58.9	48.2	9.9609
10	1024	0.000977	9.76 mV	71.0	60.2	9.9902
12	4096	0.000244	2.44 mV	83.0	72.2	9.9976
14	16384	0.000061	610 μ V	95.1	84.3	9.9994
16	65536	0.0000153	153 μ V	107.1	96.3	9.9998

Otro tipo de error menos importante es el error de linealidad diferencial y se debe al aumento de desviación de cualquier quantum de su valor ideal. En otras palabras es la desviación respecto al valor ideal de la diferencia analógica entre dos códigos adjuntos del valor ideal de $RPS/2^n$. Si un convertidor de datos tiene $\pm 1/2$ bms de error de linealidad diferencial máximo, entonces el tamaño real de cualquier quantum en la función de transferencia estará entre $1/2$ bms y $3/2$ bms, cada etapa analógica tiene un tamaño que cae dentro del rango $1 \pm 1/2$ bms. La figura 14 (b) ilustra esta definición. Las primeras dos etapas mostradas tienen el valor ideal de $Q = RPS/(2^n)$. La siguiente etapa tiene únicamente un valor de $Q/2$ y la siguiente de $3Q/2$, estas dos etapas están al límite de la especificación de $\pm 1/2$ bms de error de linealidad diferencial máximo.

Cuando el error de linealidad diferencial de un CAD es mayor que ± 1 bms la salida puede tener un código perdido, si el error de linealidad diferencial es menor que ± 1 bms esto asegura que no hay pérdida de códigos. La figura 14(c) muestra la función de transferencia de un CAD con un error de linealidad diferencial mayor que ± 1 bms que causa que un código sea saltado en la salida.

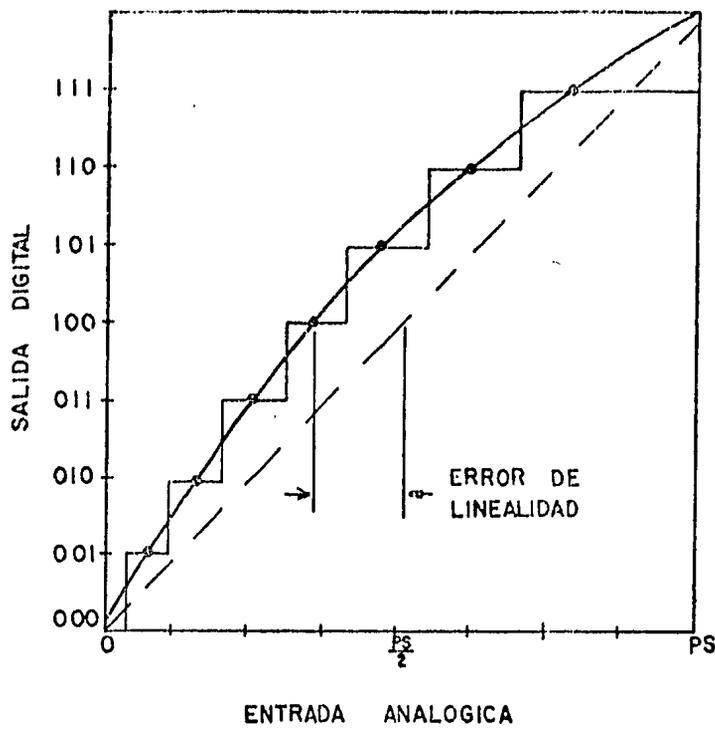


Figura 13 (c). Error de linealidad en un C. A. D.

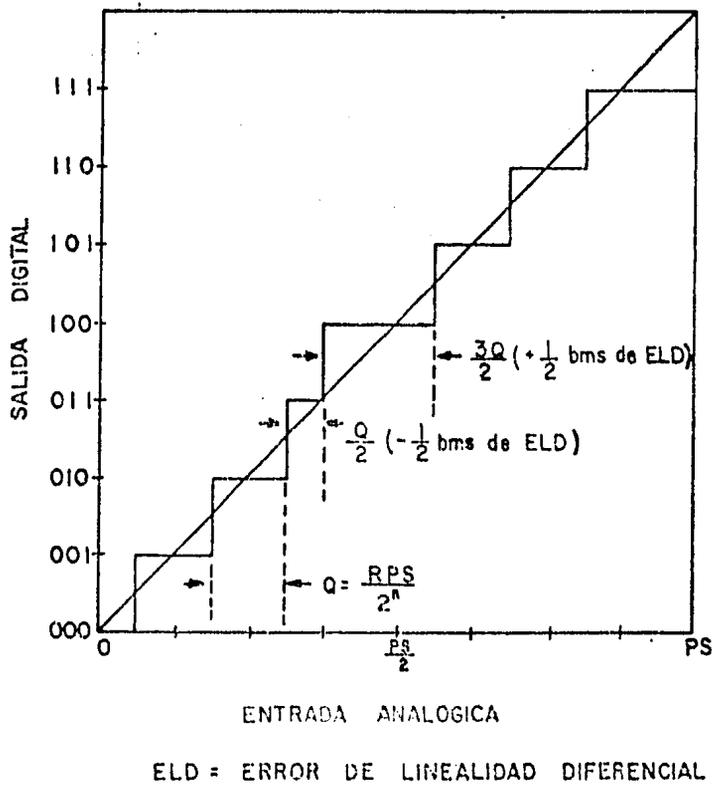


Figura 14 (b). Error de linealidad diferencial de un C. A. D.

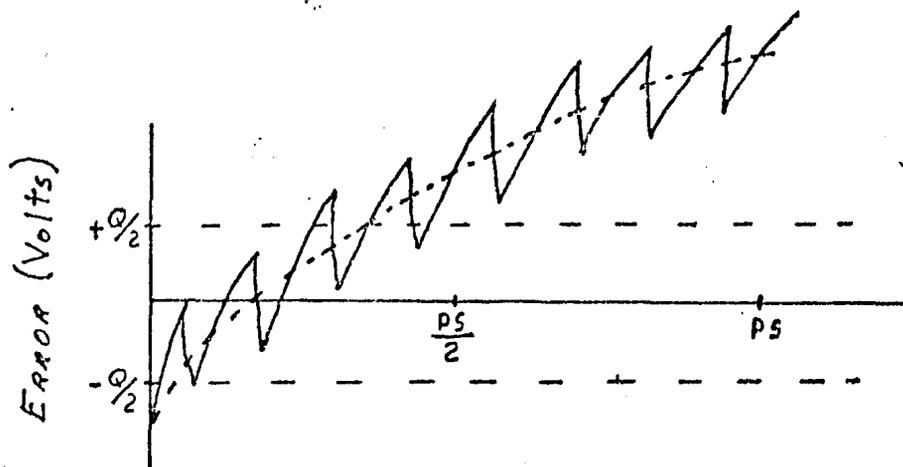


Figura 14 (a). Error total de un C. A. D.

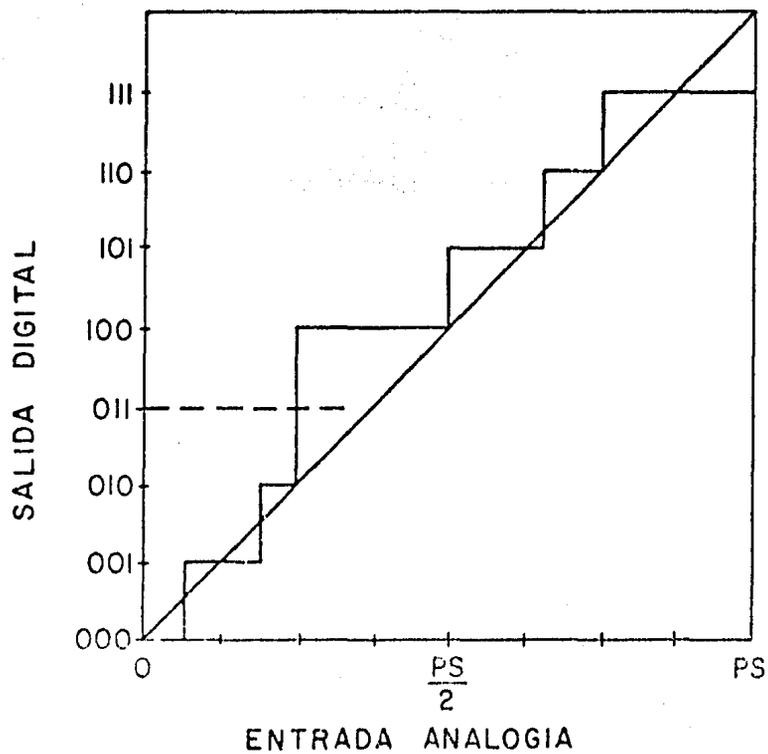


Figura 14 (c). Código mezclado en la salida de un C. A. D.

2.6 SELECCION Y DISEÑO DEL CONVERTIDOR A/D

Los convertidores analógicos a digitales emplean una amplia variedad de técnicas para realizar la conversión sin embargo pocas de estas técnicas son usadas hoy en día, de las múltiples técnicas disponibles la selección depende de la resolución y velocidad requeridas.

En la tabla 4 se da una comparación entre las distintas técnicas de conversión A/D más utilizadas. Dicha tabla muestra que la velocidad de conversión del convertidor A/D del tipo de contador de rampa puede ser incrementada dividiéndolo en dos secciones, es decir haciendo las etapas incrementales en el proceso de conversión de dos diferentes tamaños. Si el contador de rampa es dividido en más etapas, hasta alcanzar finalmente n etapas en el proceso de conversión este se convierte en un convertidor A/D de aproximaciones sucesivas. Un mayor incremento en la velocidad de conversión puede lograrse si más de un bit de la palabra digital es cifrado por etapa. Esto es lo que hace el convertidor A/D de aproximaciones sucesivas simultáneas, también llamado de propagación. Finalmente el más rápido y el más complejo es el convertidor A/D simultáneo (flash), el cual realiza la conversión en una sola etapa, se necesitan $2^n - 1$ comparadores para lograr este tipo de convertidor.

Como ya hemos mencionado se necesita para este sistema un convertidor A/D lo más rápido posible, pero al mismo tiempo también es deseable hacerlo tan económico como se pueda, el convertidor simultáneo (flash) se descartó desde un principio debido precisamente a que es muy costoso ya que para obtener 4 bits de resolución es necesario utilizar 15 comparadores más la lógica de conversión, se comenzó probando diversos tipos de convertidores A/D del tipo de aproximaciones sucesivas obteniéndose en el mejor de los casos un tiempo de conversión de 2 microsegundos, finalmente se decidió probar un convertidor A/D del tipo de propagación el cual resultó ser mucho más rápido e igual de económico que los del tipo de aproximaciones sucesivas, un diagrama a bloques de este convertidor se da en la figura 15.

TABLA 4 COMPARACION DE CONVERTIDORES A/D

Contador de Rampa

Cada etapa incremental en la rampa de voltaje es igual a el valor del bms. Para una plena escala V_{ps} se requieren $2^n - 1$ etapas para completar la conversión, donde n = número de bits de la palabra digital.

Contador de Rampa de Dos Secciones

La primer etapa más grande que las siguientes determina el BMS (bit más significativo), etapas más pequeñas que la primera determinan el valor de los siguientes bits. Para una plena escala V_{ps} se requieren $(2^n - 1)/(2)$ etapas para completar la conversión.

Contador de Rampa de n-secciones = Aproximaciones Sucesivas

Cada etapa es diferente en tamaño. Cada bit desde el BMS hasta el bms es comparado con el voltaje analógico de entrada. Cuando se completa la conversión, los bits que exceden la entrada analógica permanecen en uno. Se requieren $(2^n - 1)/(n) = n$ etapas para completar la conversión.

Aproximaciones Sucesivas Simultaneas

Se compara el BMS con el voltaje analógico de entrada y los voltajes de referencia son cambiados dependiendo si es uno el BMS hasta finalmente determinar el bms. Se necesitan dos o más etapas, dependiendo de cuantos bits son convertidos por etapa. En general se necesitan n/N etapas para completar una conversión, donde N es el número de bits convertidos por etapa.

Simultaneo (flash)

Se compara el voltaje analógico de entrada contra $2^n - 1$ niveles de voltaje de referencia fijos. Los niveles excedidos por el voltaje de entrada son detectados y se codifica la palabra digital equivalente. Se requiere una etapa para realizar el proceso de conversión.

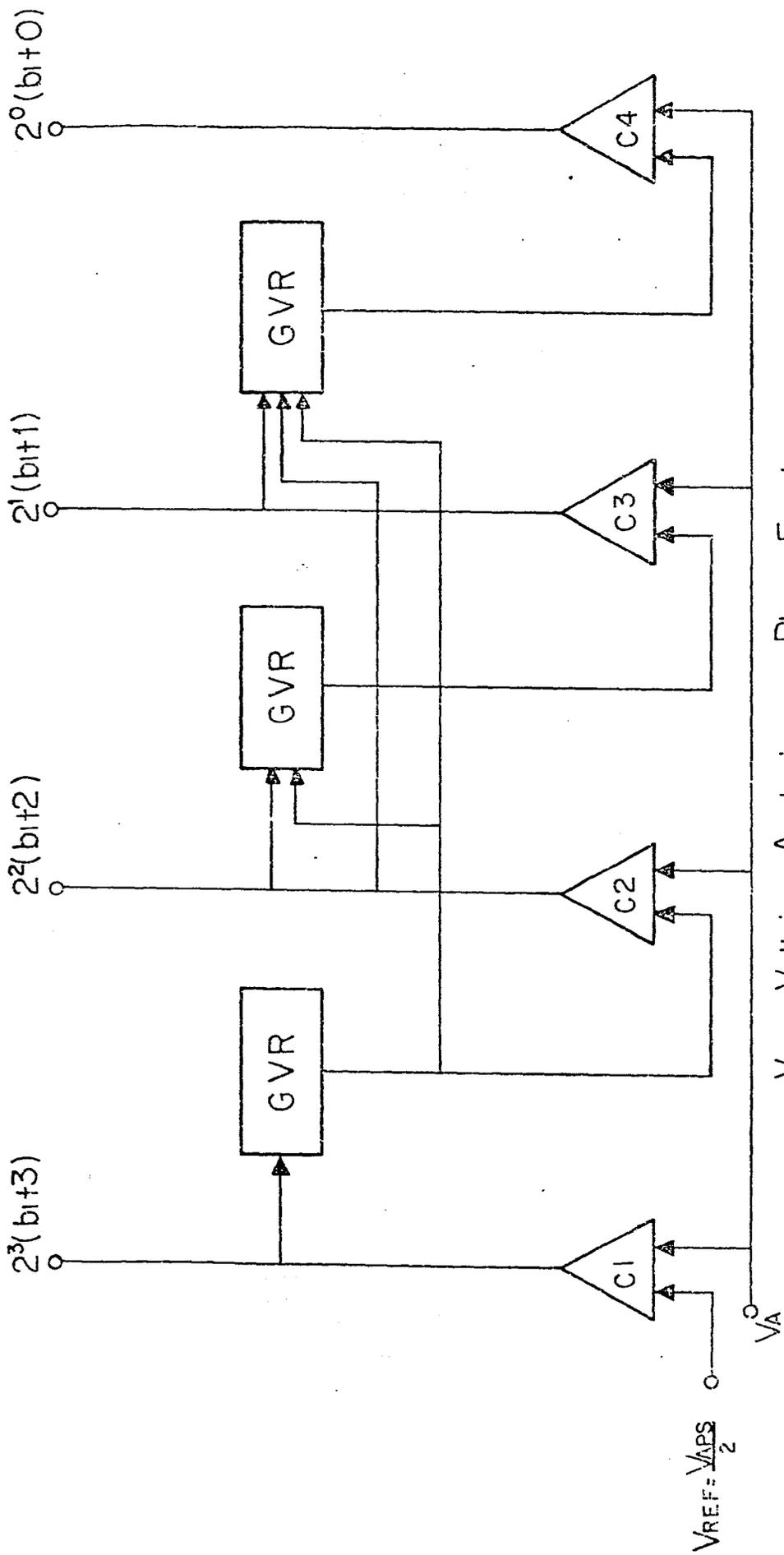
LENTOS Y MENOS
COMPLEJOS



DIRECCION DE
INCREMENTO DE LA
VELOCIDAD DE
CONVERSION Y
AUMENTO DE LA
COMPLEJIDAD DEL
EQUIPO



RAPIDOS Y MAS
COMPLEJOS



V_{APS} = Voltaje Analógico a Plena Escala

V_A = Voltaje Analógico

GVR = Generador de Voltaje de Referencia

V_{REF} = Voltaje de Referencia

FIGURA 15.- CONVERTIDOR A/D DE APROXIMACIONES SIMULTANEAS SUCCESIVAS.

2.7 CONSTRUCCION Y ESPECIFICACIONES DEL CONVERTIDOR A/D

El convertidor que se utilizó finalmente es un convertidor del tipo de propagación y se muestra en la figura 16, las partes críticas de este circuito son los comparadores los cuales deben ser muy rápidos y los interruptores los cuales deben ser no solo muy rápidos sino también ser capaces de manejar el voltaje de referencia sin distorcionarlo. Este convertidor A/D es del tipo de propagación el cual usa un comparador por bit de resolución, además cada bit es convertido en secuencia comenzando con el más significativo. Con un voltaje de referencia de $-2.5V$ el circuito de la figura 16 puede manejar entradas analógicas de 0 a 5 volts pico a pico.

En la continuación se describe el funcionamiento del convertidor. El comparador C1 hace la decisión de cambio de estado a $+2.5V$ es decir cuando el voltaje analógico de entrada excede $+2.5V$ la salida del comparador es verdadera (1 lógico). El nivel de cambio de estado del comparador C2 es seleccionado para una entrada de $+1.25V$ o $+3.75V$ dependiendo del estado de salida del comparador C1. Si la entrada analógica excede el voltaje de $+3.75V$ la salida del comparador C2 es verdadera. Sin embargo si el voltaje de la entrada analógica está entre $+2.5V$ y $+3.75V$, la salida del comparador C2 es falsa (0 lógico), una entrada analógica entre $+1.25V$ y $+2.5V$ produce a la salida del comparador C2 un uno lógico y para señales analógicas de entrada con voltaje pico a pico menor que $+1.25V$ la salida de dicho comparador es cero.

Como puede notarse entonces, la salida del comparador C1 cambia el nivel de decisión del comparador C2 via un interruptor electrónico (S1). El interruptor S1 conecta un extremo del divisor de resistencias del comparador C2 a tierra cuando la salida del comparador C1 es cero y a $-2.5V$ de referencia cuando es uno. Por lo cual el nivel de cambio del segundo comparador tiene alguno de los dos siguientes valores $+3.75V$ o $+1.25V$.

ESCALA	NUMERO DE COMPARADOR			
	1	2	3	4
PS-1bms			+4.375 V	+4.687 V
3/4 PS		+3.750 V		+4.062 V
1/2 PS	+2.500 V		+3.125 V	+3.437 V
1/4 PS		+1.250 V	+1.875 V	+2.187 V
1 bms			+0.625 V	+0.937 V
				+0.312 V

Tabla 5.- Niveles de Cambio (Ideales) de los Comparadores Para un CAD de 4 Bits del Tipo de Propagación.

Este proceso continua para los comparadores C3 y C4. Cada nivel de cambio sucesivo es seleccionado por el resultado de todas las decisiones previas de los comparadores. Entonces el comparador C3 tiene cuatro posibles niveles de cambio: +0.625V, +1.875V, +3.125V y +4.375V, en la tabla 5 se da un resumen de los niveles de cambio de cada comparador.

ESCALA	NUMERO DE COMPARADOR			
	1	2	3	4
PS-1 bms			+4.324 V	+4.630 V
3/4 PS		+3.650 V		+3.967 V
1/2 PS	+2.572 V		+3.103 V	+3.370 V
1/4 PS		+1.303 V	+1.924 V	+2.225 V
1 bms			+0.705 V	+1.027 V
				+0.394 V

Tabla 6.- Niveles de Cambio (Reales) de los Comparadores.

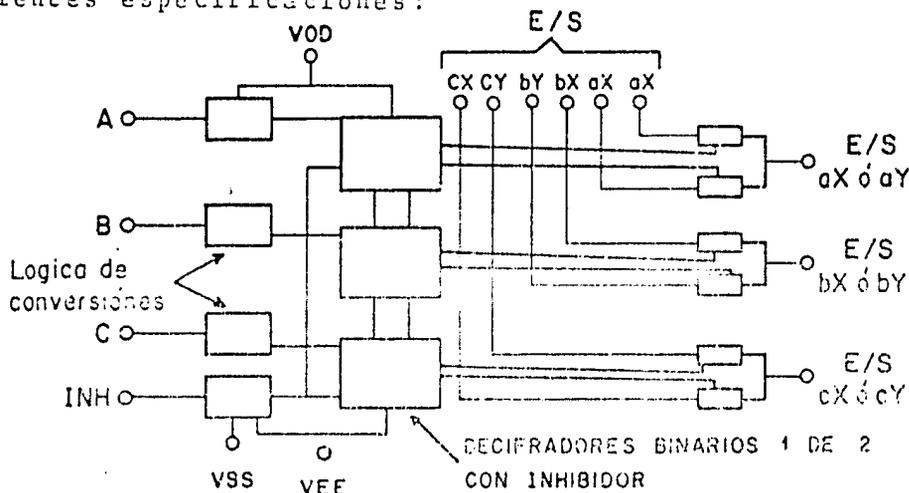
El comparador utilizado fue el Ua760 el cual es un comparador de alta velocidad cuyas especificaciones son las siguientes:

- Voltaje de Alimentación $V^+ = +8V$, $V^- = -8V$
- Corriente de Entrada 10 mA
- Voltaje de Entrada $V^+ > V_e > V^-$
- Tiempo de Respuesta 30 nseg máximo
- Voltaje de Desbalance de Entrada 6 mV máximo

Para realizar los interruptores se utilizó el multicanalizador CD4053B el cual consta de tres interruptores controlados independientemente con dos estados de salida cada uno, la figura 17 muestra un diagrama funcional y la tabla de verdad del multicanalizador. Las especificaciones del CD4053B son las siguientes:

- Voltaje de Alimentación (V_{DD}) -0.5V a +20V
- Rango de Voltaje de Entrada -0.5V a $V_{DD} + 0.5V$
- Corriente de Entrada 10 mA
- Tiempo de Propagación 225 nseg.
- Frecuencia de Corte(-3 db) 30 MHz

Utilizando el comparador y multicanalizador mencionados así como resistencias de baja tolerancia (1) para evitar desbalances en los voltajes de referencia, se construyó el circuito de la figura 16 el cual tiene las siguientes especificaciones:



INH	A, B, C	Salida
0	0	aX, bX, cX
1	1	aY, bY, cY
1	X	Ninguna

X: No importa

Fig. 17.- Diagrama funcional del Multicanalizador CD4053B.

Voltaje de Alimentación	$V^+ = 8V$, $V^- = -8V$
Voltaje Analógico de Entrada	$V^+ \geq V_e \geq V^-$
Voltaje de Referencia	$V_{ps}/2$
Tiempo de Conversión	$0.4 \mu\text{seg.}$
Error de Ganancia	1.2%
Error de Linealidad	$2\% V_{ps}$
Error de Desbalance	$\pm 1/2 \text{ bms}$
Error de Linealidad Diferencial	$\pm 1/4 \text{ bms}$
Resolución	4 bits
Error de Cuantización	$\pm 1/2 \text{ bms}$
Relación S/N	34.9 db
Rango Dinámico	24.1 db
Máxima salida para una entrada analógica con $V_{ps} = 5V$	4.63 V

De las especificaciones anteriores se nota que el tiempo de conversión obtenido fue de $0.4 \mu\text{seg.}$ lo que nos permite muestrear la señal analógica que se va a convertir a una frecuencia máxima de 2.5 MHz.

En la gráfica III se muestra la función de transferencia del convertidor obtenida a partir de los resultados experimentales, en dicha gráfica se muestran también los distintos tipos de errores que tiene el convertidor, en la tabla 6 se dan los voltajes de transición analógicos obtenidos experimentalmente.

En el capítulo siguiente se tratará el circuito que realiza el muestreo de la imagen y de la manera en que se almacenará esta después de ser digitalizada.

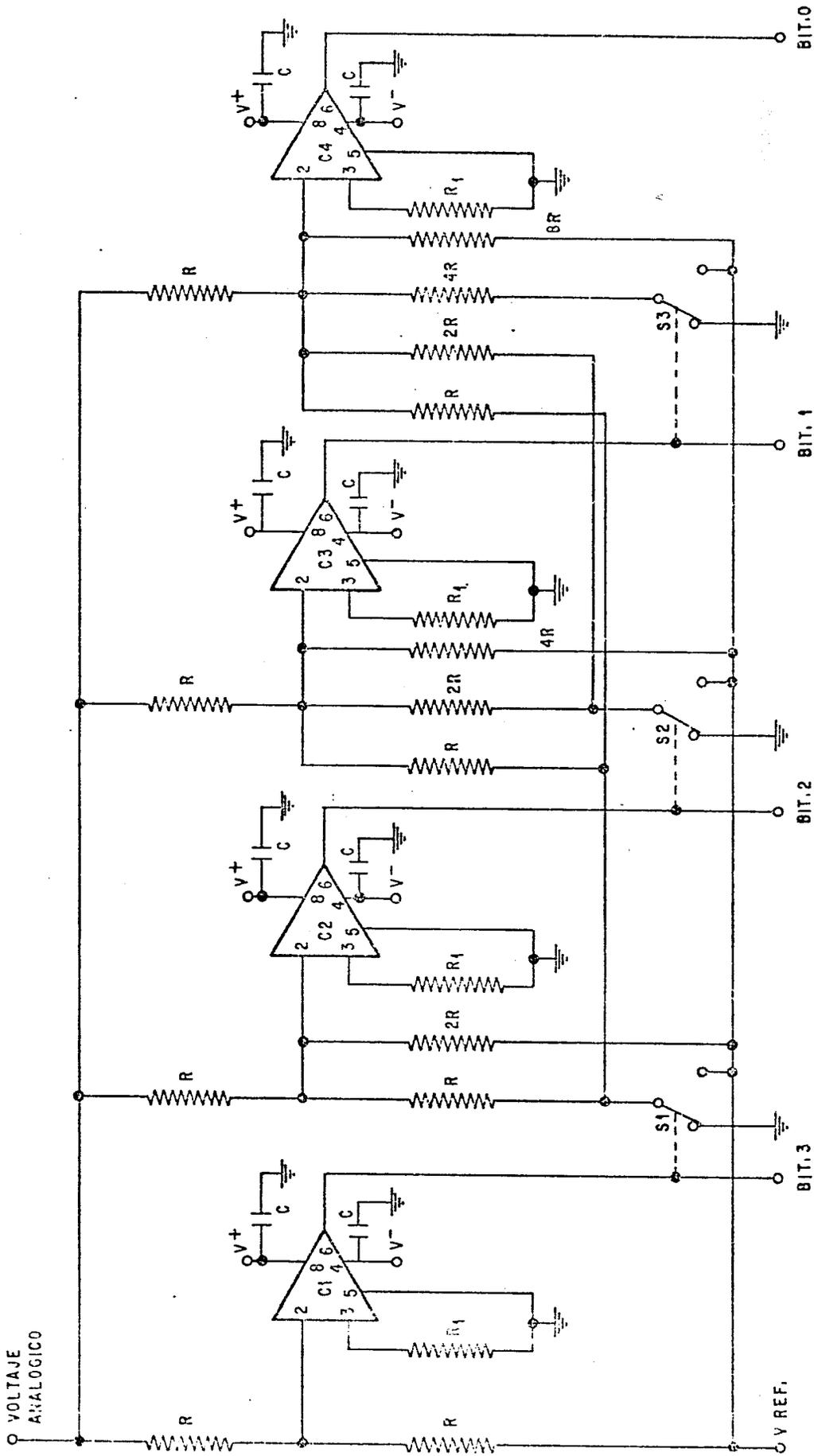
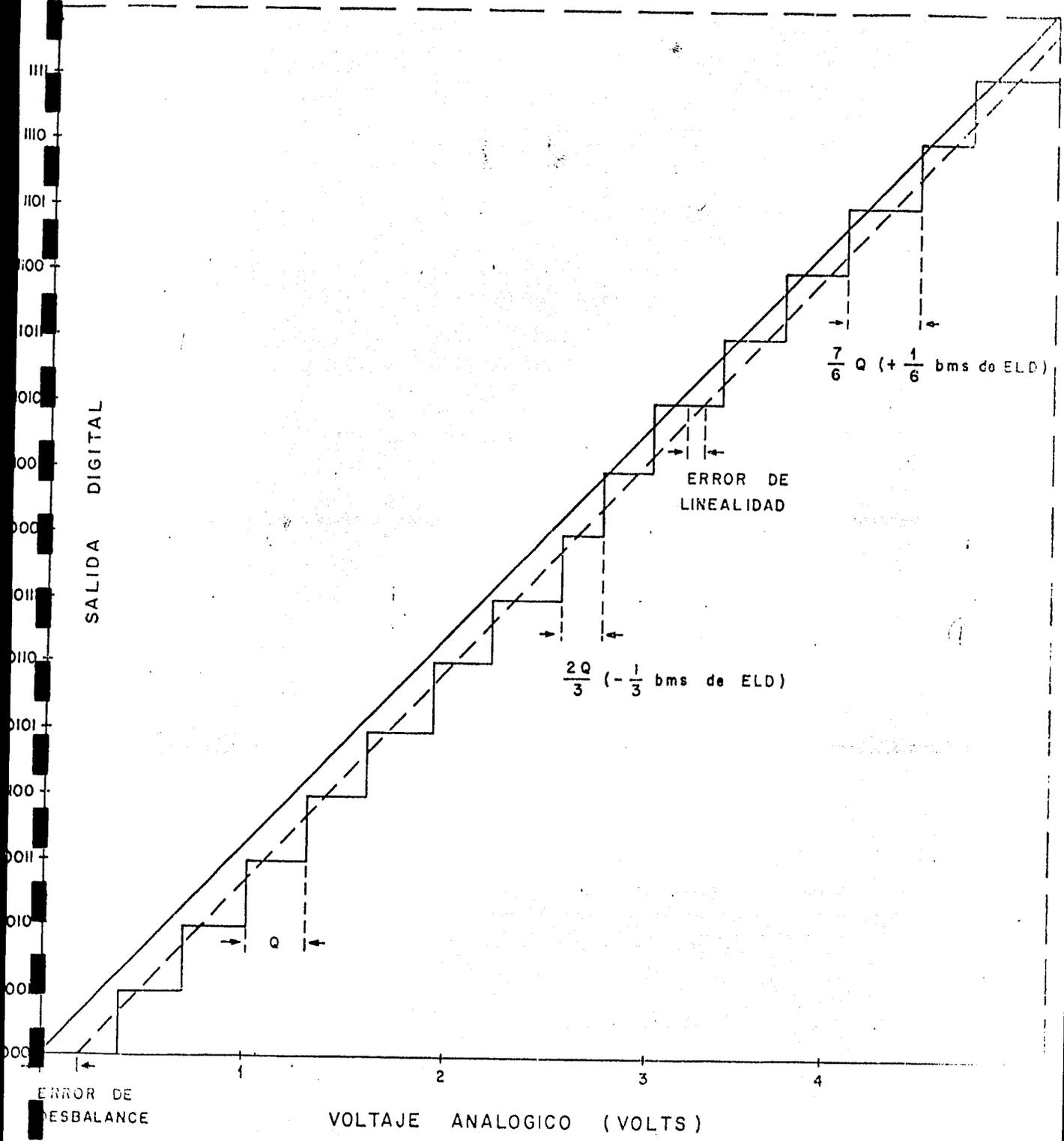


FIGURA 16. - CONVERTIDOR A/D DE PROPAGACION



3 MUESTREADOR

3.1 INTRODUCCION

A fin de obtener la información visual correspondiente a un elemento de imagen es necesario contar con un transductor (detector) de imagen, como ya se mencionó anteriormente existe una gran variedad de dispositivos que se usan como tal. Para el desarrollo de este trabajo se escogió como transductor de imagen una cámara del tipo de vidicon por las razones anteriormente expuestas.

Este tipo de transductor también posee sus limitaciones, la de mayor importancia es que proporciona la información de la imagen muy rápidamente. Una solución sería disminuir la rapidez de exploración de la cámara del promedio normal de 60 campos por segundo. Desafortunadamente disminuir la rapidez de exploración representa serias desventajas:

1) Las cámaras y equipo de monitoreo no convencionales incrementan el costo del sistema.

2) Algunos tipos de material con que se fabrica el tubo no responden también a exploraciones tan lentas, degradando la calidad de la señal de video.

Antes de dar soluciones alternativas a este problema vamos a mencionar las características técnicas del proceso de muestreo de una cámara de televisión, como ya mencionamos la imagen de televisión es generada por un haz de electrones que produce la señal de video, para lo cual todos los elementos de la imagen son explorados en un orden preestablecido. Esta exploración comienza en el ángulo superior izquierdo de la imagen y todos los elementos son

explorados de izquierda a derecha y de arriba hacia abajo, línea tras línea formando una figura entrelazada de líneas pares e impares. Este método adoptado universalmente recibe el nombre de exploración lineal horizontal, la figura 18 muestra dicho método de exploración.

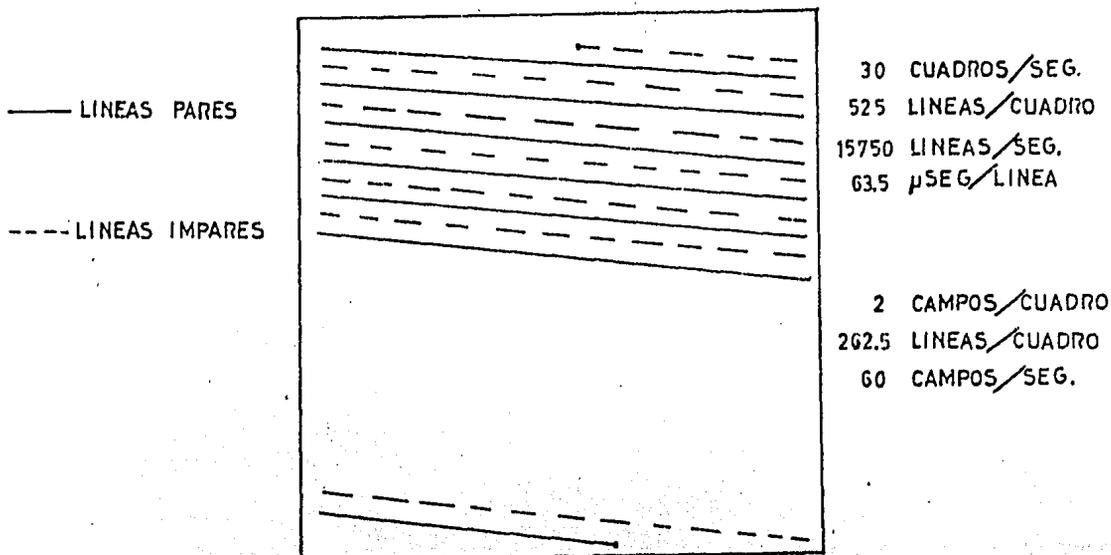


Fig. 18.- Proceso de Muestreo de una Imagen por Medio de una Cámara de Televisión.

Así pues la cámara de televisión para efectuar el muestreo divide la imagen en 525 líneas=un cuadro=un par de campos, de aquí que un cuadro tenga dos campos uno de líneas de orden par y el otro de orden impar. El ritmo de repetición de cada cuadro es de $1/30$ de segundo y de cada campo de $1/60$ de segundo, por lo que se tiene que la frecuencia de campo es de 60 Hz (frecuencia de exploración vertical), y la frecuencia de cuadro es de 30 Hz, la frecuencia de exploración horizontal de línea es de 15750 Hz, esto se obtiene debido a que en cada campo hay 262.5 líneas y como el tiempo correspondiente a un campo es de $1/60$ de segundo. Entonces el número de líneas por segundo es $(262.5) \times 60 = 15750$ por lo cual el tiempo necesario para cada exploración horizontal de línea es de $1/15750$ segundos, lo cual da aproximadamente 63.5μ seg. La forma de onda típica de la señal de video se describe en la figura 19.

conversión pero su precio es muy alto, también existen convertidores con un precio más accesible pero su tiempo de conversión es del orden de milisegundos. Por lo que si utilizásemos un convertidor de este tipo no podríamos digitalizar ni siquiera una muestra por línea.

Es debido a estas restricciones que anteriormente hemos mencionado (al hablar del convertidor A/D), que se deseaba que este fuese lo más rápido posible, es decir que su tiempo de conversión fuese muy pequeño. En el capítulo anterior se menciona que el convertidor A/D diseñado tiene un tiempo de conversión de $0.4 \mu\text{seg.}$ en otras palabras N puede tomar un valor máximo de 158, es decir podemos dividir una línea a lo más en 158 muestras.

Hemos mencionado anteriormente que el tamaño de la red de muestreo depende del tipo de aplicación específica. En nuestro caso una red de muestreo de 128×128 pixels da una resolución bastante aceptable, por lo cual el tiempo de conversión obtenido está sobrado para poder digitalizar la imagen sin necesitar el circuito especial anteriormente mencionado. Además otra ventaja es que la imagen se podrá digitalizar en tiempo real.

3.2 CIRCUITO DE MUESTREO Y RETENCION

La función básica de este circuito es la de dividir cada línea de la imagen en N pixels y retener el valor del voltaje de la señal de video en cada pixel durante un tiempo específico, durante el cual el convertidor A/D pueda realizar el proceso de digitalización.

Los circuitos de muestreo y retención son usados comunmente en sistemas electrónicos donde es necesario almacenar voltajes analógicos, este tipo de circuito se conecta normalmente entre la fuente de señal analógica que será cuantizada y el convertidor A/D.

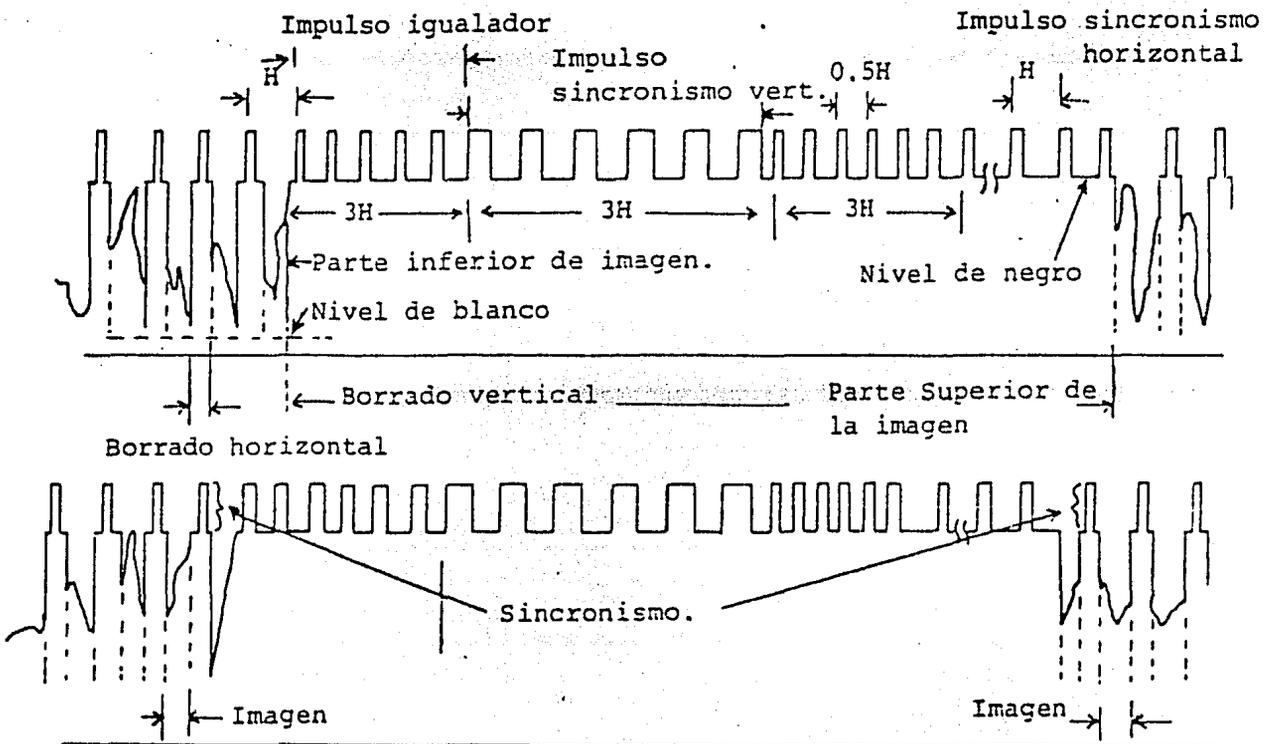
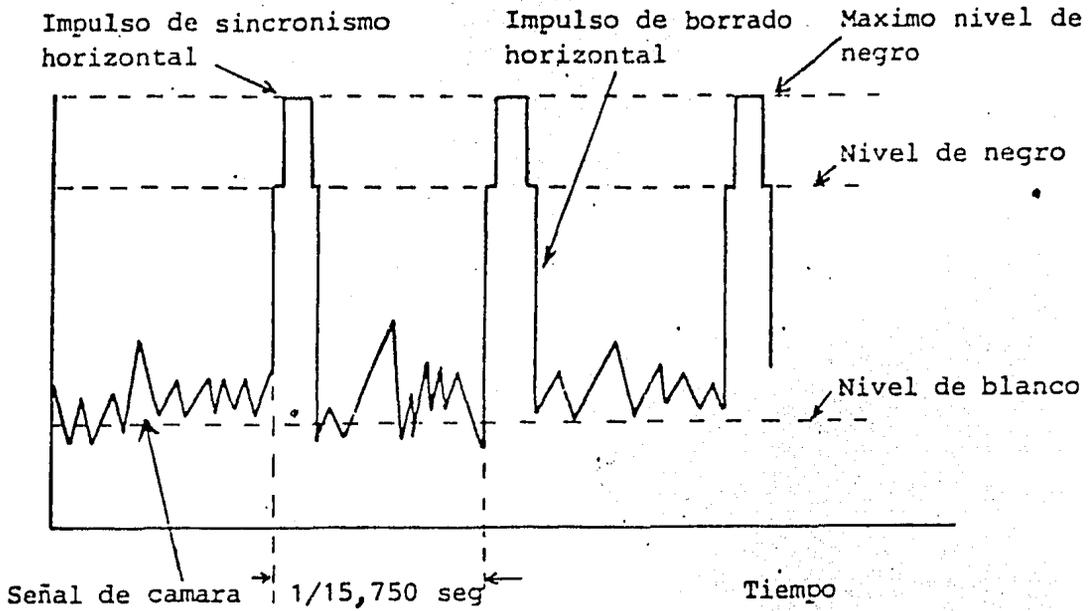


Fig. 19 Formas de onda de los impulsos de borrado y sincronismo de campo sucesivos, de la señal de video.

La operación de muestreo se ilustra en la figura 20 en donde se tiene una señal analógica y un tren de pulsos periódicos. Los pulsos representan una respuesta rápida de un interruptor el cual se conecta a la señal analógica por un tiempo muy corto. Los pulsos de muestreo tienen así un tiempo muy corto de conexión comparado con el periodo de tiempo total.

El resultado de este proceso de muestreo es idéntico al de multiplicar la señal analógica con un tren de pulsos de amplitud unitaria. La señal modulada resultante de este proceso se muestra en la figura 20 (c), si el tipo de interruptor para el muestreo se reemplaza por un interruptor y un capacitor, entonces la señal analógica es muestreada y almacenada hasta el siguiente pulso de muestreo como se muestra en la figura 20 (d), este tipo de muestreo es conocido como muestreo y retención de la señal.

El circuito básico de muestreo y retención se describe en la figura 21 donde el voltaje de entrada es muestreado y almacenado con la simple operación de cerrar y abrir el interruptor (SW1), cuando el interruptor está cerrado el circuito está en modo de muestreo y cuando el interruptor está abierto está en modo de retención, reteniendo el voltaje en el capacitor por un periodo de tiempo que depende del valor del capacitor así como de la corriente de fuga de ambos (capacitor e interruptor).

Hay tres conjuntos importantes de terminales en un circuito de muestreo y retención. La entrada analógica, la salida analógica y la terminal de control de muestreo. La figura 22 muestra un circuito práctico que incluye amplificadores operacionales a la salida y a la entrada del circuito, en configuración de seguidores de voltaje, el control de muestreo cierra el interruptor para modo de muestreo o lo abre para modo de retención.

Las terminales de entrada de un circuito de muestreo y retención son usualmente las entradas de un amplificador operacional, el cual tiene una alta impedancia de entrada para evitar que la fuente de la señal analógica sea cargada. Asimismo estos amplificadores presentan a la salida una muy baja impedancia de tal manera que el circuito de muestreo y retención pueda conducir una carga tan alta como la entrada a un convertidor A/D. El amplificador de salida también debe presentar una muy alta

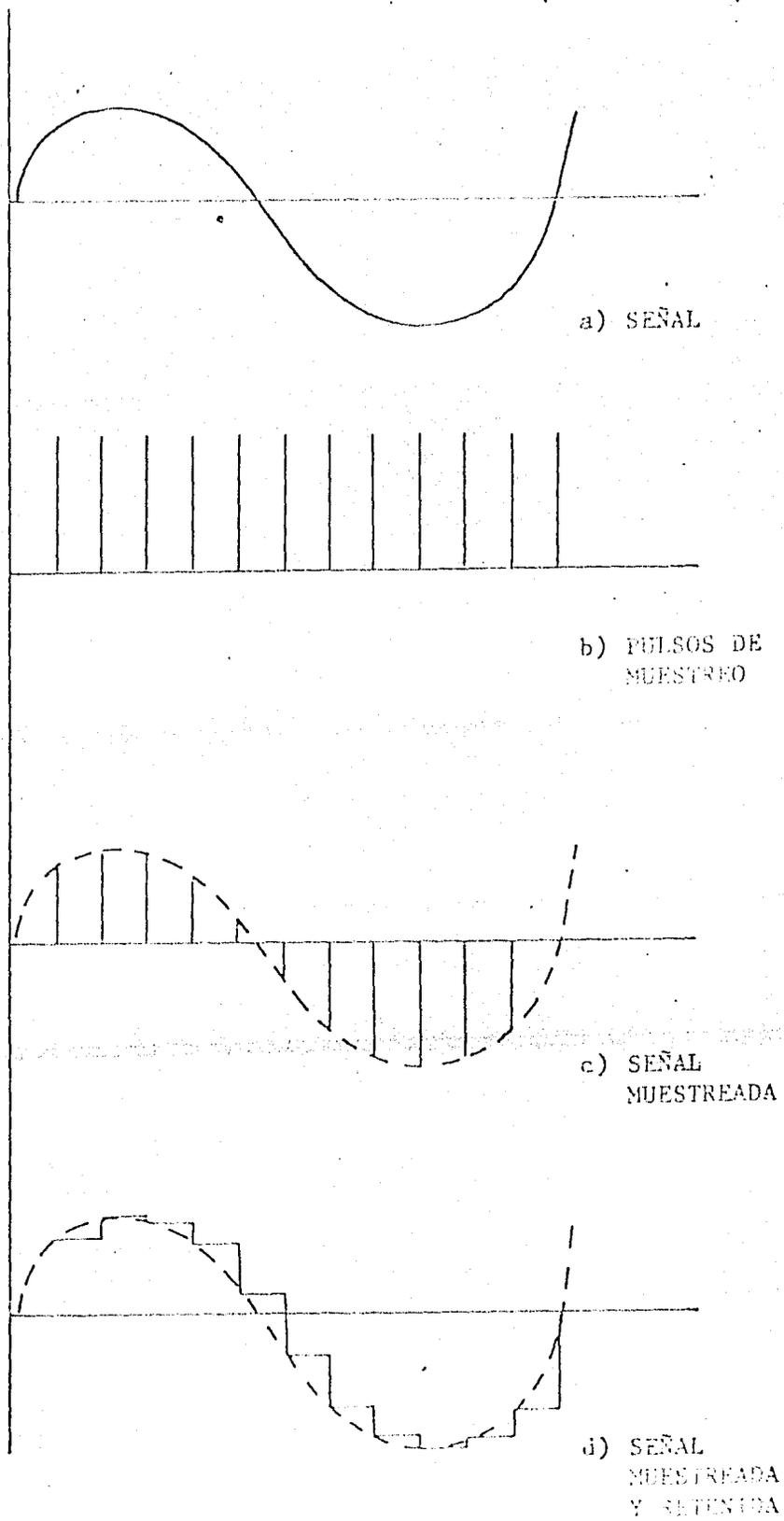


Fig. 20 - Proceso de Muestreo de la Señal.

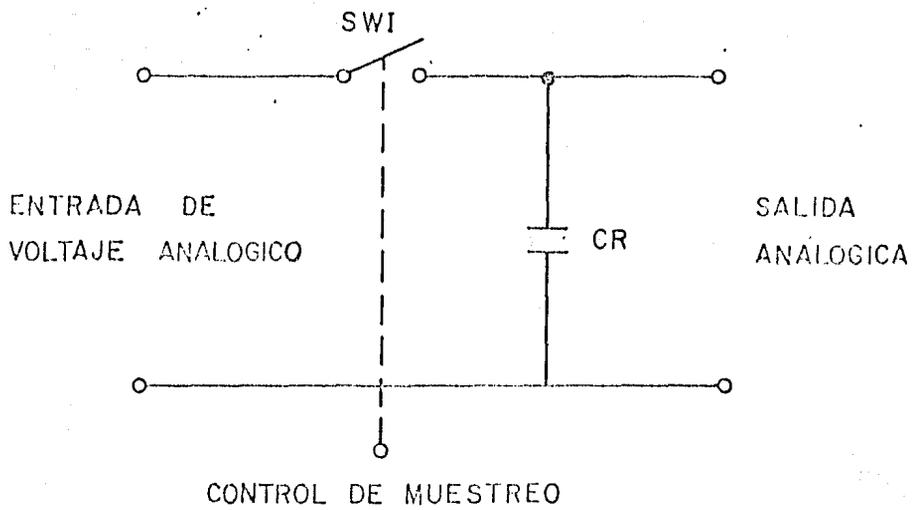


Fig. 21.- Circuito Básico de Muestreo y Retención.

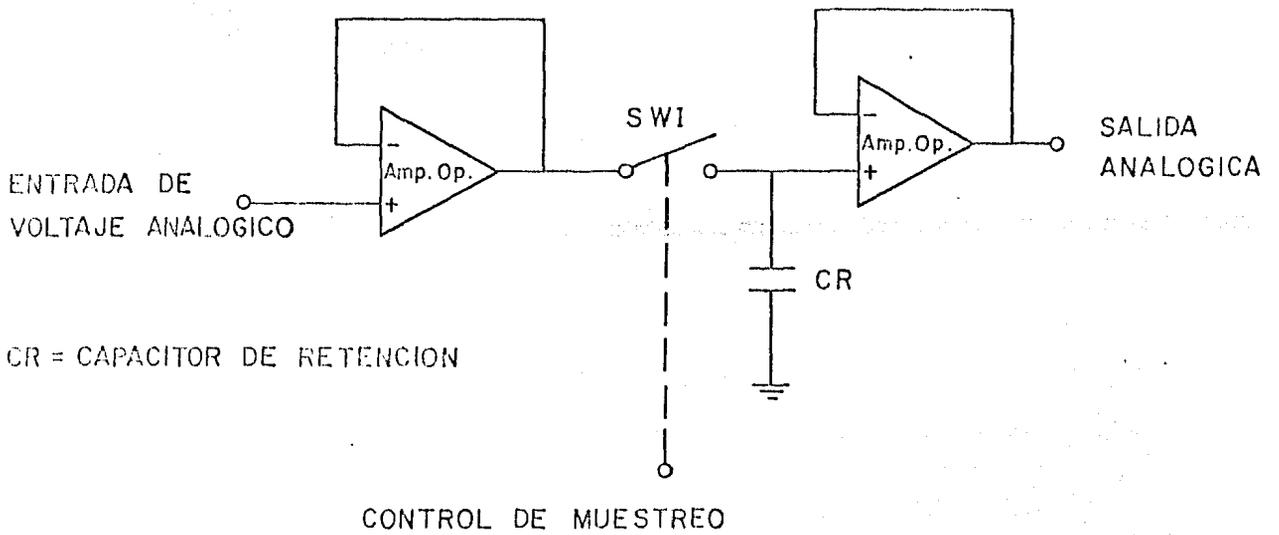


Fig. 22.- Circuito Práctico de Muestreo y Retención.

impedancia de entrada y demandar muy baja corriente de entrada, de tal manera que la carga del capacitor no se escape muy rápidamente. Es debido a esto por lo que en virtualmente en todos los diseños de circuitos de muestreo y retención los amplificadores deben tener una entrada tipo FET. Similarmente el interruptor debe ser rápido y tener una muy baja corriente de fuga cuando está abierto.

Todos los circuitos de muestreo y retención son básicamente circuitos que almacenan energía, la componente más crítica es el capacitor de retención, una pregunta fundamental que debemos contestarnos es porqué utilizar un capacitor para guardar energía.

El uso de este capacitor para guardar energía se debe a que existen ciertos tipos de capacitores muy cercanos al ideal. Ellos tienen una muy baja corriente de fuga y por lo tanto una resistencia en paralelo equivalente muy alta. Esta resistencia comúnmente especificada en megahoms-microfarads es conocida como resistencia aislante, es la resistencia en paralelo de un capacitor de un microfarad y es numéricamente igual a la constante de tiempo de descarga adjunta del capacitor expresada en segundos.

La constante de tiempo de descarga adjunta es el intervalo de tiempo requerido para que un capacitor en circuito abierto se descarge al 36.8% de su voltaje de carga. Los capacitores de alta calidad tienen resistencias aislantes tan altas como 10^6 megahoms-microfarads, equivalentes a constantes de tiempo de descarga adjunta de un millón de segundos ó 11.5 días. En otras palabras esto es únicamente 1% de pérdida en casi tres horas. Es debido a esto por lo que deben usarse capacitores de alta calidad en un circuito de muestreo y retención. En la figura 23 se da el diagrama del circuito de muestreo y retención utilizado en este trabajo.

Este circuito de muestreo y retención a la vez funciona como amplificador la etapa de amplificación la realiza el amplificador A2 y la ganancia esta dada por:

$$G = 1 + \frac{R_2}{R_1}$$

ya que dicho amplificador esta conectado en una configuración no inversora.

Como habíamos comentado es necesario utilizar un capacitor de retención de alta calidad, el capacitor utilizado fue un capacitor de poliestireno de baja absorción, esta característica nos permite que el capacitor se cargue ó descarge muy rapidamente cuando está en modo de muestreo (interruptor cerrado), además este tipo de capacitor tiene una corriente de fuga muy baja.

Como habíamos mencionado anteriormente es recomendable que los amplificadores operacionales tengan una entrada tipo FET, es debido a esto y a que tienen un ancho de banda suficientemente grande como para manejar señales de video por lo que se eligió el amplificador operacional LF356 para implementar el circuito de muestreo y retención, las principales características de este amplificador son las siguientes:

Entrada tipo FET

Corriente de Entrada 30 pA

Impedancia de Entrada $10^{12} \Omega$

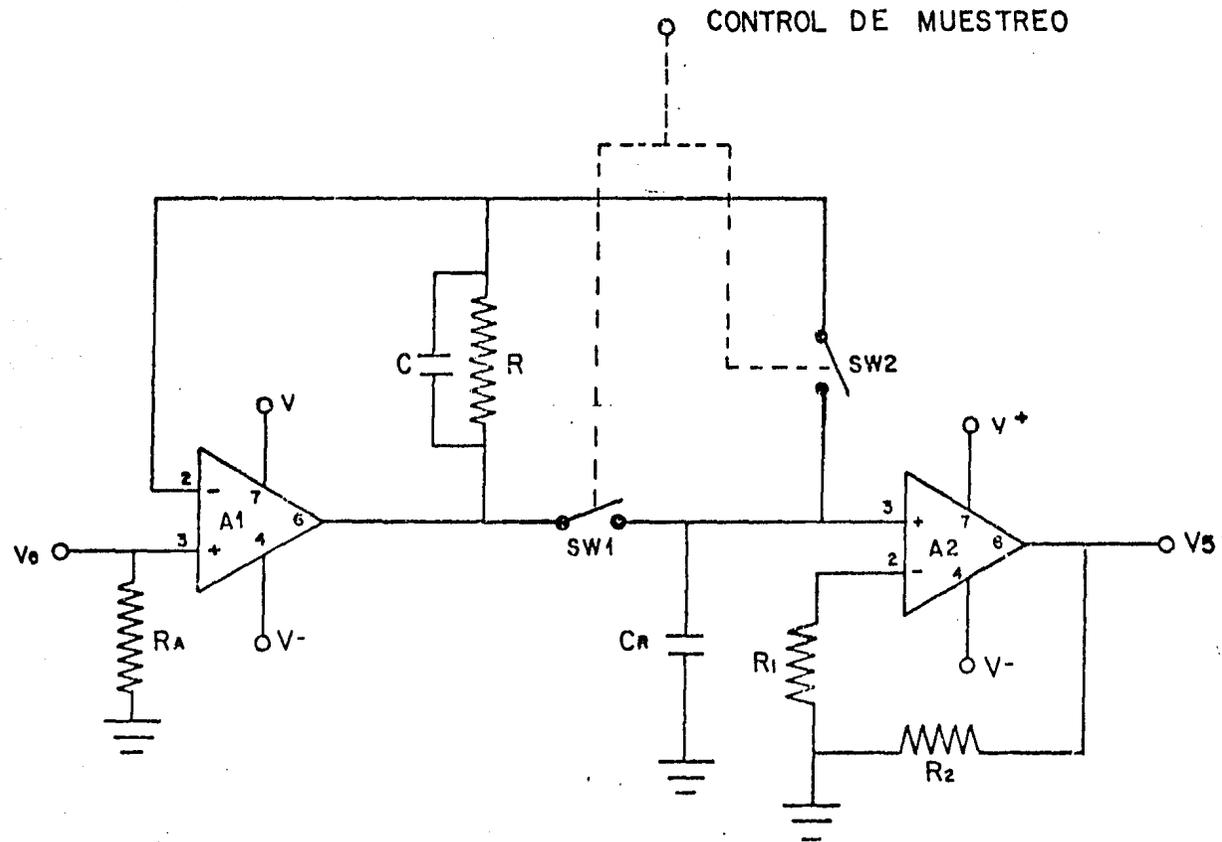
Slew Rate 12V/ μ seg

Ancho de Banda 5MHz

Rango Voltaje de Entrada $\pm 20V$

Voltaje de Alimentación $\pm 20V$

Para realizar el interruptor se utilizó un circuito CMOS el CD4066, el cual consta de 4 interruptores electrónicos capaces de conducir señales analógicas, sus principales parámetros se dan a continuación:



RA = RESISTENCIA DE ACOPLAMIENTO.

FIGURA 23.- CIRCUITO DE MUESTREO Y RETENCION UTILIZADO EN EL SISTEMA DE ADQUISICION DE IMAGENES .

Voltaje de Alimentación (V_{DD})	3V a 15V
Voltaje de Entrada	0V a $V_{DD} + 0.5V$
Máxima Frecuencia en la entrada de control	6 MHz
Corriente de fuga con interruptor abierto	0.1 nA
Resistencia con interruptor cerrado	500 Ω máximo ($V = 5V$)

3.3 PULSO DE MUESTREO

De la figura 20 se nota que el proceso de muestreo ideal se lleva a cabo con un tren de pulsos de anchura cero, es decir con un tren de pulsos de deltas de Dirac, lograr en la práctica deltas de Dirac es imposible, en la realidad el proceso de muestreo se lleva a cabo utilizando un tren de pulsos cuya anchura es muy pequeña, entonces se hace necesario tener un circuito que nos genere dichos pulsos. El circuito utilizado para generar estos pulsos se muestra en la figura 24, el ancho del pulso está determinado por: $T=0.69 RC$ el diagrama de tiempo del circuito generador de pulsos se da en la figura 25.

3.4 VENTANA DE 1 O 2 CAMPOS

De alguna manera tenemos que sincronizar nuestro circuito con la cámara de televisión de tal manera que la imagen empiece a digitalizarse al inicio de un campo y termine con la finalización de este, es precisamente ésta la finalidad del circuito que se muestra en la figura 26, el cual permite el paso de la señal de video al digitalizador durante uno o dos campos dependiendo de que tamaño

seleccionemos la red de muestreo ($M=262$ ó $M=525$) además pone a funcionar el circuito que genera las localidades de memoria donde se va a almacenar la imagen digitalizada y controla el circuito de tres estados, también le indica al circuito de inicio/fin de conversión cuando a terminado ésta.

3.5 INTERFAZ ADM

Esta interfaz permite la comunicación entre nuestro sistema y el sistema de desarrollo Exorciser. Debido a la velocidad a que trabaja nuestro sistema (genera datos a una razón de 1 MHz) no es posible asignarle a un microprocesador el trabajo de almacenar la imagen digital en localidades de memoria, ya que simplemente para realizar una instrucción el microprocesador tarda varios ciclos de reloj en ejecutarla, y los microprocesadores más comunes (8080, 8085, 6809, etc.) trabajan a uno o dos MHz de frecuencia de reloj típica.

La solución consiste en tener un banco de memoria de estado sólido de acceso directo donde se pueda almacenar la imagen digitalizada (ésta no es la única), para evitar el tener que comprar estas memorias, utilizamos un banco de memoria del sistema de desarrollo Exorciser llamado mapa del usuario, como este mapa está bajo el control del microprocesador de dicho sistema de desarrollo, tenemos que expropiárselo para poder usarlo.

Una técnica para tomar el control de un banco de memoria que está bajo el control de un microprocesador es la llamada Acceso Directo a Memoria (ADM), esta técnica consiste básicamente en el hecho de que el dispositivo que desea mandar información a la memoria durante un intervalo de tiempo, se apodera de los ductos de datos y direcciones durante dicho intervalo de tiempo.

Las etapas para que un dispositivo se apropie de los ductos de datos y direcciones controlados por un microprocesador pueden resumirse en las siguientes:

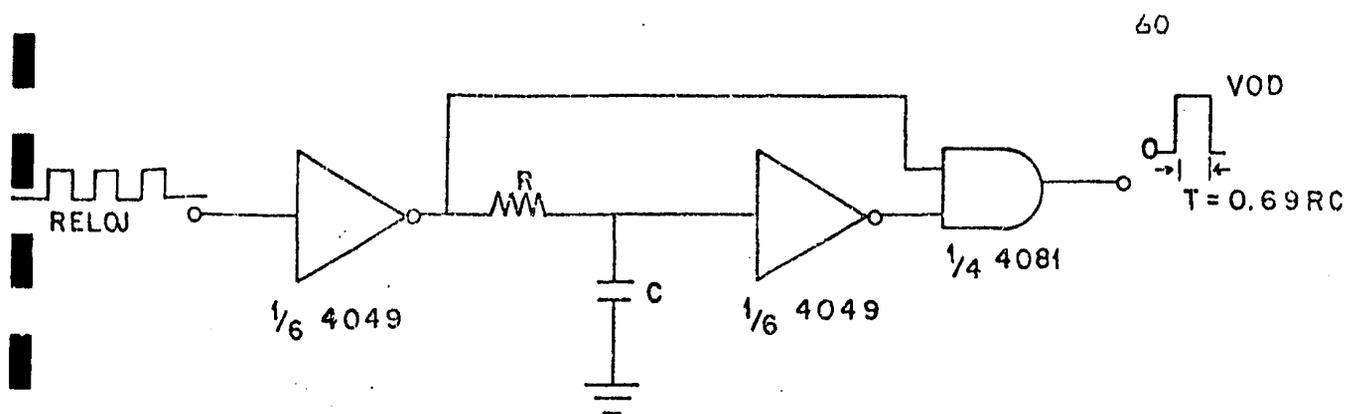


FIGURA 24.- CIRCUITO GENERADOR DE PULSO PARA EL COMANDO DE M/R.

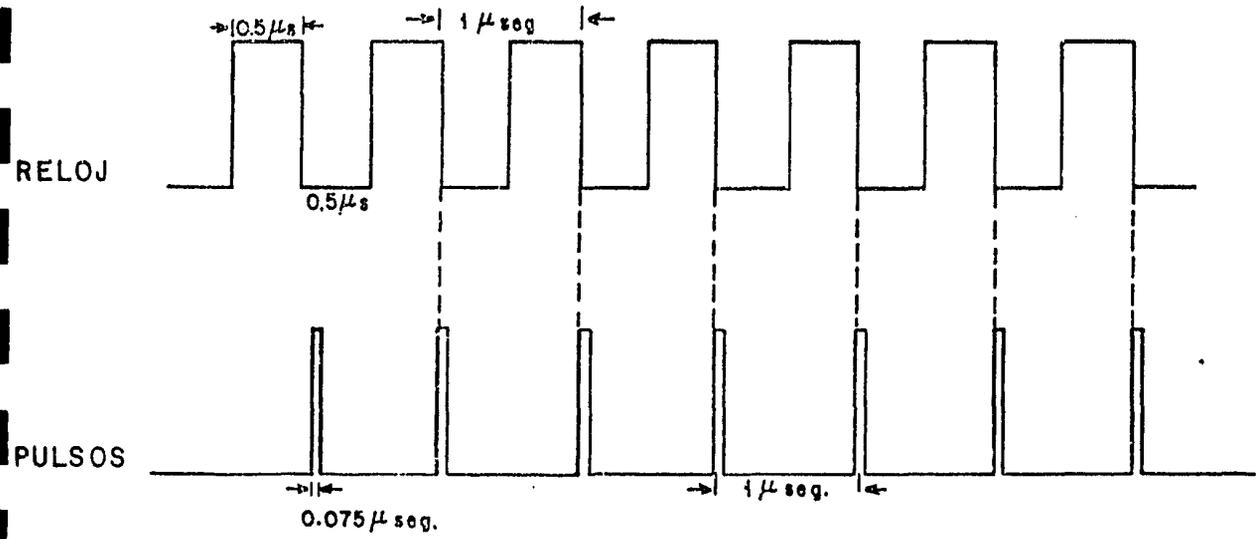
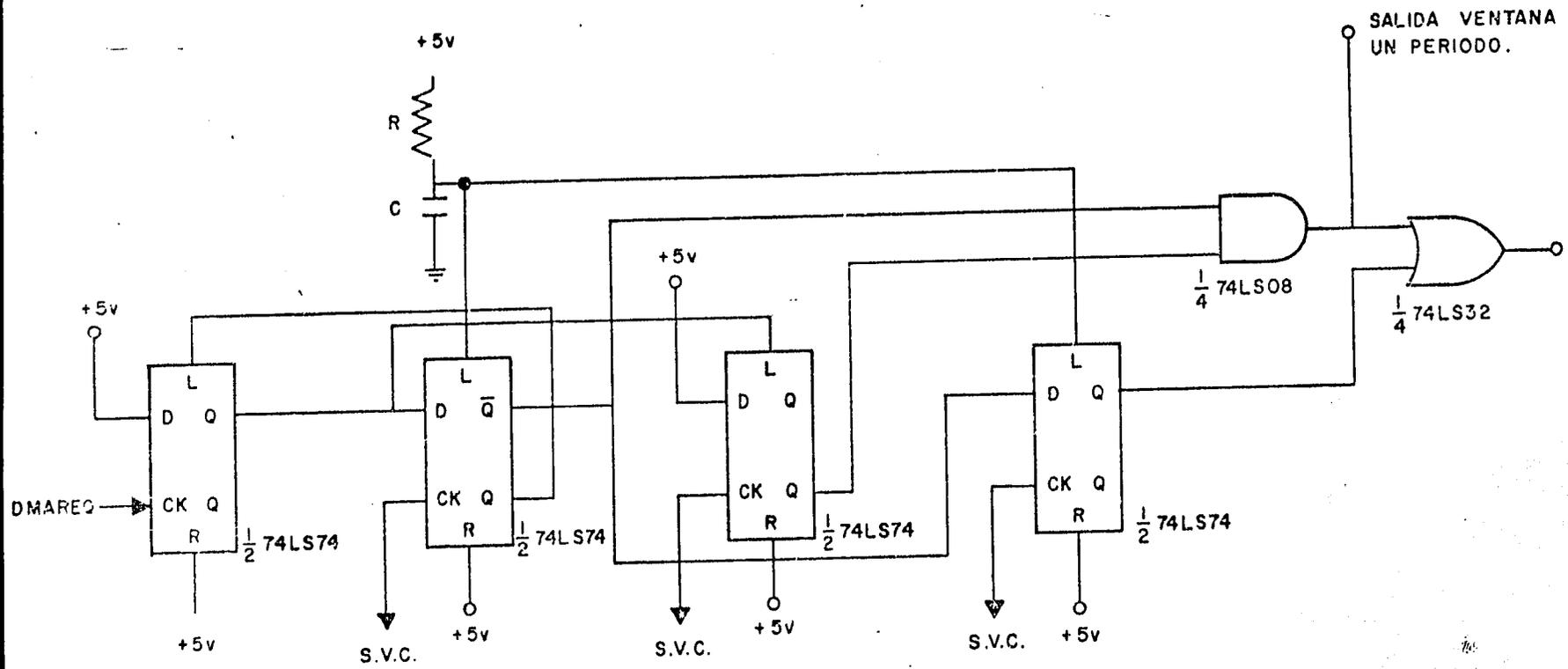


FIGURA 25.- DIAGRAMA DE TIEMPO DEL CIRCUITO GENERADOR DE PULSOS RELOJ.



S.V.C = SINCRONIA VERTICAL CÁMARA .

Figura 26. - CIRCUITO GENERADOR DE VENTANA

(Aquí se darán en particular los pasos que hay que seguir para apropiarse de los ductos de datos y direcciones del sistema de desarrollo Exorsicer, la técnica en general es similar a la expuesta aquí)

1) El dispositivo que desea hacer una transferencia de ADM debe estar preparado para la transferencia de datos, es decir debe generar las direcciones de las localidades de memoria donde desea almacenar los datos y tener preparados los datos que desea escribir. También debe generar estados apropiados para las señales VMA y R/W.

(El significado de estas señales VMA y R/W así como de algunas de las que se hablará más adelante se da en el apéndice)

2) El dispositivo que desea hacer una transferencia de datos utilizando ADM debe activar petición de ducto (BUSREQ) 40 nseg. antes de la subida de E.

3) El dispositivo que desea hacer una transferencia ADM debe esperar a recibir la señal asignación de ducto (BUSGNT).

4) Después de haber recibido la señal BUSGNT, el dispositivo puede ejecutar una transferencia de datos durante este ciclo de reloj. El dispositivo debe estar preparado para devolverle el control de los ductos al sistema de desarrollo. Durante la transferencia de datos el dispositivo tiene bajo su control a los ductos de datos y direcciones así como también a las señales VMA y R/W.

5) Si se desea transferir más datos entonces el dispositivo continúa manteniendo BUSREQ activo y retorna a la etapa 3, si el dispositivo ha completado la transferencia de datos debe desactivar BUSREQ antes de la subida de E en el último ciclo de transferencia.

Hay dos métodos básicos para implementar el ADM y los dos siguen las etapas mencionadas anteriormente uno es el llamado Robo de Ciclo (Cycle Steal) y el otro es el Robo por Detención (Halt Steal).

El robo de ciclo es el método básico de implementar el ADM usando BUSREQ y BUSCNT en este método se activa BUSREQ para indicarle al sistema que se desea hacer una transferencia de datos usando ADM y este responde que esta listo para la transferencia activando BUSCNT. En el método de robo por detención se detiene la operación del MPU del sistema de desarrollo activando la señal HALT, el sistema responde que ha sido detenida su operación poniendo en l lógico las señales EA y ES y entonces se procede a ejecutar los pasos dados anteriormente para hacer una transferencia de datos usando ADM. Una desventaja del método de robo por detención es, que utiliza la señal HALT para detener el funcionamiento del MPU, pero esta señal no es reconocida por el MPU hasta que termina de ejecutar la instrucción que estaba llevando a cabo cuando se activo la señal HALT.

La selección entre estos dos métodos se basa principalmente sobre la características del dispositivo que va a ejecutar el ADM. Durante el método de robo por ciclo el MPU retoma el control de los ductos durante un ciclo cada 14 ciclos de reloj durante un BUSREQ constante. En el método de robo por detención no ocurre ninguna interrupción de parte del MPU una vez que este ha cedido el control de los ductos, pero el retraso para que los ductos sean cédidos puede ser extremo (hasta 20 ciclos de reloj si el MPU se encontraba ejecutando la instrucción CHAI).

Es obvio que el método más conveniente de usar en nuestro caso es el de robo por detención, ya que si utilizásemos el método de robo por ciclo perderíamos la información de un pixel cada 14 ciclos de reloj.

El circuito de interfaz para realizar el ADM entre un dispositivo y el sistema de desarrollo está dado en la guía del usuario de este, en la figura 27 se muestra un diagrama de dicha interfaz.

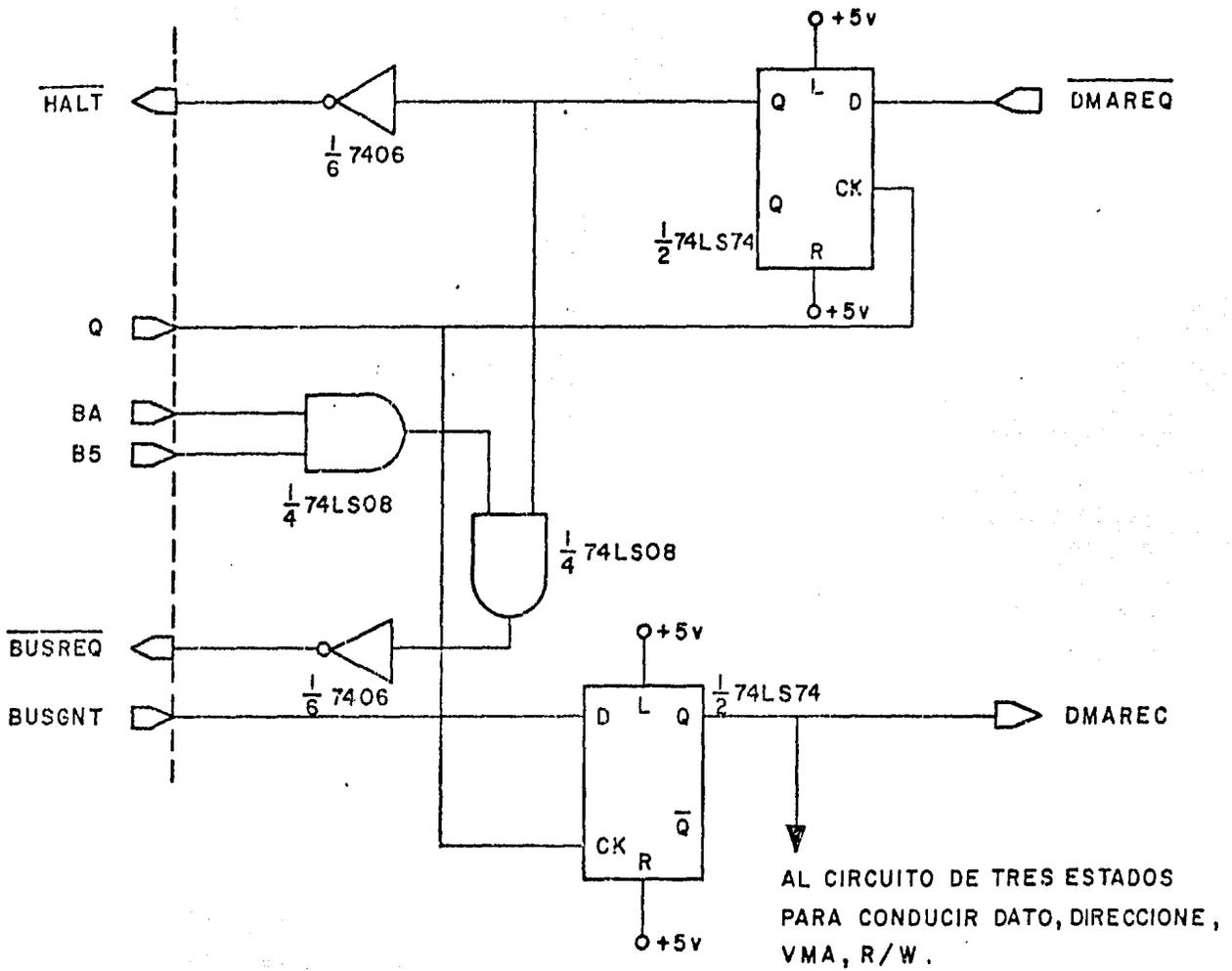


Figura. 27.- INTERFAZ ADM PARA EL METODO DE ROBO POR DETENCION.

3.6 GENERADOR DE DIRECCIONES

Como hemos discutido al ejecutar la transferencia de datos utilizando ADM el dispositivo que la esta realizando no solo debe mandar los datos que quiere almacenar, sino también debe generar las direcciones de las localidades de memoria que va a utilizar.

Antes de discutir el circuito que genera tales direcciones, tenemos que decir cuantas localidades de memoria vamos a usar, el número de localidades de memoria necesario se deduce fácilmente del hecho de que la red de muestreo utilizada es de 63×525 pixels si usamos una ventana de dos campos o de 63×262 pixels si utilizamos la ventana de un campo. Entonces el número máximo de pixels que tendremos es de 33075, este número nos está indicando el número de localidades de memoria que necesitamos para almacenar la imagen digitalizada. Para expresar este número en forma binaria necesitamos 16 bits, dicho en otras palabras para generar este número de direcciones de localidades de memoria necesitamos un contador binario de 16 bits. El mapa de memoria del usuario (del sistema de desarrollo) tiene una capacidad de 64 K-octetos, es decir tiene 65536 localidades de memoria disponibles para el usuario, por lo que no hay ningún problema en cuanto a espacio de memoria se refiere.

El circuito generador de direcciones se muestra en la figura 28 este circuito es un contador binario de 16 bits implementado con 4 contadores binarios de 4 bits cada uno conectados en cascada, la entrada RO(2) de dichos contadores es una entrada de control que permite que el contador genere las direcciones solamente cuando esta entrada tiene un nivel lógico bajo, esta entrada está bajo el control de la salida del circuito generador de ventana, la cual permite al contador generar direcciones solamente dentro del periodo de ventana.

3.7 DETECTOR DE INICIO/FIN DE CONVERSION

Como estamos utilizando el método de robo por detención para hacer la transferencia de datos utilizando ADM, antes de generar la ventana (la que en realidad controla todo el funcionamiento del circuito) tenemos que asegurarnos que el sistema de desarrollo ya acepto la petición de ADM (recuerdese que entre la petición y la aceptación pueden transcurrir hasta 20 ciclos de reloj) en otras palabras el comando de inicio de conversión no puede ser el comando que active al circuito generador de ventana, para solventar este problema se diseño un circuito llamado detector de inicio/fin de conversión. La función de este circuito es activar la entrada DMAREQ de la interfaz de ADM cuando detecte un pulso de inicio de conversión. Cuando el sistema de desarrollo acepta la petición de ADM se produce un cambio de nivel lógico en la salida DMAREC de la interfaz de ADM este cambio de estado lógico es usado para activar el circuito generador de ventana, la salida de este circuito le indica al detector de inicio/fin de conversión el momento en el cual se ha terminado de digitalizar la imagen, para que dicho circuito restaure a su nivel lógico normal la entrada DMAREQ de la interfaz de ADM, es decir le devuelva el control de los ductos de datos y direcciones al MPU del sistema de desarrollo. Otra función de este circuito consiste en no aceptar otro comando de inicio de conversión hasta que no se haya terminado de digitalizar la imagen. Es decir si se dan dos pulsos de inicio de conversión uno inmediatamente despues del otro el detector solo acepta el primero y al segundo no lo toma en cuenta y no aceptará otro pulso de inicio de conversión hasta que el sistema no haya terminado de digitalizar la imagen. En la figura 29 se muestra el circuito de detección de inicio/fin de conversión.

3.8 CIRCUITO DE 3 ESTADOS

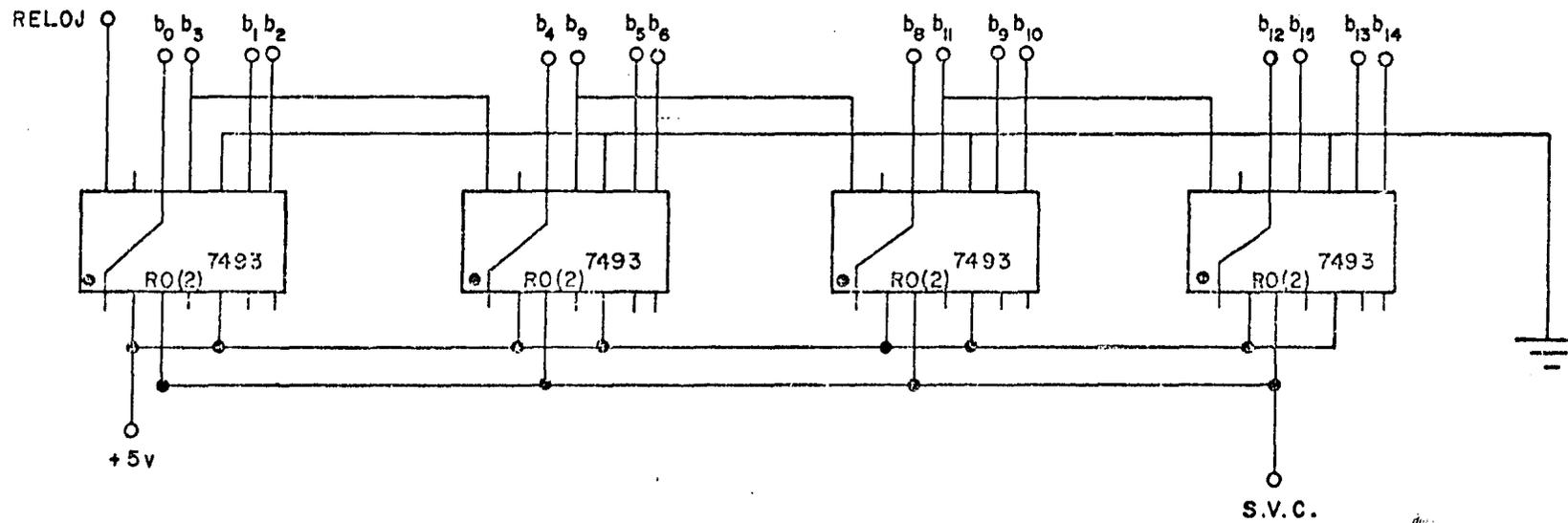
Este circuito actúa como un interruptor que permite e impide el paso de información digital hacia los ductos del sistema de desarrollo teniendo una entrada de control que deshabilita las salidas del circuito de digitalización para tener en ellas una alta impedancia cuando esta entrada de control tiene un 1 lógico.

El circuito de tres estados (74LS244) está controlado por la salida del generador de ventana, la función principal de este circuito es evitar problemas de posesión de los ductos de datos y direcciones entre el MPU del sistema de desarrollo y el digitalizador de imágenes.

Un diagrama a bloques del sistema de digitalización de imágenes se da en la figura 30 y el diagrama de conexiones de los diversos circuitos (convertidor A/D, circuito de muestreo y retención, generador de ventana, generador de direcciones, interfaz de ADM, circuito de tres estados y circuito detector de inicio/fin de conversión) que componen dicho sistema se da en la figura 31.

La frecuencia de muestreo utilizada para probar el sistema fue de 1 MHz con lo cual la red de muestreo de la imagen toma un valor de 63×525 pixels o de 63×262 pixels, la selección entre $M=525$ y $M=262$ depende del periodo de ventana que estemos utilizando, el valor de $N=63$ se obtiene recordando que una línea de la señal de video tarda aproximadamente $63.5 \mu\text{seg}$ en ser detectada y como el periodo de muestreo es de $1 \mu\text{seg}$, entonces se pueden tomar 63 muestras por línea aproximadamente.

Nuestro sistema no es el que está limitando la frecuencia de muestreo (el convertidor A/D que es el componente más crítico trabaja a una frecuencia de 2.5 MHz) es el sistema de desarrollo Exorciser el que nos está imponiendo la restricción ya que sus componentes están seleccionadas para trabajar a una frecuencia de reloj máxima de 1 MHz, es debido a esto por lo que no podemos tener una red de muestreo más fina, es decir aumentar la resolución de la imagen.



S.V.C. = SINCRONIA VERTICAL CÁMARA

Figura 28.- CIRCUITO GENERADOR DE DIRECCIONES.

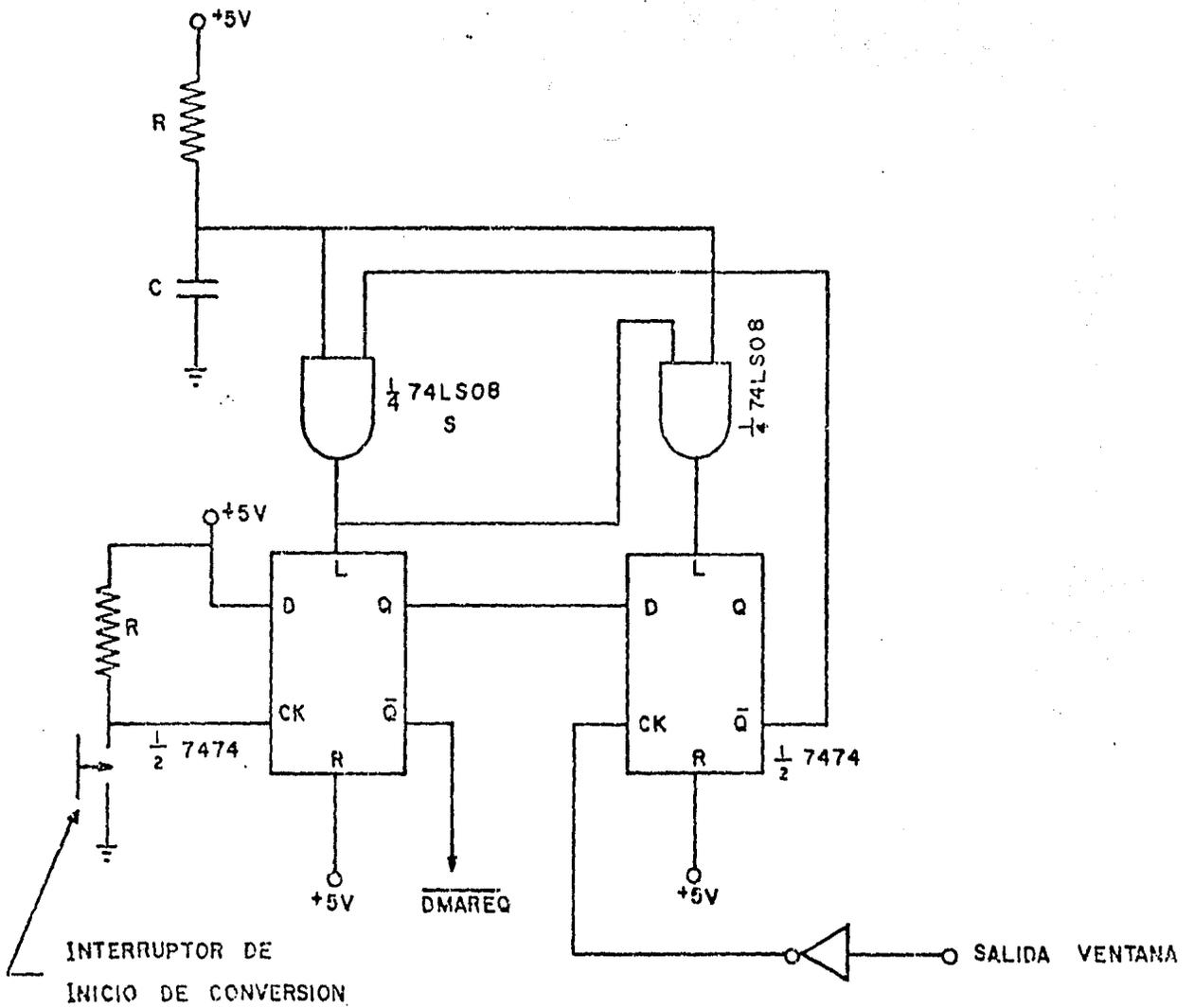


Fig. 29.- Circuito Detector de Inicio/Fin de Conversión.

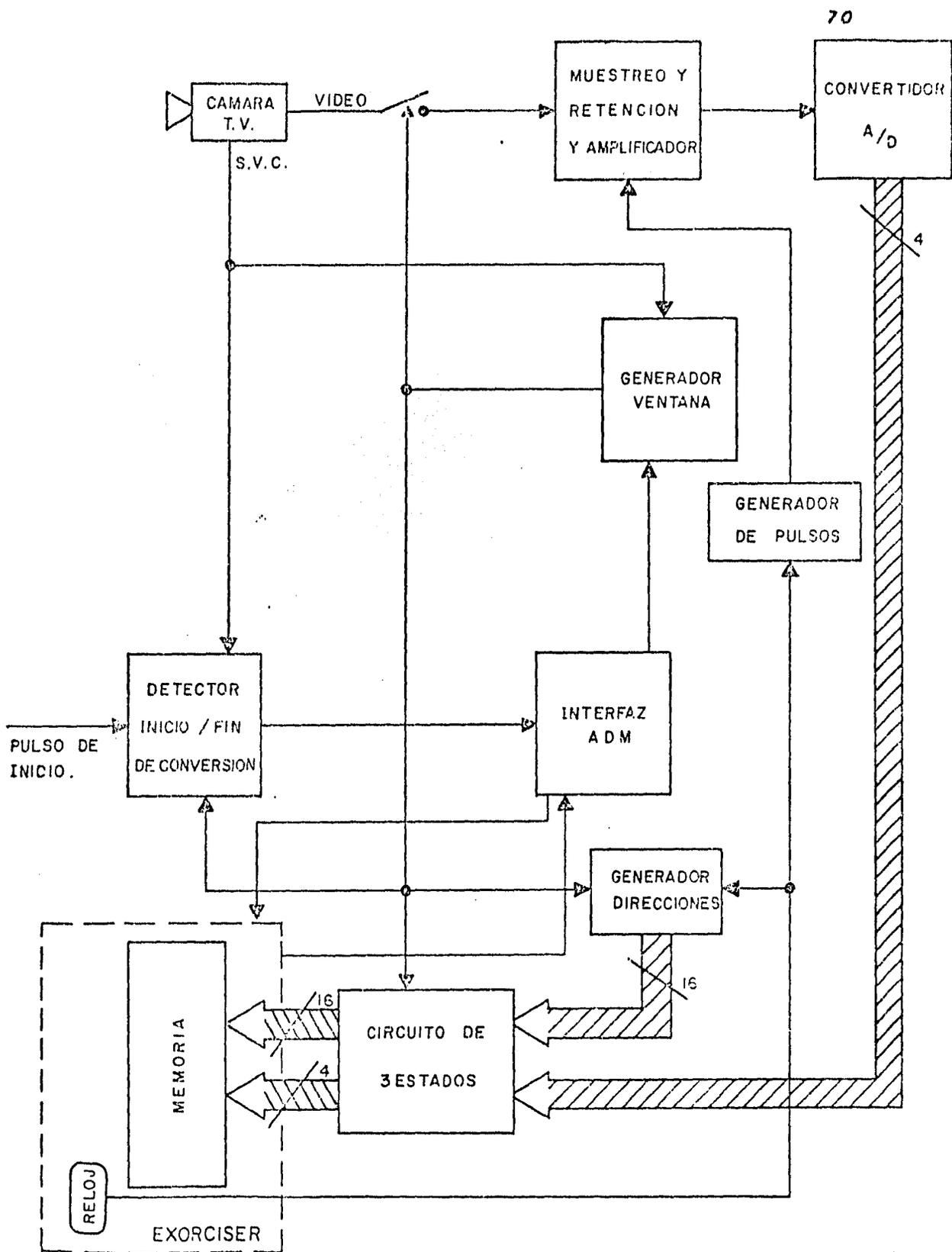


Figura 30.- DIAGRAMA A BLOQUES DEL SISTEMA DE ADQUISICION DIGITAL DE IMAGENES.

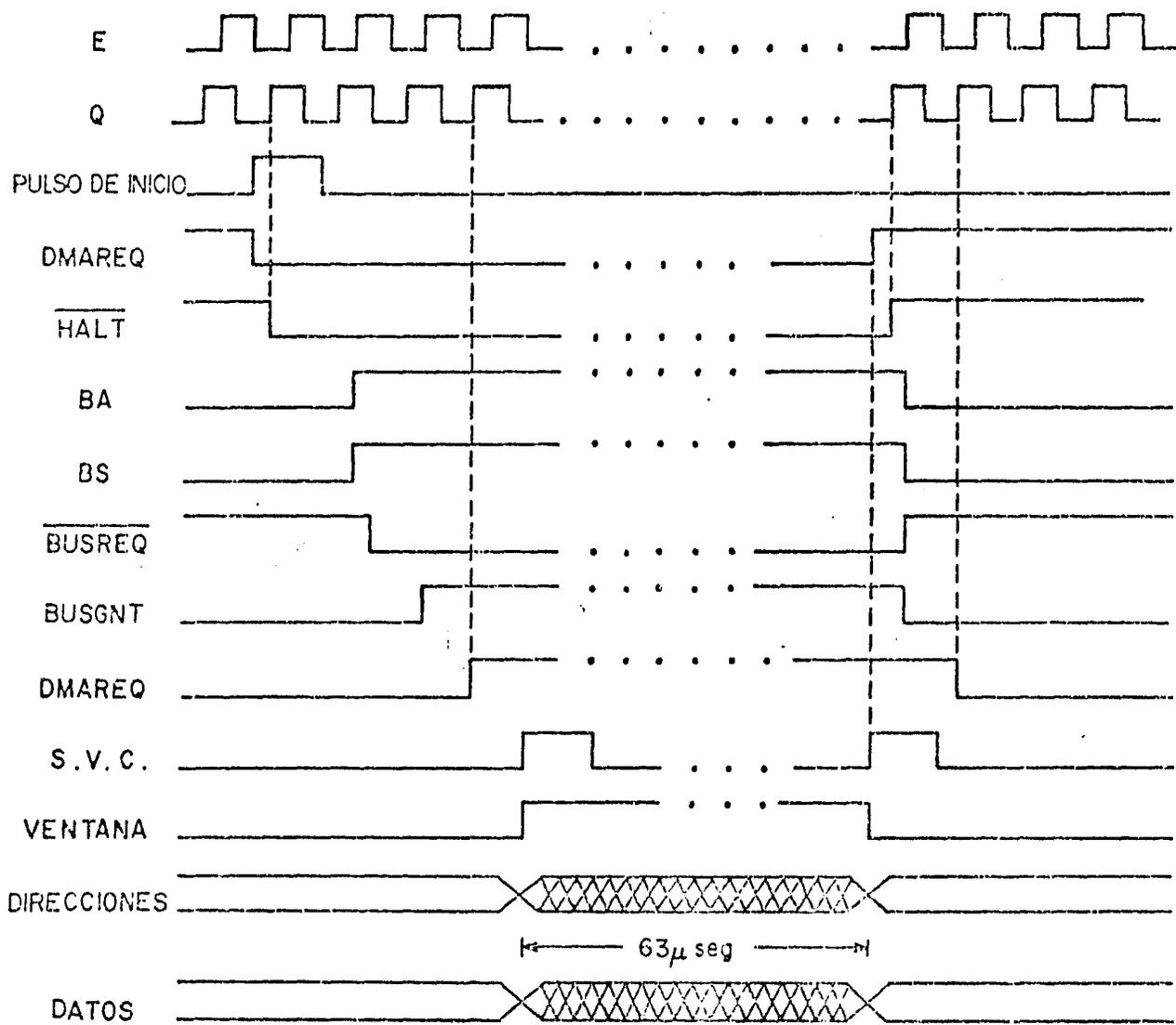


DIAGRAMA DE TIEMPO, PARA EL SISTEMA DE ADQUISICION DIGITAL DE IMAGENES.

4 CONCLUSIONES Y APLICACIONES

El objetivo de este trabajo de tesis es realizar un sistema electrónico para adquirir digitalmente una imagen, dentro del sistema existen cinco bloques de componentes básicos: La cámara de televisión, el circuito de muestreo y retención, el convertidor A/D, el banco de memoria digital y una interfaz electrónica de acondicionamiento de señales y control (interfaz de ADM, generador de direcciones, generador de ventana, detector de inicio/fin de conversión).

Dentro de las características obtenidas en el diseño y construcción de este sistema las más importantes son:

- 1) Es posible digitalizar la imagen en tiempo real.
- 2) No es necesario que la imagen a ser digitalizada sea un objeto fijo.
- 3) El costo total del sistema es sumamente bajo.

Las características técnicas del sistema son las siguientes: cada muestra de imagen (pixel) adquirida es digitalizada con 4 bits de resolución, lo que nos permite tener 16 tonos de gris. Este sistema codifica una imagen completa como un arreglo de 63×525 pixels, en otras palabras se divide la imagen en 33075 muestras, siendo el tiempo total de adquisición de una imagen el tiempo que tarda la cámara de televisión en barrer la imagen, es decir $1/30$ de segundo.

El próximo paso a dar es hacer el sistema de adquisición digital de imágenes independiente del sistema de desarrollo Exorciser, para lograr esto lo único que hace falta es poder contar con un banco de memoria propio, la única característica especial de estas memorias es que deben ser de acceso rápido para poder utilizar el sistema de digitalización de imágenes a toda su capacidad.

Como habíamos mencionado el objetivo principal de este sistema es el de brindar apoyo a la docencia en el área de procesamiento digital de imágenes, sin embargo es posible utilizarlo en un gran número de aplicaciones, haciendo modificaciones apropiadas dependiendo de las necesidades de cada aplicación, a continuación se mencionan algunas de ellas:

Medición interferométrica de superficies.

Procesador Optico-Digital

Procesamiento de datos por Radar.

Filtrado digital de imágenes.

Interfaz con sistemas de comunicación.

Procesamiento paralelo de imágenes.

Substracción de imágenes de sistemas Radiograficos.

Sistemas analizadores de áreas.

Sistemas de medición de intervalos.

Analizadores de Textura.

Análisis Biomédico.

Criminología.

Inspección en control de calidad.

Interpretación fotográfica.

Espectroscopía.

5 APENDICE

VMA.- Dirección de Memoria Valida, un nivel alto (lógica TTL) es producido por el MPU, para indicarle al depurador (DEBUG) que una dirección de memoria valida está presente en el ducto de direcciones. Esta línea es puesta en alta impedancia durante las operaciones de ADM (cuando la línea BUSREQ esta en nivel bajo).

R/W.- Lectura/Escritura, esta señal es generada por el MPU y les indica a los otros modulos contenidos en el sistema de desarrollo que el MPU esta ejecutando una operación de lectura (nivel alto) o de escritura (nivel bajo). El estado normal de esta señal es lectura (nivel alto).

HALT.- Alto, un nivel bajo en esta línea produce que el MPU se detenga al fin de la presente instrucción y permanecerá detenido indefinidamente sin perdida de datos hasta que esta entrada sea conducida a un nivel alto.

BA.- Disponibilidad del Ducto, esta es una señal de salida que normalmente tiene un nivel bajo. Esta señal junto con la señal BS indican el estado del MPU.

<u>BA</u>	<u>BS</u>	<u>Estado del MPU</u>
0	0	Operación Normal
0	1	Reconocimiento de Interrupción
1	0	Reconocimiento de Sincronia (Sync)
1	1	Detención del MPU (HALT)

BS.- Estado del Ducto, esta señal es generada por el MPU, junto con la señal BA determina el estado del MPU (operación normal, detención, interrupción o sincronia).

E.- Una señal de reloj generada por el MPU.

Q.- Una señal de reloj que adelanta a E. Las direcciones del MPU son garantizadas validas con la subida de Q.

BUSREQ.- Petición del Ducto, cuando esta en nivel bajo esta señal le indica al MPU que coloque en estado de alta impedancia las líneas de datos y direcciones.

BUSCRAN.- Esta señal es generada por el MPU en respuesta a un BUSREQ. Cuando esta en nivel alto esta señal indica que el MPU no esta en control de los ductos de datos y direcciones.

BIT.- Dígito binario.

OCTETO.- Palabra digital de 8 bits (byte).

SYNC.- Sincronización a un evento externo (Esperar interrupción). Está es una instrucción del lenguaje ensamblador del microprocesador 6809, la cual detiene la operación del MPU hasta que un dispositivo periférico solicita una interrupción, cualquier interrupción habilita la operación del MPU.

CWAI.- Instrucción del lenguaje ensamblador del microprocesador 6809. Esta instrucción hace un Y lógico (AND) entre el registro de códigos de condición y la palabra de programa inmediata, guarda el contenido de todos los registros en la pila y detiene la ejecución del MPU hasta que ocurre una interrupción externa.

- 1.- H.C. Andrews y H. P. Hall, Digital Image Restoration, New Jersey, Prentice Hall, pages.4-7,1977.
- 2.- Anon, Principles of Data Acquisition and Conversion, Massachusetts, Datel Systems Inc., pages 4-16,1979.
- 3.- Castleman Kenneth R., Digital Image Processing, Englewood Cliffs N.J., Prentice Hall, pages. 3-33,1979.
- 4.- Gonzales C. Rafael y Wintz Paul, Digital Image Processing, Massachusetts, Addison-Wesley, pages. 5-10,21-23,1977.
- 5.- Datel Intersil, Data Acquisition and Conversion Handbook, Massachusetts, Eugene L. Zuch, pages. 3-3,21-23,40-43,74-76, 98-109,155-179,1980.
- 6.- R. N. Tweegood y R. J. Sherwood, An Overview of Digital Image Processing, Lawrence Livermore National Laboratory, Livermore California.
- 7.- RCA Solid State, COS/MOS Integrated Circuits Databook, RCA Corporation, pages.200-212,1978.
- 8.- Fairchild, Linear Databook, Fairchild Linear Products, Mountain View California, pages.5.26-5.32,1982.
- 9.- Motorola, Exerciser User Guide, pages.A1-A7, I1-I9,1979.

1. THE FOLLOWING CIRCUIT IS A
SIGNAL PROCESSOR FOR VIDEO DATA
WITH VARIOUS OPERATIONS
AND WITH A MEMORY OF 1024 BYTES

1. 1024 BYTES
2. 1024 BYTES
3. 1024 BYTES

